

3.6V ~ 35V 入力, 2ch 降圧 DC/DC コントローラ

BD9848FV

概要

BD9848FV は、パルス幅変調方式によるスイッチングレギュレータコントローラを 2 回路内蔵した IC です。2 回路とも、降圧 DC/DC コンバータ動作に用いることができます。また、パッケージも小型に設計されており、各種機器の小型電源として最適です。

特長

- 高耐圧入力($V_{CC}=35V$)
- FET ドライバ回路内蔵(降圧回路 2 出力)
- REG 出力回路($2.5V \pm 1\%$)内蔵
- 過電流検出回路内蔵(5 周期連続パルスのみ検出)。
- ソフトスタート・休止期間が調整可能
- 各 ch 独立 on/off 機能および全回路スタンバイ機能
- マスタスレーブ機能による多 ch 同期出力が可能

用途

LCD,PDP,PC,AV, プリンター,DVD, プロジェクター
TV,FAX,コピー機,計測機器等

重要特性

- 電源電圧範囲: 3.6V ~ 35V
- 誤差増幅器基準電圧電源変動: $1.0V \pm 1\%$
- 発振周波数: 100k ~ 1500kHz
- スタンバイ電流: 0 μ A(Typ)
- 動作温度範囲: -40°C ~ +105°C

パッケージ

W(Typ) x D(Typ) x H(Max)



基本アプリケーション回路

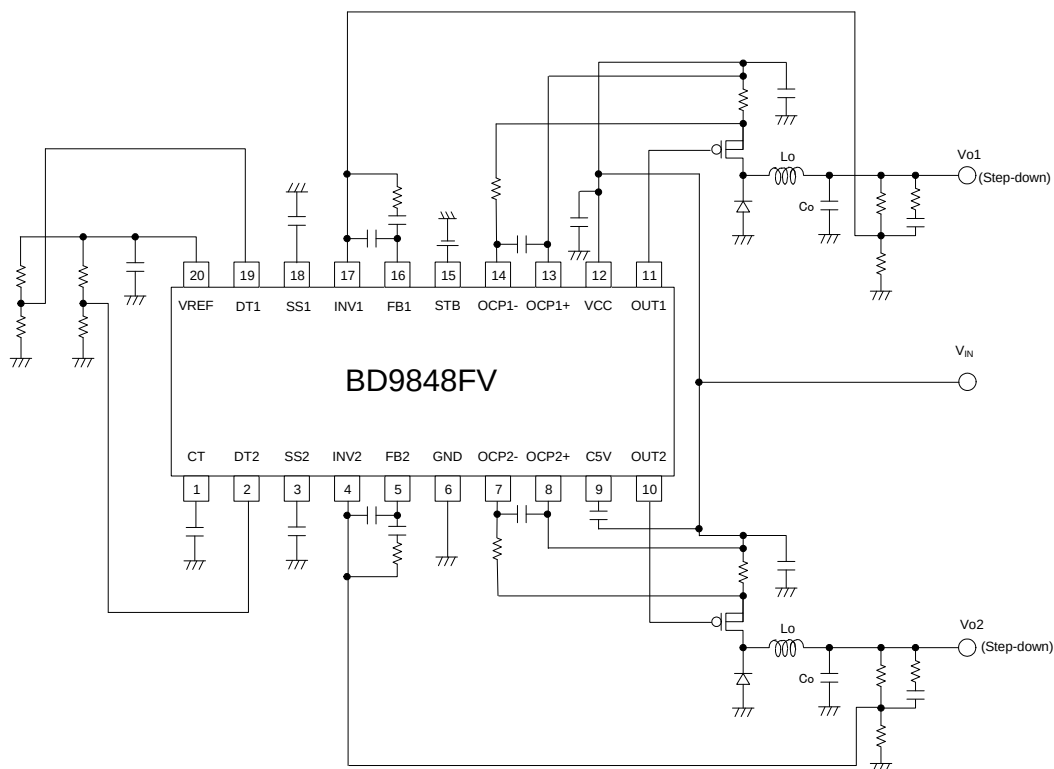
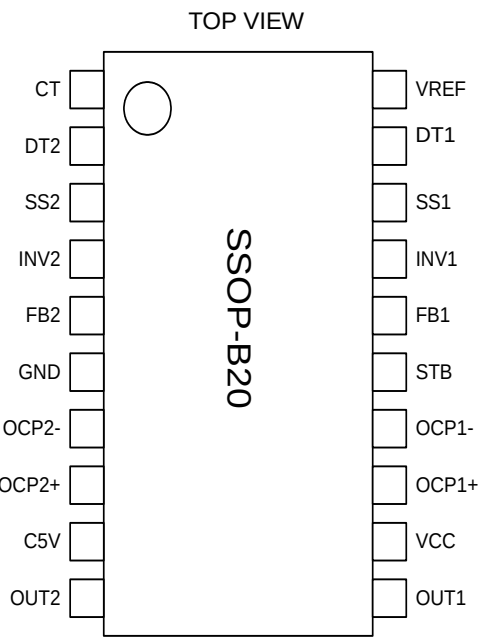


Figure 1. 基本アプリケーション回路

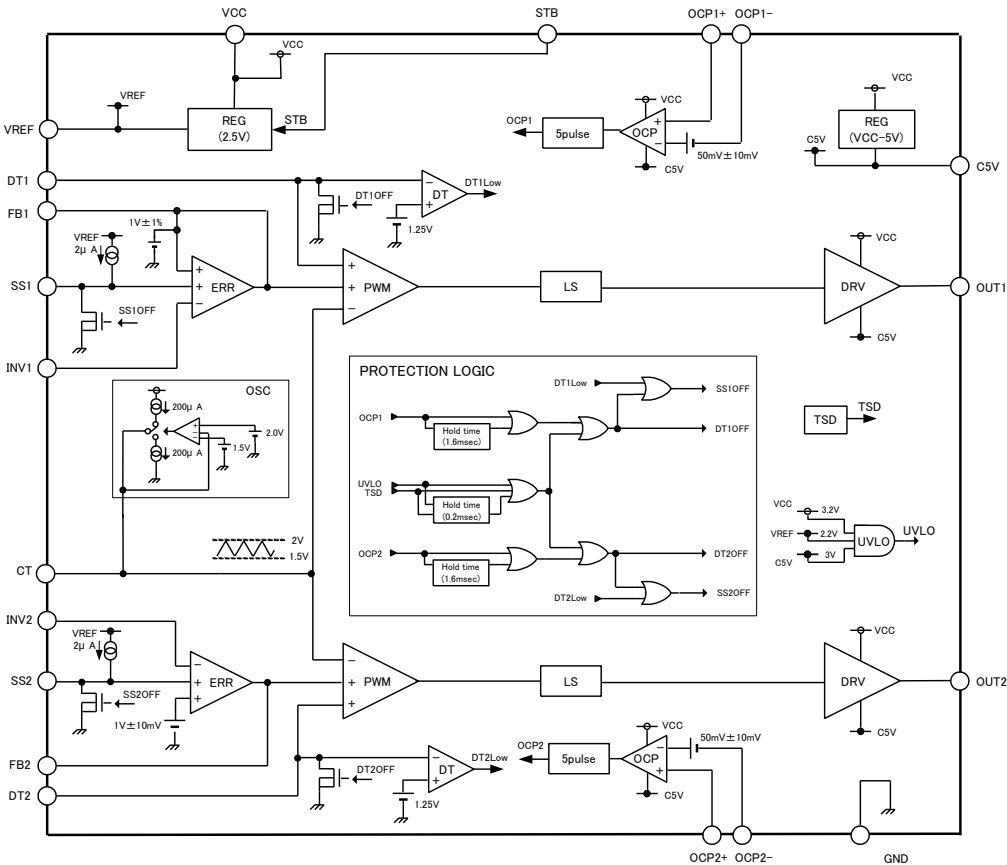
端子配置図



端子説明

端子番号	端子名	機能
1	CT	タイミング容量外付け端子
2	DT2	出力 2 デットタイム設定端子
3	SS2	出力 2 ソフトスタート時間設定端子
4	INV2	出力 2 誤差増幅器－入力端子
5	FB2	出力 2 誤差増幅器出力端子
6	GND	GROUND
7	OCP2-	出力 2 過電流検出器－入力端子
8	OCP2+	出力 2 過電流検出器＋入力端子
9	C5V	出力 L 側電圧(V _{CC} -5V)
10	OUT2	出力 2
11	OUT1	出力 1
12	VCC	電源端子
13	OCP1+	出力 1 過電流検出器＋入力端子
14	OCP1-	出力 1 過電流検出器－入力端子
15	STB	スタンバイモード設定端子
16	FB1	出力 1 誤差増幅器出力端子
17	INV1	出力 1 誤差増幅器－入力端子
18	SS1	出力 1 ソフトスタート時間設定端子
19	DT1	出力 1 デットタイム設定端子
20	VREF	基準電圧(2.5V)出力端子

ブロック図



絶対最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	36	V
許容損失	P_d	0.81 (Note 1)	W
OUT 端子耐圧	V_{OUT}	$V_{CC}-7V \sim V_{CC}$	V
C5V 端子耐圧	V_{C5V}	$V_{CC}-7V \sim V_{CC}$	V
OCP 端子耐圧	V_{OCP}	$V_{CC}-7V \sim V_{CC}$	V
動作温度範囲	T_{opr}	-40 $\sim$ +105	°C
保存温度範囲	T_{stg}	-55 $\sim$ +150	°C
接合部温度	T_{jmax}	150	°C

(Note 1) 70.0mm x 70.0mm x 1.6mm ガラスエポキシ基板実装時。Ta=25°C 以上では 6.5mW/°C で軽減

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作条件 (Ta=25°C)

項目	記号	動作範囲	単位
電源電圧	V_{CC}	3.6 $\sim$ 35	V
出力端子電圧	V_{OUT}	$V_{C5V} \sim V_{CC}$	V
タイミング容量	C_{CT}	47 $\sim$ 3000	pF
発振周波数	f_{OSC}	100 $\sim$ 1500	kHz
STB 入力電圧	V_{STB}	0 $\sim V_{CC}$	V
誤差増幅器入力電圧	V_{INV}	0 $\sim V_{REF}-0.9$	V
DT 端子入力電圧	V_{DT}	0 $\sim V_{REF}+0.3$	V
OCP+/-入力電圧	V_{OCP}	$V_{CC} \pm 0.2$	V
CT(発振波形)外部入力上下限電圧範囲	V_{ctH}	$1.9 \sim 2.3 < V_{REF}$	V
	V_{ctL}	$1.4 \sim 1.6 < V_{REF}$	V

電氣的特性

(特に指定のない限り, Ta=25°C, V_{CC}=6V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
【VREF 出力部】						
出力電圧	V _{REF}	2.475	2.500	2.525	V	I _{OUT} = 0.1mA
入力安定度(Line Reg.)	V _{LI_REG}	-	1	10	mV	V _{CC} = 3.6V → 35V
負荷安定度(Load Reg.)	V _{LO_REG}	-	2	10	mV	I _{OUT} = 0.1mA → 2mA
電流能力	I _{OMAX}	2	13	-	mA	V _{REF} = (Typ)x0.95
【三角波発振器部】						
発振周波数	f _{OSC}	95	106	117	kHz	C _{CP} =1800 pF
周波数変動	f _{DV}	-	0	1	%	V _{CC} =3.6 V→35V
【ソフトスタート部】						
SS ソース電流	I _{SSSO}	1.4	2	2.6	μA	V _{SS} = 0.5V
SS シンク電流	I _{SSSI}	5	12	-	mA	V _{SS} = 0.5V
【休止期間調整回路部】						
DT 入力バイアス電流	I _{DT}	-	0.1	1	μA	V _{DT} = 1.75V
DT シンク電流	I _{DTSI}	1	3.3	-	mA	V _{DT} = 1.75V, (V _{OCP+})-(V _{OCP-})= 0.5V
【低入力誤作動防止回路部】						
スレッシュホールド電圧	V _{UTH}	3.0	3.2	3.4	V	V _{CC} 立ち上がり検出
ヒステリシス	V _{UHYS}	-	0.15	0.25	V	
【誤差増幅器部】						
非反転入力基準電圧	V _{INV}	0.99	1	1.01	V	INV=FB
基準電圧電源変動	dV _{INV}	-	1	6	mV	V _{CC} =3.6 V→35 V
INV 入力バイアス電流	I _{IB}	-	0	1	μA	V _{INV} = 1V
開オプン利得	AV	70	85	-	dB	
最大出力電圧	V _{FBH}	2.30	-	V _{REF}	V	
最小出力電圧	V _{FBL}	-	0.6	1.3	V	
出力シンク電流	I _{FBSI}	0.5	1.5	-	mA	V _{FB} = 1.25V, V _{INV} = 1.5V
出力ソース電流	I _{FBSO}	50	105	-	μA	V _{FB} =1.25V, V _{INV} = 0.5V
【PWM 比較器】						
入カスレッシュホールド電圧 (f _{osc} =100kHz)	V _{th0}	1.4	1.5	1.6	V	On duty 0%
	V _{th100}	1.9	2	2.1	V	On duty 100%
【出力部】						
出力 ON 抵抗 H	R _{ONH}	-	4	10	Ω	R _{ONH} = (V _{CC} -V _{OUT})/ I _{OUT} , I _{OUT} = 0.1A
出力 ON 抵抗 L	R _{ONL}	-	3.3	10	Ω	R _{ONL} = (V _{OUT} -V _{C5V})/ I _{OUT} , I _{OUT} = 0.1A
C5V クランプ電圧	V _{CCLMP}	4.5	5	5.5	V	V _{CCLMP} = V _{CC} - V _{C5V} , V _{CC} > 7 V
【過電流保護回路部】						
過電流検出スレッシュホールド電圧	V _{OCP_{TH}}	0.04	0.05	0.06	V	(OCP+)-(OCP-)間電圧
OCP-入力バイアス電流	I _{OCP-}	-	0.1	10	μA	OCP+= V _{CC} , OCP-= V _{CC} -0.5V
過電流検出遅延時間	t _{DOCP_{TH}}	-	200	400	nS	OCP-= V _{CC} → V _{CC} -0.2 V
過電流判定必要パルス数	nocppls	-	5	-	pulse	連続する周期ごとに検出
過電流検出最小保持時間	t _{DOCP_{PRE}}	0.8	1.6	-	mS	OCP-= V _{CC} -0.2V→ V _{CC}
【スタンバイ切換部】						
片 ch 停止スレッシュホールド電圧	V _{DT_{thL}}	1.1	1.25	1.4	V	DT 端子 H/L
スタンバイモード設定範囲	V _{STBL}	0	-	0.5	V	
アクティブ設定範囲	V _{STBH}	3	-	V _{CC}	V	
STB 流入電流	I _{STB}	-	70	100	μA	V _{STB} =6V
【デバイス全体】						
スタンバイ電流	I _{CCS}	-	0	1	μA	V _{STB} = 0V
平均消費電流	I _{CCA}	1.5	3	6	mA	V _{INV} = 0V, FB= H, V _{DT} = 1.75V

特性データ（参考データ）

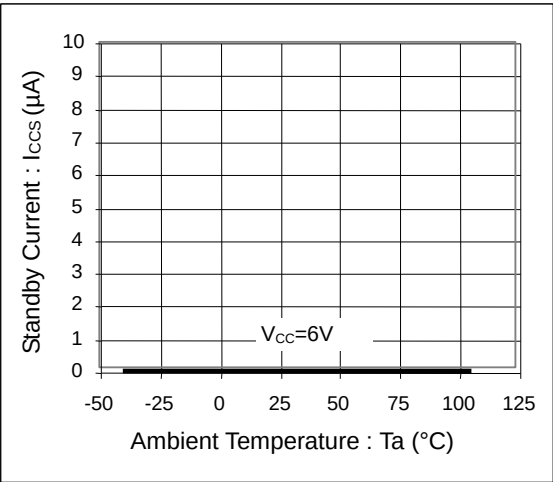


Figure 2. Standby Current vs Ambient Temperature

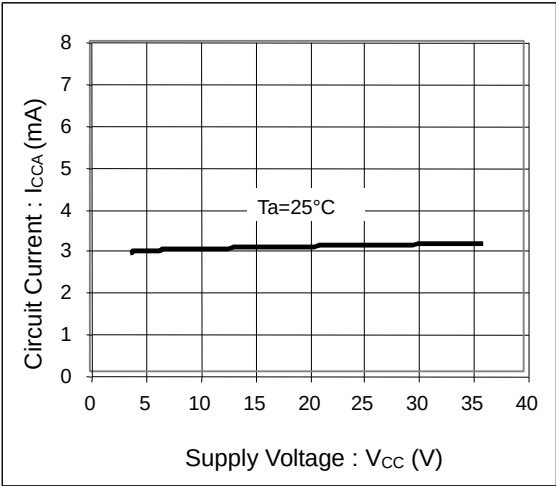


Figure 3. Circuit Current vs Supply Voltage

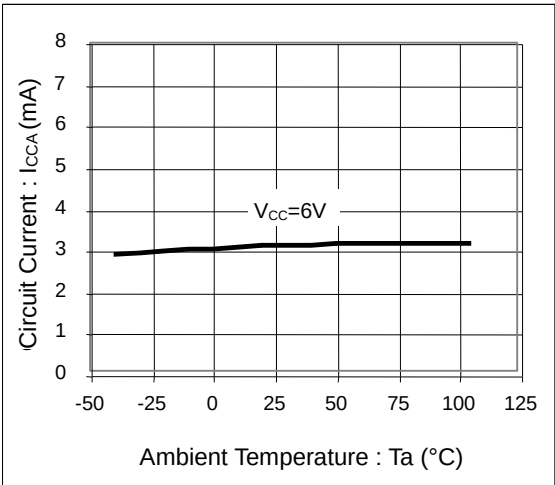


Figure 4. Circuit Current vs Ambient Temperature

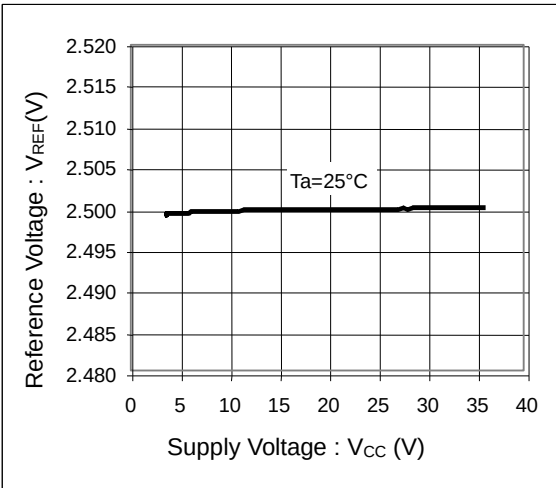


Figure 5. Reference Voltage vs Supply Voltage

特性データ（参考データ） - 続き

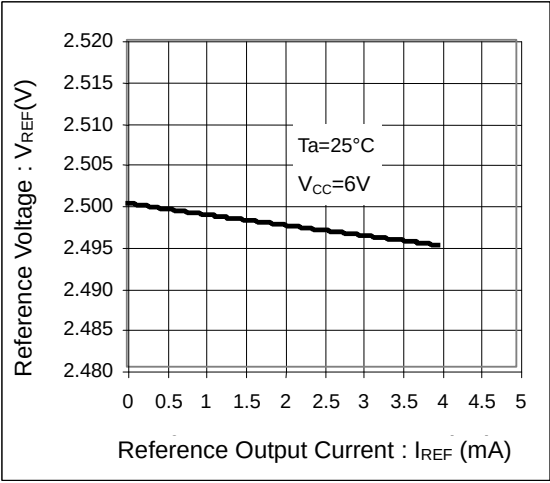


Figure 6. Reference Voltage vs Reference Output Current (VREF Current Capability)

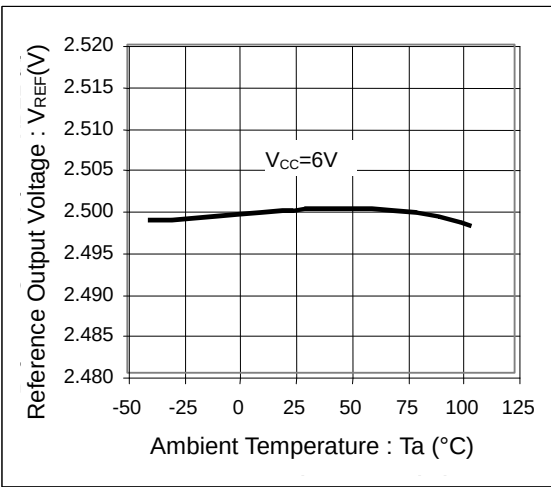


Figure 7. Reference Output Voltage vs Ambient Temperature (VREF Temperature Characteristics)

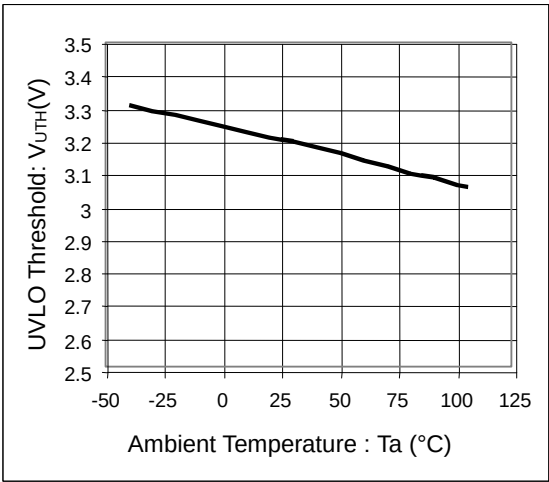


Figure 8. UVLO Threshold vs Ambient Temperature

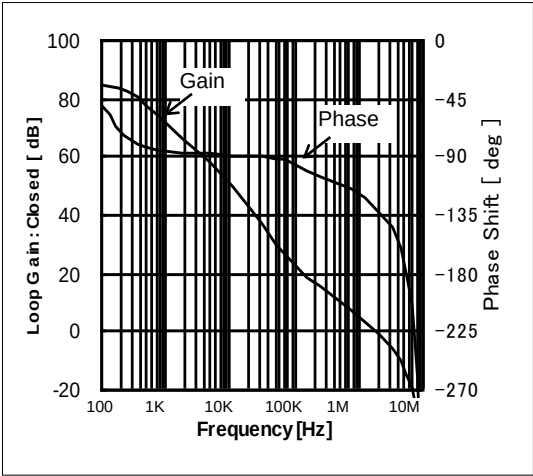


Figure 9. Loop Gain vs Frequency (Error Amplifier I/O Characteristics)

特性データ（参考データ）-続き

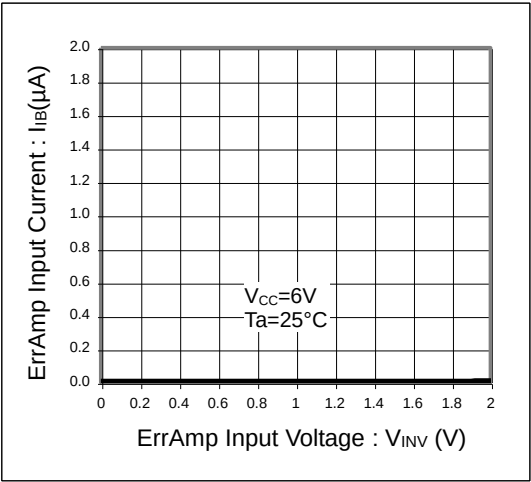


Figure 10. Error Amplifier Input Current vs Error Amplifier Input Voltage

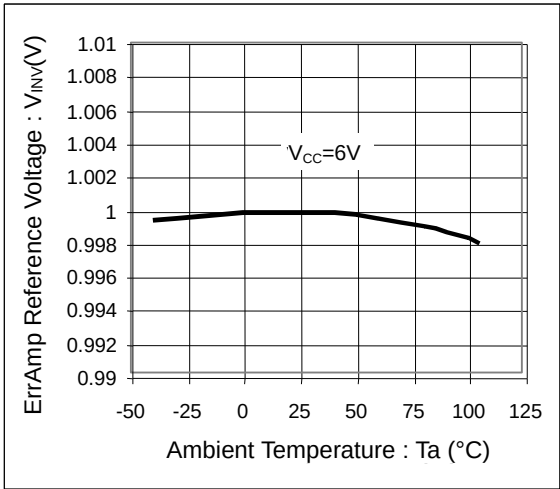


Figure 11. Error Amplifier Reference Voltage vs Ambient Temperature

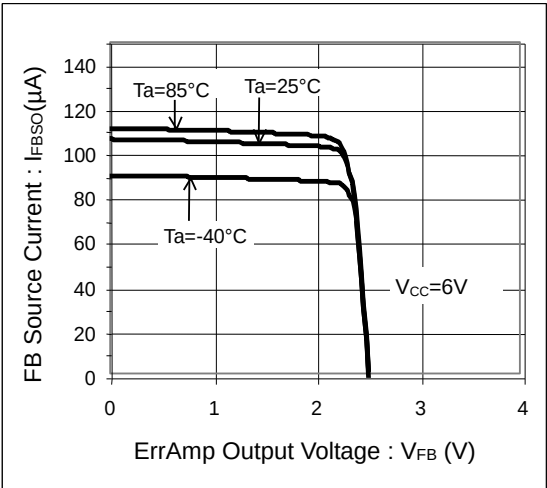


Figure 12. FB Source Current vs Error Amplifier Output Voltage

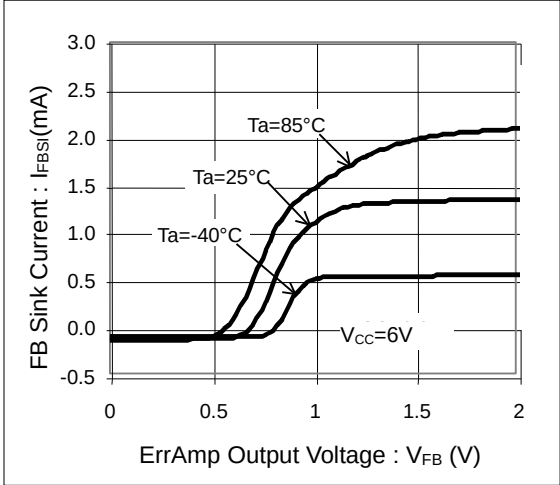


Figure 13. FB Sink Current vs Error Amplifier Output Voltage

特性データ（参考データ）-続き

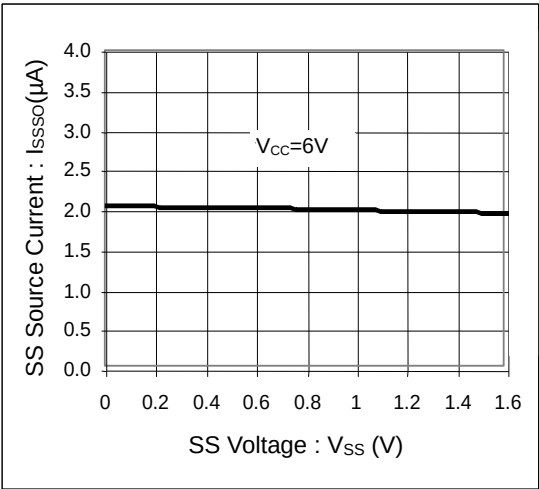


Figure 14. Soft Start Source Current vs Soft Start Voltage

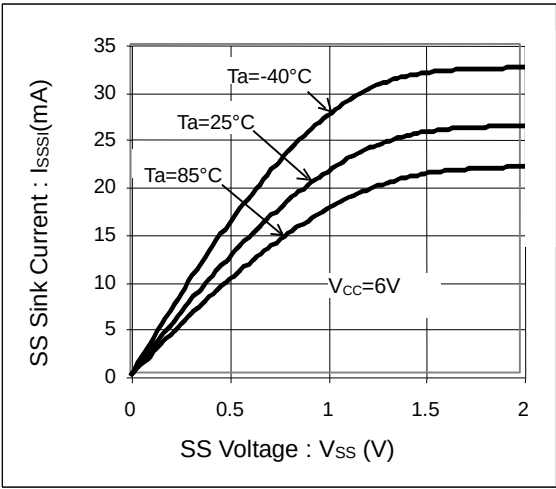


Figure 15. Soft Start Sink Current vs Soft Start Voltage

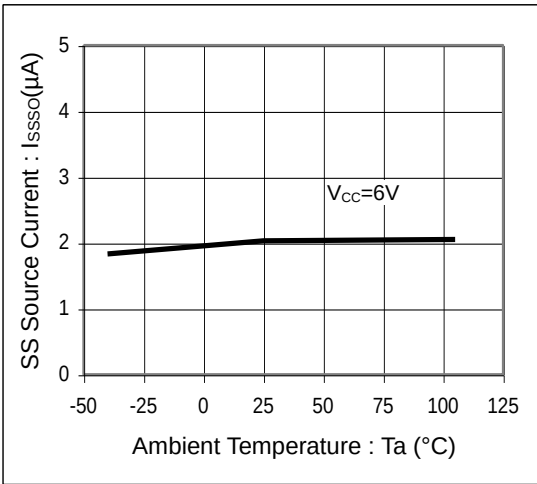


Figure 16. Soft Start Source Current vs Ambient Temperature

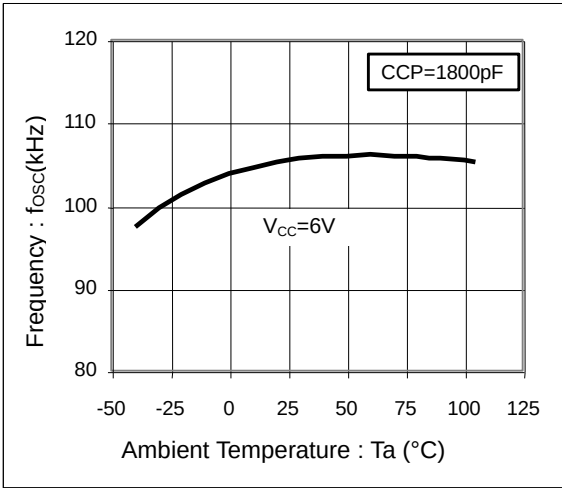


Figure 17. Oscillation Frequency vs Ambient Temperature

特性データ（参考データ）-続き

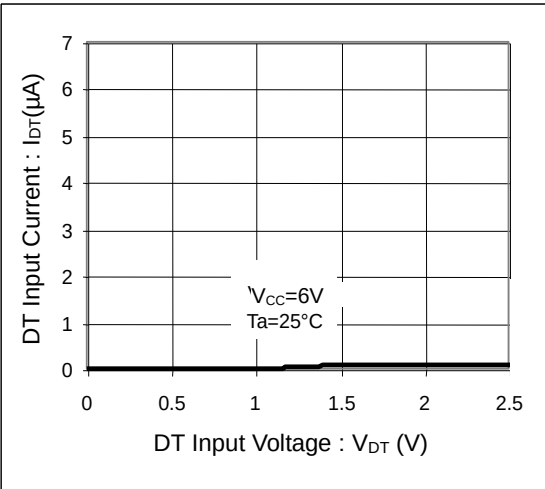


Figure 18. DT Input Bias Current vs DT Input Voltage

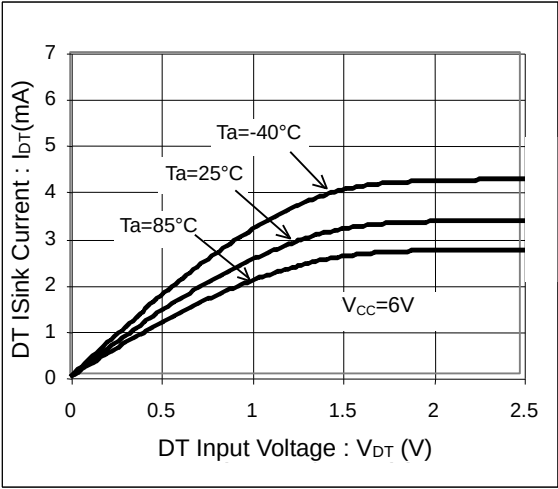


Figure 19. DT Sink Current vs DT Input Voltage

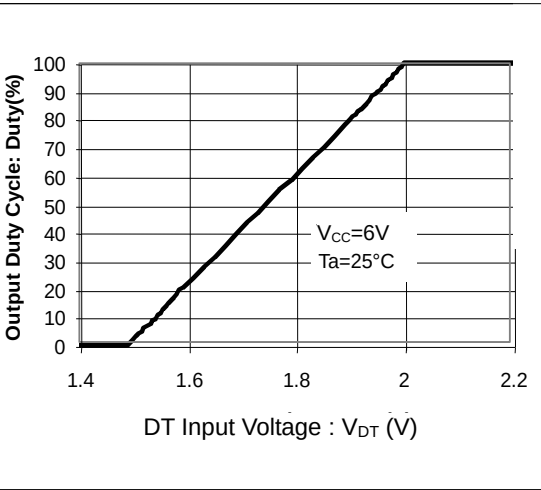


Figure 20. Output Duty Cycle vs DT Input Voltage (100kHz)

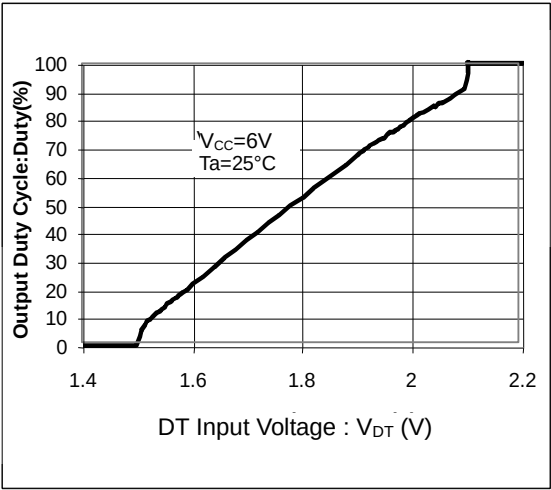


Figure 21. Output Duty Cycle vs DT Input Voltage (1.5MHz)

特性データ（参考データ）-続き

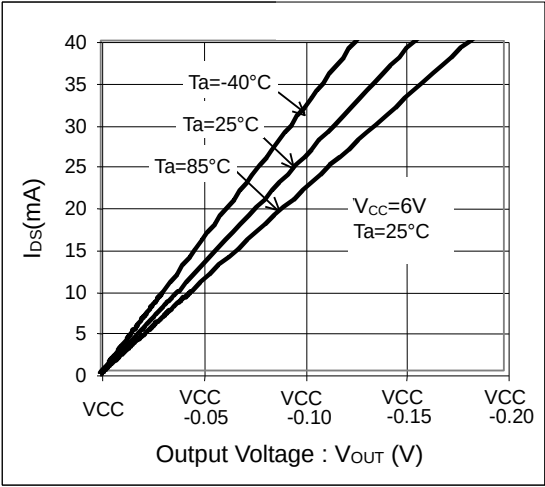


Figure 22. I_{DS} vs Output Voltage
(Output ON Resistance H (R_{ONH}))

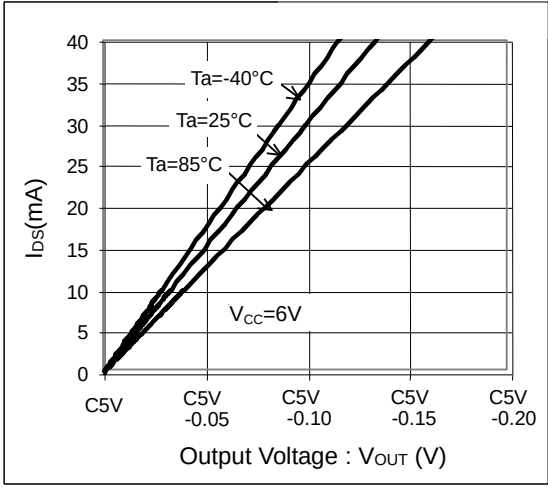


Figure 23. I_{DS} vs Output Voltage
(Output ON Resistance L (R_{ONL}))

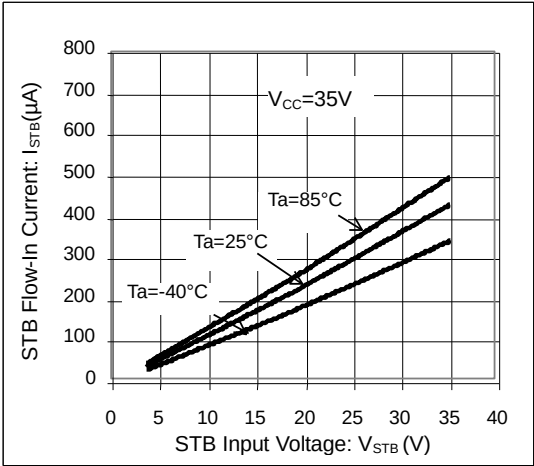


Figure 24. STB Flow-In Current vs STB Input Voltage

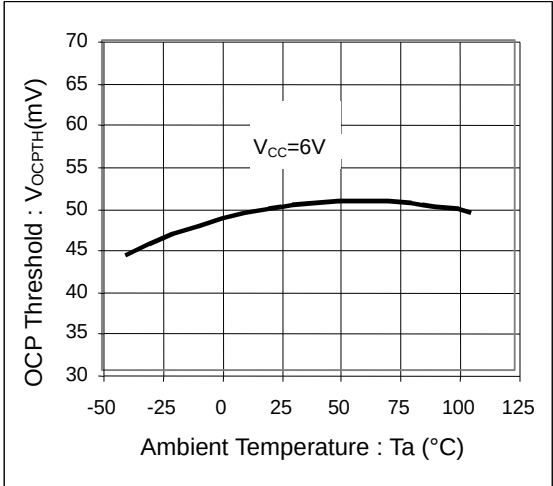


Figure 25. Over-Current Detection Threshold Voltage vs
Ambient Temperature

特性データ（参考データ）-続き

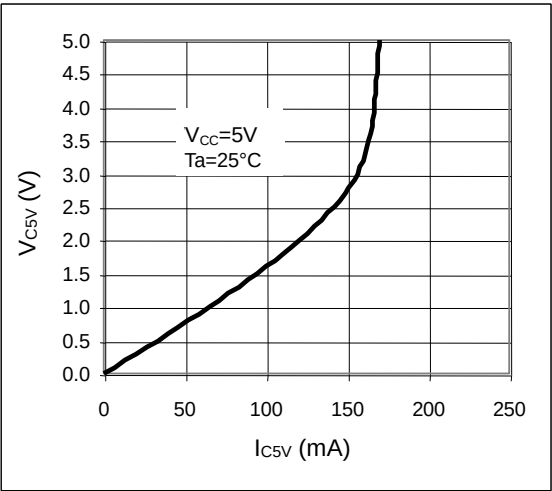


Figure 26. C5V Saturation Voltage

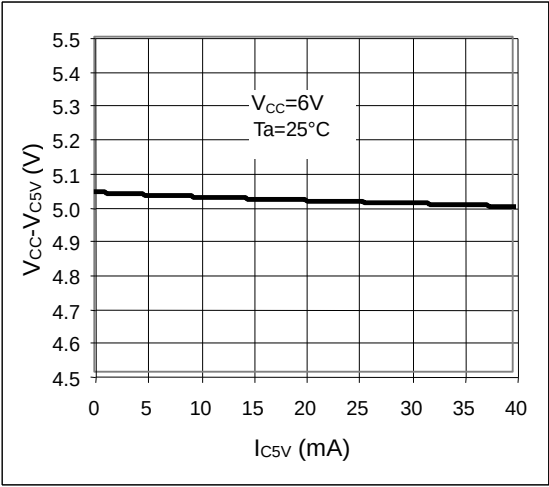


Figure 27. C5V Load Regulation

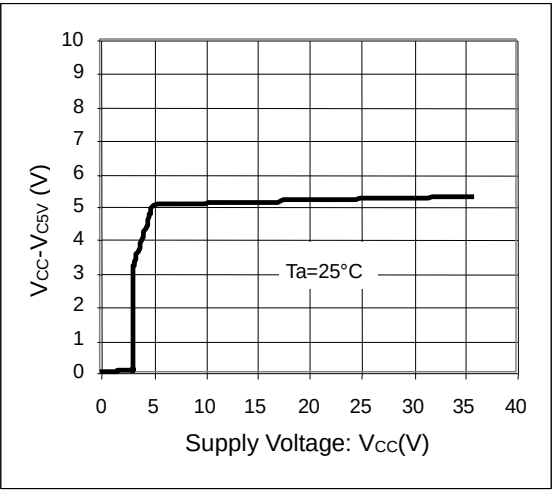


Figure 28. C5V Line Regulation

アプリケーション情報

1. 各ブロックおよび各機能の動作説明

(1) REG(基準電圧部)

REG(2.5V)は VCC 端子(12pin)に入力された電源電圧より安定化された基準電圧(2.5V)が、IC 内部回路の動作電圧として供給されると共に VREF 端子(20pin)より外部へ出力されます。VREF 端子には 0.1μF のコンデンサを挿入してください。
REG(V_{CC}-5V)は V_{CC}-5V の電圧が OUT 端子(10,11pin)のドライバ回路(DRV)などの電源(LDO)として供給されると共に C5V 端子(9pin)より外部へ出力されます。C5V 端子には VCC 端子に対して 1μF のコンデンサを挿入してください。

(2) ERR Amp 1/2(誤差増幅器)

CH2 の非反転入力は、IC 内部の基準電圧源(1.0V)が接続されています。
降圧アプリケーションの電圧設定は、スイッチングレギュレータの出力段(V_{OUT})から誤差増幅器の反転入力 INV(4,17pin)に帰還を還すことで、出力電圧を調整しています。この帰還経路に接続されている R₁、R₂ は出力電圧を設定するための抵抗です。

各 CH の出力電圧(V_{OUT})設定は下記の通りです。

$$V_{OUT} = \frac{R_1 + R_2}{R_2} \times 1.0V$$

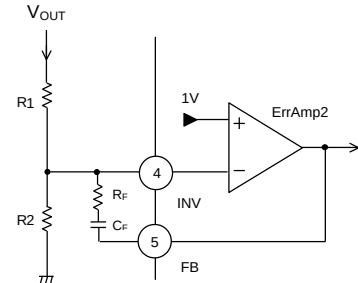


Figure 29

また、誤差増幅器の出力である FB(5,16pin)と INV(4,17pin)の間に接続されている R_F、C_F は誤差増幅器の帰還用で、ループゲインを設定することが可能です。

FB は PWM Comp 1/2 に接続され非反転入力として供給されます。

(3) OSC(三角波発振器部)

PWM Comp 1/2 に入力するための三角波を発生させます。

まず、CT 端子(1pin)-GND 間に接続されるタイミング用コンデンサ C_{CT} を、IC 内部で生成した定電流(200μA)で充電します。
CT 電圧が 2.0V typ に達するとコンパレータが切り換わり今度は C_{CT} を定電流(200μA)で放電するようになります。
その後、CT 電圧が 1.5V に達すると再びコンパレータが切り換わりまた、充電しこの繰り返しにより三角波を生成します。

発振周波数は外付けの C_{CT} によって以下の理論式にて決定されます。

$$f_{OSC} \approx I_{CT} / (2 \cdot C_{CT} \cdot \Delta V_{OSC})$$

I_{CT}: CT シンク/ソース電流 200μA Typ

ΔV_{osc}: 三角波振幅電圧 = (V_{th0} - V_{th100}) = 0.50V Typ

ただし、高周波では内部回路遅延により理論式に対し誤差を生じてきます。Figure 30 のグラフを参照の上、設定してください。

標準外付け C_{CT} 範囲

C_{CT}: (Min) 47 pF - (Max) 3000 pF

また後述のスレーブモードに切り換えることにより内部発振器を停止させ、外部から三角波(又はノコギリ波)を入力し、同期を取る事が出来ます。

このとき外部入力波形として以下の条件に気をつけてください。

(a) 外部入力電圧範囲 (注意 1)

上限電圧(V_{CT H}): 1.9V < V_{CT H} < 2.3V

下限電圧(V_{CT L}): 1.4V < V_{CT L} < 1.6V

(b) 周波数 100kHz < f_{osc} < 1.5MHz

(c) 三角波またはノコギリ波(注意 2)

(注意 1) V_{CT} ≈ 1.75V のタイミングで過電流検出の判定を行う為です。

(注意 2) PWM 動作を制御する為には、FB などの入力電圧に対して線形な Duty 変化が必要です。

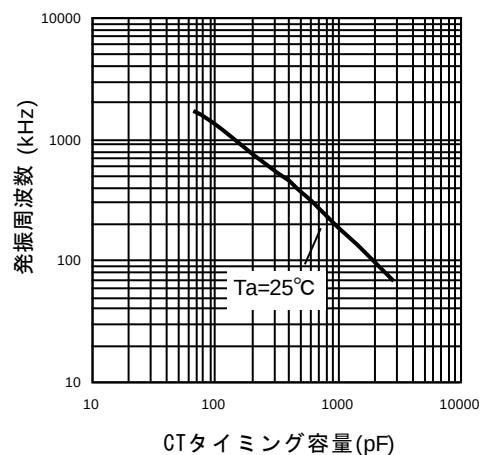


Figure 30

(4) Soft Start 1/2(ソフトスタート機能)

SS 端子(3,18pin)に右図のように C_{SS} を接続することによりソフトスタート機能を持たせることが可能です。
ソフトスタート時間 t_{SS} は次式となります。

$$t_{SS} = C_{SS} \cdot \frac{V_{INV}}{I_{SSO}}$$

C_{SS} : SS 端子接続容量

V_{INV} : エラーアンプ基準電圧($V_{INV}=1.0V$)

I_{SSO} : SS ソース電流(2 μA Typ)

(例) $C_{SS}=0.01\mu F$ のとき

$$t_{SS} = \frac{0.01 \times 10^{-6} \times 1}{2 \times 10^{-6}}$$

$$= 5[\text{msec}]$$

ソフトスタートを機能させるためには電源や STB の起動時間よりも十分に長く設定する必要があります。

また、DT 端子(2,19pin)に右図のように抵抗(R_1, R_2)、コンデンサ(C_{DT})を接続することでも、ソフトスタート機能を持たせることが可能です。

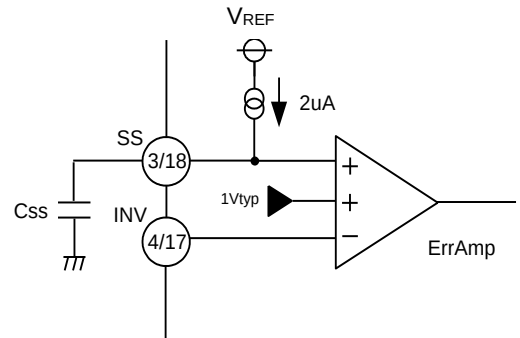


Figure 31

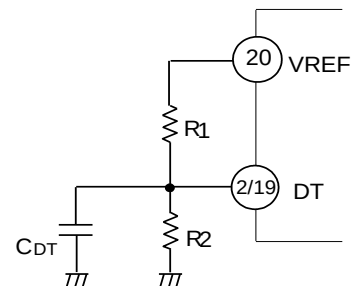


Figure 32

(5) PWM Comp 1/2・DEAD TIME(休止期間調整回路・デッドタイム)

DT 端子(2,19pin)に $V_{REF}-GND$ 間で抵抗分割するなどした電圧を印加することによりデッドタイムを設定できます。PWM Comp では、入力されたデッドタイム電圧(DT 端子電圧)と Err Amp からの誤差電圧(FB 端子電圧)とを、三角波と比較して出力を ON/OFF させます。デッドタイム電圧<誤差電圧の時、出力のデューティはデッドタイム電圧によって決まります。(デッドタイム設定を使用しない場合は DT 端子を 10k Ω 程度の抵抗で V_{REF} 端子にプルアップして下さい。)

Figure 32 においてデッドタイム電圧 V_{DT} は次式となります。

$$V_{DT} = V_{REF} \cdot \frac{R_2}{R_1 + R_2}$$

V_{DT} と Duty の関係 [右グラフ参照]

	Duty 100%			Duty 0%		
	min	typ	max	min	typ	max
f=100kHz のとき	1.9	2.0	2.1	1.4	1.5	1.6
f=1.5MHz のとき	1.95	2.1	2.25	1.35	1.5	1.65

[Unit: V]

発振周波数が高い場合は、三角波の上限/下限(V_{th100}/V_{th0})がコンパレータの遅れ時間のためにそれぞれ振幅の広がる方向へシフトしますので、ご注意ください。

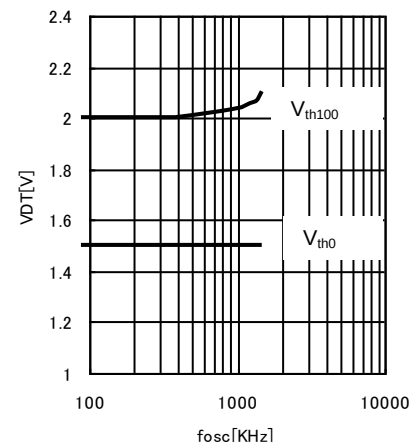


Figure 33

(6) OCP Comp 1/2(過電流検出回路)

この機能により出力の短絡などで異常な過電流が流れた場合、強制的に出力を OFF させて保護することができます。センス抵抗などで電流をモニタした OCP+(8,13pin)/OCP-(7,14pin)端子間の電圧が過電流検出電圧(50mV Typ)を超え、CT の三角波の 5 周期分連続で過電流を検出すると、過電流状態と判断して OUT→"H"、DT,SS,(FB)→"L"としてスイッチング動作を停止します。5 周期未満の短時間の過電流や、5 周期連続でない(例えばパルス抜けのような)検出に対しては、検出を行いません。

(1 周期内に過電流検出が無いとカウンタはリセットされます。)

復帰は OCP+/OCP-端子間電圧が過電流検出電圧以下になると自動復帰します。このときヒステリシス等は設定していませんが、FET などの発熱を抑えるため最小検出保持時間(1.6mS Typ)を設けています(タイミングチャート参照)。

本過電流検出回路は、 $V_{CC}-C5V$ 間の REG 電圧(=5V)を電源としており、その入力である OCP 端子の電圧レベルは $V_{CC}\pm 0.2V$ を想定しております。

OCP+/OCP-端子をショートしていても、過電流検出回路の同相入力電圧範囲($V_{CC}+0.7V$ (Di の V_F) $\sim V_{CC}-2.5V$ 程度)を超えるような電位をとる場合には、過電流検出が誤検出する可能性もありますので、ご注意ください。

過電流検出回路を使用しないときは、OCP+/OCP-端子を IC 直近でショートし大電流系との共通インピーダンスに注意し、安定した IC の VCC pin に最短で接続してください。

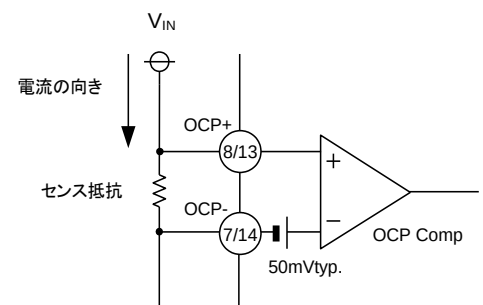


Figure 34

(7) STB(スタンバイ機能)

STB 端子(15pin)にてスタンバイモード、スレブモード、通常(マスタ)モードを切り替えることができます。

①STB<0.5V ではスタンバイモードとなり、

出力が停止(OUT=H)し、REG も停止します。この時回路電流も $I_{SC}=0\mu A$ となります。

② $2.4V < V_{STB} < 2.6V$ では、スレブ動作モードとなり、

OSC ブロック(三角波)のみ停止し(CT 端子は High-Z)、残りの全ての回路は動作します、このとき三角波が出力されない為、発振波形を外部から入力する必要があります。このモードを使用する時は、p.12、p.19 の注意事項をよくご確認ください。また、STB 端子が 2.6V を超えてマスタ(通常)モードに一旦切替ると、電源が落とされるまでマスタモードを保持しますので、オーバーシュートなどにはご注意ください。

③STB>3.0V では、通常(マスタ)動作モードとなり、

全ての回路が動作し、三角波も出力されるようになります。通常、この範囲で使用して下さい。

また、上記②のように $V_{STB} < 3V$ の領域には、スレブモードが存在します。STB 立ち上げ時には 100 μs 程度以下を目安に速やかに立ち上げてください。

(8) OUT 1/2(出力 : 外付け FET ゲート駆動)

OUT 端子(10、11pin)で外付け(PchMOS)FET のゲートを直接駆動することができます。出力の振幅は $V_{CC} \sim C5V (V_{CC}=5V)$ に制限されており、入力電圧によるゲートの耐圧の制約を受けない為、幅広い FET の選択が可能です。

ただし、FET 選択時の注意点としまして、ゲートの入力容量について C5V の電流能力や IC の許容損失などから決まる制約がありますので、右記グラフも許容範囲を参考に決定して下さい。

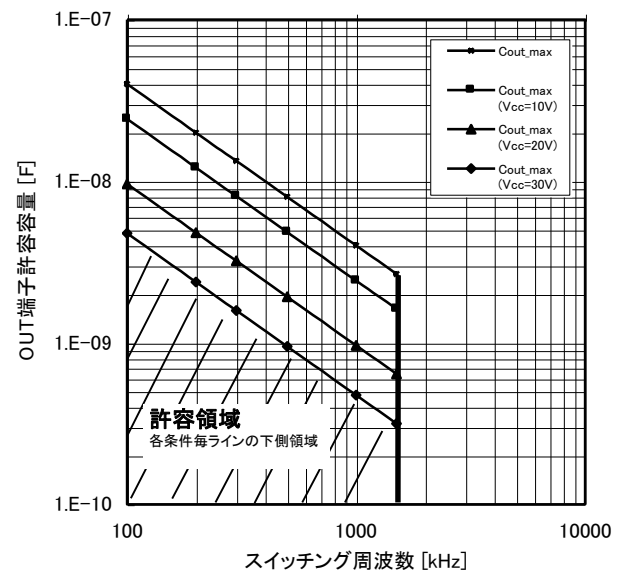


Figure 35. OUT 端子外付け容量許容範囲

(9) Protection(その他保護機能)

BD9848FV には過電流検出回路(OCF)のほかに、低入力誤動作防止回路(UVLO)、異常温度保護回路(TSD)を備えています。低入力誤動作防止回路は、入力電圧が低いときに出力不確定となるのを防ぐための回路です。

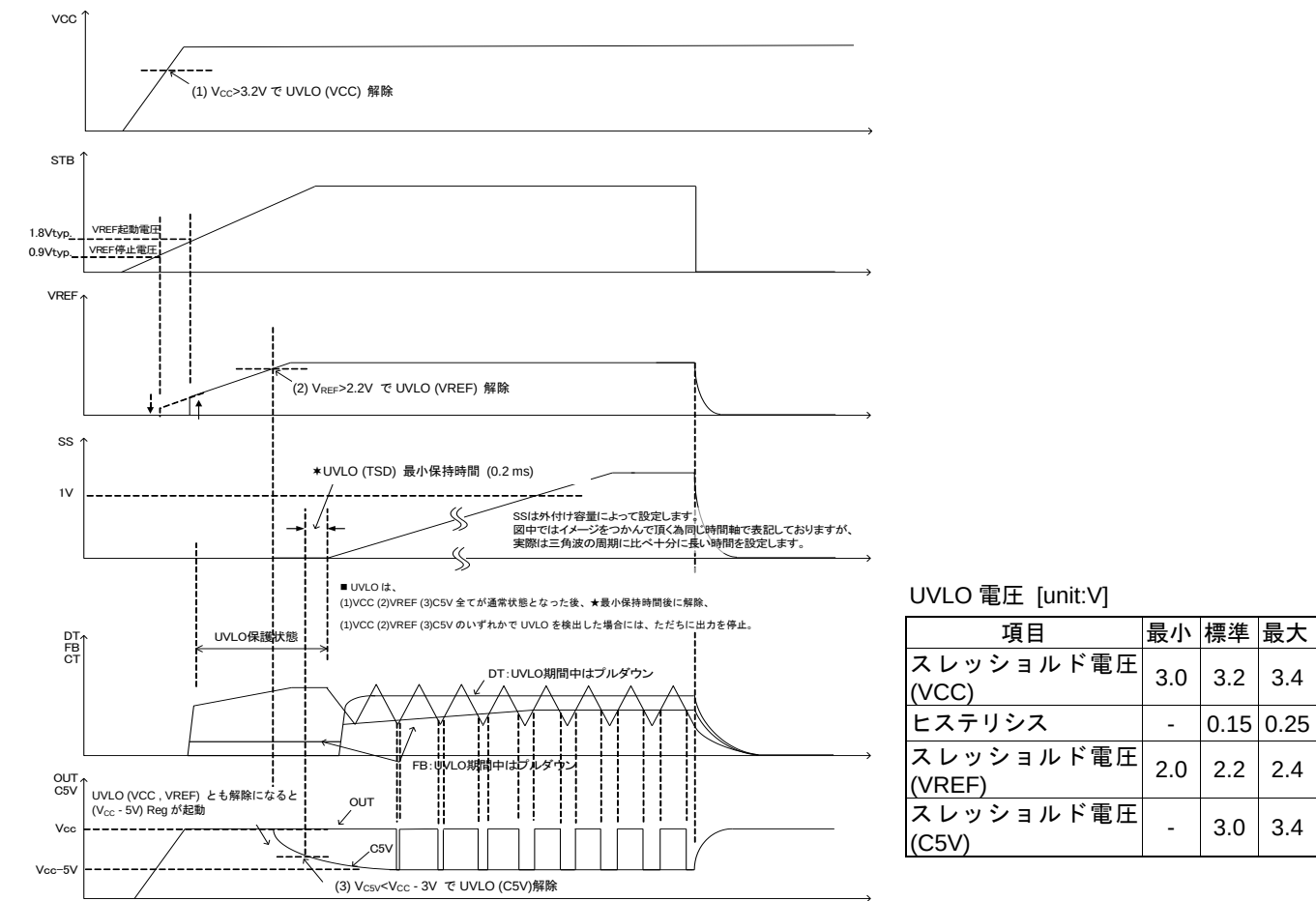
$V_{CC}(3.2V)$ 、 $V_{REF}(2.35V)$ 、 $C5V(V_{CC}=3V)$ の 3ヶ所をモニタしており、すべて解除となったときのみ出力を行います。

(タイミングチャート参照)

異常温度保護回路は IC に定格温度を超えるような異常な発熱があった場合に、暴走したりしないように IC チップを破壊から守るための回路です。(通常は動作しません。)

発熱に対しても許容損失などを考慮して充分マージンを持った設計をお願いします。

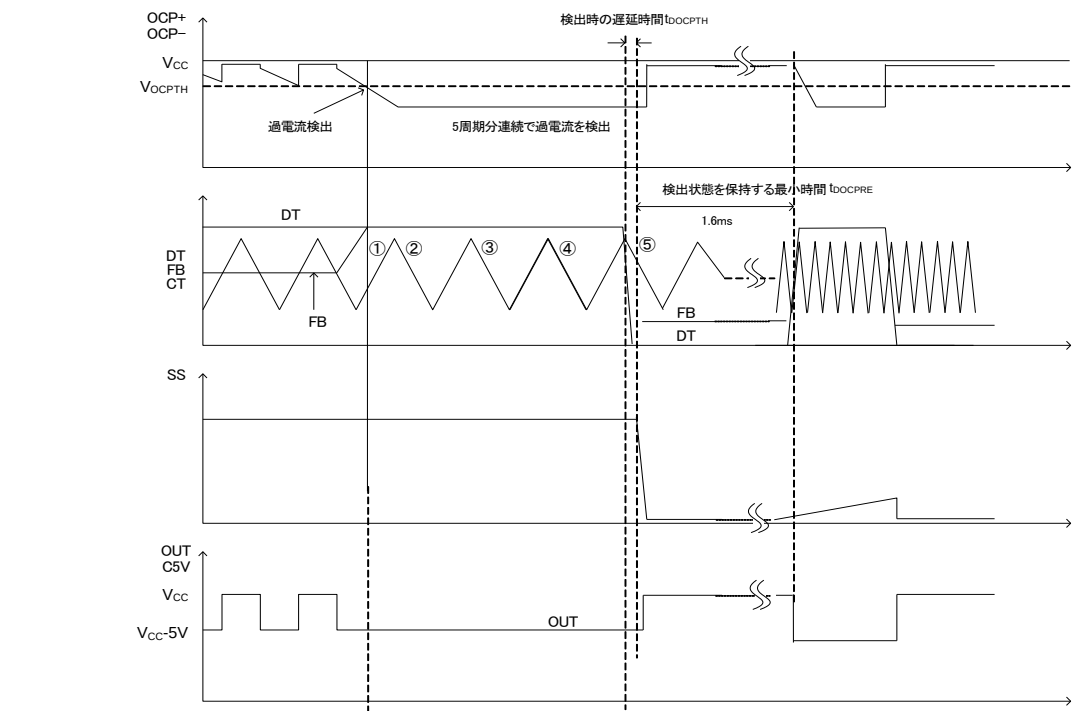
2. タイミングチャート



◎過電流検出

OCP-が $V_{OCP\text{TH}}$ を越えて5周期後[マスターモードでは三角波の上側頂点、スレブモードでは下り 1.75V を横切るタイミングが4周期経過後]に過電流検出を検出。

下記はマスターモードの出力短絡の状態例。短絡が続く場合は一定時間(1.6mS程度)間隔をあけて過電流検出と解除を繰り返す。



3. 応用回路例

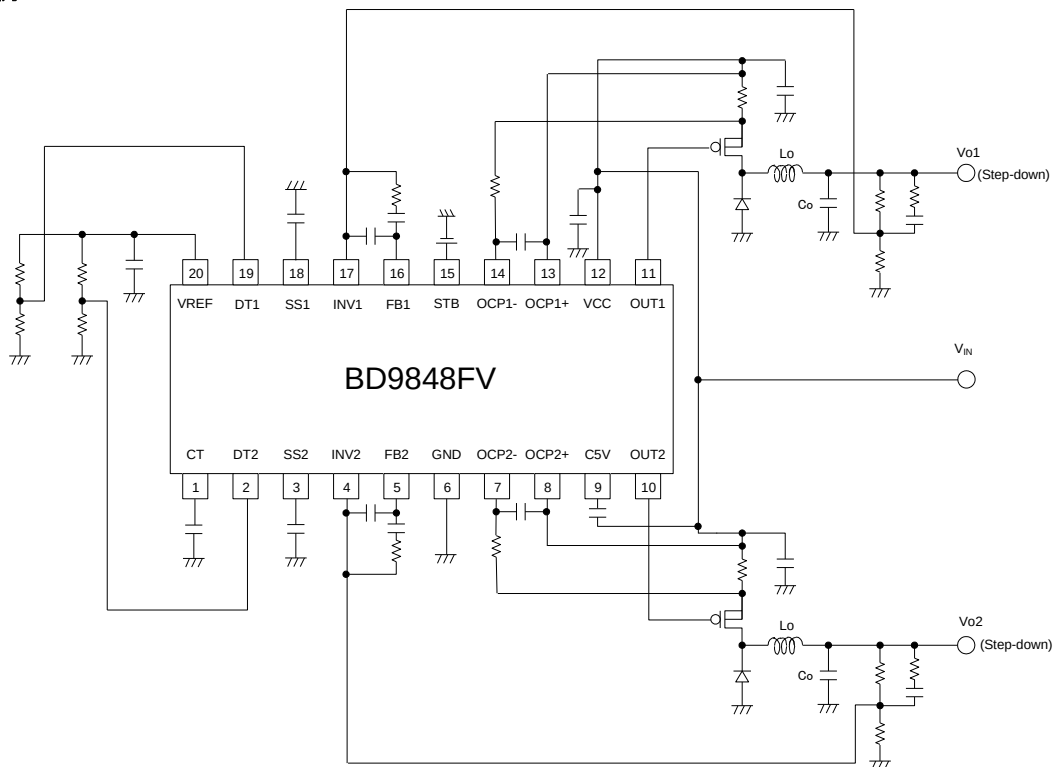


Figure 36

(1) 外付け部品の選定について

降圧アプリケーションの各デバイスは下記を参考に選択してください。

<L 値の設定>

負荷電流が重くなってくるとコイルに流れる電流が連続的になり、次の関係式が成り立ちます。

$$L = \frac{t_{SW}}{\Delta I_L} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}}$$

V_{IN} : 入力電圧

t_{SW} : 1/(スイッチング周波数)

ΔI_L : コイルのリプル電流

通常、 ΔI_L は最大出力電流(I_{OMAX})の30%以下に設定します。

L 値を大きくするとリプル電流(ΔI_L)は小さくなりますが、一般的に L 値が大きくなる程コイルの許容電流が小さくなり、許容電流を超えるとコイルが飽和してしまうためご注意ください。

<出力コンデンサ C_O の設定>

出力コンデンサ C_O はコンデンサの ESR(直列等価抵抗)特性に注意してください。

出力リプル電圧(ΔV_{OUT})は、出力コンデンサの ESR が大きいと

$$\Delta V_{OUT} \approx \Delta I_L \times ESR$$

ESR : 出力コンデンサ C_O の直列等価抵抗の関係にてリプル電圧が生じます。

また、出力コンデンサの容量値が小さい場合も、 ΔI_L による電荷の充放電量によりリプル電圧が生じるため、 C_O 値については、ESR 条件を満たす十分に大きな容量値のコンデンサにすることをおすすめします。

<スイッチング素子 FET、Di について>

スイッチング素子の電流定格について、流れるピーク電流 $I_{SW}(peak)$ はコイルに流れるピーク電流と等しいので

$$I_{SW}(peak) = I_{OUT} + \Delta I_L / 2$$

となります。上式で求まるピーク電流に対して充分マージンをもった許容電流量のスイッチング素子を選定して下さい。またノイズ改善、効率改善の面から、FET は入力容量(C_{iss}, Q_g)やオン抵抗の小さいもの、Di は端子間容量や逆回復時間 t_{rr} 、また順方向電圧 V_F の小さいものを選択してください。

<入力コンデンサ C_{IN} について>

電解コンデンサ(全体の電源)とセラミックコンデンサ(IC および各 ch 電源のパスコン)の併用をお勧めします。

出力のスイッチング電流は、瞬時的に入力コンデンサ(C_{IN})から供給される為、バイパスコンデンサとしてセラミックコンデンサを、FET, Di の直近に各 ch 毎に配置するようにしてください。電解コンデンサを使用される場合、許容リプル電流にはご注意ください。

(2) 過電流保護(OCP)回路例

図のように出力部 Pch-FET のソース-VIN 間にセンス抵抗を挿入して過電流を検出します。
センス抵抗については下式を参考に、また許容損失についても余裕を持って選定してください。

$$R_{SENSE} = \frac{V_{OCPTH}}{I_{OCP}} \quad \begin{array}{l} V_{OCPTH}: \text{過電流検出電圧(50mV Typ)} \\ I_{OCP}: \text{過電流検出設定電流} \end{array}$$

このとき I_{OCP} はピーク電流 $I_{SW}(\text{peak})$ となるため、出力負荷としての電流値は過電流設定電流値からリップル電流成分 ($\Delta I_L/2$) などを除いた値となります。(P.16 の式参照)

多くの場合センス抵抗に数 mΩ～数 10mΩ を使用しますので、パターン上の配線インピーダンス(数 mΩ など)によっても誤差を生じます。電流センスラインの接続箇所や、大電流経路との共通配線インピーダンスにもご注意ください。

過電流検出機能を使用しない場合は、IC の直近で OCP+/-端子をショートし、大電流系との共通インピーダンスが無いように注意して IC の VCC 端子へ接続してください。
本過電流検出回路は、FET のソース(VCC 電位)の電流をモニターすることを想定しております。
出力部等、VCC 電位と異なる電位での検出は出来ませんので、ご注意下さい。

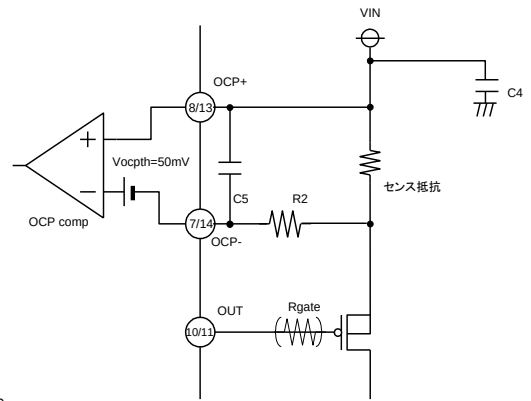


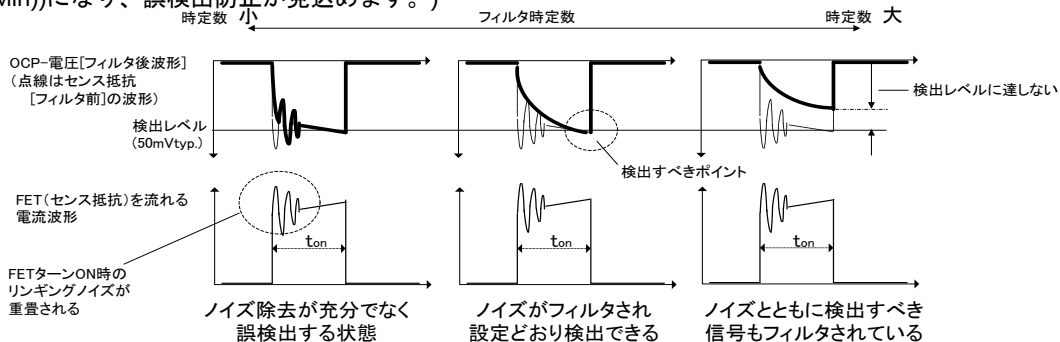
Figure 37

◆OCP+/-入力端子に対するノイズ設計について

過電流検出部の入力、外付部品の保護を目的に各 ON パルス毎に電流を検知させる為、非常にセンシティブな回路となっています。本回路の設計値として、各パルス毎の検出において 100nsec(最大 200nsec)のパルスがあれば各周期毎の過電流検出を行います。また回路動作スピードの限界としては、振幅が上記の値 I_{OCP} を超えてさらに大きいパルスには数 10nsec 程度でも反応し、また上記の値を超えていてもパルス幅が数 nsec レベルと小さい場合には反応できなくなります。従いまして、回路が高周波動作にも対応できる反面、基板上で発生しているノイズなどにより誤検出(設定電流以下で過電流を検出)する可能性があります。ノイズの要因としては大電流がスイッチングする経路 (P.20 基板レイアウトループ①、②参照) が引き廻され、基板上の寄生容量・インダクタンスが大きい、などに起因したノイズが予想されます。

OCP+/-入力端子での誤検出の防止対策として、 C_5, R_2 による CR ノイズフィルタ (Figure 37) を挿入(全て OCP+/-端子直近に配置)してください。フィルタの定数設定につきましては、ノイズが回路や基板パターンなどに依存するため一概には決まりませんが、電流検出に必要な ON パルスの波形(パルス幅 $\approx (V_{OUT}/V_{IN}) \cdot (1/f_{osc})$) が減衰しないレベルで、出来るだけ CR フィルタのカットオフ周波数を下げてください(設定の目安としては、 R =数 10Ω として、 C =数 1000pF 程度を調整して下さい)。定数が大きいと、波形が鈍って過電流がかかりにくくなり設定した値以上に電流を流します。このときの定数を限界値としてこれより高いカットオフ周波数となるよう、 C, R のフィルタ定数を決定してください。

(例えば、振幅 1V、周波数 $f=100\text{MHz}$ のリングングノイズが発生しているとして、CR フィルタのカットオフ周波数が $f=1\text{MHz}$ であれば、理想的には減衰率がおおよそ $-40[\text{dB}] (=1/100)$ であるためノイズ振幅が 10mV 程度 ($< V_{OCPTH}$ (=40mV Min)) になり、誤検出防止が見込めます。)



他にフィルタ設定時の注意点として、OCP+/-端子は VCC 端子との電圧差が 0.2V 以下を想定しております。

上記以外のフィルタ構成とされる場合に、例えば OCP+/-端子へ抵抗と対 GND に大きな容量がつくと、電源立ち上げ時に CR フィルタの時定数により OCP+/-端子電圧が V_{CC} 電圧の変化に追従できず遅れて立ち上がります。過電流検出回路の同相入力範囲 ($V_{CC}+0.7V(DI \text{ の } V_F) \sim V_{CC}-2.5V$ 程度) を下回り動作不良を起こす可能性がありますので、定数設定には、ご注意下さい。

また上記フィルタにてノイズを減衰させるには限界がありますので、基板上でも予めノイズの低減をご検討ください。

まず、パターン上の注意点として、上記の電流経路の引き廻しは極力短く、OCP+/-端子への配線も極力引き廻さないでください。周辺部品についても、ノイズ低減のためには FET にはゲート総電荷量 Q_g の小さい、 D_i は等価容量が小さく逆回復時間 t_{rr} の短い製品を選択されることをお勧めします。他に C_4 のパスカの強化、 R_{gate} で波形を鈍らせる(背反事項として効率の悪化は懸念されます)、などもご検討ください。

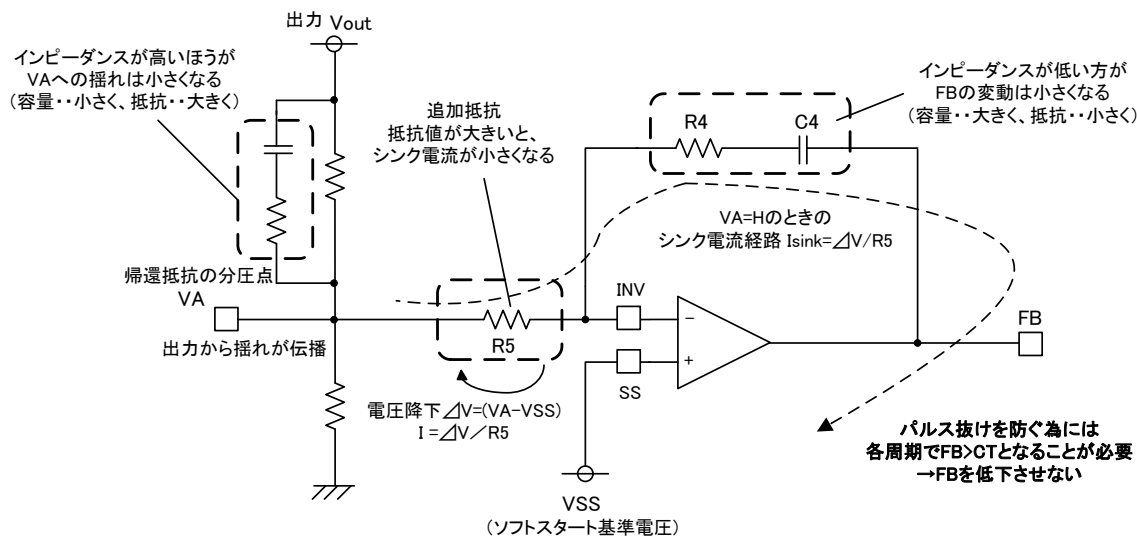
◆出力短絡時の注意事項について

P.16、Figure 36 のような DC/DC アプリケーションにおいて、出力を短絡し続けた場合には過電流が流れ、5 周期の間過電流検出レベルを超えるとスイッチングが停止し、1.6msec 程度の過電流検出保持時間後に再度ソフトスタート起動を行なう、といった状態を繰り返します。

このとき大きな短絡電流が流れるため、短絡の状態によっては、出力が大きく揺れ、この揺れが原因でスイッチングのパルス抜けが発生する可能性があります。出力から INV 端子へ帰還抵抗を介して揺れが伝達され、誤差増幅器が反転、FB→Low となり、1 周期の間 FB が CT 電圧を下回った場合に発生します。パルス抜け発生時は、過電流検出の 5 回連続のカウンタがリセットされ、出力を停止させることなくスイッチング状態が続く為、発熱などが懸念されます。

この状態は、出力の揺れの大きさと揺れを伝える経路となる帰還抵抗や位相補償の定数に依存します。出力からの揺れを減衰させるようにすればノイズおよびパルス抜けは抑えられますが、同時に系全体の応答性も低下するため、特性とのバランスをとる必要があります。Figure36 の回路定数だけでの調整が難しい場合、帰還抵抗の分圧点と INV 端子との間に数 10k Ω 程度の抵抗追加をご検討ください。(INV 端子周辺の抵抗を大きくする場合、応答性の他、入力バイアス電流(1 μ A Max)の影響もご注意ください。)またその他に、短絡状態で出力 FET のベタ ON を防ぐ目的で、DT 端子による最大 Duty 制限もご検討ください。(ただし最大 Duty を設定すると、最小入出力電圧差も制約を受けますので、減電特性にご注意下さい。)

短絡の状態によっては過電流検出しにくくなることも考えられますので、上記内容を踏まえた十分なご確認をお願いします。



出力短絡時の揺れによるパルス抜けを防ぐ定数検討

(3) 出力 ON/OFF 制御回路例

回路全体を停止させる場合、STB 端子を"Low($V_{STB} < 0.5V$)"とすることでスイッチングを停止し IC の消費電流を $0\mu A(Typ)$ に低減します。

また、1つの ch のみ ON/OFF を切り換えるには、その ch の DT 端子を "Low($V_{DT} < 1.25V$)" とすることで OFF 制御に固定されます。この制御はその ch だけで独立しており、他の ch には影響されません。また DT="L" 時には同時に SS 端子及び FB 端子もディスチャージしているため、再起動時にはソフトスタート起動が可能です。DT 端子に電圧を印加する場合は、VREF 電圧以下とし、FB 端子の起動スピードより十分速いスピードで ON/OFF してください。

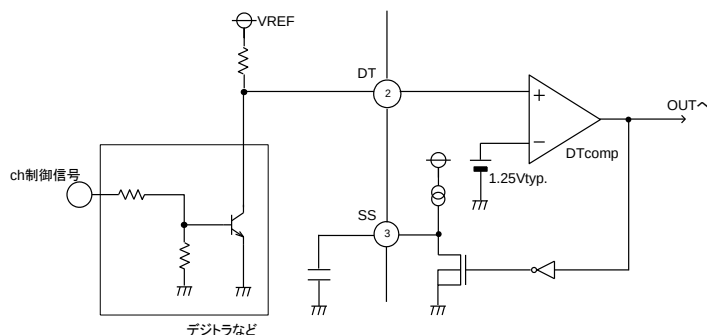


Figure 38

(4) マスタスレーブ(多ch 同期出力)動作回路例

STB 端子の入力を $2.5V \pm 0.1V$ とすることで本 IC はスレーブモードとなり、周波数を同期させた多chでの出力が可能になります。(Figure 39) ただし、スレーブモード状態では、CT 端子が Hi インピーダンスになり、マスタモード IC の CT 波形により三角波が発生します。よって、起動時及び停止時にはマスタ IC とスレーブ IC の起動/停止タイミング等により誤動作がないよう下記マスタスレーブ回路例を推奨します。出力は DT 端子にて確実に ON/OFF 制御することをおすすめします。また、発振周波数は CT に接続するコンデンサ(C_{CT})にて決定します。スレーブ IC が多く、かつ発振周波数が高い場合には CT に接している基板配線による寄生容量が無視できなくなり、設定周波数がずれることがありますのでご注意ください。スレーブモードで外部より発振波形を入力される場合は、下記制約を満たす波形を入力して頂きますようお願いいたします。

○スレーブモード外部入力波形条件

振幅 上限電圧(V_{CTH}) : $1.9V < V_{CTH} < 2.3V$
 下限電圧(V_{CTL}) : $1.4V < V_{CTL} < 1.6V$
 周波数 $100kHz < f_{OSC} < 1.5MHz$

を満たす、電圧に対して Duty が線形となる
 発振波形(ex.三角波、ノコギリ波など)

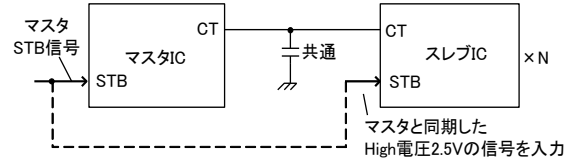


Figure 39

下記にマスタスレーブ回路構成例を示しております。これら以外の構成にてご使用の際には、お手数ですが弊社担当までご連絡下さい。

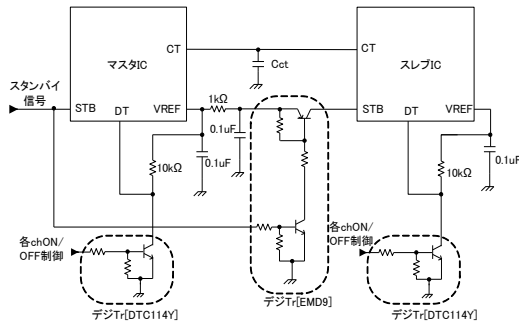


Figure 40. マスタ・スレーブ回路例 1

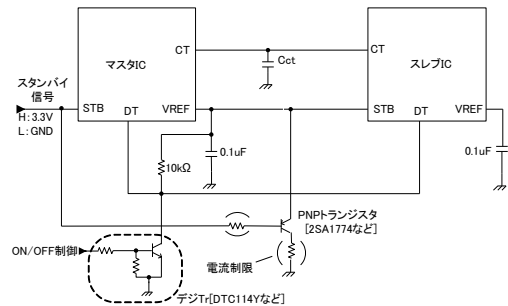
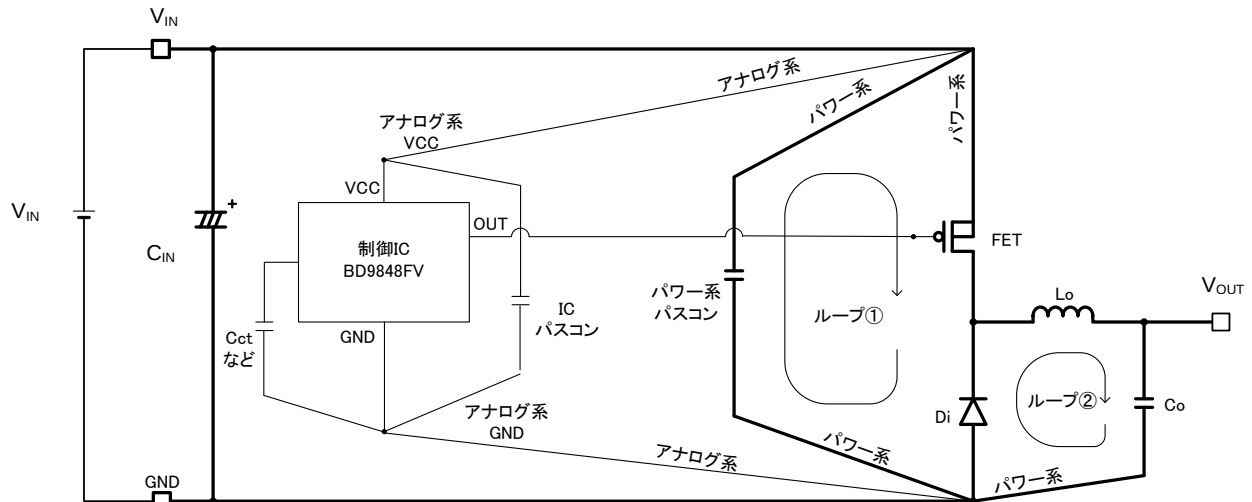


Figure 41. マスタ・スレーブ回路例 2

(5) 基板レイアウトについて

IC の性能を十分に引き出すために、一般的な注意事項に加えて、下記事項についても十分にご検討ください。

- OC_P+ / OC_P- の各入力是非常にセンシティブな回路となっております。前述 2) の内容を参考に検討下さい。
- 寄生の容量結合によるノイズなどについても、距離を空け緩衝帯を設ける等、引き回しについてご検討ください。
(特に OC_P 端子や FB、CT 端子などノイズを受けやすい配線はご注意願います。)
- OC_P 周辺や位相補償回路周辺には、保険としてコンデンサなどの予備パターンを設けておくことをお勧めします。
- 大電流をスイッチングする場合にはノイズが発生しやすくなりますので、その影響を最小限に抑える為、大電流スイッチング経路(ループ①C_{in}, R_{sense}, FET, D_i、ループ②D_i, L, C_{out})の面積は極力小さく、配線は極力太く短くしてください。
GND も 1 点接地を心がけてください。また OUT 端子も最短距離で配線してください。(多層基板の場合、パワー系とアナログ系を上下層に分離し、中間層にてシールドすることも効果的と思われます。)
- 入力のバスコンはそれぞれ、IC の直近、および FET, D_i の直近に最短で配置してください。
- C_{CT}, C_{VREF} はすべての基準となります。外部の影響を受けないよう安定化された IC の GND へ最短配線を行ってください。
- アナログ系 VCC(GND)へ、大電流系との共通インピーダンスを持たないようにご注意ください。



■ 基板パターン イメージ図

(6) 使用しないチャンネルの PIN 処理について

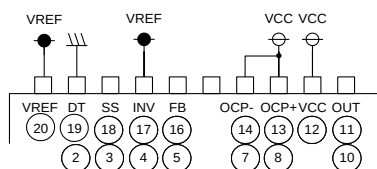
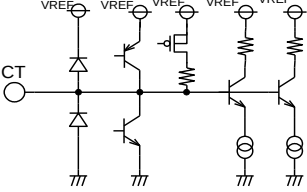
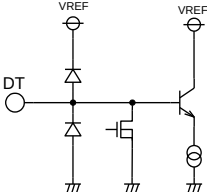
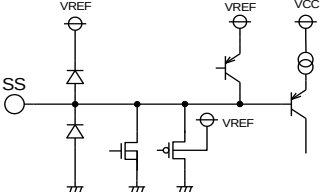
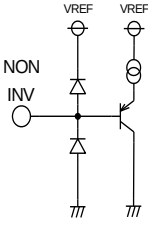
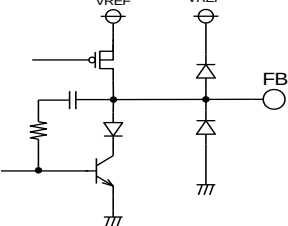
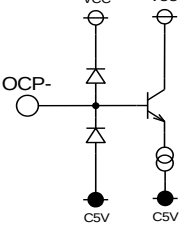
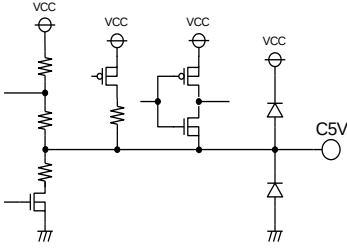
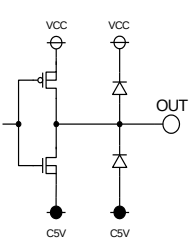
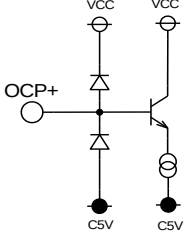
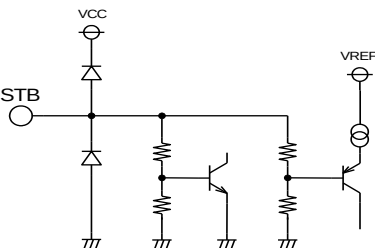
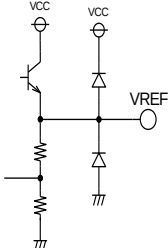


Figure 42

1 チャンネルのみ使用時は、未使用のチャンネルを上記のように処理して下さい。

入出力等価回路図

1pin(CT)	2pin,19pin (DT1,DT2)	3pin, 18pin (SS1,SS2)	
			
4pin, 17pin (INV1,INV2)	5pin, 16pin (FB1,FB2)	7pin, 14pin (OCP1-,OCP2-)	
			
9pin (C5V)	10pin, 11pin (OUT1,OUT2)	8pin, 13pin (OCP1+,OCP2+)	
			
15pin (STB)	20pin (VREF)	6pin (GND)	12pin (VCC)
			

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、グラウンド > (端子 A) の時、トランジスタ(NPN)ではグラウンド > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、グラウンド > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子にグラウンド(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子がグラウンドにショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

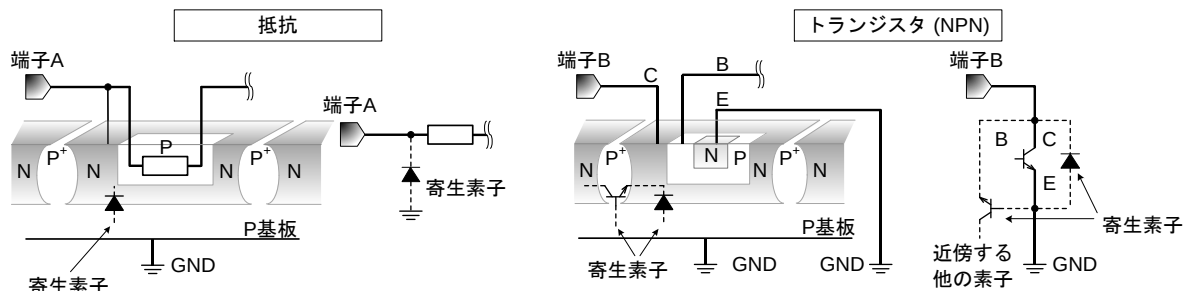


Figure 43. モノリシック IC 構造例

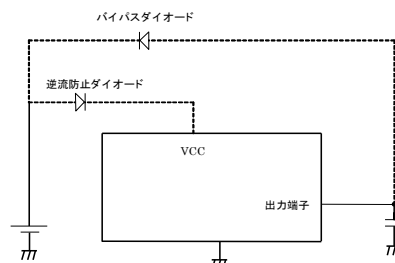
13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

14. アプリケーションにおいて、VCC と各端子電位が逆になるモードが存在する場合、内部回路を損傷する可能性があります。

例えば、外付けコンデンサに電荷がチャージされた状態で、VCC が GND にショートされた場合など。

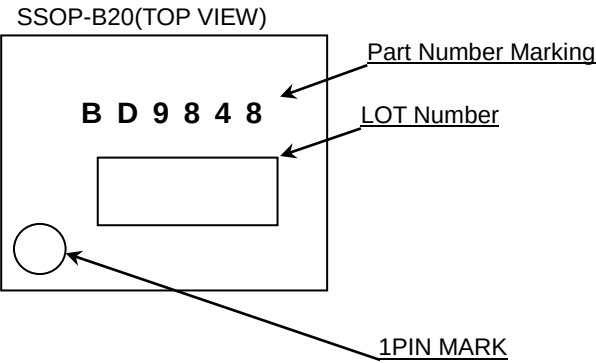
VCC 直列に逆流防止のダイオードもしくは各端子-VCC 間にバイパスのダイオードを挿入することを推奨します。



発注形名情報

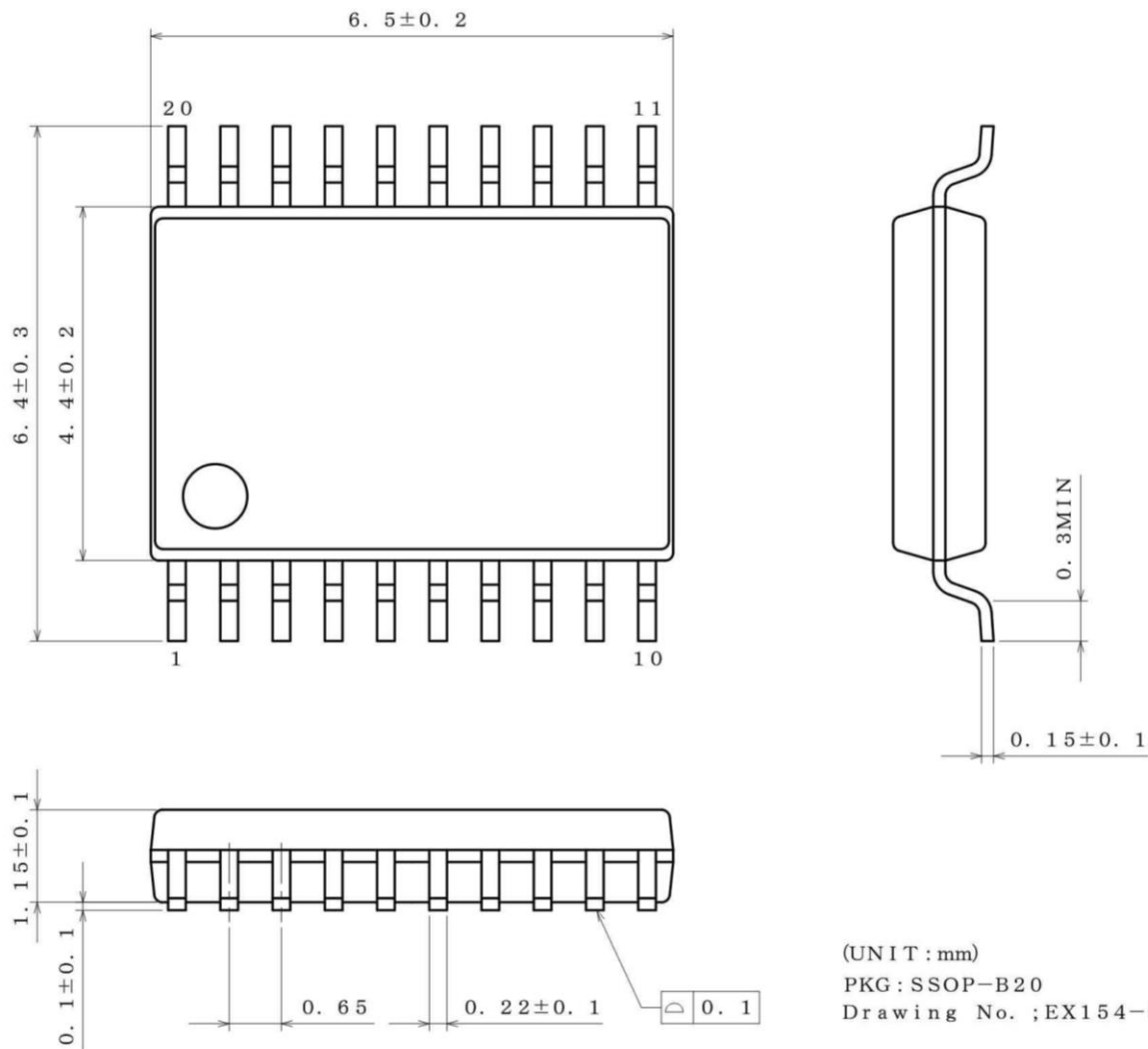
B	D	9	8	4	8	F	V	E 2
形名				パッケージ FV: SSOP-B20				包装、フォーミング仕様 E2: リール状エンボステーパーピング (SSOP-B20)

標印図



外形寸法図と包装・フォーミング仕様

Package Name	SSOP-B20
--------------	----------



<包装仕様>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに) 製品の1番ピンが左上にくる方向)

リール 1番ピン 引き出し側

※ご発注の際は、包装数量の倍数でお願い致します。

改訂記録

Date	Revision	Changes
2015.11.06	001	新規作成

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。