

4.5V~42V 入力 1.5A 出力 MOSFET 内蔵

1ch 降圧スイッチングレギュレータ

BD9G201EFJ-M BD9G201UEFJ-M

概要

本 IC は電源電圧範囲 4.5V ~ 42V で動作可能なハイサイド FET 内蔵ダイオード整流型の降圧スイッチングレギュレータです。電流モード制御によって高速な負荷応答と簡易な位相補償設定を実現しています。

小型の二次側電源用として、例えば 12V、24V などの電源から 3.3V/5V などの降圧電圧を出力することができます。また外部 CLK との同期機能を備えておりノイズマネジメントを行う事が可能です。

重要特性

- 入力電圧範囲 : 4.5V ~ 42V
- 基準電圧精度 (Ta= 25°C) ±1.5%
- (Ta= -40 ~ +105°C) ±2.0%
- 最大出力電流 : 1.5A(Max)
- 動作温度範囲 : -40°C ~ +105°C

パッケージ

HTSOP-J8ES

W(Typ) x D(Typ) x H(Max)

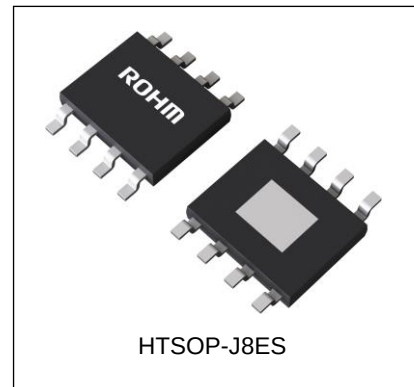
4.90mm x 6.00mm x 1.00mm

特長

- AEC-Q100 対応^(Note1)
 - ハイサイド Nch MOSFET 内蔵
 - 外部 CLK 同期機能 250kHz ~ 500kHz
 - EN 端子による ON/OFF 制御 (スタンバイ電流 0μA)
 - 小型パッケージ(HTSOP-J8ES)
 - LowDrop Out 動作
- (Note1: Grade 2)

用途

- カーアプリケーション
(カーナビゲーション、カーオーディオ、etc.)
- 産業機器
- アミューズメント機器
- 12V/24V ラインなどを持つ民生機器全般



基本アプリケーション回路

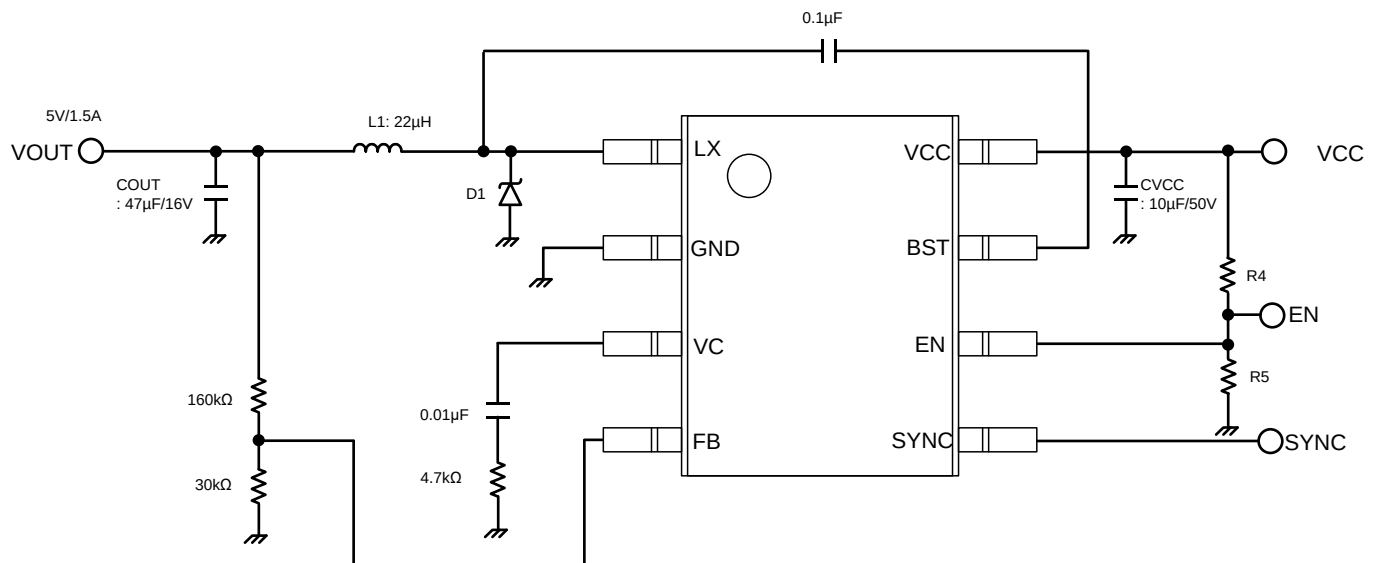


Figure 1. 基本アプリケーション

端子配置図

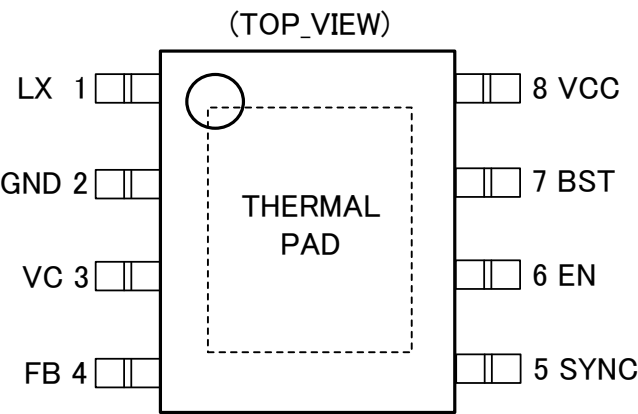


Figure 2. 端子配置図

端子説明

端子番号	記 号	機 能
1	LX	スイッチ端子
2	GND	接地端子
3	VC	エラーアンプ出力端子
4	FB	フィードバック入力端子
5	SYNC	外部 CLK 入力端子
6	EN	イネーブル端子
7	BST	ブートストラップコンデンサ接続端子
8	VCC	電源入力端子
-	THERMAL PAD	放熱用 PAD です。放熱性確保のため必ず GND に接続してください。

ブロック図

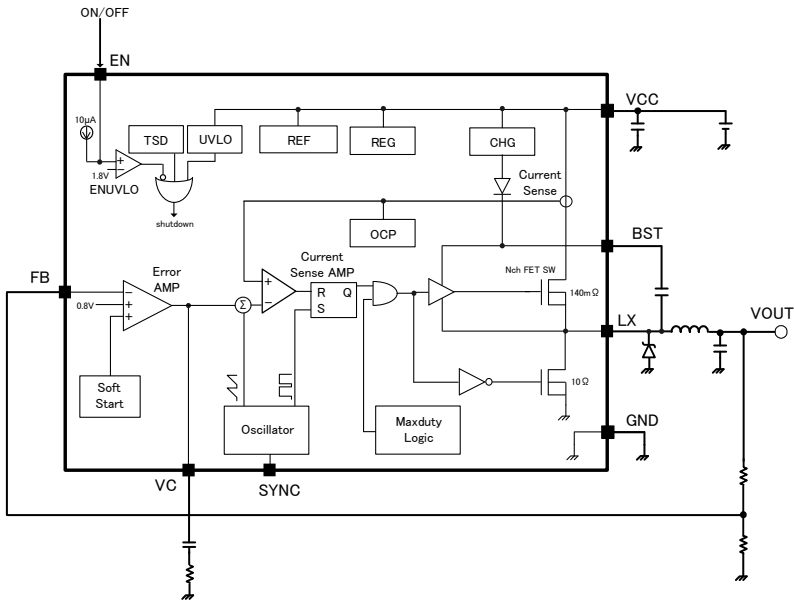


Figure 3. ブロック図

各ブロック動作説明

1. REF
基準電圧生成ブロックです。
2. REG
内部回路電源用レギュレータです。
3. CHG
ブートストラップコンデンサ充電用のレギュレータです。
4. TSD
過熱保護回路です。最大ジャンクション温度 $T_j = 150^{\circ}\text{C}$ を超える熱を感知した場合、出力 FET を OFF し、ソフトスタート回路をリセットします。
温度が低下するとヒステリシスを持って自動復帰します。
5. UVLO
低電圧誤動作防止回路です。電源立ち上がり時及び電源電圧低下時の内部回路誤動作を防止します。
VCC 端子電圧をモニタしており、VCC が UVLO 検出スレッシュホールド以下となると出力 FET を OFF し、ソフトスタート回路をリセットします。
UVLO 検出スレッシュホールドはヒステリシスを有しています。
6. ENUVLO
EN 端子が 0.3V 以下の時 IC は OFF、0.3V 以上 1.4V 以下の電圧で内部 REG が ON、1.8V(Typ)以上となった場合スイッチング動作し、内部回路より 10 μA (Typ)のヒステリシス生成電流がソースされます。
IC 動作を OFF するためにはソース電流を引き抜く能力が必要となります。
VCC 印加時に EN 端子を制御する信号電源がない状況が想定される場合には、EN 端子がハイインピーダンスにならないよう、プルダウン処理を行ってください。EN 端子を VCC からの抵抗分割にて構成することにより、UVLO 電圧以上の任意減電保護設定が可能です。
7. ErrorAMP
出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。
内部基準電圧は 0.8V(Typ)に設定しています。
8. SoftStart
DC/DC コンバータの出力電圧を緩やかに上昇させる事により、起動時の突入電流を防ぐ回路です。
ソフトスタート時間は自走モードの 300kHz(Typ)の場合 8msec(Typ)です。
周波数外部同期機能を利用した場合は発振周波数により変化します。
9. Oscillator
周波数 300kHz(Typ)の発振回路です。
外部 CLK を SYNC 端子に入力することにより、250kHz ~ 500kHz までの同期動作が可能です。
自走にて使用する場合は SYNC 端子を GND に接続してください。
10. Current Sense AMP
電圧-パルス幅変換器です。
誤差増幅器出力電圧と SLOPE 波形を加算したものと、FET SW の電流に応じた電圧を比較して出力パルスの幅を制御し、ドライバへ出力します。
11. Nch FET SW
出力電流+ インダクタのリプル電流から算出される FET 最大電流が OCP 値 2.0A(Min)以下となるよう使用してください。
12. OCP
Nch FET の過電流保護回路です。過電流を検出した場合には検出した周期の間 FET を OFF します。2 周期連続で過電流検出した場合には、一定時間停止したのち、自動復帰します。
13. MaxDuty Logic
8 周期連続で Nch FET SW が ON し続けた場合に、強制的に一定時間ハイサイド FET をオフする回路です。

絶対最大定格(Ta= 25°C)

項目	記号	定格	単位
VCC - GND	VCC	45	V
BST - GND	VBST	50	V
BST - LX	VBST-LX	7	V
EN - GND	VEN	45	V
LX - GND	VLX	45	V
FB - GND	VFB	7	V
VC - GND	VVC	7	V
SYNC - GND	VSNC	7	V
動作温度範囲	Topr	-40 ~ +105	°C
保存温度範囲	Tstg	-55 ~ +150	°C
最高接合部温度	Tjmax	150	°C

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 (Note 3)	4 層基板 (Note 4)	
HTSOP-J8ES				
ジャンクション - 周囲温度間熱抵抗	θ_{JA}	206.4	45.2	°C/W
ジャンクション - パッケージ上面中心間熱特性パラメータ (Note 2)	Ψ_{JT}	21	13	°C/W

(Note 1) JESD51-2A(Still-Air) に準拠。

(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mm

1層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm

(Note 4) JESD51-7 に準拠した基板を使用。

測定基板	基板材	基板寸法	サーマルビア (Note 5)	
			ピッチ	直径
4層	FR-4	114.3mm x 76.2mm x 1.6mm	1.20mm	Φ0.30mm

1層目（表面）銅箔		2層目、3層目（内層）銅箔		4層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm	74.2mm□（正方形）	35μm	74.2mm□（正方形）	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件(Ta= -40°C to +105°C)

項目	記号	電圧範囲			単位
		Min	Typ	Max	
電源電圧	VCC	4.5 ^(Note 6)	-	42	V
出力電圧	VOUT	0.8 ^(Note 7)	-	VCC ^(Note 8)	V
出力電流	IOUT	-	-	1.5	A
SYNC 端子入力周波数範囲	f _{SYNC}	250	-	500	kHz
入力コンデンサ	C _{IN} ^(Note 9)	2.2	-	-	μF
インダクタンス	L ^(Note 10)	11	-	-	μH

(Note 6) IC 起動には 4.65V 以上の電圧が必要です。一度起動した後、VCC が低下した場合には、4.5V まで動作可能です。

(Note 7) 最小パルス幅(min_on_time) 200nsec(max)にて制限されます。

(Note 8) MaxDuty にて決定されます。

(Note 9) セラミックコンデンサの DC バイアス効果、温度特性を考慮のうえ選定してください。P18 を参照ください。

(Note 10) 出力電圧に応じ制限があります。P17 を参照ください。

電氣的特性 (特に指定のない限り Ta= 25°C, VCC= 12V, EN= 3V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
【回路電流】						
スタンバイ時回路電流	I _{st}	—	0	10	μA	V _{EN} = 0V
動作時回路電流	I _{cc}	—	1.2	2.4	mA	V _{FB} = 1.2V
【低電圧入力誤動作防止回路】						
検出電圧	V _{uv}	3.65	4.00	4.35	V	VCC 下降時
ヒステリシス幅	V _{uvhy}	50	200	300	mV	
【発振器】						
発振周波数	f _{osc}	270	300	330	kHz	
MaxDuty Cycle	D _{max}	95.0	97.0	99.9	%	V _{SYNC} = 0V
【エラーアンプ】						
FB 端子スレッシュホールド電圧	V _{FB}	0.788	0.800	0.812	V	Ta= +25°C
	V _{FBT}	0.784	0.800	0.816	V	Ta= -40 ~ +105°C
FB 端子入力電流	I _{FB}	-1.0	0	+1.0	μA	V _{FB} = 3.0V
FB 端子リーク電流	I _{leak}	-1.0	0	+1.0	μA	V _{FB} = 0V
ソフトスタート時間	t _{soft}	5.6	8.0	10.4	ms	V _{SYNC} = 0V
【出力部】						
Nch FET ON 抵抗(ハイサイド)	R _{onH}	—	140	—	mΩ	
Nch FET ON 抵抗(プリチャージ)	R _{onL}	—	10	—	Ω	
過電流検出スレッシュホールド	I _{ocp}	2	3	—	A	
【CTL】						
EN 端子内部 REG ON スレッシュホールド	V _{ENON}	0.3	—	1.4	V	
EN 端子 UVLO スレッシュホールド	V _{ENUV}	1.65	1.80	1.95	V	
EN 端子ソース電流	I _{EN}	9.0	10.0	11.0	μA	V _{EN} = 3V
【SYNC】						
SYNC 端子パルス電圧 High	V _{SYNCH}	2.0	—	5.5	V	
SYNC 端子パルス電圧 Low	V _{SYNCL}	-0.3	—	+0.8	V	
SYNC 端子入力電流	I _{SYNC}	6	12	24	μA	V _{SYNC} = 3V

詳細技術情報

●外部 CLK 同期機能

SYNC 端子に 250kHz ~ 500kHz までの外部 CLK 信号を入力することにより、同期動作が可能です。
 入力 CLK 信号は LOW レベルが 0.8V 以下、HIGH レベルが 2.0V 以上、H 区間と L 区間の幅は 100nsec 以上が必要です。
 SYNC 端子へパルスが 3 回入力後に SYNC 端子の立ち下がりエッジに LX 端子の立ち上がりエッジが同期します。
 外部 CLK が STOP した場合、7μsec 後に IC 内部の発振器による自走モードに切り替わります。

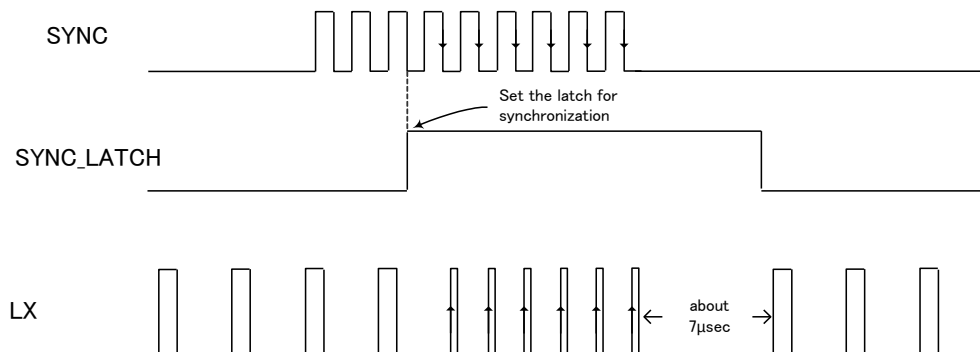


Figure 4. 周波数同期機能タイミングチャート

●同期機能未使用時 SYNC 端子処理

同期機能を使用しない場合、SYNC 端子は内部で抵抗プルダウンしていますが、GND へ接続することを推奨いたします。

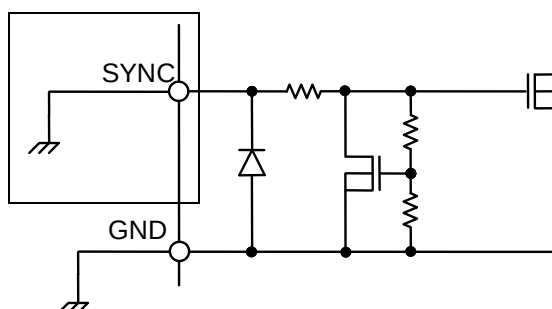


Figure 5. 同期機能未使用時 SYNC 端子処理

●外部 CLK 同期時ソフトスタート時間

ソフトスタート時間は CLK に同期しています。SYNC 端子による外部周波数同期機能を使用する場合、ソフトスタート時間は以下の式にて求められます。

$$t_{soft} = \frac{300}{f_{osc_ex}} \times 8 \quad [\text{msec}]$$

t_{soft} : ソフトスタート時間 [msec]

f_{osc_ex} : 外部 CLK 周波数 [kHz]

詳細技術情報 - 続き

●過電流保護動作

FET 過電流破壊を防ぐ過電流保護回路を内蔵しています。

過電流保護回路は 2 周期連続で検出を行うと一定時間停止した後、自動復帰します。

停止時間は以下ようになります。

- ・外部同期機能を使用しない場合

動作周波数 300kHz で 13msec となります。

- ・起動時に外部同期機能を使用する場合

SYNC 端子に外部 CLK が入力されていた場合、ラッチ停止時間は外部 CLK 周波数により下記の式で決定します。

$$T_{ocp} = \frac{1}{f_{osc_ex}} \times 4000 \quad [\text{msec}]$$

T_{ocp} : ラッチ停止時間 [msec]

f_{osc_ex} : 外部 CLK 周波数 [kHz]

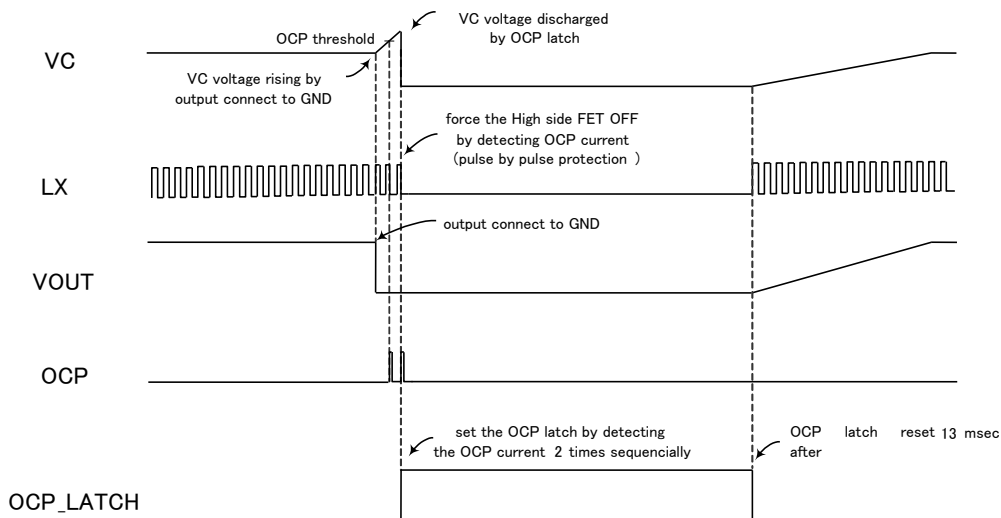


Figure 6. 過電流保護動作タイミングチャート

●外付け UVLO 設定方法

EN 端子には高精度リセット機能を内蔵しており、EN 端子を入力電圧の抵抗分割に接続することにより、内部 UVLO 以上の任意の低電圧誤動作防止設定が可能です。

利用する場合は任意の VCC 起動電圧 (V_{start}) と、VCC 停止電圧 (V_{stop}) に対し R4, R5 を以下のように設定してください。

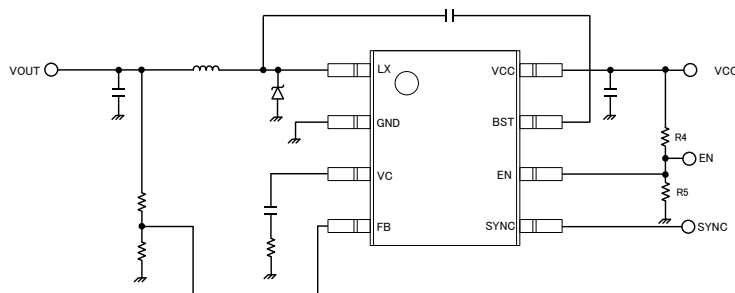


Figure 7. UVLO 外付け設定方法

$$R_4 = \frac{V_{start} - V_{stop}}{I_{EN}} \quad [\Omega]$$

$$R_5 = \frac{V_{EN} \times R_4}{V_{start} - V_{EN}} \quad [\Omega]$$

I_{EN} : EN ソース電流 10μA(Typ) V_{EN} : EN 端子 UVLO スレッシュホールド 1.8V(Typ)

VCC 起動電圧 15V, Vcc 停止電圧 14V に設定した場合、R4= 100kΩ, R5= 13.6kΩ となります。

詳細技術情報 - 続き

●出力電圧 4.9V 以下アプリケーションでの出力電圧以上の電圧発生対策

本 IC は下記条件時ドライブ電源端子である BST 端子から LX 端子を経由し出力へ最大 100 μ A の電流が発生します。そのため、IC 出力部に最大で BST 電圧(Max: 4.9V)が発生する可能性があり、出力電圧設定によっては出力電圧以上の電圧が発生する可能性があります。対策として、出力の帰還抵抗に 100 μ A 以上の電流が発生するように抵抗値を設定、もしくは、出力に 100 μ A 以上の抵抗負荷を接続してください。

[条件]

電源電圧が内部 UVLO スレッシュホールド以下の場合や、EN 端子電圧が内部 REG が ON 条件となっている場合など、IC のスイッチング動作が停止している状態で、IC 内部レギュレータが動作していること

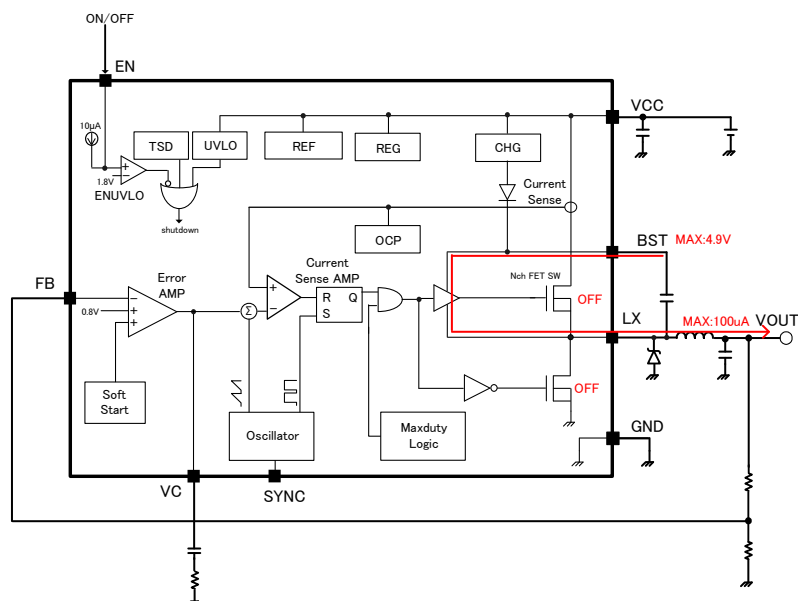


Figure 8. SW OFF, 内部 REG が ON 時の電流経路

詳細技術情報 - 続き

●LowDrop Out 動作

ハイサイド NchFET の駆動電圧である BST 端子充電のため、MaxDuty による入出力電圧制限があります。
 広い Duty 出力に対応するため、定常動作と MaxDuty モードの 2 モードを持っています。
 定常動作の範囲では毎周期スイッチング動作となりますが MaxDuty モードの場合は最大 8 周期まで ON を継続した後 700nsec の強制 OFF 区間を持ちます。

使用する入出力電圧及び負荷により、動作 Duty は以下のように計算されます。

$$Don = \frac{VOUT}{VCC - R_{onH} \times IOUT} \times 100 \quad [\%]$$

MaxDuty は forced off pulse の Typ:300nsec と動作周波数 f_{osc} [Hz]によって以下のように算出されます。

$$Don_max = (1 - 300n \times f_{osc}) \times 100 \quad [\%]$$

SYNC 端子を使用していない動作周波数 300kHz の場合、91%が定常動作の MaxDuty です。
 これ以上の ON Duty が必要となった場合、MaxDuty モードに移行します。

MaxDuty モードでは最大 8 周期の 100%ON の出力が可能となっており、その後 700nsec の強制 OFF 区間が存在します。

MaxDuty モードにおける最大 Duty を以下に示します。

$$Don_max2 = \left(1 - \frac{700n \times f_{osc}}{8}\right) \times 100 \quad [\%]$$

MaxDuty モードでは、毎周期スイッチングを行わないためインダクタリプル電流及び出力リプル電圧が大きくなります。
 Don_max2 以上の Duty が必要となる入出力条件では、出力電圧が低下します。

●MinDuty

MinDuty による出力電圧制限があります。

MinDuty は min_on_time ワースト：(200nsec)により、以下のように求められます。

$$Don_min = (200n \times f_{osc}) \times 100 \quad [\%]$$

●軽負荷時の発熱について

軽負荷時は内蔵している 10Ω(Typ)のプリチャージ NchFET が GND に電荷を引き抜き、BST コンデンサをチャージする動作となります。プリチャージ NchFET が電荷を引き抜く際にプリチャージ NchFET の ON 抵抗と流れる電流による損失が発生します。

この損失は入力電圧、出力電圧が高く、インダクタ値が小さい条件で大きくなるため、
 利用アプリケーション条件によっては軽負荷の IC の発熱が大きくなる可能性があります。

軽負荷時の効率や発熱を十分にご確認ください。軽負荷時の発熱が大きい場合には、L 値の大きいインダクタを使用し、リプル電流を小さくすることで発熱を抑える事が可能です。

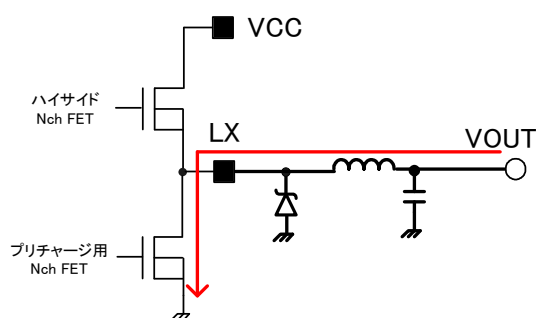


Figure 9. 軽負荷時の電流経路

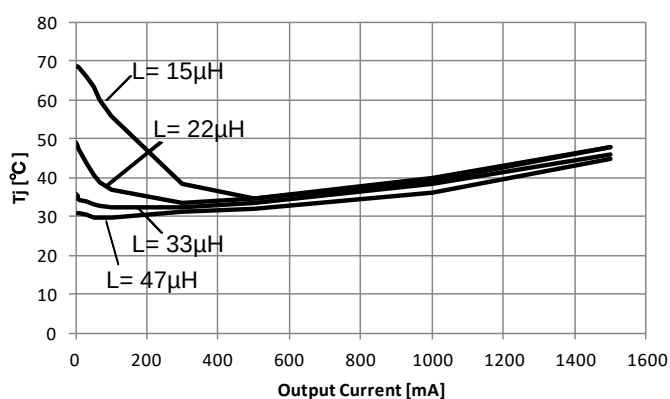


Figure 10. ジャンクション温度-負荷特性
 (VCC= 24V, Vout= 12V)

(Rohm 評価基板 (4 層 40mm x 40mm)にて測定)

特性データ (参考データ)

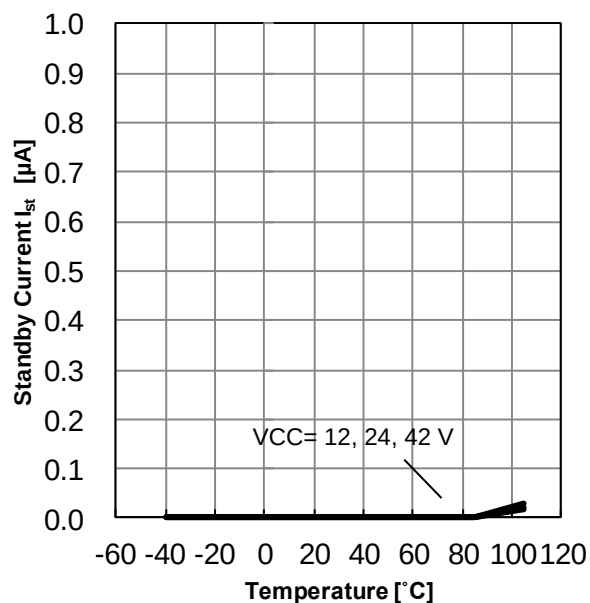
(特に指定のない限り, $T_a = 25^\circ\text{C}$, $V_{CC} = 12\text{V}$)

Figure 11. スタンバイ電流 vs 温度

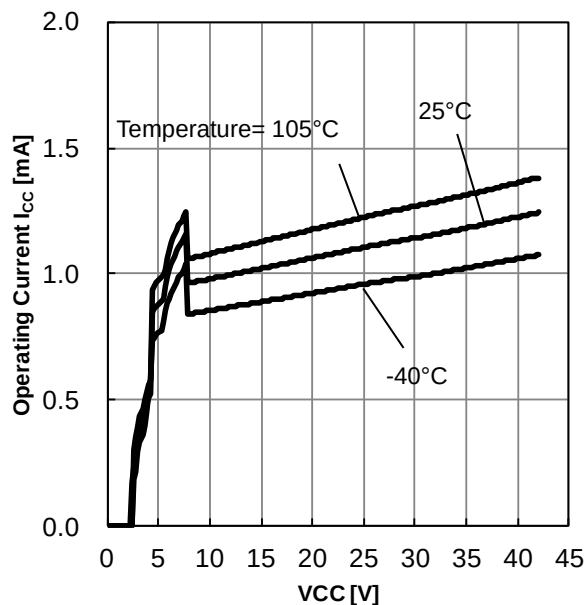
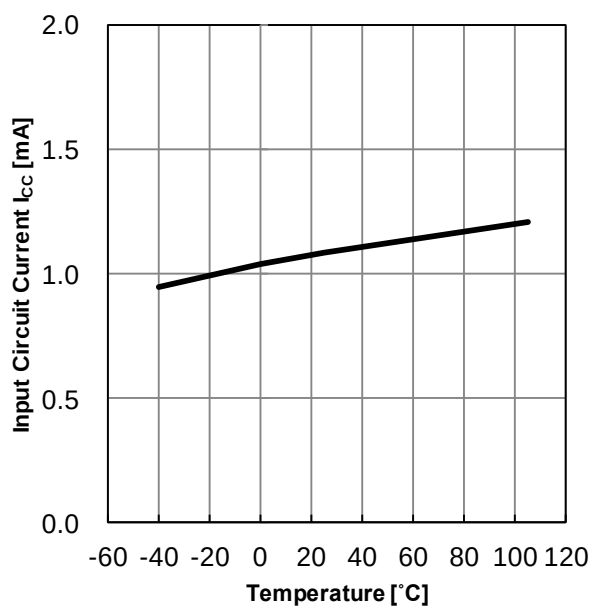
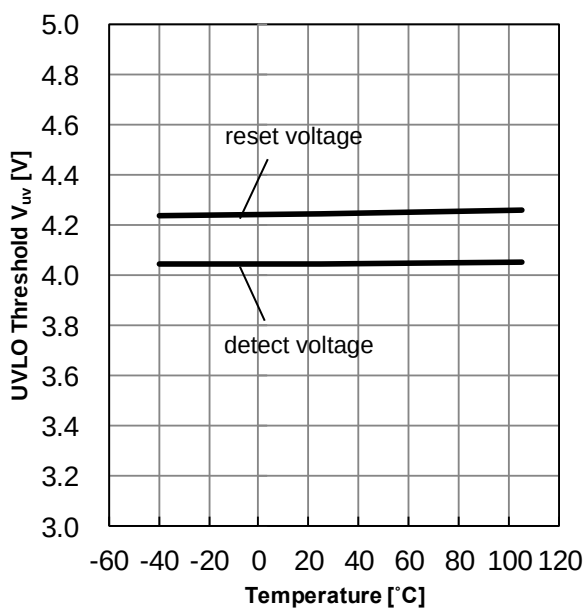
Figure 12. 動作時回路電流 vs 入力電圧($V_{FB} = 1.2\text{V}$)Figure 13. 動作時回路電流 vs 温度($V_{FB} = 1.2\text{V}$)

Figure 14. UVLO スレッシュホールド vs 温度

特性データ（参考データ） - 続き

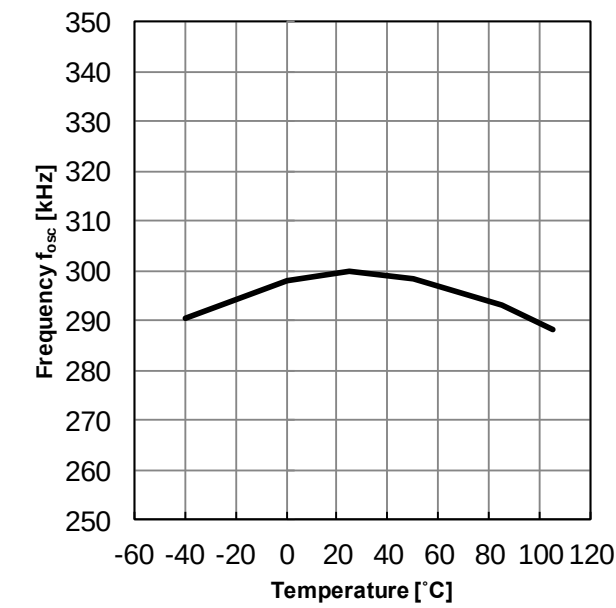


Figure 15. 発振周波数 vs 温度

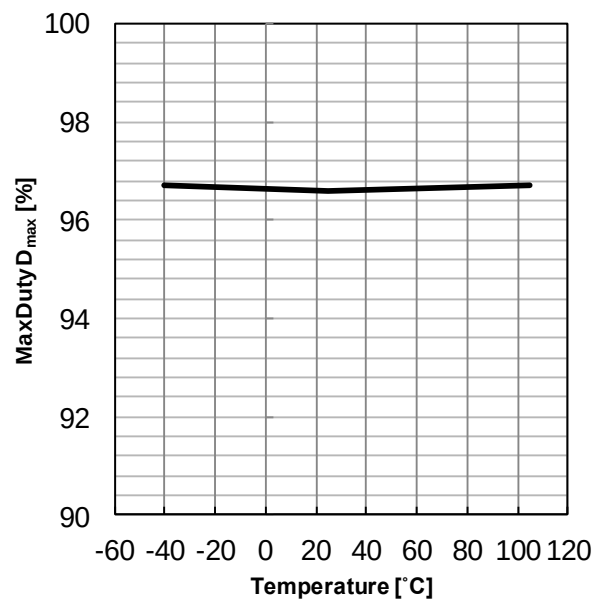


Figure 16. MaxDuty vs 温度

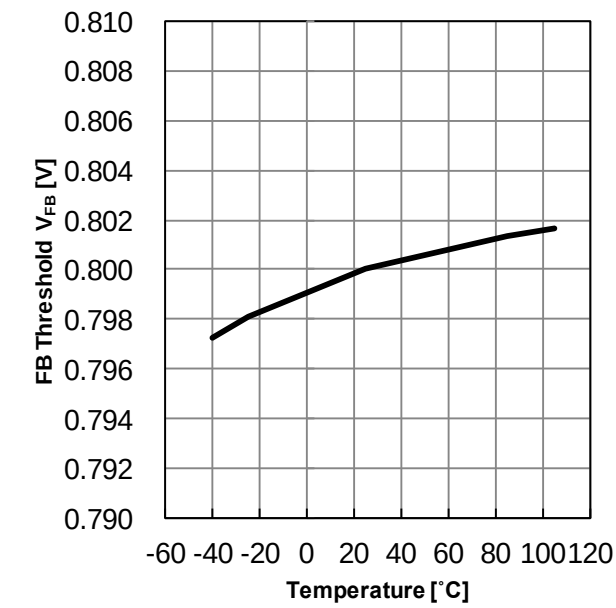


Figure 17. FB スレッシュホールド電圧 vs 温度

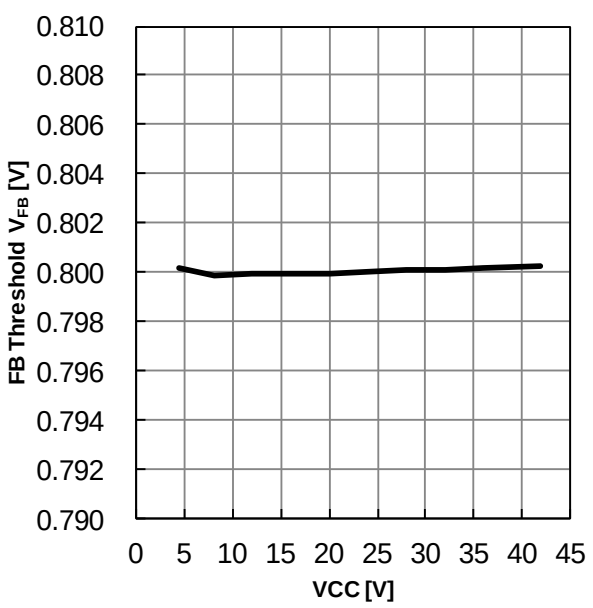


Figure 18. FB スレッシュホールド電圧 vs 入力電圧

特性データ（参考データ） - 続き

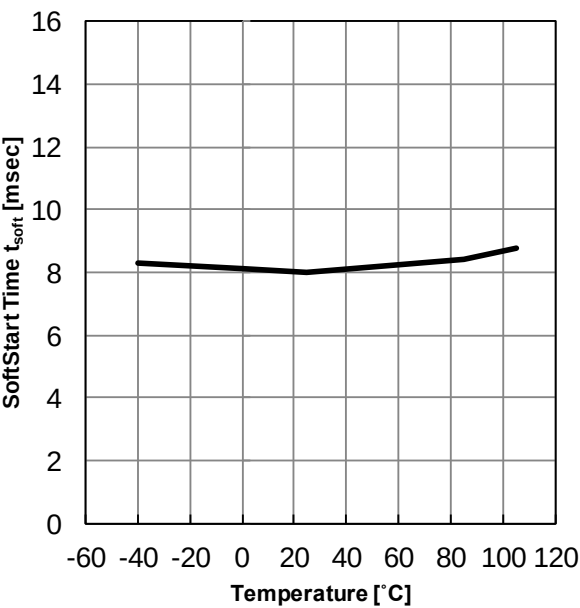


Figure 19. ソフトスタート時間 vs 温度

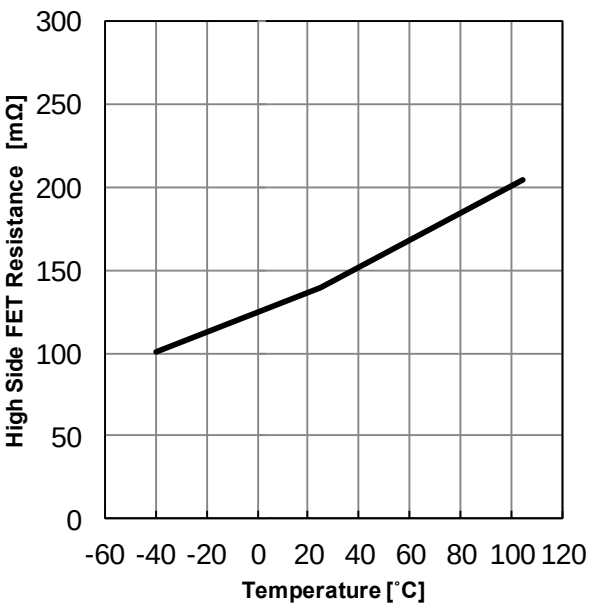


Figure20. Nch 出力 FET ON 抵抗 vs 温度

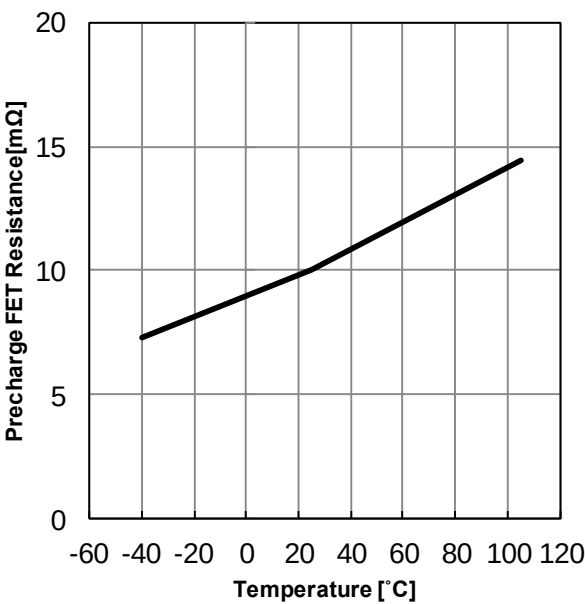


Figure 21. プリチャージ FET ON 抵抗 vs 温度

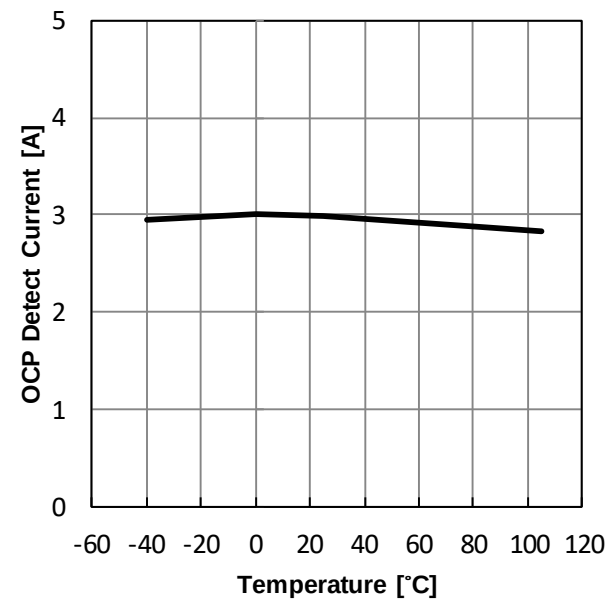


Figure 22. OCP 検出電流 vs 温度

特性データ（参考データ） - 続き

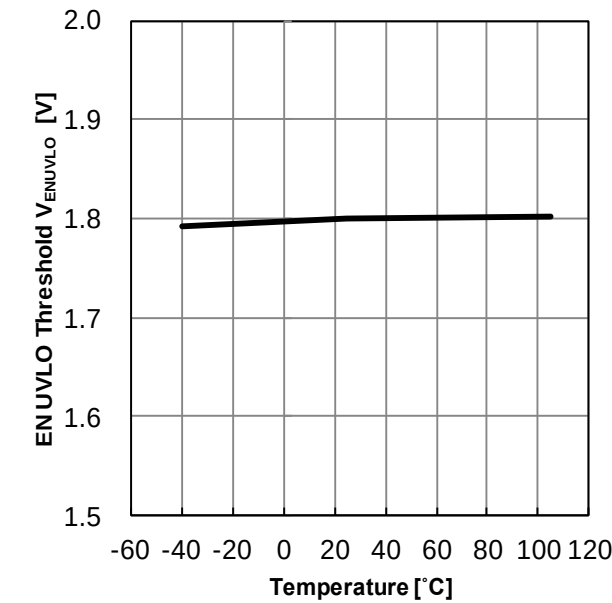


Figure 23. ENUVLO スレッシュホールド電圧 vs 温度

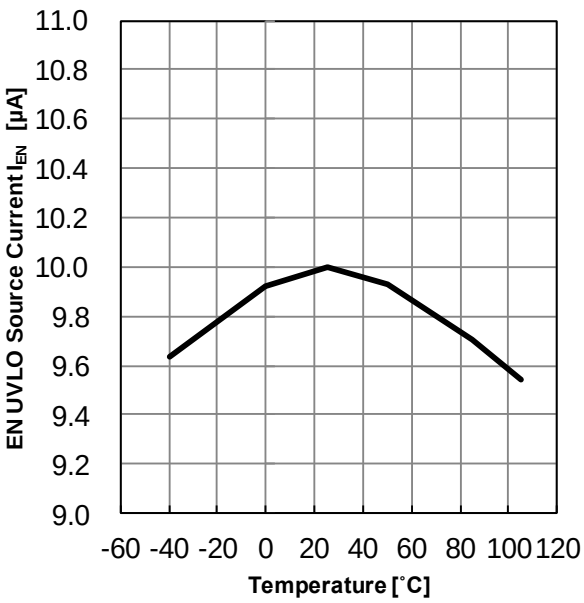


Figure 24. EN ソース電流 vs 温度

基本アプリケーションデータ(参考)

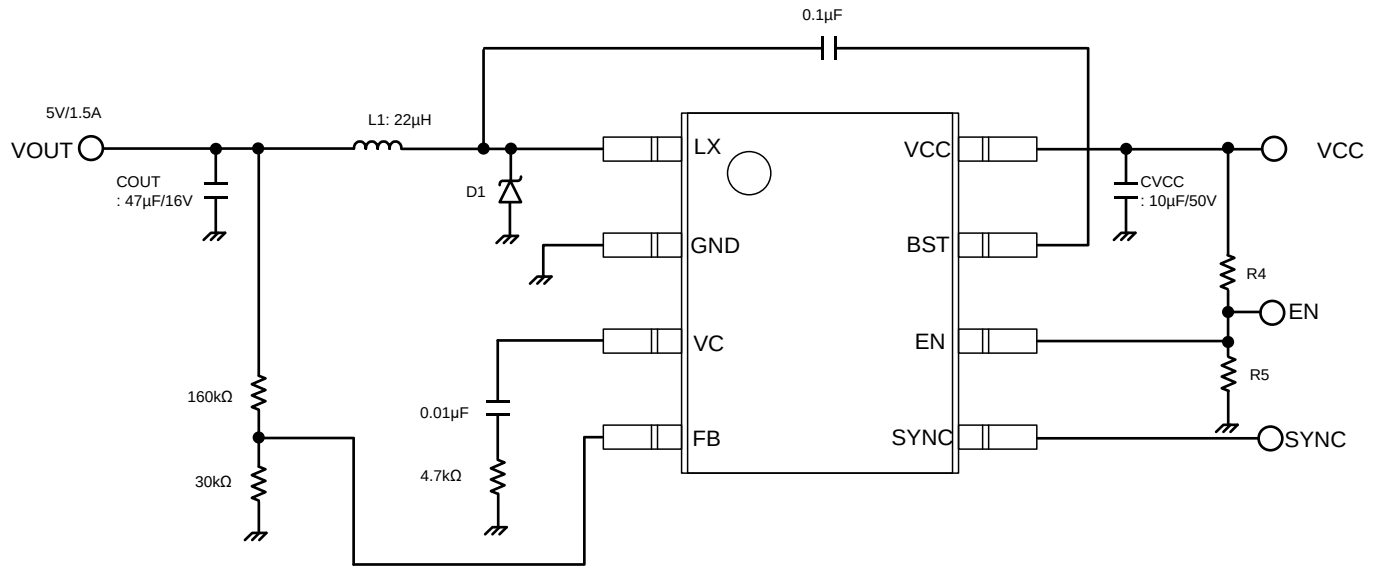
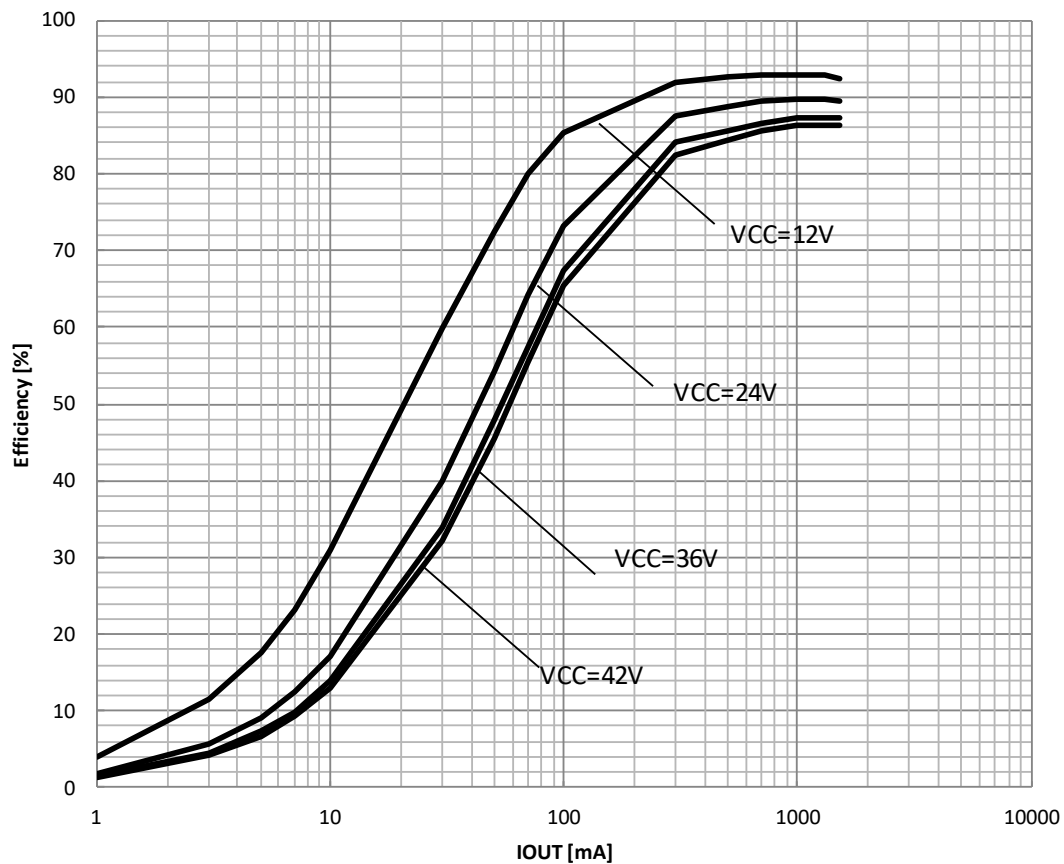


Figure 25. 基本アプリケーション

使用部品 :	L1	: TDK	CLF12577NIT-220M	22μH
	CVCC	: murata	GRM32ER71H106K	10μF/50V
	COUT	: murata	GRM32EB31C476K	47μF/16V
	D1	: Rohm	RB050L-60	

Figure 26. 効率 vs 出力電流
(電力変換効率)

基本アプリケーションデータ(参考) - 続き

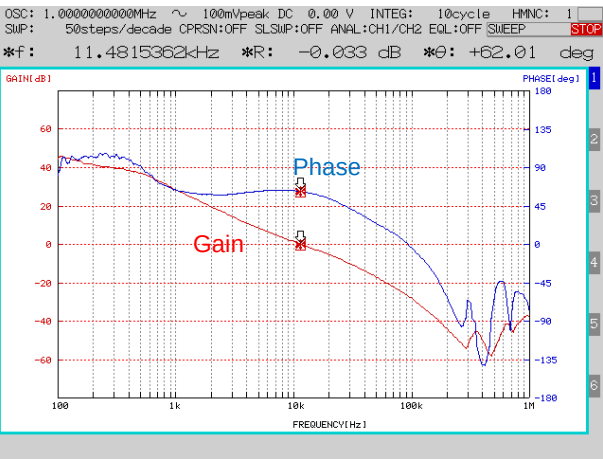


Figure 27. 周波数特性 (IOUT= 0.5A)

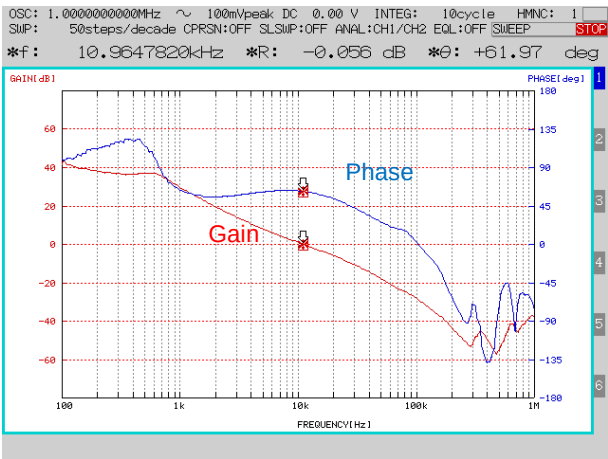


Figure 28. 周波数特性 (IOUT= 1.5A)

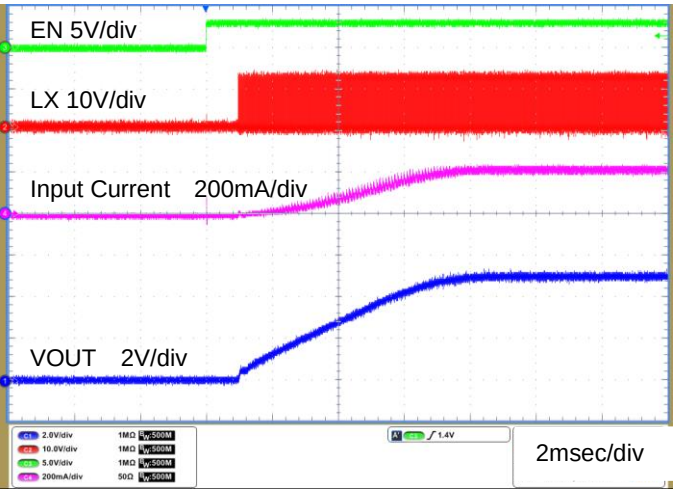


Figure 29. 起動波形 (IOUT= 0.5A)

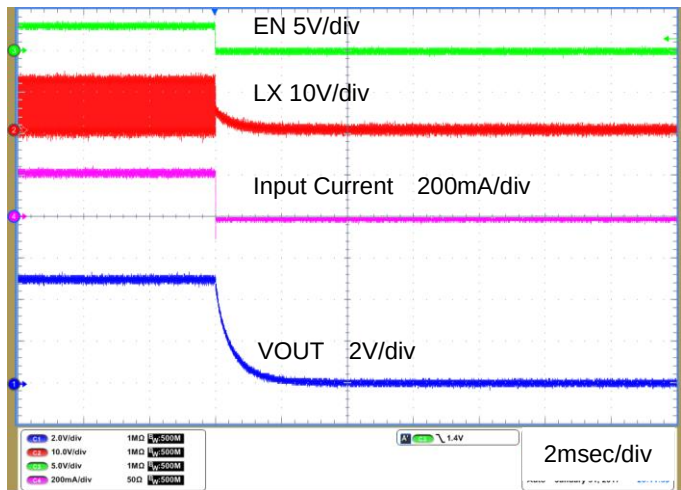


Figure 30. 終了波形 (IOUT= 0.5A)

アプリケーション部品選定方法

(1) インダクタ

電流定格(下記電流値 I_{peak})を満たし、DCR(直流抵抗成分)が低く、シールドタイプのものを推奨いたします。

インダクタの値はインダクタリプル電流に影響し、出力リプルの原因となります。

このリプル電流は以下の式のようにコイルの L 値が大きいほど、またスイッチング周波数が高いほど小さくすることができます。

内部 FET ピーク電流はコイルピーク電流 I_{peak} と同様になるため I_{peak} は OCP スレッシュホールド 2.0A(Min)以下となる必要があります。

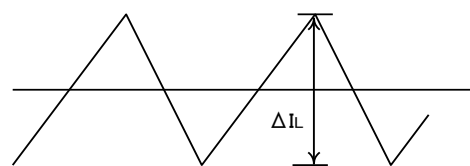


Figure 31. インダクタ電流

$$I_{peak} = I_{OUT} + \Delta I_L / 2 \quad [A] \quad (1)$$

$$\Delta I_L = \frac{V_{CC} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{CC}} \times \frac{1}{f} \quad [A] \quad (2)$$

(ΔI_L : インダクタリプル電流、 f : スwitchング周波数)

インダクタリプル電流の設計値は、最大負荷の 20% ~ 50%程度を目安としてください。

ただし出力電圧に応じた L 値下限を以下に示しますので、下記 L 値を下回らないインダクタを選定してください。

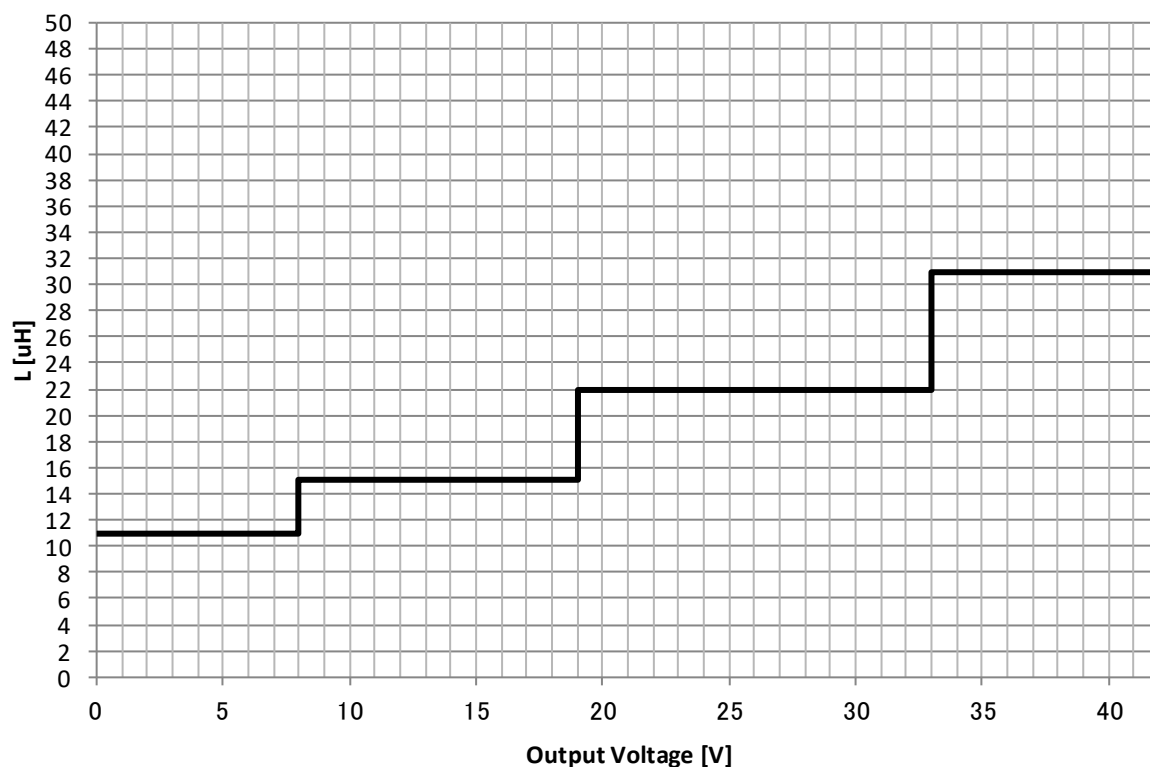


Figure 32. 出力電圧 vs L 値(min)

コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や出力の発振を引き起こすことがあります。ピーク電流がコイルの定格電流を超えないよう十分なマージンを持って選定してください。

アプリケーション部品選定方法 - 続き

(2) 入力コンデンサ

本 IC には、入力デカップリング・コンデンサが必要になります。デカップリング・コンデンサとして ESR の低い 2.2μF 以上のセラミックコンデンサを推奨いたします。

また、コンデンサの定格は DC バイアス特性を考慮にいれたうえ、最大定格が入力電圧に対して十分マージンのあるものを使用してください。

入力コンデンサ容量値 CIN により、入力リプル電圧が決定されます。

入力リプル電圧分だけ IC 電源電圧が低下しますので、UVLO や ENUVLO 機能等に対する電源動作範囲は入力リプル電圧を考慮した上で確認する必要があります。

発生するリプル電圧 ΔV_{in} は以下のように求められます。

$$\Delta V_{in} = \frac{I_{OUT(max)} \times V_{OUT}}{C_{IN} \times f \times V_{CC}} + (I_{OUT(max)} \times R_{ESR(max)}) [V_{p-p}] \quad (3)$$

入出力電圧差が小さい場合、MaxDuty モードとなるため、動作周波数が 1/8 倍になることに注意してください。

MaxDuty モードの条件に関しては詳細技術情報をご参照してください。

入力リプル電圧を入力電圧に重畳した上で、推奨動作範囲内となるよう、十分な容量をもつ入力コンデンサ容量を実装ください。

また入力リプル電流に対する発熱特性を確認する必要があります。

入力コンデンサに流れるリプル電流 I_{RMS} は以下の式にて求められます。

$$I_{RMS} \approx I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)} [A_{RMS}] \quad (4)$$

式(4)は $V_{IN}=2 \times V_{OUT}$ にて最大となり、

$$I_{RMS} \approx \frac{I_{OUT}}{2} [A_{RMS}] \quad (5)$$

式(5)の入力リプル電流に対し、十分な発熱特性を持つコンデンサを選定してください。

(3) 出力コンデンサ

出力に使用するコンデンサは出力リプルを軽減するため、ESR の低いセラミックコンデンサを推奨いたします。

また、コンデンサの定格は DC バイアス特性を考慮にいれたうえ、最大定格が出力電圧に対して十分マージンのあるものを使用してください。

出力リプル電圧は次式より求められます。

$$V_{pp} = \Delta IL \times \frac{1}{2\pi \times f \times C_{OUT}} + \Delta IL \times R_{ESR} [V] \quad (6)$$

許容リプル電圧内に収まるよう設定を行ってください。

また、出力コンデンサにより起動時のラッシュ電流が変わるため確認が必要になります。

起動時のラッシュ電流 I_{rush} は下記の式で表されます。

$$I_{rush} > \frac{C_{OUT} \times V_{OUT} \times f_{osc_ex}}{T_{softstart} \times f_{osc}} + \Delta IL + I_{OUT_{start}} [A] \quad (7)$$

$T_{softstart}$: ソフトスタート時間 f_{osc} : 内部動作周波数 300kHz

f_{osc_ex} : 外部同期周波数(使用していない場合は f_{osc} と同値)

$I_{OUT_{start}}$: 起動時の出力負荷電流

少なくとも上記式が OCP スレッシュホールド min の 2A 以下となっている事が必要になります。

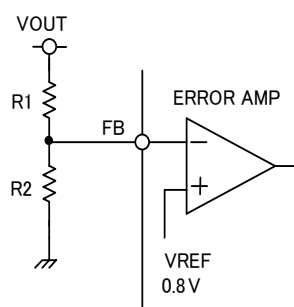
実際には、位相補償素子に依存するエラーアンプでの応答遅延による電流が重畳されます。

起動時のラッシュ電流が OCP スレッシュホールド 2A 以下に収まっている事を確認して下さい。

アプリケーション部品選定方法 - 続き

(4) 出力電圧設定

ERROR AMP の内部基準電圧は 0.8V です。出力電圧は次式より決定します。



$$V_{OUT} = \frac{(R1 + R2)}{R2} \times 0.8 [V] \quad (8)$$

Figure 33. 電圧帰還抵抗設定方法

(5) ブーストコンデンサ

BST 端子-LX 端子間に、0.1μF のセラミックコンデンサを接続してください。

BST-LX 間定格は 7V となっているため、10V 以上を推奨いたします。

(6) DC/DC コンバータ周波数特性の調整について

位相補償素子 C1、C2、R3 の役割

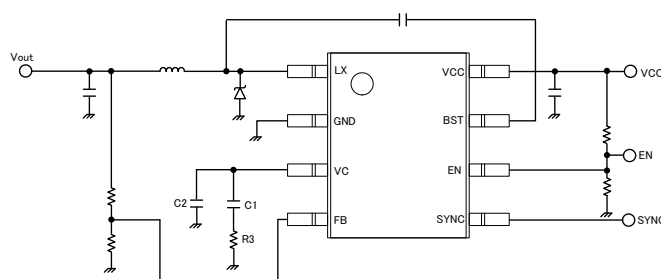


Figure 34. 位相補償素子

フィードバック系の安定性と応答性を決めるポールとゼロの組み合わせを、VC 端子に直列に接続されたコンデンサと抵抗との組み合わせで調整します。

電圧帰還ループの DC ゲインは、次の式によって計算できます。

$$A_{dc} = R_I \times G_{CS} \times A_{EA} \times \frac{V_{FB}}{V_{out}}$$

ここで、 V_{FB} はフィードバック電圧(0.8V)です。 A_{EA} は誤差増幅器の電圧ゲイン(Typ : 80dB)、 G_{CS} は電流検出のトランスコンダクタンス(Typ : 10A/V)で、そして R_I は出力負荷抵抗値です。

本 DC/DC の制御ループには、2 つのポールがあります。

一つは、位相補償コンデンサ(C1)と誤差増幅器の出力抵抗によって生じます。

もう一つは、出力コンデンサと負荷抵抗によって生じます。

これらのポールは、下記の周波数に現れます。

$$f_{p1} = \frac{G_{EA}}{2\pi \times C1 \times A_{EA}}$$

$$f_{p2} = \frac{1}{2\pi \times C_{OUT} \times R_I}$$

G_{EA} は誤差増幅器のトランスコンダクタンス(Typ : 220μA/V)です。

この制御ループでは、一つのゼロを持ちます。

位相補償コンデンサ C1 と位相補償抵抗 R3 によって生じるゼロで、以下の周波数に現れます。

$$f_{z1} = \frac{1}{2\pi \times C1 \times R3}$$

アプリケーション部品選定方法 - 続き

また、もし出力コンデンサが大きい、かつその ESR(RESR)が大きい場合は、追加のゼロ(ESR ゼロ)を持ちます。
この ESR ゼロは、出力コンデンサの ESR と容量によって生じ、下記の周波数に存在します。

$$f_{ZESR} = \frac{1}{2\pi \times C_{OUT} \times RESR} \quad (f_{ZESR}: \text{ESR ゼロの周波数})$$

この場合、2 つめの位相補償コンデンサ(C2)と位相補償抵抗(R3)とで決定される 3 つめのポールを、ループゲイン上の ESR ゼロの効果を補正するために使用します。
このポールは下記の周波数に存在します。

$$fp3 = \frac{1}{2\pi \times C2 \times R3} \quad (fp3: f_{ZESR} \text{ を補正する周波数})$$

位相補償設計の目標は、必要な帯域と位相余裕を得ることです。

帰還ループのループゲインが"0"となるクロスオーバー周波数(帯域): f_c を設定します。

クロスオーバー周波数が低くなると、電源変動応答や負荷応答が悪化します。

クロスオーバー周波数が高くなると、ループの位相余裕が減少します。

位相余裕を確保するため、クロスオーバー周波数はスイッチング周波数の 1/20 以下に設定する必要があります。

位相補償定数の選定方法を、下記に示します。

1. 希望するクロスオーバー周波数に対し位相補償抵抗(R3)を選択します。
R3 は次の式から求めます。

$$R3 = \frac{2\pi \times C_{OUT} \times f_c}{G_{EA} \times G_{CS}} \times \frac{V_{out}}{V_{FB}}$$

2. 位相補償コンデンサ(C1)を選択します。クロスオーバー周波数の 1/4 以下に位相補償のゼロを合わせることで、十分な位相余裕が得られます。C1 は次の式から求めます。

$$C1 > \frac{4}{2\pi \times R3 \times f_c}$$

3. 2 つめの位相補償コンデンサ C2 が必要かどうかの検討を行います。
出力コンデンサの ESR ゼロがスイッチング周波数の半分より小さいところに存在する場合、2 つめの位相補償コンデンサが必要です。つまり、下記の式がなりたった場合です。

$$\frac{1}{2\pi \times C_{OUT} \times RESR} < \frac{f_s}{2}$$

この場合は、2 つめの位相補償コンデンサ C2 を追加して、3 つめのポール $fp3$ の周波数を ESR ゼロの周波数に合わせます。C2 は次の式から求めます。

$$C2 = \frac{C_{OUT} \times RESR}{R3}$$

熱設計について

以下の式は、連続導通モード動作でのデバイスの消費電力を見積もる方法を示しています。デバイスが非連続導通モードで動作している場合は、これらの式を使用しないでください。IC 内部の各損失は以下の通りです。

- 1) 導通損失 : $P_{con} = I_{OUT}^2 \times R_{onH} \times V_{OUT}/V_{CC}$
- 2) スイッチング損失 : $P_{sw} = 19 \times 10^{-9} \times V_{CC} \times I_{OUT} \times f_{sw}$
- 3) ゲート・チャージ損失 : $P_{gc} = 9.0 \times 10^{-9} \times f_{sw}$
- 4) 非スイッチング動作時電流損失 : $P_q = I_{CC} \times V_{CC}$

I_{OUT} = 出力電流(A)、 R_{onH} = ハイサイド MOSFET のオン抵抗(Ω)、 V_{OUT} = 出力電圧(V)、 V_{CC} = 入力電圧(V)、 f_{sw} = スイッチング周波数(Hz)です。

IC 内部損失(P_d)は上記損失の総和であり、以下の通りです。

$$P_d = P_{con} + P_{sw} + P_{gc} + P_q$$

この時ジャンクション温度は、下式の通りです。

$$T_j = T_a + \theta_{ja} \times P_d$$

ジャンクション温度が最大値 $T_{j_max} = 150^\circ\text{C}$ を超えないように十分マージンを持った熱設計を行ってください。

PCB レイアウト

良好な特性の電源回路を設計するためには基板レイアウトが非常に重要です。特に大電流のスイッチング、高スループートのスイッチングノードは漏れ磁束、寄生容量などによって電源回路の性能を低下させるスイッチングノイズの原因となります。これを低減するために VCC pin 直近に低 ESR のセラミックコンデンサをバイパスコンデンサとして配置してください。またこのバイパスコンデンサ、キャッチダイオードのアノードのパターンによって生じるループには大電流が流れます。そのためこの電流ループを最少になるようにパターン設計をする必要があります。

裏面のサーマルパッドは放熱性を高めるため IC の裏面で半田付けのうえ多数のサーマル VIA を打ち他層の GND 層に接続してください。スイッチングノードの LX 端子は、寄生容量、パターンのインピーダンスを最少にするため、キャッチダイオード、インダクタはできるだけ LX 端子の近くに配置してください。

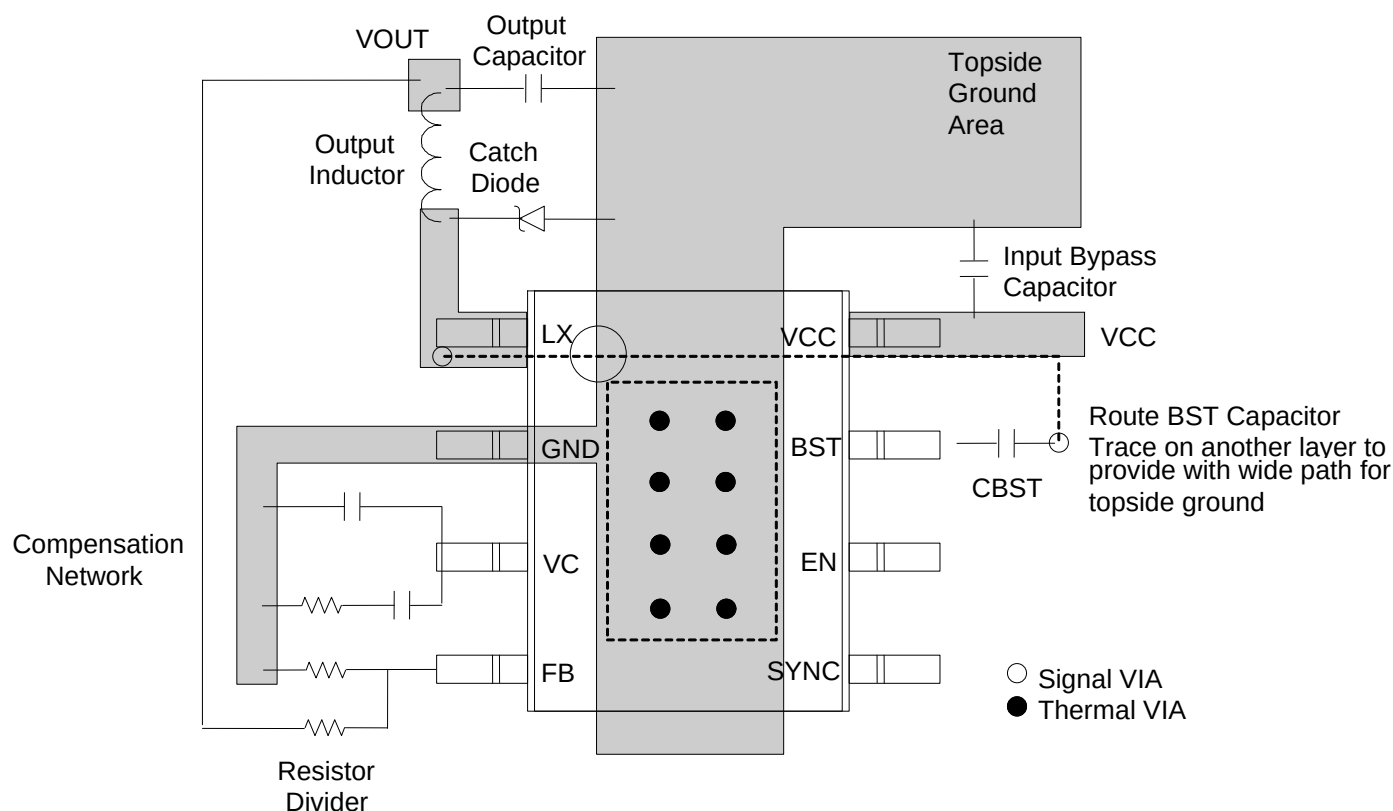


Figure 35. 参考基板パターン

入出力端子等価回路図

Pin. No	端子名	端子等価回路図	Pin. No	端子名	端子等価回路図
1 2 7 8	LX GND BST VCC		5	SYNC	
3	VC		6	EN	
4	FB				

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

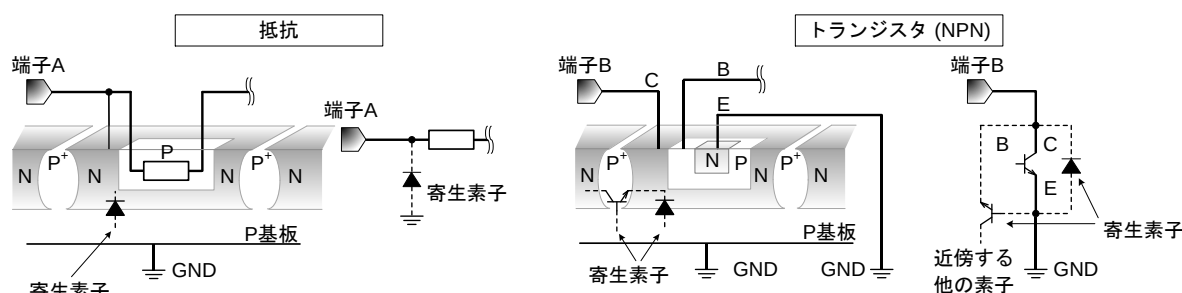


Figure 36. モノリシック IC 構造例

13. セラミックコンデンサの特性変動について

外付けコンデンサに、セラミックコンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

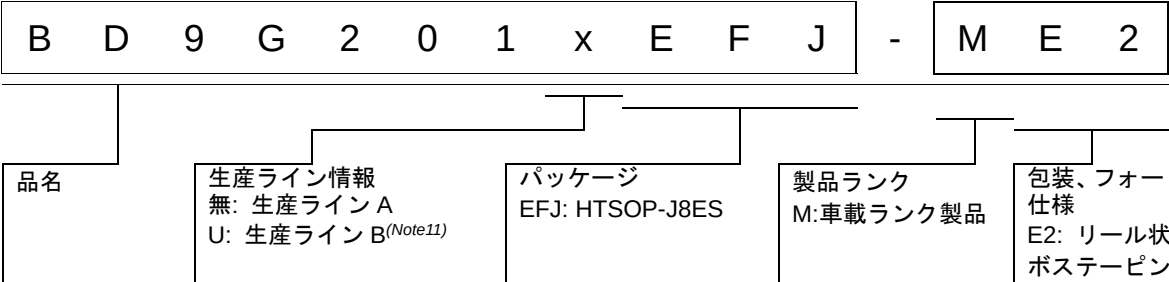
15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

16. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報

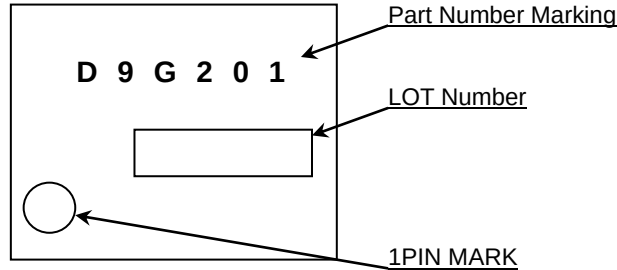


(Note11)生産率向上を目的に複数ライン構成となっています。データシート内の特性保証に差異はありません。新規ご採用時は追加生産ライン B を推奨します。

標印図

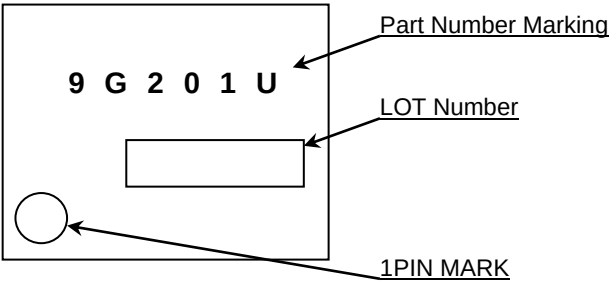
BD9G201EFJ-M

HTSOP-J8ES (TOP VIEW)

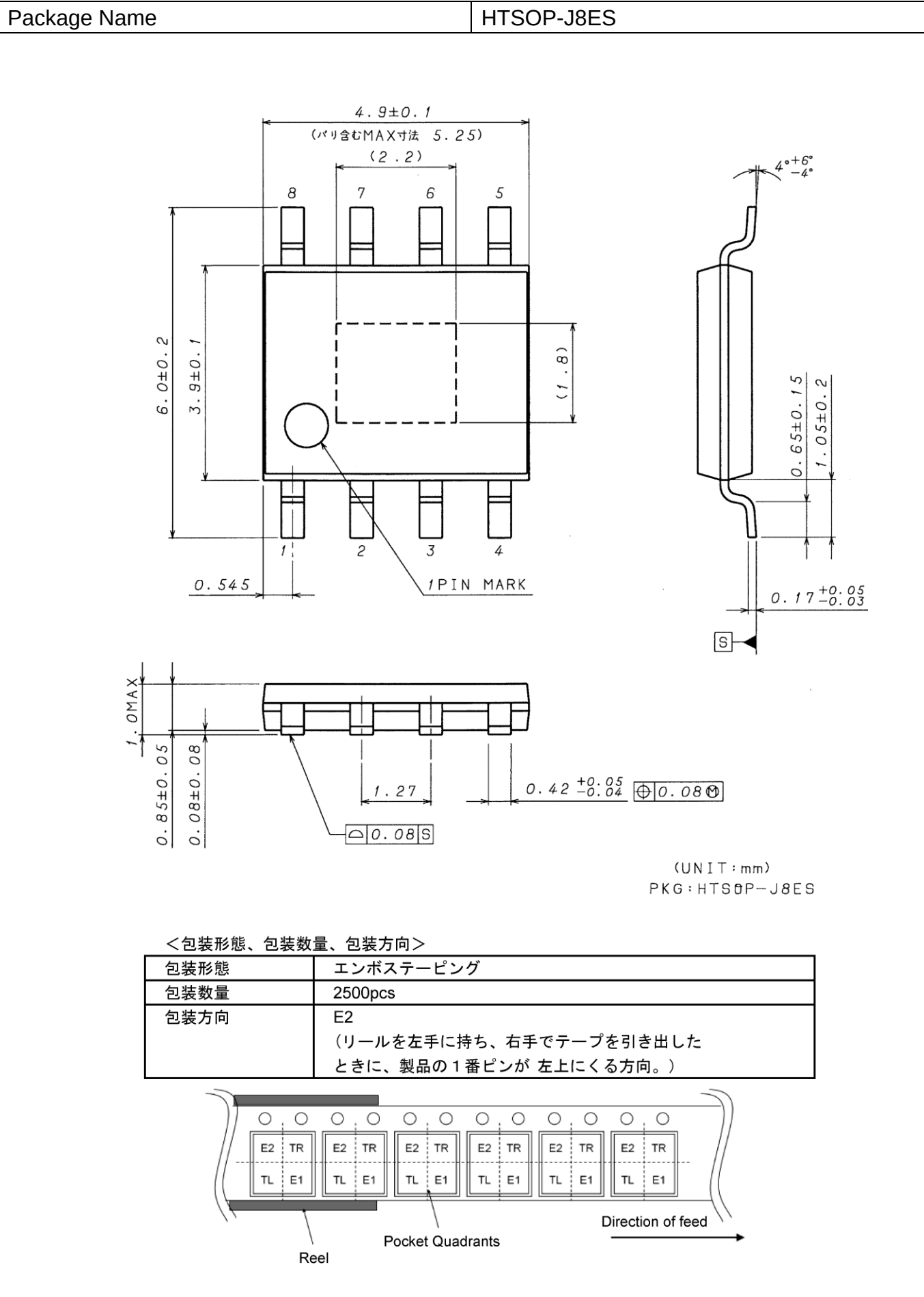


BD9G201UEFJ-M

HTSOP-J8ES (TOP VIEW)



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2017.05.10	001	Rev.001 新規作成
2022.03.29	002	P1-28 製造ライン B の品番をヘッダーに追加 P1 パッケージ画像を変更 P26 発注形名情報に製造ラインの情報を追加 P26 製造ライン B の標印図を追加 P27 外形寸法図の縦横比を修正 P27 包装仕様の図を最新の様式に変更

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。