

12V~76V 入力 3A 出力 MOSFET 内蔵 1ch 降圧スイッチングレギュレータ

BD9G341AEFJ-LB

概要

本製品は産業機器市場へ向けた、長期の供給を保証するランクの製品です。

BD9G341AEFJ-LB は高電圧 76V 入力に対応したパワー MOSFET 内蔵の降圧 1ch スwitchングレギュレータです。80V 耐圧 3.5A 定格、オン抵抗 150mΩ のパワー MOSFET を内蔵しています。また電流モード制御方式により、高速な過渡応答と簡易な位相補償設定を実現しています。周波数は 50kHz~750kHz まで可変となっており、低電圧誤動作防止回路、過電流保護回路等の保護機能を内蔵しております。また高精度の EN ピンスレシヨルドにより低電圧ロックアウト、及びヒステリシスを外付け抵抗にて設定可能です。

重要特性

■ 推奨入力電圧	12~76 [V]
■ 基準電圧精度 (Ta=25°C) (Ta=-40~85°C)	±1.5[%]
■ 最大出力電流	±2.0[%]
■ 動作温度範囲	3 [A] (Max.)
■ 最大ジャンクション温度	-40°C~85°C
	150°C

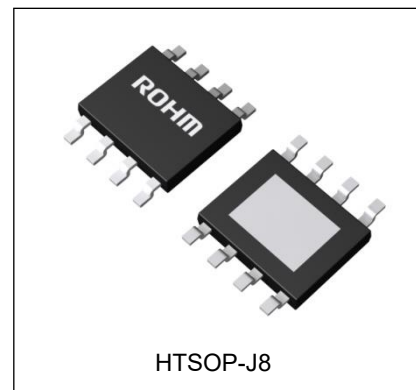
パッケージ

HTSOP-J8

4.90mm x 6.00mm x 1.00mm

特長

- 産業機器に適した長期の供給保証
- 高耐圧入力電圧 VCC=12V~76V
- 80V/3.5A/150mΩ NchFET 内蔵
- 電流モード制御.
- 周波数可変 50~750kHz.
- 基準電圧 1.0V±1.5% 回路内蔵.
- 高精度な ENUVLO スレシヨルド ±3%.
- ソフトスタート機能
- スタンバイ機能
- 過電流保護(OCP)、低入力誤動作防止(UVLO)、温度保護回路(TSD)過電圧保護(OVP)内蔵
- 熱特性の良い HTSOP-J8 パッケージ



用途

- 産業用機器
- 通信機器.

基本アプリケーション回路

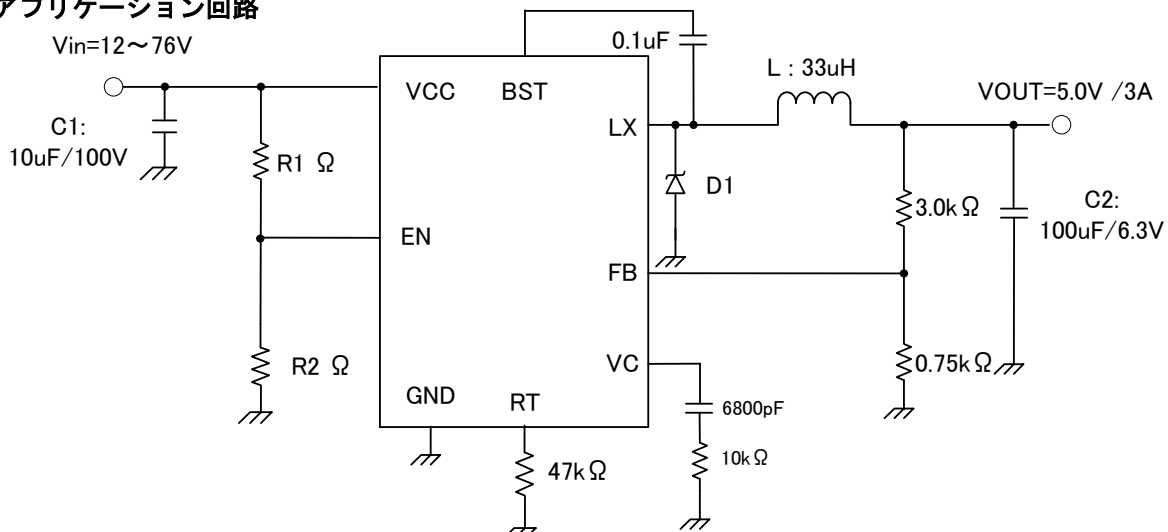


Figure 1. 基本アプリケーション

○製品構造：シリコンモノリシック集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

© 2015 ROHM Co., Ltd. All rights reserved.

TSZ22111・14・001

端子配置図

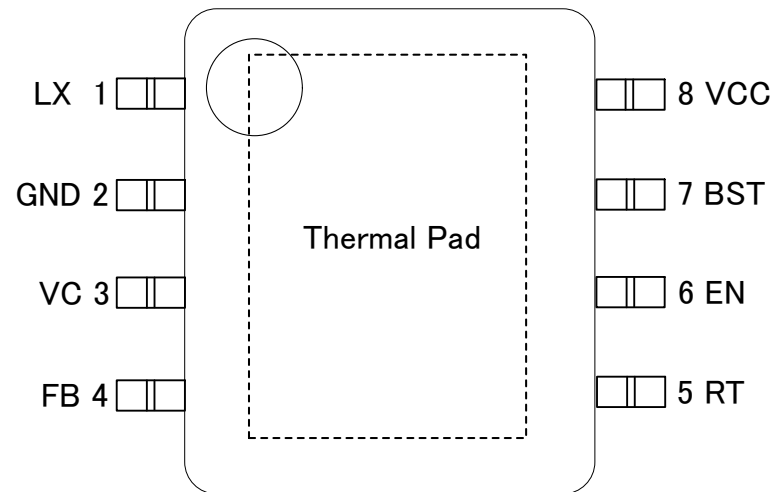


Figure 2. 端子配置図(TOP VIEW)

端子説明

Pin No.	Pin Name	Description
1	LX	パワーMOSFET スイッチングノード端子。直近に SBD とコイルを接続しパターンを出来る限り太く短くしてください。
2	GND	接地端子。基板パターンは SBD のアノード側等大電流が流れるラインから離してください。また、パッケージ裏面は放熱用 GND となっており、実装を推奨致します。
3	VC	エラーアンプ出力端子。位相補償のため、GND に対して容量と抵抗を接続してください。
4	FB	電圧帰還端子。エラーアンプ入力となっており、定常動作時は FB ピンの電圧が 1.0V となるようフィードバックがかかります。
5	RT	周波数変更端子。対 GND に抵抗を実装してください。内部クロックは 47kΩ 接続時 200kHz(typ)となります。
6	EN	ON/OFF 端子。端子電圧が 1.3V 以下の時 IC は OFF、1.3V 以上 2.4V 以下の電圧で内部 REG が ON し、2.6V(typ)以上となった場合 IC が動作を開始します。 IC 動作時には 10uA(typ)のソース電流が生じヒステリシス設定が可能です。OFF するためにはソース電流を引き抜く能力が必要となります。
7	BST	パワーMOSFET 駆動用ドライバの電源端子。 IC 直近にて BST-Lx 端子間に 0.1uF を付けてパターンを狭くしてください。
8	VCC	DC/DC 電源入力端子。端子付近にバイパスコンデンサを打ち、太いパターンでインピーダンスを減らしてください。
-	Thermal Pad	放熱用 GND パッドです。放熱性を高める為 GND に接続してください。

ブロック図

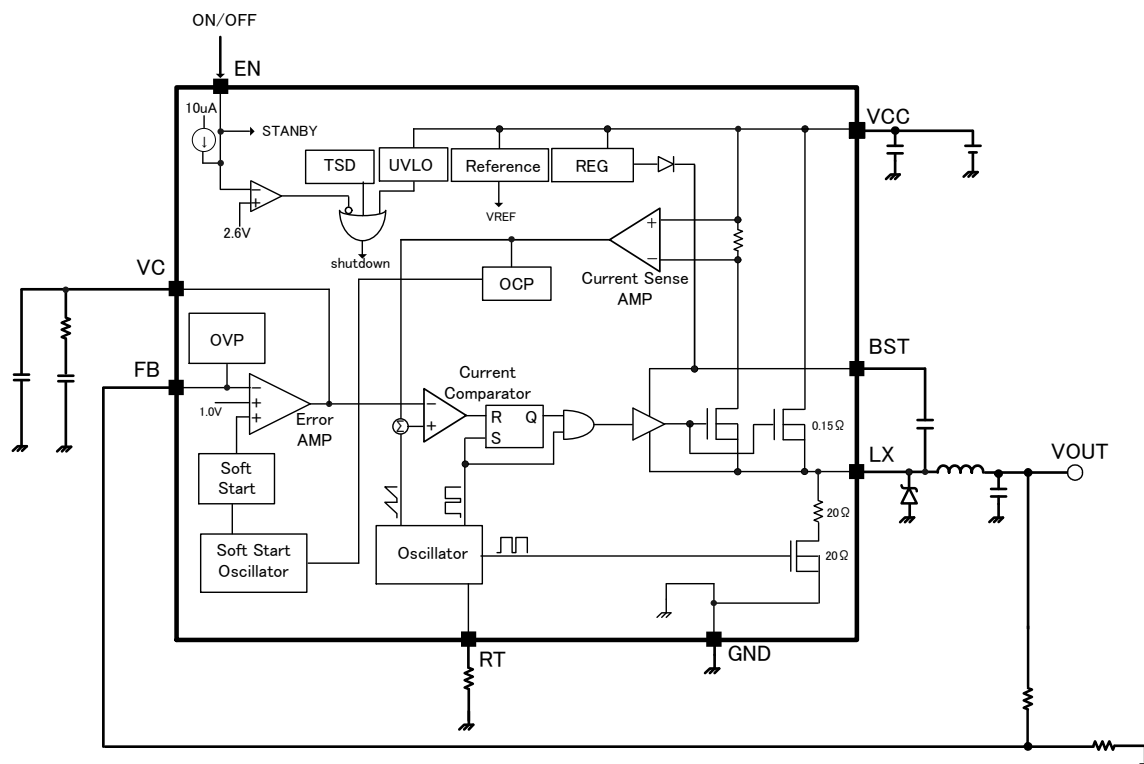


Figure 3.ブロック図

各ブロック動作説明

1. Reference
IC 内部の基準電圧を作成するブロックです。
2. REG
パワーMOSFET ゲート駆動電圧の 8V レギュレータです。
3. OSC
内部クロック生成ブロックです。RT 端子につける抵抗値に応じて 50kHz~750kHz まで周波数を変更することが可能です。RT 端子に 47k Ω 付けた場合、動作周波数は 200kHz となります。
4. Soft Start
DC/DC コンバータの出力電圧にソフトスタートをかけ、起動時の突入電流を防ぐ回路です。
ソフトスタート時間は 20msec となっております。
5. ERROR AMP
出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。
内部基準電圧は 1V に設定されています。
6. Current Comparator
電流フィードバックとエラーアンプ出力から PWM 信号を出力する電流モード用コンパレータです。
7. Nch FET SW
DC/DC コンバータのコイル電流を切り換える 80V/150m Ω Power NchFET SW です。
コイルのリプル電流を含め 3.5A 以下となるよう定数設定を行ってください。
8. UVLO
低電圧誤動作防止回路です。
電源電圧の立上がり時、及び電源電圧低下時の内部回路の誤動作を防止します。
VCC 端子電圧をモニタしており、VCC が UVLO スレッシュホールド電圧 11V を下回った場合 IC が停止致します。
スレッシュホールド付近での誤動作防止のため、200mV のヒステリシスを有しております。

9. EN

ON/OFF 端子。端子電圧が 1.3V 以下の時 IC は OFF、1.3V 以上 2.4V 以下の電圧で内部 REG が ON し、2.6V 以上となった場合 IC が動作を開始します。

IC 動作のスレッシュホールドは $2.6V \pm 3\%$ と高精度であるため、入力電圧からの分割抵抗にて任意の UVLO を設定できます。また IC 動作時は EN 端子から 10 μ A(typ)のソース電流を供給するため、外付け抵抗にてヒステリシスを設定可能です。

OFF するためにはソース電流 10 μ A を引き抜く能力が必要となります。

10. OCP

過電流保護回路です。

パワーMOSFET に流れる電流をモニタしており、スレッシュホールド 6.0A 以上の電流が流れた場合、パルスバイパルスにて FET を OFF します。過電流状態を 2 周期連続で検出した場合、20msec 間動作を停止し、その後自動で再起動を行う OCP ラッチ動作となります。

11. TSD

異常発熱による IC 破壊を防止するための保護回路です。

最大接合部温度($T_j=150^{\circ}\text{C}$)を超える異常な温度を検知すると、出力 FET を OFF とし DC/DC コンバータ出力を OFF にします。温度が低下すると、ヒステリシスを持って自動復帰します。

12. OVP

FB 端子により出力電圧をモニタし、設定電圧の 120%以上となった場合出力 FET を OFF します。

この時出力電圧が設定電圧の 105%以下となった場合再び FET を ON することが可能となります。

絶対最大定格

項目	記号	定格	単位
最大印加電源電圧	VCC	80	V
BST – GND 間	VBST	85	V
最大定格電流	I _{max}	3.5	A
BST – LX 間	ΔVBST	15	V
EN – GND 間	VEN	80	V
LX – GND 間	VLX	80	V
FB – GND 間	VFB	7	V
VC – GND 間	VVC	7	V
RT – GND 間	VRT	7	V
動作温度範囲	T _{opr}	-40～+85	°C
保存温度範囲	T _{stg}	-55～+150	°C
ジャンクション温度	T _{jmax}	150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 (Note 3)	4 層基板 (Note 4)	
HTSOP-J8				
ジャンクションー周囲温度間熱抵抗	θ _{JA}	125.3	27.6	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ (Note 2)	Ψ _{JT}	21	13	°C/W

(Note 1) JESD51-2A(Still-Air)に準拠。

(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

(Note 4) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1 層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μm

測定基板	基板材	基板寸法	サーマルビア (Note 5)	
			ピッチ	直径
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt	1.20 mm	Φ0.30 mm

1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μm	74.2 mm□（正方形）	35 μm	74.2 mm□（正方形）	70 μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作範囲

項目	記号	電圧範囲			単位
		Min	Typ	Max	
電源電圧	VCC	12	—	76	V
出力電圧	VOUT	1.0 (Note6)	—	VCC (Note7)	V
出力電流	IOUT	-	—	3.0	A
発振周波数	Fosc	50	—	750	kHz

(Note6) minduty = f × Min On Time により制限されます。(f: 発振周波数)

Vcc × minduty [V] が 1.0V 以上となる場合、こちらが Min 出力となります。

(Note7) maxduty = 1 - f × forced off time により制限されます。出力電圧は最大で (Vcc - Iout × Ron) × maxduty にてクランプされます。

電氣的特性 (特に指定のない限り Ta=25°C, VCC=48V, Vo=5V, EN=3V, RT=47kΩ)

項目	記号	規格値			単位	条件
		最小	標準	最大		
【回路電流】						
スタンバイ時回路電流	Ist	—	0	10	μA	VEN=0V
動作時回路電流	Icc	—	1.5	2.0	mA	FB=1.5V
【低電圧入力誤動作防止回路】						
UVLO 検出スレッシュホールド	Vccuv	10.4	11	11.6	V	
ヒステリシス幅	Vuvhy	—	200	300	mV	
【エラーアンプ】						
FB 端子スレッシュホールド電圧	VFBN	0.985	1.000	1.015	V	Ta=25℃
	VFBA	0.980	1.000	1.020	V	Ta=-40~85℃
FB 端子入力電流	IFB	-1	0	1	uA	VFB=2.0V
VC ソース電流	Isource	15	40	65	uA	
VC シンク電流	Isink	-65	-40	-15	uA	
ソフトスタート時間	Tsoft	15	20	25	msec	
DC ゲイン	AVEA	—	10000	—	V/V	
相互コンダクタンス	GEA	—	300	—	μA/V	
【電流検出アンプ】						
Vc-SW 電流変換率	Gcs	—	10	—	A/V	
【OCP】						
OCP スレッシュホールド	Iocp	3.5	6.0	—	A	
OCP ラッチカウント	NOCP	—	2	—	count	
OCP ラッチホールド時間	TOCP	15	20	25	msec	
【出力部】						
ハイスайд Nch FET ON 抵抗	RonH	—	150	—	mΩ	
【CTL】						
EN 端子内部 REG ON スレッシュホールド	VENON	1.3	—	2.4	V	
EN 端子 UVLO スレッシュホールド	Venuv	2.52	2.6	2.68	V	※IC 出力 ON 条件
EN 端子ソース電流	IEN	9.0	10.0	11.0	μA	VEN=3V
【発振器】						
発振周波数	Fosc	180	200	220	kHz	RT:R=47kΩ
Forced off time	Toff	—	—	500	nsec	

特性データ (参考データ)
(特に指定のない限り, Ta=25°C, VCC=48V, VOUT=5V)

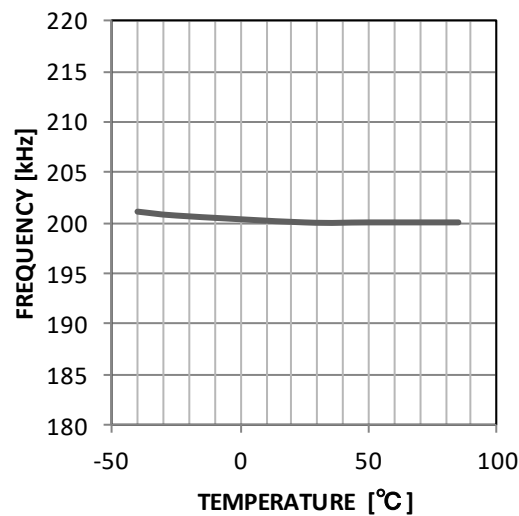


Figure 4. 発振周波数-温度特性

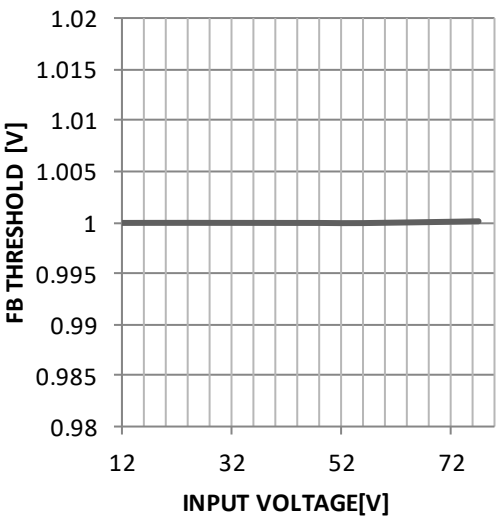


Figure 5. FB スレッシュホールド-電圧特性

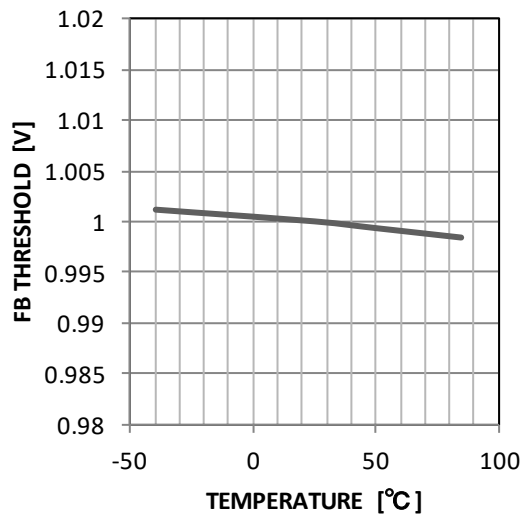


Figure 6. FB スレッシュホールド-温度特性

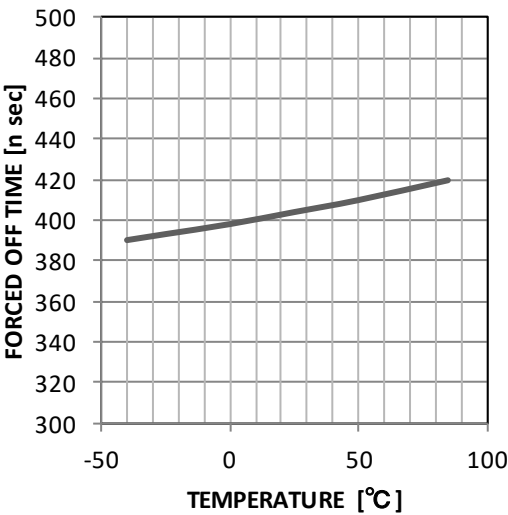


Figure 7. Forced off time -温度特性

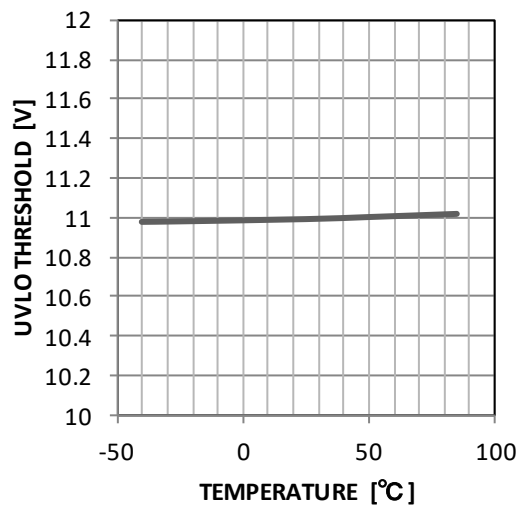


Figure 8. UVLO スレッシュホールド-温度特性

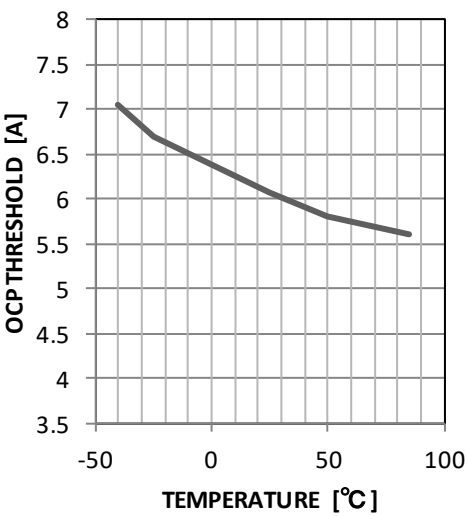


Figure 9. OCP 検出電流-温度特性

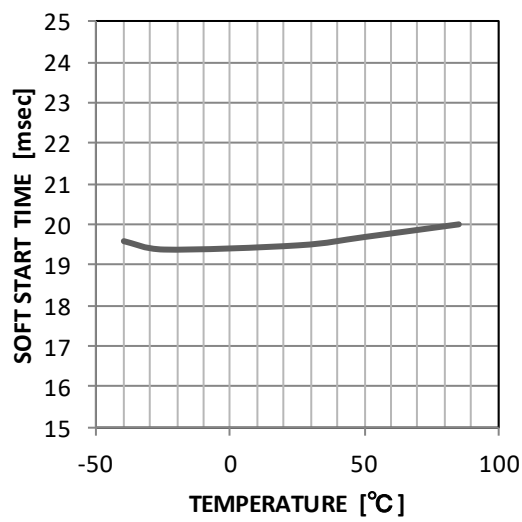


Figure 10. ソフトスタート時間-温度特性

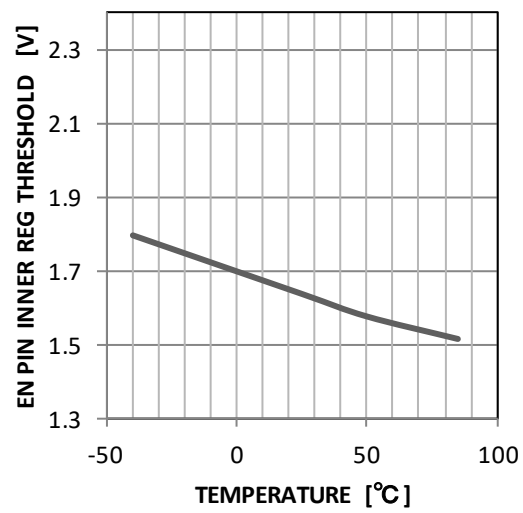


Figure 11. EN 端子内部 REG ON スレッシュホールド-温度特性

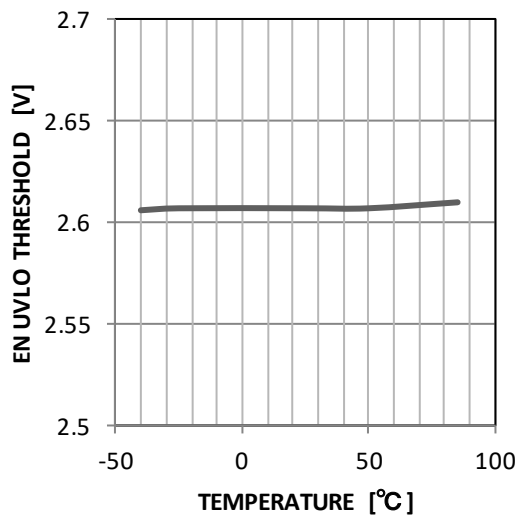


Figure 12. ENUVLO スレッシュホールド-温度特性

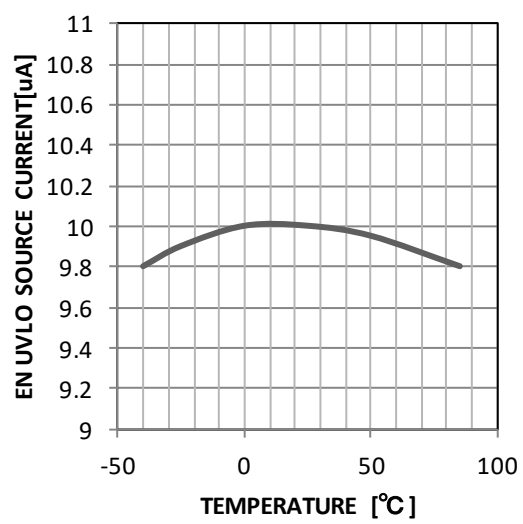


Figure 13. EN ソース電流-温度特性

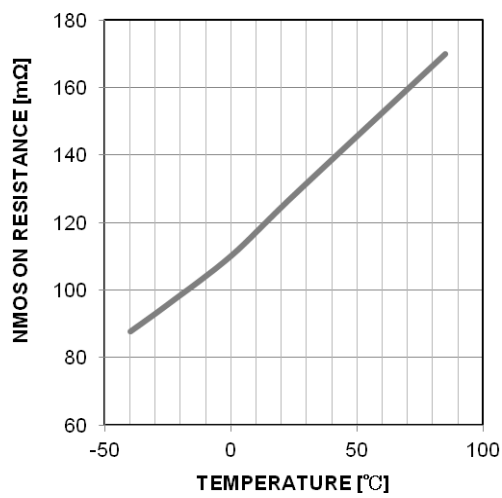
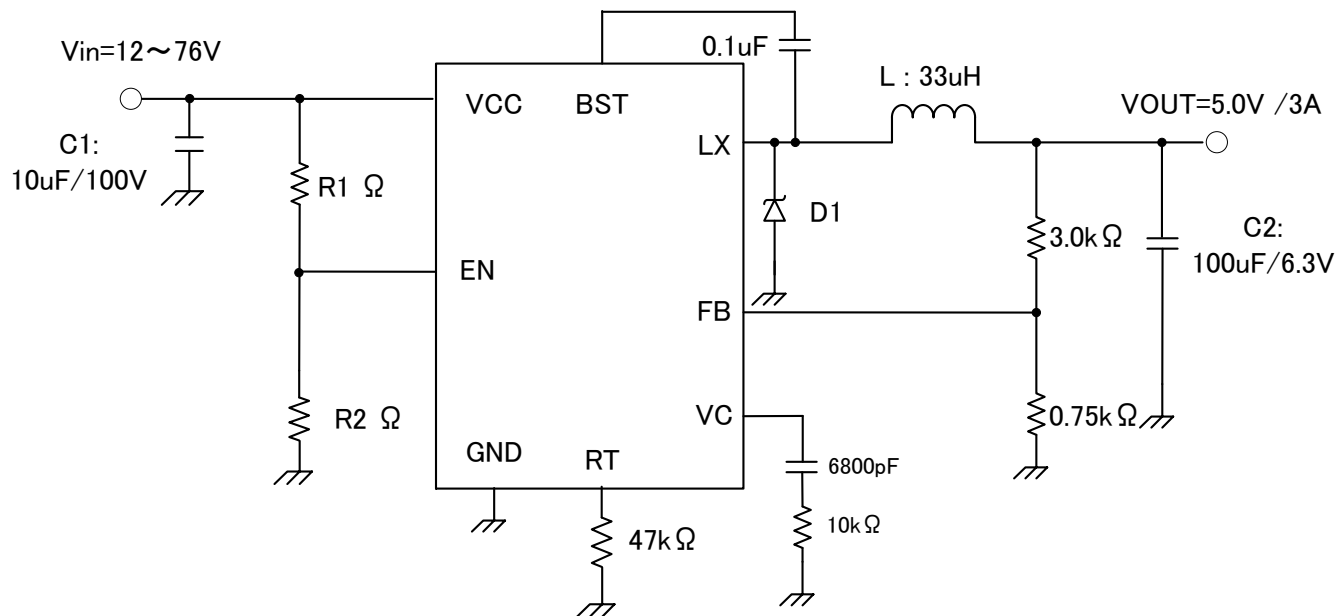


Figure 14. NMOS ON 抵抗-温度特性

標準アプリケーション特性データ (参考データ)

Vout=5V, f=200kHz
(各外付け部品は相当品での代替可)



使用部品	:L	:SUMIDA	CDRH129HF	33μH
	C1	:TDK	C5750X7S2A106K	10μF/100V
	C2	:TDK	C4532X5R0J107M	100μF/6.3V
	D1	:Rohm	RB095BGE-90TL	

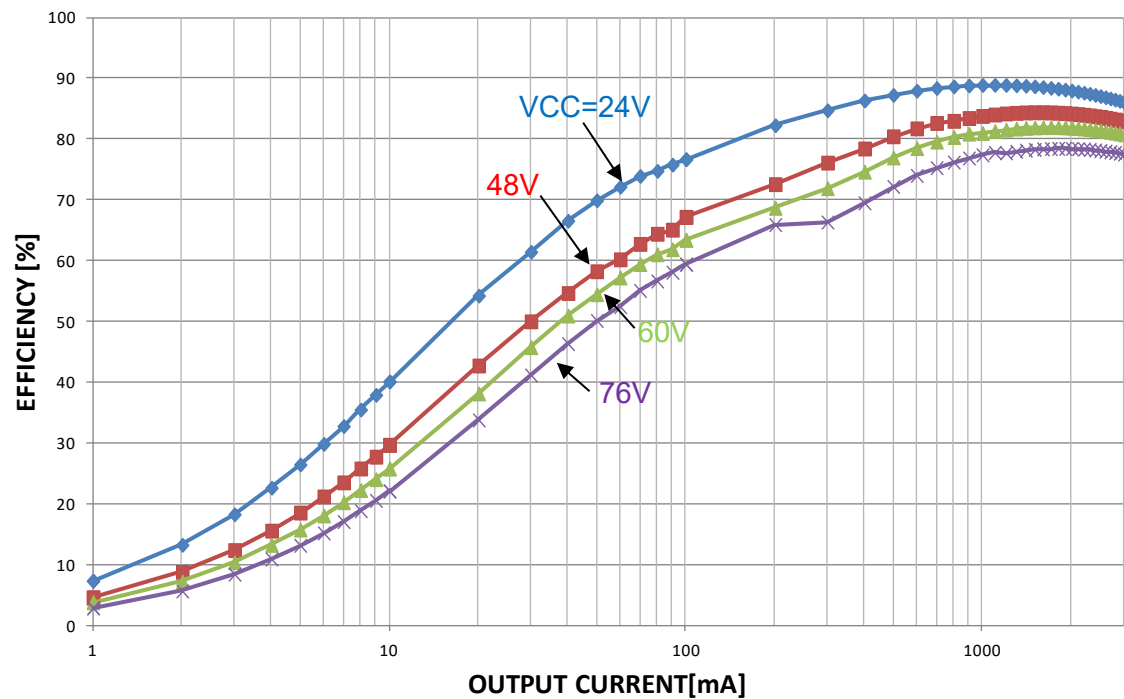


Figure 15. 電力変換効率-負荷特性

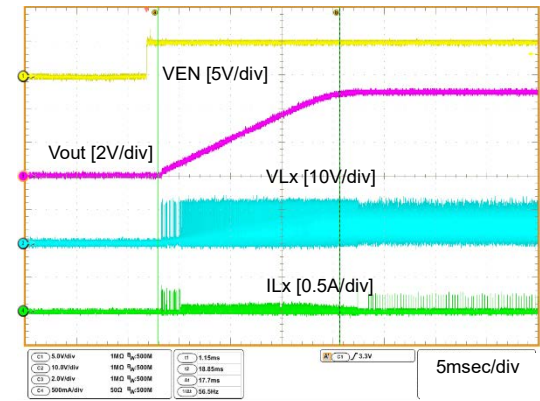


Figure 16. 起動波形

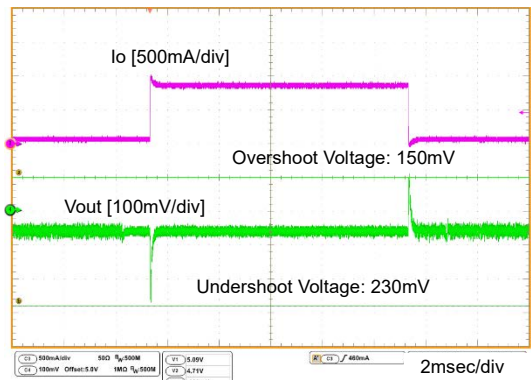


Figure 17. 負荷応答特性
Iout:100mA $\leftrightarrow$ 1A

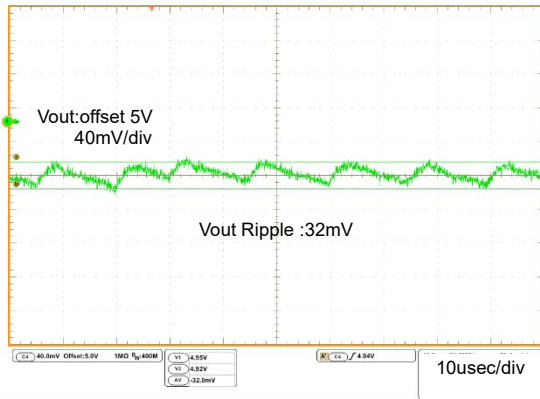


Figure 18. 出力発振/リップル波形
Io = 100mA

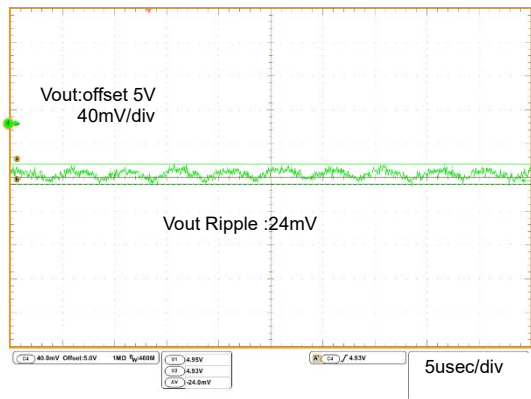


Figure 19. 出力発振/リップル波形
Io=1A

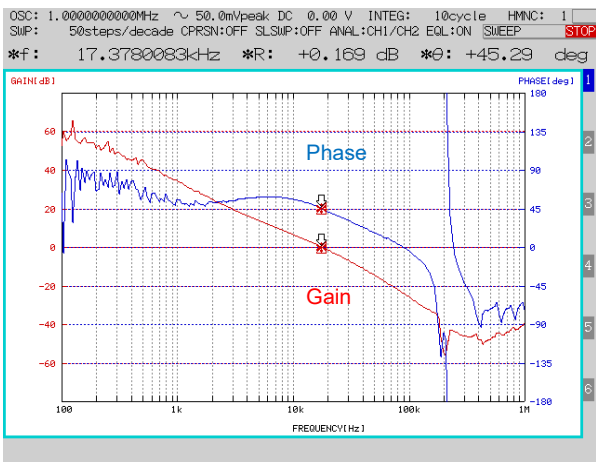


Figure 20. 周波数特性
Io=1.0A

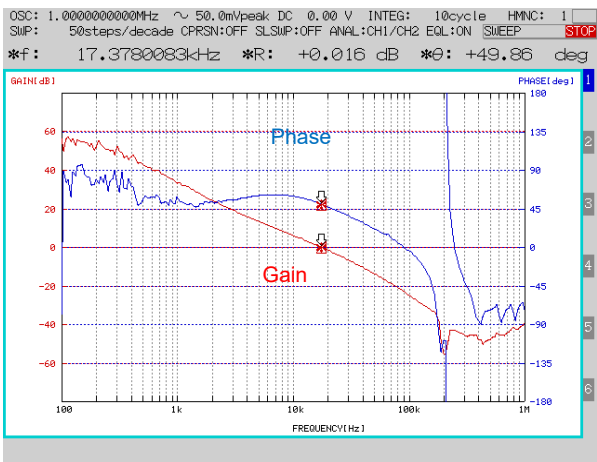
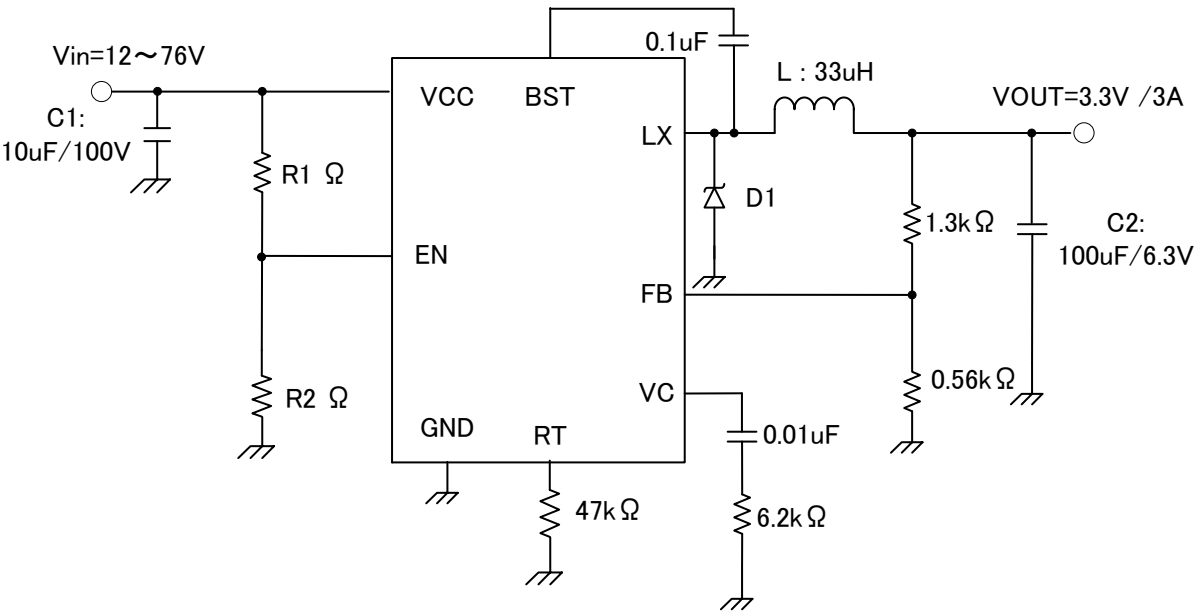


Figure 21. 周波数特性
Io=3.0A

標準アプリケーション特性データ (参考データ)
Vout=3.3V, f=200kHz
(各外付け部品は相当品での代替可)



使用部品	:L	:SUMIDA	CDRH129HF	33μH
	C1	:TDK	C5750X7S2A106K	10μF/100V
	C2	:TDK	C4532X5R0J107M	100μF/6.3V
	D1	:Rohm	RB095BGE-90TL	

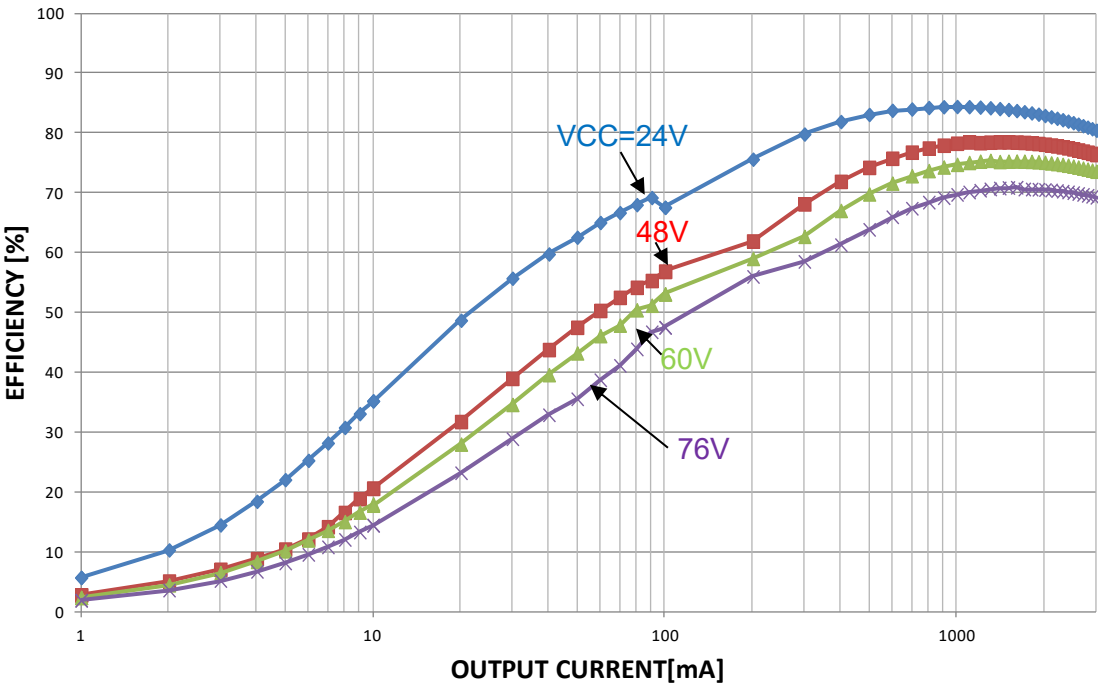


Figure 22. 電力変換効率-負荷特性

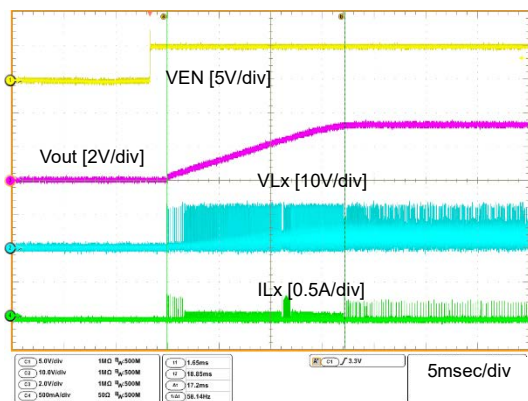


Figure 23. 起動波形

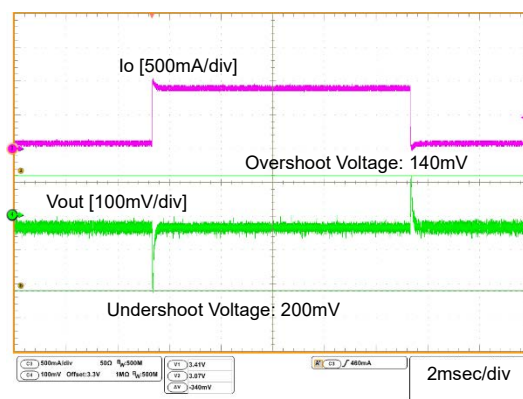


Figure 24. 負荷応答特性
I_{out}:100mA ⇔ 1A

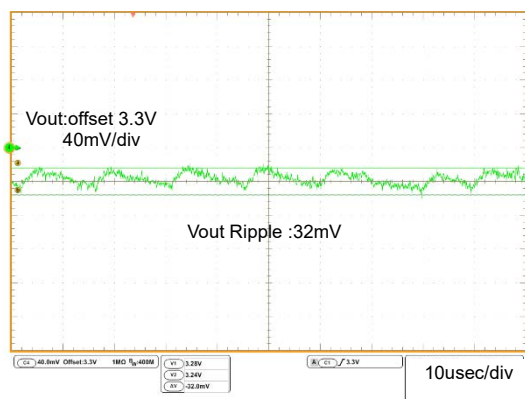


Figure 25. 出力発振/リップル波形
I_o = 100mA

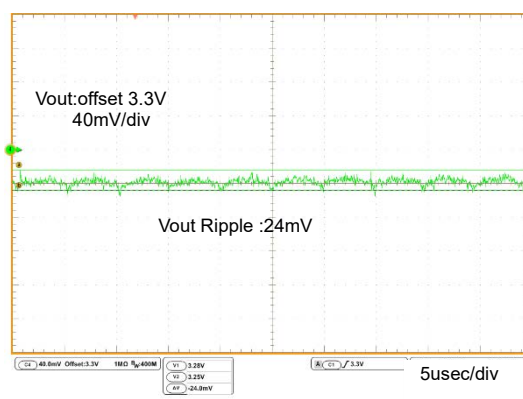


Figure 26. 出力発振/リップル波形
Io=1A

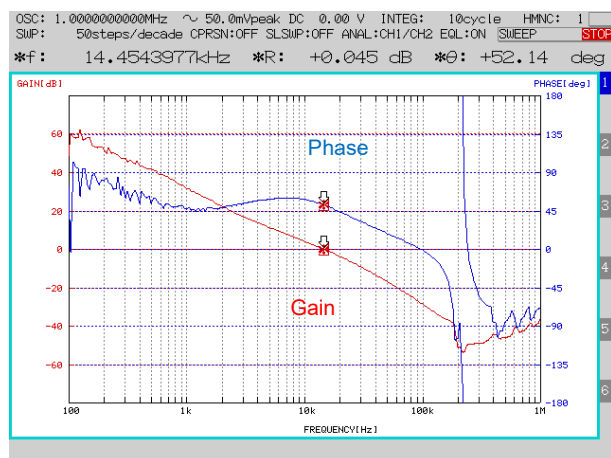


Figure 27. 周波数特性
 $I_o=1A$

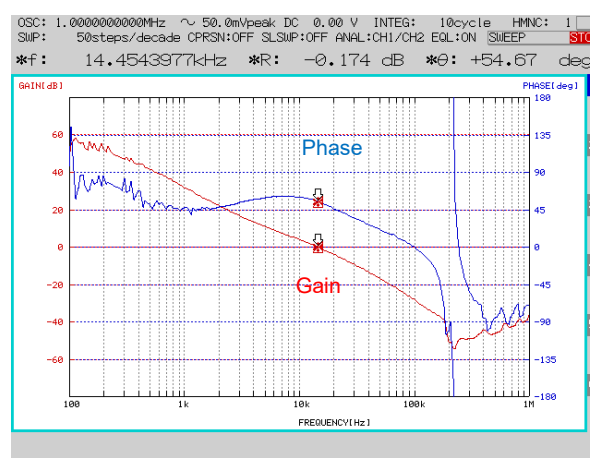


Figure 28. 周波数特性
I_o=3A

詳細技術情報

◇周波数設定

BD9G341AEFJ-LB は RT 端子につける抵抗値により動作周波数を 50kHz~750kHz の間で任意に決定する事が可能です。
設定する周波数 f [Hz] に対し、RT 端子抵抗値 RT は以下のように求められます。

$$RT = \frac{\frac{1}{f} - 400 \times 10^{-9}}{96.48 \times 10^{-12}} [\Omega]$$

設定周波数 $f=200\text{kHz}$ の場合、 $RT=47\text{k}\Omega$ となります。
RT 抵抗値と動作周波数の関係は次のグラフのようになります。

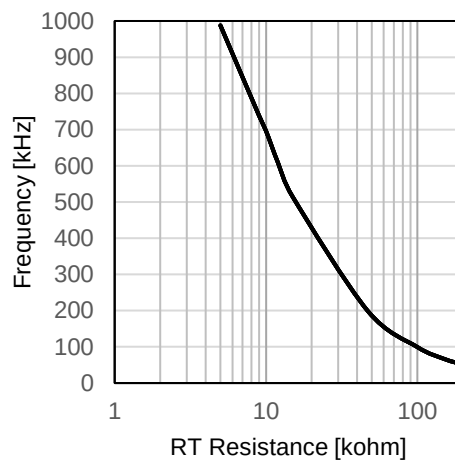


Figure 29. 発振周波数 - RT 特性

◇UVLO 外付け設定

BD9G341AEFJ-LB の EN 端子には高精度リセット機能が内蔵されており、EN ピンを入力電圧の抵抗分割に接続することにより任意の低電圧誤動作防止設定が可能です。利用する場合は任意の VCC 起動電圧 (V_{uv}) と、ヒステリシス (V_{uvhys}) に対し $R1, R2$ を以下のように設定してください。

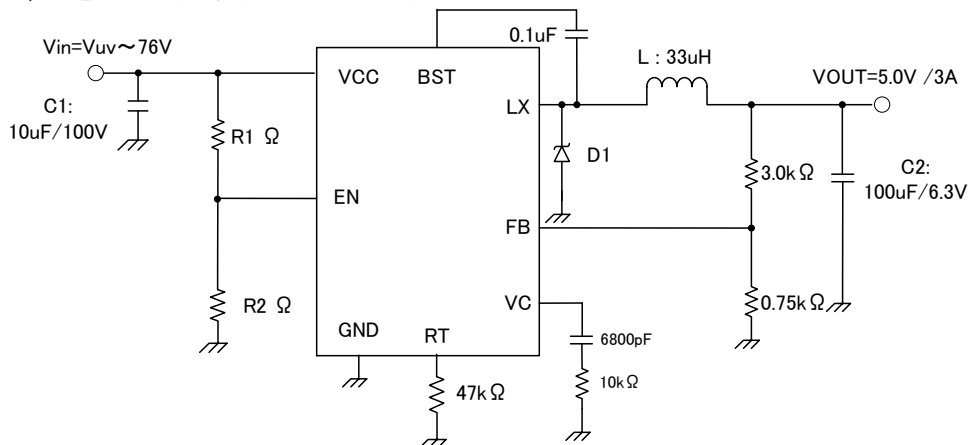


Figure 30. UVLO 外付け設定方法

$$R1 = \frac{V_{uvhys}}{I_{EN}} \quad [\text{ohm}]$$

$$R2 = \frac{V_{EN} \times R1}{V_{uv} - V_{EN}} \quad [\text{ohm}]$$

I_{EN} : EN ソース電流 10μA(typ) V_{EN} : EN 端子 UVLO スレッシュホールド 2.6V(typ)

TYP 時に V_{cc} 起動電圧 15V, ヒステリシス 1V に設定した場合、 $R1=100\text{k}\Omega$, $R2=20\text{k}\Omega$ となります。

◇過電流保護動作

BD9G341AEFJ-LB には FET を過電流破壊から防ぐ過電流保護回路が内蔵されています。
過電流保護回路は 2 周期連続で検出を行うと 20msec 間動作を停止しその後再起動します。

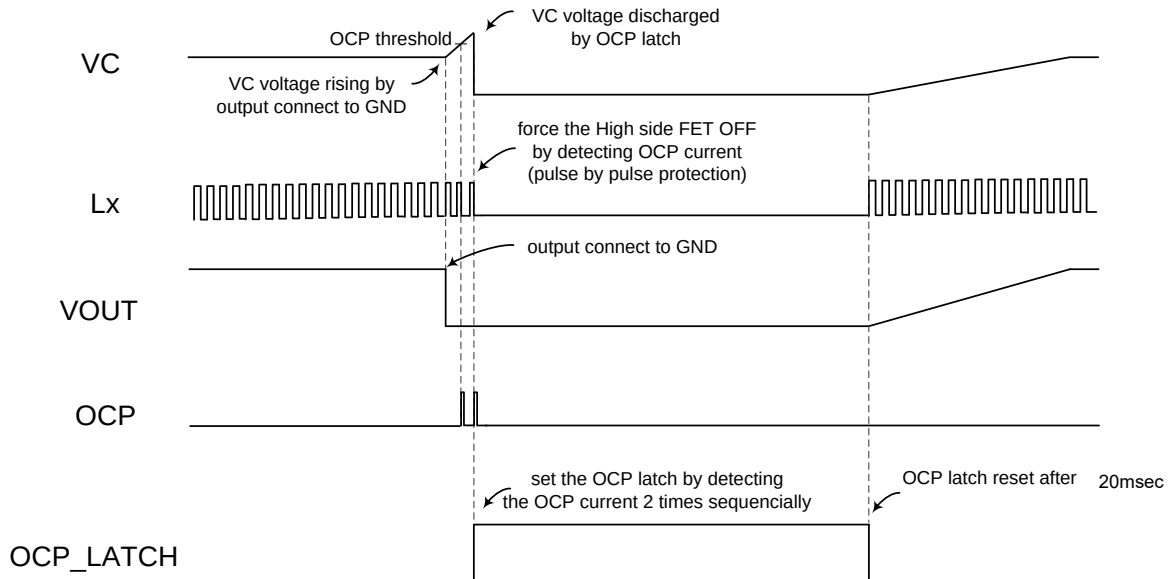
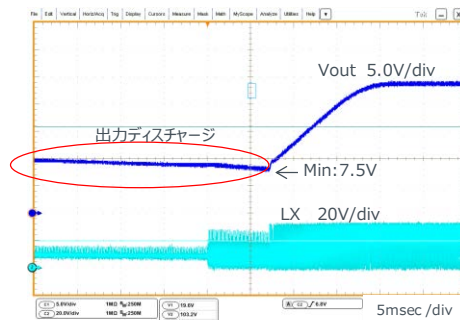


Figure 31. 過電流保護動作タイミングチャート

◇出力プリバイアス時の起動

出力に大きな容量がついている場合等、出力に電圧が残っている状態で起動する場合、BST-LX 間のブートストラップ用のコンデンサを充電するために、LX-GND 間の FET が毎周期 300nsecON し出力電圧を min7.5V までディスチャージした後起動します。
出力ディスチャージ時間分起動が遅れるため、シーケンス等組む場合は、強制的に出力をディスチャージして下さい。

Figure 32. 出力電圧残留時起動波形例
VCC=48V Vout=24V

◇出力バイアス利用制限

BST-LX 間のブートストラップ充電のため、起動時に出力電圧を 7.5V 以下までディスチャージし起動します。
IC 出力を別電源でバイアスするアプリケーションではディスチャージができないため利用できません。

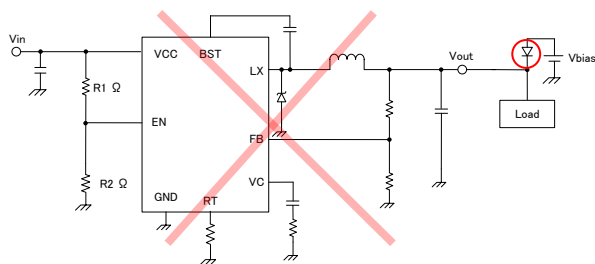


Figure 33. 出力バイアス利用時 NG セットアップ

バイアスされる場合には、IC 出力側にダイオードを挿入し、IC 出力がディスチャージ可能なセットアップにてご利用ください。

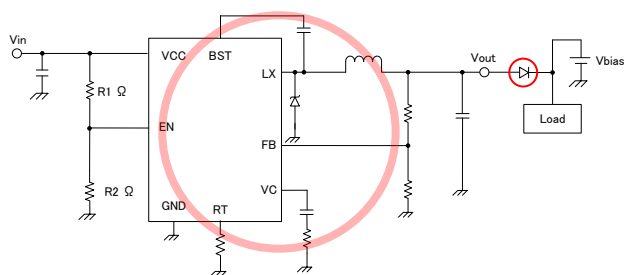


Figure 34. 出力バイアス利用時 推奨セットアップ

アプリケーション部品選定方法

(1) インダクタ

電流定格(下記電流値 I_{peak})を満たし、DCR(直流抵抗成分)が低く、シールドタイプのを推奨いたします。インダクタの値はインダクタリプル電流に影響し、出力リブルの原因となります。このリブル電流は以下の式のようにコイルのL値が大きいほど、スイッチング周波数が高いほど小さくすることができます。

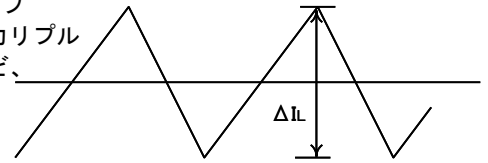


Figure 35. インダクタ電流

$$I_{peak} = I_{OUT} + \frac{\Delta IL}{2} \quad \dots (1)$$

$$\Delta IL = \frac{VCC - VOUT}{L} \times \frac{VOUT}{VCC} \times \frac{1}{f} \quad \dots (2)$$

(ΔIL : 出力リブル電流、VCC: 入力電圧、VOUT: 出力電圧、f: スwitchング周波数)

インダクタは、上記リブル電流を最大出力電流の20%~50%程度として選択ください。

BD9G341AEFJ-LBでは4.7μH~33μHまでの下記のコイルを推奨しています。

推奨コイル: SUMIDA CDRH129HF シリーズ

(2) 出力コンデンサ

出力に使用するコンデンサは出力リブルを軽減するため、ESRの低いセラミックコンデンサを推奨いたします。また、コンデンサの定格はDCバイアス特性を考慮にいたうえ、最大定格が出力電圧に対して十分マージンのあるものを使用してください。

出力リブル電圧は次式より求められます。

$$V_{PP} = \Delta IL \times \frac{1}{2\pi \times f \times C_{OUT}} + \Delta IL \times R_{ESR} \quad \dots (3)$$

許容リブル電圧内に収まるよう設定を行ってください。BD9G341AEFJ-LBでは10μF以上のセラミックコンデンサを推奨しています。

許容リブル電圧内に収まるよう設定を行ってください。BD9G341AEFJでは10μF以上のセラミックコンデンサを推奨しています。

出力コンデンサの上限に関しては起動時ラッシュ電流による制限があります。

起動時のラッシュ電流は下記の式で表されます。

$$(\text{起動時ラッシュ電流}) = (\text{エラーアンプ応答遅延による電流}) + \frac{C_{out} \times V_{out}}{T_{softstart_min}} + \text{リプル電流} + \text{出力負荷}$$

↑
(ソフトスタート中のCout充電電流)

エラーアンプで応答遅延による電流は位相補償素子による応答性と出力コンデンサの容量値に依存するため、上式の1項、2項は出力コンデンサが大きくなると大きくなります。

ラッシュ電流についてはエラーアンプの応答速度、出力負荷などによって変化しますのでOCPスレッシュホールド3.5A以下に収まっている事の実機確認を行ってください。

(3) 出力電圧設定

ERROR AMPの内部基準電圧は1.0Vとなっています。

出力電圧は(4)式のように決定されます。

$$V_{OUT} = \frac{R1 + R2}{R2} \quad \dots (4)$$

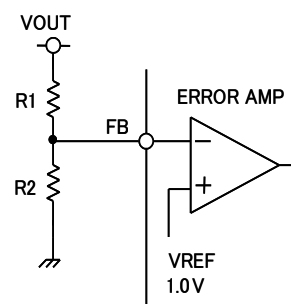


Figure 36. 電圧帰還抵抗設定

(4) ブーストコンデンサ

BST 端子—LX 端子間に、ゲート駆動電圧生成 Reg(5V)の出力容量として、CBST=0.1uF を挿入してください

(5) キャッチダイオード

BD9G341AEFJ-LBは、LXとGNDの間に外付けのキャッチ・ダイオードを接続する必要があります。アプリケーションの最大入力電圧以上のショットキーバリアダイオードを選択してください。電流定格は、最大コイル電流のIOUTMAX + ΔILよりも大きい必要があります。

(6) 入力コンデンサ

BD9G341AEFJ-LBには、入力デカップリング・コンデンサが必要になります。デカップリング・コンデンサとして、ESRの低い4.7uF以上のセラミックコンデンサを推奨いたします。また、出来る限りVCC端子に近い位置に配置してください。

また、入力リプル電圧を含めた最大入力電圧が定格を超えないようにコンデンサの選定を行ってください。

入力リプル電圧は下式にて概算できます。

$$\Delta V_{CC} = \frac{I_{OUT}}{f \times C_{VCC}} \times \frac{V_{OUT}}{V_{CC}} \times \left[1 - \frac{V_{OUT}}{V_{CC}} \right] \dots (5)$$

ここで、CVCCは入力コンデンサ値です。

また、入力コンデンサの選定に際し、RMSリプル電流も確認する必要があり、下式にて概算できます。

$$I_{CVCC} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{CC}} \times \left(1 - \frac{V_{OUT}}{V_{CC}} \right)} \dots (6)$$

VCC=2VOUT時RMSリプル電流は最大となり、その値は下式にて概算できます。

$$I_{CVCC_max} = \frac{I_{OUT}}{2} \dots (7)$$

(7) DC/DC コンバータ周波数特性の調整について

位相補償素子 C1,C2,R3 について

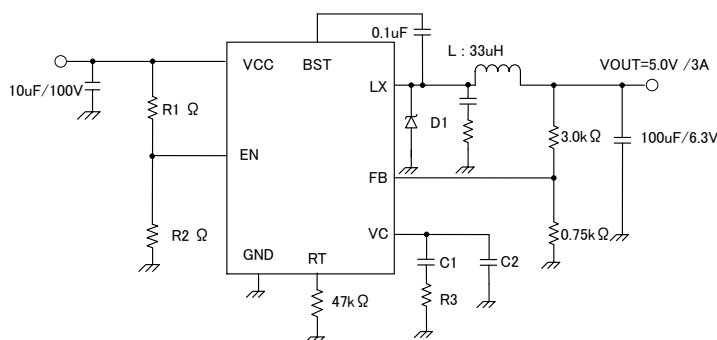


Figure 37. 位相補償素子設定

ループの安定性と応答性は、エラーアンプの出力である VC 端子を通して制御されます。

安定性と応答性を決定するポールとゼロの組み合わせを VC 端子に直列に接続されたコンデンサと抵抗との組み合わせで調整します。

電圧帰還ループの DC ゲインは、次式により計算できます。

$$A_{dc} = R_I \times G_{CS} \times A_{VEA} \times \frac{V_{FB}}{V_{OUT}} \dots (8)$$

ここで、VFB はフィードバック電圧（1.0V）です。A_{EA} は誤差増幅器の電圧ゲイン（TYP : 80 dB）、GCS は電流検出アンプ部のトランスコンダクタンス（TYP : 10A/V）で、RI は出力負荷抵抗値です。

本 DC/DC の制御ループでは、2 つの重要なポールがあります。
1 つは、位相補償コンデンサ（C1）と誤差増幅器の出力抵抗とによって生じます。
もう 1 つは、出力コンデンサと負荷抵抗によって生じます。
これらのポールは、下記周波数に現れます。

$$fp1 = \frac{G_{EA}}{2\pi \times C1 \times A_{VEA}} \dots (9)$$

$$fp2 = \frac{1}{2\pi \times COUT \times RI} \dots (10)$$

ここで、G_{EA} は誤差増幅器のトランスコンダクタンス（TYP:300uA/V）です。

ここで、この制御ループでは、1 つのゼロが重要となります。
位相補償コンデンサ C1 と位相補償抵抗 R3 によって生じるゼロが下記周波数に現れます。

$$fz1 = \frac{1}{2\pi \times C1 \times R3} \dots (11)$$

また、もし出力コンデンサが大きい、且つその ESR（RESR）が大きい場合は、この制御ループでは、重要な別のゼロ（ESR ゼロ）を持つ場合があります。
この ESR ゼロは、出力コンデンサの ESR と容量によって生じ、下記の周波数に存在します。

$$fz_{ESR} = \frac{1}{2\pi \times COUT \times RESR} \dots (12) \quad (\text{ESR ゼロ})$$

この場合、2 つ目の位相補償コンデンサ（C2）と位相補償抵抗（R3）とで決定される 3 番目のポールをループゲイン上の ESR ゼロの効果を打ち消す為に使用します。
このポールは下記の周波数に存在します。

$$fp3 = \frac{1}{2\pi \times C2 \times R3} \dots (13) \quad (\text{ESR ゼロを補正するポール})$$

位相補償設計の目標は、必要な帯域と移送余裕を得るための伝達関数を形作ることです。

帰還ループのループゲインが“0”となるクロスオーバー周波数（帯域）は重要です。
クロスオーバー周波数が低くなると、電源変動応答や負荷応答が悪化します。
一方、クロスオーバー周波数が高すぎると、ループの不安定性を生じることがあります。
目安として、クロスオーバー周波数をスイッチング周波数の 1/20 とすることを目標とします。

位相補償定数の選定方法を下記に示します。

1. 希望するクロスオーバー周波数にセットするために位相補償抵抗（R3）を選択します。R3 の計算は下記の式で行います。

$$R3 = \frac{2\pi \times COUT \times fc}{G_{EA} \times G_{CS}} \times \frac{VOUT}{VFB} \dots (14)$$

ここで、fc は希望するクロスオーバー周波数です。通常スイッチング周波数（fosc）の 1/20 程度に設定します。

2. 希望する位相余裕を達成するために位相補償コンデンサ（C1）を選択します。代表的なインダクタンス値（4.7uH～33uH 程度）を持つアプリケーションでは、クロスオーバー周波数の 1/4 以下に位相補償ゼロを合わせることで、十分な位相余裕が得られます。

C1 の計算は下記の式で行います。

$$C1 > \frac{4}{2\pi \times R3 \times f_c} \quad \dots (15)$$

3. 2 つ目の位相補償コンデンサ（C2）が必要かどうかの検討を行います。もし出力コンデンサの ESR ゼロがスイッチング周波数の半分より小さいところに存在した場合は、2 つ目の位相補償コンデンサが必要となります。つまり、下記の式が成り立った場合です。

$$\frac{1}{2\pi \times COUT \times RESR} < \frac{f_s}{2} \quad \dots (16)$$

この場合は、2 つ目の位相補償コンデンサ（C2）を追加することで形成される 3 番目のポール（fp3）の周波数を ESR ゼロの周波数に合わせます。C2 の計算は下記の式で行います。

$$C2 = \frac{COUT \times RESR}{R3} \quad \dots (17)$$

PCB レイアウト

良好な特性の電源回路を設計するためには基板レイアウトが非常に重要です。特に大電流、高スループートのスイッチングノードは漏れ磁束、寄生容量等によって電源回路の性能を低下させるスイッチングノイズの原因となります。これを低減するために VCC pin 直近に低 ESR のセラミックコンデンサをバイパスコンデンサとして配置してください。またこのバイパスコンデンサ、キャッチダイオードのアノードのパターンによって生じるループには大電流が流れます。そのためこの電流ループが最短になるようにパターン設計をする必要があります。大電流が流れるラインは、寄生のインピーダンスの影響を小さくするため太く短く引いてください。

スイッチングノードの LX 端子は、寄生容量、パターンのインピーダンスを最少にするため、キャッチダイオード、インダクタをできるだけ端子の近くに配置してください。

裏面のサーマルパッドは放熱性を高めるため IC の裏面で半田付けのうえ多数のサーマル VIA を打ち他層の GND 層に接続してください。

フィードバック抵抗、位相補償素子、周波数決定 RT 抵抗の GND は大電流が流れるラインに対し、共通インピーダンスを持たないように取ってください。

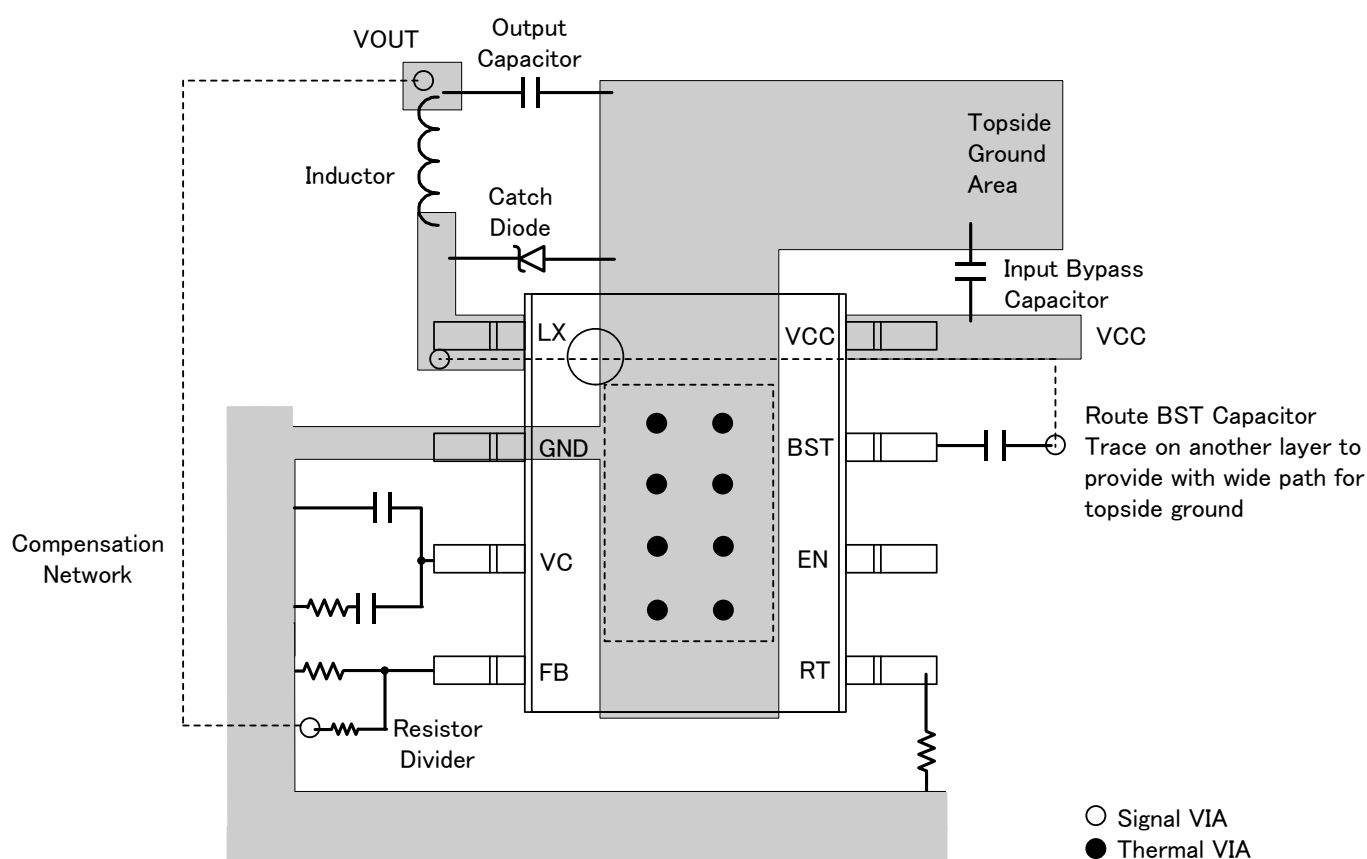


Figure 38. 参考基板パターン

消費電力について

以下の式は、連続導通モード動作でのデバイスの消費電力を見積もる方法を示しています。デバイスが非連続導通モードで動作している場合は、これらの式を使用しないでください。IC 内部の各損失は以下の通りです。

- 1) 導通損失 : $P_{con} = I_{OUT}^2 \times R_{onH} \times V_{OUT}/V_{CC}$
- 2) スイッチング損失 : $P_{sw} = 16n \times V_{CC} \times I_{OUT} \times f_{sw}$
- 3) ゲート・チャージ損失 : $P_{gc} = 500p \times 7 \times 7 \times f_{sw}$
- 4) 非スイッチング動作時電流損失 : $P_q = 1.5m \times V_{CC}$

ここで、 I_{OUT} = 出力電流 (A)、 R_{onH} = ハイサイド MOSFET のオン抵抗 (Ω)、 V_{OUT} = 出力電圧 (V)、 V_{CC} = 入力電圧 (V)、 f_{sw} = スイッチング周波数 (Hz) です。

IC 内部損失(P_d)は上記損失の総和であり、以下の通りです。

$$P_d = P_{con} + P_{sw} + P_{gc} + P_q$$

この時ジャンクション温度は、下式の通りです。

$$T_j = T_a + \theta_{ja} \times P_d$$

上記ジャンクション温度が最大値 $T_{j_max}=150^\circ\text{C}$ を超えないように十分マージンを持った熱設計を行ってください。

入出力等価回路図

Pin. No	端子名	端子等価回路図	Pin. No	端子名	端子等価回路図
1 2 7 8	Lx GND BST VCC		5	RT	
3	VC		6	EN	
4	FB				

使用上の注意**1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

8. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

9. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

10. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

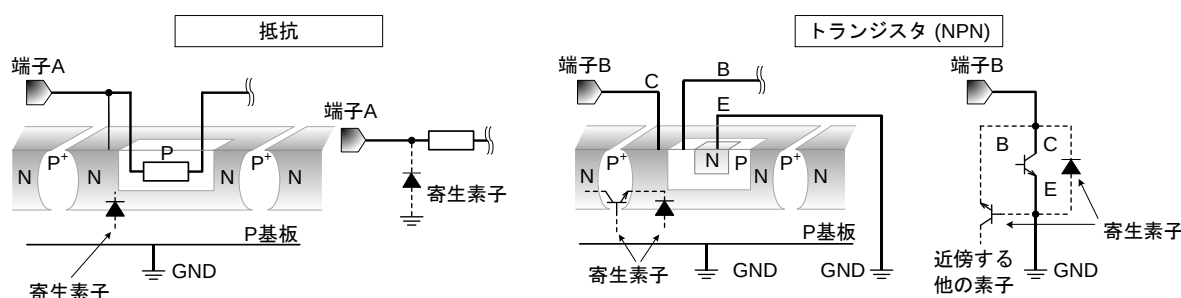


Figure 39 モノリシック IC 構造例

12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

13. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

14. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

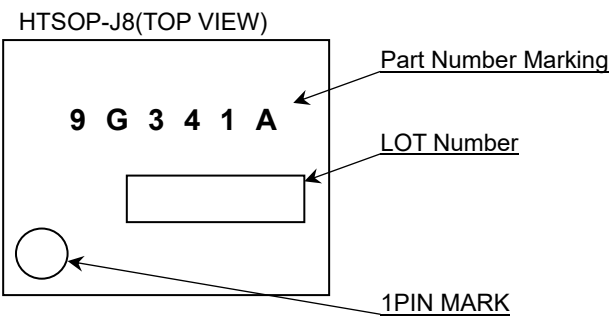
15. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

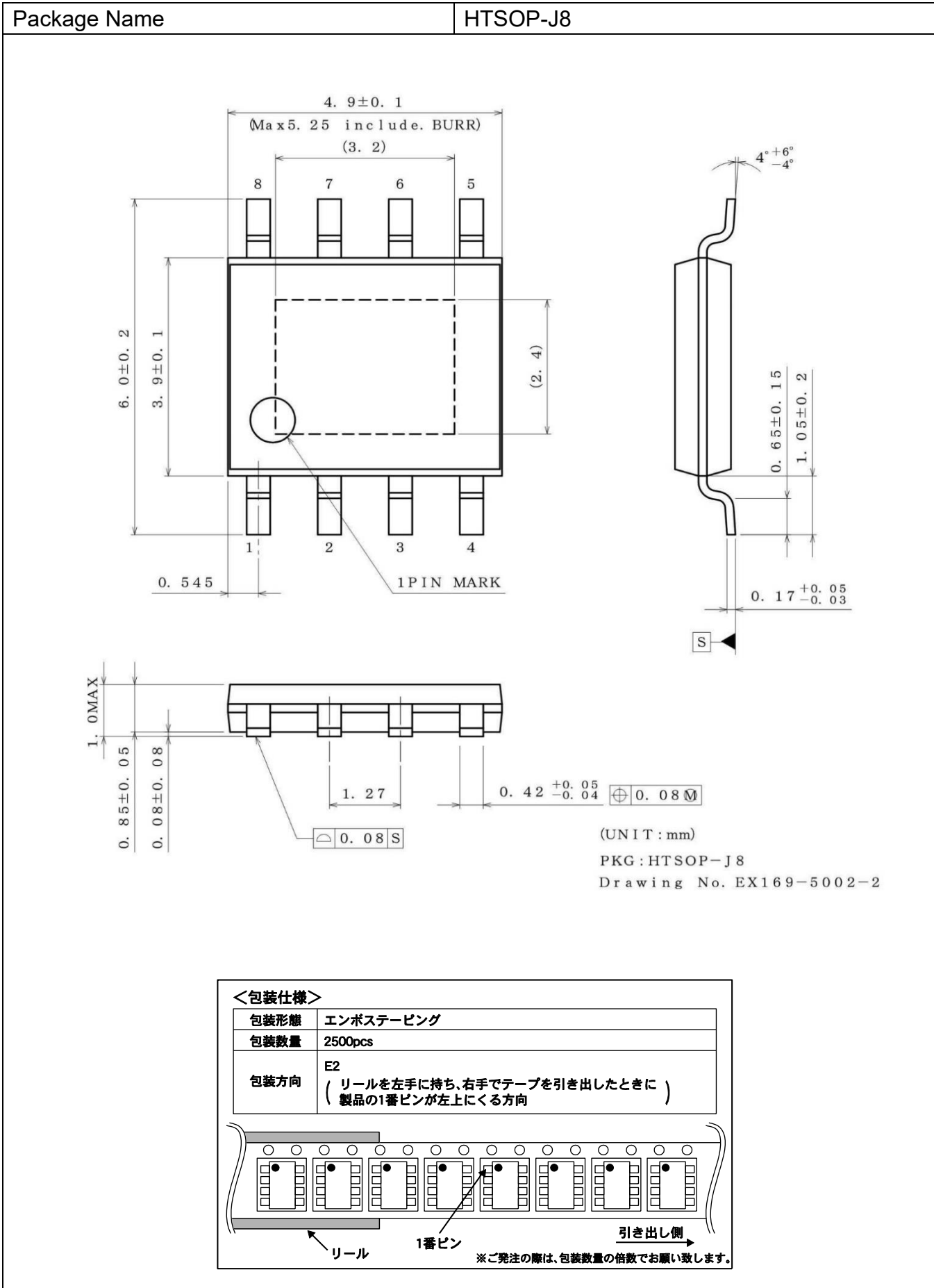
発注形名セレクション

B D 9 G 3 4 1 A E F J										-	LBE2	
Part Number										パッケージ EFJ: HTSOP-J8		製品ランク LB: 産業機器用 包装、フォーミング仕様 E2: リール状エンボステープニング

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2015.10.06	001	新規登録
2015.12.16	002	P13 出力電圧残留時の起動 P14 出力バイアス利用制限 P15 出力コンデンサ上限に関して 記載追加
2016.09.28	003	誤記修正 P2 EN 端子説明 OPEN または 削除 P20 熱軽減特のグラフ 実線領域 105°C⇒85°Cまでに変更 P20 ゲートチャージ損失計算式 $P_{gc} = 500p \times 7 \times f_{sw} \Rightarrow P_{gc} = 500p \times 7 \times 7 \times f_{sw}$
2021.2.2	004	P5 絶対最大定格の熱許容損失を削除 熱抵抗の項目(JEDEC 準拠)を追加 VC-GND と RT-GND の絶対最大定格を追加 P9, 11 文言を追加: 「各外付け部品は相当品での代替可」 推奨品ダイオードの型番を変更: 「RB095B-90」⇒「RB095BGE-90TL」 P13 Fig.29 横軸を修正 P20 熱軽減特性に関する注意事項を削除 P22 Pin No.1, 2, 7, 8 の入出力等価回路図を修正 P23 使用上の注意「熱設計について」を削除 P25 標印図の様式を更新

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。