

16V~60V 入力 1A MOSFET 内蔵 1ch 2.1MHz 降圧 DC/DC コンバータ

BD9V101MUF-LB

概要

本製品は産業機器市場へ向けた、長期の供給を保证するランクの製品です。
これらのアプリケーションとして、ご使用される場合に最適な商品です。

BD9V101MUF-LB は高耐圧 POWER MOSFET を内蔵した同期整流降圧 DC/DC コンバータです。16V ~ 60V までの広い入力範囲は産業機器等のあらゆるアプリケーションに適しています。

Nano Pulse Control®により 20ns の最小 SW ON 時間を出力可能なため、2.1MHz 動作でも 60V 電源から 3.3V マイコンへの電圧変換(60V→3.3V)を 1 つの IC で可能にします。

特長

- Nano Pulse Control®搭載により 2.1MHz 動作で 60V から 3.3V をダイレクトに変換可能
- 産業機器に適した長期の供給保証
- 最小 SW ON 時間 20ns(Max)
- 同期整流方式
- ソフトスタート機能
- カレントモード制御
- 過電流保護機能
- 入力低電圧誤動作防止機能
- 入力過電圧誤動作防止機能
- 温度保護機能
- 出力過電圧保護機能
- 負荷短絡保護機能
- ウェッタブル・フランク QFN パッケージ

用途

- 産業機器
- その他電子機器

基本アプリケーション回路

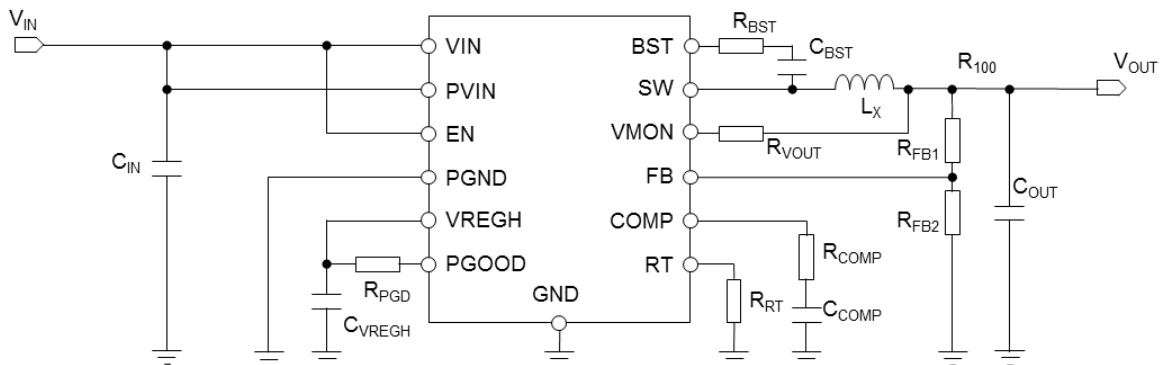


Figure 1. アプリケーション回路

Nano Pulse Control®はロームの登録商標です。

○製品構造：シリコンモノリシック集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

© 2017 ROHM Co., Ltd. All rights reserved.

TSZ22111・14・001

1/39

TSZ02201-0J1J0AJ01330-1-1

2017.09.15 Rev.001

重要特性

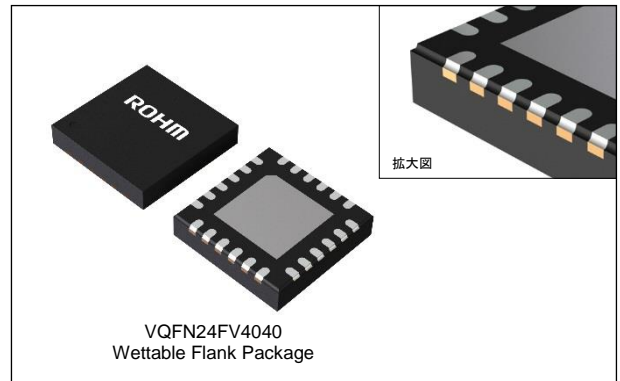
- 入力電圧範囲： 16V ~ 60V
- 出力電圧範囲： 0.8V ~ 5.5V
- 出力電流： 1A(Max)
- スイッチング周波数： 1.9MHz ~ 2.3MHz
- 基準電圧精度： ±2%
- シャットダウン時回路電流： 0μA(Typ)
- 動作ジャンクション温度範囲： -40°C ~ +150°C

パッケージ

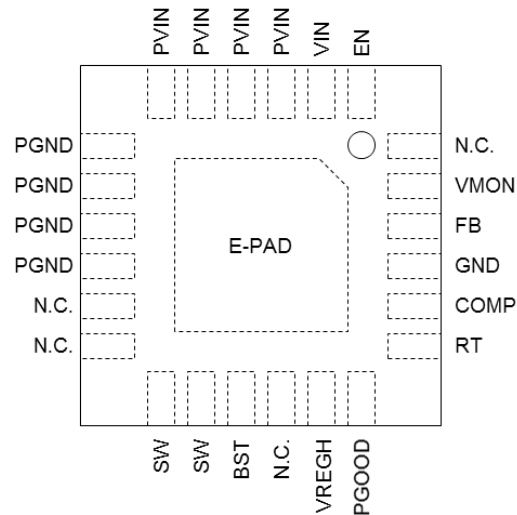
VQFN24FV4040

W(Typ) x D(Typ) x H(Max)

4.00mm x 4.00mm x 1.00mm



端子配置図



(TOP VIEW)

Figure 2. 端子配置図

端子説明

端子番号	記号	機能
1	EN	ICの制御用端子です。 この端子をLow(0.8V以下)にすると、デバイスがシャットダウンモードに入ります。 この端子をHigh(2.5V以上)にすると、デバイスがイネーブルになります。
2	VIN	アナログ用電源入力端子です。 この端子はPVIN端子とショートします。
3~6	PVIN	スイッチングレギュレータの電源入力端子です。 この端子は、スイッチングレギュレータ出力段に電源を供給します。 推奨値として2.2μFと0.1μFのセラミック・コンデンサを接続してください。
7~10	PGND	パワーグラウンド端子です。
11,12	N.C.	未接続端子です。オープンかPGND端子に接続し使用してください。
13,14	SW	スイッチノードの接続端子です。 上側POWER MOSFETのソース、下側POWER MOSFETのドレインに接続されています。 この端子には、出力インダクタとブートストラップコンデンサ0.022μFと3.3Ωの抵抗を接続します。
15	BST	上側POWER MOSFET用の駆動電源端子です。この端子とSW端子の間にブートストラップコンデンサ0.022μFと3.3Ωを接続します。 このコンデンサの電圧が上側POWER MOSFETのゲート駆動電圧になります。
16	N.C.	未接続端子です。オープンで使用してください。
17	VREGH	内部電源出力端子です。5V(Typ)を出力し、制御回路に電源を供給します。推奨値として2.2μFのセラミック・コンデンサを接続してください。
18	PGOOD	Power Good端子です。この端子はオープンドレイン端子のため、HighまたはLowを出力するためにプルアップ抵抗を挿入して使用します。
19	RT	周波数設定抵抗接続端子です。 この端子とGND端子間に周波数設定抵抗を接続してください。
20	COMP	gmエラーアンプの出力及びPWMコンパレータの入力端子です。 この端子に位相補償部品を接続します。 定数設定方法はP.23を参照してください。
21	GND	グラウンド端子です。
22	FB	出力電圧フィードバック端子です。gmエラーアンプの反転入力部です。出力電圧の抵抗分割を接続してください。 出力電圧設定方法はP.22を参照してください。
23	VMON	短絡保護回路用の検出端子です。出力電圧のモニタとシャットダウン時のディスチャージを行います。
24	N.C.	未接続端子です。オープンで使用してください。
-	E-PAD	裏面放熱用パッドです。 複数のビアを使用して内部のPCBグラウンドプレーンに接続することで優れた放熱特性を得ることができます。

ブロック図

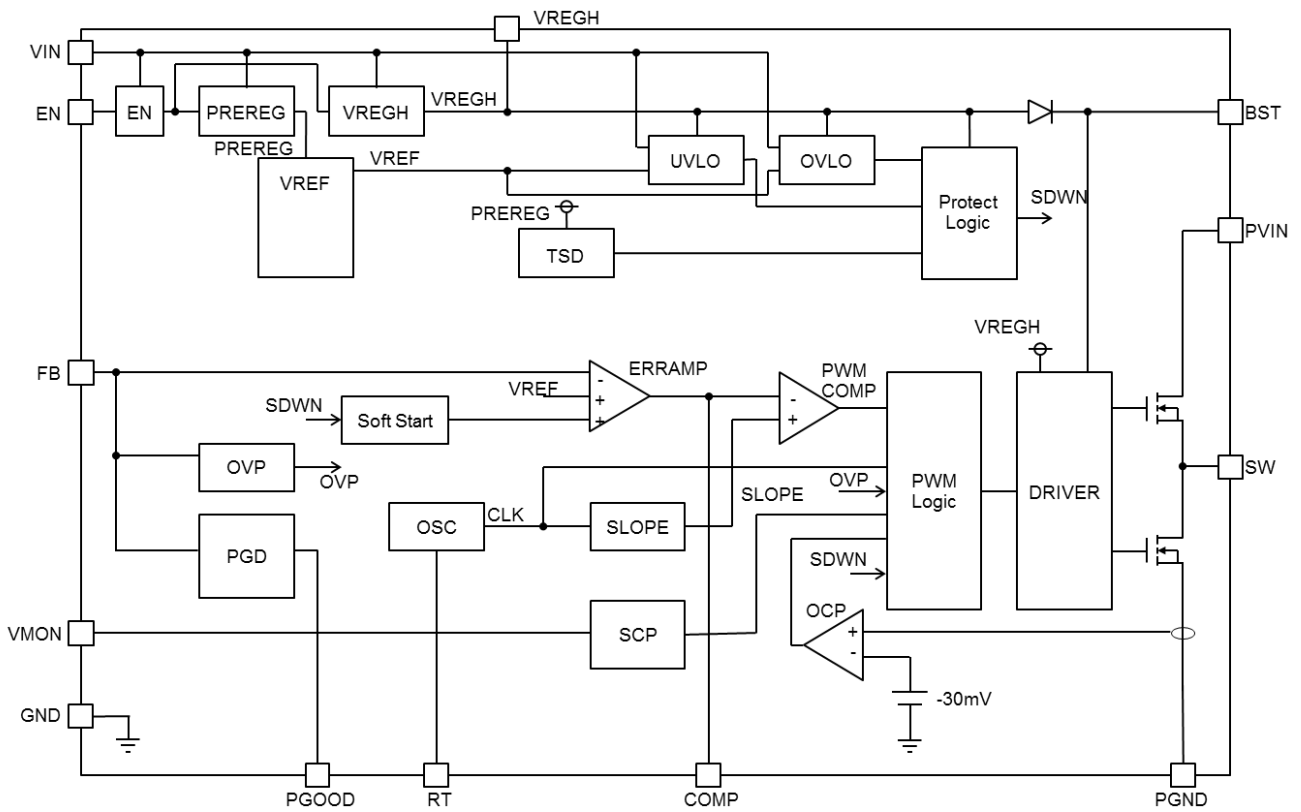


Figure 3. Block Diagram

各ブロック動作説明

- ・ERRAMP
基準電圧 0.8V(Typ)と FB 端子電圧を入力とする誤差増幅器です。エラーアンプ出力の COMP 端子により、スイッチングパルスのデューティを制御します。FB 端子を用いて出力電圧を設定します。また、COMP 端子に容量と抵抗を挿入することにより位相補償を調整できます。(P.23 位相補償回路 R_{COMP}、C_{COMP} の選定参照)
- ・Soft Start
電源投入時に ERRAMP の非反転入力電圧を徐々に上昇させ、スイッチングパルスのデューティを徐々に大きくすることにより、出力電圧のオーバーシュートを防止する機能です。ソフトスタート時間は 1.1ms (f_{sw}=2.1MHz 時)です。この時間は、スイッチング周波数の設定によって変わります。(P.24 ソフトスタート時間について参照)
- ・EN
EN 端子を 2.5V 以上にすることにより回路を動作させることができます。また、EN 端子をオープンもしくは 0.8V 以下にすることにより、回路をシャットダウンできます。
- ・VREGH
内部電源回路です。5V(Typ)を出力し、制御用回路に電源を供給します。推奨値として 2.2μF のセラミック・コンデンサを接続してください
- ・OSC (Oscillator)
SLOPE に入力するパルス波を発生させる回路で RT 端子と GND 端子間に抵抗を接続することにより、1.9MHz~2.3MHz のスイッチング周波数を設定します(P.24 Figure 38 参照)。OSC 出力は PWM Logic にクロック信号を送ります。また、OSC 出力はソフトスタートや保護動作時の時間制御カウンタのクロックとしても使用しています。
- ・SLOPE
OSC にて生成されたクロックからのこぎり波を生成するブロックです。のこぎり波には、コイルに流れる電流情報が含まれます。
- ・PWM COMP
SLOPE で生成された、のこぎり波とエラーアンプ出力を比較して、デューティ変調信号を生成します。
- ・PWM Logic
上下の POWER MOSFET のオンとオフのタイミングを制御するロジックです。通常動作時では、OSC で生成されるクロック信号により、上側 POWER MOSFET のオンタイミングを制御し、PWM COMP ブロックの出力によりオフタイミングを制御します。また、各保護出力信号を処理し IC の動作を制御します。
- ・TSD (Thermal Shutdown)
温度保護機能です。IC の熱破壊・熱暴走を防止するために、チップ温度が T_j=175°C(Typ)以上になると上下の POWER MOSFET と VREGH が OFF します。その後、150°C(Typ)に戻ると復帰します。ただし、温度保護機能は本来 IC 自身を保護する目的で内蔵しておりますので、チップ温度は T_{jmax} = 150°C 未満での熱設計を行ってください。動作保証温度以上での使用は IC の寿命の低下につながるおそれがあります。
- ・OCP (Over Current Protection)
過電流保護機能です。下側 POWER MOSFET が ON している時に、ドレインソース間電圧が IC 内部で設定される基準電圧値を超えると過電流保護が動作し、電流値が過電流保護の基準値以下になるまで SW 電圧の High 区間をスキップします。この過電流保護は自己復帰型となっています。ただし、この保護機能は突発的な事故による破壊防止に有効的なもので、連続的な保護機能動作時 (例えば出力負荷電流能力を大きく上回る負荷が常時接続される場合など)でのご使用は避けてください。
- ・OVP (Over Voltage Protection)
出力過電圧保護機能です。出力が 120%(Typ)以上になっていることを検知すると上下の POWER MOSFET を OFF します。出力が 110%(Typ)以下になっていることを検知すると通常動作に戻ります。
- ・UVLO (Under Voltage Lock-Out)
入力低電圧誤動作防止機能です。電源電圧起動時、及び電源電圧低下時における内部回路の誤動作を防止します。電源電圧(V_{IN})が 15.0V(Max)以下になると上下の POWER MOSFET が OFF します。V_{IN}が 16.0V(Max)以上になると、UVLO が解除され、ソフトスタートを伴って再起動します。
- ・DRIVER
POWER MOSFET のゲートを駆動するドライバ回路です。
- ・OVLO(Over Voltage Lock-Out)
入力過電圧誤動作防止機能です。V_{IN}が 60.0V(Min)以上になると、IC の動作を停止させます。電源電圧が OVLO 解除電圧 59.0V(Min)以下になるとソフトスタートを伴って再起動します。なお、本スレッシュホールドは 1.0V(Typ)のヒステリシスを有します。

各ブロック動作説明 — 続き

・ PGD

基準電圧モニタ回路です。FB 電圧が基準電圧の 90%(Typ)以上・110%(Typ)以下の時に、PGOOD 端子を Hi-Z にし、それ以外の時には PGOOD 端子を ON します。上側・下側のそれぞれのスレッショルドに 20mV(Typ)のヒステリシスを有します。

・ SCP(Short Circuit Protection)

負荷短絡保護機能です。VIN 端子電圧と VMON 端子電圧からその時の、基準 SW ON 時間を設定し、実際の SW ON 時間が基準 SW ON 時間の 2.5 倍(Typ)の状態が 2CLK 続くと、ショート検出し上下の POWER MOSFET を OFF します。

絶対最大定格 (Tj=25°C)

項目	記号	定格	単位
電源電圧	V _{IN} , P _{VIN}	-0.3 ~ +70	V
EN 端子電圧	V _{EN}	-0.3 ~ V _{IN}	V
BST 端子電圧	V _{BST}	-0.3 ~ +70	V
BST-SW 間電圧	ΔV _{BST}	V _{SW} - 0.3 ~ V _{SW} + 7	V
FB, RT, COMP, PGOOD 端子電圧	V _{FB} , V _{RT} V _{COMP} , V _{PGOOD}	-0.3 ~ +7	V
V _{MON} 端子電圧	V _{V_{MON}}	-0.3 ~ +7	V
V _{REGH} 端子電圧	V _{V_{REGH}}	-0.3 ~ +7	V
保存温度範囲	T _{stg}	-55 ~ +150	°C
最高接合部温度	T _{jmax}	150	°C

注意 1 : 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂くようご検討をお願いします。

注意 2 : 最大接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最大接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最大接合部温度を超えないようにしてください。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 3)	4層基板 (Note 4)	
VQFN24FV4040				
ジャンクション—周囲温度間熱抵抗	θ _{JA}	150.6	37.9	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 2)	ψ _{JT}	20	9	°C/W

(Note 1) JESD51-2A (Still-Air) に準拠。

(Note 2) ジャンクションからパッケージ(モールド部分)上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mm
1層目 (表面) 銅箔		
銅箔パターン	銅箔厚	
実装ランドパターン + 電極引出し用配線	70μm	

(Note 4) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法	サーマルビア (Note 5)		
			ピッチ	直径	
4層	FR-4	114.3mm x 76.2mm x 1.6mm	1.20mm	Φ0.30mm	
1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm	74.2mm□ (正方形)	35μm	74.2mm□ (正方形)	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件

項目	記号	最小	標準	最大	単位
動作電源電圧範囲	V _{IN}	16	-	60	V
動作ジャンクション温度範囲	T _{jopr}	-40	-	+150	°C
出力電圧設定可能範囲	V _{OUT}	0.8	-	5.5	V
SW 最小 ON 時間 ^(Note 1)	t _{ONMIN}	-	9	20	ns
出力電流	I _{OUT}	0	-	1	A
スイッチング周波数	f _{SW}	1.9	2.1	2.3	MHz
入力コンデンサ容量値 ^(Note 2)	C _{IN}	1.2	-	-	μF
スイッチング周波数設定抵抗値	R _{RT}	6.9	7.5	8.1	kΩ

(Note 1) 出力電流 0.5A 時の値です。全数出荷検査は行っていません。

(Note 2) セラミック・コンデンサを推奨します。容量はばらつき、温度特性、DC バイアス特性、経時変化を含めて最小を下回らないように設定してください (P.22 入力コンデンサ C_{IN}、C_{BLK} の選定 参照)。また基板パターンやコンデンサの位置によって誤動作する可能性がありますので PCB レイアウト設計について (P.30) をご参照のうえ、設計をお願いします。

電気的特性 (特に指定のない限り T_j=25°C、V_{IN}=48V、V_{EN}=5V)

項目	記号	最小	標準	最大	単位	条件
シャットダウン時回路電流	I _{SDN}	-	0	5	μA	V _{EN} =0V, T _j =105°C
回路電流	I _{CC}	-	2.5	3.8	mA	V _{FB} =2.0V
基準電圧	V _{FB}	0.784	0.800	0.816	V	V _{FB} =V _{COMP}
FB 端子入力電流	I _{FB}	-1	0	+1	μA	V _{FB} =5.0V
COMP 端子シンク電流	I _{CPSINK}	35	60	85	μA	V _{COMP} =1.0V, V _{FB} =2V
COMP 端子ソース電流	I _{CPSOURCE}	-85	-60	-35	μA	V _{COMP} =1.0V, V _{FB} =0V
ソフトスタート時間 ^(Note1)	t _{SS}	0.7	1.1	1.5	ms	f _{SW} =2.1MHz, R _{RT} =7.5kΩ
POWER MOS 上側オン抵抗	R _{ONH}	-	600	900	mΩ	I _{OUT} =-50mA
POWER MOS 下側オン抵抗	R _{ONL}	-	400	600	mΩ	I _{OUT} =50mA
SW 端子上側 NMOSFET リーク電流	I _{OLEAKH}	-5	0	+5	μA	V _{IN} =70V, V _{EN} =0V T _j =105°C, V _{SW} =0V
SW 端子下側 NMOSFET リーク電流	I _{OLEAKL}	-5	0	+5	μA	V _{IN} =70V, V _{EN} =0V T _j =105°C, V _{SW} =70V
過電流保護 SW 電流 ^(Note2)	I _{SW}	1.5	2.4	3.3	A	
スイッチング周波数	f _{SW}	1.9	2.1	2.3	MHz	R _{RT} =7.5kΩ
EN スレッシュホールド H 電圧	V _{ENH}	2.5	-	V _{IN}	V	
EN スレッシュホールド L 電圧	V _{ENL}	0	-	0.8	V	
EN 端子入力電流	I _{EN}	-	8.5	20	μA	V _{EN} =5V
V _{IN} 低電圧保護検知電圧	V _{UV_ON}	12.5	13.7	15.0	V	V _{IN} Falling
V _{IN} 低電圧保護解除電圧	V _{UV_OFF}	13.5	14.7	16.0	V	V _{IN} Rising
V _{IN} 過電圧保護検知電圧	V _{OV_ON}	60.0	62.5	65.0	V	V _{IN} Rising
V _{IN} 過電圧保護解除電圧	V _{OV_OFF}	59.0	61.5	64.0	V	V _{IN} Falling
OVP スレッシュホールド H 電圧	V _{OVPH}	0.87	0.96	1.05	V	V _{FB} Rising
OVP スレッシュホールド L 電圧	V _{OVPL}	0.83	0.92	1.01	V	V _{FB} Falling
PGOOD 下側スレッシュホールド	V _{PGDL}	V _{FB} x 0.82	V _{FB} x 0.90	V _{FB} x 0.98	V	V _{FB} Falling
PGOOD 下側ヒステリシス	V _{PGDLH}	4	20	40	mV	
PGOOD 上側スレッシュホールド	V _{PGDH}	V _{FB} x 1.02	V _{FB} x 1.10	V _{FB} x 1.18	V	V _{FB} Rising
PGOOD 上側ヒステリシス	V _{PGDHL}	-40	-20	-4	mV	
PGOOD オン抵抗	R _{PGD}	-	0.22	1	kΩ	I _{PGOOD} =10mA
PGOOD 出力リーク電流	I _{PGD}	-	0	1	μA	V _{PGOOD} =5V

(Note 1) V_{FB} が 0.1V から 0.7V への移行時間です。

(Note 2) これは設計値です。全数出荷検査は行っていません。

特性データ
(参考データ)

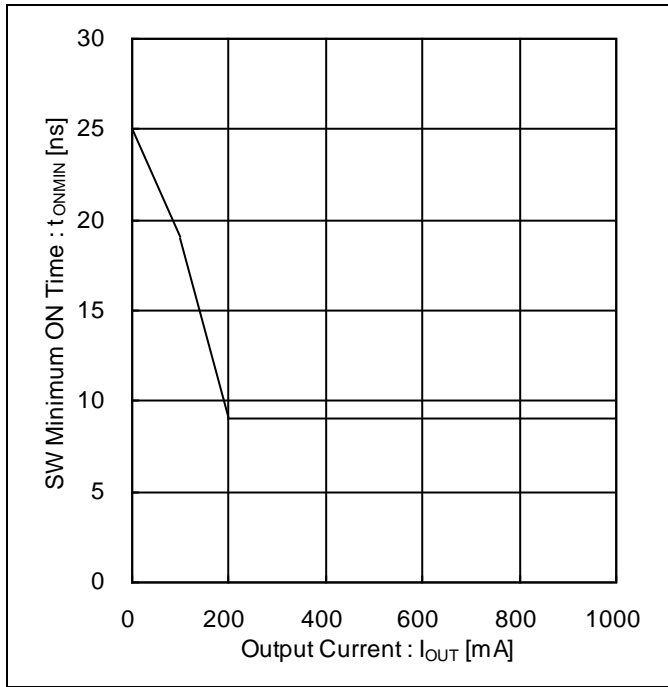


Figure 4. SW Minimum ON Time vs Output Current

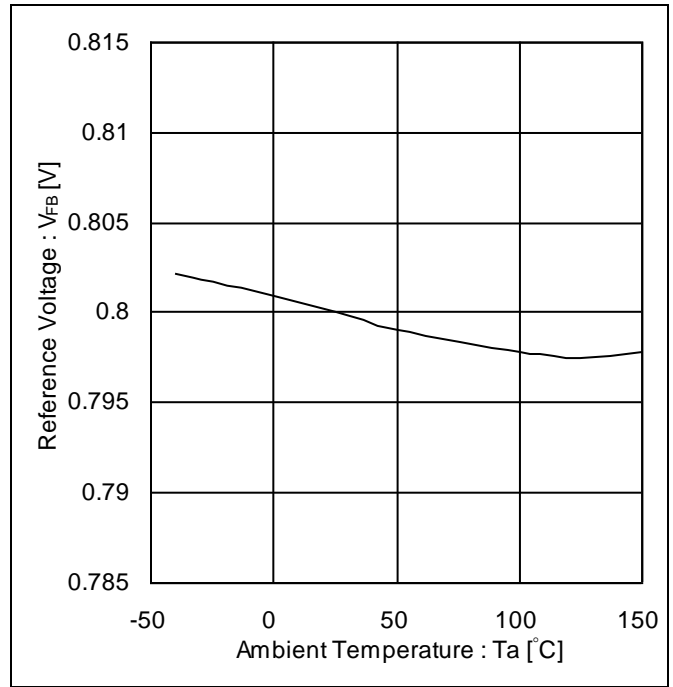


Figure 5. Reference Voltage vs Ambient Temperature

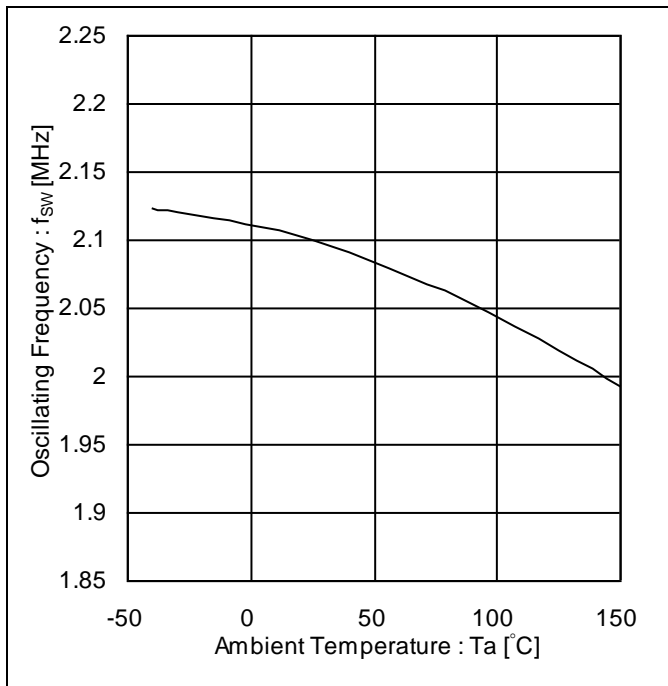


Figure 6. Oscillating Frequency vs Ambient Temperature

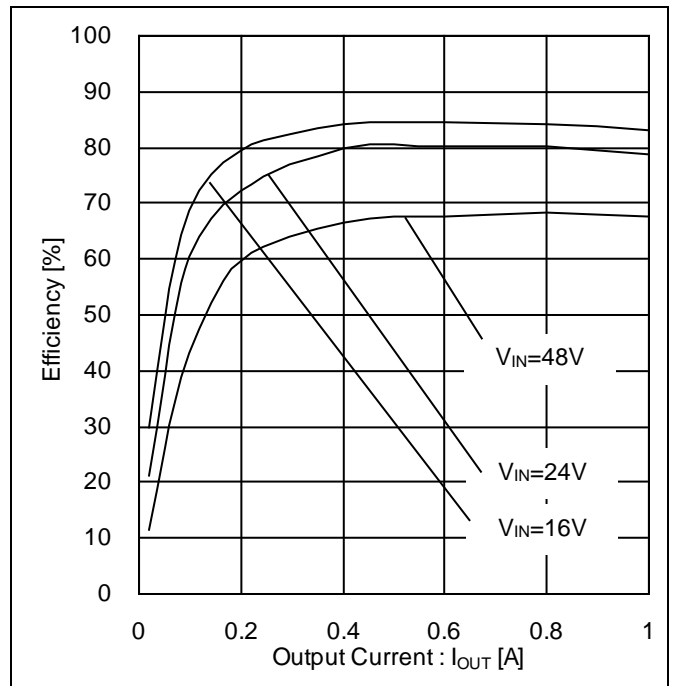


Figure 7. Efficiency vs Output Current
($V_{OUT}=5.5V$, $f_{sw}=1.9MHz$)

特性データ - 続き
(参考データ)

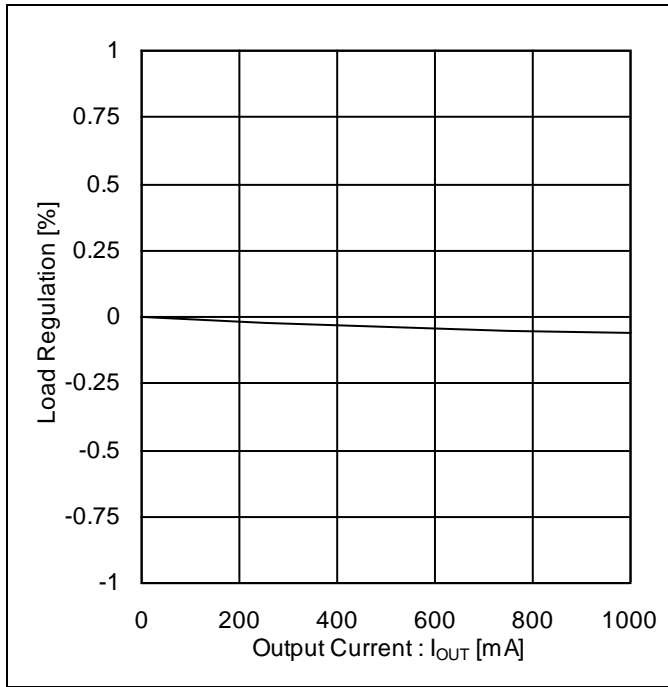


Figure 8. Load Regulation
($V_{IN}=48V$, $V_{OUT}=5V$)

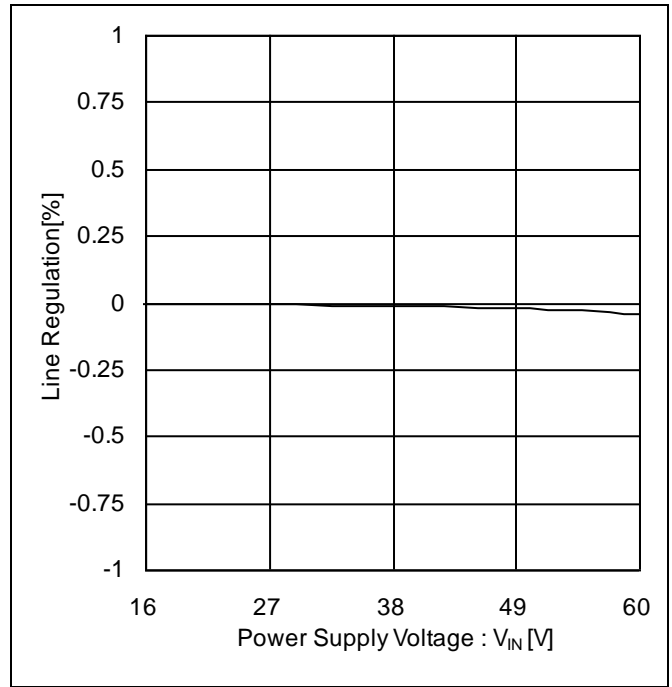


Figure 9. Line Regulation
($V_{OUT}=5V$, $I_{OUT}=500mA$)

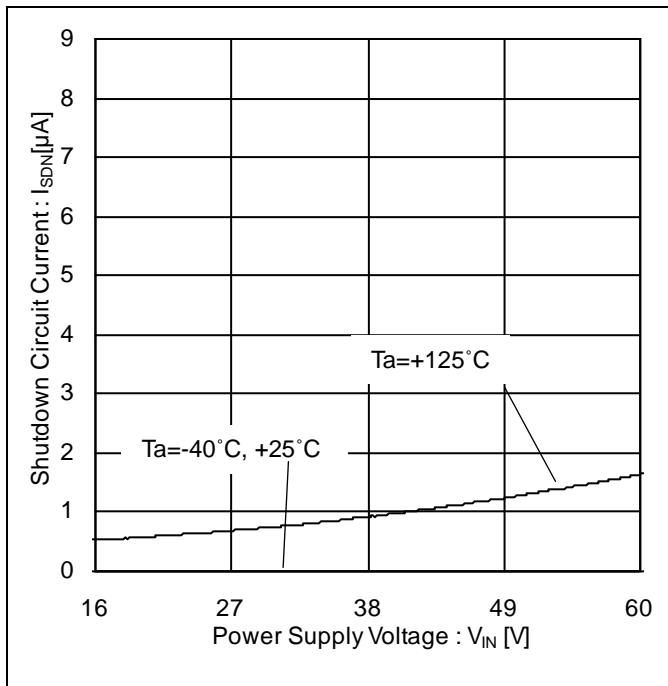


Figure 10. Shutdown Circuit Current vs Power Supply Voltage ($V_{EN}=0V$)

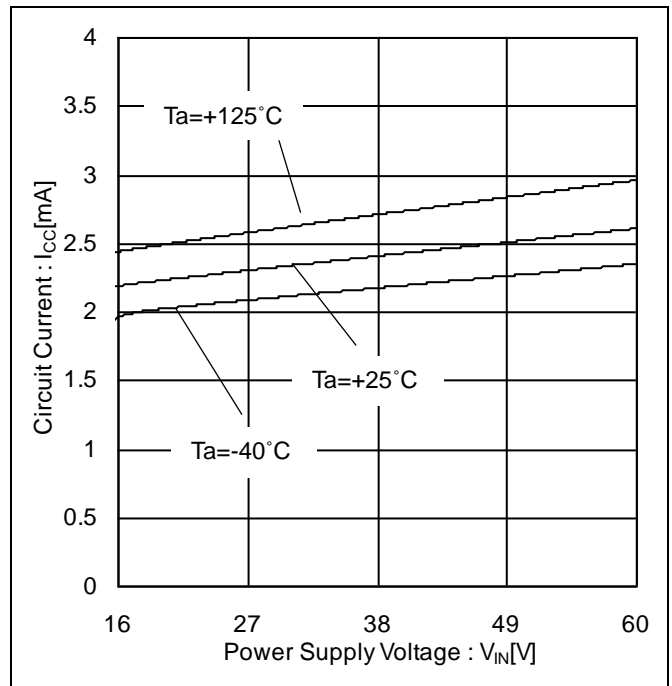


Figure 11. Circuit Current vs Power Supply Voltage ($V_{EN}=V_{IN}$, No Switching)

特性データ - 続き
(参考データ)

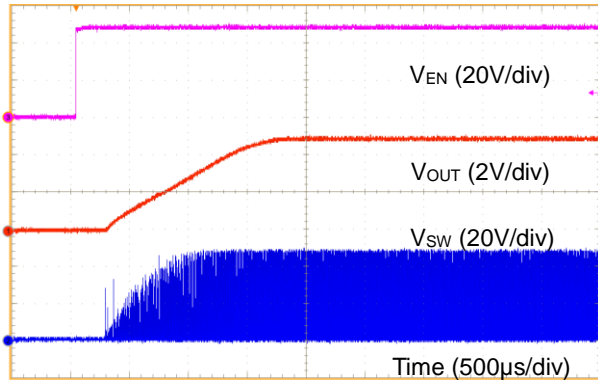


Figure 12. Startup Waveform
($V_{IN}=48V$, $V_{OUT}=5V$, $I_{OUT}=0.5A$)

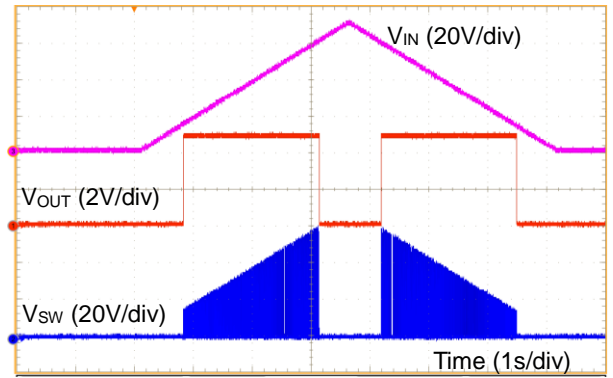


Figure 13. Startup and Shutdown Waveform
($V_{IN}=0V \leftrightarrow 70V$, $V_{OUT}=5V$, $I_{OUT}=0.5A$)

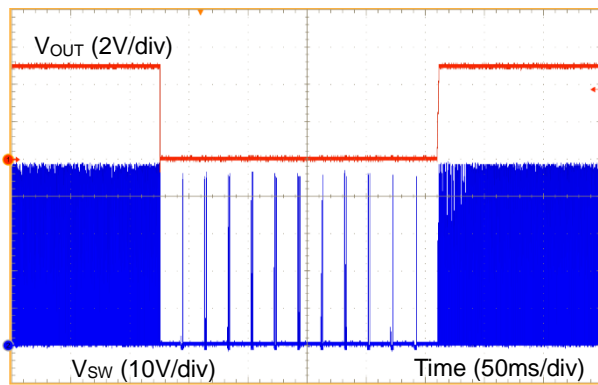


Figure 14. V_{OUT} Short and Release Waveform
($V_{IN}=48V$)

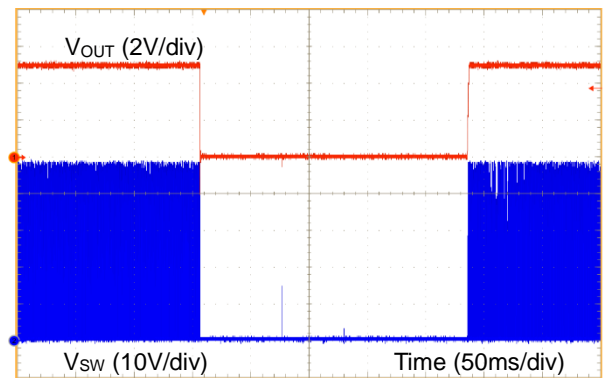


Figure 15. SW Short and Release Waveform
($V_{IN}=48V$)

特性データ - 続き
(参考データ)

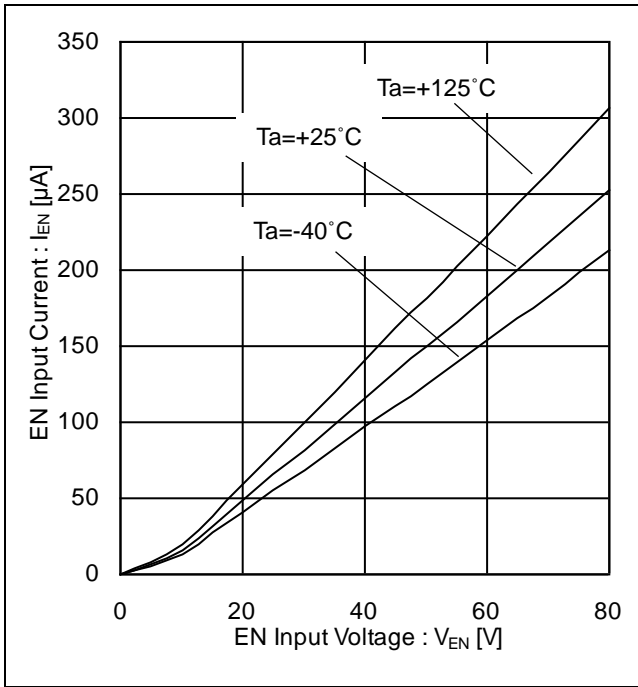


Figure 16. EN Input Current vs EN Input Voltage

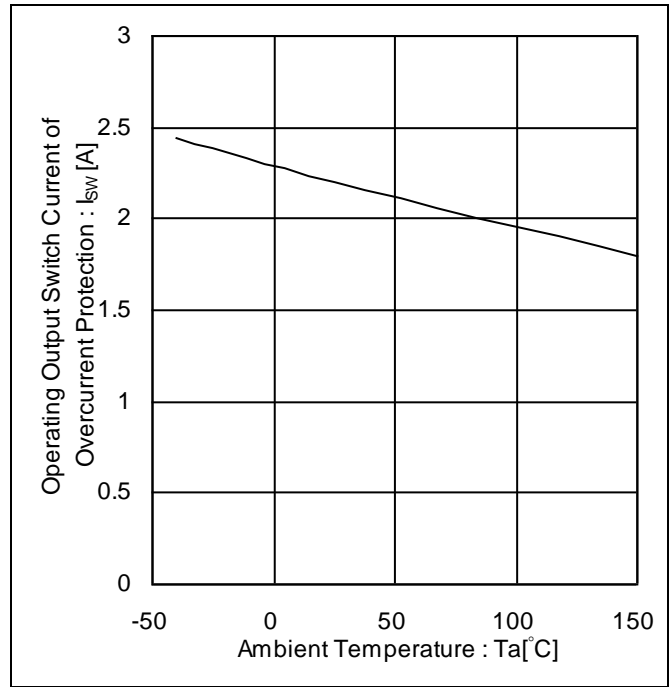


Figure 17. Operating Output Switching Current of Over Current Protection vs Ambient Temperature
(V_{IN}=48V, V_{OUT}=5V)

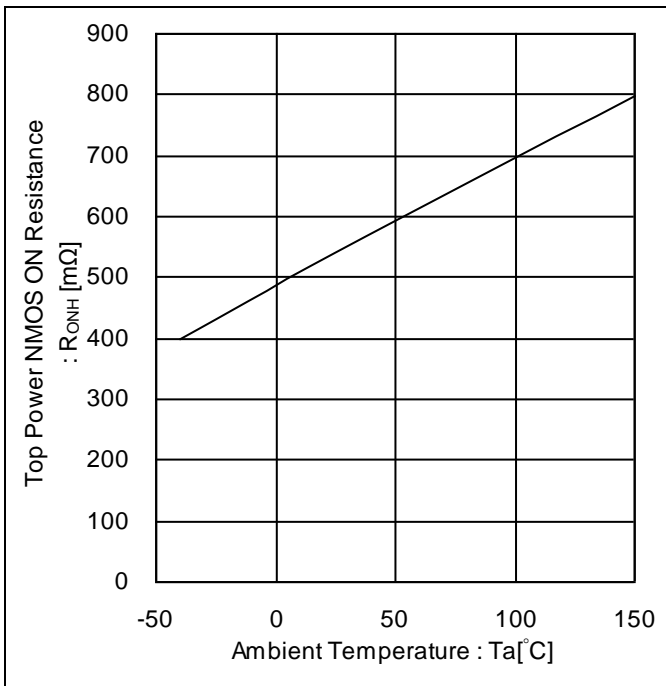


Figure 18. Top Power NMOS ON Resistance vs Ambient Temperature

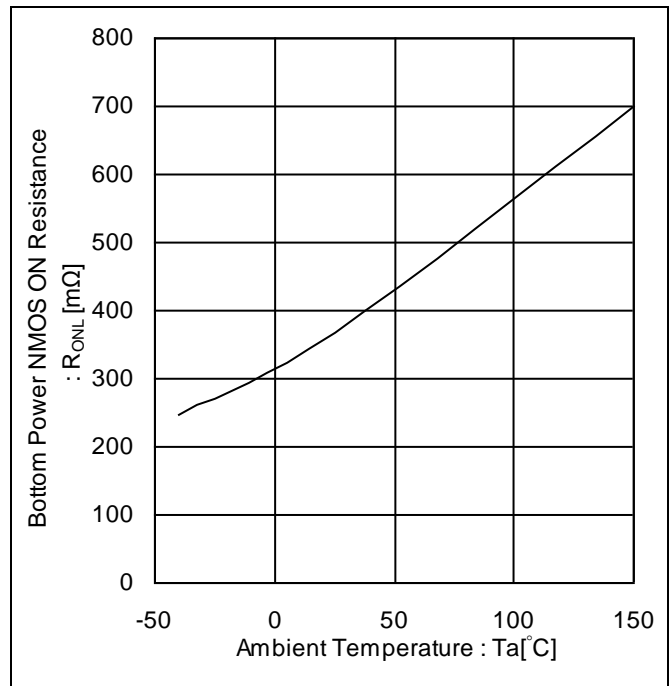


Figure 19. Bottom Power NMOS ON Resistance vs Ambient Temperature

特性データ - 続き
(参考データ)

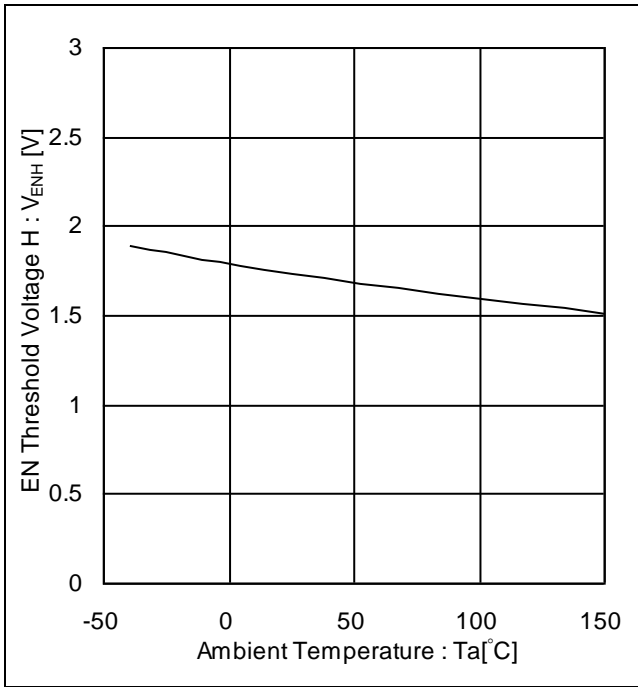


Figure 20. EN Threshold Voltage H vs Ambient Temperature
(V_{IN}=48V, V_{OUT}=5V)

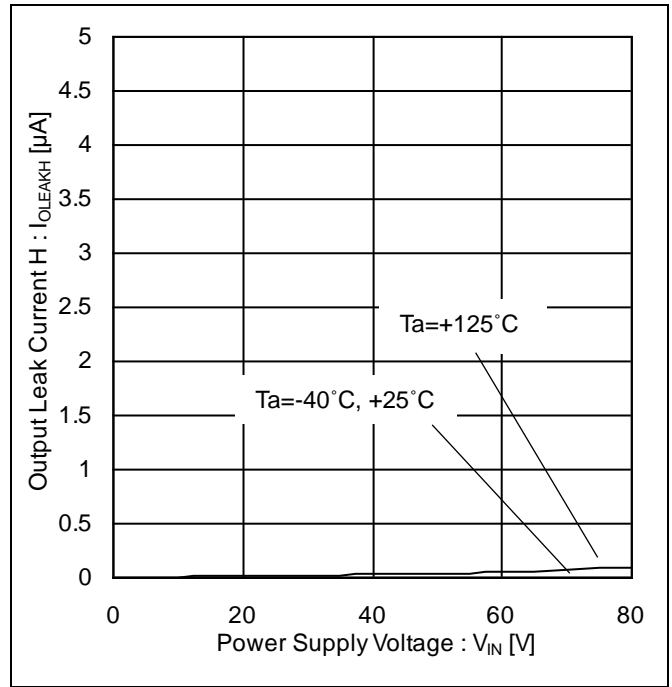


Figure 21. Output Leak Current H vs Power Supply Voltage
(EN=0V, SW=V_{IN})

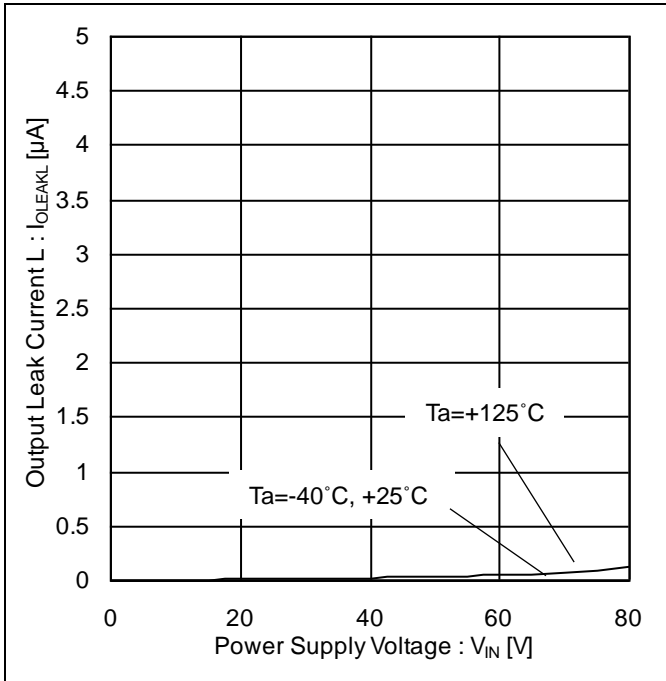


Figure 22. Output Leak Current L vs Power Supply Voltage
(EN=0V, SW=GND)

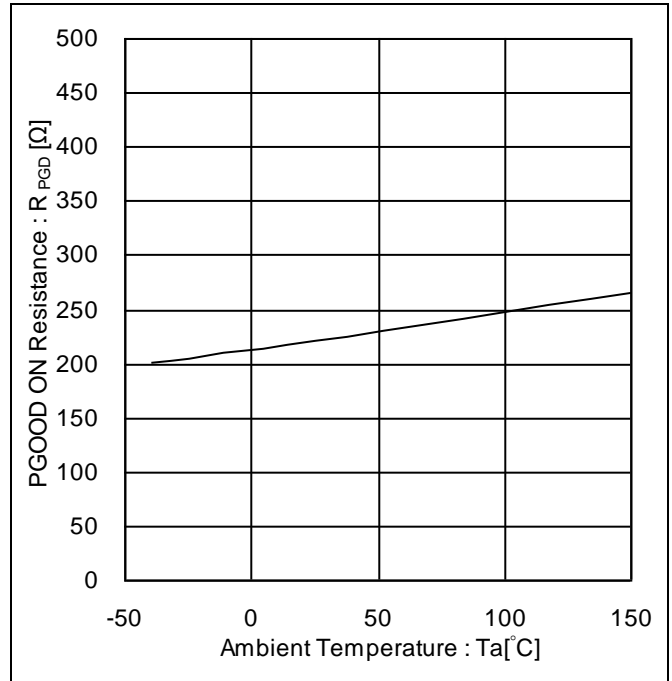


Figure 23. PGOOD ON Resistance vs Ambient Temperature

機能説明

1. Nano Pulse Control[®]

Nano Pulse Control[®]とは、ローム独自方式により従来困難であった50ns未満（標準条件時）の細いSW ONパルスにおいても、安定した制御を可能にする技術です。そのため、高周波スイッチング動作が可能になります。BD9V101MUF-LBは、この技術を用いることで電流検出が可能な最小SW ON時間が9ns(Typ)、スイッチング周波数2.1MHz(Typ)で設計されています。

(1) 高入力低出力動作

細いSW ONパルスは、高入力電圧から低出力電圧を直接変換可能にします。BD9V101MUF-LBは、2.1MHz動作でも電源電圧 V_{IN} 60Vから直接、出力電圧 V_{OUT} 3.3Vが出力可能になります。

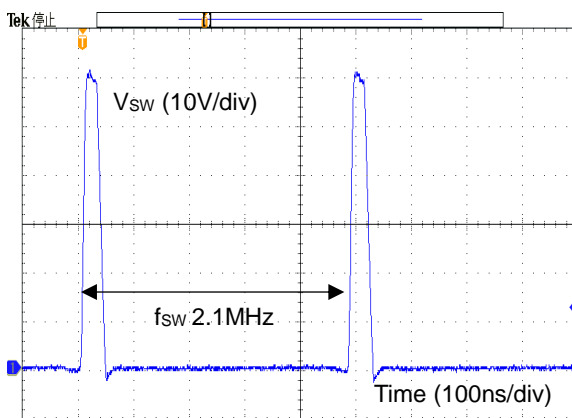


Figure 24. Switching Waveform
($V_{IN}=60V$, $V_{OUT}=3.3V$, $I_{OUT}=0.5A$, $f_{SW}=2.1MHz$)

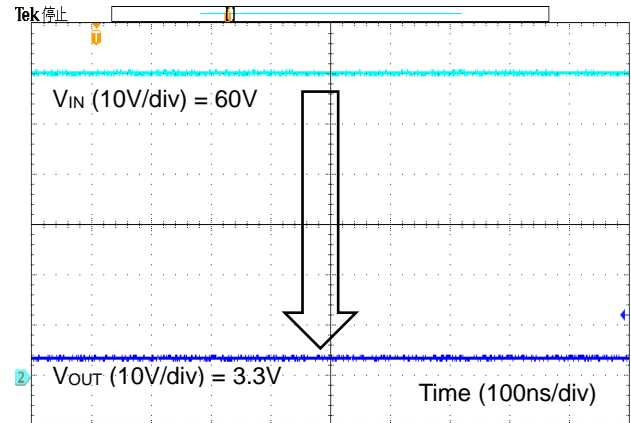


Figure 25. V_{IN} V_{OUT} Waveform
($V_{IN}=60V$, $V_{OUT}=3.3V$, $I_{OUT}=0.5A$, $f_{SW}=2.1MHz$)

(2) 安定した起動特性

細いSW ONパルスは、起動時においても安定した出力特性を可能にします。BD9V101MUF-LBは、幅広い入力電圧条件において、安定したソフトスタート動作を実現します。

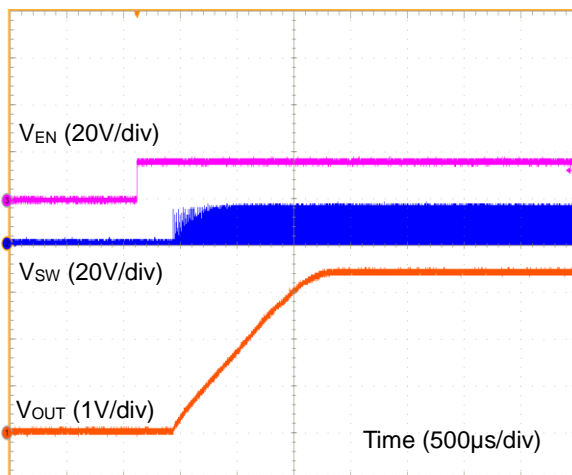


Figure 26. Startup Waveform
($V_{IN}=16V$, $V_{OUT}=3.3V$, $I_{OUT}=0.5A$, $f_{SW}=2.1MHz$)

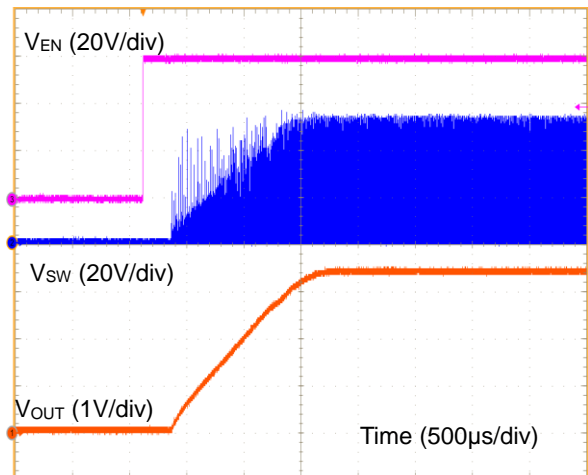


Figure 27. Startup Waveform
($V_{IN}=60V$, $V_{OUT}=3.3V$, $I_{OUT}=0.5A$, $f_{SW}=2.1MHz$)

機能説明 — 続き

2. イネーブル制御

EN 端子に印加される電圧によって、IC のシャットダウンをコントロールできます。EN 電圧が 2.5V(Max)以上に達すると VREGH が起動し IC が動作します。EN 電圧が 0.8V(Max)以下になると、IC がシャットダウンします。

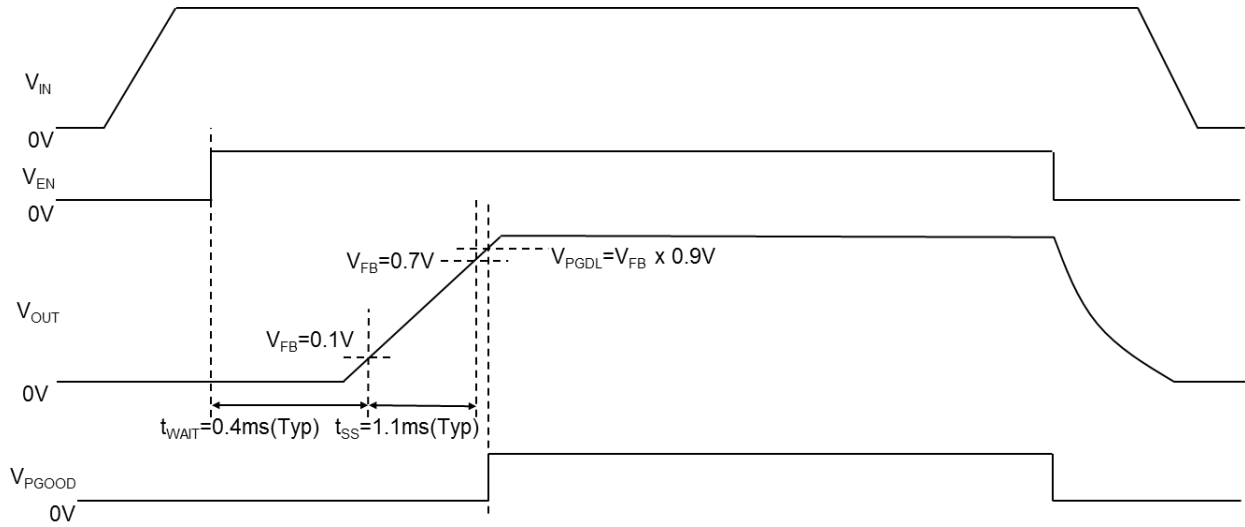


Figure 28. イネーブル制御中の ON/OFF Timing Chart

3. パワーグッド機能

出力電圧が $\pm 10\%$ (Typ) の電圧範囲内にあると、PGOOD 端子は Hi-Z になります。出力電圧が $\pm 10\%$ (Typ) の範囲外になると、PGOOD 端子は $0.22\text{k}\Omega$ (Typ) の内蔵 MOSFET でプルダウンされます。PGOOD 端子は約 $10\text{k}\Omega \sim 100\text{k}\Omega$ の抵抗で VREGH にプルアップしてください。

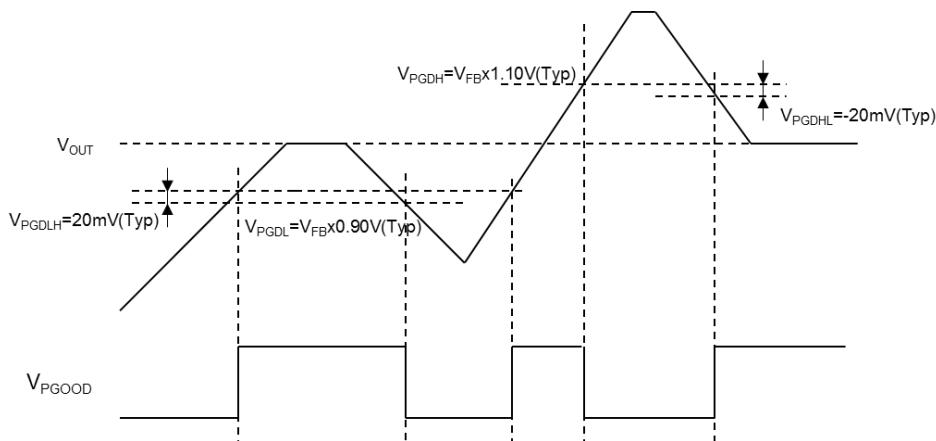


Figure 29. PGOOD タイミングチャート

保護機能

1. 入力低電圧誤動作防止機能(UVLO)

入力低電圧誤動作防止機能は、VIN 端子電圧をモニタします。VIN 電圧が 15.0V(Max)以下で上下の POWER MOSFET が OFF します。VIN 電圧が 16.0V(Max)以上でソフトスタートを伴って再起動します。

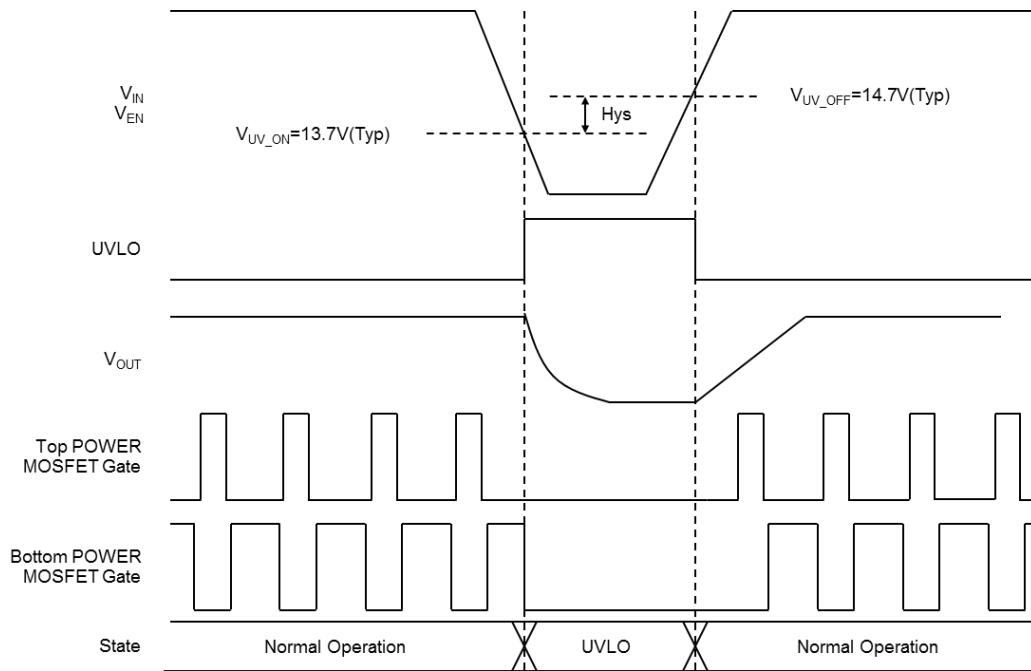


Figure 30. UVLO タイミングチャート

保護機能 — 続き

2. 負荷短絡保護機能(SCP)

負荷短絡保護機能は、出力電圧と入力電圧及び SW ON 時間を比較し、SW ON 時間が入力電圧と出力電圧から想定される SW ON 時間の 2.5 倍(Typ)を上回り、その状態がスイッチング周波数の 2clk($\text{clk} = 1/f_{\text{sw}}$)間継続すると上下の POWER MOSFET を停止し、32ms(Typ)後に再起動します。ただし、この保護回路は突発的な事故による破壊防止に有効的なもので、連続的な保護回路動作時 (例えば出力負荷電流能力を大きく上回る負荷が常時接続される場合など) でのご使用は避けてください。

想定される SW ON 時間は以下から求められます。

$$t_{\text{pulse}} = \frac{1}{2.1[\text{MHz}]} \times \frac{V_{\text{OUT}}}{V_{\text{IN}}} [\mu\text{s}]$$

$$t_{\text{pulse_clamp}} = \frac{1}{2.1[\text{MHz}]} \times \frac{V_{\text{OUT}}}{V_{\text{IN}}} \times 2.5 [\mu\text{s}]$$

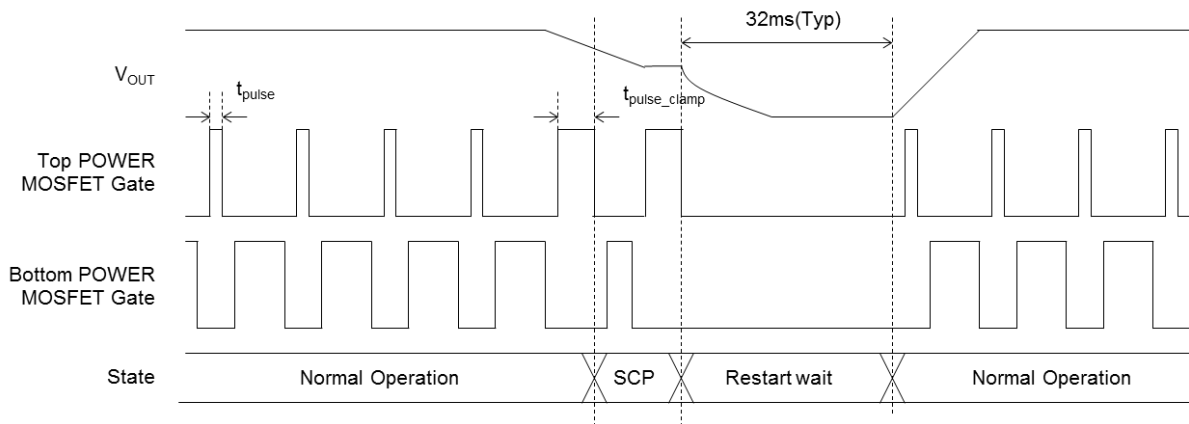


Figure 31. 短絡保護機能(SCP)タイミングチャート

3. サーマルシャットダウン機能(TSD)

チップ温度が $T_j=175^\circ\text{C}$ (Typ)を超えると上下の POEWR MOSFET と VREGH が OFF します。その後、 150°C (Typ)に戻ると復帰します。熱遮断回路は、あくまでも $T_{j\text{max}}=150^\circ\text{C}$ を超え異常状態下での熱的暴走から IC を遮断することを目的とした回路であり、セットの保護及び保証を目的とはしておりません。よって、この回路の機能を利用したセットの保護設計はしないでください。

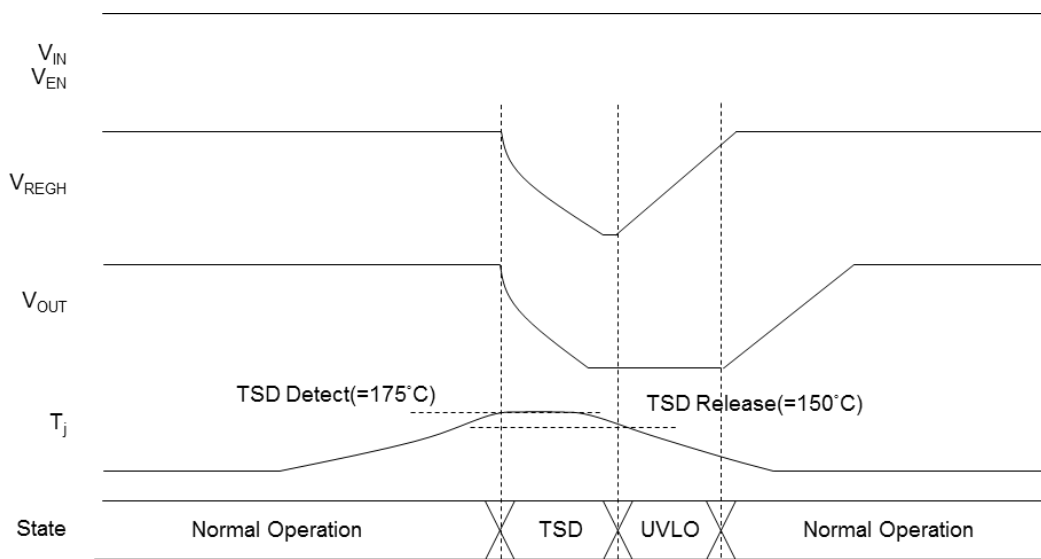


Figure 32. TSD タイミングチャート

保護機能 — 続き

4. 過電流保護機能(OCP)

過電流保護機能(OCP)は、インダクタ電流の下限値で検出しています。過電流リミットは 2.4A(Typ)で設計されており、下側 FET が ON している時のインダクタ電流 I_L が過電流リミット I_{SW} を下回るまで上側 FET が ON になることを制限します。30 μ s(Typ)の間に、過電流保護機能が 8 回動作すると 32ms(Typ)間動作を停止しその後再起動します。ただし、この保護回路は突発的な事故による破壊防止に有効的なもので、連続的な保護回路動作時 (例えば出力負荷電流能力を大きく上回る負荷が常時接続される場合など)でのご使用は避けてください。

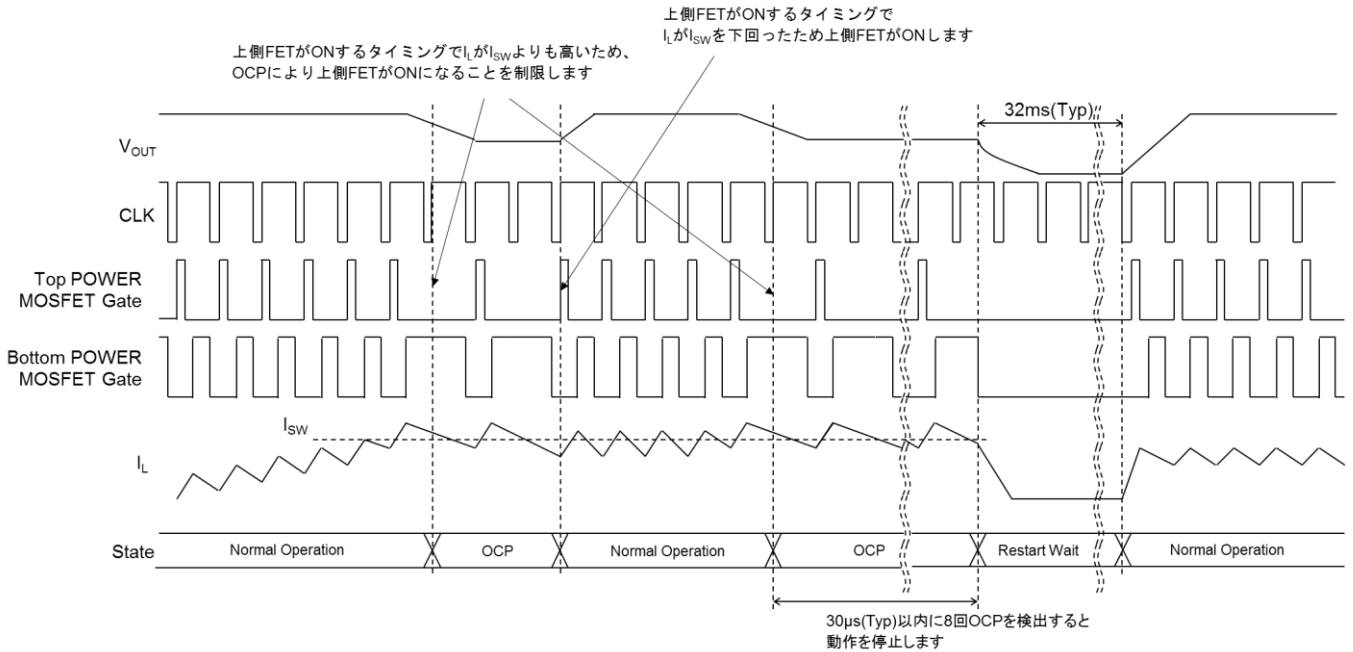


Figure 33. OCP タイミングチャート

5. 出力過電圧保護機能(OVP)

出力過電圧保護機能(OVP)は、FB 端子電圧を内部基準電圧と比較し、フィードバック端子電圧が 0.96V(Typ)以上になると、出力段の POWER MOSFET を OFF します。出力電圧が低下しフィードバック端子電圧が 0.92V(Typ)以下になると通常動作に復帰します。

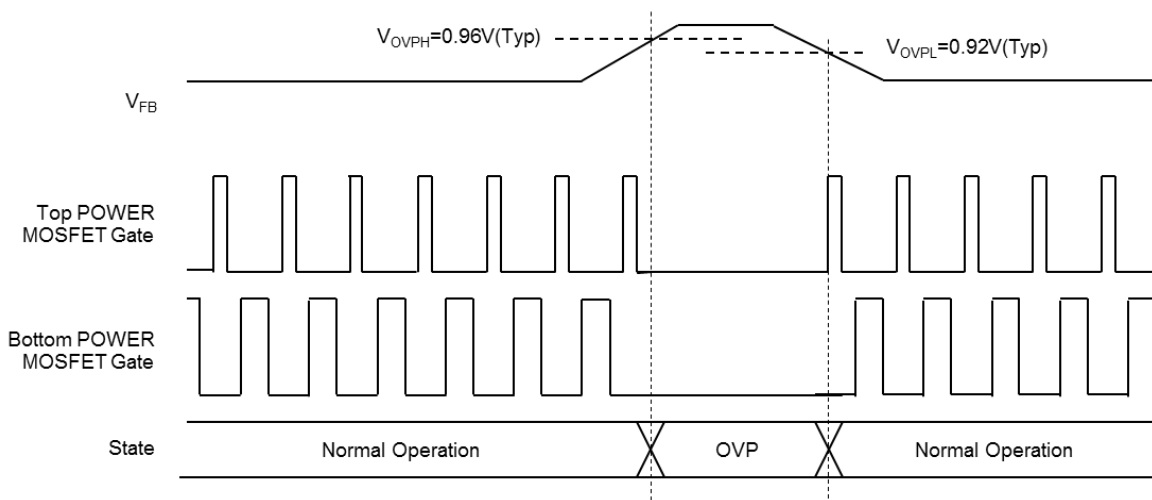


Figure 34. OVP タイミングチャート

保護機能 — 続き

6. 入力過電圧誤動作防止機能(OVLO)

入力過電圧誤動作防止機能は VIN 端子電圧をモニタします。

VIN 端子電圧が 60.0V(Min)以上でスタンバイ状態、59.0V(Min)以下で再起動します。

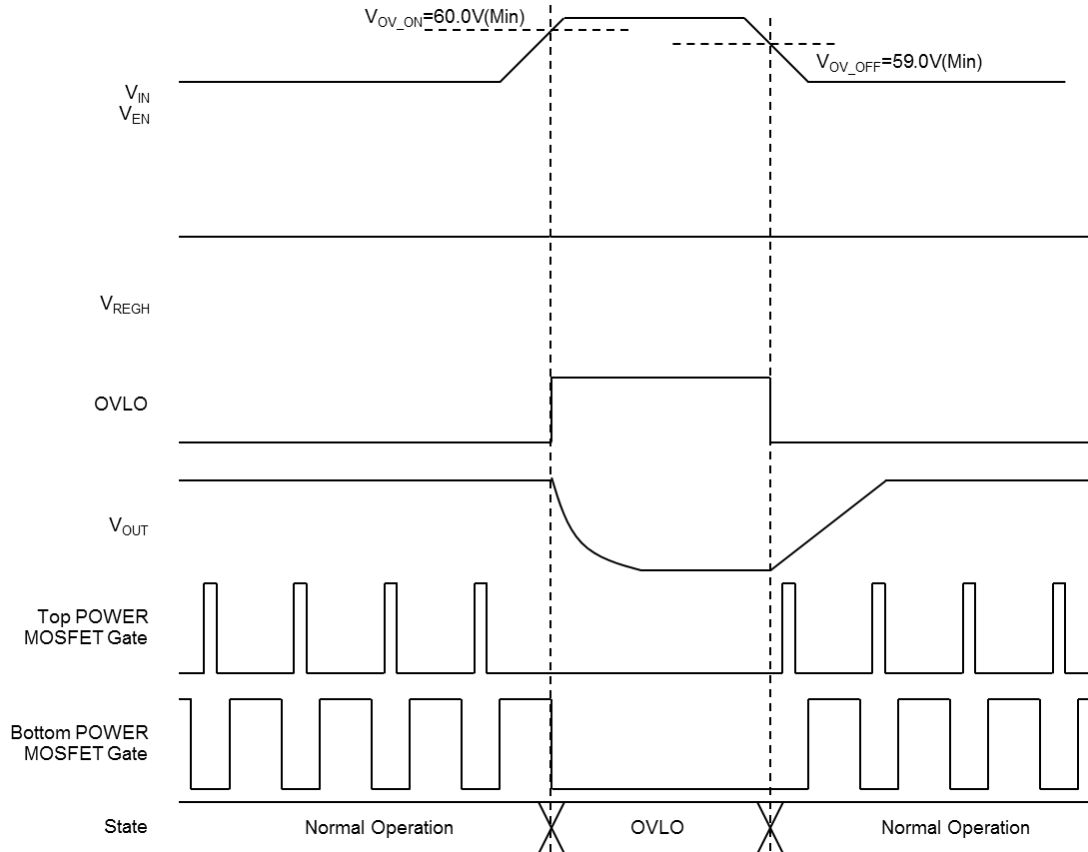


Figure 35. OVLO タイミングチャート

アプリケーション部品選定方法

応用回路例に示す推奨定数以外の設定をご利用の場合、弊社までお問い合わせください。

電源を設計するにあたり必要なパラメータは下記になります。

Table 1. Application Specification

項目	記号	仕様例
入力電圧	V_{IN}	16V ~ 60V
出力電圧	V_{OUT}	5.0V
出力リップル電圧	ΔV_{P-P}	20mV _{p-p}
出力負荷電流	I_{OUT}	Min 0.1A / Typ 0.5A / Max 1.0A
スイッチング周波数	f_{sw}	2.1MHz
動作ジャンクション温度	T_{jopr}	-40°C ~ +150°C

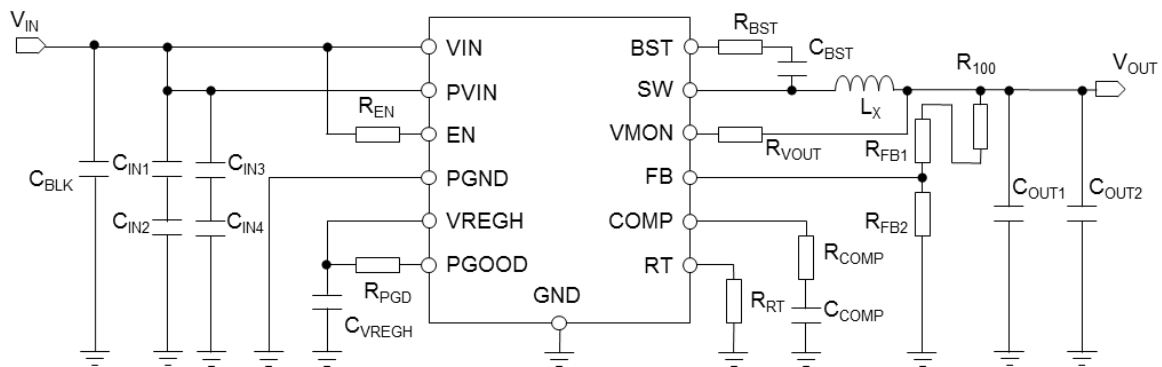


Figure 36. Application Sample Circuit

アプリケーション部品選定方法 — 続き

1. 出力 L_x の選定

コイルの役割として、スイッチングレギュレータでは負荷に連続的な電流を供給するための、出力電圧の平滑用のフィルタとしての働きもあります。インダクタンスは大きな値を選択すると、インダクタに流れるインダクタリプル電流 ΔI_L が小さくなり、出力リップル電圧 ΔV_{P-P} が小さくなりますが、インダクタのサイズ・コストとトレードオフになります。

インダクタンス値は次式により求められます。

$$L = \frac{(V_{IN(Max)} - V_{OUT}) \times V_{OUT}}{V_{IN(Max)} \times f_{SW} \times \Delta I_L} \quad [H]$$

$V_{IN(Max)}$: 最大入力電圧
V_{OUT}	: 出力電圧
f_{SW}	: スwitching周波数
ΔI_L	: インダクタリプル電流

カレントモード制御では、サブハーモニック発振を起こす場合があります。BD9V101MUF-LB には、サブハーモニック発振を防止する目的でスロープ補償回路が内蔵されています。サブハーモニック発振は出力スイッチ電流 I_L の増加に依存しており、インダクタンス値を小さくしインダクタリプル電流 ΔI_L の傾きを大きくするとサブハーモニック発振を引き起こす可能性があります。また、インダクタンス値を大きくしインダクタリプル電流 ΔI_L の傾きを小さくすると、十分な安定性を確保できない可能性があります。そのため、コイルのインダクタンス値としては、3.3 μ H~10 μ H の範囲でご使用ください。

ΔI_L が小さくなると、インダクタのコア損失 (鉄損)、出力コンデンサの ESR による損失、 ΔV_{P-P} が小さくなります。 ΔV_{P-P} は次式により求められます。

$$\Delta V_{P-P} = \Delta I_L \times ESR + \frac{\Delta I_L}{8 \times C_{OUT} \times f_{SW}} \quad [V] \quad (a)$$

ESR	: 出力コンデンサ等価直列抵抗
C_{OUT}	: 出力コンデンサ容量
ΔI_L	: インダクタリプル電流
f_{SW}	: スwitching周波数

一般的にセラミック・コンデンサは低 ESR であるため、 ΔI_L が大きくても目標の ΔV_{P-P} を満足します。メリットとしてはインダクタンス値を小さく設定できることです。

インダクタンス値が小さければ定格電流が大きく小型のインダクタを選択できるため、セットの省スペース化に貢献します。

デメリットは、インダクタのコア損失の増加、最大出力電流低下です。また、出力コンデンサ C_{OUT} にその他のコンデンサ(電解コンデンサ、タンタルコンデンサ、導電性高分子など)をご使用の際はメーカーのデータシートより ESR を確認し、 ΔV_{P-P} が許容範囲内に収まるように ΔI_L を決定します。

特に、電解コンデンサは低温時の容量低下が顕著であるため、 ΔV_{P-P} が増大します。低温での使用時は注意が必要です。

インダクタの種類には、シールドタイプ (閉磁路タイプ) を推奨します。

インダクタについては磁気飽和にご注意ください。すべての使用状態で、コアが飽和しない必要があります。定格電流の規定は各メーカーにより異なるので注意が必要です。

アプリケーションの最大周囲温度における定格電流をメーカーに確認ください。

アプリケーション部品選定方法 — 続き

2. 出力コンデンサ C_{OUT} の選定

出力コンデンサは、式(a)より必要な ESR に基づき選定します。ESR の小さなコンデンサを使用することで ΔV_{P-P} を小さくできます。この要件を満たす最適な選択として、セラミック・コンデンサがあります。セラミック・コンデンサは低 ESR であることに加え、小型であるためセットの省スペース化にも貢献します。メーカーのデータシートより、ESR の周波数特性をご確認いただき、使用するスイッチング周波数での ESR が低いものをご選定ください。

セラミック・コンデンサは DC バイアス特性による容量変化が顕著であるため注意が必要です。通常セラミック・コンデンサの定格電圧は、最大出力電圧の 2 倍以上が望まれます。定格電圧が高いものを選定することで、DC バイアス特性の影響を低減することができます。また、温度特性を良好に保つため、X7R 以上の特性のものを推奨します。大容量セラミック・コンデンサは定格電圧が低いため、出力電圧が高いアプリケーションでは選択が困難になります。

その場合は、セラミック・コンデンサを複数個直列に接続することや、電解コンデンサを選択することを推奨します。電解コンデンサをご使用の際は出力電圧の 1.2 倍以上の定格電圧のものをご選択ください。電解コンデンサは高耐圧、大容量、DC バイアス特性がほとんどなく、一般的に安価です。主な故障モードがオープンであることより、信頼性の要求されるアプリケーションでは有効な選択です。デメリットとして、比較的 ESR が大きい、低温時の容量低下があります。低温時特に ΔV_{P-P} が增大するため注意が必要です。また、ドライアップがあるため寿命の定義があるのもこのコンデンサの特徴です。

タンタルコンデンサ、導電性高分子ハイブリッドアルミ電解コンデンサについては電解コンデンサのデメリットである温度特性に関して、非常に良好な特性を持っています。また電解コンデンサと比べて ESR が小さいため、広い温度範囲で比較的小さなリップル電圧を得ることができます。電解コンデンサ同様、DC バイアス特性もほとんどないため設計を容易にします。通常、タンタルコンデンサは出力電圧の 2 倍、導電性高分子ハイブリッドアルミ電解コンデンサについては出力電圧の 1.2 倍程度の定格電圧のものを選択します。タンタルコンデンサのデメリットは故障モードがショートであること、耐圧が低いことです。信頼性の要求されるアプリケーションでは一般的に選択されません。導電性高分子ハイブリッドアルミ電解コンデンサの故障モードはオープンであるため、信頼性の要求には有効ですが、デメリットとしては一般的に高価であることです。

出力リップル電圧の改善が必要な場合、出力コンデンサ C_{OUT} に以下の対策の検討をお願いします。

- ・セラミック・コンデンサ、導電性高分子ハイブリッドアルミ電解コンデンサなどの低 ESR コンデンサを使用。
- ・出力コンデンサ C_{OUT} の容量値の増加。

これらのコンデンサは定格リップル電流が規定されております。

次式で求まる出力リップル電流の RMS 値 $I_{CO(RMS)}$ が定格リップル電流を超えないようご注意ください。

$$I_{CO(RMS)} = \frac{\Delta I_L}{\sqrt{12}} \quad [A]$$

$I_{CO(RMS)}$: 出力リップル電流
 ΔI_L : インダクタリプル電流

また、出力に接続されるすべてのコンデンサの合計値 $C_{OUT(Max)}$ は次式を満たす範囲にしてください。

$$C_{OUT(Max)} < \frac{t_{SS(Min)} \times (I_{SW(Min)} - I_{SWSTART(Max)})}{V_{OUT}} \quad [F]$$

$I_{SW(Min)}$: 過電流保護動作出力スイッチ電流の最小値
 $t_{SS(Min)}$: ソフトスタート時間の最小値
 $I_{SWSTART(Max)}$: 起動時に流れる負荷による出力スイッチ電流の最大値
 V_{OUT} : 出力電圧

上記を外れると起動不良などが発生する可能性があります。特に容量値が極端に大きい場合、起動時の突入電流により過電流保護が動作し、出力が起動しない可能性がありますのでセットでの十分な確認をお願いします。

過渡応答性、ループの安定動作は C_{OUT} に依存します。位相補償回路の設定をご確認のうえご選定ください。

また、入力電圧変動、負荷変動が大きい場合などは、仕様に応じて実アプリケーションにて十分ご確認のうえ、容量値の決定をお願い致します。

アプリケーション部品選定方法 — 続き

3. 入力コンデンサ C_{IN} 、 C_{BLK} の選定

入力コンデンサには、デカップリングコンデンサ C_{IN} とバルクコンデンサ C_{BLK} の 2 種類があります。

デカップリングコンデンサ C_{IN} にはセラミック・コンデンサが必要です。このセラミック・コンデンサは V_{IN} ピンの極力近くに配置することで効果を発揮します。容量値は 1.2 μ F 以上、定格電圧は最大入力電圧の 1.2 倍以上、通常時入力電圧の 2 倍以上のものを推奨します。容量値はばらつき、温度特性、DC バイアス特性、経時変化を含めて最小を下回らないように設定してください。また基板パターンやコンデンサの位置によって誤動作する可能性がありますので基板レイアウトの注意点 (P.30) をご参照のうえ、設計をお願いします。

バルクコンデンサ C_{BLK} はオプションであり、ライン電圧の低下を防ぎ、入力電圧を保持するバックアップ電源の役割を果たします。バルクコンデンサ C_{BLK} には大容量の低 ESR 電解コンデンサが適しています。容量値はセットによって最適な値を選定する必要があります。その際、コンデンサの定格リップル電流を超えないようご注意ください。入力リップル電流の RMS 値 $I_{CIN(RMS)}$ は次式で求められます。

$$I_{CIN(RMS)} = I_{OUT(MAX)} \times \frac{\sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{IN}} \quad [A]$$

$I_{OUT(MAX)}$: 出力電流の最大値

また、信頼性の必要なアプリケーションでは、電解コンデンサのドライアップに対応するため複数個並列に接続することを推奨します。セラミック・コンデンサについてもショート破壊によるリスクを低減するため、2 直列+2 並列構造にすることをお勧めします。

容量値は電源から V_{IN} までの配線が長いなど、入力側のインピーダンスが高い場合は高容量が必要になります。実使用状態にて、過渡応答時の V_{IN} の低下によって、出力が OFF する、出力がオーバーシュートするなど動作に問題がないことを検証する必要があります。

4. 出力電圧設定抵抗 R_{FB1} 、 R_{FB2} の選定

出力電圧は次式により求められます。

$$V_O = 0.8 \times \frac{R_{FB1} + R_{FB2}}{R_{FB2}} \quad [V]$$

$R_{FB1} + R_{FB2}$ が小さいと電源効率が低下するため、帰還抵抗に流れる電流は出力電流 I_{OUT} に対して十分小さくなるよう設定してください。

アプリケーション部品選定方法 — 続き

5. 位相補償回路 R_{COMP} 、 C_{COMP} の選定

高い応答性能は、トータルゲインのゼロクロス周波数 f_c (ゲイン 0dB の周波数) を高く設定することで実現します。

ただし、安定性とのトレードオフの関係であることに注意が必要です。

また、スイッチングレギュレータアプリケーションはスイッチング周波数によりサンプリングされており、スイッチング周波数でのゲインを抑える必要があるため、ゼロクロス周波数は 80kHz 以下に設定する必要があります。まとめると、アプリケーションが目標とする特性は以下ようになります。

- ・ゼロクロス周波数 f_c 時の位相遅れが 135° 以下 (位相マージン 45° 以上)
- ・ゼロクロス周波数 f_c が 80kHz 以下

位相補償は COMP 端子に接続したコンデンサと抵抗で設定します。位相補償により安定性を得るには、系にできる 2 つの位相遅れ f_{P1} 、 f_{P2} の影響に対して位相進み f_{Z1} を挿入し、キャンセルすることです。

f_{P1} 、 f_{P2} 、 f_{Z1} はそれぞれ次式のように求まります。

$$f_{Z1} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} \quad [\text{Hz}]$$

$$f_{P1} = \frac{1}{2\pi \times C_{OUT} \times R_{OUT}} \quad [\text{Hz}]$$

$$f_{P2} = \frac{G_{EA}}{2\pi \times C_{COMP} \times A_V} \quad [\text{Hz}]$$

R_{OUT} : 実負荷を想定した負荷抵抗 [Ω] = 出力電圧[V] / 出力負荷電流[A]

G_{EA} : エラーアンプの相互コンダクタンス 300 $\mu\text{A/V}$

A_V : エラーアンプの電圧利得 63dB

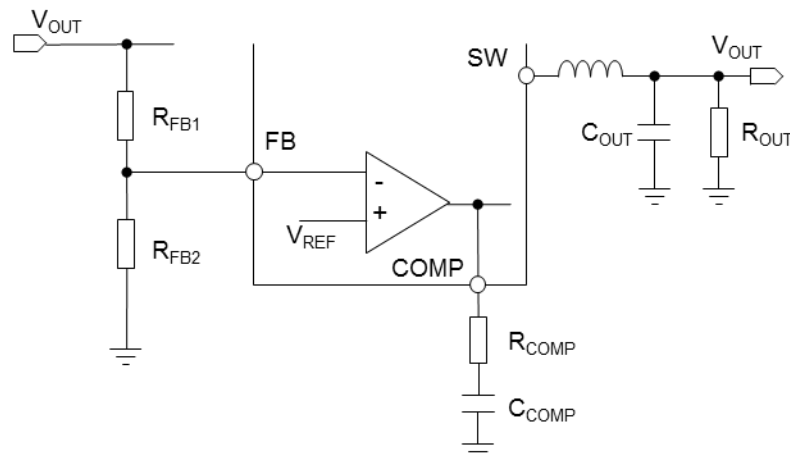


Figure 37. 位相補償回路

アプリケーション部品選定方法 — 続き

6. スイッチング周波数設定抵抗 R_{RT} の選定

RT 端子と GND 端子間に抵抗を接続することにより、スイッチング周波数を設定することが可能です。設定可能範囲は 1.9MHz ~ 2.3MHz で、抵抗値とスイッチング周波数の関係は下図のように決まります。この範囲から外れた設定では、スイッチングが停止する可能性があり、動作保証できませんのでご注意ください。

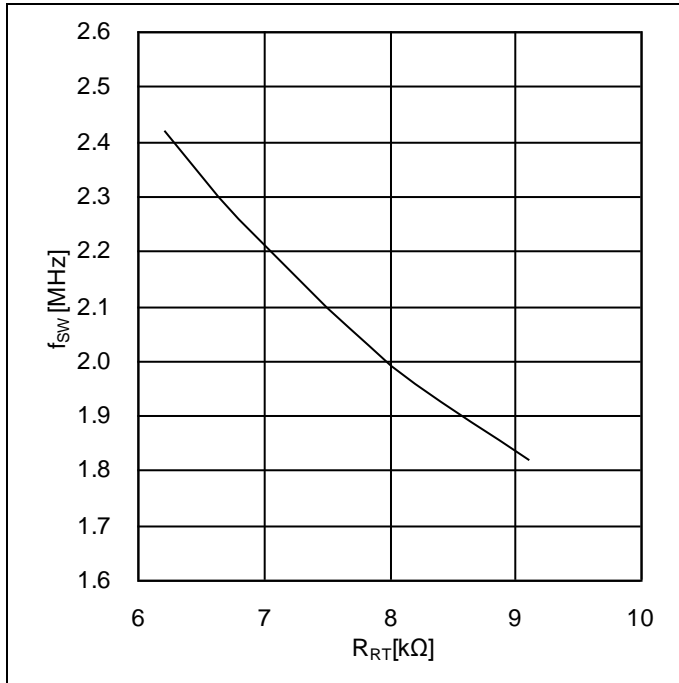


Figure 38. Switching Frequency vs Switching Frequency Setting Resistance

Table 2. R_{RT} vs f_{SW}

R_{RT} [kΩ]	f_{SW} [MHz]
6.8	2.26
7.5	2.10
8.2	1.96

7. ブートストラップコンデンサと抵抗について

ブートストラップコンデンサ C_{BST} の値 0.022μF、ブートストラップ抵抗 R_{BST} 3.3Ω を SW ピンと BST ピンの間に接続してください。推奨品は P.25 のアプリケーション例 1 に記載しています。

8. VREGH コンデンサについて

VREGH 用コンデンサ C_{VREGH} には、2.2μF のセラミック・コンデンサを推奨します。VREGH 用コンデンサは、VREGH ピンと GND の間に接続してください。

9. VMON 抵抗について

V_{OUT} 短絡時に誘導負荷により VMON 端子から電流が引き抜かれる恐れがあり、その電流を制限するため VMON 抵抗 R_{VOUT} に 2kΩ の抵抗を挿入してください。

10. ソフトスタート時間について

ソフトスタートは、起動時の出力電圧のオーバーシュートを防ぐために必要となります。ソフトスタート時間は、スイッチング周波数によって変わります。スイッチング周波数 2.1MHz(Typ)時のソフトスタート時間 t_{SS} は 1.1ms(Typ)になります。ソフトスタート時間のばらつきは±36 %です。ソフトスタート時間の計算式を以下に示します。

$$t_{SS} = \frac{2310}{f_{sw}} \text{ [s]}$$

アプリケーション例 1

Table 3. Specification Example 1

項目	記号	仕様例
部品名	IC	BD9V101MUF-LB
入力電圧	V_{IN}	16V ~ 60V
出力電圧	V_{OUT}	5.0V
出力リップル電圧	ΔV_{P-P}	20mVp-p
出力負荷電流	I_{OUT}	0A ~ 1.0A
スイッチング周波数	f_{SW}	2.1MHz
動作ジャンクション温度	T_{jopr}	-40°C ~ +150°C

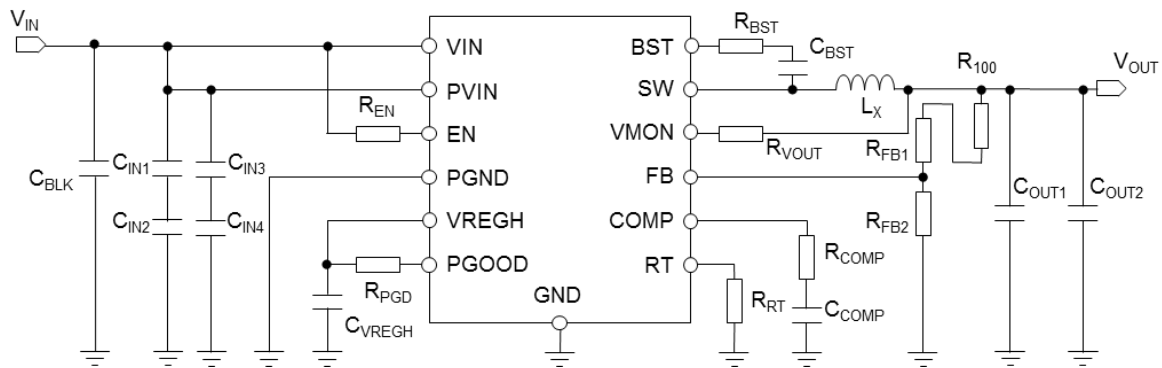


Figure 39. Reference Circuit 1

Table 4. Parts List 1

No	Package	Parameters	Part Name (Series)	Type	Manufacturer
C_{BLK}	-	-	-	-	-
C_{IN1}	3225	4.7 μ F, X7R, 50V	GCM32ER71H475K	Ceramic	MURATA
C_{IN2}	3225	4.7 μ F, X7R, 50V	GCM32ER71H475K	Ceramic	MURATA
C_{IN3}	1608	0.1 μ F, X7R, 50V	GCM188R71H104K	Ceramic	MURATA
C_{IN4}	1608	0.1 μ F, X7R, 50V	GCM188R71H104K	Ceramic	MURATA
C_{BST}	1608	0.022 μ F, X7R, 50V	GCM188R71H223K	Ceramic	MURATA
R_{BST}	1608	3.3 Ω , 5%, 1/10W	MCR03EZPJ3R3	Chip Resistor	ROHM
C_{VREGH}	2012	2.2 μ F, X7R, 16V	GCM21BR71C225K	Ceramic	MURATA
R_{PGD}	1608	100k Ω , 0.5%, 1/10W	MCR03EZPD1003	Chip Resistor	ROHM
R_{VOUT}	1608	2.0k Ω , 0.5%, 1/10W	MCR03EZPD2001	Chip Resistor	ROHM
R_{100}	-	Short	-	-	-
R_{FB1}	1608	43k Ω , 0.5%, 1/10W	MCR03EZPD4302	Chip Resistor	ROHM
R_{FB2}	1608	8.2k Ω , 0.5%, 1/10W	MCR03EZPD8201	Chip Resistor	ROHM
R_{RT}	1608	7.5k Ω , 0.5%, 1/10W	MCR03EZPD7501	Chip Resistor	ROHM
R_{COMP}	1608	51k Ω , 0.5%, 1/10W	MCR03EZPD5102	Chip Resistor	ROHM
C_{COMP}	1608	1000pF, X7R, 50V	GCM188R71H102K	Ceramic	MURATA
L_x	-	4.7 μ H	CLF6045NIT-4R7N-D	Inductor	TDK
C_{OUT1}	3225	22 μ F, X7R, 16V	GCM32ER71C226K	Ceramic	MURATA
C_{OUT2}	3225	22 μ F, X7R, 16V	GCM32ER71C226K	Ceramic	MURATA

アプリケーション例1 - 続き

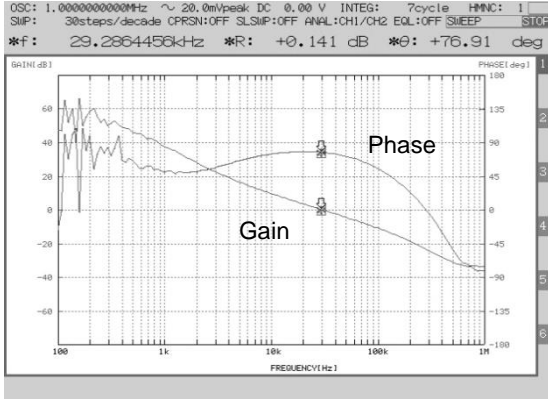


Figure 40. Frequency Characteristics
($V_{IN}=48V$, $V_{OUT}=5V$, $I_{OUT}=500mA$)

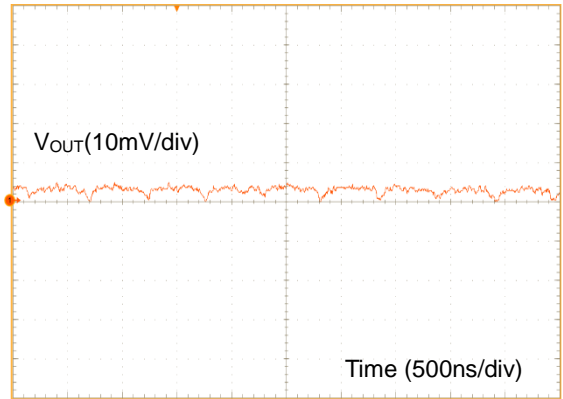


Figure 41. Ripple Voltage
($V_{IN}=48V$, $V_{OUT}=5V$, $I_{OUT}=500mA$)

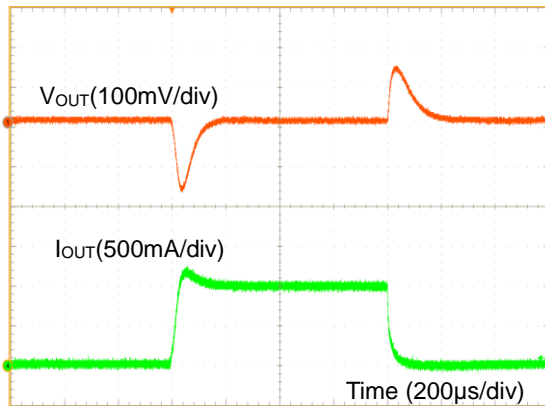


Figure 42. V_{IN} Load Response
($V_{IN}=48V$, $V_{OUT}=5V$, $I_{OUT}=0A \leftrightarrow 1A$)

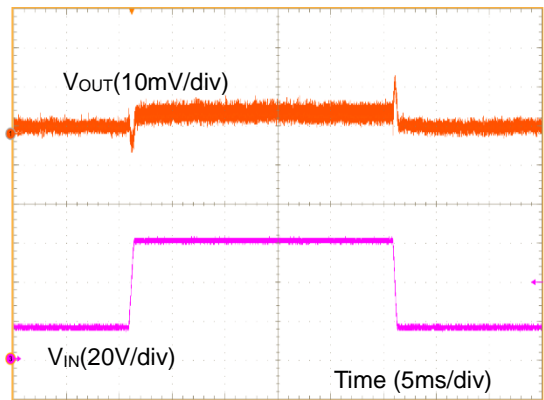


Figure 43. V_{IN} Transient Response
($V_{IN}=16V \leftrightarrow 60V$, $V_{OUT}=5V$, $I_{OUT}=500mA$)

アプリケーション例 2

Table 5. Specification Example 2

項目	記号	仕様例
部品名	IC	BD9V101MUF-LB
入力電圧	V_{IN}	16V ~ 60V
出力電圧	V_{OUT}	3.3V
出力リップル電圧	ΔV_{P-P}	20mVp-p
出力負荷電流	I_{OUT}	0A ~ 1.0A
スイッチング周波数	f_{SW}	2.1MHz
動作ジャンクション温度	T_{jopr}	-40°C ~ +150°C

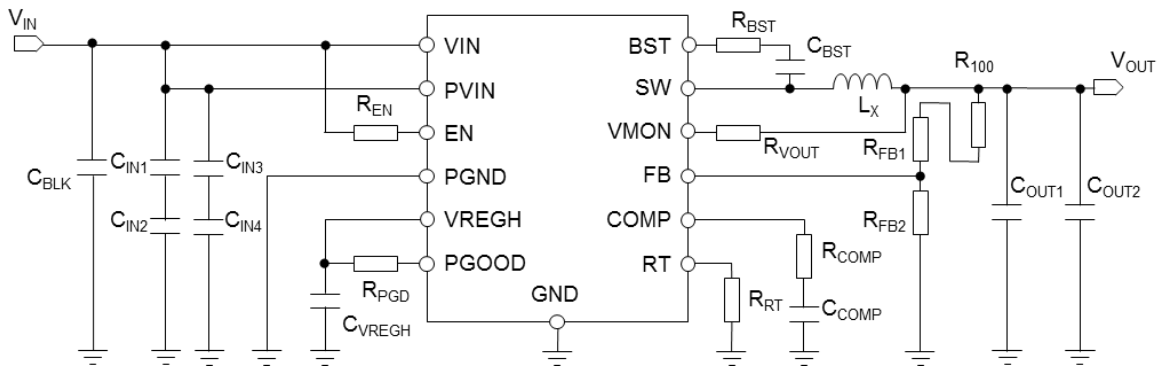


Figure 44. Reference Circuit 2

Table 6. Parts List 2

No	Package	Parameters	Part Name (Series)	Type	Manufacturer
C_{BLK}	-	-	-	-	-
C_{IN1}	3225	4.7 μ F, X7R, 50V	GCM32ER71H475K	Ceramic	MURATA
C_{IN2}	3225	4.7 μ F, X7R, 50V	GCM32ER71H475K	Ceramic	MURATA
C_{IN3}	1608	0.1 μ F, X7R, 50V	GCM188R71H104K	Ceramic	MURATA
C_{IN4}	1608	0.1 μ F, X7R, 50V	GCM188R71H104K	Ceramic	MURATA
C_{BST}	1608	0.022 μ F, X7R, 50V	GCM188R71H223K	Ceramic	MURATA
R_{BST}	1608	3.3 Ω , 5%, 1/10W	MCR03EZPJ3R3	Chip Resistor	ROHM
C_{VREGH}	2012	2.2 μ F, X7R, 16V	GCM21BR71C225K	Ceramic	MURATA
R_{PGD}	1608	100k Ω , 0.5%, 1/10W	MCR03EZPD1003	Chip Resistor	ROHM
R_{VOUT}	1608	2.0k Ω , 0.5%, 1/10W	MCR03EZPD2001	Chip Resistor	ROHM
R_{100}	-	Short	-	-	-
R_{FB1}	1608	47k Ω , 0.5%, 1/10W	MCR03EZPD4702	Chip Resistor	ROHM
R_{FB2}	1608	15k Ω , 0.5%, 1/10W	MCR03EZPD1502	Chip Resistor	ROHM
R_{RT}	1608	7.5k Ω , 0.5%, 1/10W	MCR03EZPD7501	Chip Resistor	ROHM
R_{COMP}	1608	75k Ω , 0.5%, 1/10W	MCR03EZPD7502	Chip Resistor	ROHM
C_{COMP}	1608	560pF, X7R, 50V	GCM188R71H561K	Ceramic	MURATA
L_X	-	4.7 μ H	CLF6045NIT-4R7N-D	Inductor	TDK
C_{OUT1}	3225	22 μ F, X7R, 16V	GCM32ER71C226K	Ceramic	MURATA
C_{OUT2}	3225	22 μ F, X7R, 16V	GCM32ER71C226K	Ceramic	MURATA

アプリケーション例2 - 続き

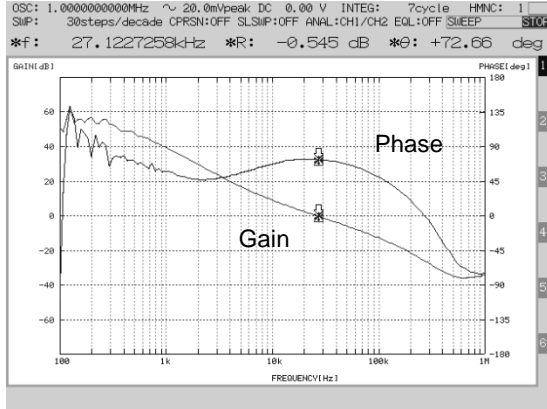


Figure 45. Frequency Characteristics
($V_{IN}=48V$, $V_{OUT}=3.3V$, $I_{OUT}=500mA$)

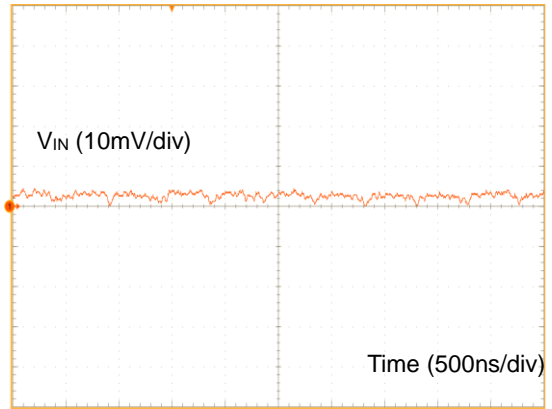


Figure 46. Ripple Voltage
($V_{IN}=48V$, $V_{OUT}=3.3V$, $I_{OUT}=500mA$)

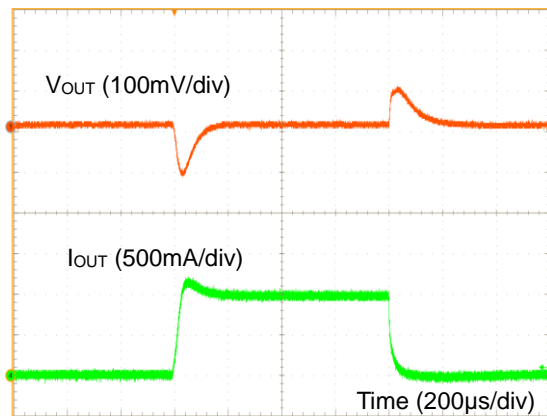


Figure 47. V_{IN} Load Response
($V_{IN}=48V$, $V_{OUT}=3.3V$, $I_{OUT}=0A \leftrightarrow 1A$)

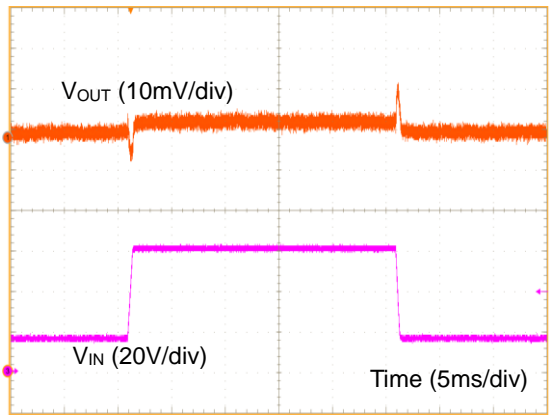


Figure 48. V_{IN} Transient Response
($V_{IN}=16V \leftrightarrow 60V$, $V_{OUT}=3.3V$, $I_{OUT}=500mA$)

電源供給ライン回路例

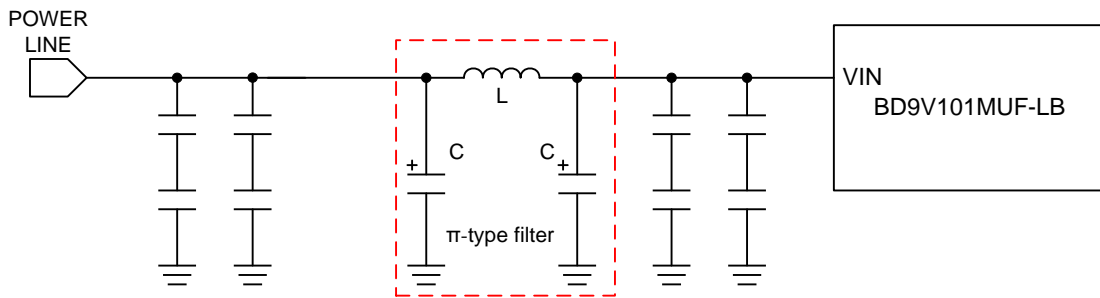


Figure 49. 電源供給ライン回路例

参考として、Figure 49.に電源供給ライン回路例を記載します。

π 型フィルタは、3 次の LC フィルタです。一般的には高周波用のデカップリングコンデンサと併用して使用します。大きな減衰特性を得られるため EMI フィルタとして良好な特性を得ることが可能です。なお、 π 型フィルタを構成する部品は近接配置をしてください。

Table 7. 電源供給ライン回路部品例

Device	Part name (series)	Manufacturer
L	CLF series	TDK
L	XAL series	Coilcraft
C	CJ series / CZ series	NICHICON

推奨部品メーカー一覧

参考に推奨の部品メーカーを示します。

Type	Manufacturer	URL
Electrolytic Capacitor	NICHICON	www.nichicon.co.jp
Ceramic Capacitor	Murata	www.murata.com
Inductor	TDK	www.product.tdk.com
Inductor	Coilcraft	www.coilcraft.com
Inductor	SUMIDA	www.sumida.com
Resistor	ROHM	www.rohm.co.jp

PCB レイアウト設計について

DC/DC コンバータの設計において PCB レイアウトの設計は回路設計と同じだけ重要です。適切なレイアウトにより、電源に関する様々な問題を回避することができます。Figure 50-a から Figure 50-c は降圧 DC/DC コンバータの電流経路を示した図です。Figure 50-a の Loop1 は上側の switch が ON、下側の switch が OFF 時にコンバータに流れる電流を表しており、Figure 50-b の Loop2 は上側の switch が OFF、下側の switch が ON 時にコンバータに流れる電流を表しています。Figure 50-c の太線は Loop1 と Loop2 の差分を表しています。上下 switch がオフからオンへ、オンからオフへ変化するたびに太線部分の電流は激しく変化します。この系は変化が急峻なため高周波を多く含んだ波形が現れます。そのため入力コンデンサと IC で構成される太線部の面積をできるだけ小さくすることで、ノイズを減らすことができます。詳細につきましてはスイッチングレギュレータシリーズのアプリケーションノート「降圧コンバータの PCB レイアウト手法」をご参照ください。

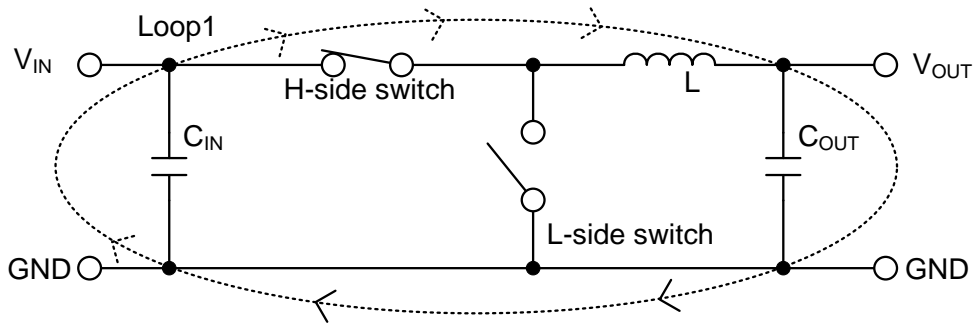


Figure 50-a. H-side switch:ON, L-side switch:OFF 時の電流経路

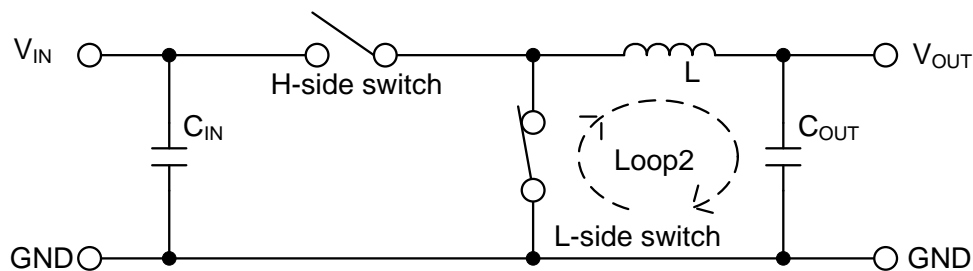


Figure 50-b. H-side switch:OFF, L-side switch:ON 時の電流経路

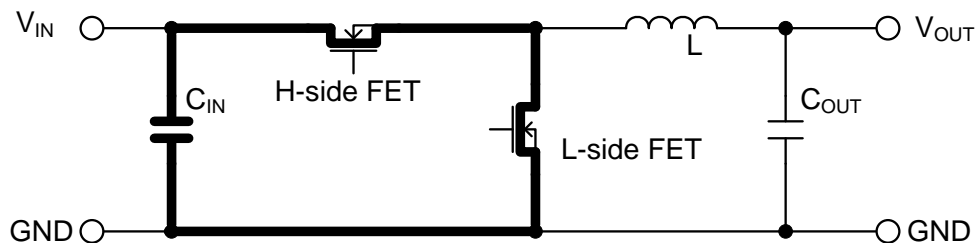


Figure 50-c. 電流の差分、レイアウト上での重要箇所

PCB レイアウト設計について — 続き

PCB レイアウトを設計する際には、以下に挙げる点を特に注意して設計してください。

- ・入力キャパシタは、IC の PVIN 端子に可能な限り近く IC と同じ面に配置してください。
- ・SW 等のスイッチングノードは、他ノードへの AC 結合によるノイズの影響が懸念されるため、コイルに可能な限り太く短くトレースしてください。
- ・FB、COMP につながるラインは、SW のノードとは可能な限り離してください。
- ・出力キャパシタは入力から高調波ノイズの影響を避けるため、入力コンデンサから離して配置してください。
- ・R₁₀₀ はフィードバックの周波数特性の測定用であり、オプションとなります。
R₁₀₀ に抵抗を挿入することで、FRA 等を用いてフィードバックの周波数特性（位相マージン）を測定することができます。なお、実際のアプリケーションではこの抵抗は使用しないため、ショートして使用ください。

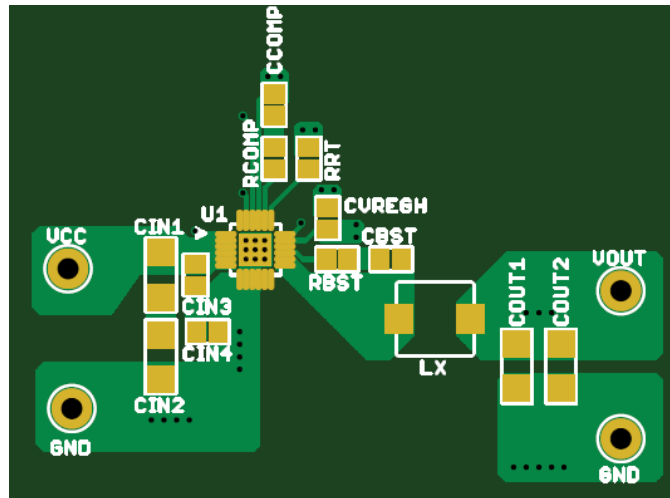


Figure 51. 評価ボードレイアウト例

熱損失について

熱設計において、次の条件内で動作させてください。
(下記温度は保証温度ですので、必ずマージンを考慮してください。)

1. 周囲温度 T_a が 125 °C 以下であること。
2. チップジャンクション温度 T_j が 150 °C 以下であること。

チップジャンクション温度 T_j は以下の 2 通りで考えることができます。

1. 実使用状態でのパッケージ上面中心温度 T_t から求める場合、

$$T_j = T_t + \psi_{JT} \times W \text{ [°C]}$$

2. 周囲温度 T_a から求める場合、

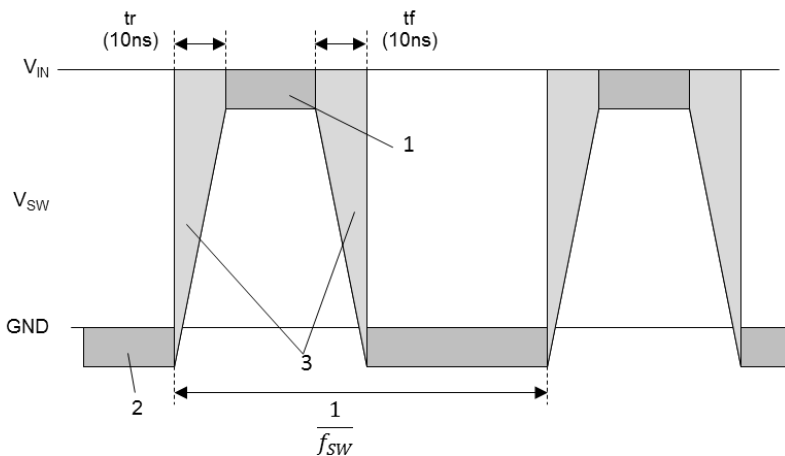
$$T_j = T_a + \theta_{JA} \times W \text{ [°C]}$$

ψ_{JT} : ジャンクション—パッケージ上面中心間熱特性パラメータ (P.6 参照)
 θ_{JA} : ジャンクション—周囲温度間熱抵抗 (P.6 参照)

IC の熱損失 W は以下の式で求められます。

$$W = R_{ONH} \times I_{OUT}^2 \times \frac{V_{OUT}}{V_{IN}} + R_{ONL} \times I_{OUT}^2 \left(1 - \frac{V_{OUT}}{V_{IN}}\right) + V_{IN} \times I_{CC} + \frac{1}{2} \times (tr + tf) \times V_{IN} \times I_{OUT} \times f_{SW} \text{ [W]}$$

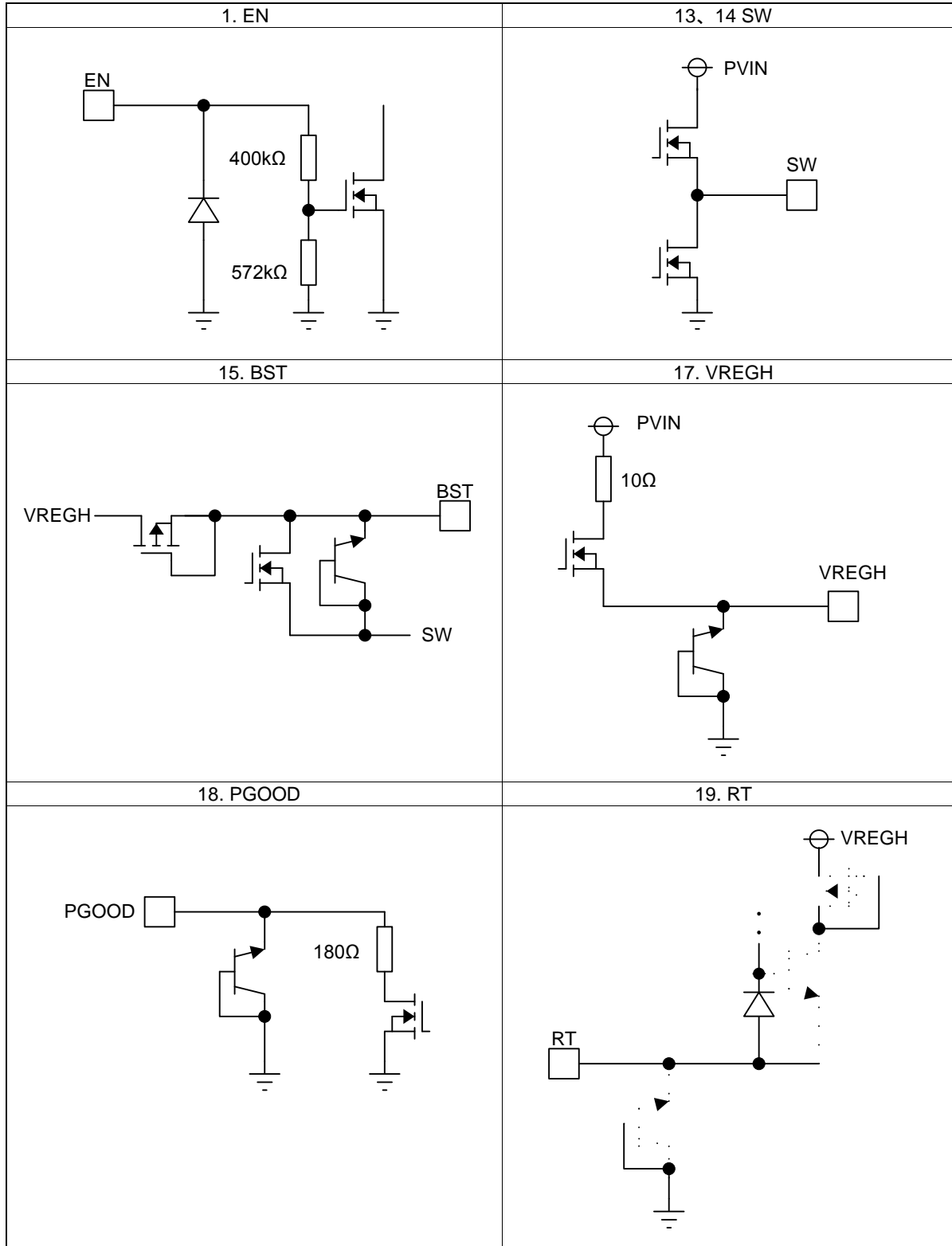
R_{ONH} : POWER MOS 上側オン抵抗 (P.7 参照) [Ω]
 R_{ONL} : POWER MOS 下側オン抵抗 (P.7 参照) [Ω]
 I_{OUT} : 負荷電流 [A]
 V_{OUT} : 出力電圧 [V]
 V_{IN} : 入力電圧 [V]
 I_{CC} : 回路電流 (P.7 参照) [A]
 tr : スイッチング立ち上がり時間 [s] (Typ:10ns)
 tf : スイッチング立ち下がり時間 [s] (Typ:10ns)
 f_{SW} : スイッチング周波数 [Hz]



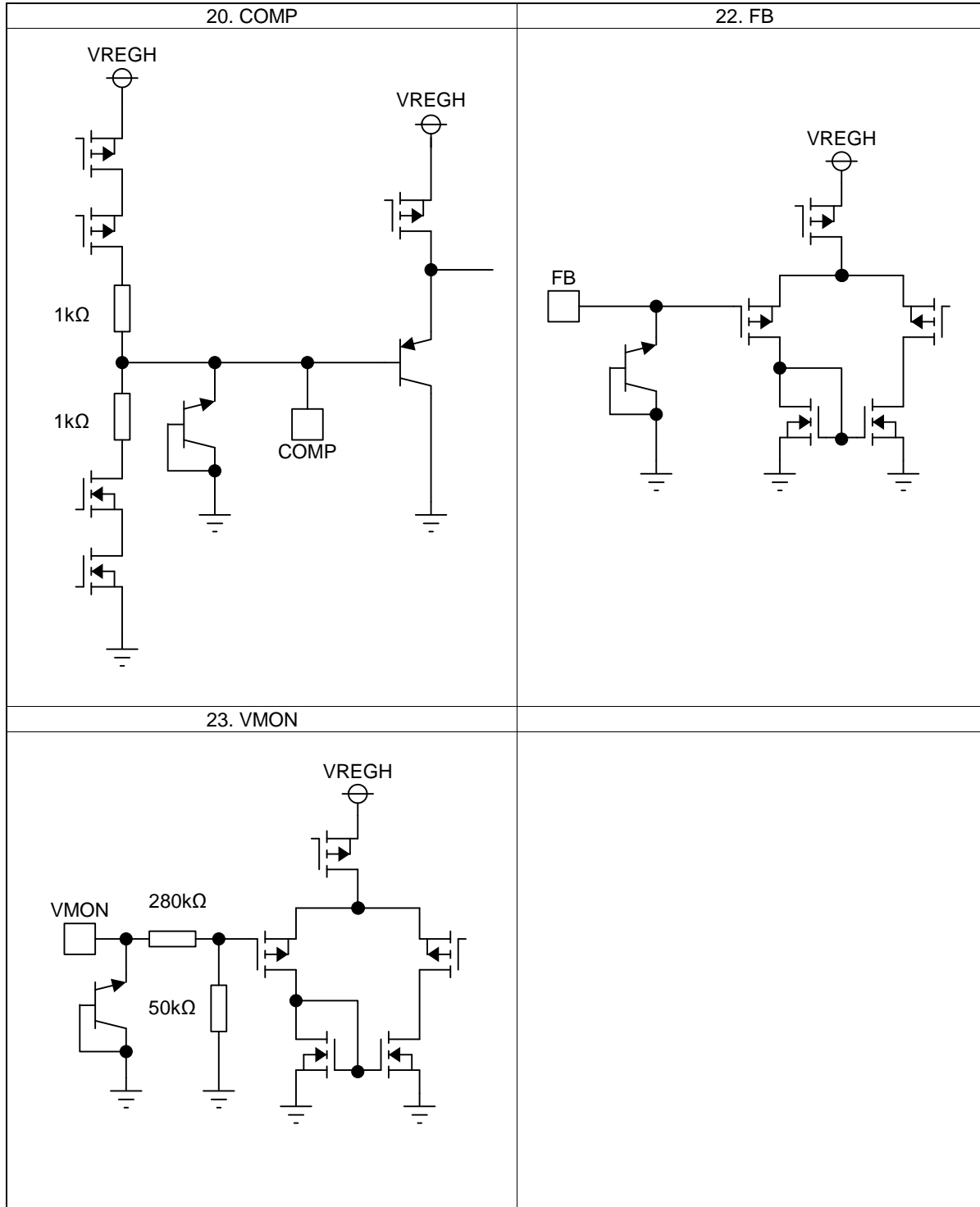
1. $R_{ONH} \times I_{OUT}^2$
2. $R_{ONL} \times I_{OUT}^2$
3. $\frac{1}{2} \times (tr + tf) \times V_{IN} \times I_O \times f_{SW}$

Figure 52. SW Waveform

入出力等価回路図



入出力等価回路図 - 続き



使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

機能的に負電位を入出力する端子を除き、グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、負電位入出力端子以外の端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

8. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

9. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

10. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

11. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A) の時、トランジスタ (NPN) では GND > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、GND > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

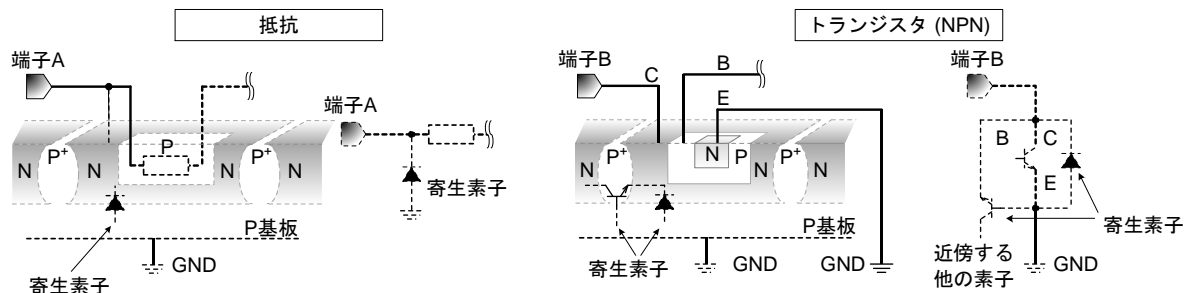


Figure 53. モノリシック IC 構造例

12. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

13. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

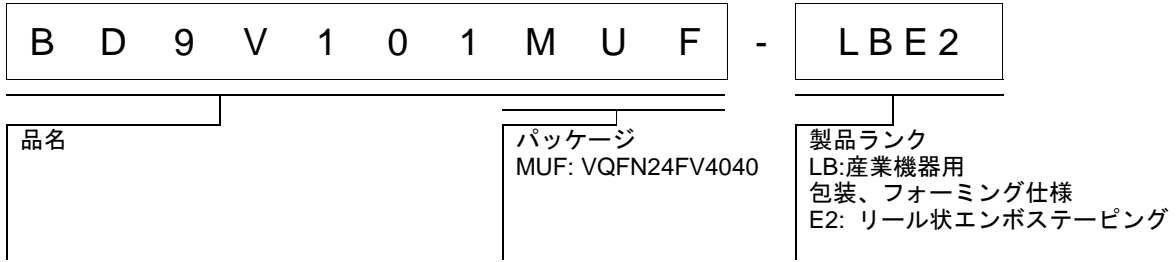
14. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

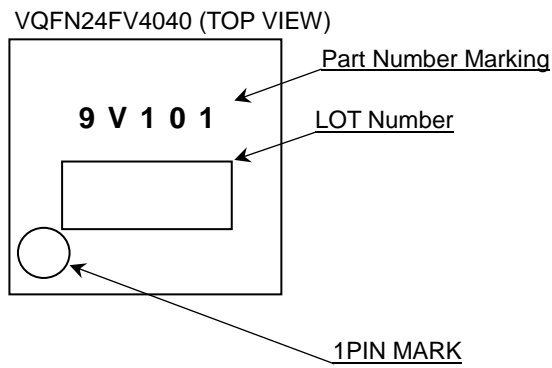
15. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報



標印図



改訂履歴

日付	版	変更内容
2017.09.15	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。