

8ch タイプ D/A コンバータ 標準 8bit 分解能

BH2226FV BH2226F

概要

BH2226FV, BH2226F は 8bitR-2R 型 D/A コンバータを 8ch 搭載した LSI です。シリアル・パラレル変換機能により、CPU のポート不足を補うことができます。D/A コンバータ出力とシリアル・パラレル変換機能はコマンド一つで切替可能です。

また、イニシャルゼロホールド機能により、電源オン時の D/A コンバータ出力を Low に固定できるので従来必要だった誤動作対策部品を削減できます。

動作電源電圧が 2.7V~5.5V まで保証しているため、仕様変更にも柔軟に対応可能です。

特長

- イニシャルホールド機能内蔵
- 拡張ポート機能搭載
- 高速出力応答特性
- 3 線式シリアルインターフェース

用途

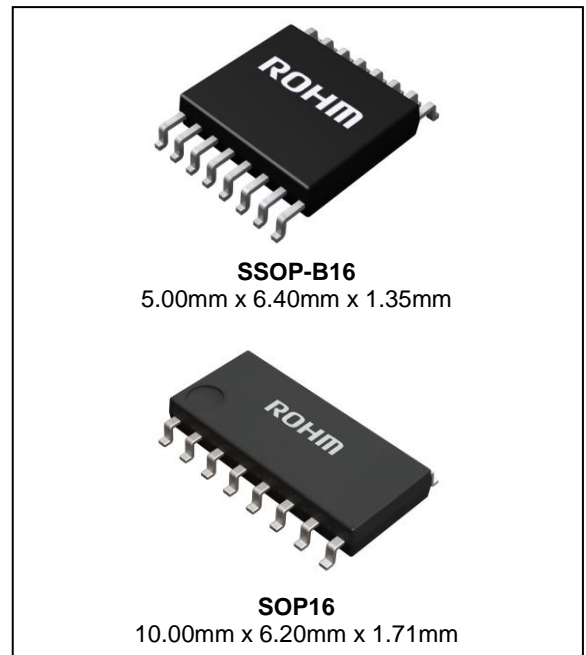
DVC、DSC、DVD、CD-R、CD-RW などの各種民生機器の制御調整用

重要特性

- 電源電圧範囲: 2.7V~5.5V
- チャンネル数: 8ch
- 消費電流: 1.1mA(Typ)
- 微分非直線性誤差: ± 1.0 LSB
- 積分非直線性誤差: ± 1.5 LSB
- 出力電流能力: ± 1.0 mA
- セトリング時間: 100 μ s(Min)
- データ転送周波数: 10MHz(Max)
- 入力形式: CMOS
- データラッチ方式: CSB 方式
- 動作温度範囲: -20°C ~ +85°C

パッケージ

W (Typ) x D (Typ) x H (Max)



ラインアップ

パッケージ		発注可能形名
SSOP-B16	Reel of 2500	BH2226FV-E2
SOP16	Reel of 2500	BH2226F-E2

端子説明・ブロック図

(BH2226FV/BH2226F)

端子	端子名	機能
1	DA1	アナログ出力端子・ I/O 入出力端子
2	DA2	
3	DA3	
4	DA4	
5	DA5	
6	DA6	
7	DA7	
8	DA8	
9	VCC	電源端子
10	RESETB	リセット端子
11	TEST	テスト用端子 (通常 GND 接続)
12	CSB	チップセレクト信号入力端子
13	CLK	シリアルクロック入力端子
14	DI	シリアルデータ入力端子
15	SO	シリアルデータ出力端子
16	GND	グランド端子

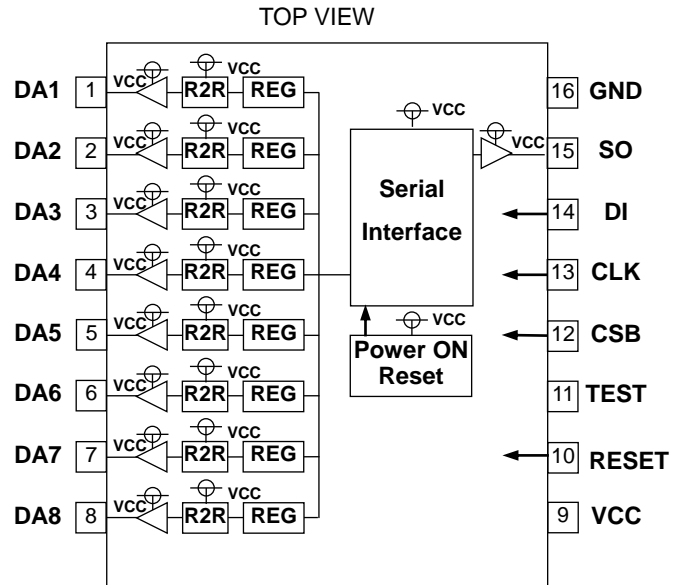


Figure 1. BH2226FV/BH2226F

絶対最大定格

項目	記号	規格値	単位	備考
電源電圧	V _{CC}	-0.3~ +7.0	V	
端子電圧	V _{IN}	-0.3~ V _{CC}	V	
保存温度範囲	T _{stg}	-55~ +125	°C	
許容損失	P _d	0.45 (Note 1)	W	BH2226FV
		0.50 (Note 2)	W	BH2226F

(Note 1) Ta=25°C 以上で使用する場合、1°C につき、4.5mW 減じる。

(Note 2) Ta=25°C 以上で使用する場合、1°C につき、5.0mW 減じる。

注意: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作条件

項目	記号	規格値			単位	備考
		最小	標準	最大		
VCC 電源電圧	V _{CC}	2.7	-	5.5	V	
端子入力電圧範囲	V _{IN}	0	-	V _{CC}	V	
アナログ出力電流	I _{OUT}	-1.0	-	+1.0	mA	
動作温度範囲	T _{opr}	-20	-	+85	°C	
シリアルクロック周波数	f _{CLK}	-	1.0	10.0	MHz	
D/A 出力限界負荷容量	C _L	-	-	0.1	µF	

電気的特性

(特に指定のない限り, $V_{CC}=3.0V$, $R_L=OPEN$, $C_L=0pF$, $T_a=25^{\circ}C$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
<消費電流>						
VCC系	I_{CC}	-	1.1	2.5	mA	CLK=1MHz, 80H 設定
	I_{CCPD}	-	5	20	μA	パワーダウン設定時
<ロジックインターフェース>						
L 入力電圧	V_{IL}	GND	-	0.6	V	$V_{CC}=5V$
H 入力電圧	V_{IH}	2.4	-	V_{CC}	V	$V_{CC}=5V$
入力電流	I_{IN}	-10	-	+10	μA	
L 出力電圧	V_{OL}	-	-	0.4	V	$I_{OH}=2.5mA$
H 出力電圧	V_{OH}	$V_{CC}-0.4$	-	-	V	$I_{OL}=0.4mA$
<バッファアンプ>						
出力ゼロスケール電圧	V_{ZS1}	GND	-	0.1	V	00H 設定, 無負荷時
	V_{ZS2}	GND	-	0.3	V	00H 設定, $I_{OH}=1.0mA$
出力フルスケール電圧	V_{FS1}	$V_{CC}-0.1$	-	V_{CC}	V	FFH 設定, 無負荷時
	V_{FS2}	$V_{CC}-0.3$	-	V_{CC}	V	FFH 設定, $I_{OL}=1.0mA$
<D/A コンバータ精度>						
微分非直線性誤差	DNL	-1.0	-	+1.0	LSB	入力コード 02H~FDH
積分非直線性誤差	INL	-1.5	-	+1.5	LSB	入力コード 02H~FDH
VCC 電源電圧立ち上がり時間	t_{rVCC}	100	-	-	μs	$V_{CC}=0 \rightarrow 2.7V$
パワーオンリセット解除電圧	V_{POR}	-	1.9	-	V	

タイミングチャート

(特に指定のない限り, $V_{CC}=3.0V$, $R_L=OPEN$, $C_L=0pF$, $T_a=25^\circ C$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
CLK L レベル時間	t_{CLKL}	50	-	-	ns	
CLK H レベル時間	t_{CLKH}	50	-	-	ns	
DI セットアップ時間	t_{sDI}	20	-	-	ns	
DI ホールド時間	t_{hDI}	40	-	-	ns	
パラレル入力 セットアップ時間	t_{sPI}	20	-	-	ns	
パラレル入力ホールド時間	t_{hPI}	40	-	-	ns	
CSB セットアップ時間	t_{sCSB}	50	-	-	ns	
CSB ホールド時間	t_{hCSB}	50	-	-	ns	
CSB H レベル時間	t_{CSBH}	50	-	-	ns	
D/A 出力セトリング時間	t_{OUT}	-	-	100	μs	$C_L=50pF, R_L=10k\Omega$
パラレル出力遅延時間	t_{pOUT}	-	-	600	ns	$C_L=50pF, R_L=10k\Omega$
シリアル出力遅延時間	t_{sOUT}	-	-	350	ns	$C_L=50pF, R_L=10k\Omega$

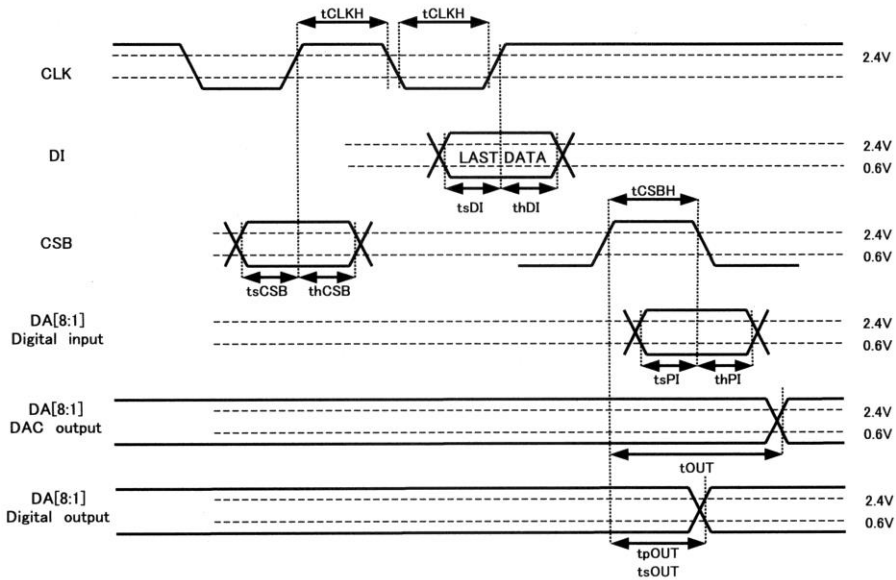


Figure 2

特性データ (参考データ)

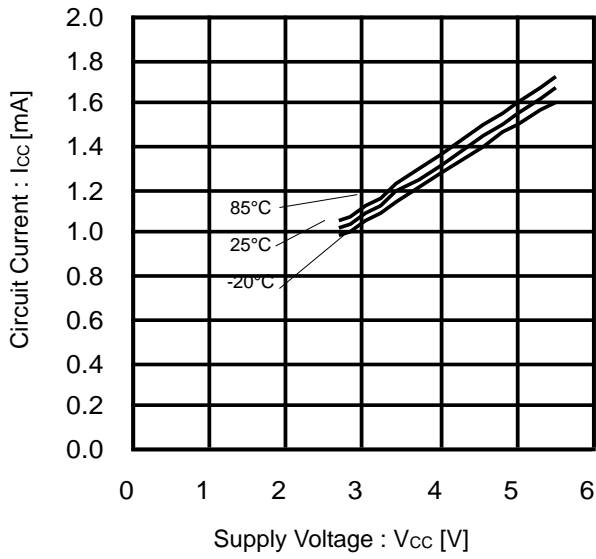


Figure 3. Circuit Current vs Supply Voltage (Active Current Consumption)

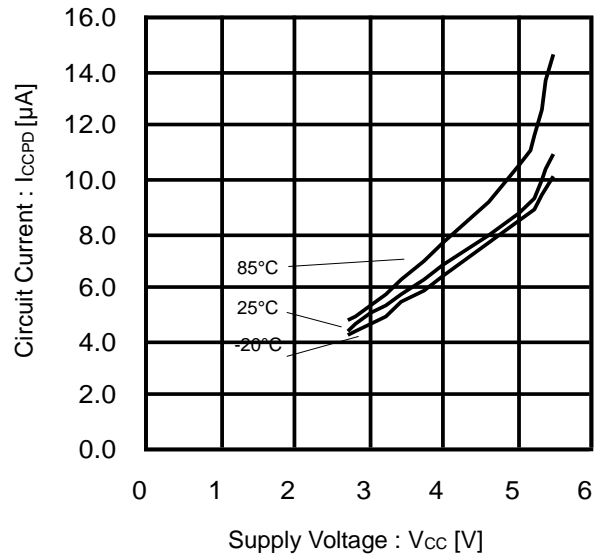


Figure 4. Circuit Current vs Supply Voltage (Current Consumption at Power Down)

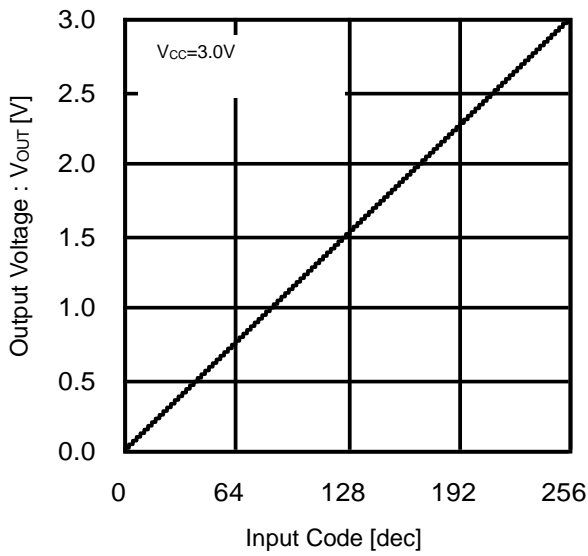


Figure 5. Output Voltage vs Input Code

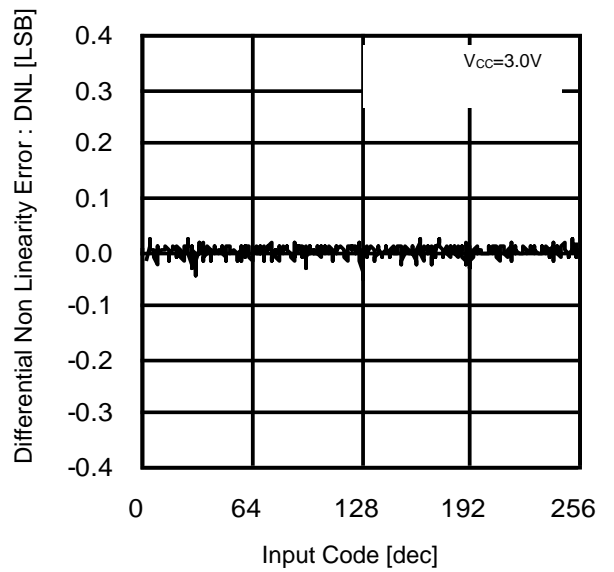


Figure 6. Differential Non Linearity Error vs Input Code

特性データ (参考データ) - 続き

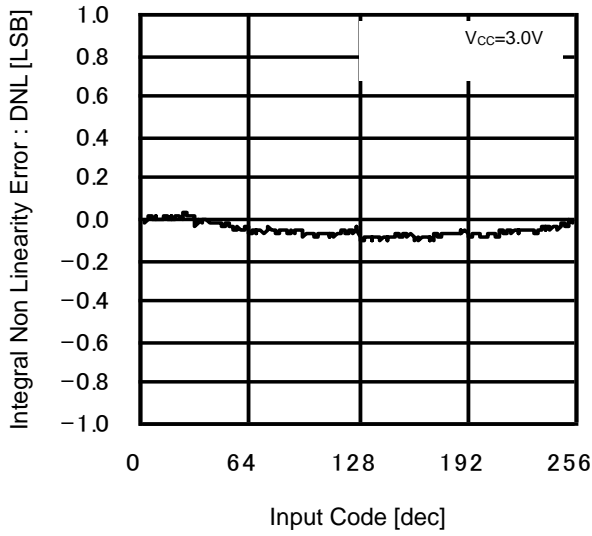


Figure 7. Integral Non Linearity Error vs Input Code

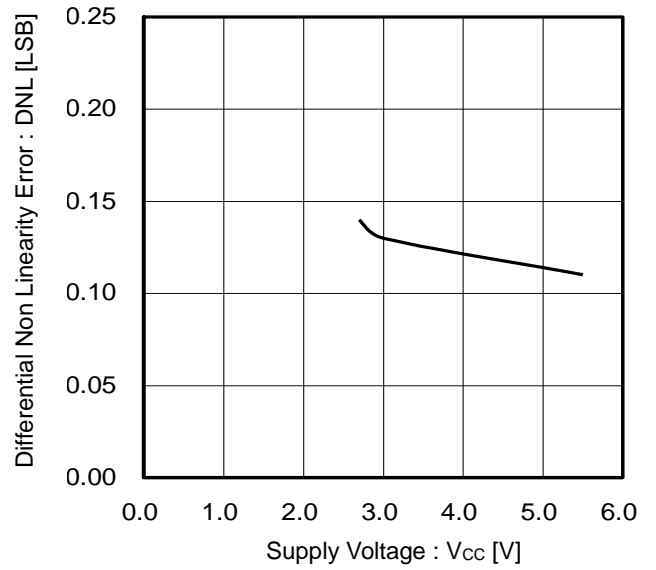


Figure 8. Differential Non Linearity Error vs Supply Voltage

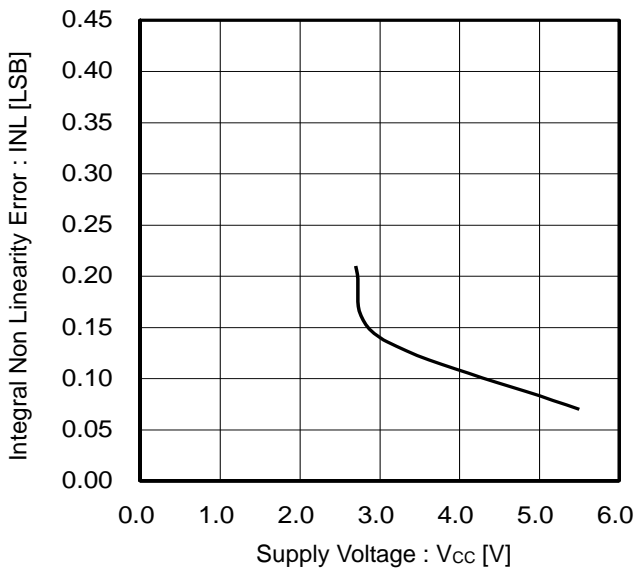


Figure 9. Integral Non Linearity Error vs Supply Voltage

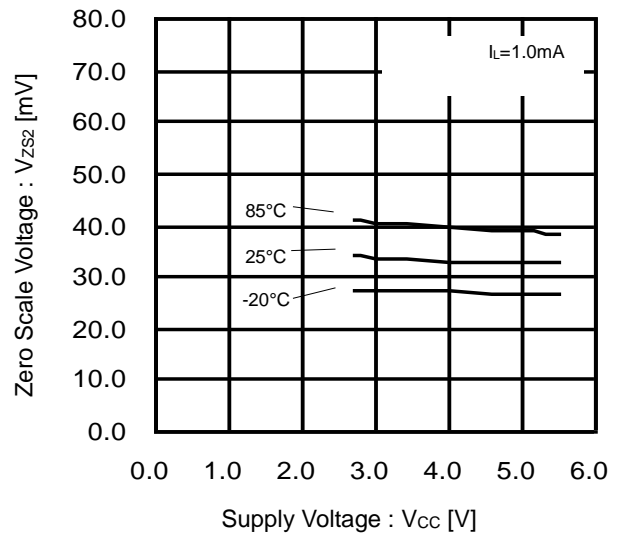


Figure 10. Output Zero Scale Voltage vs Supply Voltage

特性データ (参考データ) - 続き

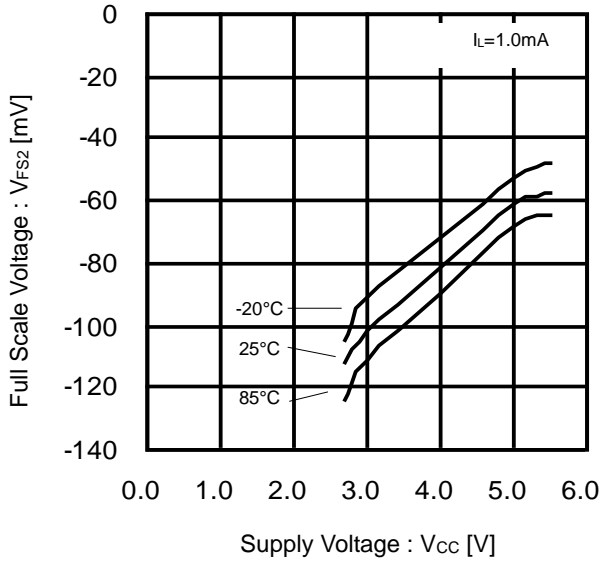


Figure 11. Output Full Scale Voltage vs Supply Voltage

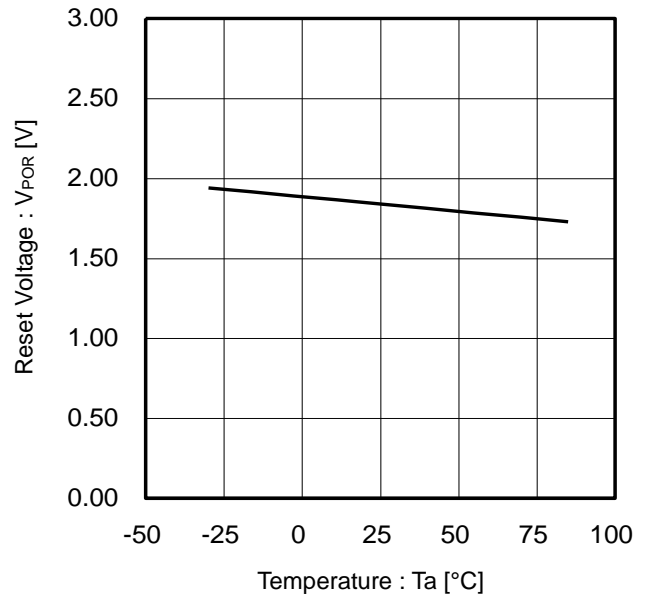


Figure 12. Reset Release Voltage vs Temperature

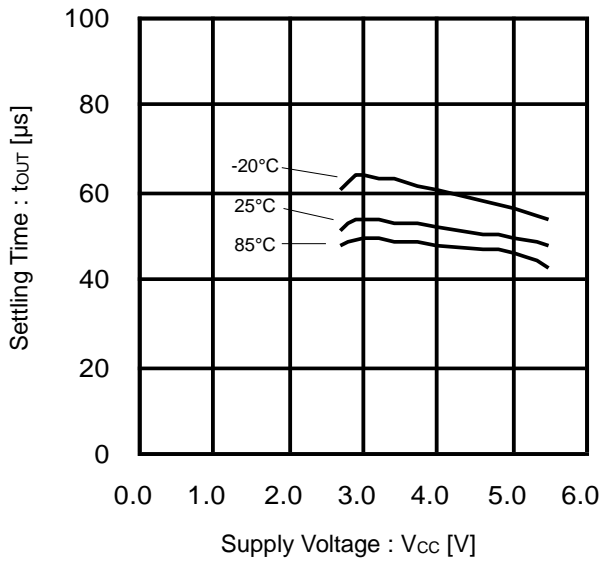


Figure 13. Settling Time vs Supply Voltage

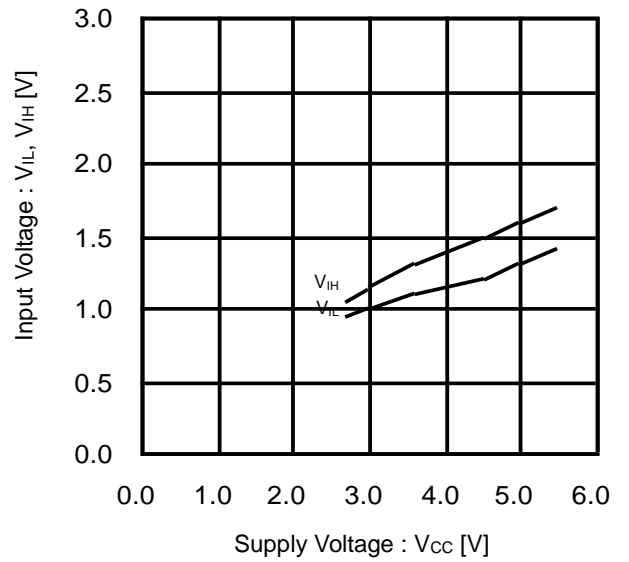


Figure 14. Input Voltage vs Supply Voltage

アプリケーション情報

各ブロック動作説明

1. コマンド送信

制御コマンドは3線式12ビットシリアル入力形式(MSBファースト)となっています。

DIのデータはCLKの立ち上がりエッジで取り込みます。データはCSBのLow区間、かつCSBの立ち上がりから前12bitが有効となります。

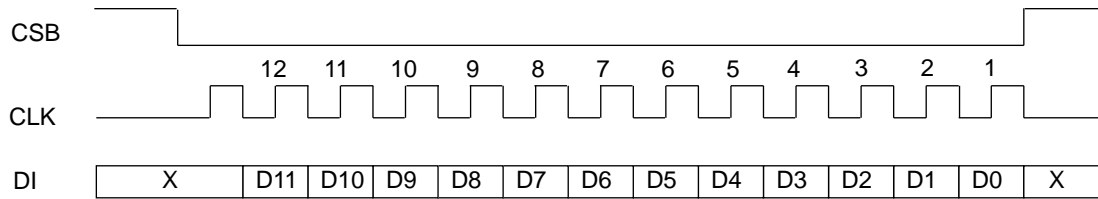


Figure 15

データ設定

D0	D1	D2	D3	D4	D5	D6	D7	設定
0	0	0	0	0	0	0	0	D/A 設定時 : GND
1	0	0	0	0	0	0	0	D/A 設定時 : (V _{CC} -GND)/256 x 1
0	1	0	0	0	0	0	0	D/A 設定時 : (V _{CC} -GND)/256 x 2
1	1	0	0	0	0	0	0	D/A 設定時 : (V _{CC} -GND)/256 x 3
0	0	1	0	0	0	0	0	D/A 設定時 : (V _{CC} -GND)/256 x 4
0	1	1	1	1	1	1	1	D/A 設定時 : (V _{CC} -GND)/256 x 254
1	1	1	1	1	1	1	1	D/A 設定時 : (V _{CC} -GND)/256 x 255

(注) 初期状態 D[7:0]=00h

チャンネル設定

D8	D9	D10	D11	設定
0	0	0	0	パワーダウン設定 (初期状態)
0	0	0	1	DA1
0	0	1	0	DA2
0	0	1	1	DA3
0	1	0	0	DA4
0	1	0	1	DA5
0	1	1	0	DA6
0	1	1	1	DA7
1	0	0	0	DA8
1	0	0	1	パワーダウン解除
1	0	1	0	Not used
1	0	1	1	Not used
1	1	0	0	I/O D/A セレクト
1	1	0	1	I/O シリアル⇒パラレル
1	1	1	0	I/O パラレル⇒シリアル
1	1	1	1	I/O ステータス設定

I/O D/A 選択設定 : 各チャンネルを I/O ポートか D/A コンバータ出力か設定できます。

"0" : I/O モード (I/O モード選択時はステータス設定も設定のこと)

"1" : D/A モード (I/O ステータス設定を出力モードに設定のこと)

D0	D1	D2	D3	D4	D5	D6	D7	説明
DA1	DA2	DA3	DA4	DA5	DA6	DA7	DA8	I/O もしくは D/A 選択時対応端子

I/O ステータス設定 : D0~D7 で各 I/O の入出力端子の状態を設定します。

"0" : 入力モード (High-Z 状態)

"1" : 出力モード

D0	D1	D2	D3	D4	D5	D6	D7	説明
DA1	DA2	DA3	DA4	DA5	DA6	DA7	DA8	ステータス設定時対応端子

2. コマンド送信手順

電源起動直後、及び外部リセット直後は、パワーダウン設定となっていますので以下の設定を行ってください。

- (1) パワーダウン解除 (2) I/O D/A セレクト (3) I/O ステータス設定

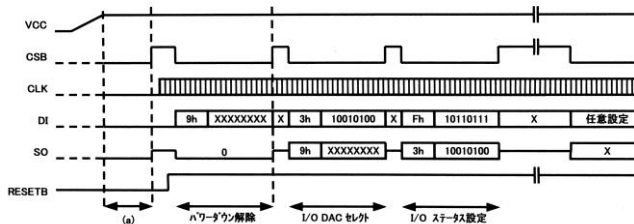


Figure 16

(注) 電源起動により、パワーオンリセットが動作し、内部レジスタを初期化しますが、上記の(a)区間のようにCSBをHighにできず、かつ、制御線にノイズが入ると、CSB立ち上がりで誤設定される可能性があります。
このような状態が想定される場合、外部RESETB端子をLowに設定し、CSB=Highの区間でリセット解除を行ってください。

3. パラレル-シリアル変換

DA[8:1]のパラレルデータをパラレルシリアルコマンド設定後最初のCSB立ち下がりエッジにて取り込みます。

取り込まれたデータは次のCSB=Low区間のCLKの立下りエッジに同期して出力され、4CLK目から出力されます。

ただし、CSB立下りから最初のSCLK立ち上がりエッジまでの間に発生したSCLKの立下りエッジはカウントされません。

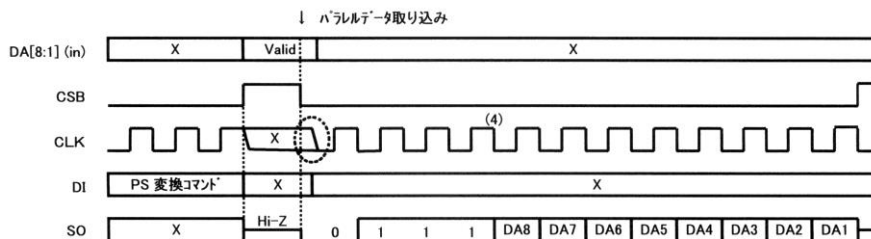


Figure 17

4. シリアル-パラレル変換

DIのシリアルデータをCLKの立ち上がりエッジにて取り込みます。

取り込まれたデータは直後のCSB立ち上がりエッジにてDA[8:1]の端子から出力されます。

CSBがLOWの間、SO端子出力は不定(直前のアドレス設定+データ出力)となります。

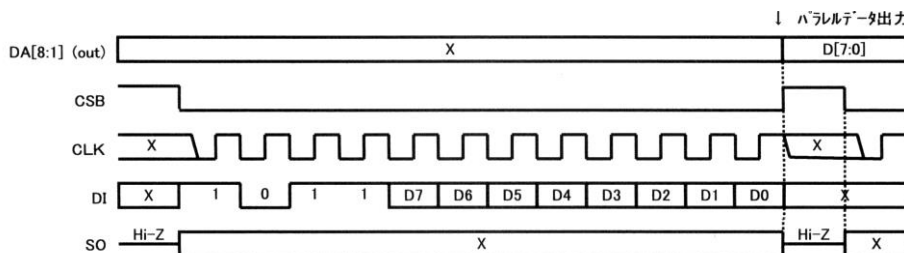


Figure 18

5. D/Aコンバータ出力設定(Figure 19)

DIのシリアルデータをクロックの立ち上がりエッジにて取り込みます。

D/Aコンバータ出力は直後のCSB立ち上がりエッジにてDA[8:1]の端子から出力されます。

CSBがLOWの間、SO端子出力は不定(直前のアドレス設定+データ出力)となります。

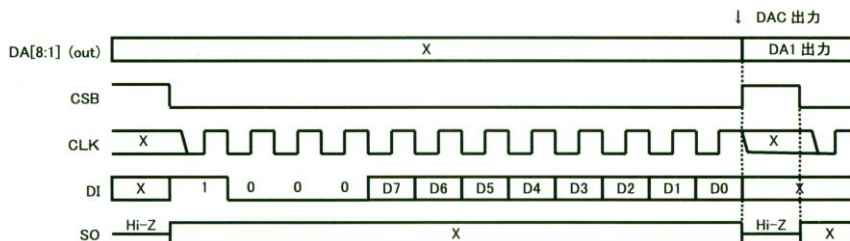


Figure 19

入出力等価回路図

端子	等価回路図	端子	等価回路図
DA1 DA2 DA3 DA4 DA5 DA6 DA7 DA8		DI CLK CSB TEST RESETB	
		SO	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けられた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 — 続き

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、グラウンド > (端子 A) の時、トランジスタ (NPN) ではグラウンド > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、グラウンド > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできません。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子にグラウンド (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子がグラウンドにショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

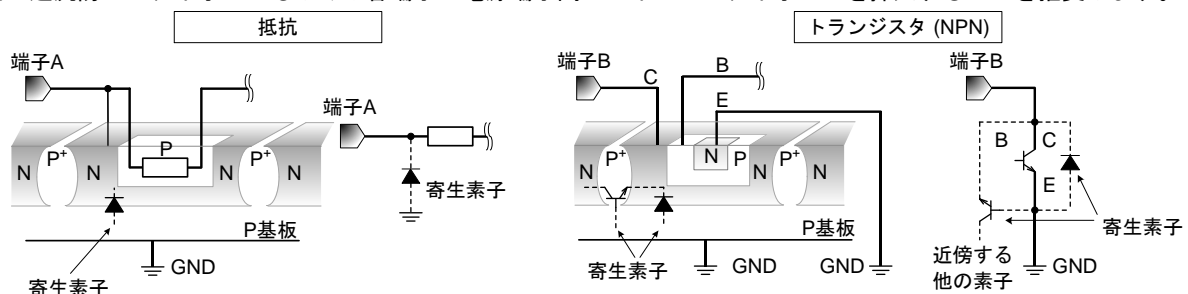
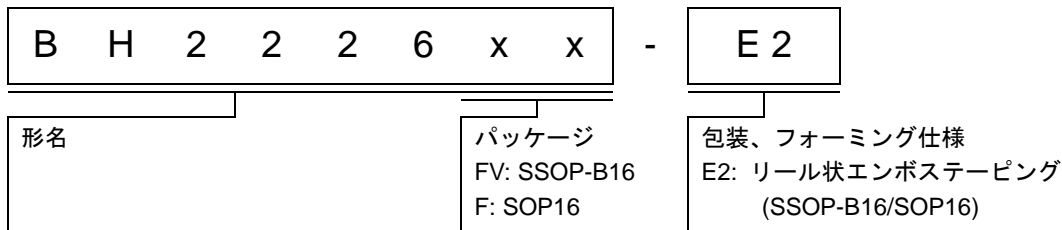


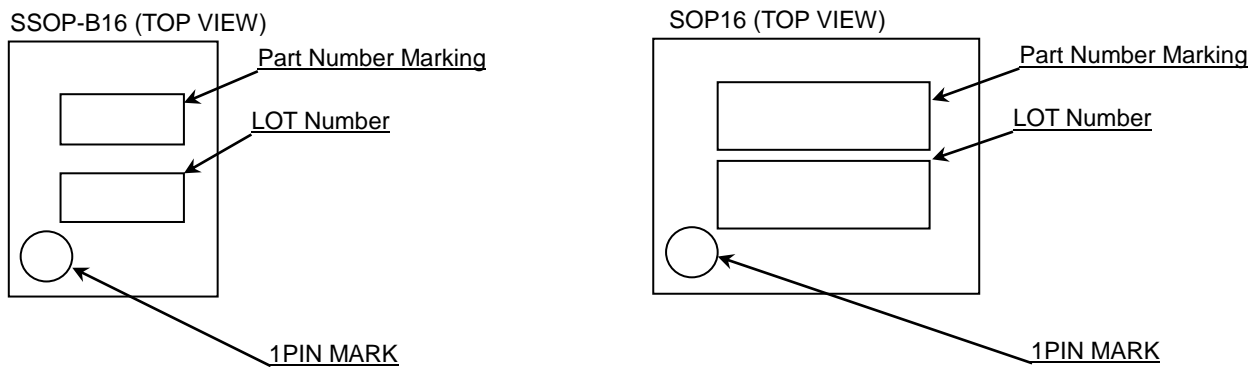
Figure 20. モノリシック IC 構造例

13. 本 LSI はパワーオンリセット回路により内部設定を初期化しますが、急激に電源を立ち上げた場合、リセットがかからないことがありますので、電源立ち上がり時間を満足するように時定数を持たせてください。
14. 電源投入直後、及び外部リセット後のデータ設定はパワーダウン状態で、DA1~DA8 は入力モード (全端子 High-Z) となります。
15. DA1~DA8 端子の端子状態変更 (ここでいう端子状態変更とは、各端子を D/A モードからシリアルパラレルモードへの変更やシリアルパラレルモードからパラレルシリアルモードへの変更等の PIO 機能を変更する場合であり、D/A データ更新や I/O データ更新は除く。) の際はアナログ、デジタルともに High-Z 設定後に切り替えてください。
16. 本 LSI はパワーオンリセット回路を内蔵しているため、通常外部 RESETB 端子を VCC に接続してください。RESETB 端子を使用する場合は通常 High にセットし、リセット時のみ Low となるように制御してください。
17. シリアルインターフェイスのシフトレジスタ部初期化はパワーオンリセット、または外部リセットによってのみ行われ、CSB=High ではリセットされません。したがって、コマンド設定時、割り込み処理等により規定クロック数(12CLK)に達しなかった場合、改めて正規のデータを転送してください。
18. パワーダウン機能は内部アナログ回路の消費する電流を抑制するための機能です。コマンドによって設定してください。また、この機能により、内部状態は初期化されません。パワーダウン時、D/A モードに設定されているチャンネルについては "I/O D/A 選択" が "D/A モード" から "I/O モード" に切り替わります。このため、そのチャンネルの "I/O ステータス設定" が入力モードになっている場合、端子が High-Z 状態になり、LSI の入力が不定となることで不要電流が流れますので、D/A に設定するチャンネルの I/O ステータス設定を出力モードにして使用するか、抵抗等で端子処理した上で使用してください。
19. PIO 使用状態から D/A 使用状態に移移する場合、D/A 出力の安定のためのウェイト時間が必要となるため、"I/O D/A セレクト" コマンド入力後、最大 1ms 待機してください。待機時間が問題となる場合には、D/A の設定コードを 80hex にした後、所定のコード設定に変更してください。

発注形名情報

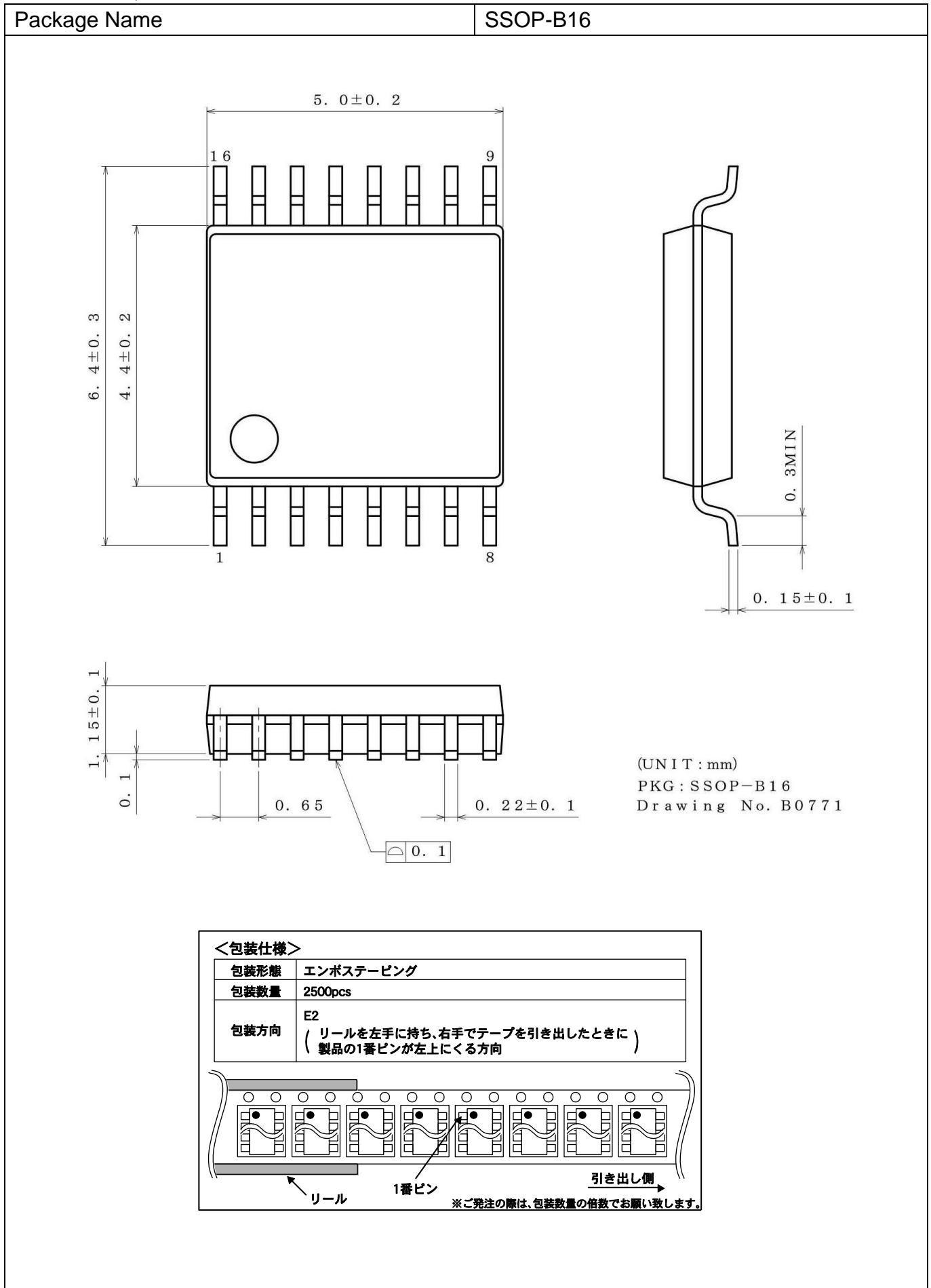


標印図

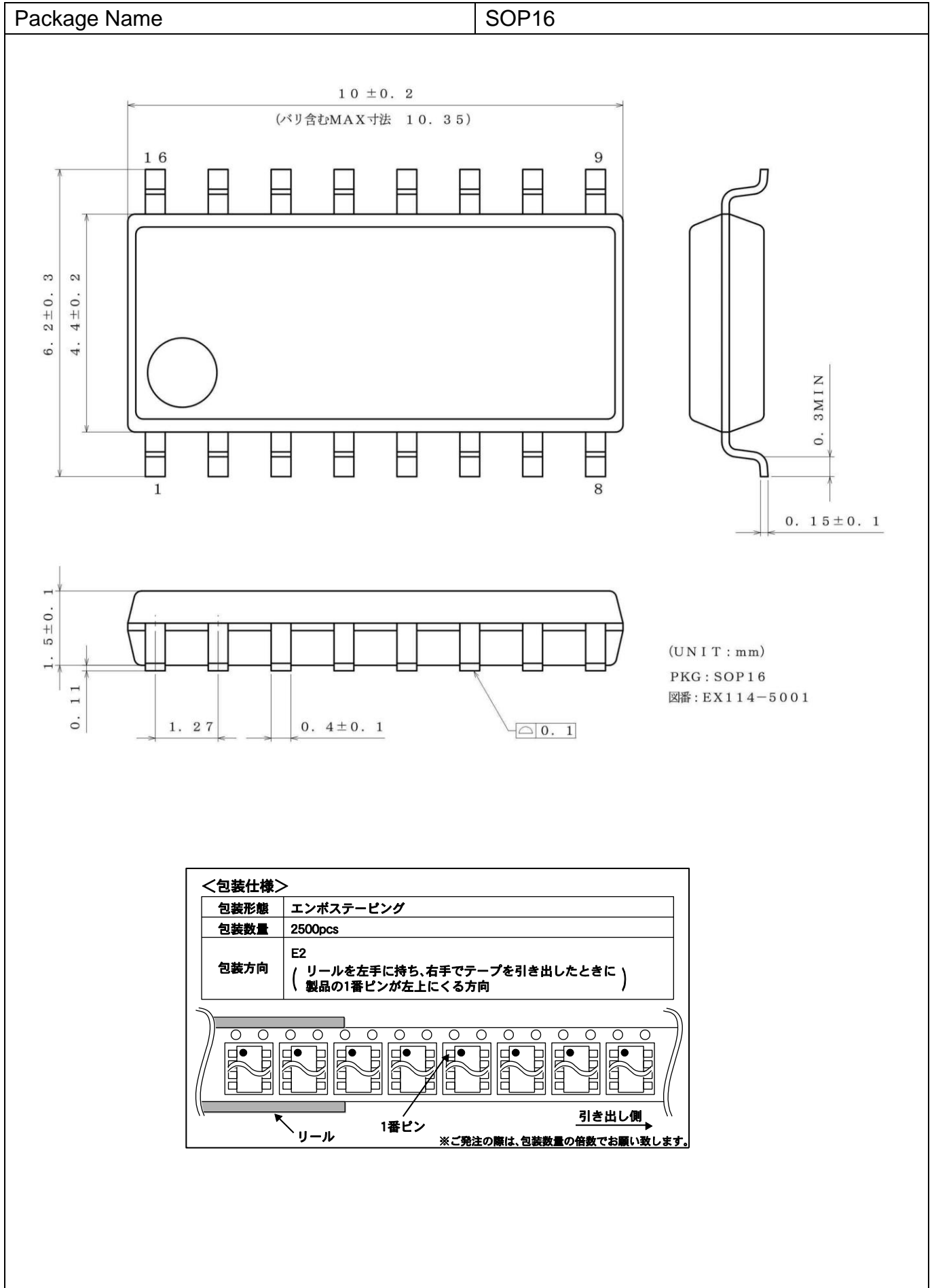


Part Number	Part Number Marking
BH2226FV-E2	H2226
BH2226F-E2	BH2226F

外形寸法図と包装・フォーミング仕様



外形寸法図と包装・フォーミング仕様 - 続き



改訂記録

日付	Revision	改訂内容
2015.11.06	001	新規作成

ご注意

ローム製品取扱い上の注意事項

- 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。