

絶縁素子内蔵ゲートドライバシリーズ

絶縁電圧 2500Vrms

絶縁素子内蔵 1ch ゲートドライバ

BM6104FV-C

概要

絶縁電圧 2500Vrms、入出力遅延時間 150ns、最小入力パルス幅 90ns の絶縁素子内蔵ゲートドライバです。
ミラーランプ機能、フォールト信号出力機能、低電圧時誤動作防止機能 (UVLO)、短絡保護機能 (SCP, DESAT)、ゲート状態監視機能を内蔵しています。

重要特性

■ 絶縁電圧:	2500Vrms
■ 最大ゲート駆動電圧:	24V
■ 入出力遅延時間:	150ns(Max)
■ 最小入力パルス幅:	90ns(Max)

特長

- 絶縁素子内蔵 1ch
- ミラーランプ機能
- フォールト信号出力機能 (出力保持時間設定可能)
- 低電圧時誤動作防止機能
- 短絡保護機能 (自動復帰時間設定可能)
- 短絡保護時ソフトターンオフ機能
- 負電源使用可能
- ゲート状態監視機能
- UL 認定品 UL1577 File No. E356010
- AEC-Q100 対応^(Note 1)
(Note 1:Grade1)

パッケージ

SSOP-B20W

 W(Typ) x D(Typ) x H(Max)
6.50mm x 8.10mm x 2.01mm


用途

- IGBT ゲート駆動
- MOSFET ゲート駆動

ブロック図・基本アプリケーション回路例

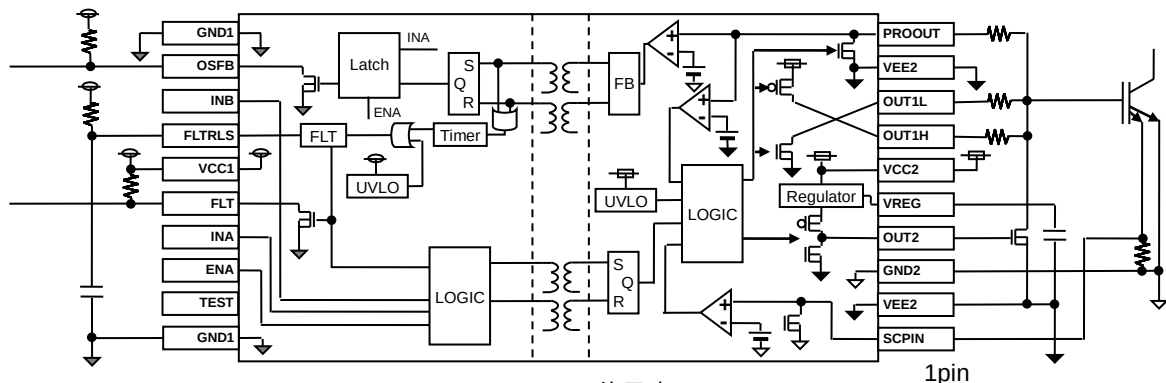


Figure 1. 4-pin IGBT 使用時 (SCP)

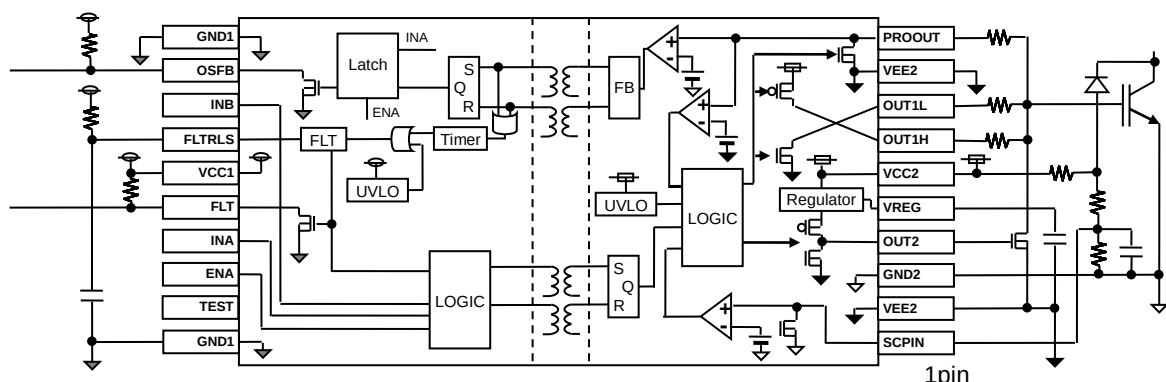
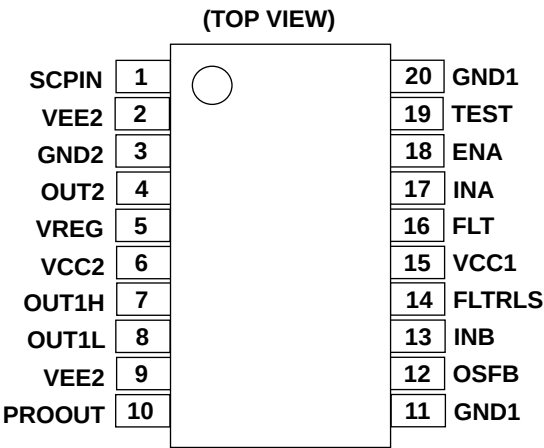


Figure 2. 3-pin IGBT 使用時 (DESAT)

推奨外付け定数範囲

端子名	記号	推奨値			単位
		最小	標準	最大	
FLTRLS	CFLTRLS	-	0.01	0.47	μF
	RFLTRLS	50	200	1000	kΩ
VREG	CVREG	1.0	3.3	10.0	μF
VCC1	CVCC1	0.1	1.0	-	μF
VCC2	CVCC2	0.33	-	-	μF

端子配置図



端子機能

端子番号	端子名	機能
1	SCPIN	短絡検出電圧入力端子
2	VEE2	出力側負電源端子
3	GND2	出力側グラウンド端子
4	OUT2	ミラークランプ用 MOS FET 制御端子
5	VREG	ミラークランプ用 MOS FET 駆動用電源端子
6	VCC2	出力側正電源端子
7	OUT1H	ソース側出力端子
8	OUT1L	シンク側出力端子
9	VEE2	出力側負電源端子
10	PROOUT	ソフトターンオフ出力端子
11	GND1	入力側グラウンド端子
12	OSFB	出力ゲート状態監視出力端子
13	INB	制御入力端子 B
14	FLTRLS	フォールト出力保持時間設定端子
15	VCC1	入力側電源端子
16	FLT	フォールト出力端子
17	INA	制御入力端子 A
18	ENA	入力許可信号入力端子
19	TEST	モード設定端子
20	GND1	入力側グラウンド端子

端子説明

1) VCC1 (入力側電源端子)

入力側の電源端子です。IC 内部トランスフォーマ駆動電流による電圧変動を抑えるため、GND1 端子間にバイパスコンデンサを接続してください。

2) GND1 (入力側グラウンド端子)

入力側のグラウンド端子です。

3) VCC2 出力側正電源端子)

出力側の正電源端子です。IC 内部トランスフォーマ駆動電流及び OUT1H/L 出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。

4) VEE2 (出力側負電源端子)

出力側の負電源端子です。IC 内部トランスフォーマ駆動電流及び OUT1H/L 出力電流による電圧変動を抑えるため、GND2 端子間にバイパスコンデンサを接続してください。なお、負電源を使用しない場合は GND2 端子と接続してください。

5) GND2 (出力側グラウンド端子)

出力側のグラウンド端子です。出力素子のソース/エミッタに接続してください。

6) INA, INB, ENA (制御入力端子)

出力論理を決定する端子です。

ENA	INB	INA	OUT1H	OUT1L
H	X	X	Hi-Z	L
L	H	L	Hi-Z	L
L	H	H	Hi-Z	L
L	L	L	Hi-Z	L
L	L	H	H	Hi-Z

7) FLT (フォールト出力端子)

フォールト発生時（低電圧時誤動作防止機能（UVLO）動作時、または短絡保護機能（SCP）動作時）、フォールト信号を出力するオープンドレイン端子です。

端子	FLT
通常時	Hi-Z
フォールト発生時 (UVLO 動作時または SCP 動作時)	L

8) FLTRLS (フォールト出力保持時間設定端子)

フォールト信号の保持時間を設定する端子です。GND1 端子間にコンデンサ、VCC1 端子間に抵抗を接続してください。FLTRLS 端子電圧が V_{FLTRLS} 以上になるまでフォールト信号を保持します。保持時間を 0ms にする場合は、コンデンサは未接続としてください。VCC1 端子とショートすると FLTRLS 端子に大電流が流入し、オープン状態では誤動作する可能性がありますので、必ず VCC1 端子間に抵抗を接続してください。

9) OUT1H, OUT1L (出力端子)

ゲート駆動用端子です。OUT1H 端子がソース側出力端子、OUT1L がシンク側出力端子になります。

10) OUT2 (ミラーランプ用 MOS FET 制御端子)

OUT1H/L に接続された素子のミラー電流によるゲート電圧上昇を防止するための外付け MOS スイッチを制御する端子です。

11) VREG (ミラーランプ用 MOS FET 駆動用電源端子)

ミラーランプ用 MOS FET 駆動用の電源端子です (typ 10V)。発振防止及び OUT2 出力電流による電圧変動を抑えるため、必ず VEE2 端子間にコンデンサを接続してください。

12) PROOUT (ソフトターンオフ端子)

短絡保護動作時、出力素子をソフトターンオフする端子です。また、ミラーランプ機能およびゲート状態監視機能のための出力素子のゲート電圧モニタ端子を兼ねています。

13) SCPIN (短絡検出端子)

短絡保護のための電流検出端子です。SCPIN 端子電圧が V_{SCDET} (typ 0.7V) 以上になると、短絡保護機能が動作します。OUT1H/L=Hi-Z/L 時に GND2 端子とショートするスイッチを内蔵しているため、Desaturation protection (DESAT) を使用して 3pin IGBT/FET でも短絡保護を実現できます。オープン状態では IC が誤動作する可能性がありますので、短絡保護機能を使用しない場合は GND2 端子にショートしてください。また、ノイズによる誤検出を防止するため、ノイズマスク時間 $t_{SCPMASK}$ (typ 0.8 μ s) を設けています。

14) OSFB (ゲート状態監視出力端子)

PROOUT 端子でモニタしている出力素子のゲート論理と ENA・INB・INA 端子入力論理とを比較し、不一致の場合に L を出力するオープンドレイン端子です。L 出力は、ENA=H または入力側 UVLO が動作するまで保持されます。

15) TEST (モード設定端子)

動作モード切り替え端子です。通常は GND1 端子に接続して使用します。VCC1 端子へ接続した場合、入力側の低電圧時誤動作防止機能が無効になります。

機能動作説明・定数設定例

1) ミラークランプ機能

OUT1H/L=Hi-Z/L かつ PROOUT 端子電圧 $< V_{OUT2ON}$ (typ 2V) 時、OUT2 端子から H を出力し外付け MOS スイッチを ON、OUT1H/L=H/Hi-Z 時、OUT2 端子から L を出力し外付け MOS スイッチを OFF します。また、短絡保護機能動作中は OUT2 端子から L を出力し外付け MOS スイッチを OFF します。

Short current	SCPIN	IN	PROOUT	OUT2
Detected	V_{SCDET} 以上	X	X	L
Not detected	X	L	V_{OUT2ON} 以上	L
	X	L	V_{OUT2ON} 以下	H
	X	H	X	L

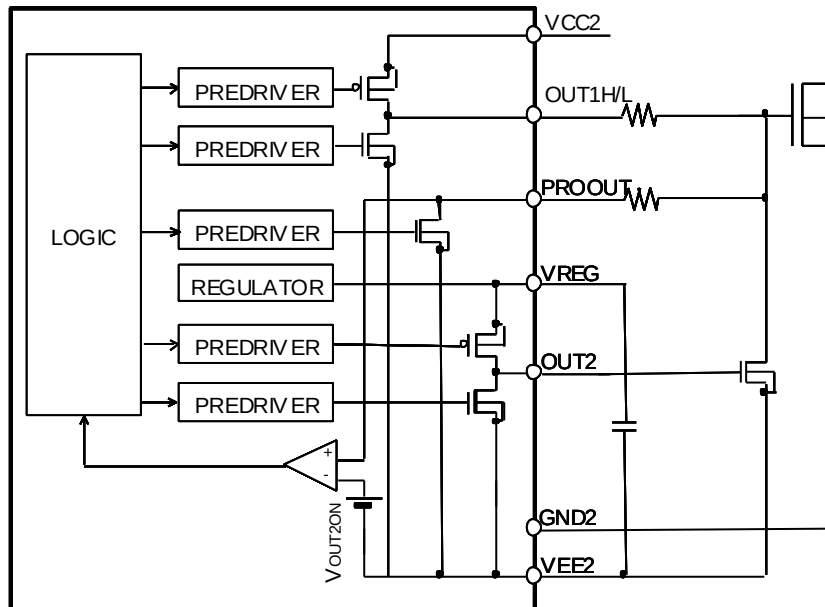


Figure 3. ミラークランプ機能ブロック図

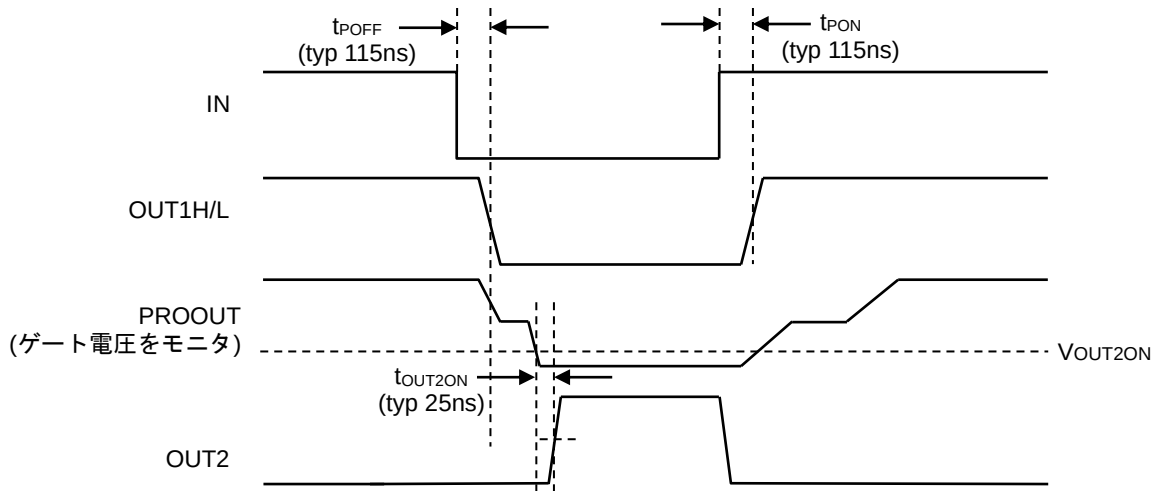


Figure 4. ミラークランプ機能タイミングチャート

2) 異常状態出力

フォールト発生時（低電圧時誤動作防止機能(UVLO)動作時、短絡保護(SCP)動作時）に FLT 端子からフォールト信号出力を行います。フォールト出力保持時間までフォールト信号を保持します。フォールト出力保持時間 t_{FLTRLS} は、FLTRLS 端子に接続したコンデンサ C_{FLTRLS} と抵抗 R_{FLTRLS} によって、以下の式で決まり、例えば、 $C_{FLTRLS}=0.01\mu\text{F}$ 、 $R_{FLTRLS}=200\text{k}\Omega$ のとき 2ms の設定となります。

$$t_{FLTRLS} [\text{ms}] = C_{FLTRLS} [\mu\text{F}] \cdot R_{FLTRLS} [\text{k}\Omega]$$

フォールト出力保持時間 $t_{FLTRLS}=0\text{ms}$ とする場合は、抵抗 R_{FLTRLS} のみを接続してください。

状態	FLT 端子
通常時	Hi-Z
フォールト発生時	L

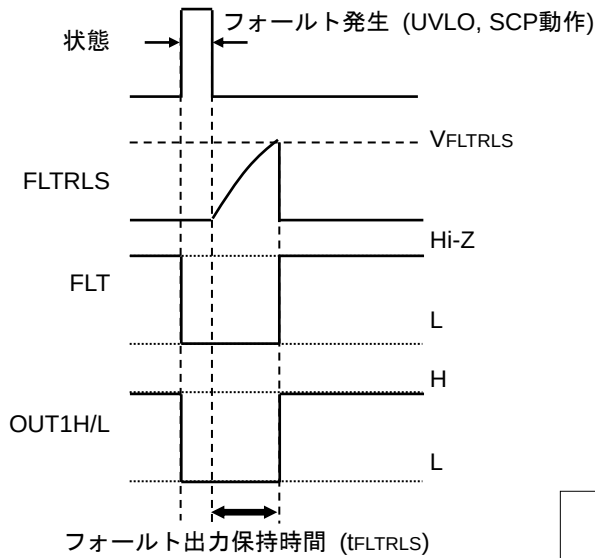


Figure 5. 異常状態出力タイミングチャート

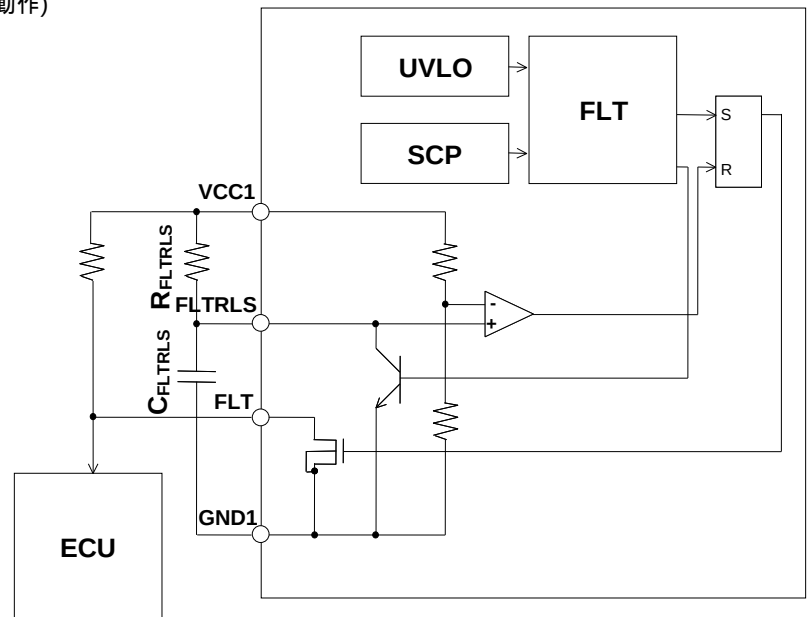


Figure 6. フォールト出力ブロック図

3) 低電圧時誤動作防止機能 (UVLO)

入力側(低電圧側)、出力側(高電圧側)とも、低電圧時誤動作防止機能を内蔵しています。電源電圧が UVLO ON 電圧(入力側 typ 3.4V、出力側 typ 9.05V)まで低下すると、OUT1H/L 端子は Hi-Z/L、FLT 端子は L を出力します。電源電圧が UVLO OFF 電圧(入力側 typ 3.5V、出力側 typ 9.55V)まで上昇すると復帰します。ただし、2) 異常状態出力の項で設定したフォールト出力保持時間は、OUT1H/L 端子が Hi-Z/L、FLT 端子が L の状態を保持します。また、ノイズによる誤動作を防止するため、入力側、出力側とも、マスク時間 $t_{UVLO1MSK}$ (typ $10\mu\text{s}$)、 $t_{UVLO2MSK}$ (typ $10\mu\text{s}$) を設けています。

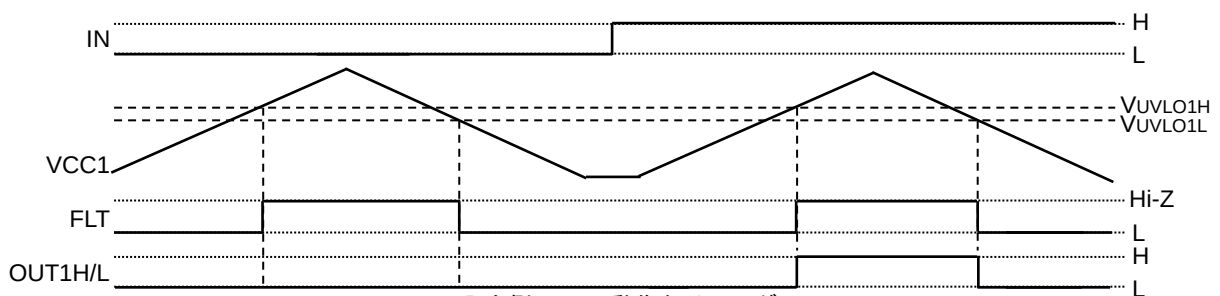


Figure 7. 入力側 UVLO 動作タイミングチャート

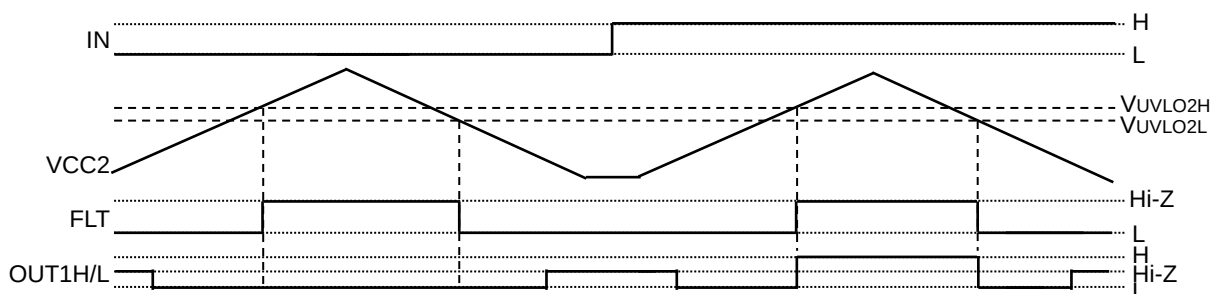


Figure 8. 出力側 UVLO 動作タイミングチャート

4) 短絡保護機能 (SCP, DESAT)

SCPIN 端子電圧が V_{SCDET} (typ 0.7V) 以上になった場合、短絡保護機能が動作します。短絡保護が動作すると、まず OUT1H/L 端子が Hi-Z/Hi-Z、PROOUT 端子が L となります (ソフトターンオフ)。次に、短絡電流が閾値以下となつてから t_{STO} (min 30 μ s, max 110 μ s) 後、OUT1H/L 端子が Hi-Z/L、PROOUT 端子が L となります。最後に、P5 2) 異常状態出力の項で設定したフォールト出力保持時間が経過すると、短絡保護は解除されます。

また、OUT1H/L=Hi-Z/L または OUT1H/L=Hi-Z/Hi-Z のとき、 C_{BLANK} に充電された電荷を放電するための SCPIN 端子内の MOSFET が ON し、OUT1H/L=H/Hi-Z のとき、SCPIN 端子内の MOSFET は OFF します。

Desaturation protection が動作するコレクタ/ドレイン電圧 V_{DESAT} 及びブランク時間 t_{BLANK} は、下式で設定できます。

$$V_{DESAT} [V] = V_{SCDET} \cdot \frac{R3 + R2}{R3} - V_{FD1}$$

$$V_{CC2_{MN}} [V] > V_{SCDET} \cdot \frac{R3 + R2 + R1}{R3}$$

$$t_{BLANK_{outemal}} [s] = -\frac{R2 + R1}{R3 + R2 + R1} \cdot R3 \cdot (C_{BLANK} + 24 \cdot 10^{-12}) \cdot \ln\left(1 - \frac{R3 + R2 + R1}{R3} \cdot \frac{V_{SCDET}}{V_{CC2}}\right) + 0.2 \cdot 10^{-6}$$

V_{DESAT}	設定参考値		
	R1	R2	R3
4.0V	15 k Ω	39 k Ω	6.8 k Ω
4.5V	15 k Ω	43 k Ω	6.8 k Ω
5.0V	15 k Ω	36 k Ω	5.1 k Ω
5.5V	15 k Ω	39 k Ω	5.1 k Ω
6.0V	15 k Ω	43 k Ω	5.1 k Ω
6.5V	15 k Ω	62 k Ω	6.8 k Ω
7.0V	15 k Ω	68 k Ω	6.8 k Ω
7.5V	15 k Ω	82 k Ω	7.5 k Ω
8.0V	15 k Ω	91 k Ω	8.2 k Ω
8.5V	15 k Ω	82 k Ω	6.8 k Ω
9.0V	15 k Ω	130 k Ω	10 k Ω
9.5V	15 k Ω	91 k Ω	6.8 k Ω
10.0V	15 k Ω	130 k Ω	9.1 k Ω

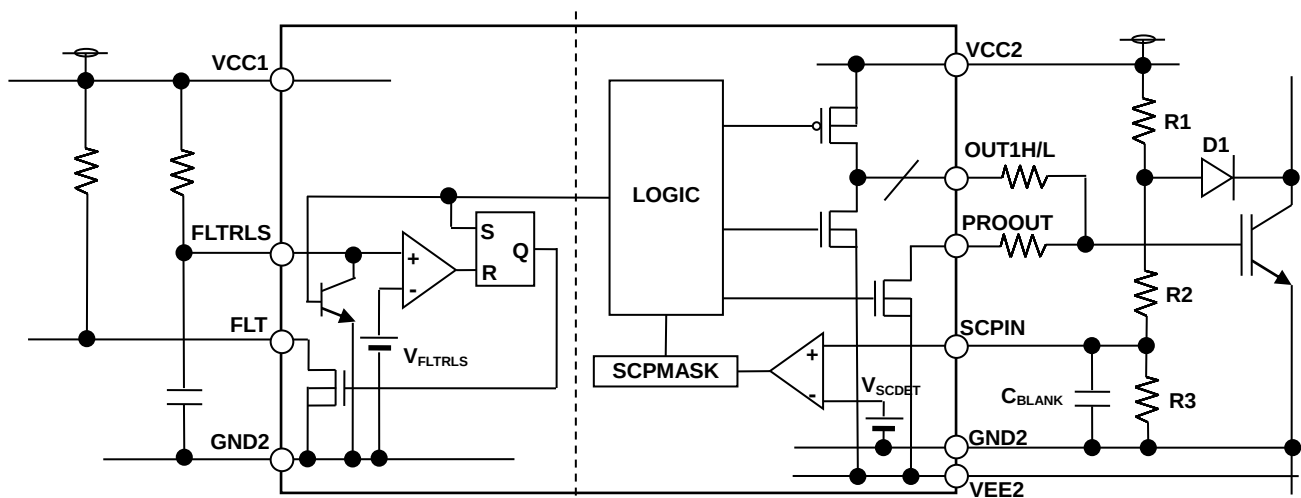


Figure 9. DESAT ブロック図

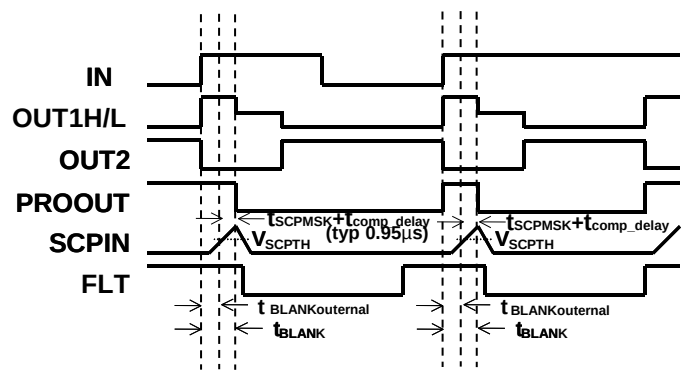
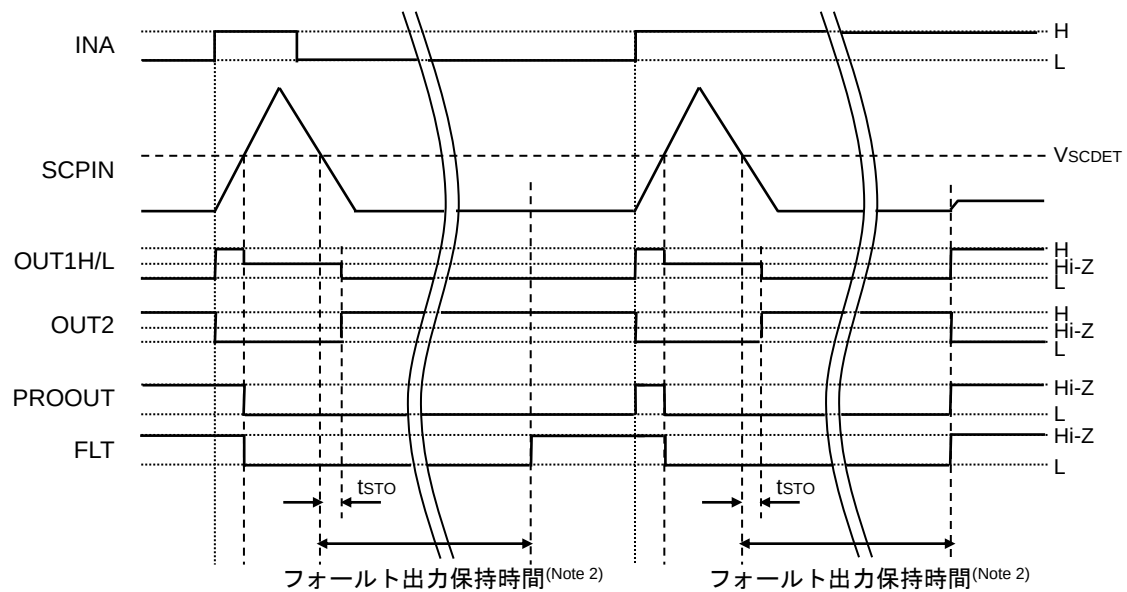


Figure 10. DESAT 動作タイミングチャート



(Note 2): P5 の 2) 異常状態出力の項で設定した時間

Figure 11. SCP 動作タイミングチャート

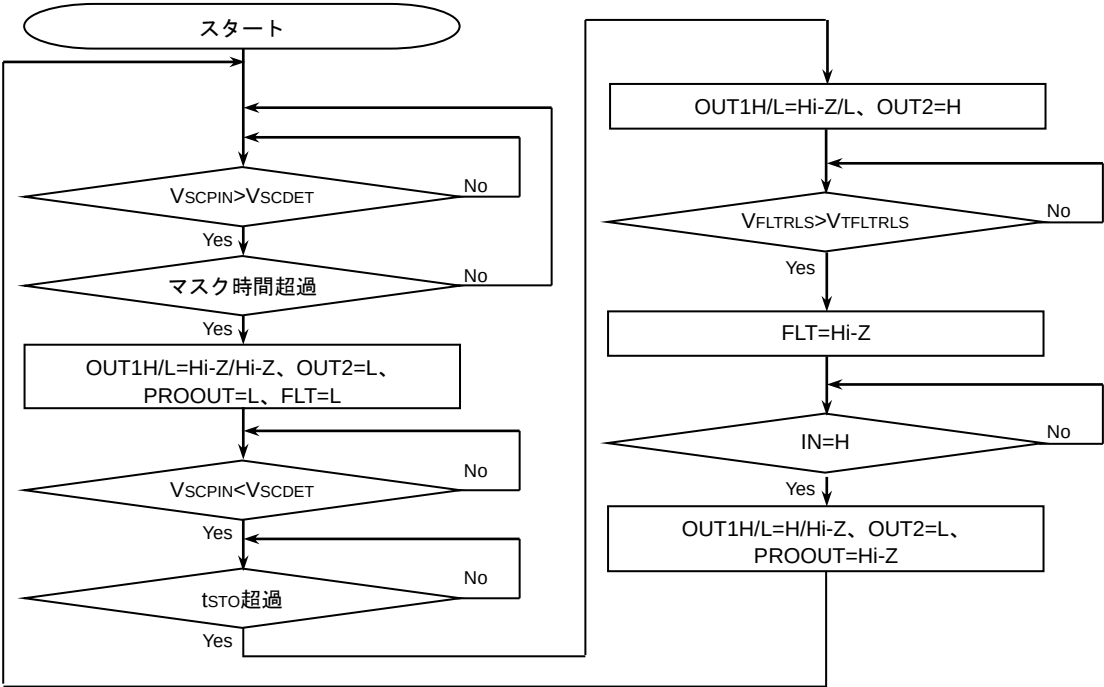


Figure 12. SCP 動作状態遷移図

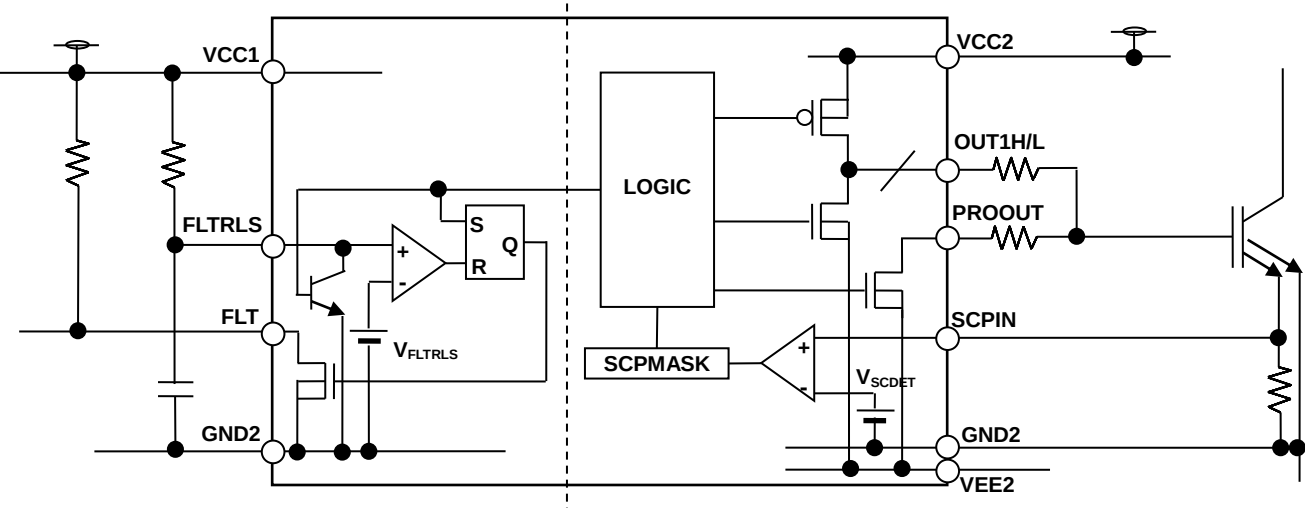


Figure 13. SCP ブロック図

5) 動作真理値表

条件	状態	入力							出力					
		VCC1	VCC2	SC PIN	EN A	IN B	IN A	PRO OUT	OUT 1 H	OUT 1 L	OUT 2	PRO OUT	FLT	OS FB
1	短絡保護	○	○	H	L	L	H	X	Hi-Z	Hi-Z	L	L	L	Hi-Z
2	VCC1UVLO	UVLO	X	L	X	X	X	H	Hi-Z	L	L	Hi-Z	L	Hi-Z
3		UVLO	X	L	X	X	X	L	Hi-Z	L	H	Hi-Z	L	Hi-Z
4	VCC2UVLO	X	UVLO	L	X	X	X	H	Hi-Z	L	L	Hi-Z	L	Hi-Z
5		X	UVLO	L	X	X	X	L	Hi-Z	L	H	Hi-Z	L	Hi-Z
6	ディスエーブル	○	○	L	H	X	X	H	Hi-Z	L	L	Hi-Z	Hi-Z	Hi-Z
7		○	○	L	H	X	X	L	Hi-Z	L	H	Hi-Z	Hi-Z	Hi-Z
8	INB Active	○	○	L	L	H	X	H	Hi-Z	L	L	Hi-Z	Hi-Z	L
9		○	○	L	L	H	X	L	Hi-Z	L	H	Hi-Z	Hi-Z	Hi-Z
10	通常動作 L 入力	○	○	L	L	L	L	H	Hi-Z	L	L	Hi-Z	Hi-Z	L
11		○	○	L	L	L	L	L	Hi-Z	L	H	Hi-Z	Hi-Z	Hi-Z
12	通常動作 H 入力	○	○	L	L	L	H	H	H	Hi-Z	L	Hi-Z	Hi-Z	Hi-Z
13		○	○	L	L	L	H	L	H	Hi-Z	L	Hi-Z	Hi-Z	L

○: VCC1 or VCC2 > UVLO, X: Don't care

6) 電源起動・遮断シーケンス

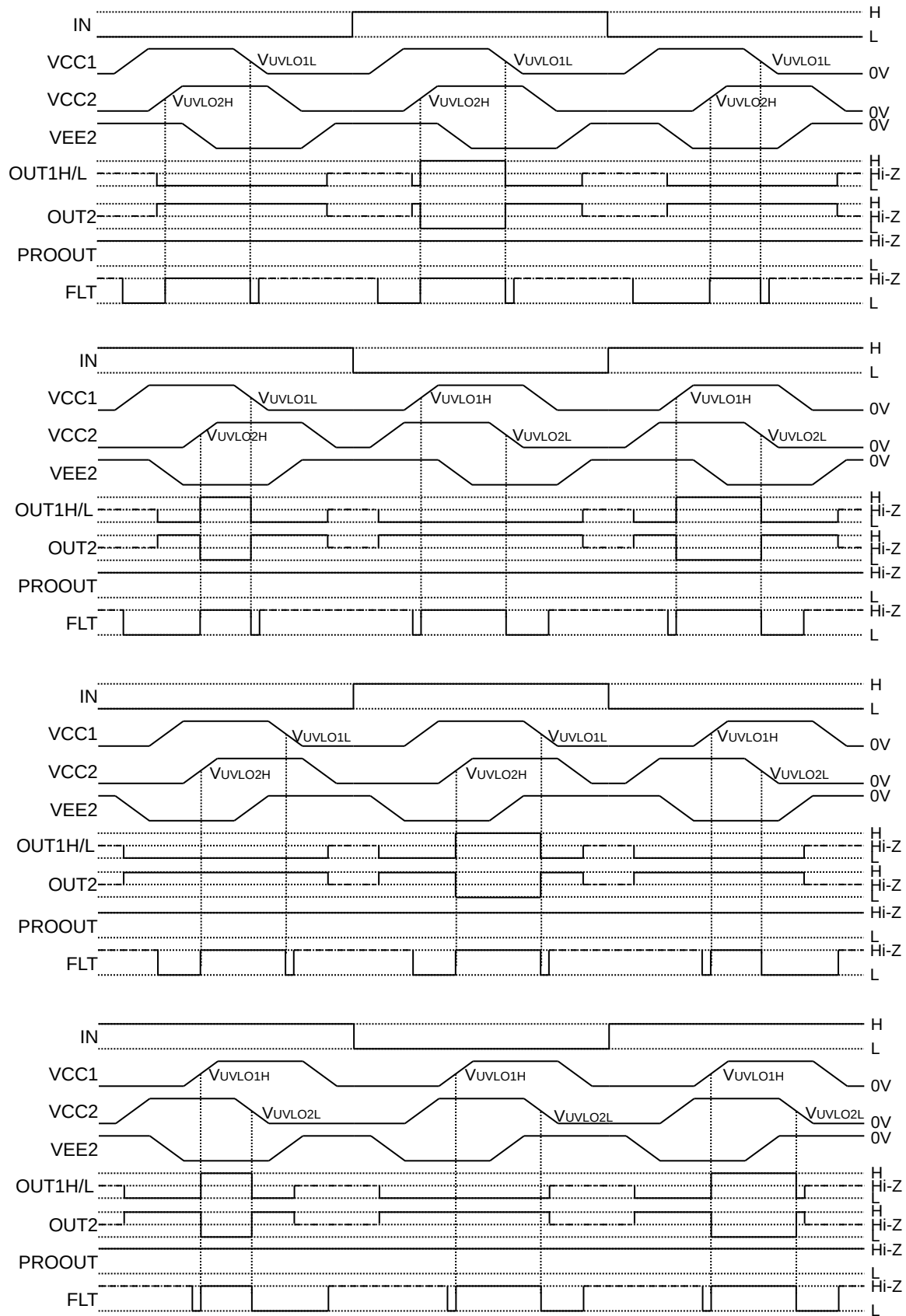


Figure 14. 電源起動・遮断シーケンス動作タイミングチャート

絶対最大定格

項目	記号	定格	単位
入力側電源電圧	V_{CC1}	-0.3~+7.0 ^(Note 3)	V
出力側正電源電圧	V_{CC2}	-0.3~+30.0 ^(Note 4)	V
出力側負電源電圧	V_{EE2}	-15.0~+0.3 ^(Note 4)	V
出力側正負間最大電圧	V_{MAX2}	36.0	V
INA, INB, ENA 端子入力電圧	V_{IN}	-0.3~+ $V_{CC1}+0.3$ or 7.0 ^(Note 3)	V
OSFB, FLT 端子入力電圧	V_{FLT}	-0.3~+ $V_{CC1}+0.3$ or 7.0 ^(Note 3)	V
FLTRLS 端子入力電圧	V_{FLTRLS}	-0.3~+ $V_{CC1}+0.3$ or 7.0 ^(Note 3)	V
SCPIN 端子入力電圧	V_{SCPIN}	-0.3~ $V_{CC2}+0.3$ ^(Note 4)	V
VREG 端子出力電流	I_{VREG}	10	mA
OUT1H, OUT1L, PROOUT 端子出力電流 (10 μ s)	$I_{OUT1PEAK}$	5.0 ^(Note 5)	A
OUT2 端子出力電流 (10 μ s)	$I_{OUT2PEAK}$	1.0 ^(Note 5)	A
OSFB 端子出力電流	I_{OSFB}	10	mA
FLT 端子出力電流	I_{FLT}	10	mA
許容損失	P_d	1.19 ^(Note 6)	W
動作温度範囲	T_{opr}	-40~+125	°C
保存温度範囲	T_{stg}	-55~+150	°C
接合部温度	T_{jmax}	+150	°C

(Note 3) GND1 基準

(Note 4) GND2 基準

(Note 5) P_d および $T_j=150^{\circ}\text{C}$ を超えないこと(Note 6) $T_a=25^{\circ}\text{C}$ 以上は $9.5\text{mW}/^{\circ}\text{C}$ で軽減。70 × 70 × 1.6mm³ ガラスエポキシ基板実装時

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作条件

項目	記号	最小	最大	単位
入力側電源電圧 ^(Note 7)	V_{CC1}	4.5	5.5	V
出力側正電源電圧 ^(Note 8)	V_{CC2}	10	24	V
出力側負電源電圧 ^(Note 8)	V_{EE2}	-12	0	V
出力側正負電源間電圧	V_{MAX2}	10	32	V

(Note 7) GND1.基準

(Note 8) GND2.基準

絶縁特性

項目	記号	特性	単位
絶縁抵抗 ($V_{IO}=500\text{V}$)	R_s	>10 ⁹	Ω
絶縁耐電圧 (1min)	V_{ISO}	2500	Vrms
絶縁試験電圧 (1sec)	V_{ISO}	3000	Vrms

電気的特性

(特に指定のない限り、 $T_a = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $V_{CC1} = 4.5\text{V} \sim 5.5\text{V}$, $V_{CC2} = 10\text{V} \sim 24\text{V}$, $V_{EE2} = -12\text{V} \sim 0\text{V}$)

項目	記号	規格値			単位	条件
		最小	標準	最大		
全体						
入力側回路電流 1	I _{CC11}	0.38	0.51	0.64	mA	OUT1=L
入力側回路電流 2	I _{CC12}	0.38	0.51	0.64	mA	OUT1=H
入力側回路電流 3	I _{CC13}	0.47	0.62	0.77	mA	INA=10kHz, Duty=50%
入力側回路電流 4	I _{CC14}	0.54	0.72	0.90	mA	INA=20kHz, Duty=50%
出力側回路電流 1	I _{CC21}	1.5	2.0	2.5	mA	VCC2=14V, OUT1=L
出力側回路電流 2	I _{CC22}	1.3	1.8	2.3	mA	VCC2=14V, OUT1=H
出力側回路電流 3	I _{CC23}	1.6	2.2	2.8	mA	VCC2=18V, OUT1=L
出力側回路電流 4	I _{CC24}	1.3	1.9	2.5	mA	VCC2=18V, OUT1=H
出力側回路電流 5	I _{CC25}	1.8	2.5	3.2	mA	VCC2=24V, OUT1=L
出力側回路電流 6	I _{CC26}	1.5	2.1	2.7	mA	VCC2=24V, OUT1=H
ロジック						
ロジック H レベル入力電圧	V _{INH}	2.0	-	V _{CC1}	V	INA, INB, ENA
ロジック L レベル入力電圧	V _{INL}	0	-	0.8	V	INA, INB, ENA
ロジックプルダウン抵抗	R _{IND}	25	50	100	kΩ	INA, INB
ロジックプルアップ抵抗	R _{INU}	25	50	100	kΩ	ENA
ロジック入力マスク時間	t _{INMSK}	-	-	90	ns	INA, INB
ENA 入力マスク時間	t _{ENAMSK}	4	10	20	μs	ENA
出力						
出力ソース側オン抵抗	R _{ONH}	0.7	1.8	4.0	Ω	I _{OUT1H} =40mA
出力シンク側オン抵抗	R _{ONL}	0.4	0.9	2.0	Ω	I _{OUT1L} =40mA
出力最大電流	I _{OUTMAX}	3.0	4.5	-	A	VCC2=18V, 設計保証
PROOUT オン抵抗	R _{ONPRO}	0.4	0.9	2.0	Ω	I _{PROOUT} =40mA
Turn ON Time	t _{PONA}	90	115	150	ns	INA=PWM, INB=L
	t _{PONB}	100	125	160	ns	INA=H, INB=PWM
Turn OFF Time	t _{POFFA}	90	115	150	ns	INA=PWM, INB=L
	t _{POFFB}	80	105	140	ns	INA=H, INB=PWM
Propagation Distortion	t _{PDISTA}	-25	0	20	ns	t _{POFFA} - t _{PONA}
	t _{PDISTB}	-45	-20	0	ns	t _{POFFB} - t _{PONB}
Rise Time	t _{RISE}	-	50	-	ns	OUT1-VEE2 間 10nF
Fall Time	t _{FALL}	-	50	-	ns	OUT1-VEE2 間 10nF
OUT2 ソース側オン抵抗	R _{ON2H}	2.0	4.5	9.0	Ω	I _{OUT2} =10mA
OUT2 シンク側オン抵抗	R _{ON2L}	1.5	3.5	7.0	Ω	I _{OUT2} =10mA
OUT2 ON スレッシュホールド	V _{OUT2ON}	1.8	2	2.2	V	VEE2 基準
OUT2 出力遅延時間	t _{OUT2ON}	-	25	50	ns	
VREG 出力電圧	V _{REG}	9	10	11	V	VEE2 基準
同相過渡耐圧	CM	100	-	-	kV/μs	設計保証

電気的特性

(特に指定のない限り、 $T_a = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $V_{CC1} = 4.5\text{V} \sim 5.5\text{V}$, $V_{CC2} = 10\text{V} \sim 24\text{V}$, $V_{EE2} = -12\text{V} \sim 0\text{V}$)

保護機能						
入力側 UVLO OFF 電圧	V_{UVLO1H}	3.35	3.50	3.65	V	
入力側 UVLO ON 電圧	V_{UVLO1L}	3.25	3.40	3.55	V	
入力側 UVLO マスク時間	$t_{UVLO1MSK}$	4	10	30	μs	
出力側 UVLO OFF 電圧	V_{UVLO2H}	8.95	9.55	10.15	V	
出力側 UVLO ON 電圧	V_{UVLO2L}	8.45	9.05	9.65	V	
出力側 UVLO マスク時間	$t_{UVLO2MSK}$	4	10	30	μs	
SCPIN 端子電圧	V_{SCPIN}	-	0.1	0.22	V	$I_{SCPIN} = 1\text{mA}$
短絡検出電圧	V_{SCDET}	0.665	0.700	0.735	V	
短絡検出マスク時間	$t_{SCPMASK}$	0.55	0.8	1.05	μs	
ソフトターンオフ解除時間	t_{STO}	30		110	μs	
ゲート H 論理検出 スレッシュホールド電圧	V_{OSFBH}	4.5	5.0	5.5	V	GND2 基準
ゲート L 論理検出 スレッシュホールド電圧	V_{OSFBL}	4.0	4.5	5.0	V	GND2 基準
OSFB 出力 L 電圧	V_{OSFBOL}	-	0.18	0.40	V	$I_{OSFB} = 5\text{mA}$
OSFB 出力フィルタ時間	t_{OSFBON}	1.5	2.0	2.6	μs	
FLT 出力 L 電圧	$V_{FLT L}$	-	0.18	0.40	V	$I_{FLT} = 5\text{mA}$
FLTRLS スレッシュホールド	$V_{TFLTRLS}$	$0.64 \times V_{CC1}$ -0.1	$0.64 \times V_{CC1}$	$0.64 \times V_{CC1}$ +0.1	V	

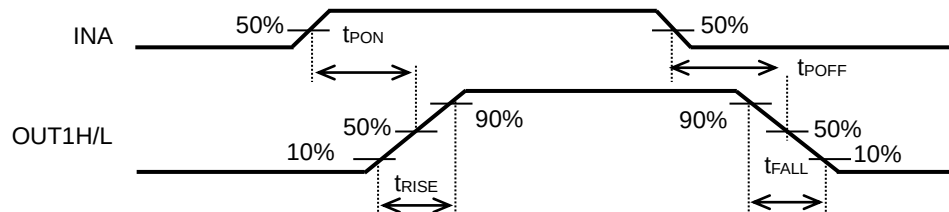


Figure 15. 入出力動作タイミングチャート

UL1577 レポート記載項目

Parameter	Values	Units	Conditions
Side 1 (Input Side) Circuit Current	0.51	mA	$V_{CC1} = 5.0\text{V}$, $\text{OUT1H/L} = \text{L}$
Side 2 (Output Side) Circuit Current	2.2	mA	$V_{CC2} = 18\text{V}$, $V_{EE2} = 0\text{V}$, $\text{UT1H/L} = \text{L}$
Side 1 (Input Side) Consumption Power	2.55	mW	$V_{CC1} = 5.0\text{V}$, $\text{OUT1H/L} = \text{L}$
Side 2 (Output Side) Consumption Power	39.6	mW	$V_{CC2} = 18\text{V}$, $V_{EE2} = 0\text{V}$, $\text{UT1H/L} = \text{L}$
Isolation Voltage	2500	Vrms	
Maximum Operating (Ambient) Temperature	125	$^{\circ}\text{C}$	
Maximum Junction Temperature	150	$^{\circ}\text{C}$	
Maximum Strage Temperature	150	$^{\circ}\text{C}$	
Maximum Data Transmission Rate	2.5	MHz	

特性データ（参考データ）

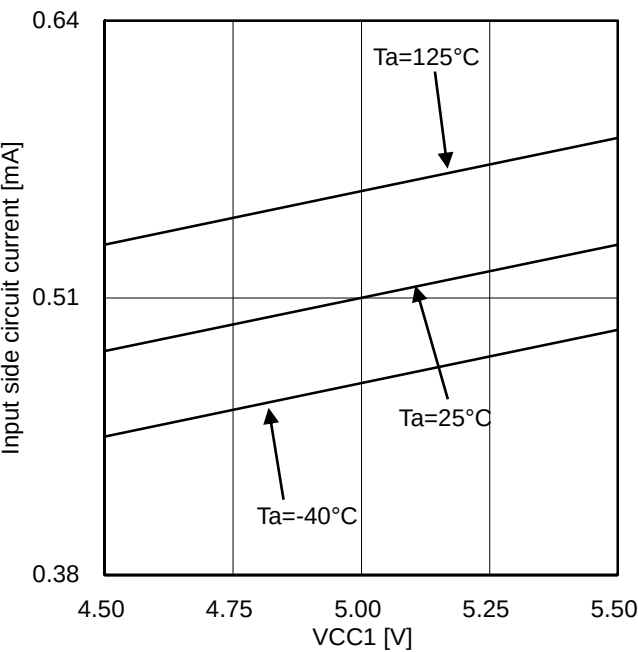


Figure 16. 入力側回路電流 vs VCC1
(OUT1=L)

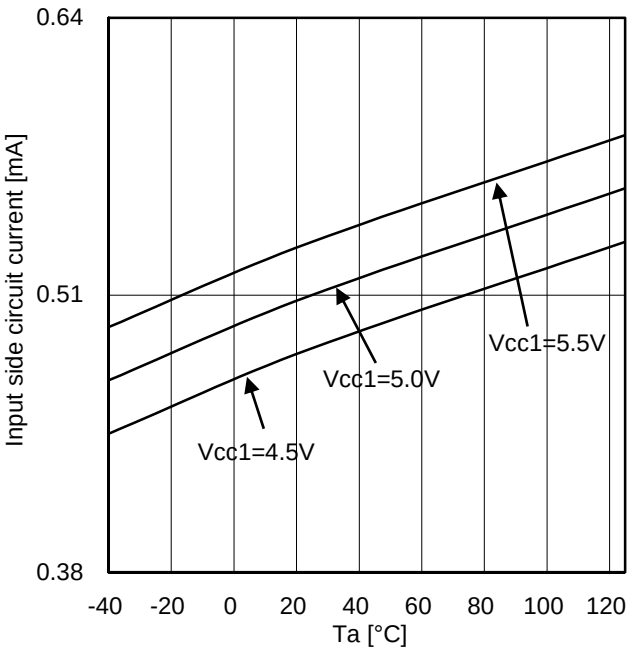


Figure 17. 入力側回路電流 vs 温度
(OUT1=L)

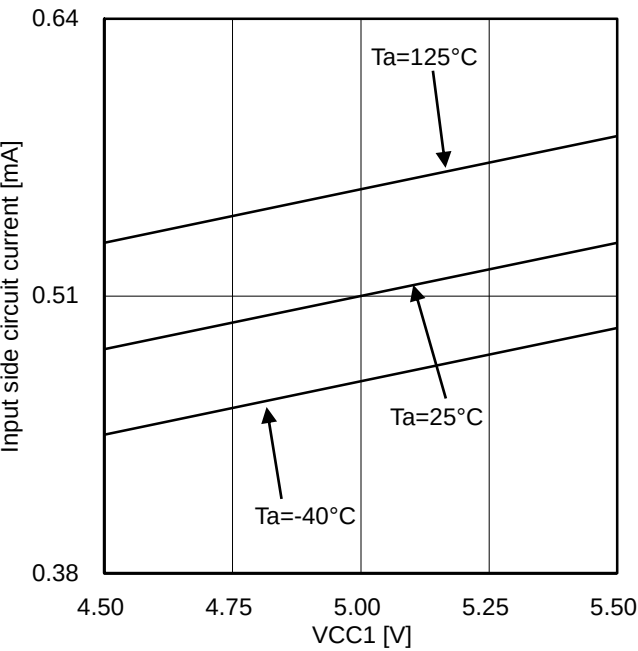


Figure 18. 入力側回路電流 vs VCC1
(OUT1=H)

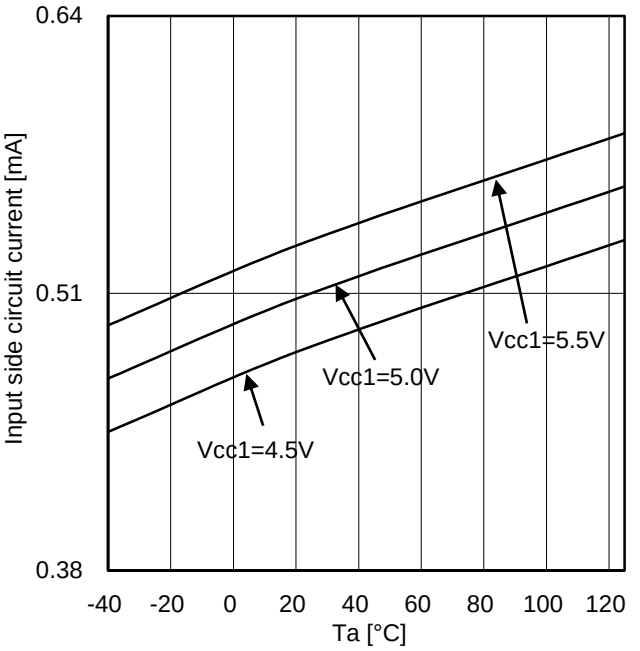


Figure 19. 入力側回路電流 vs 温度
(OUT1=H)

特性データ(参考データ) ー 続き

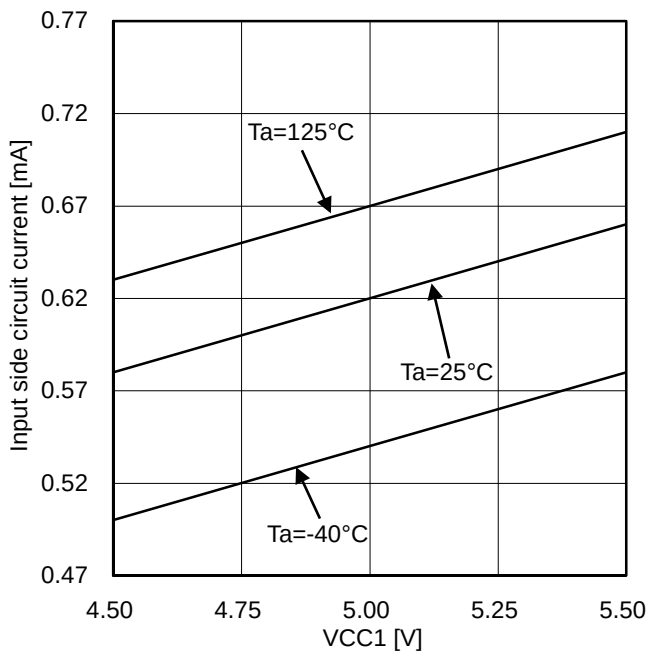


Figure 20. 入力側回路電流 vs VCC1
(INA=10kHz, Duty=50%)

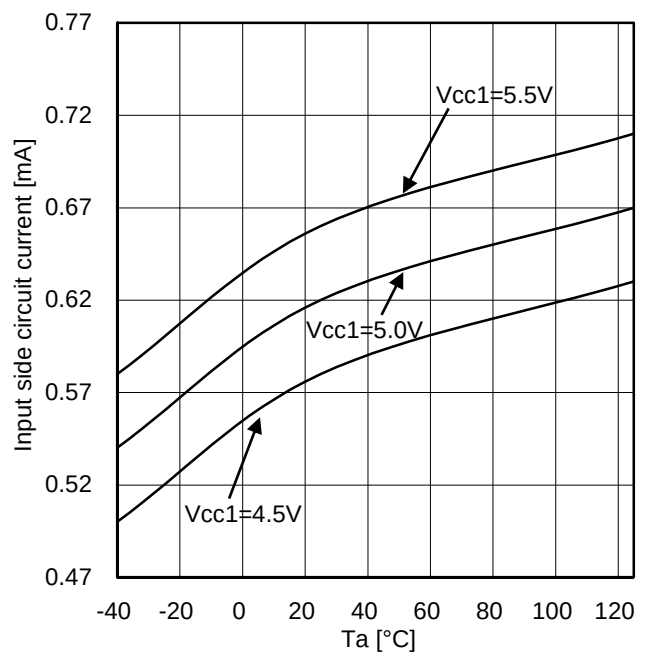


Figure 21. 入力側回路電流 vs 温度
(INA=10kHz, Duty=50%)

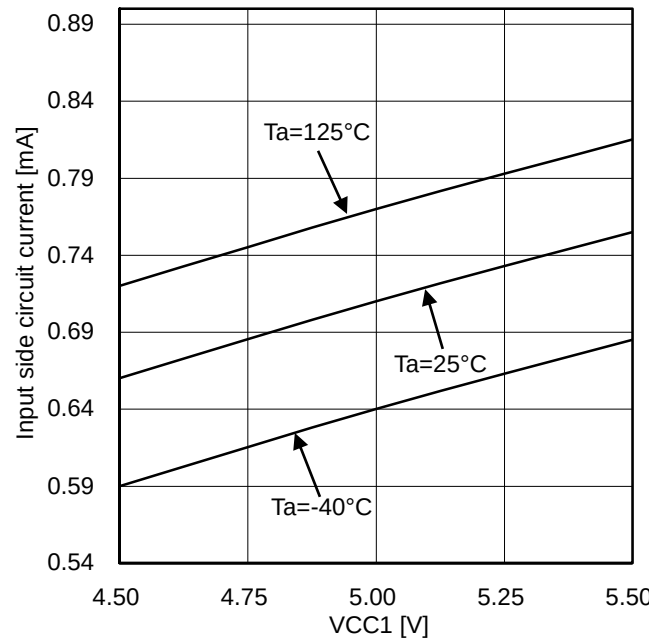


Figure 22. 入力側回路電流 vs VCC1
(INA=20kHz, Duty=50%)

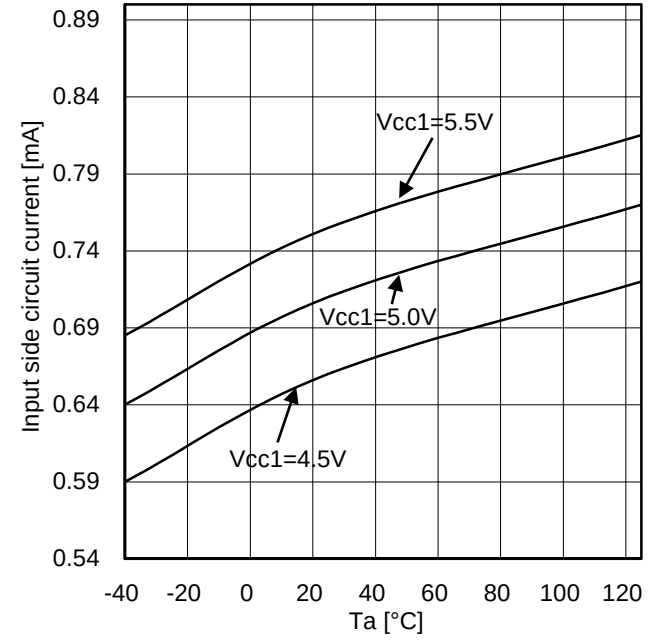


Figure 23. 入力側回路電流 vs 温度
(INA=20kHz, Duty=50%)

特性データ(参考データ) ー 続き

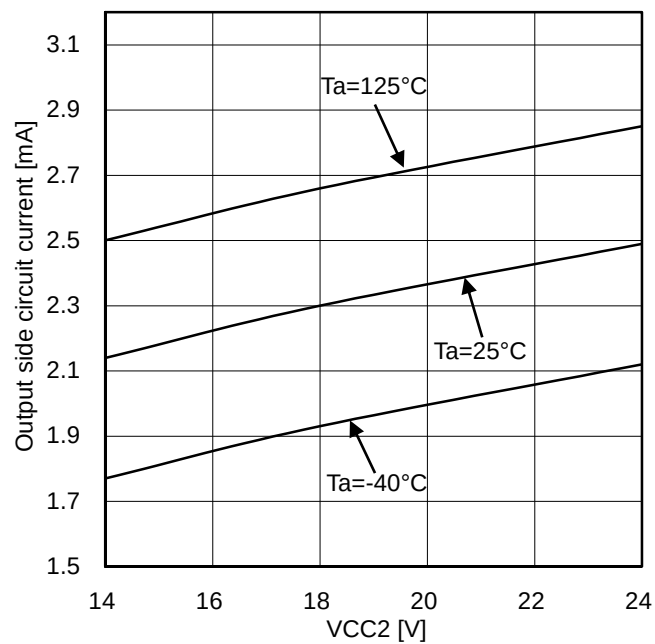


Figure 24. 出力側回路電流 vs VCC2
(OUT1=L)

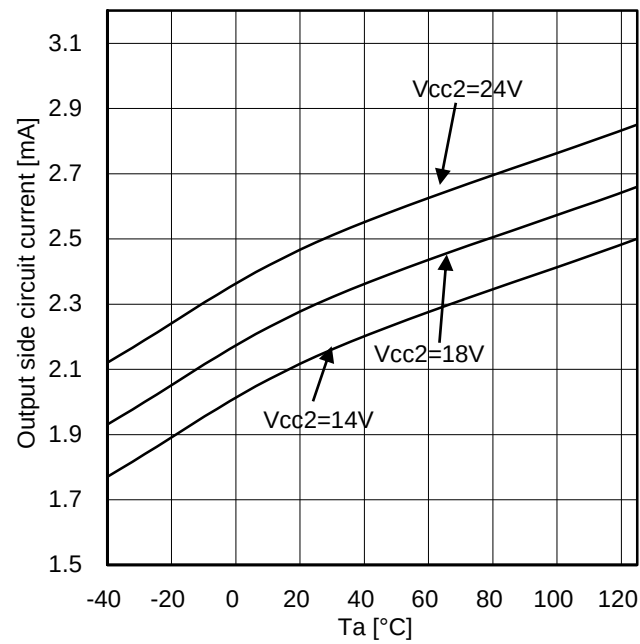


Figure 25. 出力側回路電流 vs 温度
(OUT1=L)

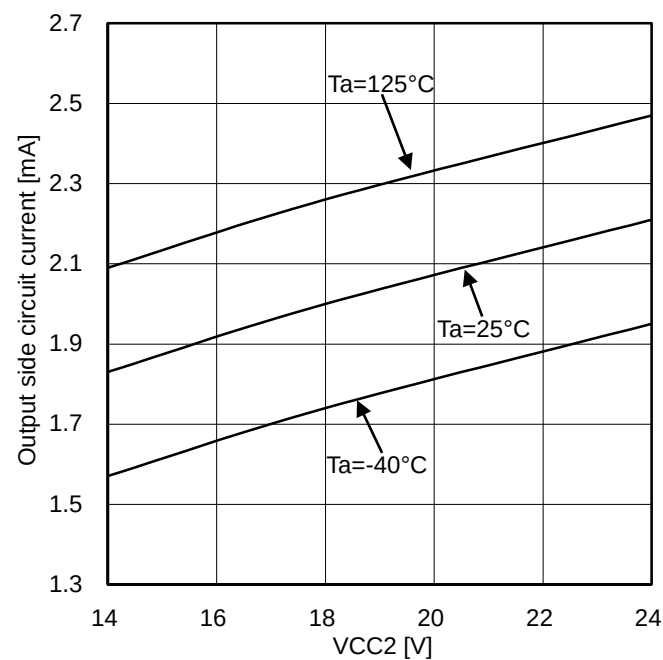


Figure 26. 出力側回路電流 vs VCC2
(OUT1=H)

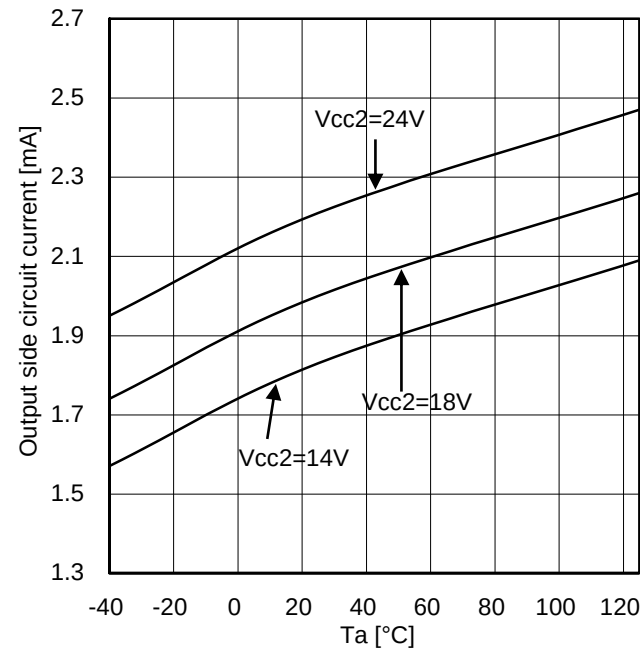


Figure 27. 出力側回路電流 vs 温度
(OUT1=H)

特性データ(参考データ) ー続き

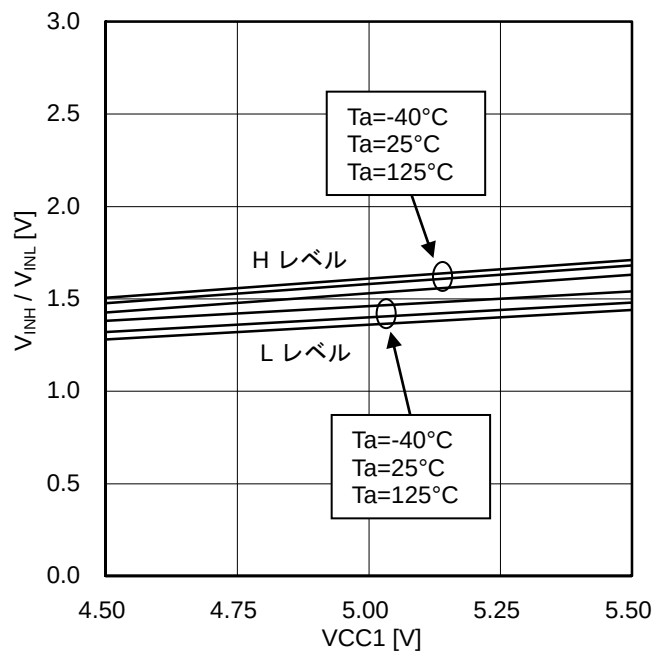


Figure 28. ロジック (INA/INB/ENA) H/L レベル
入力電圧 vs VCC1

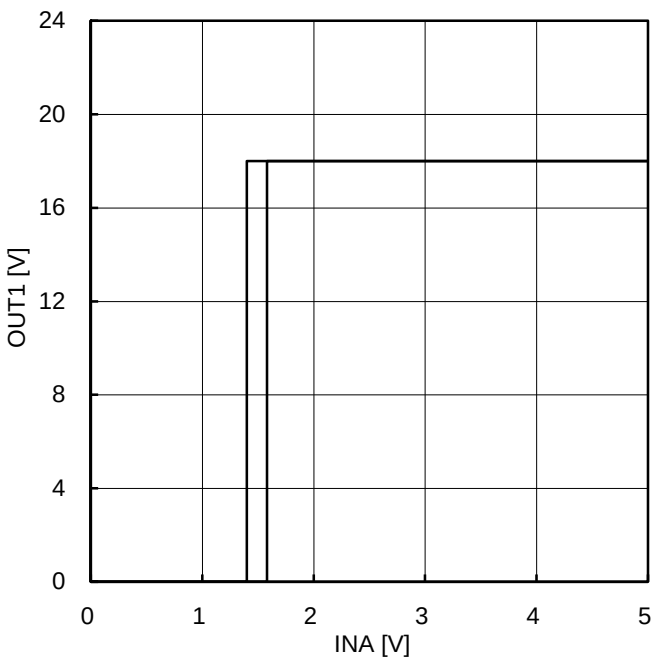


Figure 29. OUT1 出力電圧 vs INA 入力電圧
(VCC1=5V, VCC2=18V, Ta=25°C)

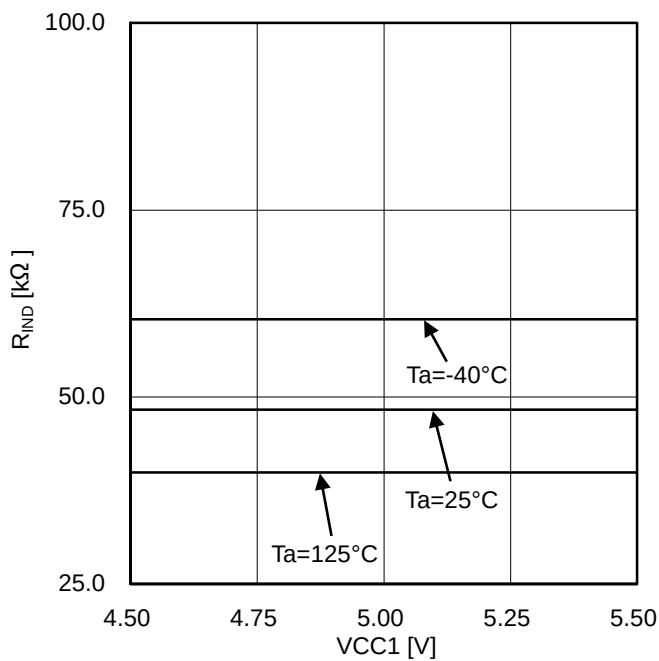


Figure 30. ロジックプルダウン抵抗 vs VCC1

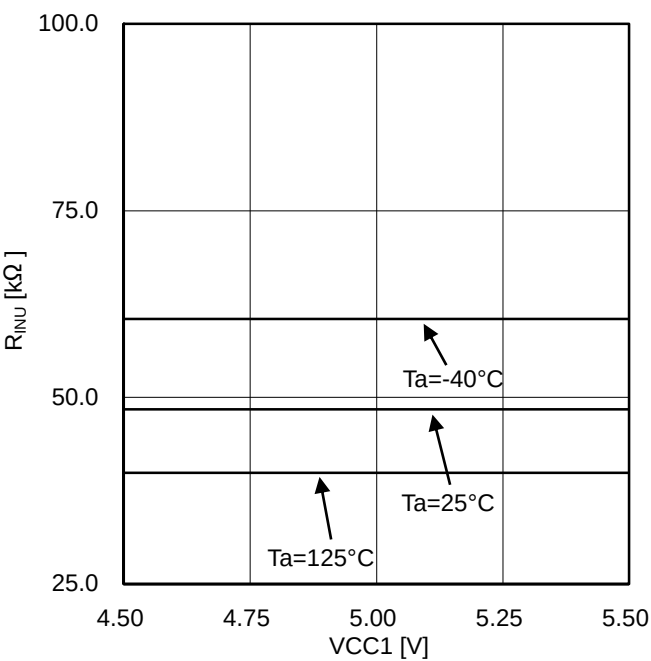


Figure 31. ロジックプルアップ抵抗 vs VCC1

特性データ(参考データ) ー 続き

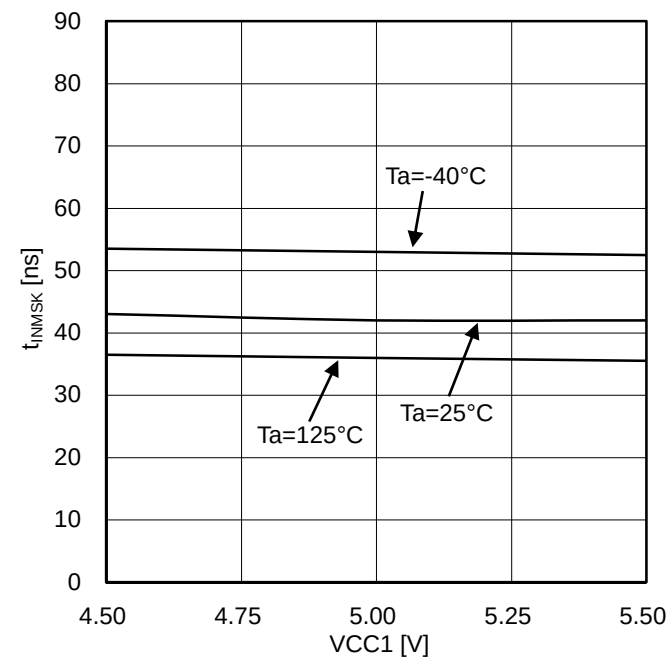


Figure 32. ロジック (INA/INB) 入力マスク時間 vs VCC1 (H パルス)

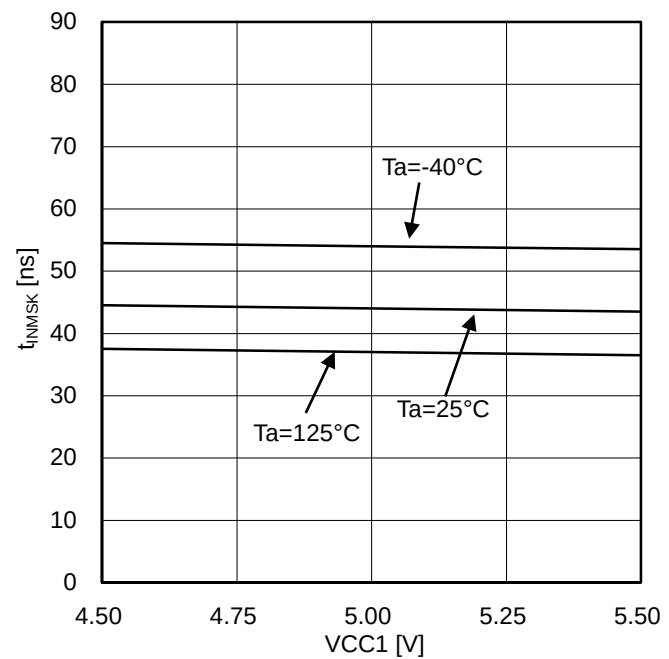


Figure 33. ロジック (INA/INB) 入力マスク時間 vs VCC1 (L パルス)

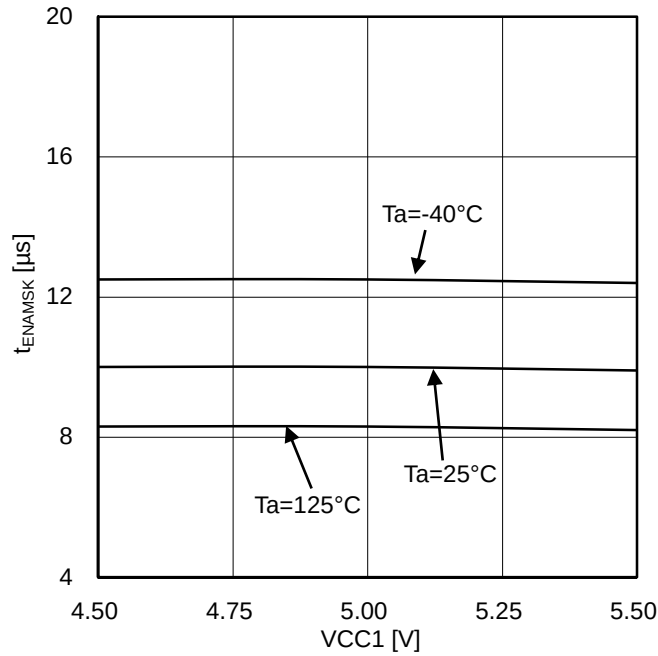


Figure 34. ENA 入力マスク時間 vs VCC1

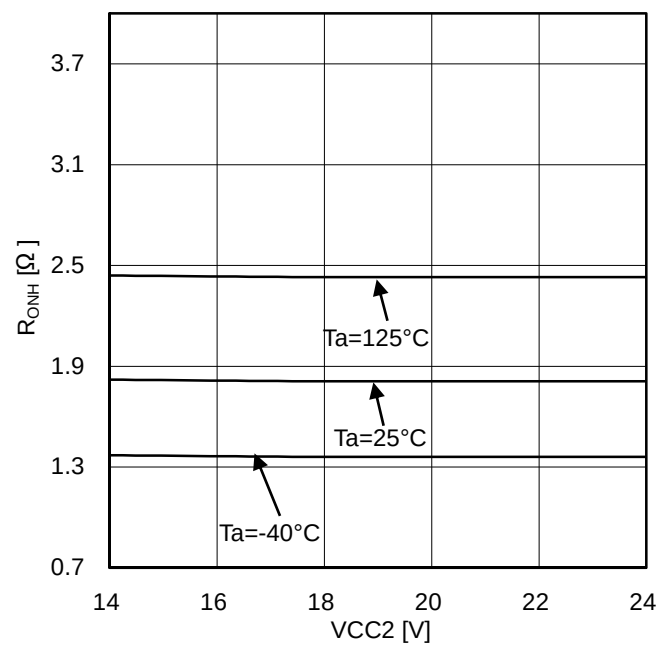


Figure 35. 出力ソース側オン抵抗 vs VCC2

特性データ(参考データ) ー 続き

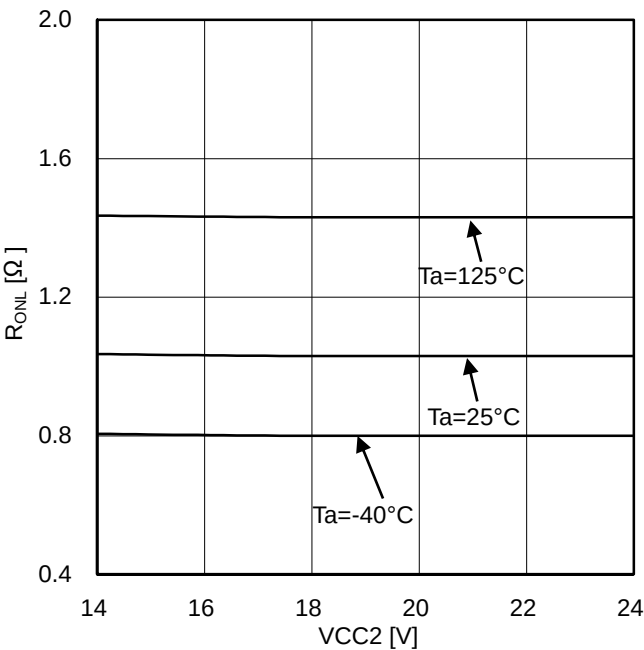


Figure 36. 出力シンク側オン抵抗 vs VCC2

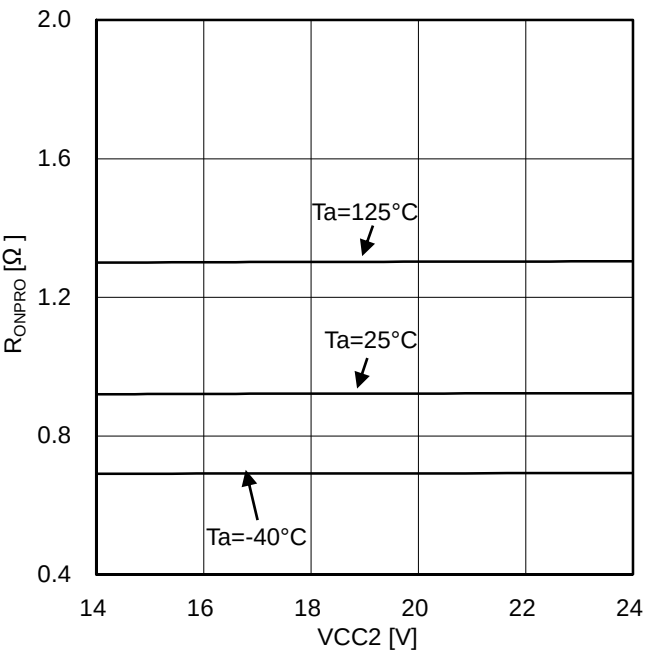


Figure 37. PROOUT オン抵抗 vs VCC2

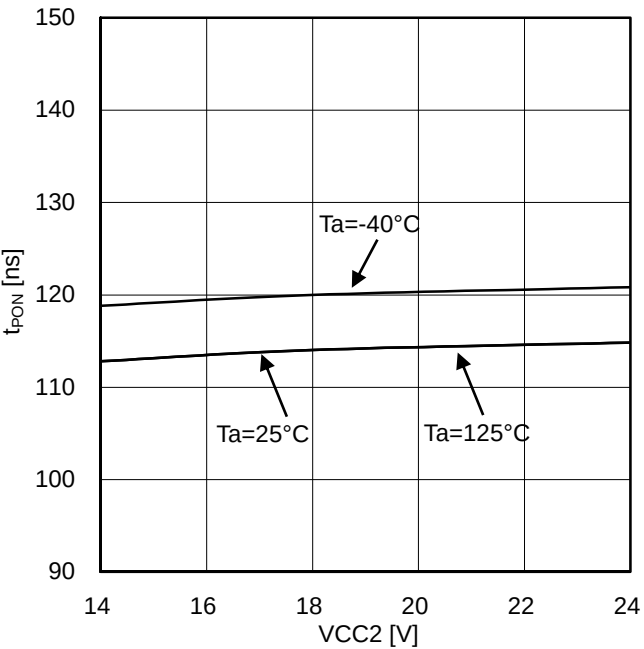


Figure 38. Turn ON time vs VCC2
(INA=PWM, INB=L)

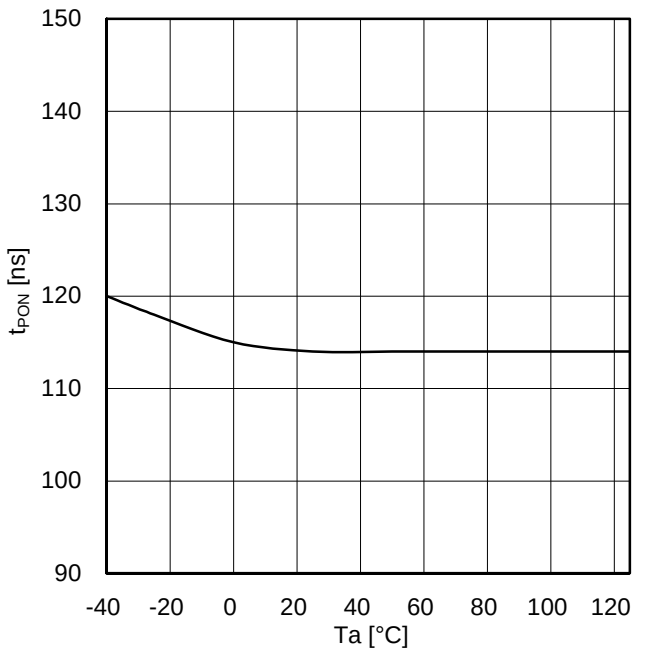


Figure 39. Turn ON time vs 温度
(VCC2=24V, INA=PWM, INB=L)

特性データ(参考データ) ー 続き

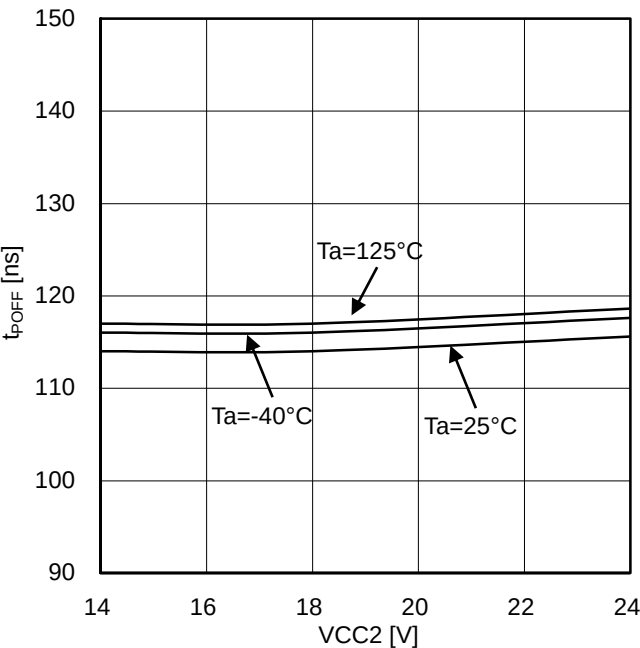


Figure 40. Turn OFF time vs VCC2
(INA=PWM, INB=L)

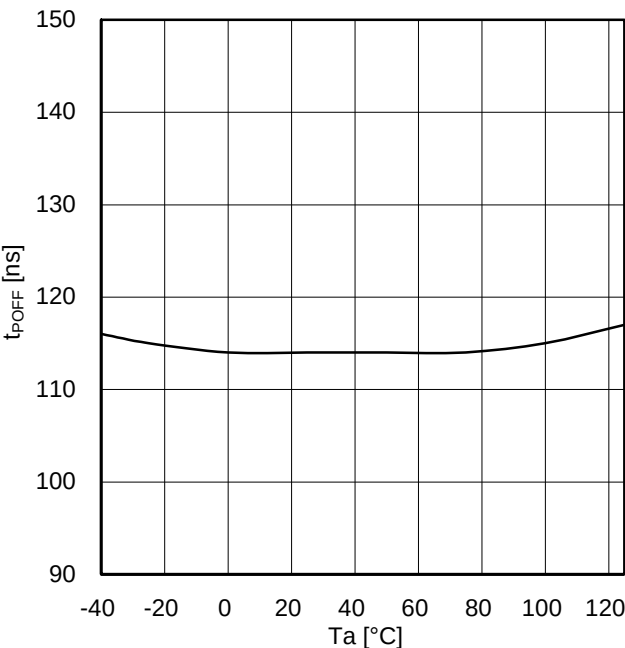


Figure 41. Turn OFF time vs 温度
(VCC2=24V, INA=PWM, INB=L)

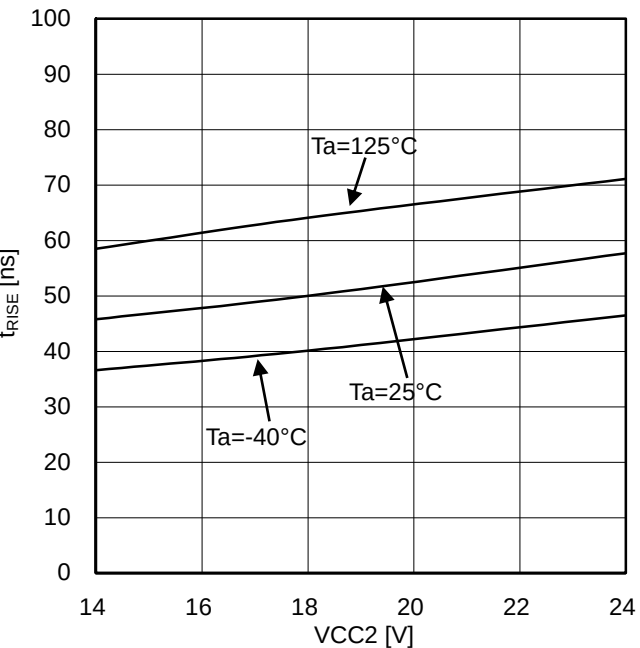


Figure 42. Rise time vs VCC2
(10nF between OUT1-VEE2)

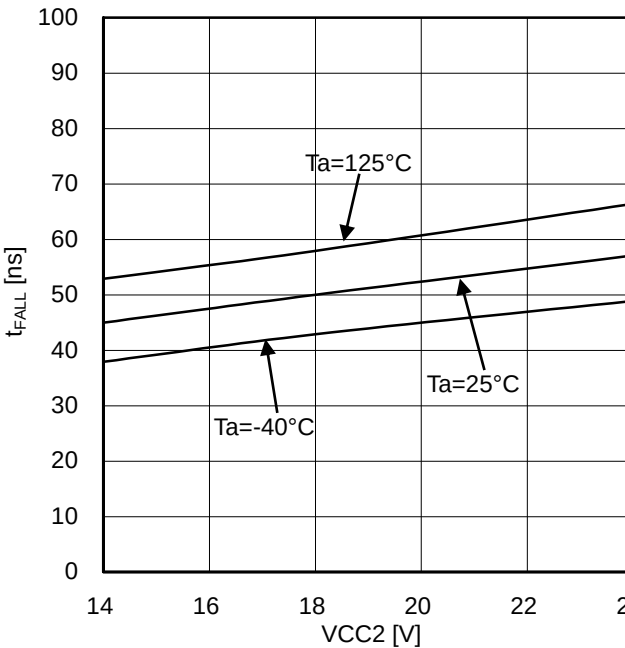


Figure 43. Fall time vs VCC2
(10nF between OUT1-VEE2)

特性データ(参考データ) ー 続き

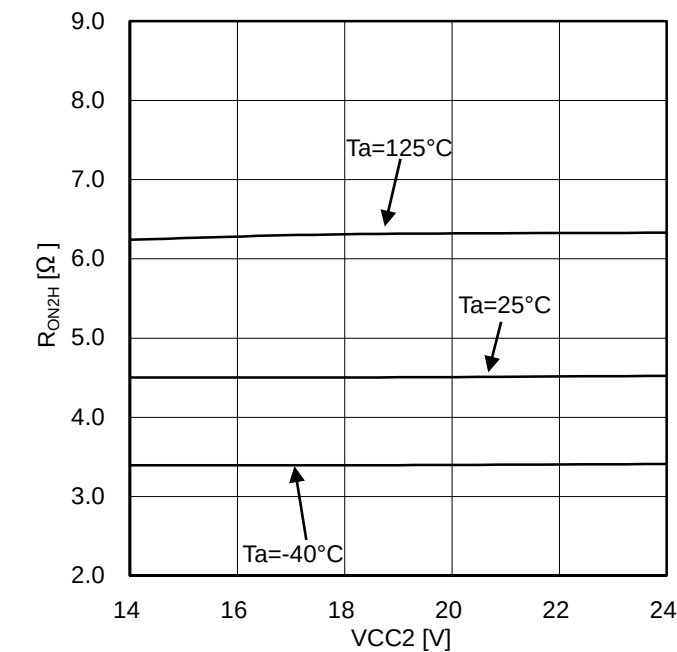


Figure 44. OUT2 ソース側オン抵抗 vs VCC2

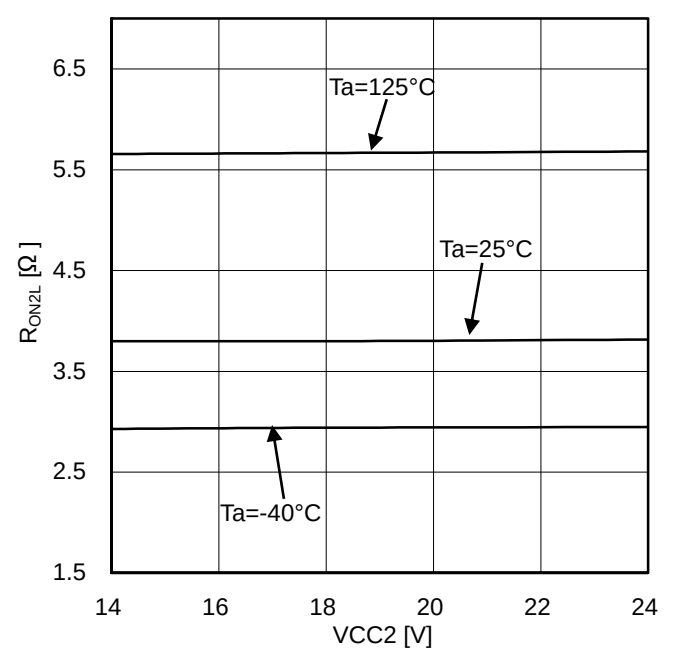


Figure 45. OUT2 シンク側オン抵抗 vs VCC2

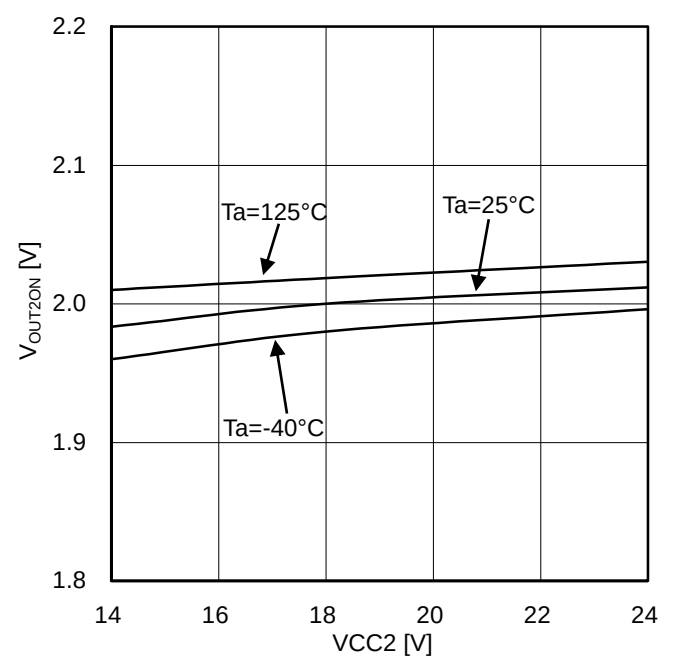


Figure 46. OUT2 ON スレッシュホールド vs VCC2

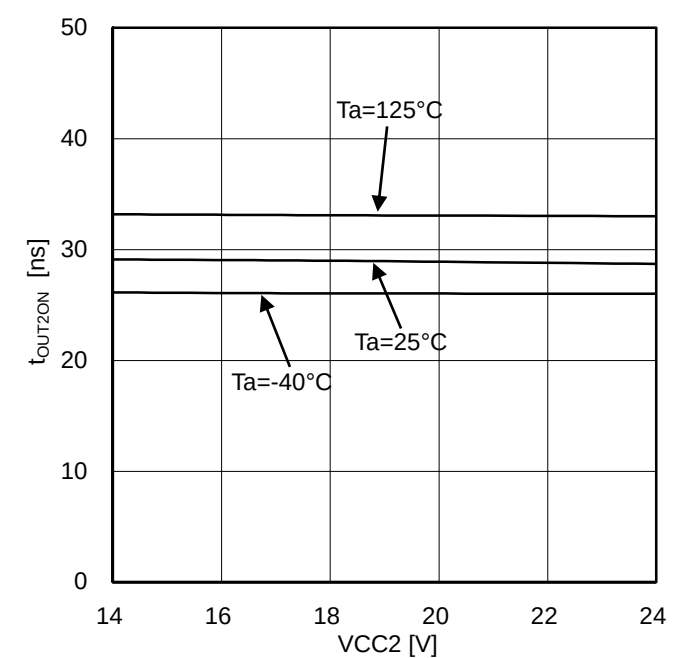


Figure 47. OUT2 出力遅延時間 vs VCC2

特性データ(参考データ) ー 続き

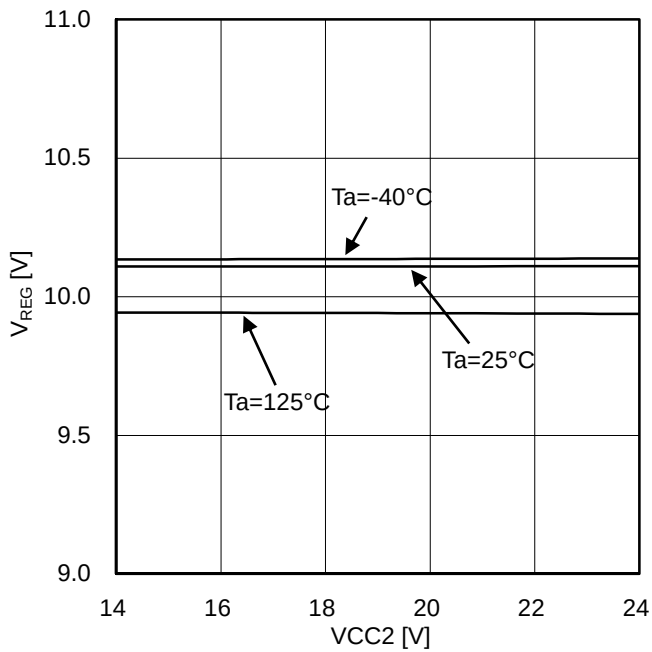


Figure 48. VREG 出力電圧 vs VCC2

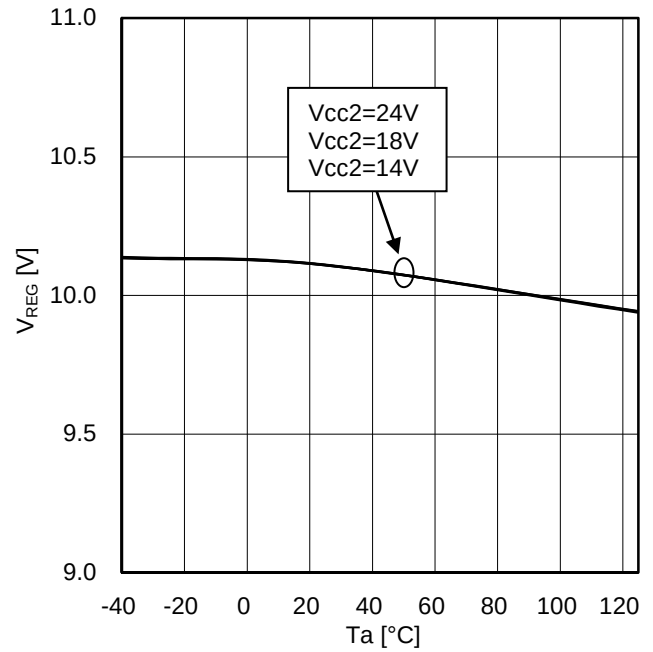


Figure 49. VREG 出力電圧 vs 温度

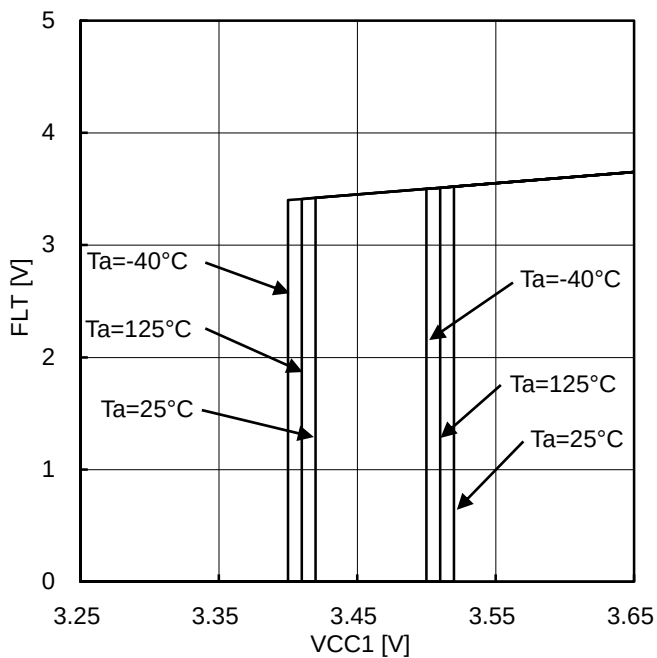
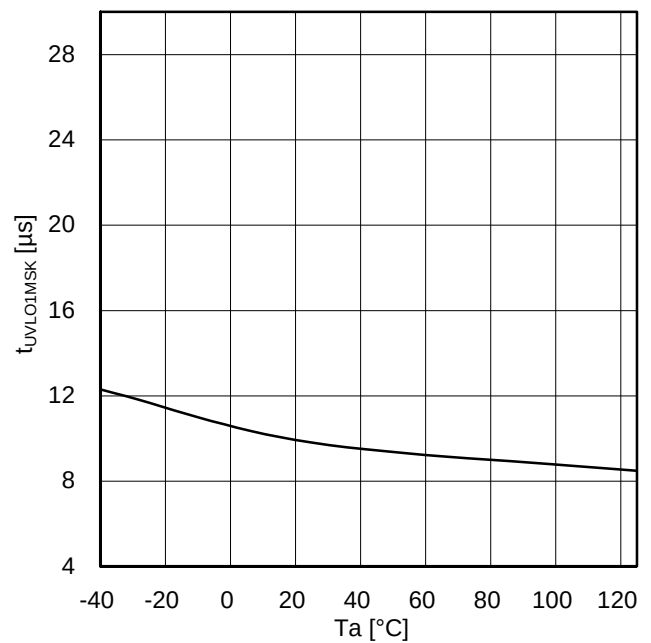
Figure 50. FLT 出力電圧 vs VCC1
(入力側 UVLO ON/OFF 電圧)

Figure 51. 入力側 UVLO マスク時間 vs 温度

特性データ(参考データ) ー 続き

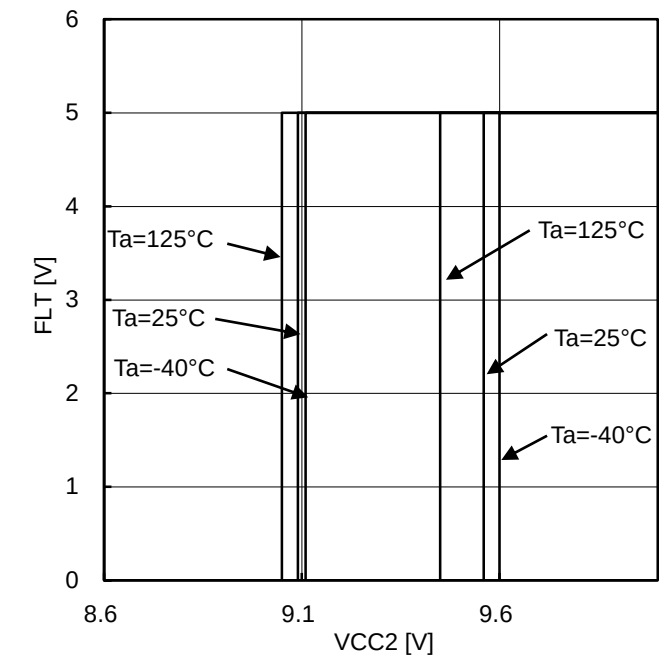


Figure 52. FLT 出力電圧 vs VCC2
(出力側 UVLO ON/OFF 電圧, VCC1=5V)

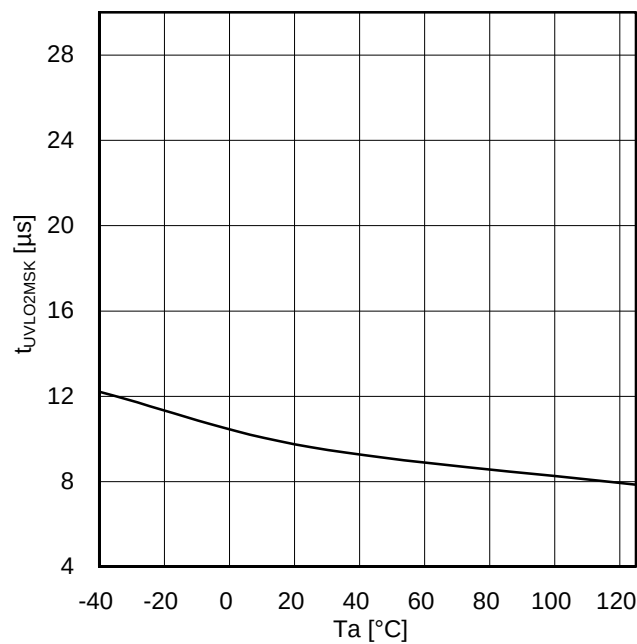


Figure 53. 出力側 UVLO マスク時間 vs 温度

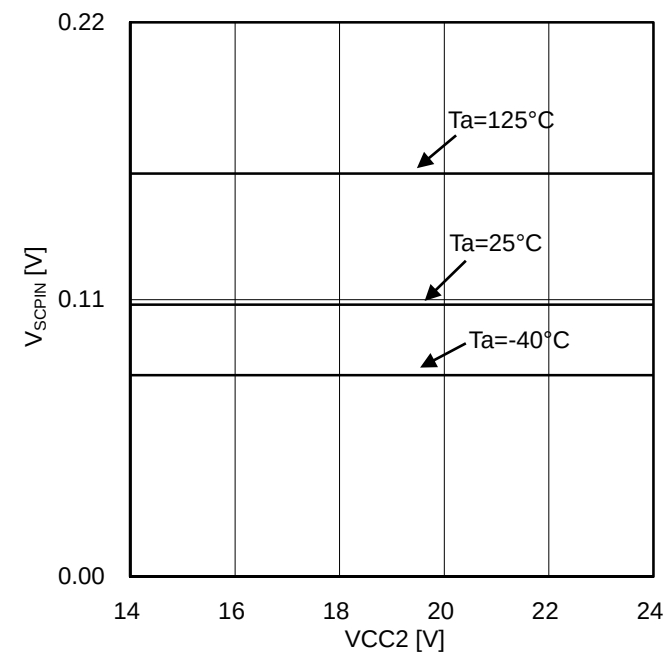


Figure 54. SCPIN 端子電圧 vs VCC2
(ISCPIN=1mA)

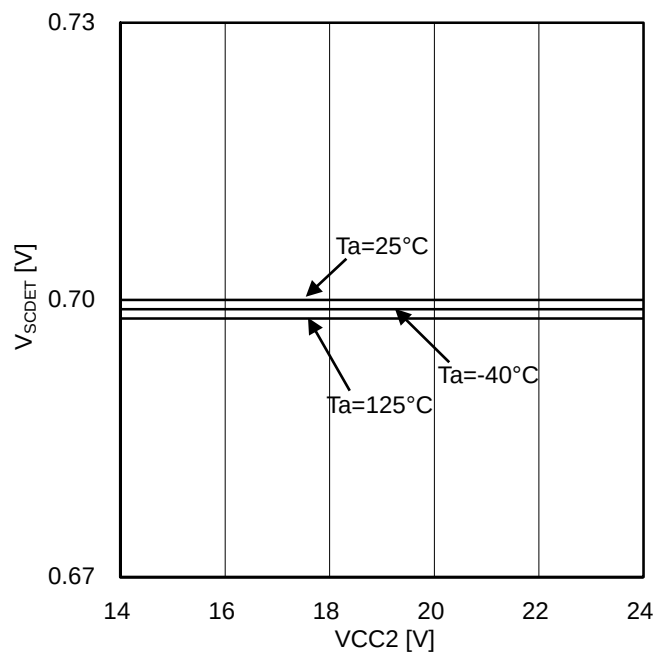


Figure 55. 短絡検出電圧 vs VCC2

特性データ(参考データ) ー 続き

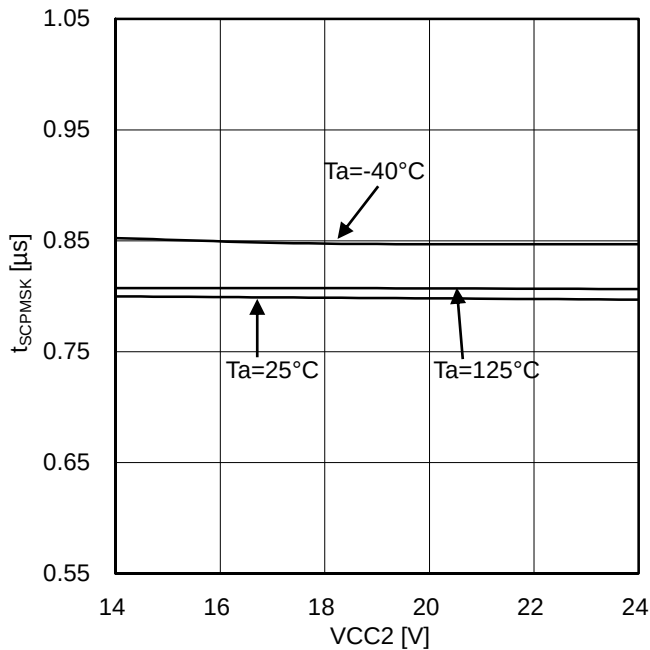


Figure 56. 短絡検出マスク時間 vs VCC2

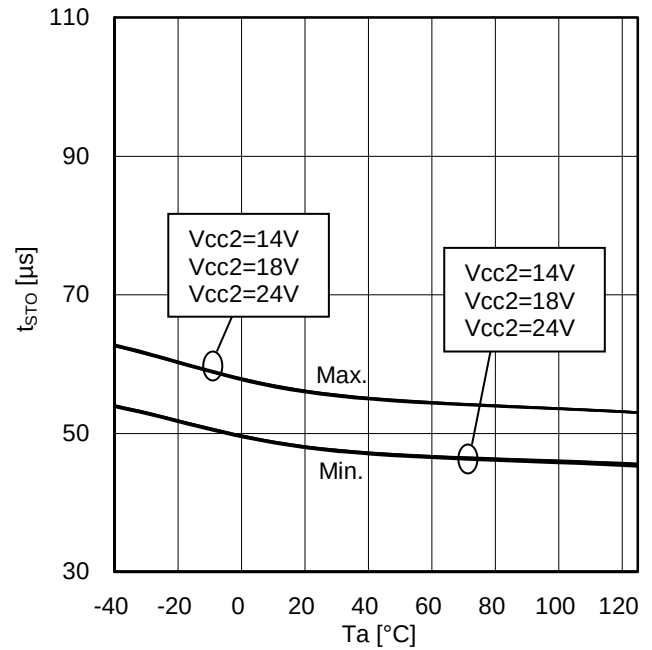


Figure 57. ソフトターンオフ解除時間 vs 温度

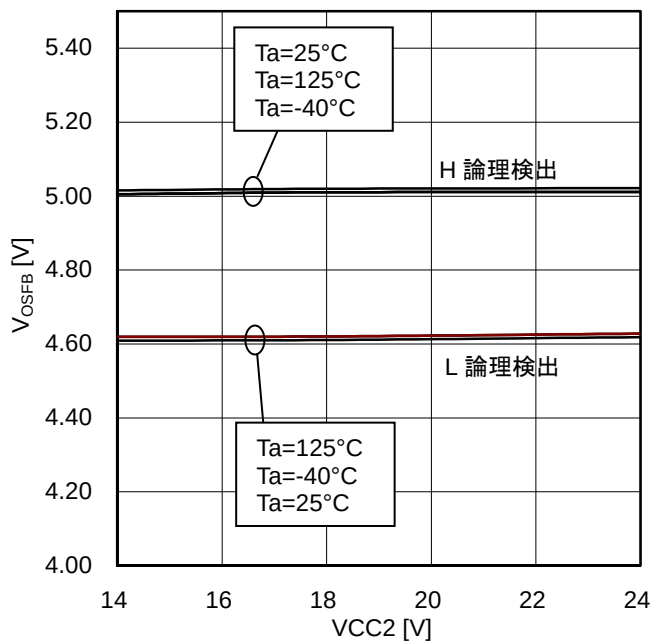


Figure 58. ゲート論理検出 H/L スレッシュホールド電圧 vs VCC2

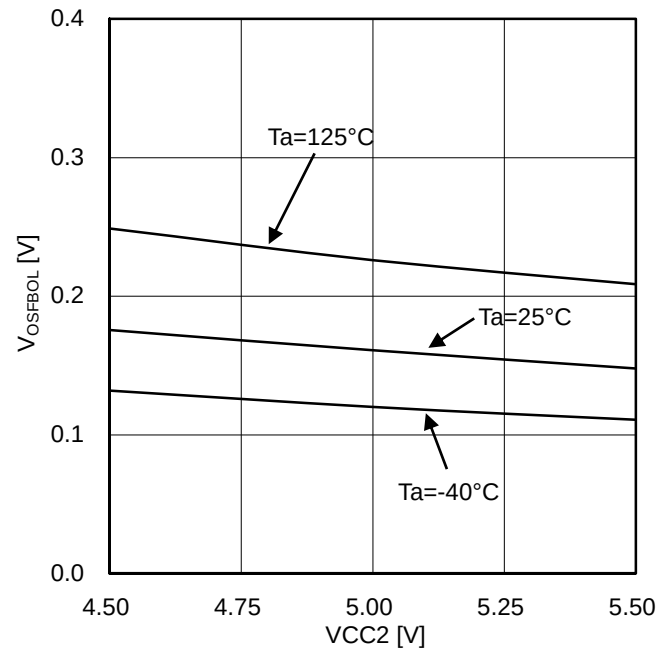


Figure 59. OSFB 端子出力 L 電圧 vs VCC2 (IOSFB=5mA)

特性データ(参考データ) ー 続き

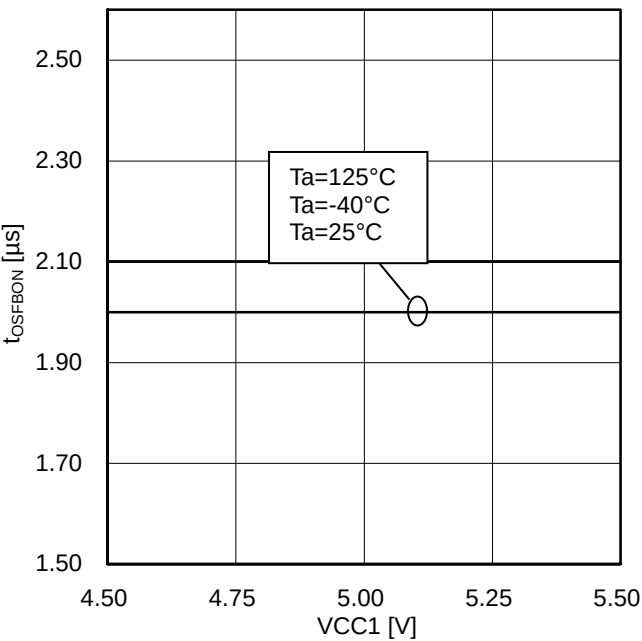


Figure 60. OSFB 出力フィルタ時間 vs VCC1

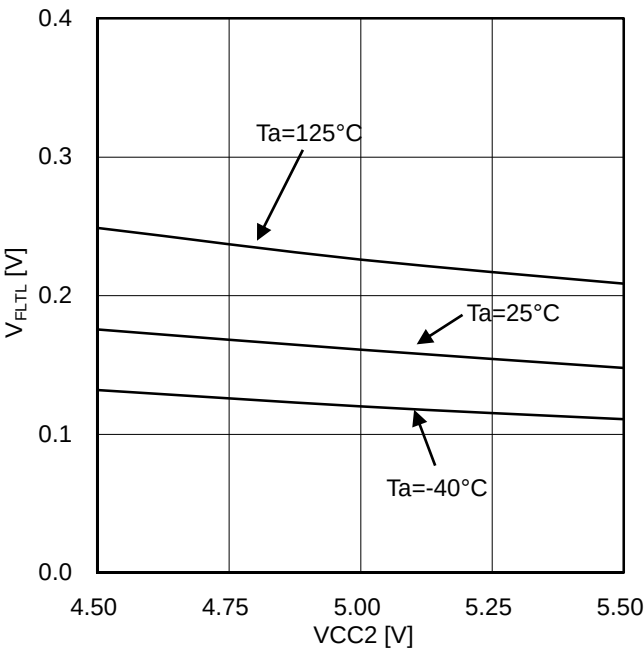


Figure 61. FLT 出力 L 電圧 vs VCC2
(IFLT=5mA)

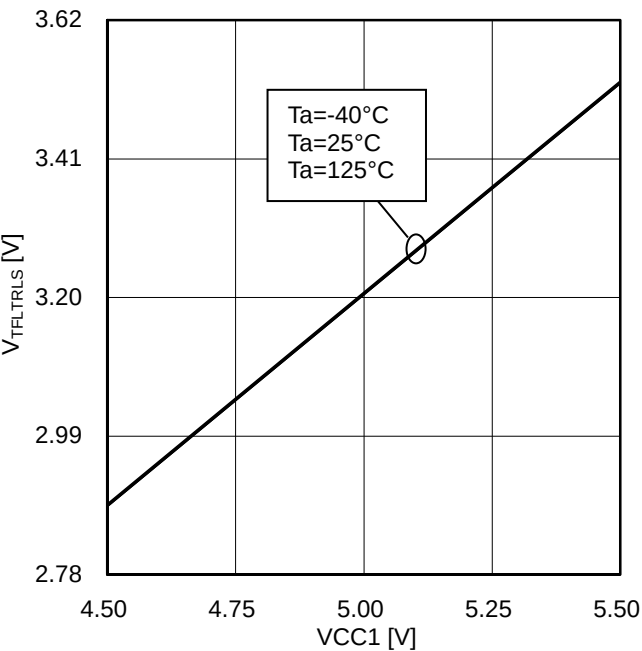
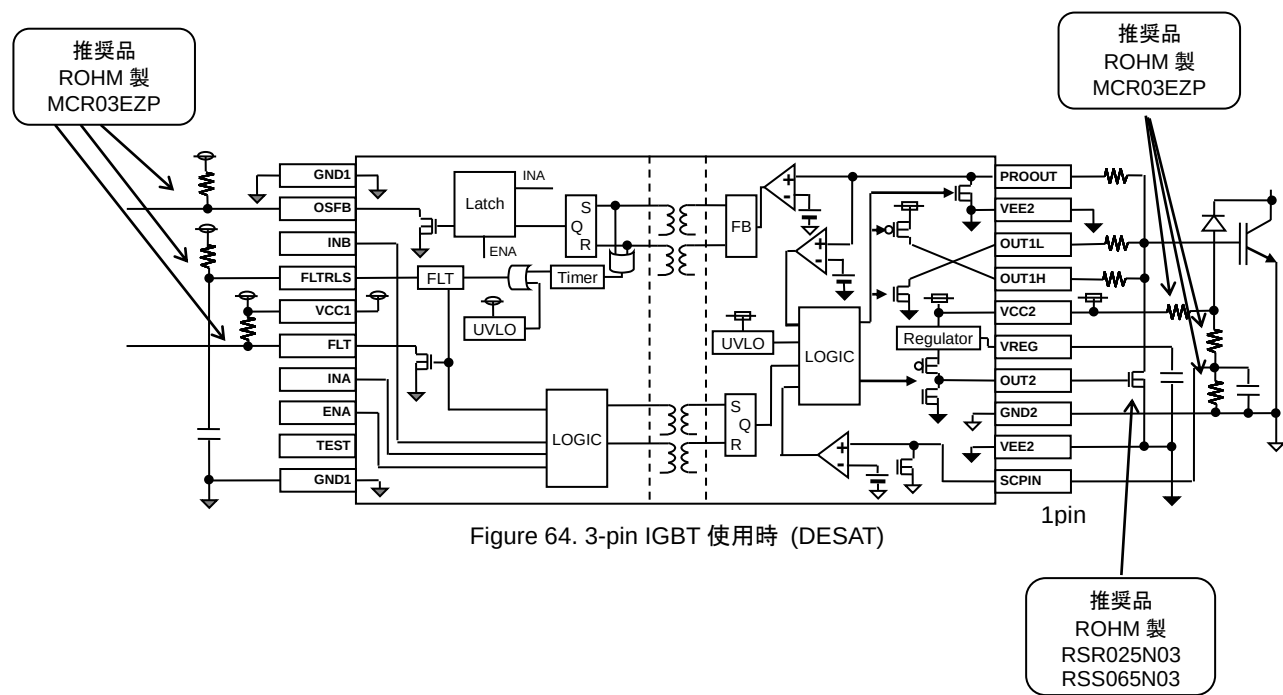
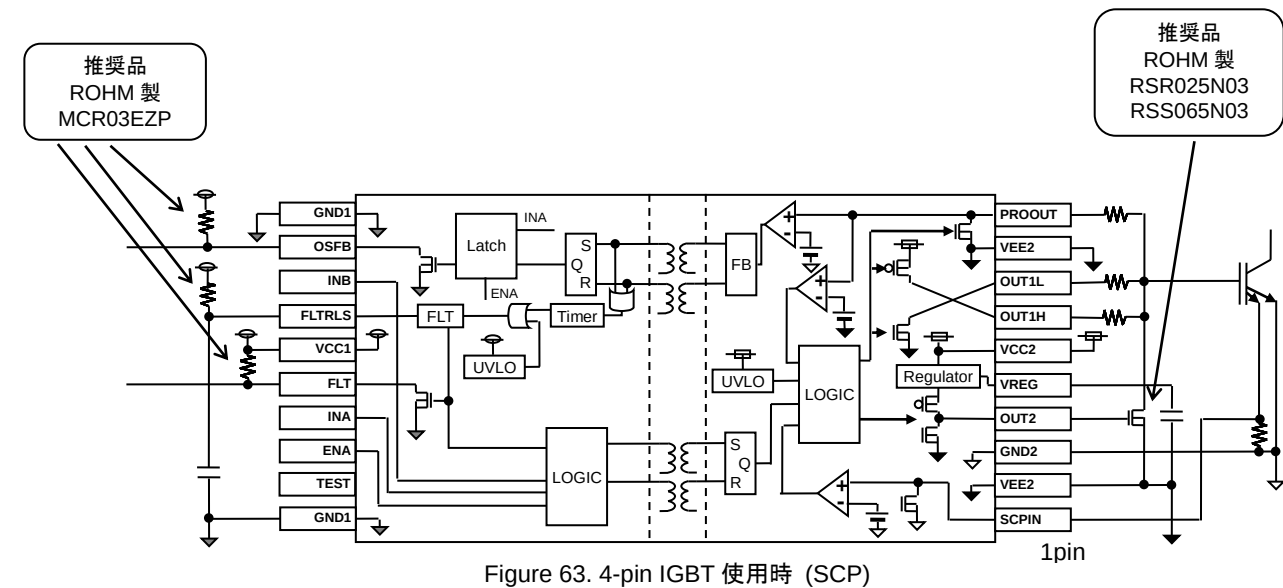


Figure 62. FLTRLS スレッシュホールド電圧 vs VCC1

推奨外付け部品



熱軽減特性

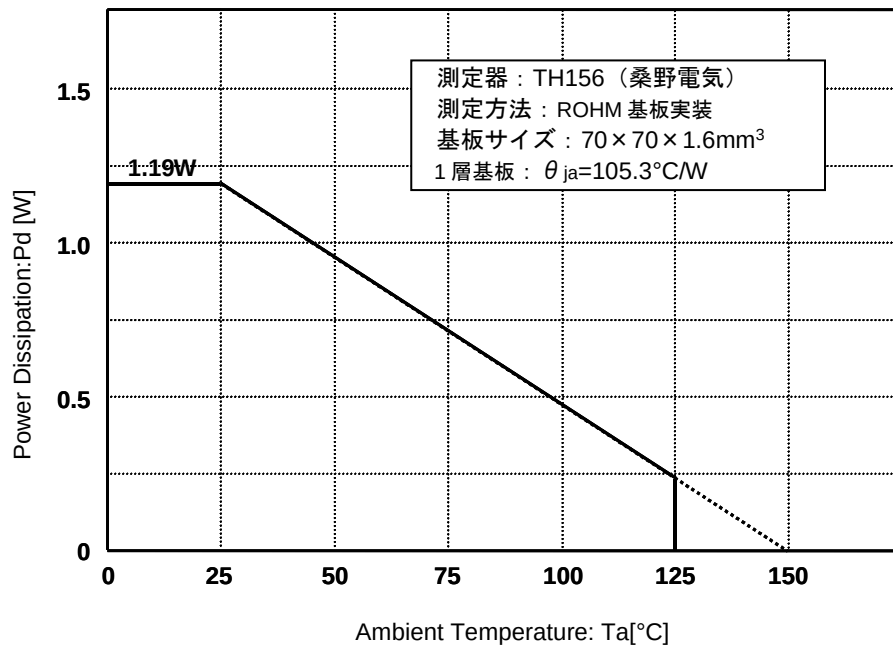


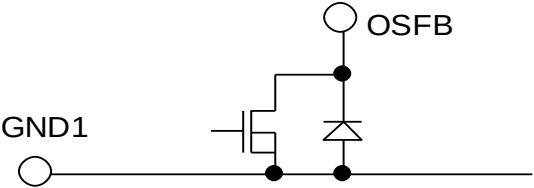
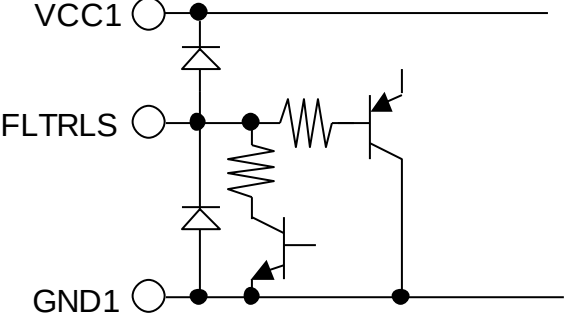
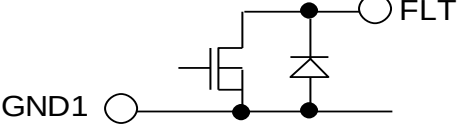
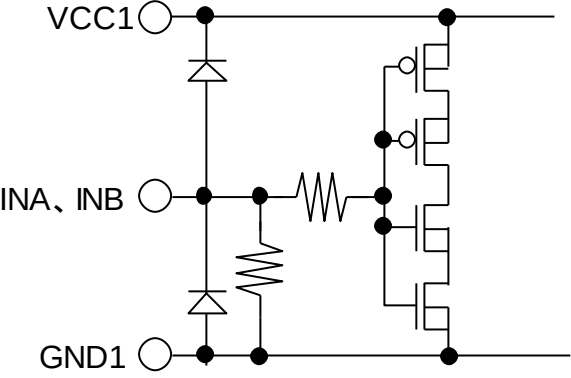
Figure 65. SSOP-B20W 熱軽減曲線

熱損失について

ICの消費電力（P）、パッケージパワー（ P_d ）、周囲温度（ T_a ）を考慮して、ICのチップ温度（ T_j ）が150°Cを超えないように設計してください。 $T_j=150^{\circ}\text{C}$ を超えると半導体としての機能が働かなくなり、寄生素子の異常動作、リーク電流増大などの問題が発生します。常時このような状況下で使用されますと、ICの劣化、更には破壊に至ることがあります。いかなる状況下においても、 $T_{j\max}=150^{\circ}\text{C}$ は厳守してください。

入出力等価回路図

端子番号	端子名	入出力等価回路図
	端子機能	
1	SCPIN	
	短絡検出端子	
4	OUT2	
	ミラーランプ用 MOS FET 制御端子	
5	VREG	
	ミラーランプ用 MOS FET 駆動用電源端子	
7	OUT1H	
	ソース側出力端子	
8	OUT1L	
	シンク側出力端子	
10	PROOUT	
	ソフトターンオフ出力端子	

Pin No.	端子名	入出力等価回路図
	端子機能	
12	OSFB	
	出力ゲート状態監視出力端子	
14	FLTRLS	
	フォールト出力保持時間設定端子	
16	FLT	
	フォールト出力端子	
13	INB	
	制御入力端子 B	
17	INA	
	制御入力端子 A	

Pin No.	端子名	入出力等価回路図
	端子機能	
18	ENA	
	入力許可信号入力端子	
19	TEST	
	テストモード設定端子	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源ーグラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失は、70mm x 70mm x 1.6mm ガラスエポキシ基板実装時、放熱板なし時の値であり、これを超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。推奨動作範囲内であっても電圧、温度特性を示します。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源およびグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

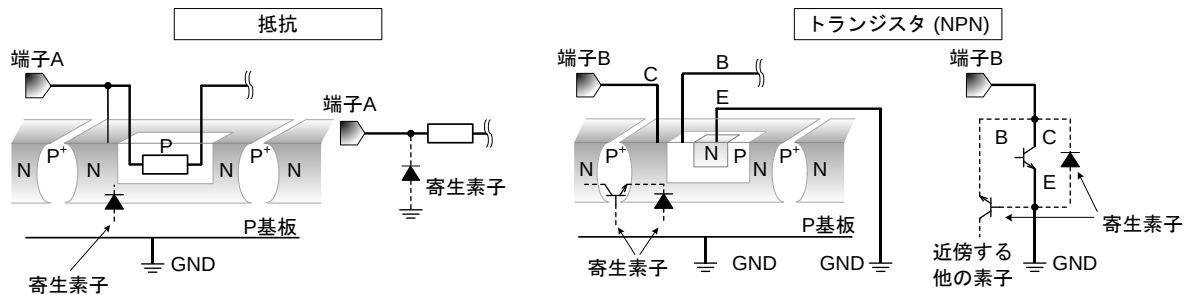


Figure 66. モノリシック IC 構造例

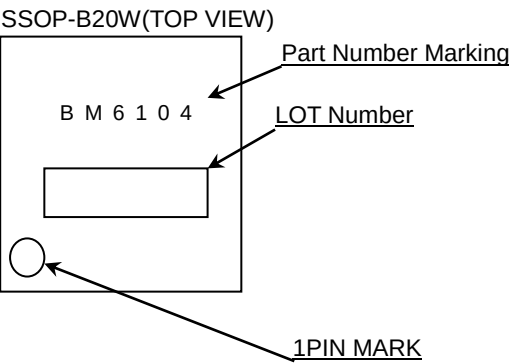
13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

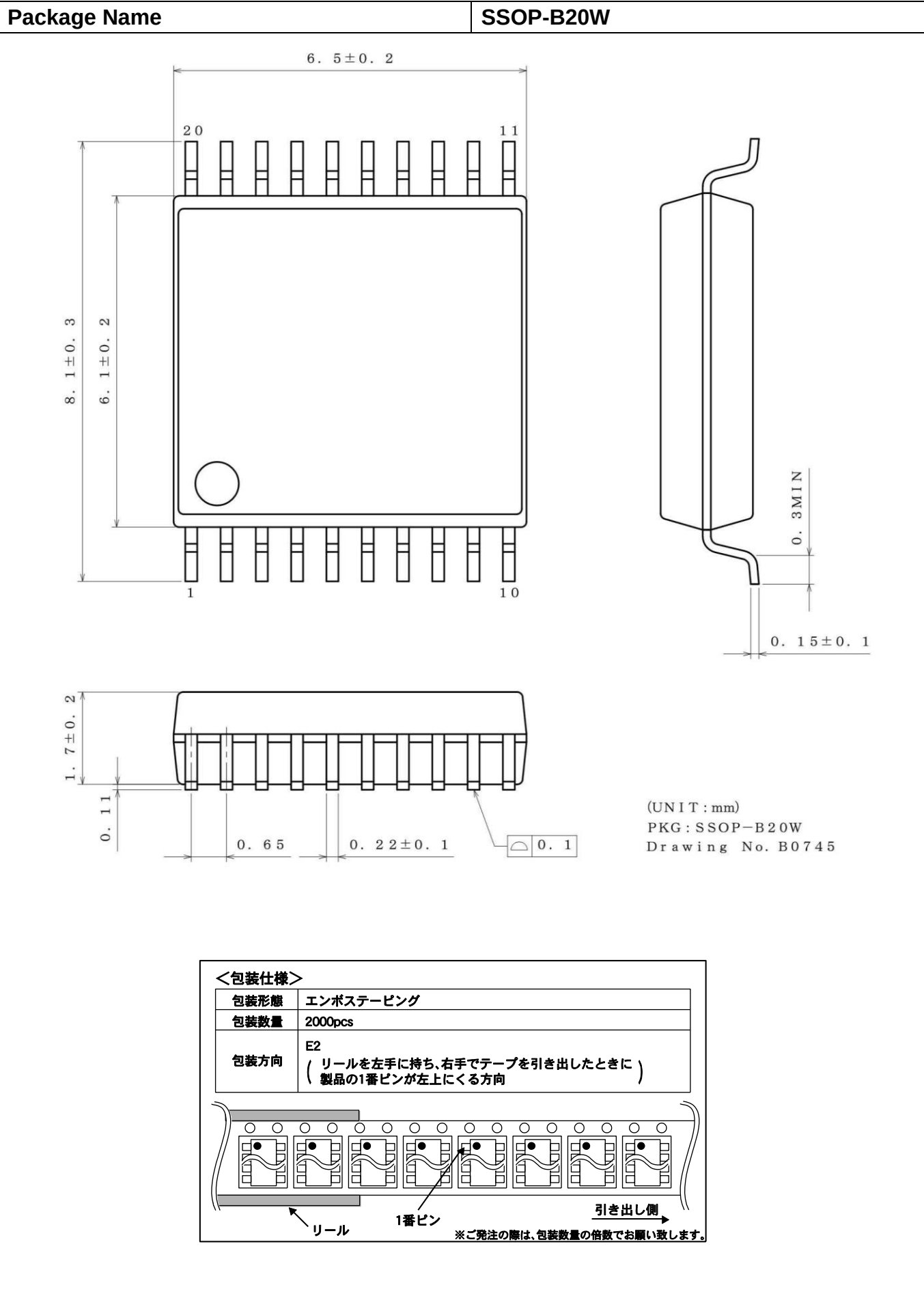
発注形名情報

B M 6 1 0 4 F V							-	CE 2	
品名							パッケージ FV:SSOP-B20W	製品ランク C:車載ランク製品 包装、フォーミング仕様 E2:リール状エンボステーパーピング	

標印図



外形寸法図と包装・フォーミング仕様



改定履歴

日付	版	変更内容
2013.11.06	001	新規リリース
2014.01.23	002	13 ページ : 電気的特性 '出力側 UVLO OFF 電圧' 変更 13 ページ : 電気的特性 '出力側 UVLO ON 電圧' 変更 26 ページ : 推奨外付け部品 誤記訂正
2015.05.20	003	1 ページ : 特長 項目追加(UL 認定品) 3 ページ : 端子説明 FLT 端子誤植修正 4 ページ : 端子説明 TEST 端子説明追加 7 ページ : 機能動作説明 Figure 10 誤植修正
2015.12.25	004	11 ページ : 推奨動作条件誤植修正 13 ページ : UL1577 レポート記載項目追加

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。