

TFT-LCD パネル用電源 IC シリーズ

車載パネル向けパワーマネジメント IC

BM81810MUV-M

概要

BM81810MUV-M は、液晶パネルを使用するカーナビ、車載用パネル、及びインストルメントパネル向けのパワーマネジメント IC です。

この IC は、液晶パネル駆動に必要な VCOM 電圧・SOURCE 電圧・GATE 電圧・LOGIC 電圧の電力供給に加えてゲートパルス変調 (GPM) 機能を有しています。さらに、この IC は、シーケンスと出力電圧設定保持のために、内蔵 EEPROM を備えています。

重要特性

- 入力電圧範囲: 2.6V ~ 5.5V
- AVDD 出力電圧範囲: 5.0V ~ 17.0V
- VGH 出力電圧範囲: 8.0V ~ 35.0V
- VGL 出力電圧範囲: -4.0V ~ -14.0V
- VDD 出力電圧範囲: 0.9V ~ 3.4V
- VCOM 出力電流: 200 mA (Typ)
- スイッチング周波数: 525kHz、1.05MHz、2.1MHz
- 動作温度範囲: -40°C ~ +105°C
- スタインバイ電流: 2.0 μ A (Typ)

特殊特性

- AVDD 出力電圧精度: $\pm 2\%$
- スイッチング周波数精度: $\pm 10\%$

用途

液晶パネルを使用するカーナビ、車載用パネル、及びインストルメントパネル向け

特長

- AEC-Q100 対応 (Note 1)
- VDD 出力用同期整流降圧 DC/DC コンバータまたは LDO
- AVDD 出力用同期整流昇圧 DC/DC コンバータ (入力側ロードスイッチ内蔵)
- VCOM アンプ (7bit キャリブレーション付)
- VGH 用正チャージポンプ (ダイオード内蔵、x2/x3)
- VGL 用負チャージポンプ
- VGH/VCOM 電圧温度補償機能
- ゲートパルス変調機能 (GPM)
- I²C インターフェース出力電圧設定制御機能 (EEPROM 内蔵)
- スイッチング周波数切換機能 (525kHz、1.05MHz、2.1MHz)
- 保護回路
 - 低電圧誤動作防止回路
 - 温度保護回路
 - 過電流保護回路
 - 過電圧保護回路
 - タイマーラッチ型低電圧保護回路
- 入カトレラント対応 (SCL、SDA、EN、GSIN) (Note1: Grade 2)

パッケージ

VQFN32SV5050

W(Typ) x D(Typ) x H(Max)

5.0mm x 5.0mm x 1.0mm

アプリケーション回路図 (TOP VIEW)

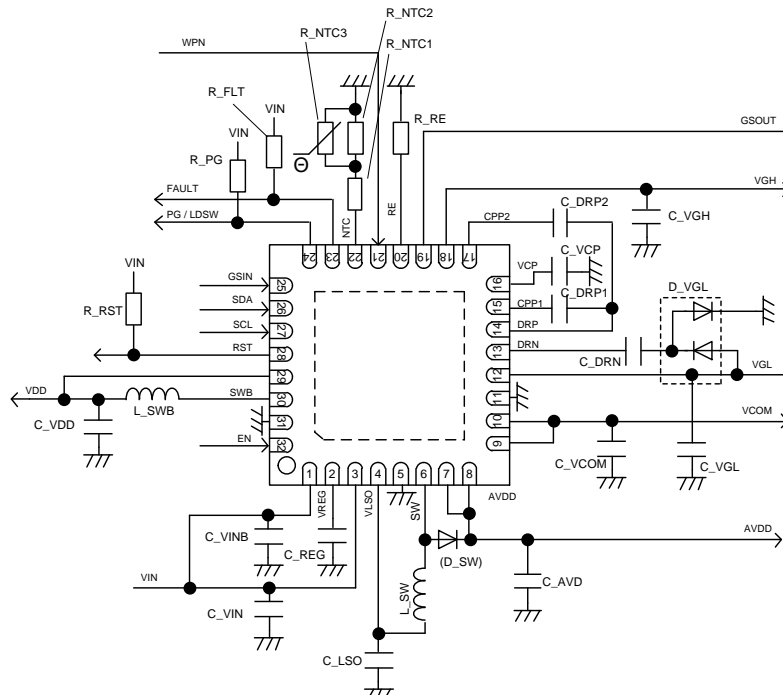


Figure 1. Application Circuit

○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

© 2016 ROHM Co., Ltd. All rights reserved.
TSZ22111 • 14 • 001

目次

概要	1
重要特性	1
特殊特性	1
用途	1
特長	1
パッケージ	1
アプリケーション回路図 (TOP VIEW)	1
端子配置図 (TOP VIEW)	3
端子説明	3
絶対最大定格	4
熱抵抗 (Note 1)	5
推奨動作範囲(Ta=-40 °C ~ +105 °C)	5
電気的特性 (特に記載がない限り Ta=25°C, VIN, VINB=3.3V)	6
参考データ	10
アプリケーション回路例 1 (EN 制御で動作する場合)	25
タイミングチャート 1	27
アプリケーション回路例 2 (EN= VCC の場合)	29
タイミングチャート 2	29
アプリケーション回路例 3 (LDSW モードの場合)	31
タイミングチャート 3	33
シリアル通信	35
WPN 投入タイミングについて	36
I2C タイミングチャート	37
起動時 EEPROM オートリードについて	38
EEPROM 設定について	39
レジスタマップ	40
コマンドテーブル	41
チェックサムについて	45
ソフトスタート時間について	46
ブロック図	47
AVDD ブロック機能	48
VGH ブロック機能	51
VGL ブロック機能	54
VCOM ブロック機能	55
VDD ブロック機能	56
GPM ブロック機能	58
RESET ブロック機能	59
PG/LDSW ブロック機能	60
NTC ブロック機能	61
EN ブロック機能	61
VGH / VCOM 温度補正	62
FAULT ブロック機能	63
Fail Register 機能	63
POWER MANAGEMENT 部の保護機能説明	64
ダブルレジスタ	65
データリフレッシュ機能	65
PCB レイアウトガイド	66
EMC レイアウトガイド	67
入出力等価回路図	68
使用上の注意	71
発注形名情報	73
標印図	73
外形寸法図と包装・フォーミング仕様	74
改訂履歴	75

端子配置図 (TOP VIEW)

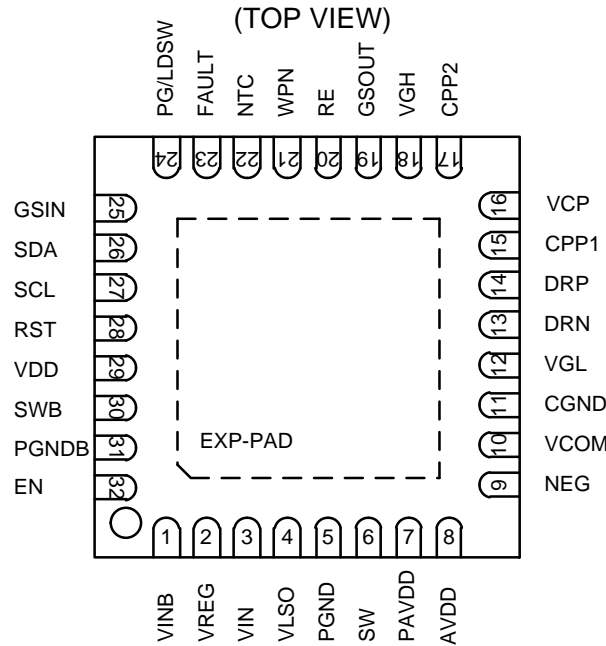


Figure 2. Pin Configuration

端子説明

Pin No.	端子名	機能	Pin No.	端子名	機能
1	VINB	降圧 DC/DC 電源入力端子	17	CPP2	正チャージポンプ内蔵スイッチングダイオード出力端子 3
2	VREG	内部電源出力端子	18	VGH	正チャージポンプフィードバック & GPM 電源入力端子
3	VIN	昇圧 DC/DC ロードスイッチ入力端子	19	GSOUT	GPM 出力端子
4	VLSO	昇圧 DC/DC ロードスイッチ出力端子	20	RE	GPM スロープ設定端子
5	PGND	昇圧 DC/DC 接地端子	21	WPN	EEPROM 書込み保護用(アクティブロー)端子
6	SW	昇圧 DC/DC スwitching端子	22	NTC	VGH 及び VCOM 温度補償用スロープ設定端子
7	PAVDD	昇圧 DC/DC 出力 & 出力フィードバック DRN の電源入力端子	23	FAULT	FAULT 信号出力端子
8	AVDD	VCOM、DRP の電源入力端子	24	PG/LDSW	パワーグッド信号出力 または PAVDD のロードスイッチ制御端子
9	NEG	VCOM アンプの負入力端子	25	GSIN	GPM 入力端子
10	VCOM	VCOM アンプ出力端子	26	SDA	シリアルクロックデータ入力端子(I2C)
11	CGND	チャージポンプ接地端子	27	SCL	シリアルクロック入力端子(I2C)
12	VGL	負チャージポンプフィードバック端子	28	RST	リセット出力端子
13	DRN	負チャージポンプドライブ端子	29	VDD	降圧 DC/DC または LDO 出力フィードバック入力端子
14	DRP	正チャージポンプドライブ端子	30	SWB	降圧 DC/DC スwitching端子または LDO 出力端子
15	CPP1	正チャージポンプ内蔵スイッチングダイオード出力端子 1	31	PGNDB	降圧 DC/DC 接地端子
16	VCP	正チャージポンプ内蔵スイッチングダイオード出力端子 2	32	EN	イネーブル入力端子
			-	EXP-PAD	Ground に接続してください

絶対最大定格

項目	記号	定格			単位
		最小	標準	最大	
電源電圧	VIN, VINB	-0.3	—	+6.5	V
出力端子	SWB	-0.3	—	VINB+0.3	V
	VDD	-0.3	—	+6.5	V
	AVDD, PAVDD, SW	-0.3	—	+19	V
	VLSD	-0.3	—	+6.5	V
	VCOM	-0.3	—	AVDD+0.3	V
	DRP	-0.3	—	AVDD+0.3	V
	DRN	-0.3	—	PAVDD+0.3	V
	CPP1, CPP2, VCP	-0.3	—	+36	V
	VGH, GSOUT, RE	-0.3	—	+36	V
	VGL	-15	—	+0.3	V
	VREG	-0.3	—	VIN+0.3	V
	FAULT	-0.3	—	+6.5	V
	PG/LDSW	-0.3	—	+19	V
	RST, NTC	-0.3	—	VIN+0.3	V
入力端子	NEG	-0.3	—	AVDD+0.3	V
機能端子電圧	SCL, SDA, EN, GSIN	-0.3	—	+6.5	V
	WPN	-0.3	—	VIN+0.3	V
最高接合部温度	Tjmax (Note 1)	—	—	+150	°C
保存温度範囲	Tstg	-55	—	+150	°C

(Note 1) Junction temperature at storage time.

注意：絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1層基板 (Note 3)	4層基板 (Note 4)	
VQFN32SV5050				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	138.9	39.1	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 2)	Ψ_{JT}	11	5	°C/W

(Note 1) JESD51-2A(Still-Air) に準拠。
 (Note 2) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。
 (Note 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mmt

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm

(Note 4) JESD51-5.7 に準拠した基板を使用。

測定基板	基板材	基板寸法	サーマルビア (Note 5)	
			ピッチ	直径
4層	FR-4	114.3mm x 76.2mm x 1.6mm	1.20mm	Φ0.30mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70μm	74.2mm□ (正方形)	35μm	74.2mm□ (正方形)	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作範囲 (Ta=-40 °C ~ +105 °C)

項目	記号	最小	標準	最大	単位
電源電圧	VIN, VINB	2.6	—	5.5	V
SWB 電流	ISWB	—	—	1.0	A
SW 電流	ISW	—	—	2.0	A
機能端子電圧	EN, GSIN, WPN	-0.1	—	+5.5	V
2線シリアル端子電圧	SDA, SCL	-0.1	—	+5.5	V
2線シリアル周波数	FCLK	—	—	400	kHz
動作温度範囲	Ta	-40	—	+105	°C
動作接合部温度	TJ	-40	—	+125	°C

電気的特性 (特に記載がない限り Ta=25°C, VIN, VINB=3.3V)

1. VDD ブロック (降圧 DC/DC / LDO 切替)

項目	記号	規格値			単位	条件
		最小	標準	最大		
出力電圧範囲	VDD	0.9	—	3.4	V	50 mV step
出力電圧精度 1	VDD_R1	2.462	2.5	2.538	V	VDD=2.5 V setting
出力電圧精度 2	VDD_R2	-2.0	-	+2.0	%	VDD=2.5 V~3.4 V setting (Ta=-40 ~ +105 °C)
出力電圧精度 3	VDD_R3	-3.0	-	+3.0	%	VDD=0.9 V~2.45 V setting (Ta=-40 ~ +105 °C)
ソフトスタート時間	VDD_SS	0.85	1	1.15	msec	VDD=1.2 V setting
低電圧保護電圧	VDD_UVP	VDD×0.7	VDD×0.8	VDD×0.9	V	
SWB H 側 ON 抵抗	RONH_SWB	—	300	480	mΩ	DCDC mode
SWB L 側 ON 抵抗	RONL_SWB	—	300	480	mΩ	DCDC mode
SWB H 側 ON 抵抗	RON_SWB	—	1.0	2.0	Ω	LDO mode
SWB H 側リーク電流	IL_SWBH	—	0	20	μA	(Ta=-40 ~ +105 °C)
SWB L 側リーク電流	IL_SWBL	—	0	20	μA	(Ta=-40 ~ +105 °C)
電流リミット	ILMT_SWB1	1.0	1.7	2.7	A	Buck DCDC mode
電流リミット	ILMT_SWB2	0.3	0.5	0.7	A	LDO mode
最大 Duty	DMAX_SWB	87	95	—	%	Freq=1.05 MHz (Freq=0.525 MHz:98%typ) (Freq=2.10 MHz:87%typ)
ディスチャージ抵抗	DISR_VDD	—	25	50	Ω	

2. 昇圧 DC/DC ブロック (AVDD)

項目	記号	規格値			単位	条件
		最小	標準	最大		
出力電圧範囲	AVDD	5.0	—	17.0	V	0.1 V step
出力電圧精度 1	AVDD_R1	10.342	10.5	10.66	V	AVDD=10.5 V setting
出力電圧精度 2	AVDD_R2	10.29	10.5	10.71	V	AVDD=10.5 V setting (Ta=-40 to +105 °C)
ロードスイッチ ソフトスタート時間	LS_SS	1.7	2	2.3	msec	
ソフトスタート時間	AVDD_SS	4.25	5	5.75	msec	AVDD=10.5 V setting 5 ms setting
低電圧保護電圧	AVDD_UVP	AVDD×0.7	AVDD×0.8	AVDD×0.9	V	
過電圧保護電圧	AVDD_OVP	AVDD×1.03	AVDD×1.1	AVDD×1.2	V	
SW H 側 ON 抵抗	RON_SW	—	250	480	mΩ	
SW L 側 ON 抵抗	RON_SW	—	200	350	mΩ	
SW H 側リーク電流	IL_SWH	—	0	20	μA	(Ta=-40 to +105 °C)
SW L 側リーク電流	IL_SWL	—	0	20	μA	(Ta=-40 to +105 °C)
電流リミット	ILMT_SW	2.0	4.0	6.0	A	AVDD OCP=2 A setting
電流リミット	ILMT_SW	1.0	2.0	2.5	A	AVDD OCP=1 A setting
ロードスイッチ ON 抵抗	RON_LS	—	200	350	mΩ	
最大デューティ	DMAX_SW	83	90	—	%	Freq=1.05 MHz (Freq=0.525 MHz:95%typ) (Freq=2.10 MHz:80%typ)
ディスチャージ抵抗	DISR_AVDD	—	25	50	Ω	

電気的特性 (特に記載がない限り Ta=25°C, VIN, VINB=3.3V) — 続き

3. VCOM アンプブロック (VCOM)

項目	記号	規格値			単位	条件
		最小	標準	最大		
出力電圧範囲 1	VCOM_HOT	0.5x AVDD - 4.0	0.5x AVDD	0.5x AVDD + 4.0	V	40 mV step
出力電圧範囲 2	VCOM_COLD	VCOM HOT - 0.63	-	VCOM HOT	V	10 mV step
出力電圧範囲 3	VCOM_CAL	VCOM HOT - 0.63	VCOM HOT	VCOM HOT +0.63V	V	10 mV step
出力電圧範囲 4	VCOM_RNG	0.2xAVDD	-	0.7x AVDD	V	
キャリブレーション分解能	RES_CAL	—	7	—	Bit	
積分非直線性誤差 (INL)	INL_CAL	-1	—	+1	LSB	
微分非直線性誤差 (DNL)	DNLCAL	-1	—	+1	LSB	
出力電流能力 (Source)	ISOURCE	—	200	—	mA	
出力電流能力 (Sink)	ISINK	—	200	—	mA	
負荷安定性	VLOAD	—	10	70	mV	Io=-15 mA to +15 mA
スルーレート	SR	30	60	80	V/μsec	

4. 正チャージポンプブロック (VGH)

項目	記号	規格値			単位	条件
		最小	標準	最大		
出力電圧範囲 1	VGH_HOT	8.0	—	35	V	0.2 V step
出力電圧範囲 2	VGH_COLD	VGH HOT	-	VGH HOT +15V	V	0.2 V step *Max = 35 V
出力電圧精度 1	VGH_R1	17.46	18	18.54	V	VGH=18 V setting
出力電圧精度 2	VGH_R2	17.1	18	18.9	V	VGH=18 V setting (Ta=-40 to +105 °C)
ソフトスタート時間	VGH_SS	4.25	5	5.75	msec	VGH=18 V setting
低電圧保護電圧	VGH_UVP	VGH×0.7	VGH×0.8	VGH×0.9	V	
DRP H 側 ON 抵抗	RON_DRPH	—	10	20	Ω	
DRP L 側 ON 抵抗	RON_DRPL	—	10	20	Ω	
AVDD-CPP1 ON 抵抗	RON_CPP1	—	10	20	Ω	
CPP1-VCP ON 抵抗	RON_CPP2	—	10	20	Ω	
VCP-CPP2 ON 抵抗	RON_CPP3	—	10	20	Ω	
CPP2-VGH ON 抵抗	RON_CPP4	—	10	20	Ω	
ディスチャージ抵抗	DISR_VGH	—	150	300	Ω	

5. 負チャージポンプブロック (VGL)

項目	記号	規格値			単位	条件
		最小	標準	最大		
出力電圧範囲	VGL	-14.0	—	-4.0	V	0.1 V step
出力電圧精度 1	VGL_R1	-6.18	-6	-5.82	V	VGL=-6.0 V setting
出力電圧精度 2	VGL_R2	-6.3	-6	-5.7	V	VGL=-6.0 V setting (Ta=-40 ~ +105 °C)
ソフトスタート時間	VGL_SS	4.25	5	5.75	msec	
低電圧保護電圧	VGL_UVP	VGL×0.7	VGL×0.8	VGL×0.9	V	
DRN H 側 ON 抵抗	RON_DRNH	—	10	20	Ω	
DRN L 側 ON 抵抗	RON_DRNN	—	10	20	Ω	
ディスチャージ抵抗	DISR_VGL	—	250	500	Ω	

電気的特性 (特に記載がない限り Ta=25°C, VIN, VINB=3.3V) — 続き

6. 温度補償ブロック (NTC)

項目	記号	規格値			単位	条件
		最小	標準	最大		
NTC HOT 電圧	VNTC_H	0.475	0.5	0.525	V	
NTC COLD 電圧	VNTC_H	1.1875	1.25	1.3125	V	
NTC 電流	INTC	36	40	44	μA	
NTC 分解能	RES_NTC	—	4	—	Bit	

7. ゲートパルス変調ブロック (GPM)

項目	記号	規格値			単位	条件
		最小	標準	最大		
GPM High Switch ON 抵抗	RON_GPMH	—	15	30	Ω	
GPM Low Switch ON 抵抗	RON_GPML	—	30	—	Ω	
GPM 伝播遅延 1	T_GPM1	—	0.1	0.3	μsec	No Capacitive Load 0.1 μS setting
GPM 伝播遅延 2	T_GPM2	—	0.5	1.0	μsec	No Capacitive Load 0.5 μS setting
GPM 伝播遅延 3	T_GPM3	—	1.0	1.75	μsec	No Capacitive Load 1.0 μS setting
GPM 伝播遅延 4	T_GPM4	—	1.5	2.5	μsec	No Capacitive Load 1.5 μS setting
GSIN プルダウン抵抗	RGSIN	70	100	130	kΩ	
GSIN 入力 High 電圧	VGSINH	1.5	—	—	V	
GSIN 入力 Low 電圧	VGSINL	—	—	0.6	V	

電気的特性 (特に記載がない限り Ta=25°C, VIN, VINB=3.3V) — 続き

8. 全体

項目	記号	規格値			単位	条件
		最小	標準	最大		
内部レギュレータ電圧						
VREG 出力電圧	VREG	2.15	2.3	2.45	V	
負荷安定性	ΔV	—	20	100	mV	IVREG=5 mA
発振部						
発振周波数 1	FOSC1	475	525	575	KHz	
発振周波数 2	FOSC2	950	1050	1150	KHz	
発振周波数 3	FOSC3	1900	2100	2300	KHz	
低電圧誤動作防止回路						
UVLO 解除電圧	VUVLO1	2.5	2.55	2.6	V	
UVLO 検知電圧	VUVLO2	2.0	2.1	2.2	V	
ヒステリシス	VHYS_UVL	—	0.45	—	V	
リセット回路部						
リセット電圧範囲	VRST	0.6	—	3.3	V	0.1 V step
リセット電圧精度	VRST_R1	1.9	2.0	2.1	V	VRST=2.0 V setting
ヒステリシス	VHYS_RST	—	0.1	—	V	
リセット遅延時間範囲	T_Delay2	0	—	40	msec	
FAULT/PG/RST 信号出力部						
出力 OFF リーク電流	IL	—	0	10	μA	
出力 ON 抵抗	RON_O	—	1	2	kΩ	
制御信号部 1 SDA, SCL, WPN						
最小出力電圧	VSDA	—	—	0.4	V	ISDA=3 mA
H レベル入力電圧	VIH	1.5	—	—	V	
L レベル入力電圧	VIL	—	—	0.6	V	
WPN プルダウン抵抗値	RWPN	70	100	130	kΩ	
制御信号部 2 EN						
プルダウン抵抗値	REN_L	280	400	520	kΩ	EN=Low
	REN_H	420	600	780	kΩ	EN=High
H レベル入力電圧	VENH	1.5	—	—	V	
L レベル入力電圧	VENL	—	—	0.6	V	
全般						
待機消費電流 1	ISTB1	-	2.0	5.0	μA	EN=GND
待機消費電流 2	ISTB2	-	-	20	μA	EN=GND (Ta=-40 ~ +105 °C)
消費電流	ICC1	-	2.0	5.0	mA	EN=VIN, No switching

9. EEPROM

項目	記号	規格値			単位	条件
		最小	標準	最大		
データ書き換え回数	Cyc	100	-	-	Times	TJ<125 °C
書き込みサイクル時間	Twr	-	-	50	msec	
データ保持年数	DHY	20	-	-	Years	TJ<125 °C

参考データ

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

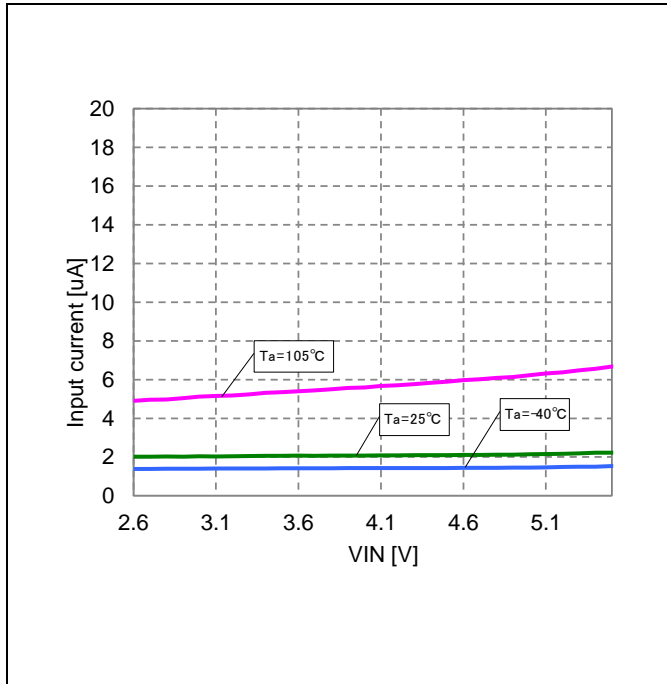


Figure 3. Standby Current(EN=L)

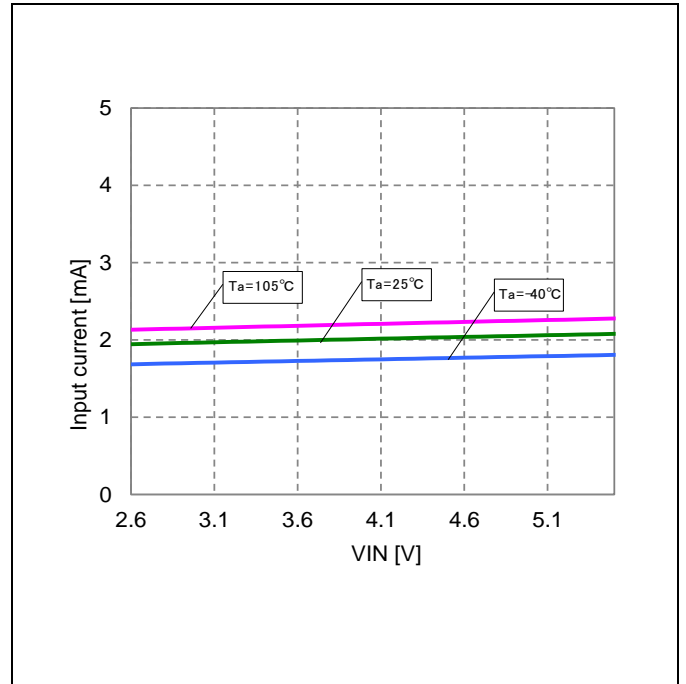


Figure 4. Circuit Current(EN=H, no switching)

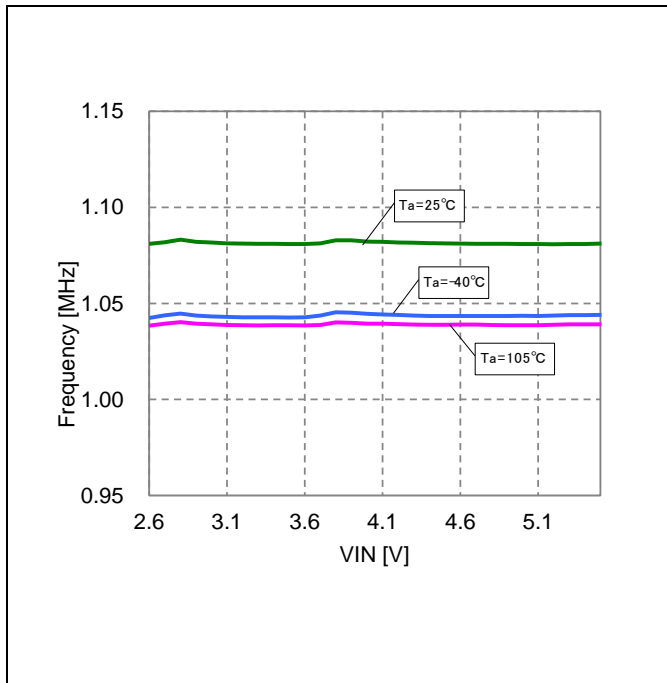


Figure 5. Switching Frequency (Dependent on input voltage)

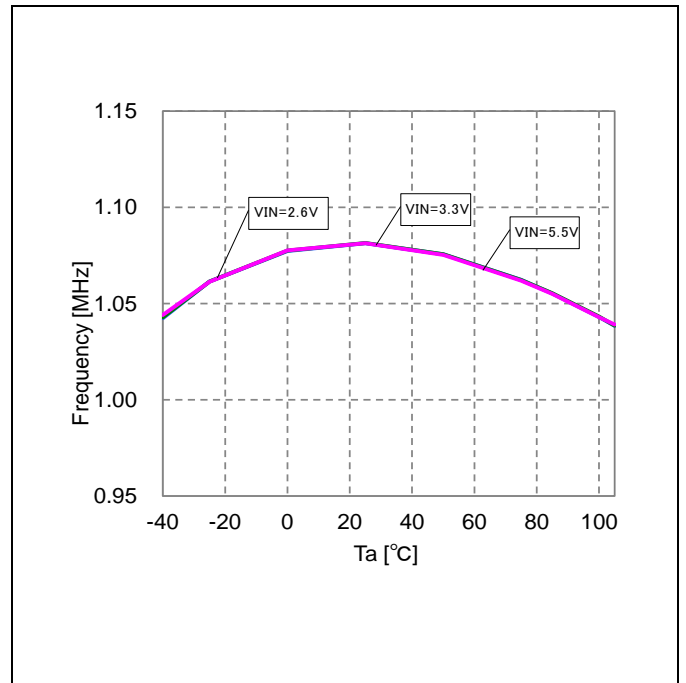


Figure 6. Switching Frequency (Dependent on temperature)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

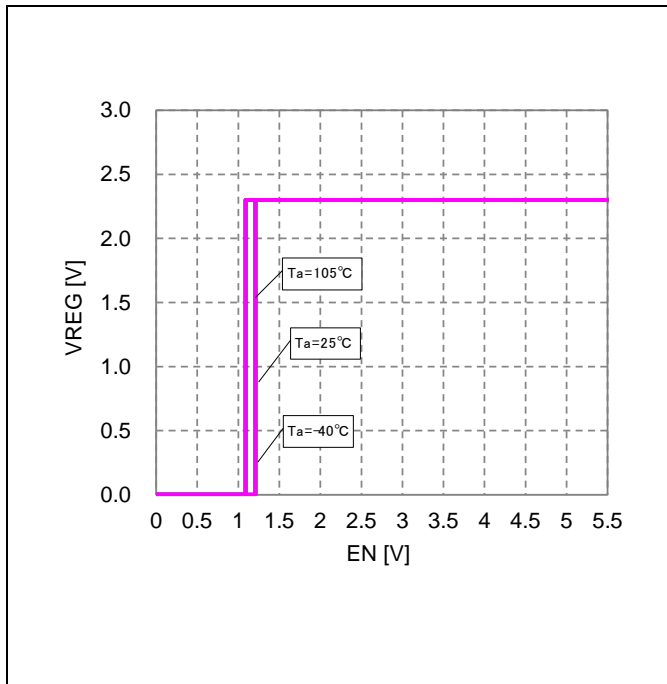


Figure 7. H/L threshold voltage (control signals)

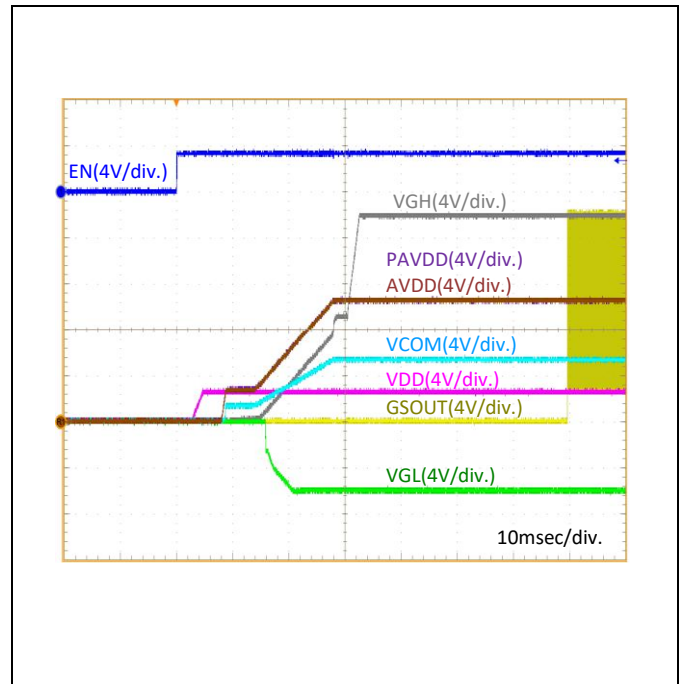


Figure 8. Power on waveform (when operated by EN control, Function select = PG)

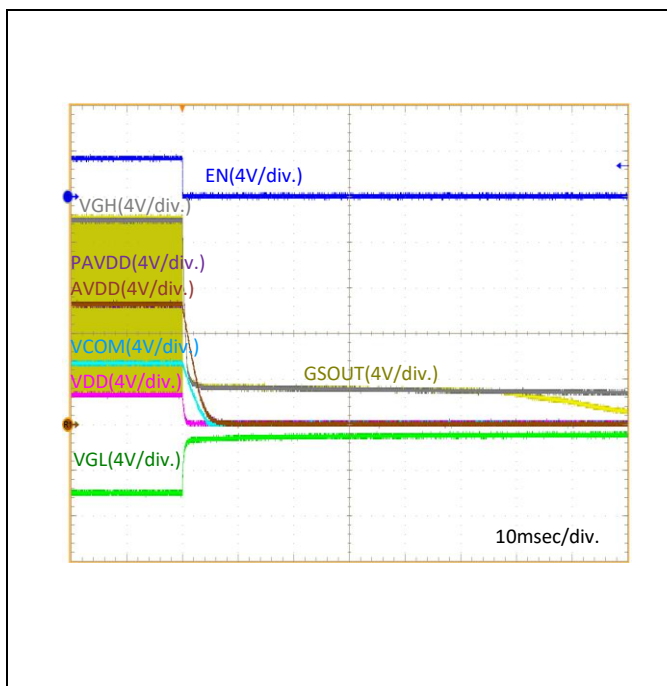


Figure 9. Power off waveform (when operated by EN control, Function select = PG)

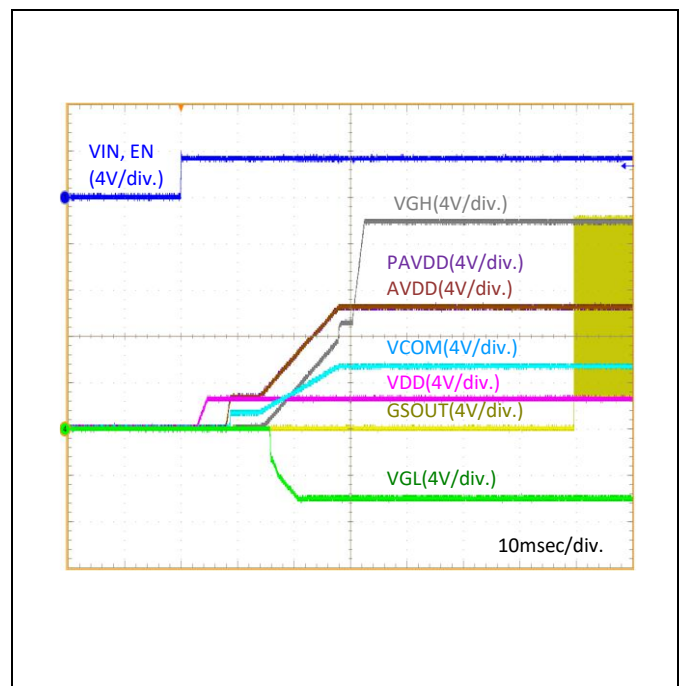


Figure 10. Power on waveform (when operated with EN=VCC, Function select = PG)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

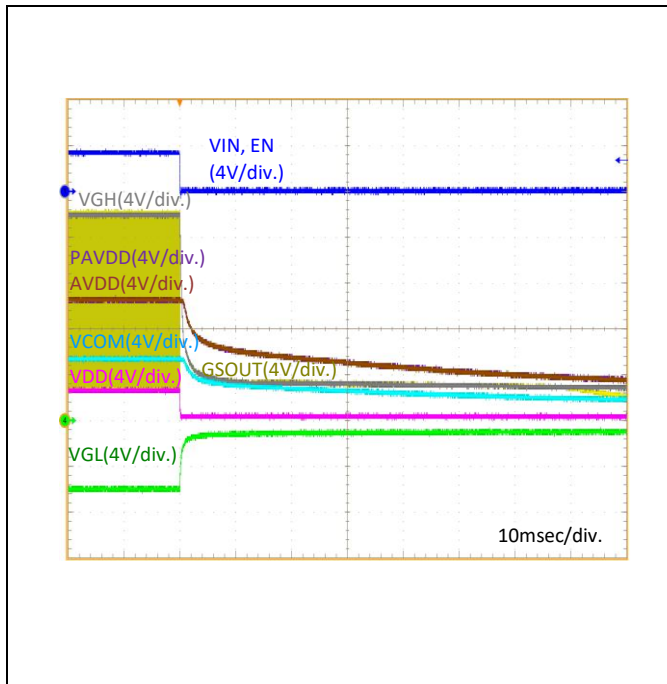


Figure 11. Power off waveform (when operated with EN=VCC, Function select = PG)

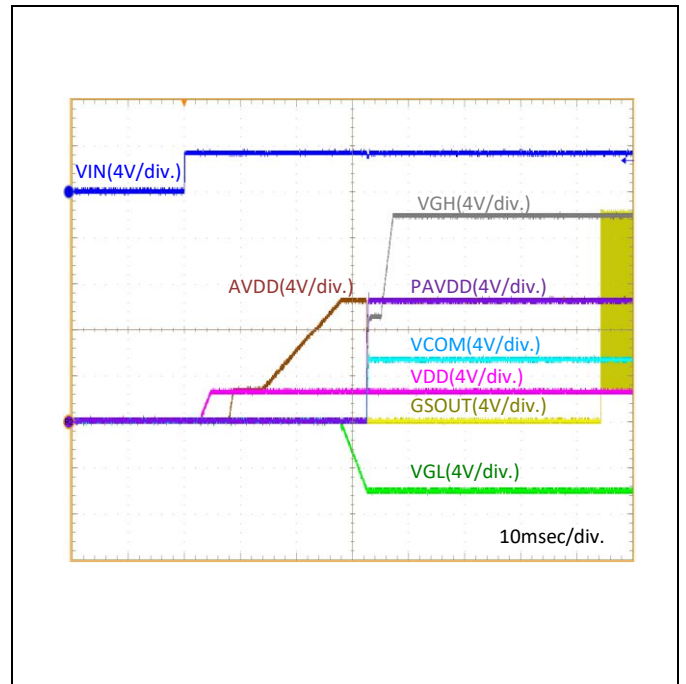


Figure 12. Power on waveform (when operated by EN control, Function select = LDSW)

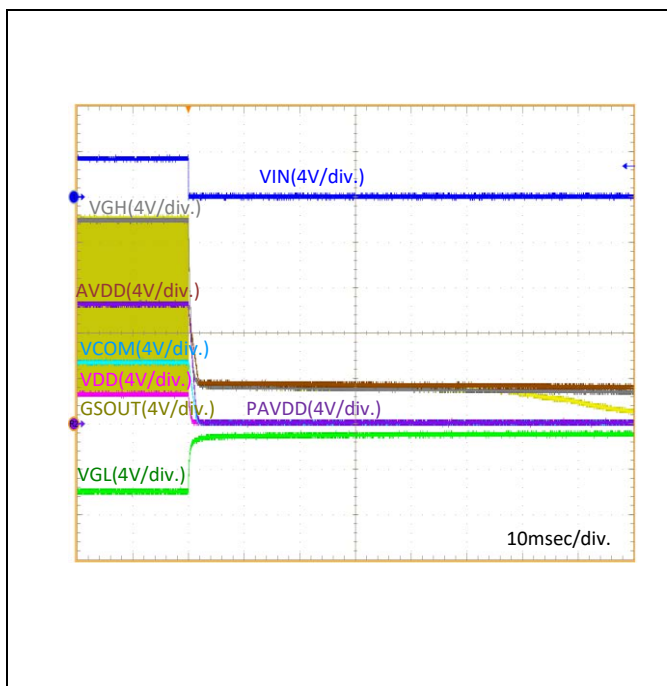


Figure 13. Power off waveform (when operated by EN control, Function select = LDSW)

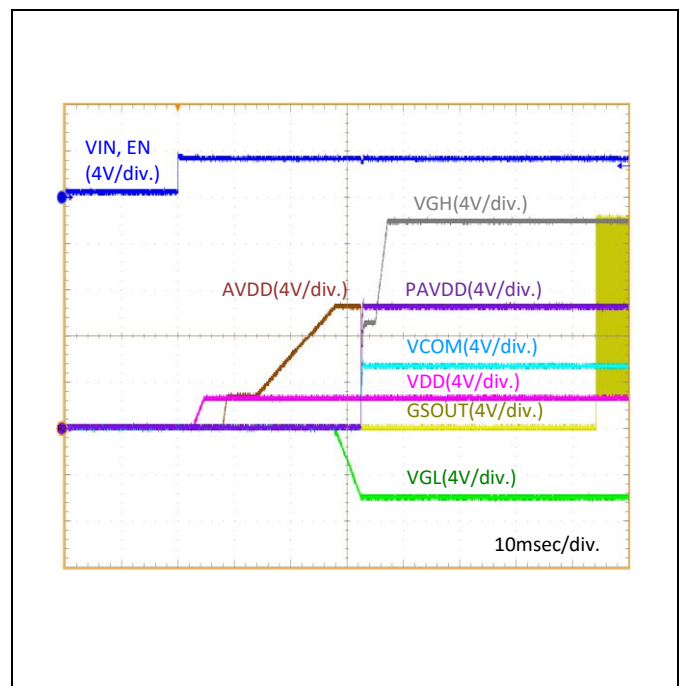


Figure 14. Power on waveform (when operated with EN=VCC, Function select = LDSW)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

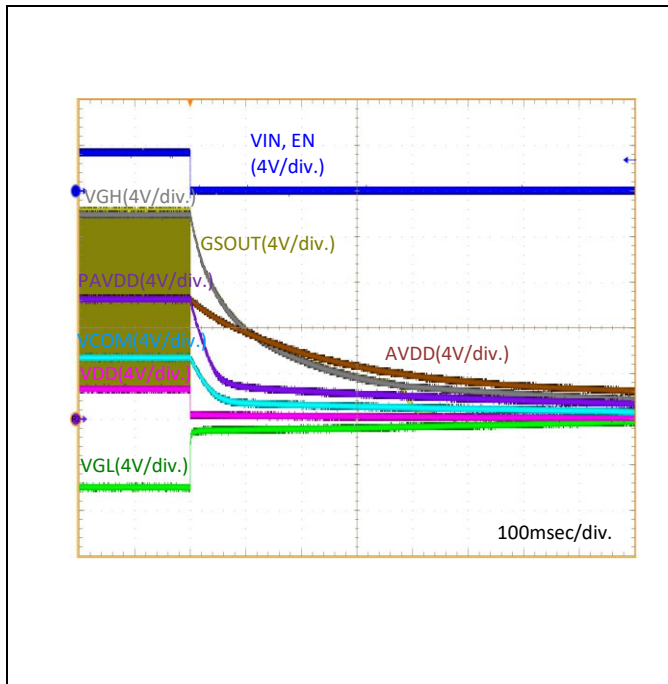


Figure 15. Power off waveform (when operated with EN=VCC, Function select = LDSW)

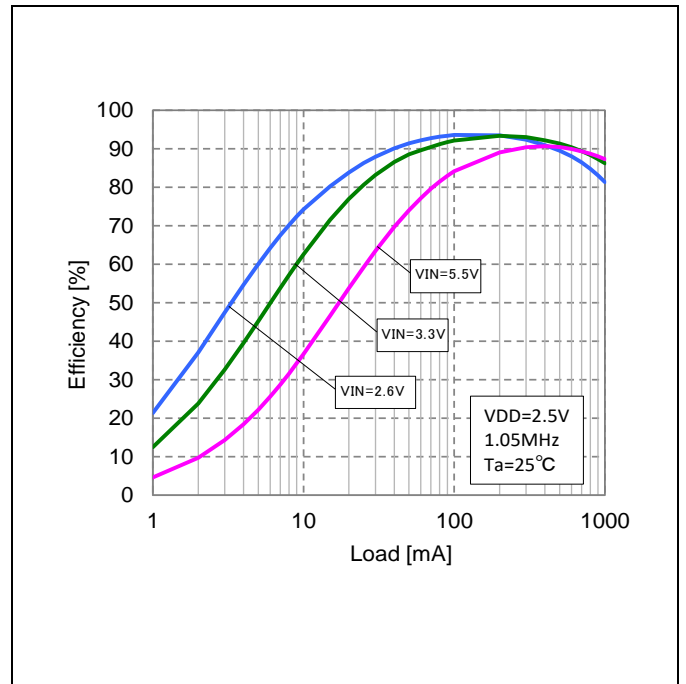


Figure 16. Efficiency (VDD DC/DC mode)

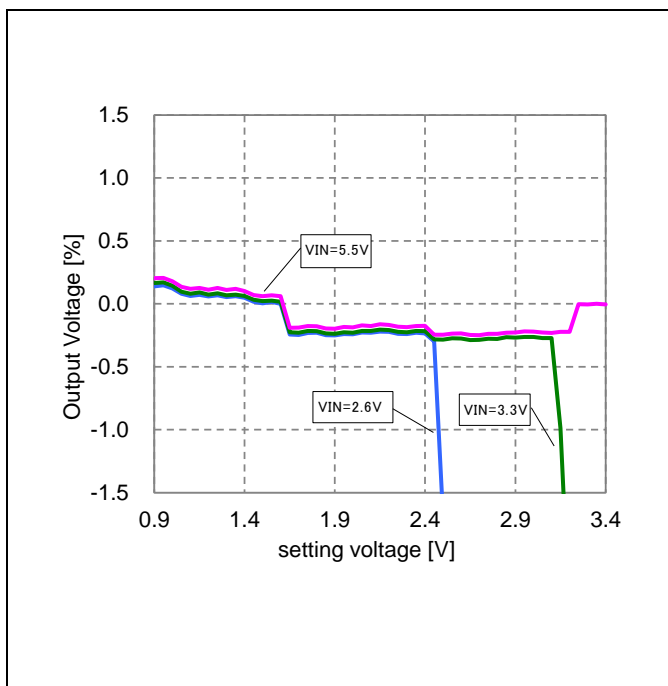


Figure 17. Output voltage accuracy (VDD DC/DC mode, dependent on input voltage)

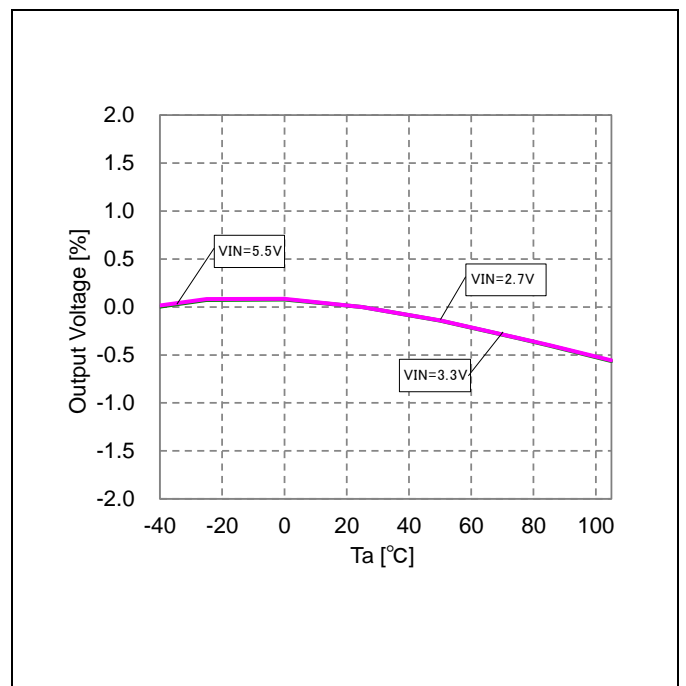


Figure 18. Output voltage accuracy (VDD DC/DC mode, dependent on temperature)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

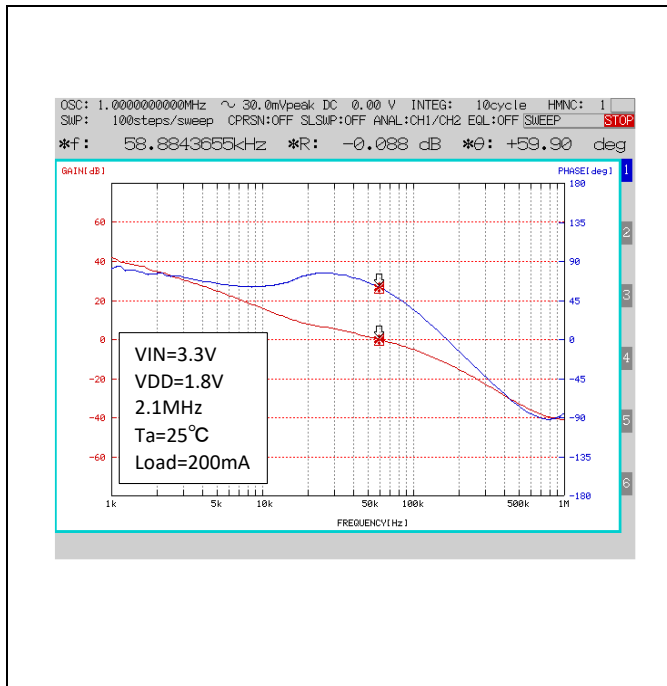


Figure 19. Phase margin (VDD DC/DC mode)

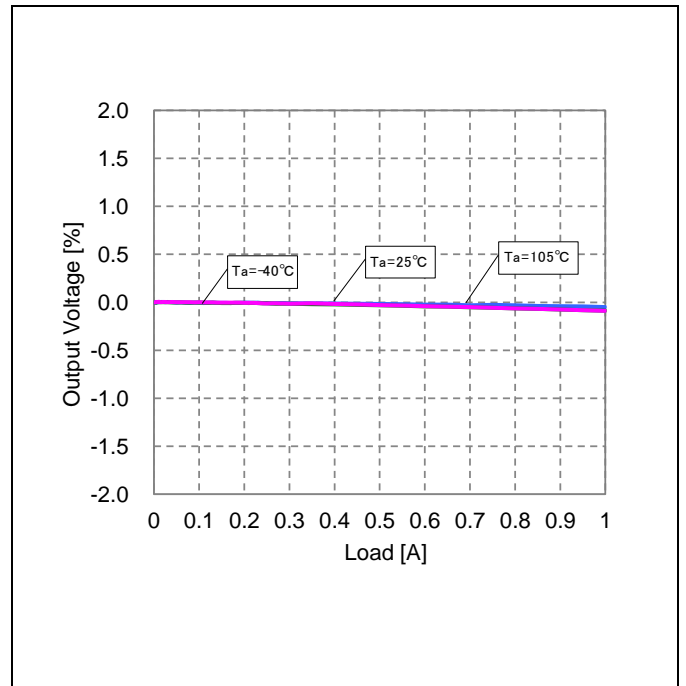


Figure 20. Load Regulation (VDD DC/DC mode)

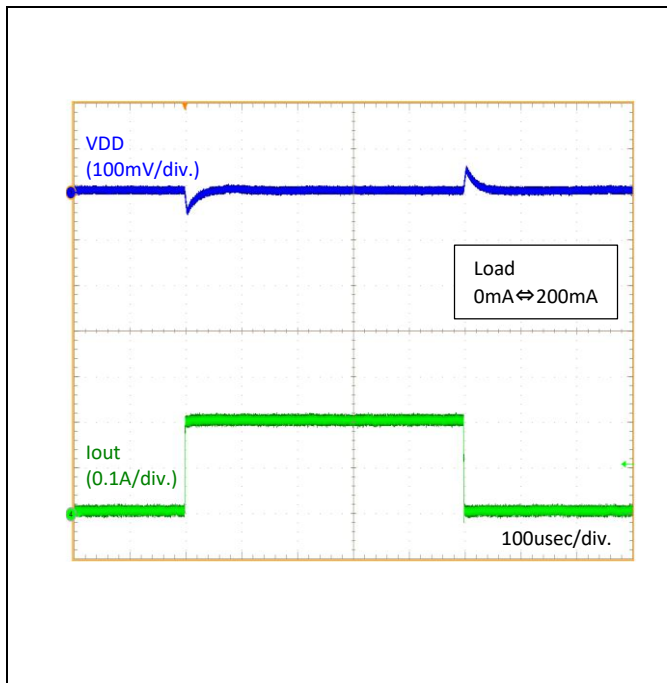


Figure 21. Load Transient (VDD DC/DC mode)

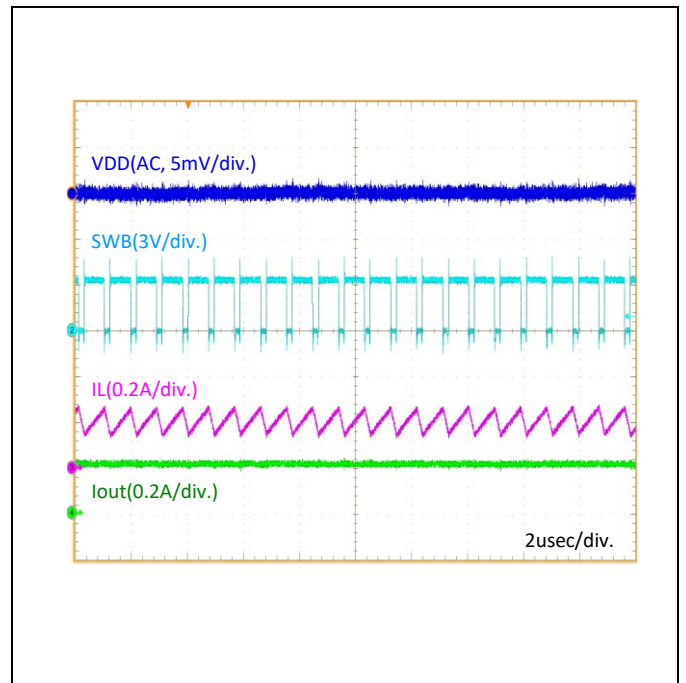


Figure 22. Switching waveform (VDD DC/DC mode)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

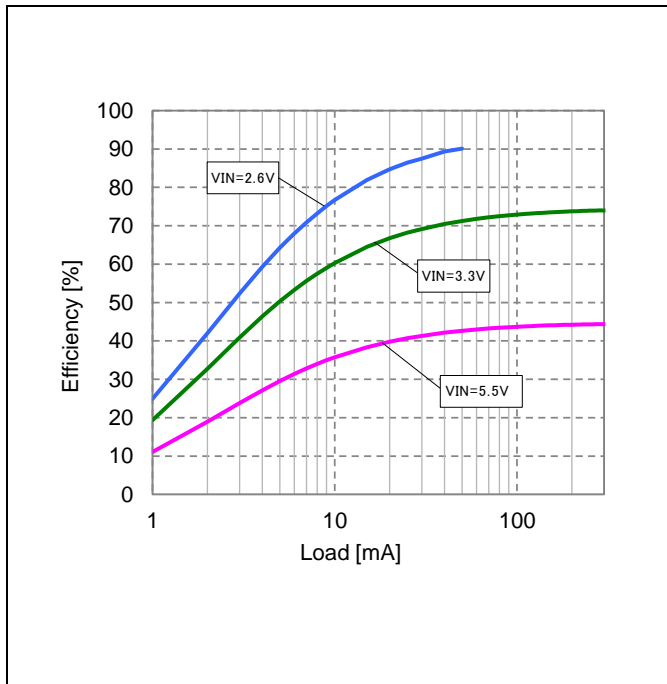


Figure 23. Efficiency(VDD LDO mode)

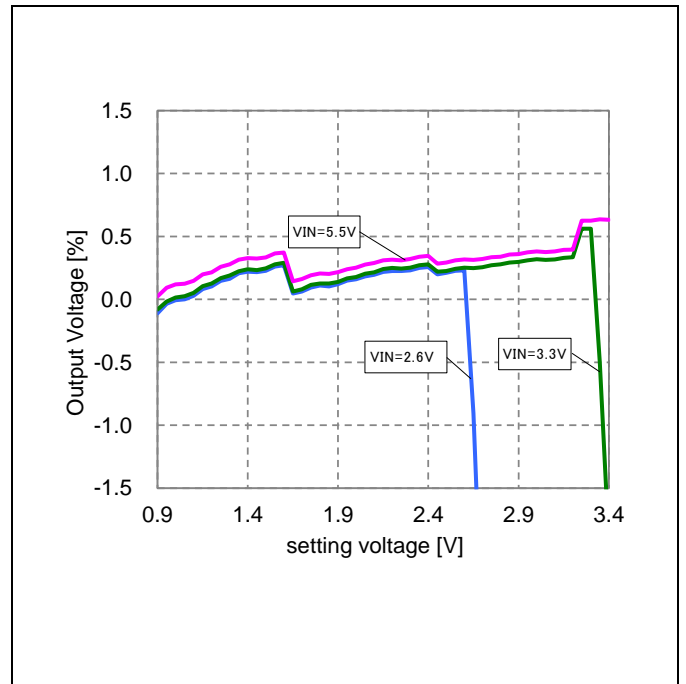


Figure 24. Output voltage accuracy (VDD LDO mode, dependent on input voltage)

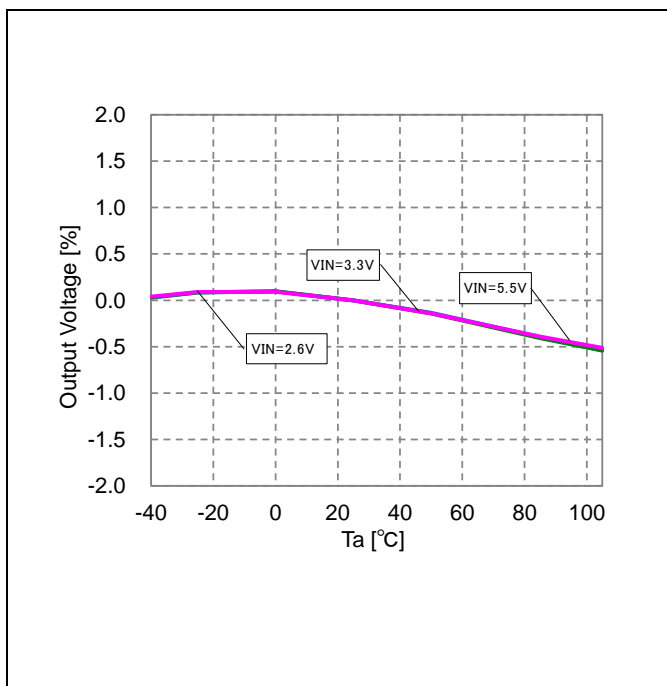


Figure 25. Output voltage accuracy (VDD LDO mode, dependent on temperature)

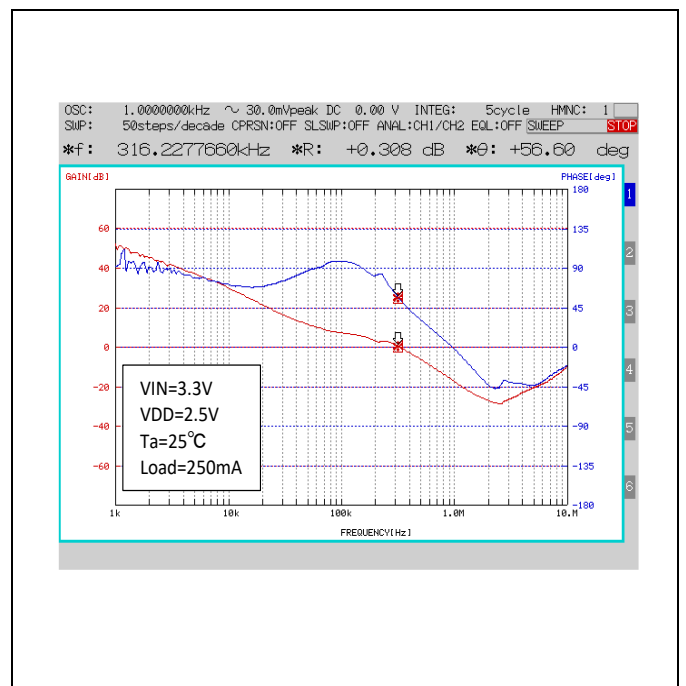


Figure 26. Phase margin (VDD LDO mode)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

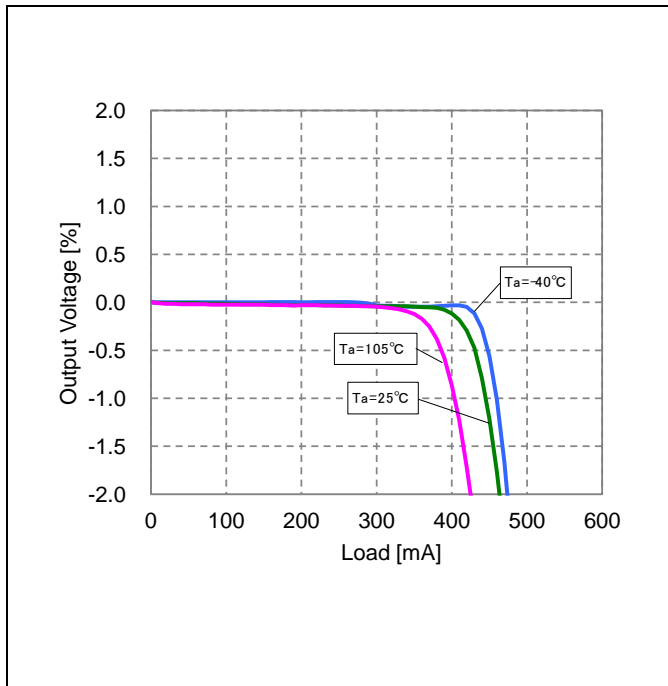


Figure 27. Load Regulation (VDD LDO mode)

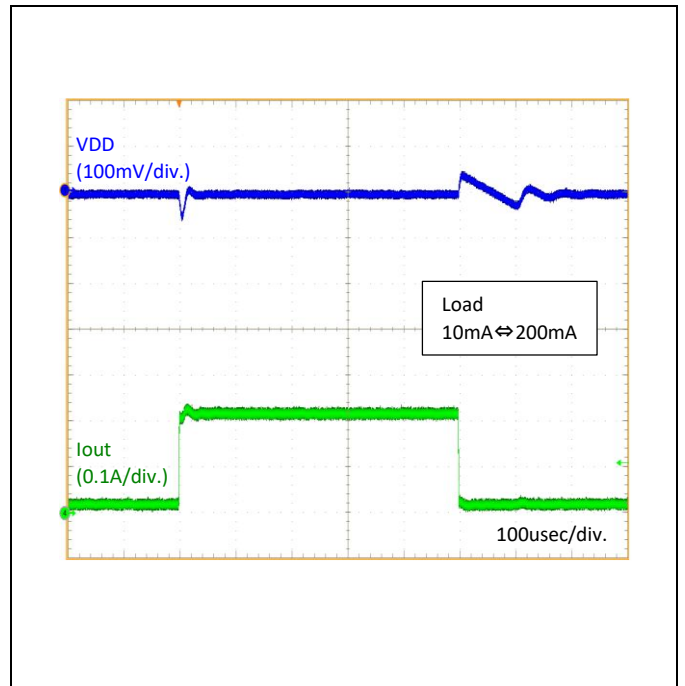


Figure 28. Load Transient (VDD LDO mode)

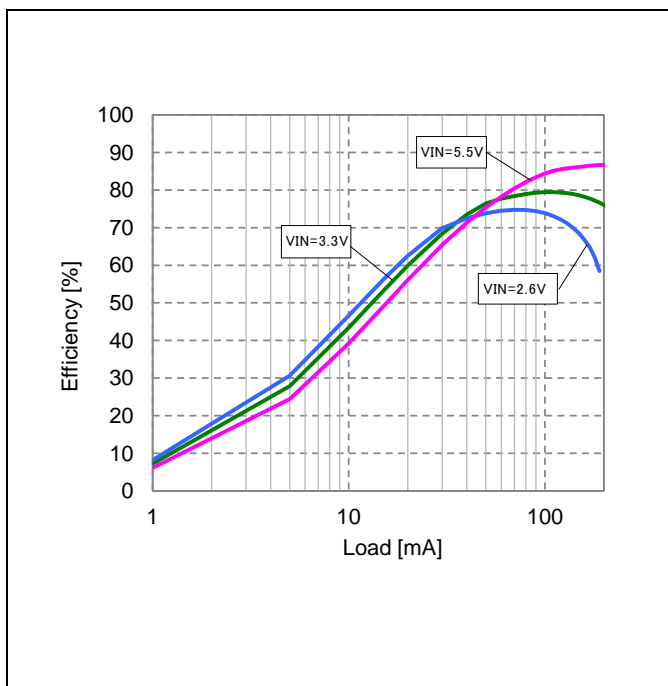


Figure 29. Efficiency (AVDD)

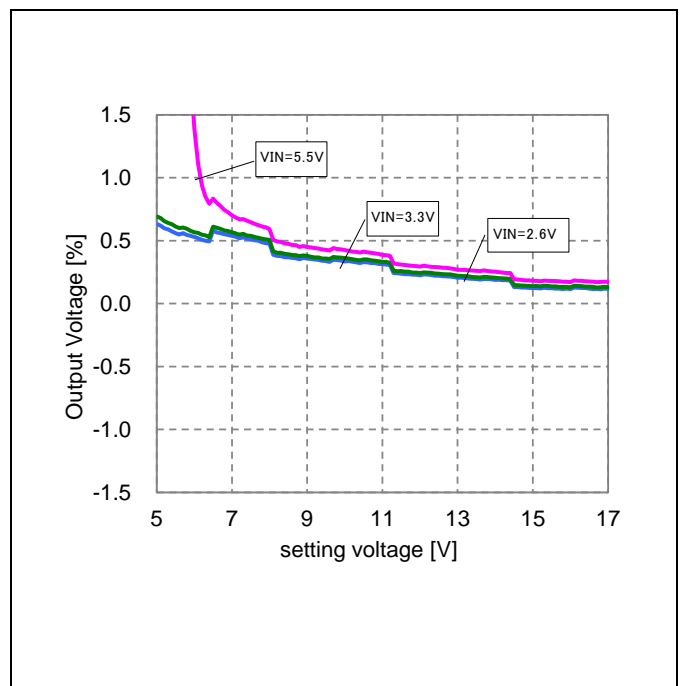


Figure 30. Output voltage accuracy (AVDD, dependent on input voltage)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

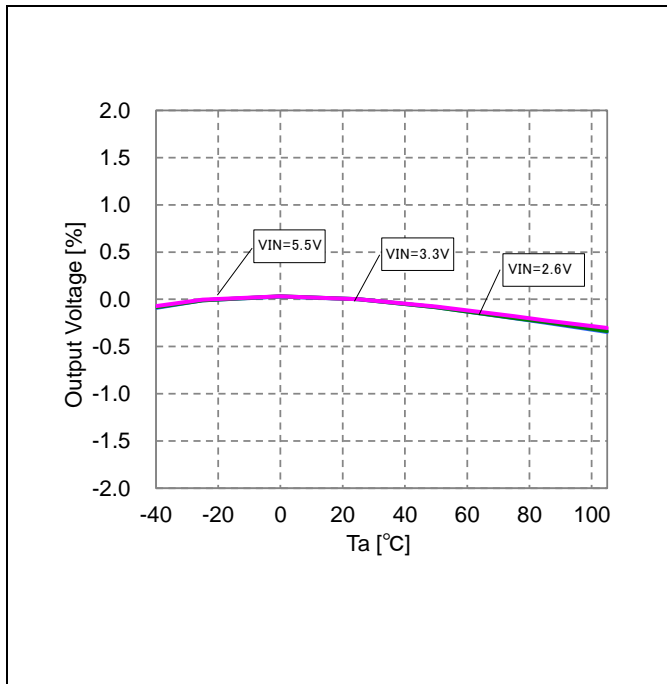


Figure 31. Output voltage accuracy (AVDD, dependent on temperature)

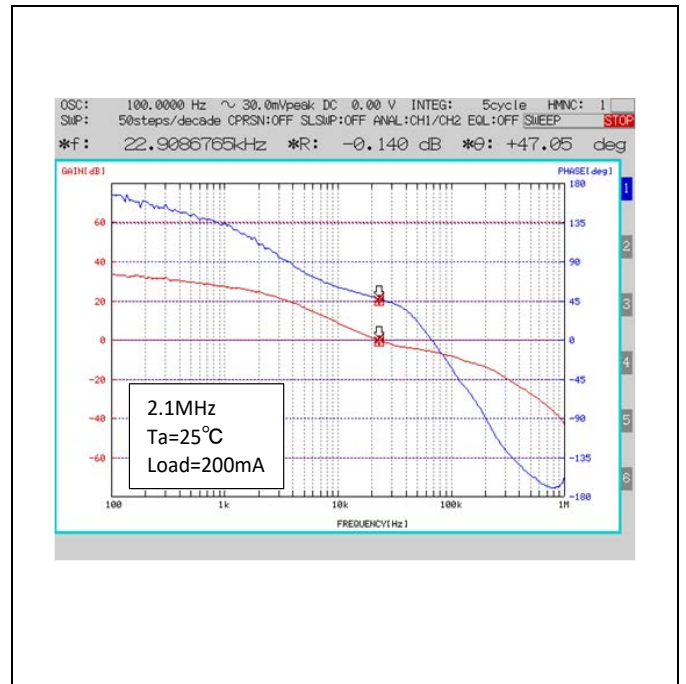


Figure 32. Phase margin (AVDD)

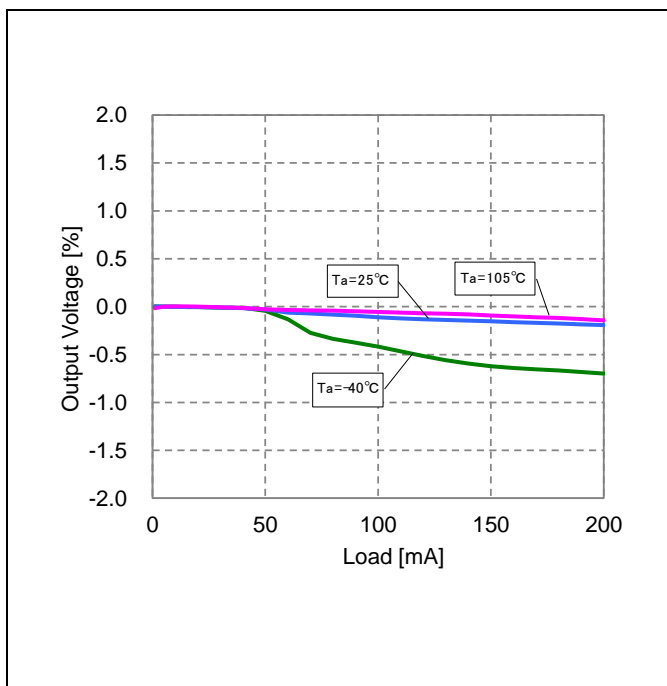


Figure 33. Load Regulation (AVDD)

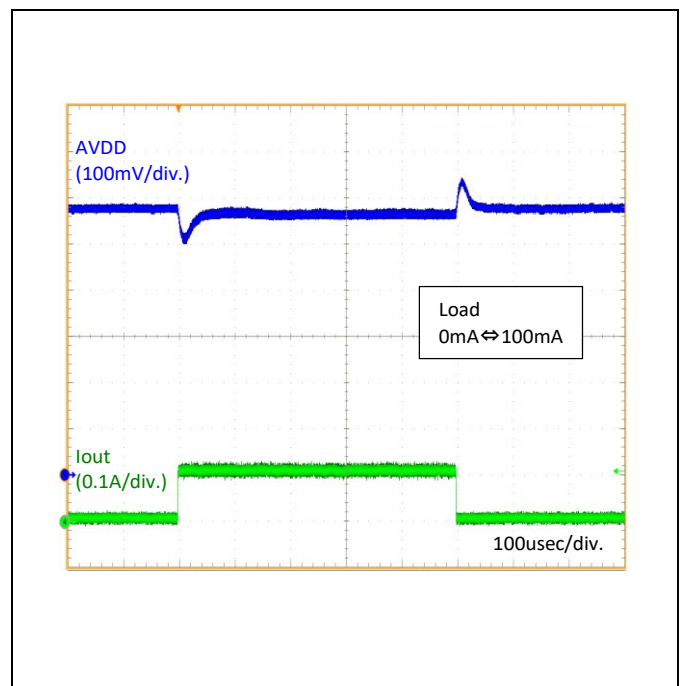


Figure 34. Load Transient (AVDD)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

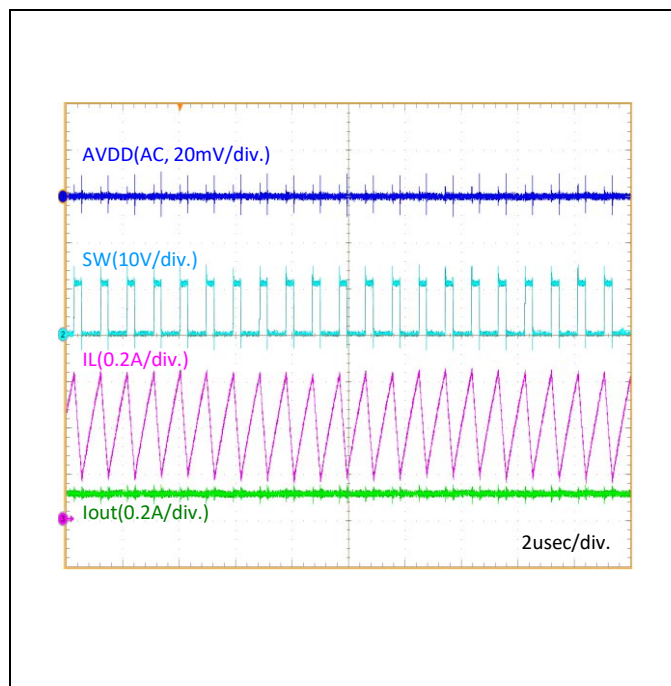


Figure 35. Switching waveform (AVDD)

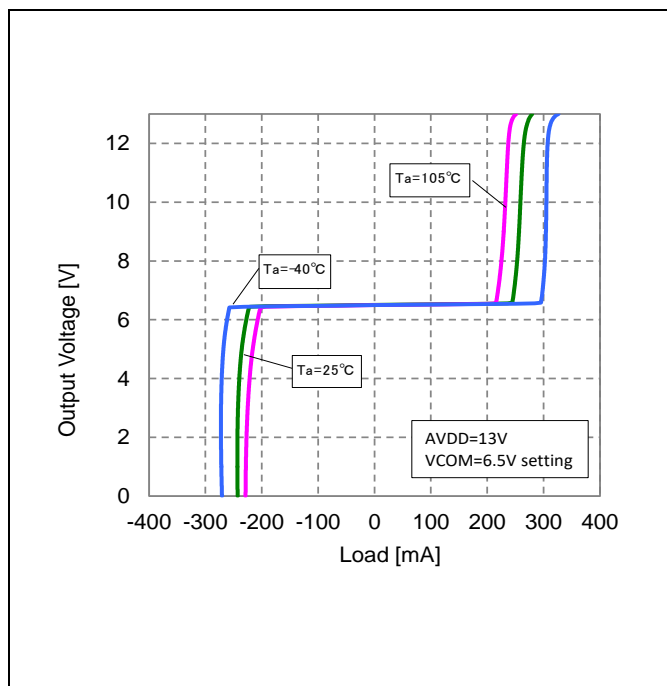


Figure 36. Output Current (VCOM)

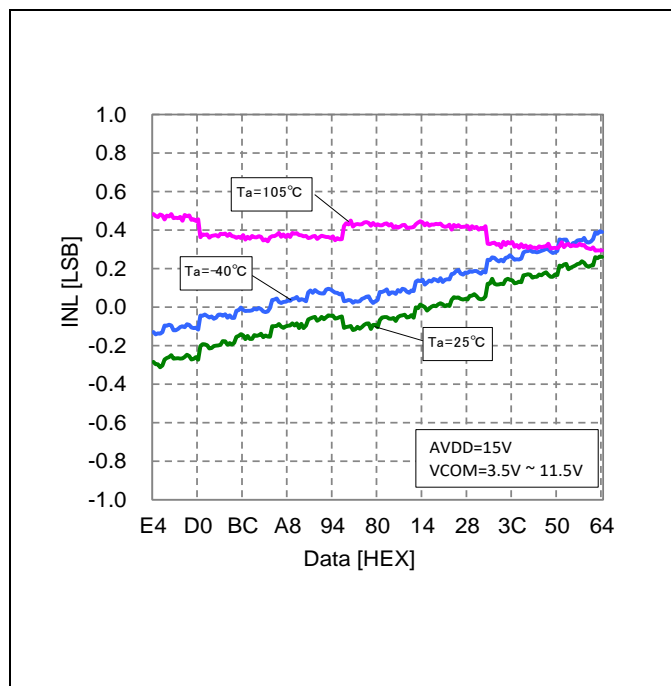


Figure 37. DAC INL (VCOM)

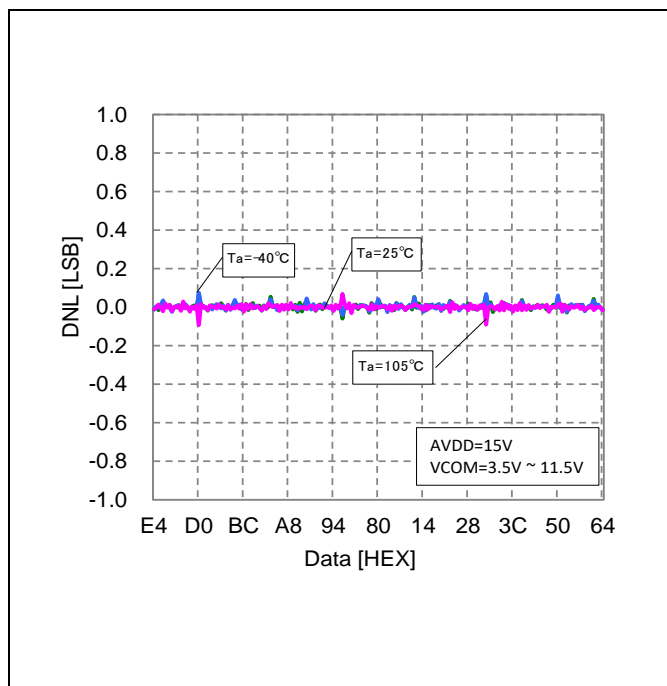


Figure 38. DAC DNL (VCOM)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

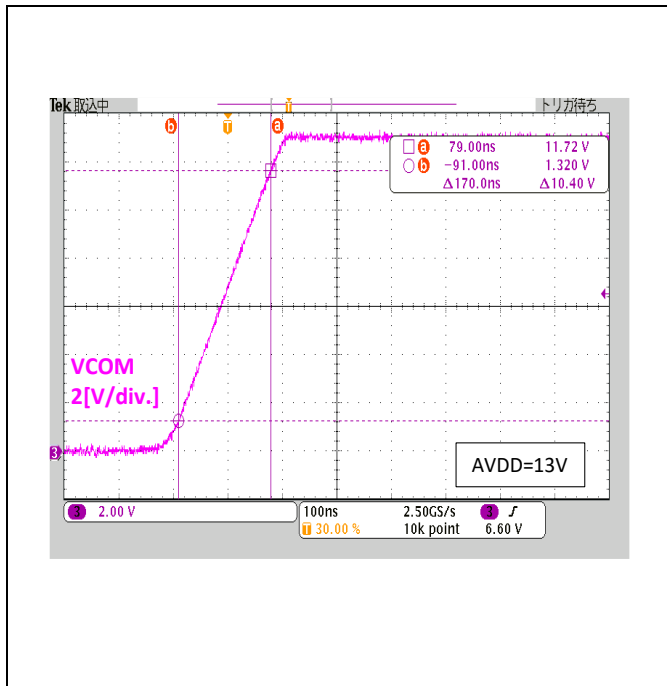


Figure 39. Slew Rate (VCOM, rise)

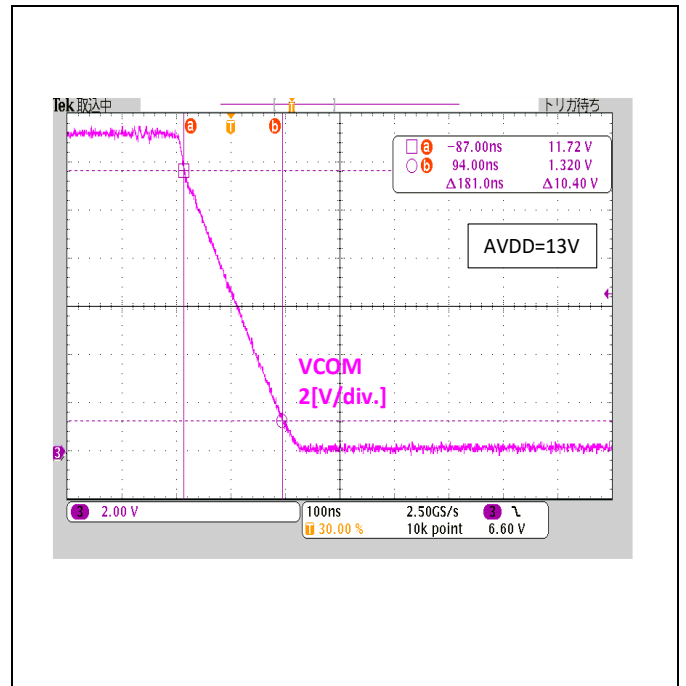


Figure 40. Slew Rate (VCOM, fall)

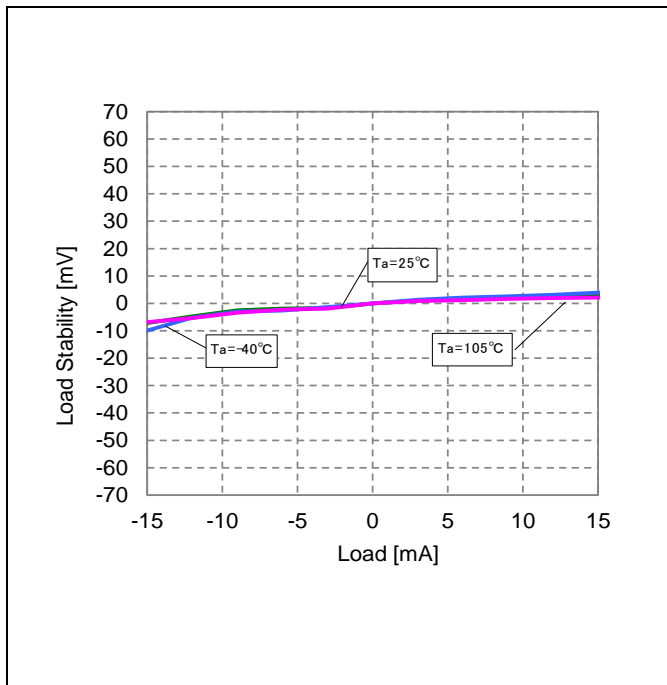


Figure 41. Load Regulation (VCOM)

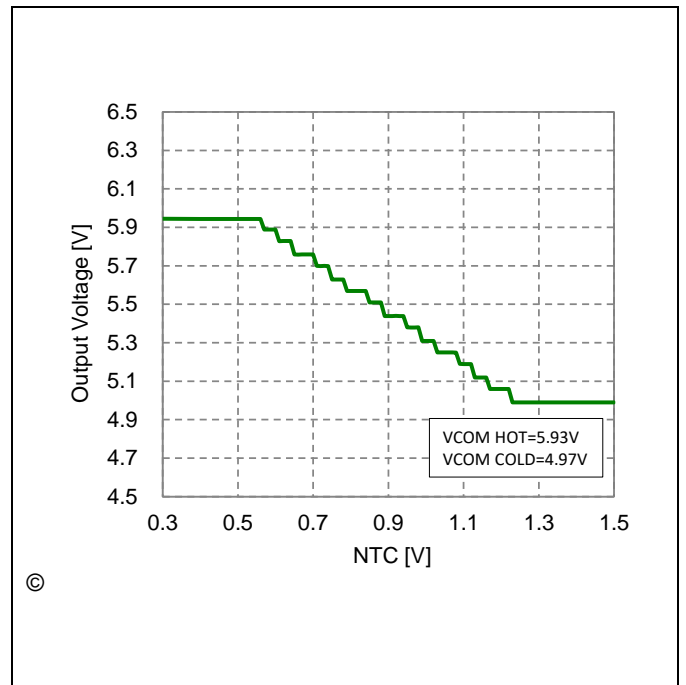


Figure 42. NTC Function (VCOM)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

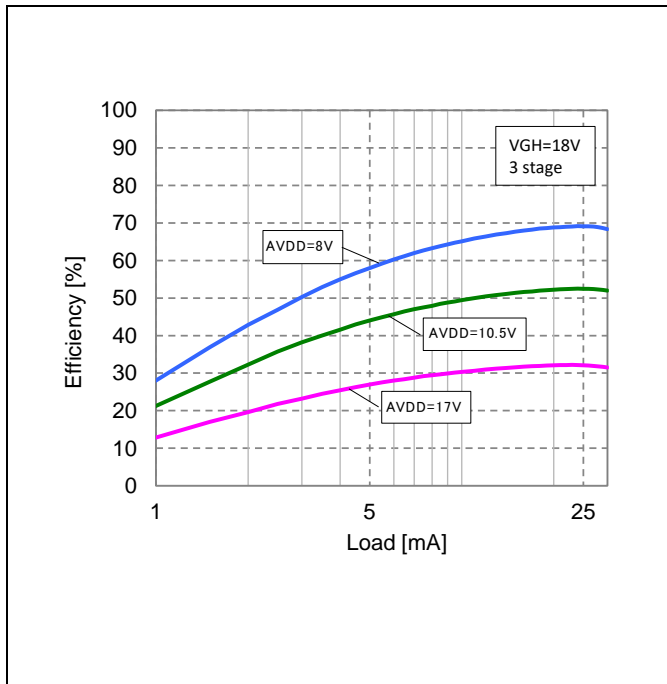


Figure 43. Efficiency (VGH)

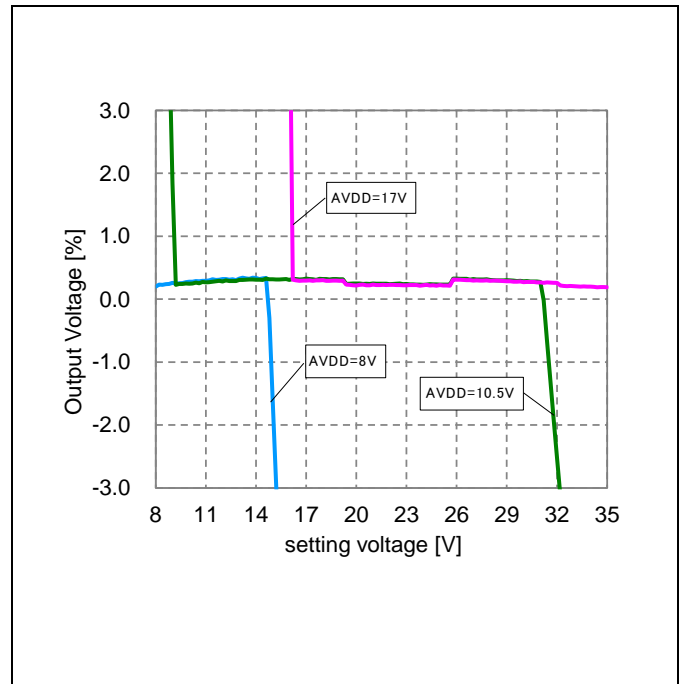


Figure 44. Output voltage accuracy (VGH, dependent on input voltage)

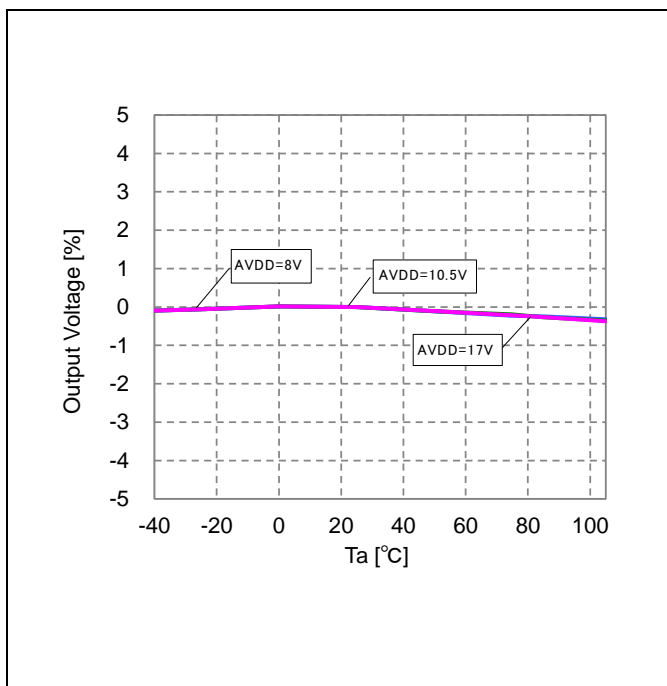


Figure 45. Output voltage accuracy (VGH, dependent on temperature)

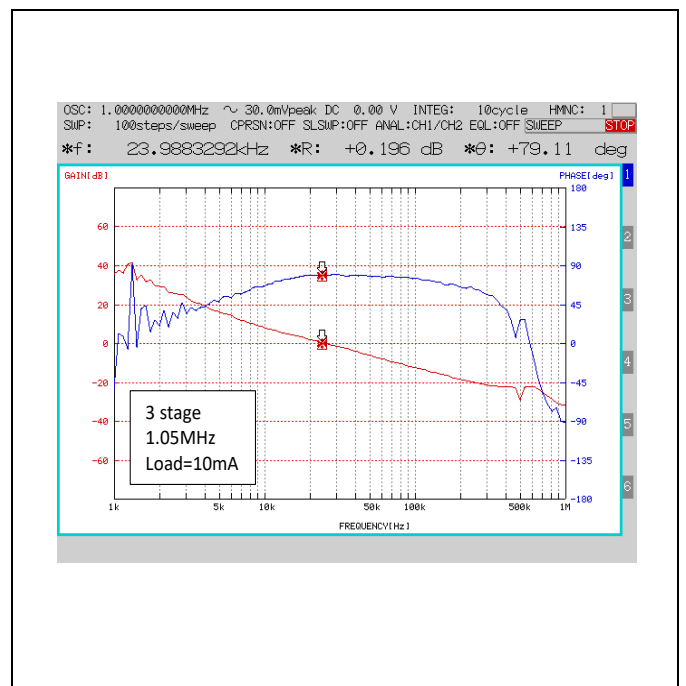


Figure 46. Phase margin (VGH)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

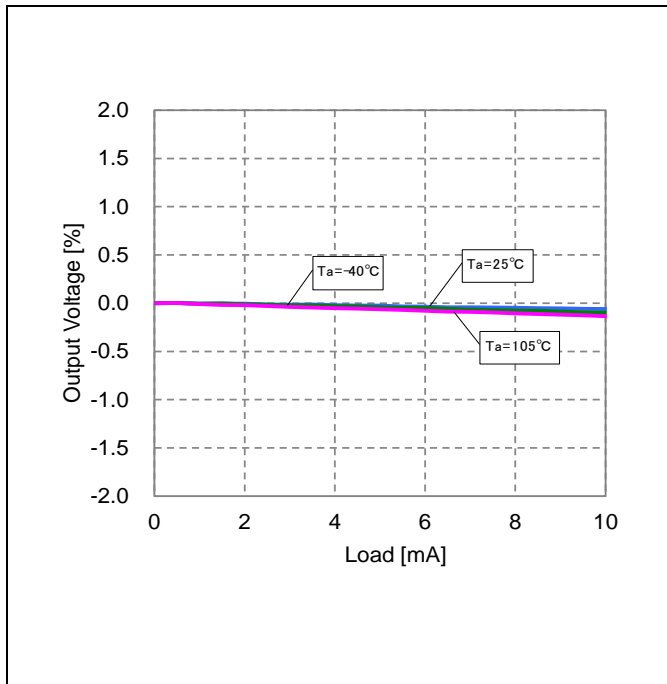


Figure 47. Load Regulation (VGH)

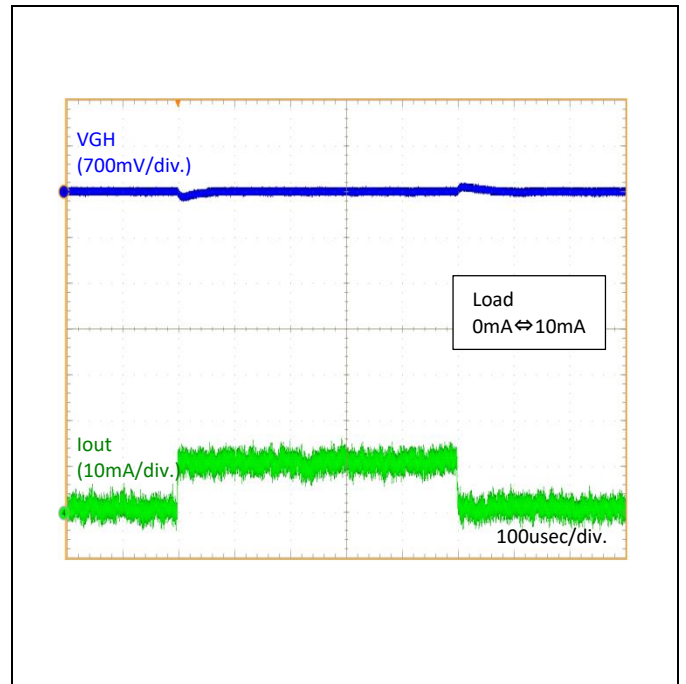


Figure 48. Load Transient (VGH)

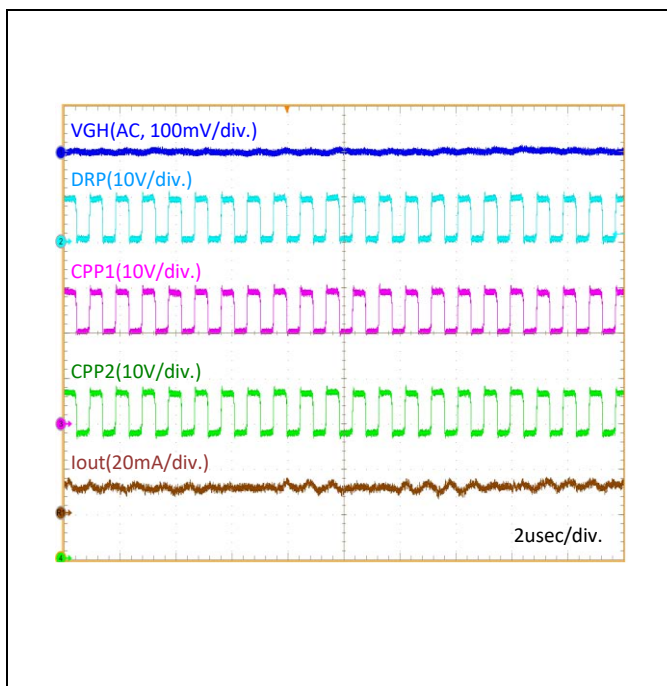


Figure 49. Switching waveform (VGH)

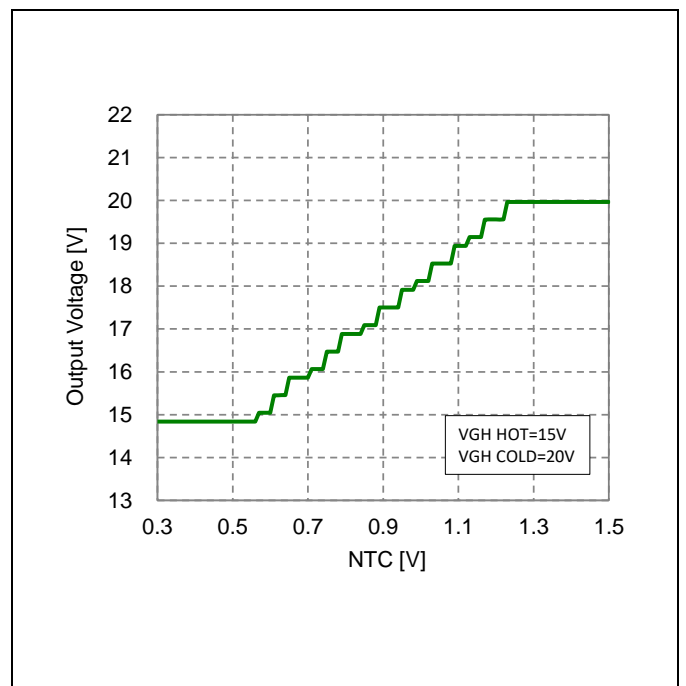


Figure 50. NTC Function (VGH)

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

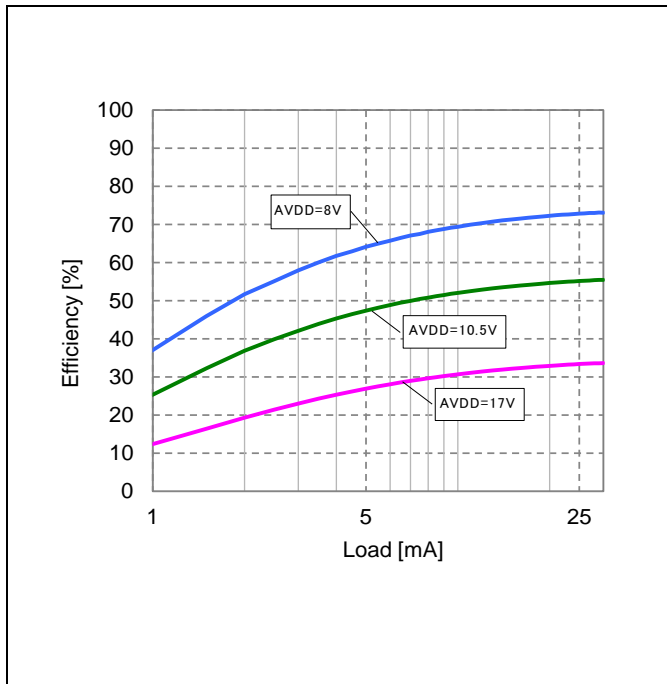


Figure 51. Efficiency (VGL)

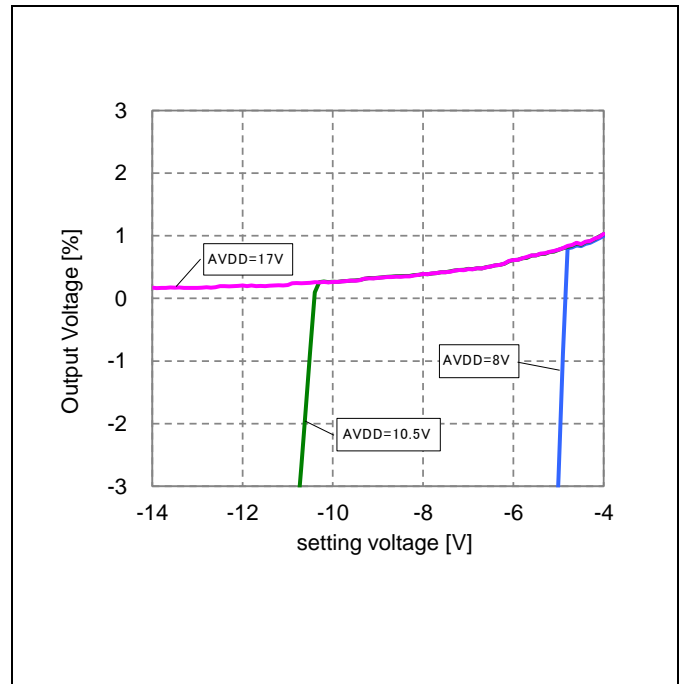


Figure 52. Output voltage accuracy (VGL, dependent on input voltage)

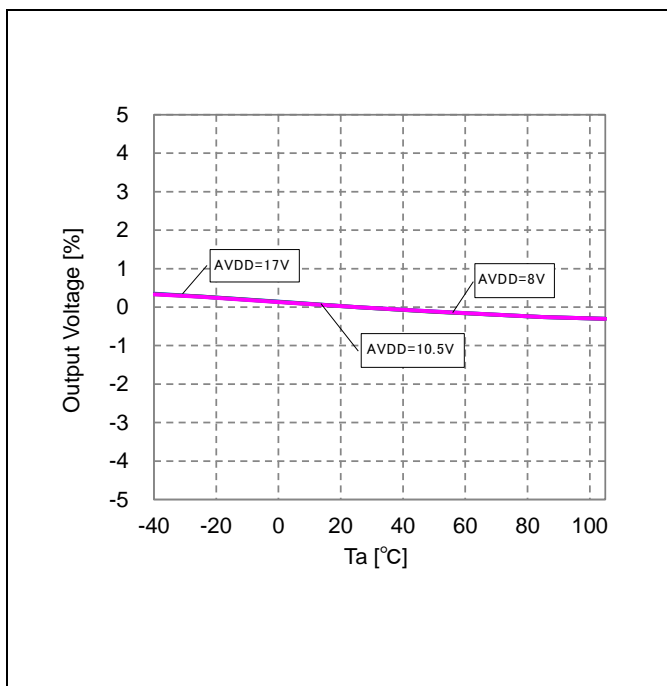


Figure 53. Output voltage accuracy (VGL, dependent on temperature)

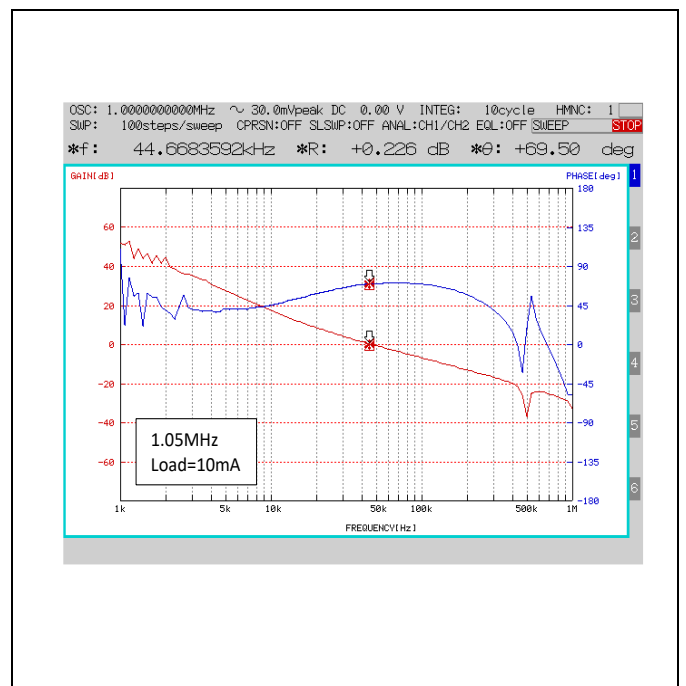


Figure 54. Phase margin (VGL)

参考データ- 続き (特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

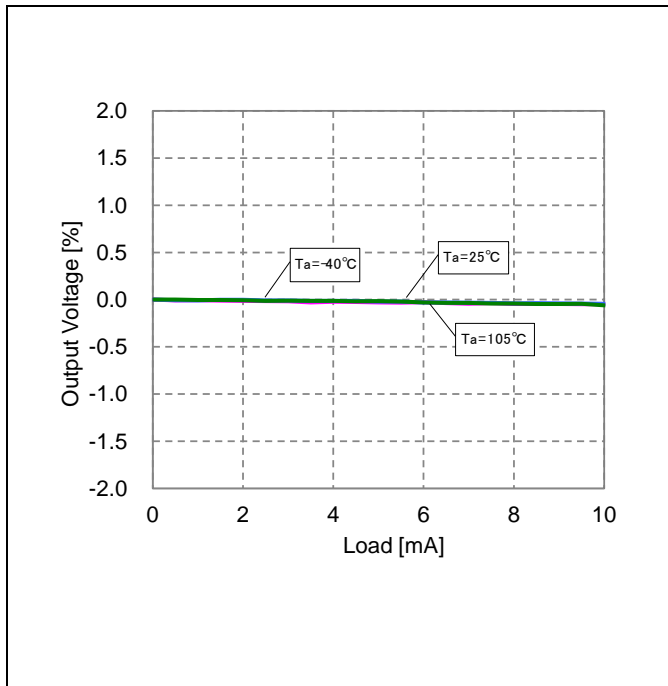


Figure 55. Load Regulation (VGL)

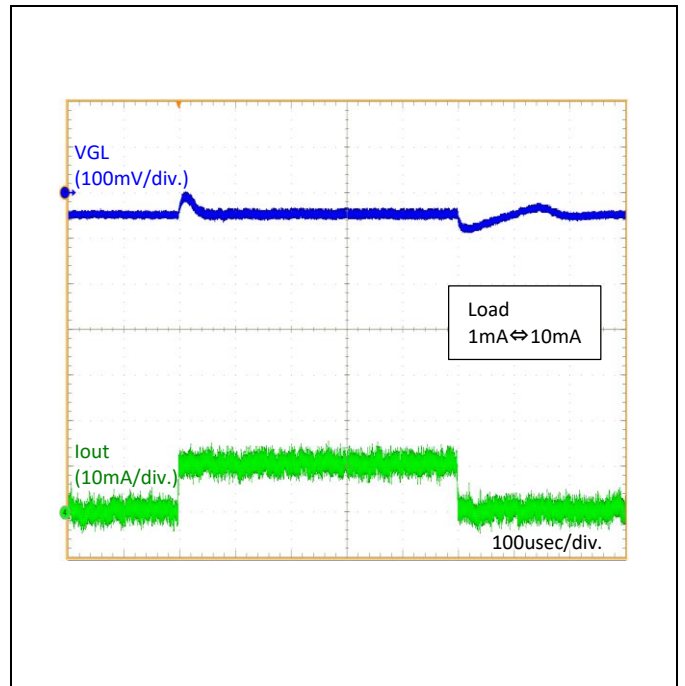


Figure 56. Load Transient (VGL)

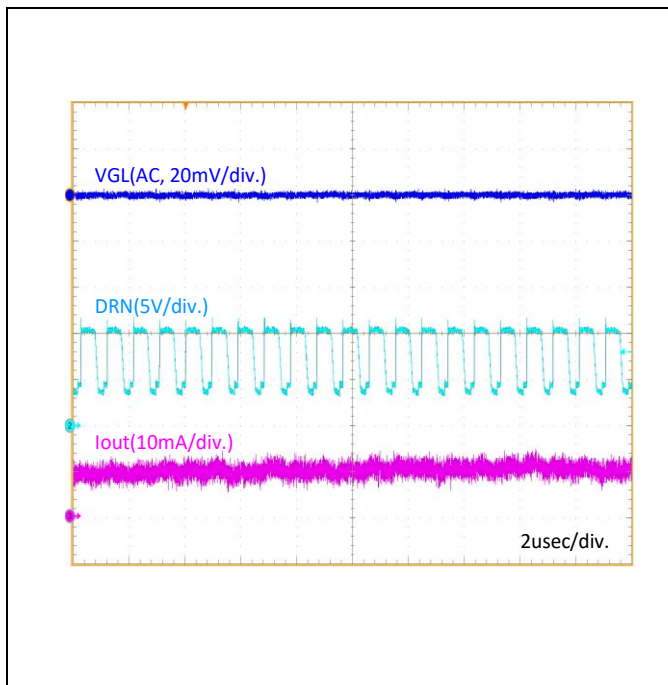


Figure 57. Switching waveform (VGL)

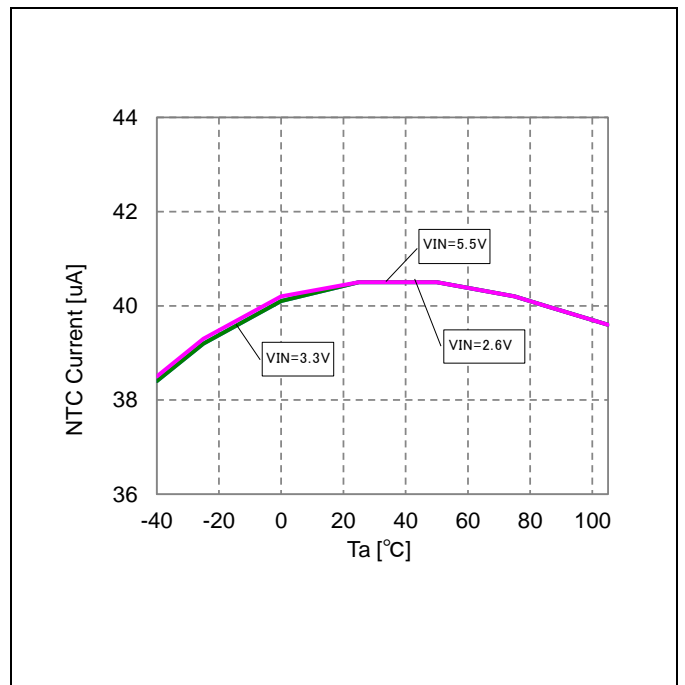


Figure 58. NTC current

参考データ- 続き

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

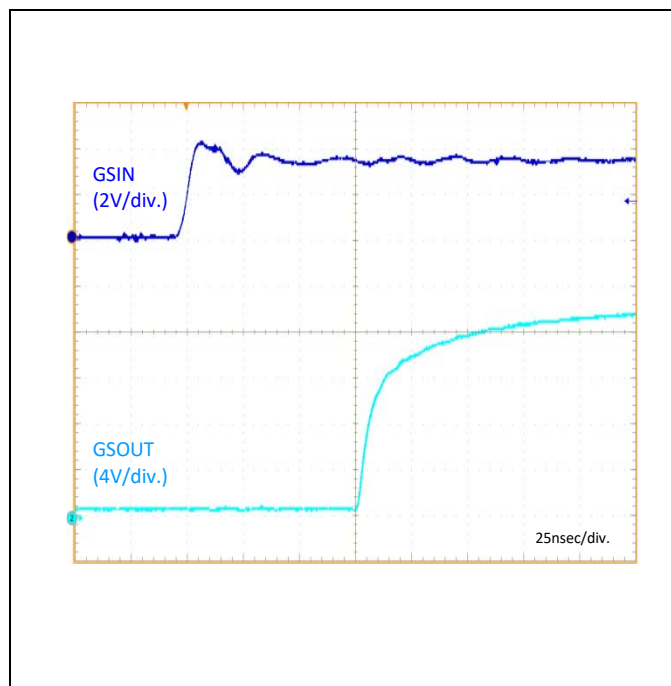


Figure 59. Propagation Delay (GPM, rise)

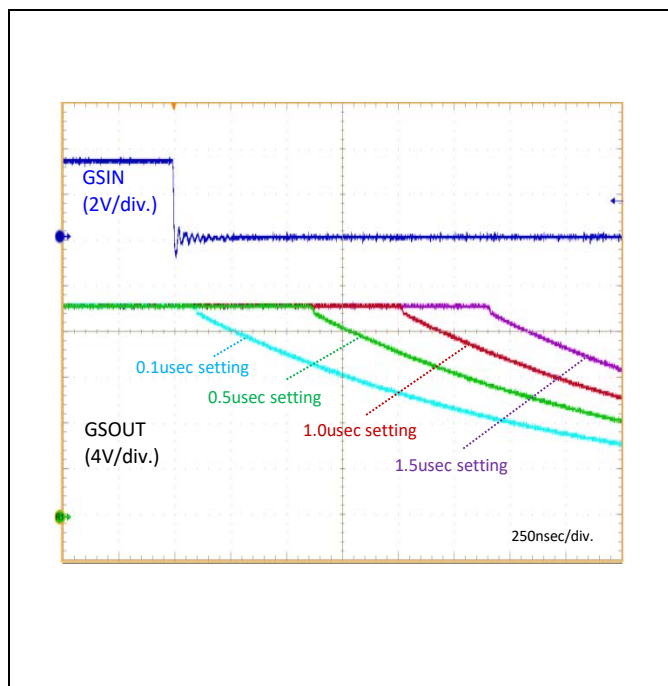


Figure 60. Propagation Delay (GPM, fall)

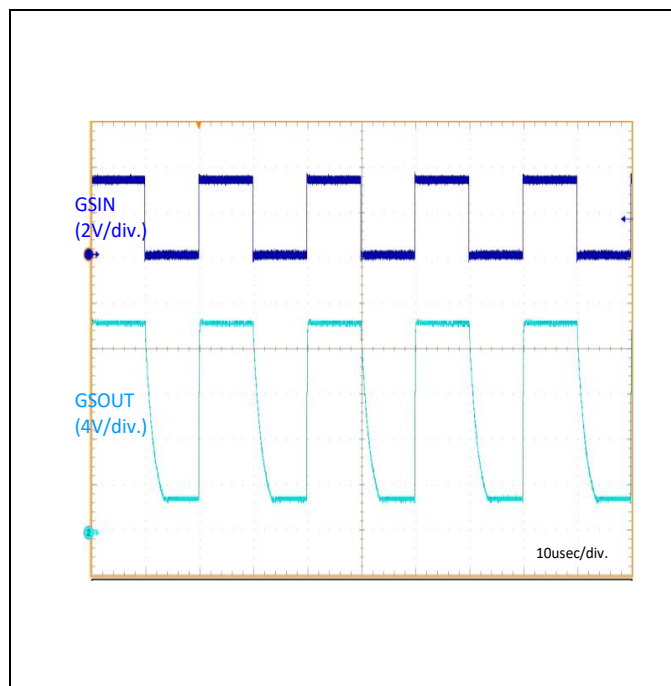


Figure 61. Waveform (GPM)

アプリケーション回路例 1 (EN 制御で動作する場合) — 続き

アプリケーション回路部品リスト

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V)

Parts name	Value			Unit	Company	Parts Number	Comment
	Min (Note 1)	Typ	Max				
C_VIN	10	10 x 2	-	μF	MURATA	GRT21BC81A106KE01	
C_VINB	4.7	10	-	μF	MURATA	GRT21BC81A106KE01	No need @ VDD LDO mode
C_REG	0.047	0.1	0.47	μF	MURATA	GRT188R71H104KE13	
C_LSO	10	10 x 2	-	μF	MURATA	GRT21BC81A106KE01	
C_AVD	5.0	10 x 3	10 x 6	μF	MURATA	GRT31CC81E106KE01	See p.49 in detail.
L_SW	-	4.7	-	μH	TDK	LTF5022T-4R7N2R0-H	See p.49 in detail.
D_SW	-	-	-	-	ROHM	(RB060M-30DD)	Please insert D_SW when improving the efficiency is necessary.
C_VDD	10	10 x 2	47	μF	MURATA	GRT21BC81A106KE01	
L_SWB	-	4.7	-	μH	TDK	LTF5022T-4R7N2R0-H	
C_VCOM	-	-	-	μF	MURATA	-	
C_VGL	0.47	1.0	4.7	μF	MURATA	GRT21BC81E105KE13	
C_DRN	-	0.1	-	μF	MURATA	GRT188R71H104KE13	
D_VGL		-		-	ROHM	RB558WFH	
C_VGH	0.47	2.2	4.7	μF	MURATA	GRT21BC8YA225KE13	
C_CPP1	-	0.1	-	μF	MURATA	GRT188R71H104KE13	
C_VCP	-	1.0	-	μF	MURATA	GRT188C81E105KE13	
C_CPP2	-	0.1	-	μF	MURATA	GRT188R71H104KE13	
R_RE	0.2	2.0	-	kΩ	ROHM	MCR03	
R_NTC1	-	4.7	-	kΩ	ROHM	MCR03	
R_NTC2	-	33	-	kΩ	ROHM	MCR03	
R_NTC3	-	10	-	kΩ	MURATA	NCU18XH103F6SRB	
R_FLT	47	100	200	kΩ	ROHM	MCR03	
R_PG	47	100	200	kΩ	ROHM	MCR03	
R_RST	47	100	200	kΩ	ROHM	MCR03	

(Note 1)温度特性やDC バイアス特性を考慮し最小値以下とならないようにしてください。

実機での十分な評価をお願い致します。

アプリケーション回路例 1 (EN 制御で動作する場合) — 続き
 タイミングチャート 1

起動シーケンス (EN 制御で動作する場合)

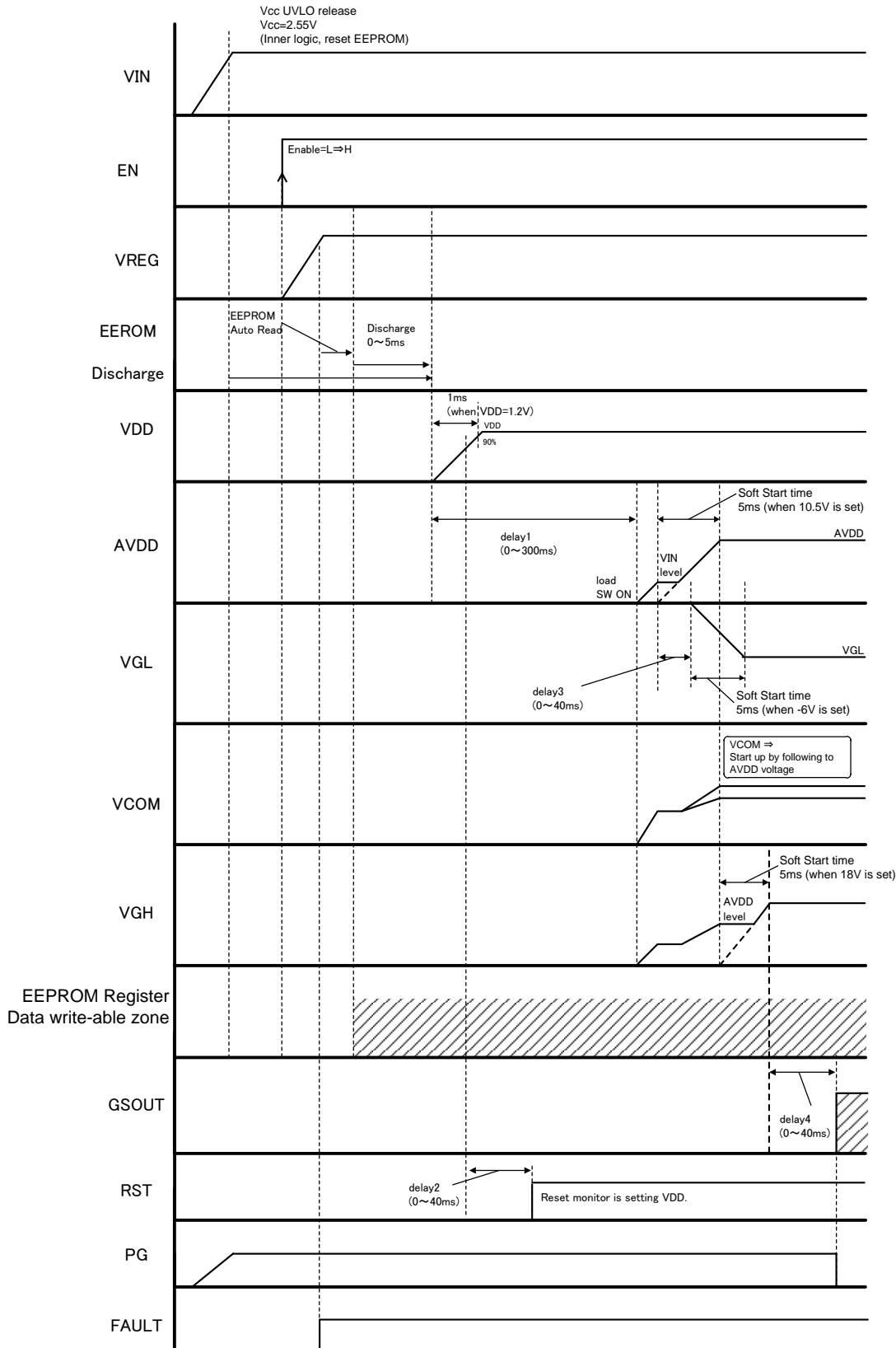


Figure 63. Start-Up Sequence Diagram (when operated by EN control)

タイミングチャート1 — 続き

オフシーケンス (EN 制御で動作する場合)

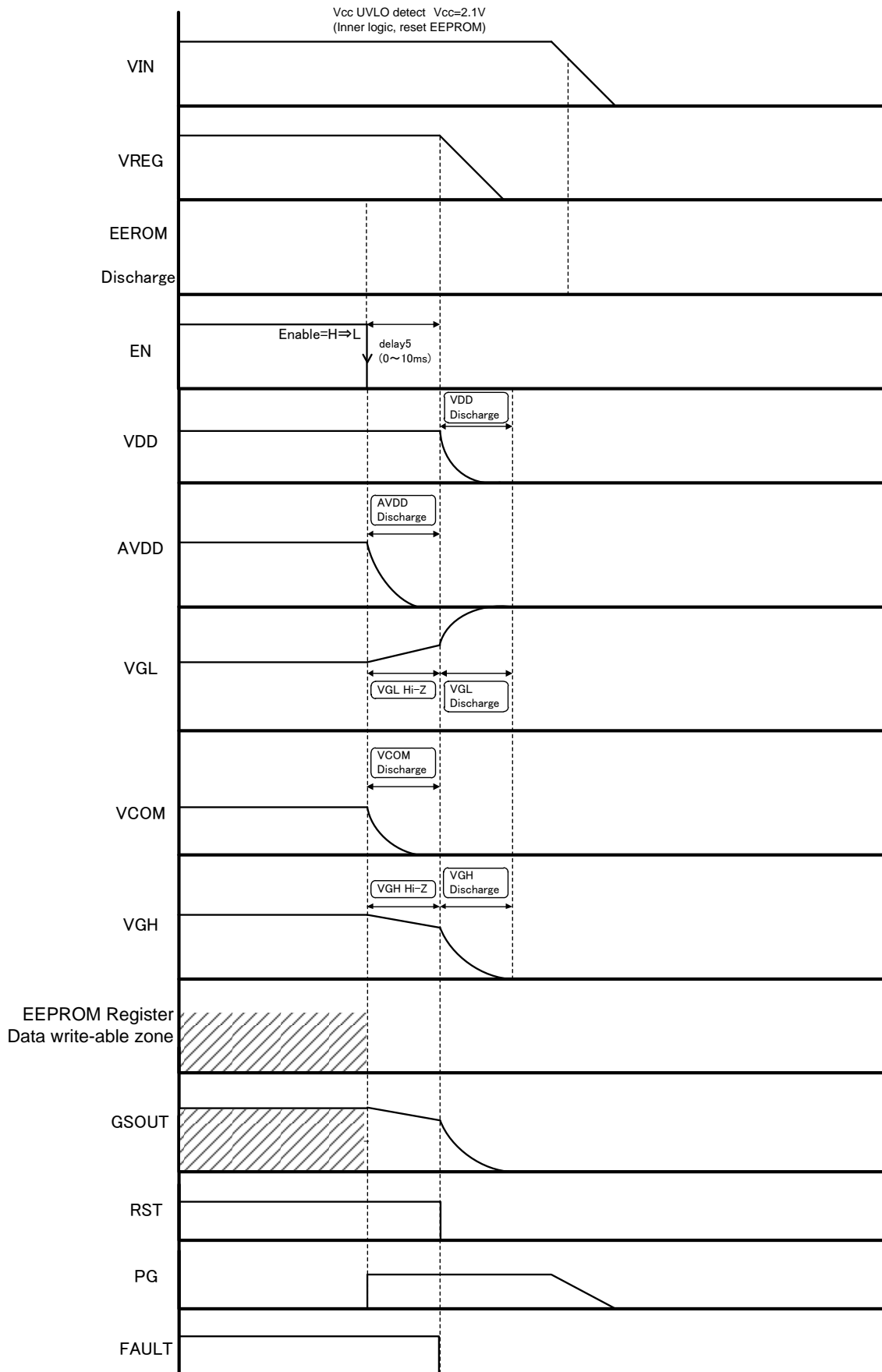


Figure 64. OFF Sequence Block (when operated by EN control)

アプリケーション回路例 2 (EN= VCC の場合)
 タイミングチャート 2

起動シーケンス (EN= VCC の場合)

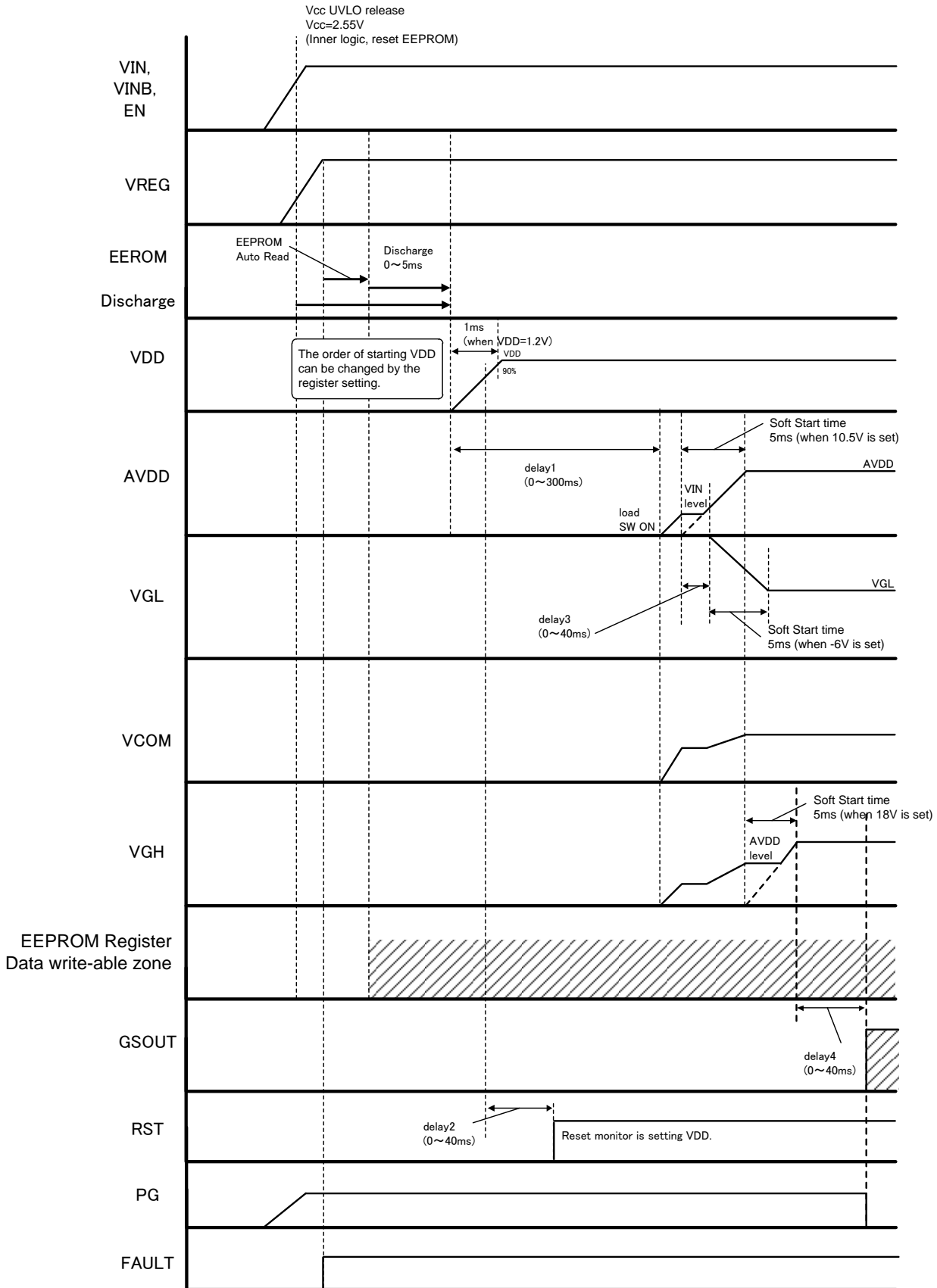


Figure 65. Start-Up Sequence Diagram (when operated with EN= VCC condition)

タイミングチャート2 — 続き

オフシーケンス (EN= VCC の場合)

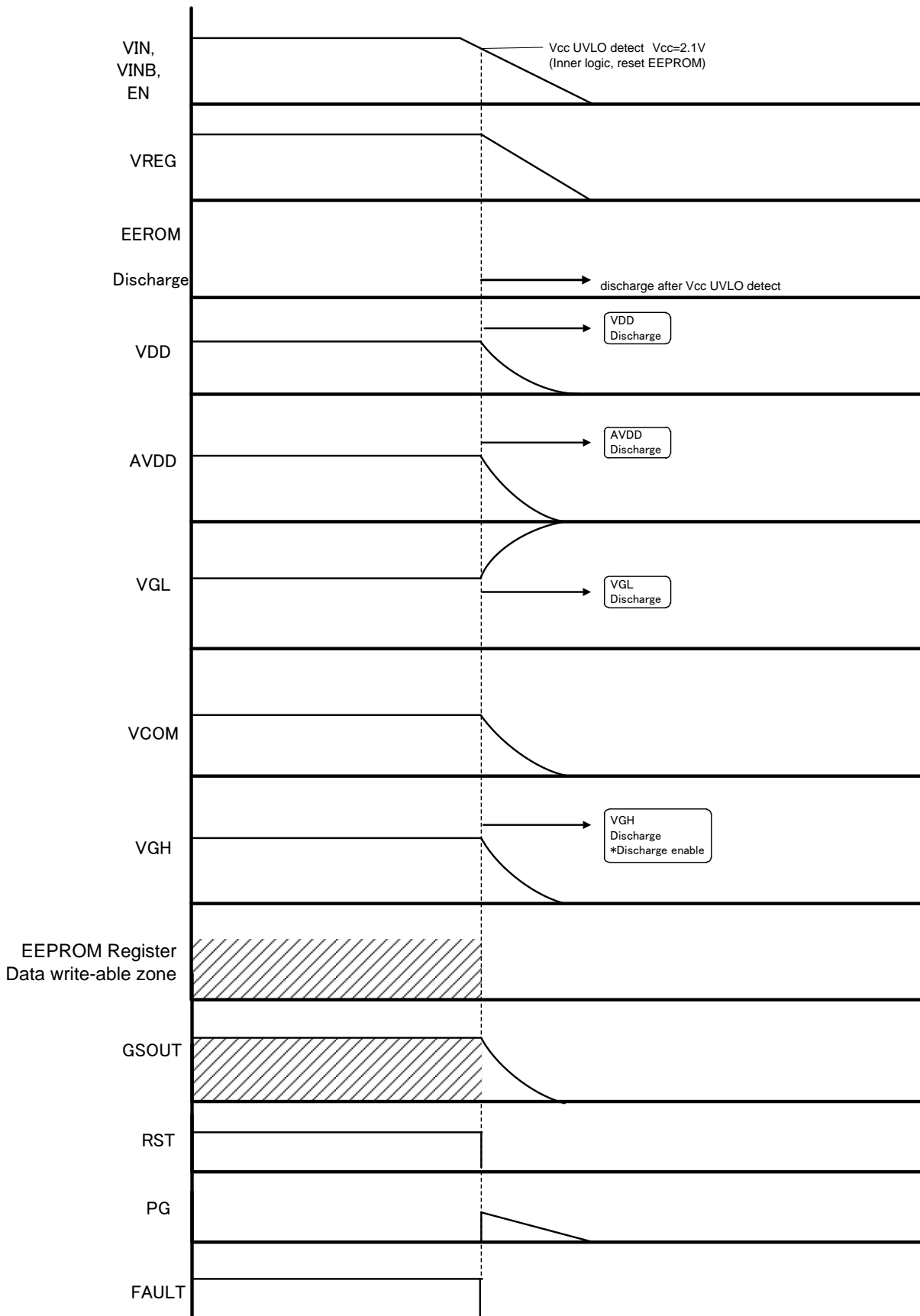


Figure 66. OFF Sequence Diagram (when operated with EN= VCC condition)

アプリケーション回路例 3 (LDSW モードの場合)

VGL => AVDD => VGH の順に起動させる場合、下図のようなアプリケーション回路で実現できます。
 この場合、EEPROM の Register08h (Function Select) を「1」に設定してください。

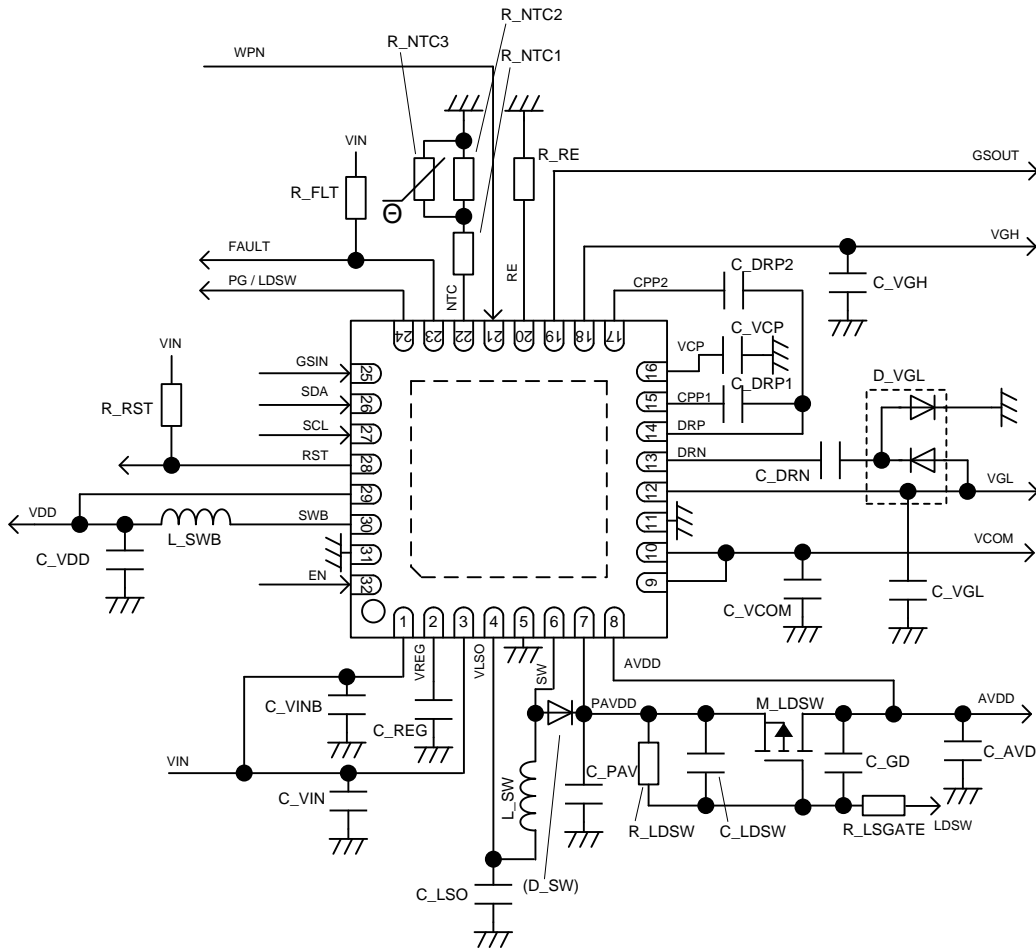


Figure 67. Application Circuit (Function Select = LDSW)

アプリケーション回路例 3 (LDSW モードの場合) — 続き

アプリケーション回路部品リスト

(特に記載がない限り VIN=3.3V, VDD=2.5V, AVDD=10.5V, VGH=18V, VGL=-6.0V, VCOM=5.25V and Ta=25°C)

Parts name	Value			Unit	Company	Parts Number	Comment
	Min (Note 1)	Typ	Max				
C_VIN	10	10 x 2	-	μF	MURATA	GRT21BC81A106KE01	
C_VINB	4.7	10	-	μF	MURATA	GRT21BC81A106KE01	No need @ VDD LDO mode
C_REG	0.047	0.1	0.47	μF	MURATA	GRT188R71H104KE13	
C_LSO	10	10 x 2	-	μF	MURATA	GRT21BC81A106KE01	
C_PAVD	5.0	10 x 2	10 x 5	μF	MURATA	GRT31CC81E106KE01	See p.49 in detail.
C_AV D	2.2	4.7	10	μF	MURATA	GRT31CC81E475KE01	See p.49 in detail.
L_SW	-	4.7	-	μH	TDK	LTF5022T-4R7N2R0-H	See p.49 in detail.
D_SW	-	-	-	-	ROHM	(RB060M-30DD)	Please insert D_SW when improving the efficiency is necessary.
M_LDSW	-	-	-	-	ROHM	RTR030P02FHA	
R_LDSW	-	100	-	kΩ	ROHM	MCR03	
C_LDSW	-	0.47	-	μF	MURATA	GRT21BR71H474KE01	
C_GD	-	33	-	nF	MURATA	GRT155R71H333KE01	
R_LSGATE	-	100	-	kΩ	ROHM	MCR03	
C_VDD	10	10 x 2	47	μF	MURATA	GRT21BC81A106KE01	
L_SWB	-	4.7	-	μH	TDK	LTF5022T-4R7N2R0-H	
C_VCOM	-	-	-	μF	MURATA	-	
C_VGL	0.47	1.0	4.7	μF	MURATA	GRT21BC81E105KE13	
C_DRN	-	0.1	-	μF	MURATA	GRT188R71H104KE13	
D_VGL	-	-	-	-	ROHM	RB558WFH	
C_VGH	0.47	2.2	4.7	μF	MURATA	GRT21BC8YA225KE13	
C_CPP1	-	0.1	-	μF	MURATA	GRT188R71H104KE13	
C_VCP	-	1.0	-	μF	MURATA	GRT188C81E105KE13	
C_CPP2	-	0.1	-	μF	MURATA	GRT188R71H104KE13	
R_RE	0.2	2.0	-	kΩ	ROHM	MCR03	
R_NTC1	-	4.7	-	kΩ	ROHM	MCR03	
R_NTC2	-	33	-	kΩ	ROHM	MCR03	
R_NTC3	-	10	-	kΩ	MURATA	NCU18XH103F6SRB	
R_FLT	47	100	200	kΩ	ROHM	MCR03	
R_RST	47	100	200	kΩ	ROHM	MCR03	

(Note 1) 温度特性やDCバイアス特性を考慮し最小値以下としないようにしてください。

実機での十分な評価をお願い致します。

タイミングチャート 3

起動シーケンス (LDSW モードの場合)

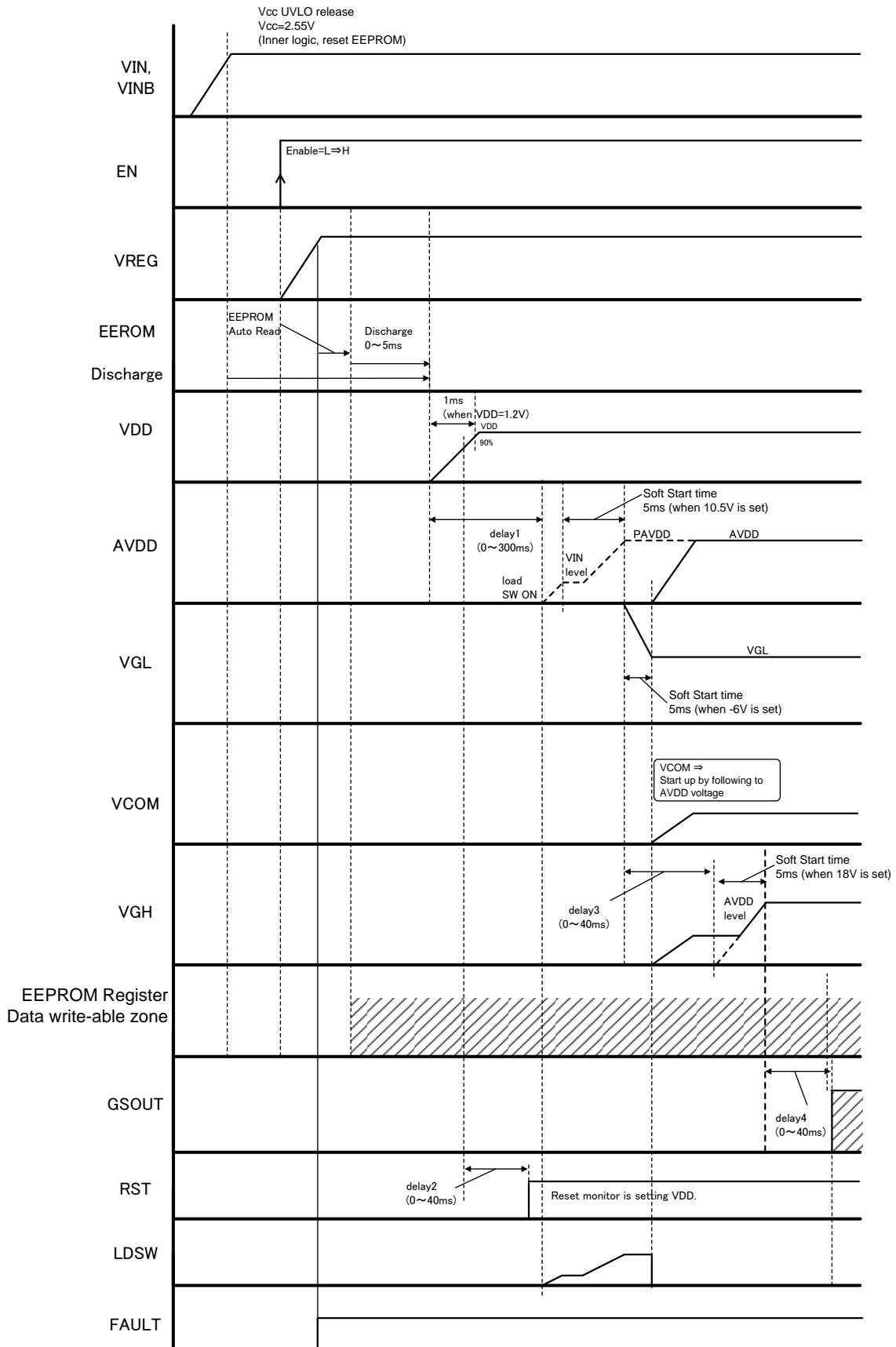


Figure 68. Start-Up Sequence Diagram (when operated with LDSW Function)

タイミングチャート3 — 続き

オフシーケンス (LDSW モードの場合)

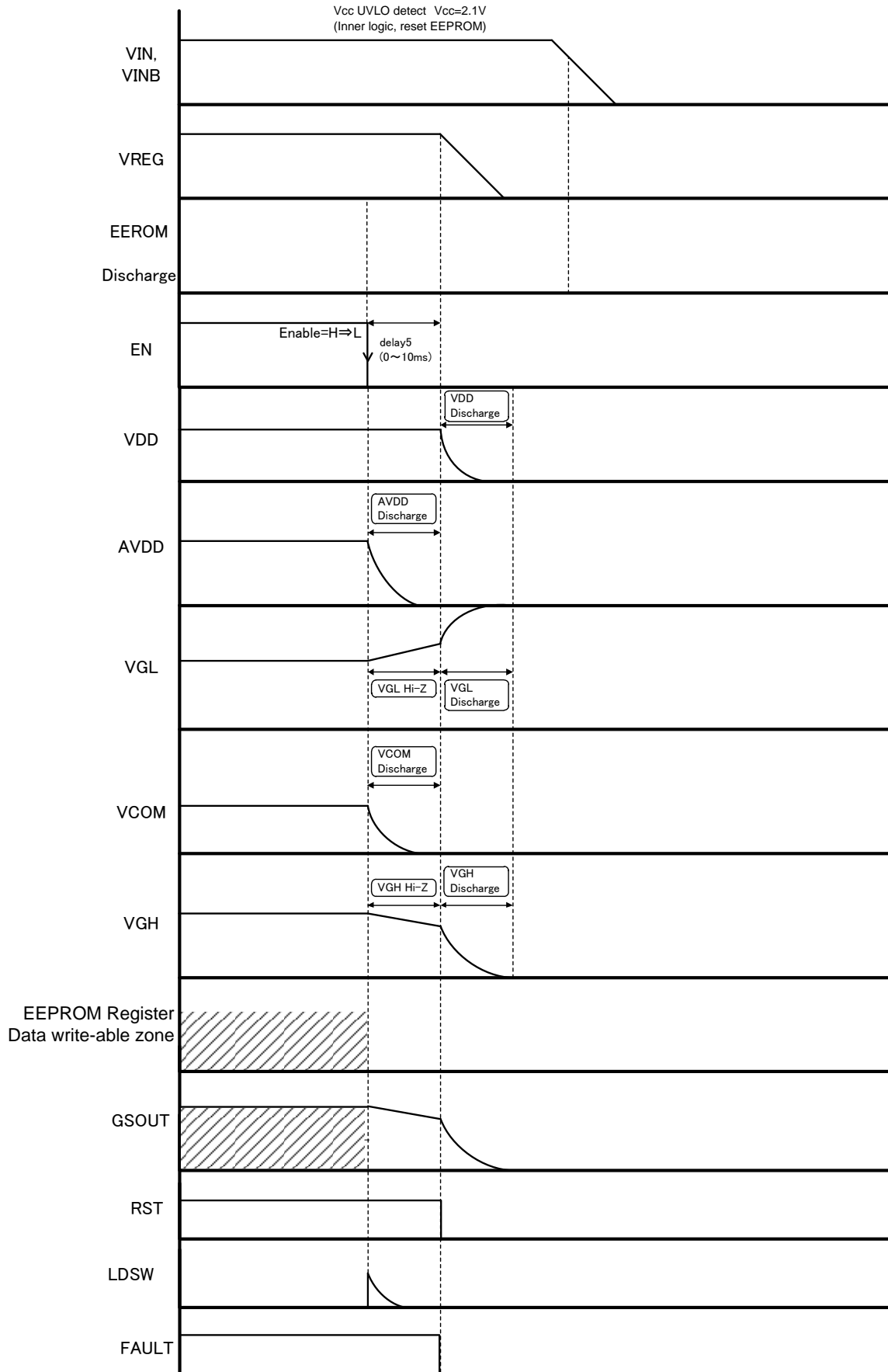


Figure 69. OFF Sequence Diagram (when operated with LDSW Function)

シリアル通信

この IC は EEPROM を内蔵しており、2 つの異なるデバイスアドレスを持っています。データの送受信は 2 線シリアルインターフェース (SCL、SDA) を使用して行われます。EEPROM を通したデータ送受信の通信フォーマットは、以下の通りです。

DVR (VCOM キャリブレータ) 用 EEPROM の I2C フォーマット

Write operation	Start	Device address							R/W	ACK	DATA							ACK	STOP
		1	0	0	1	1	1	1	0	0	D6	D5	D4	D3	D2	D1	D0	P	
Read operation	Start	Device address							R/W	ACK	DATA							ACK	STOP
		1	0	0	1	1	1	1	1	0	D6	D5	D4	D3	D2	D1	D0	X	

Device Address = 1001111(R/W)の場合、DVR (VCOM キャリブレータ) 用 EEPROM の Read/Write になります。

WRITE モードの場合(R/W="0"の場合) :

- ・ P ビット="1"のとき、送信データはレジスタのみに書き込まれます。
- ・ WPN=Low 且つ P ビット="0"ときも同じく、送信データはレジスタのみに書き込まれます。
- ・ WPN=High 且つ P ビット="0"とき、送信データはレジスタと EEPROM の両方に書き込まれます。

READ モードの場合(R/W="1"の場合) :

受信データの最終ビットは" Don't care" となります。

"D6"は VCOM(HOT)の値からキャリブレーション値の±選択となり、0 = "+", 1="-" となります。

[D5:D0]は、VCOM(HOT)の値のキャリブレーション値の絶対値となります。

キャリブレーション値の絶対値は、10mV x [D5:D0] となります。

キャリブレーション値の例 :

[D6:D0,P] = 82h(D6=1, [D5:D0]=1'd, P=0) ⇒ VCOM = VCOM(HOT) - 1 x 10mV;

[D6:D0,P] = 7Eh(D6=0, [D5:D0]=63'd, P=0) ⇒ VCOM = VCOM(HOT) + 63 x 10mV;

DVR 用 EEPROM への Read/Write シーケンスは次のようになります。

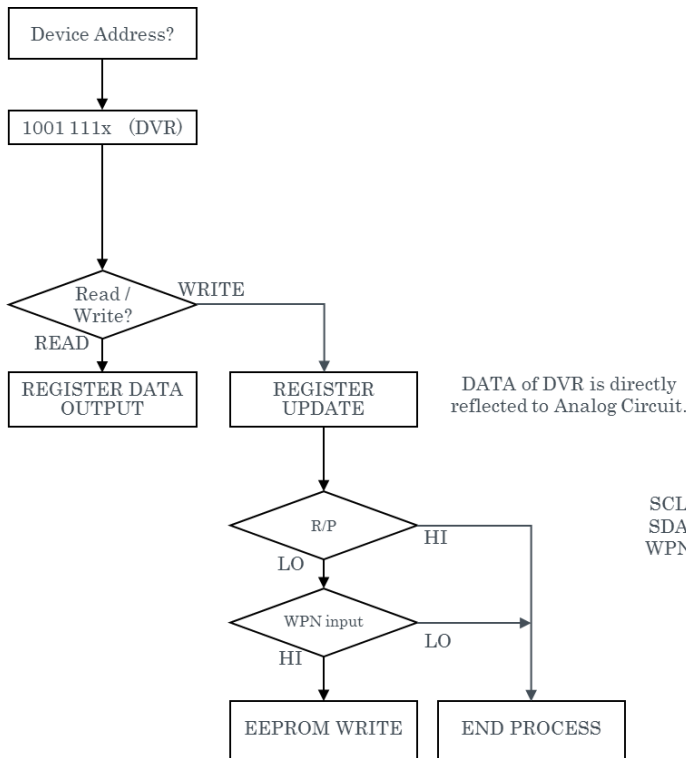


Figure 70

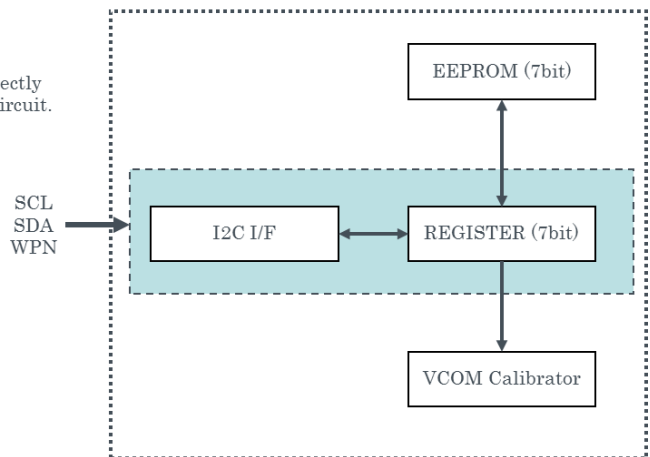


Figure 71

シリアル通信 — 続き

Power Management IC (PMIC)用 EEPROM の I2C フォーマット

Write operation	Start	Device address								R/W	ACK	Register Address	ACK	N-bytes Data								ACK	Stop	
		1	0	0	0	0	0	0	0	0	0	00h ~ 0Dh, 10h, 11h	0									0		
Read operation	Start	Device address								R/W	ACK	Register Address	ACK	Repeated Start	Device Address								ACK	Stop
		1	0	0	0	0	0	0	0	0	0	00h ~ 0Dh, 10h, 11h	0										1	

BM81810MUV-M のデバイスアドレスは “1000 000x” となります。
レジスタ 00h ~ 0Dh へのマルチ書き込みが可能です。

	EN	WPN	Start-up(0Ch[7])	PMIC (00h ~ 0Dh)	Output Function
1	Low	Low	-	-	Shutdown
2	High	Low	-	Register	Active
3	High	High	0*	Register & EEPROM	Shutdown
4	High	High	1	Register & EEPROM	Active

* 出荷工程において、EEPROM の Start-up (0Ch[7]) に "1" を書き込んでください。

I2C でのデータ送受信条件は次のようになります。

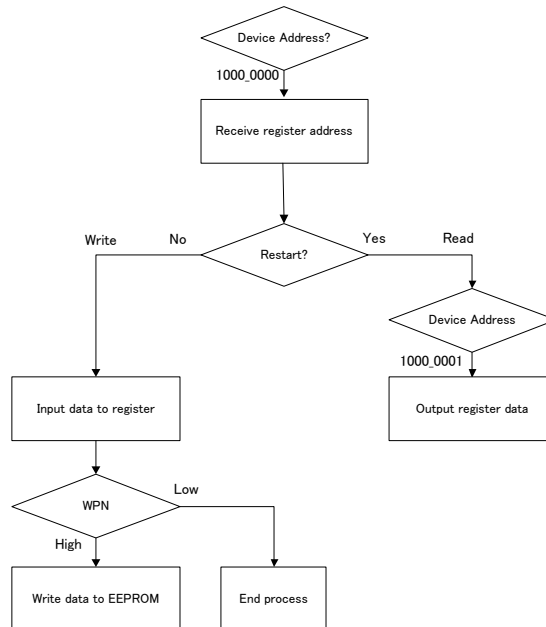


Figure 72

WPN 投入タイミングについて

通常使用時は WPN 端子を Low 固定にし、EEPROM 書き込み時のみ High にしてください。
EEPROM 書き込み時の WPN 投入タイミングは Figure.73 のようになります。
EN 投入後の EEPROM からのオートリード時間の最大値が 5ms となりますので、EEPROM アクセスのための I2C 信号入力は EN 投入後 5ms 以上としてください。
また、EEPROM 書き込み時間として最大 50ms 必要となるので、EEPROM 書き込みのための I2C 信号の STOP ビット入力後 50ms 以上 EN High 状態を維持してください。

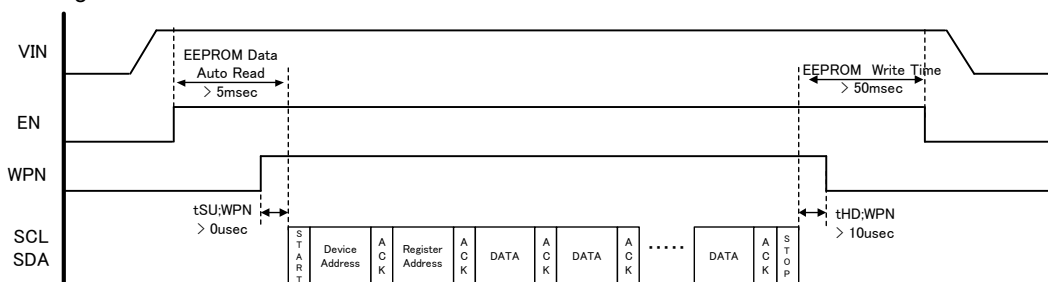


Figure 73

I2C タイミングチャート

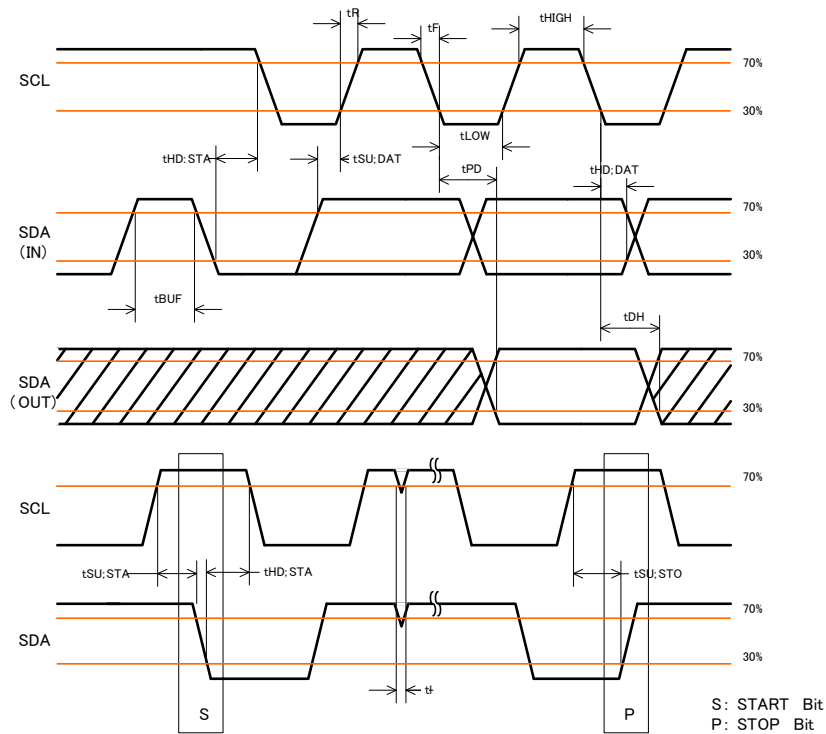


Figure 74. I2C Timing Diagram

・ タイミング標準値

項目	記号	標準モード			高速モード			Unit
		Min	Typ	Max	Min	Typ	Max	
SCL 周波数	fSCL	-	-	100	-	-	400	kHz
SCL high 時間	tHIGH	4.0	-	-	0.6	-	-	μs
SCL low 時間	tLOW	4.7	-	-	1.2	-	-	μs
立ち上がり時間	tR	-	-	1.0	-	-	0.3	μs
立下り時間	tF	-	-	0.3	-	-	0.3	μs
スタート条件ホールド時間	tHD ; STA	4.0	-	-	0.6	-	-	μs
スタート条件設定時間	tSU ; STA	4.7	-	-	0.6	-	-	μs
SDA ホールド時間	tHD ; DAT	0	-	-	0	-	-	ns
SDA セットアップ時間	tSU ; DAT	200	-	-	100	-	-	ns
アックノレッジ遅延時間	tPD	-	-	0.9	-	-	0.9	μs
アックノレッジホールド時間	tDH	-	0.1	-	-	0.1	-	μs
ストップ条件セットアップ時間	tSU ; STO	4.0	-	-	0.6	-	-	μs
Bus リリース時間	tBUF	4.7	-	-	1.2	-	-	μs
ノイズスパイク幅	TI	-	0.1	-	-	0.1	-	μs

起動時 EEPROM オートリードについて

起動時、内部電圧 VREG の UVLO により内部レジスタは初期値にリセットされます。
VREG の UVLO 解除後、EEPROM からのオートリードが実施され、EEPROM 値がレジスタに格納されます。
起動時 EEPROM のオートリード動作は次のようになります。

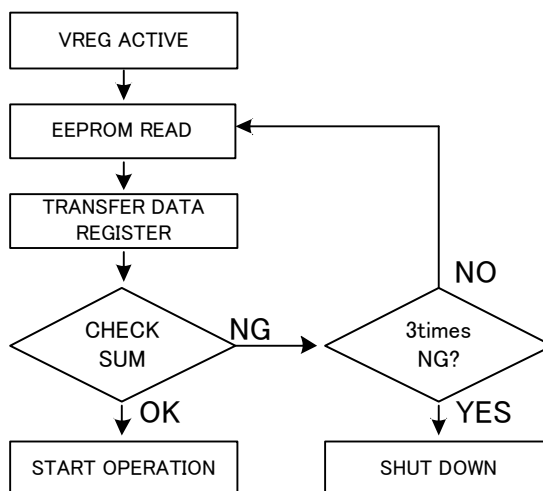


Figure 75. Automatic EEPROM Read Function at Start-up

EEPROM 設定について

■EEPROM / Main Register Map (device address : 1000000x)				
Device Address: 1000000x (PMIC)				
Register Address	Bits	Function	Resolution	Comments
00h	8	AVDD Output voltage	0.1V [5.0V to 17.0V]	AVDD Output voltage setting
01h	8	VGH(HOT) Output voltage	0.2V [8.0V to 35.0V]	VGH(HOT) Output voltage setting
02h	8	Δ VGH(COLD) Voltage [6:0] VGH NTC Enalbe [7]	0.2V [VGH(HOT) + 15V] 0:Disable, 1:Enable	
03h	8	VGL Output voltage	0.1V [-14.0V to -4.0V]	VGL Output voltage setting
04h	8	VCOM(HOT) Output voltage	40mV [0.5xAVDD ±4.0V]	VCOM(HOT) Output voltage setting
05h	8	Δ VCOM(COLD) Voltage [6:0] VCOM NTC Enalbe [7]	10mV [VCOM(HOT) - 0.63V] 0:Disable, 1:Enable	
06h	8	VDD Output voltage [5:0] VDD mode select [6] VDD Phase [7]	0.05V [0.9V to 3.4V] 0 : DC/DC, 1 : LDO See P.56 page.	VDD Output voltage setting Select VDD operation mode DC/DC or LDO select VDD Phase
07h	8	Reset Voltage [4:0] Reset monitor select [5] GPM input delay [7:6]	0.1V [0.6V to 3.3V] 0:VDD, 1:VIN 00: 0.1usec, 01: 0.5usec, 10: 1.0usec, 11: 1.5usec	Reset voltage setting Select monitor pin of reset function GPM input propagation delay time setting
08h	8	Discharge time [2:0] Delay1 time [6:3] Function Select [7]	1msec [0 to 5msec] [0 to 300msec] 0: PG, 1: LDSW	Pre-discharge time setting Load switch of AVDD start-up delay time setting 24pin function select
09h	8	Delay2 time [2:0] DoubleReg [3] Delay3 time [6:4] DataRef [7]	5msec [0 to 30msec, 40msec] 0: Disable, 1: Enable 5msec [0 to 30msec, 40msec] 0: Disable, 1: Enable	Reset start delay time setting Double Register Function VGL or VGH start-up delay time setting Data Refresh Function
0Ah	8	Delay4 time [2:0] AR Time [3] Delay5 time [6:4] VGH Discharge enable [7]	5msec [0 to 30msec, 40msec] 0: 0.5sec, 1: 1.0sec 2msec [0 to 10msec] 0: Enable, 1: Disable	GPM start delay time setting Data Refresh Time VDD stop delay time setting VGH Discharge function enable
0Bh	8	AVDD Coil[1:0] AVDD SW Slew Rate [3:2] AVDD SS time [5:4] AVDD OCP Select [6] AVDD COMP [7]	See p.49 page. See p.48 page. 5msec [5msec to 20msec] 0: 2A, 1: 1A See p.49 page.	select AVDD Coil inductance 4step slew rate setting (11:fast → 00:slow) AVDD softstart time setting AVDD OCP min value select AVDD phase compensation setting
0Ch	8	AVDD Frequency [1:0] VDD Frequency [3:2] VGH / VGL Frequency [5:4] VGH mode select [6] start-up bit [7]	00:2.1MHz, 01:1.05MHz, 10:525KHz, 11:525KHz 00:2.1MHz, 01:1.05MHz, 10:525KHz, 11:525KHz AVDD Frequency (00:x1, 01:--, 10:--, 11:--) 0: x3 mode, 1: x2 or x4 mode 0:Disable, 1:Enable	Select AVDD switching frequency Select VDD switching frequency Select VGH and VGL switching frequency. Choose only "00" . Select VGH charge pump mode

Device Address: 1001111x (VCOM)				
Register Address	Bits	Function	Resolution	Comments
-	7	VCOM Calibrator	+/- 0.01V [VCOM +/- 0.63V]	VCOM Calibrator

Start-up bit(REG0Ch[7]) = "1"の状態では、下記に示すレジスタは変更不可となります。
これらのレジスタ値を変更する場合には、一度 Start-up bit(REG0Ch[7])を"0"にしてから変更してください。

レジスタ値の変更後に再度 Start-up bit(REG0Ch[7])を"1"にすることで、変更後の設定で起動します。

- VGH NTC Enable REG02h[7]
- VCOM NTC Enable REG05h[7]
- VDD mode select REG06h[6]
- Function select REG08h[7]
- VGH mode select REG0Ch[6]

レジスタマップ

Device Address : 1000000x (PMIC)

Register Address	D7	D6	D5	D4	D3	D2	D1	D0	Default
00h	AVDD Output Voltage								68h
01h	VGH HOT Output Voltage								59h
02h	VGH NTC Enable	Δ VGH COLD Voltage							83h
03h	VGL Output Voltage								3Bh
04h	VCOM HOT Output Voltage								80h
05h	VCOM NTC Enable	Δ VCOM COLD Voltage							99h
06h	VDD Phase Select	VDD MODE	VDD Output Voltage						20h
07h	GPM Input Delay		Reset Monitor Select	Reset Voltage					04h
08h	Function Select	Delay1 time			Discharge time				09h
09h	Data Refresh	Delay3 time		DoubleReg	Delay2 time				13h
0Ah	VGH Discharge Enable	Delay5 time		AR_Time	Delay4 time				87h
0Bh	AVDD COMP	AVDD OCP Select	AVDD SS Time	AVDD SW Slew Rate		AVDD Coil Select			3Ch
0Ch	Start-up Bit	VGH mode select	VGH/VGL Frequency	VDD Frequency		AVDD Frequency			05h
0Dh	Check Sum								60h
10h	AVDD UVP	VDD UVP	VGH UVP	VGL UVP	Double Register Error	AVDD OCP	TSD	Check sum Error	00h

Device Address : 1001111x (VCOM)

Register Address	D6	D5	D4	D3	D2	D1	D0	P	Default
-	VCOM Calibration Voltage							P	80h

レジスタマップ — 続き
コマンドテーブル

		Register Address															
	00h	01h	02h		03h	04h	05h		06h		07h		08h				
DATA (HEX)	AVDD Output Voltage [7:0]	VGH HOT Output Voltage [7:0]	VGH NTC Enable [7]	∠VGH COLD Voltage [6:0]	VGL Output Voltage [7:0]	VCOM HOT Output Voltage [7:0]	VCOM NTC Enable [7]	∠VCOM COLD Voltage [6:0]	VDD Phase [7]	VDD MODE [6]	VDD Output Voltage [5:0]	GPM Input Delay [7:6]	Reset Monitor Select [5]	Reset Voltage [4:0]	Function Select [7]	Delay1 time [6:3]	Discharge time [2:0]
00h				+0.0V		AVDD2		-0.00V			0.90 V			0.6 V			0 msec
01h				+0.2V		AVDD2+0.04V		-0.01V			0.85 V			0.7 V			1 msec
02h				+0.4V		AVDD2+0.08V		-0.02V			1.00 V			0.8 V			2 msec
03h				+0.6V		AVDD2+0.12V		-0.03V			1.05 V			0.9 V			3 msec
04h				+0.8V		AVDD2+0.16V		-0.04V			1.10 V			1.0 V		0 msec	4 msec
05h				+1.0V		AVDD2+0.20V		-0.05V			1.15 V			1.1 V			
06h				+1.2V		AVDD2+0.24V		-0.06V			1.20 V			1.2 V		5 msec	
07h				+1.4V		AVDD2+0.28V		-0.07V			1.25 V			1.3 V			
08h				+1.6V		AVDD2+0.32V		-0.08V			1.30 V			1.4 V			0 msec
09h				+1.8V		AVDD2+0.36V		-0.09V			1.35 V			1.5 V			1 msec
0Ah				+2.0V		AVDD2+0.40V		-0.10V			1.40 V			1.6 V			2 msec
0Bh				+2.2V		AVDD2+0.44V		-0.11V			1.45 V			1.7 V			3 msec
0Ch				+2.4V		AVDD2+0.48V		-0.12V			1.50 V			1.8 V			4 msec
0Dh				+2.6V		AVDD2+0.52V		-0.13V			1.55 V			1.9 V			
0Eh				+2.8V		AVDD2+0.56V		-0.14V			1.60 V			2.0 V			5 msec
0Fh				+3.0V		AVDD2+0.60V		-0.15V			1.65 V			2.1 V			
10h				+3.2V		AVDD2+0.64V		-0.16V			1.70 V		VDD	2.2 V			0 msec
11h				+3.4V		AVDD2+0.68V		-0.17V			1.75 V			2.3 V			1 msec
12h				+3.6V		AVDD2+0.72V		-0.18V			1.80 V			2.4 V			2 msec
13h				+3.8V		AVDD2+0.76V		-0.19V			1.85 V			2.5 V			3 msec
14h		8.0 V		+4.0V	-4.0 V	AVDD2+0.80V		-0.20V			1.90 V			2.6 V		10 msec	4 msec
15h				+4.2V		AVDD2+0.84V		-0.21V			1.95 V			2.7 V			
16h				+4.4V		AVDD2+0.88V		-0.22V			2.00 V			2.8 V			5 msec
17h				+4.6V		AVDD2+0.92V		-0.23V			2.05 V			2.9 V			
18h				+4.8V		AVDD2+0.96V		-0.24V			2.10 V			3.0 V			0 msec
19h		5.0 V		+5.0V		AVDD2+1.00V		-0.25V			2.15 V			3.1 V			1 msec
1Ah				+5.2V		AVDD2+1.04V		-0.26V			2.20 V			3.2 V			2 msec
1Bh				+5.4V		AVDD2+1.08V		-0.27V			2.25 V						3 msec
1Ch				+5.6V		AVDD2+1.12V		-0.28V			2.30 V						4 msec
1Dh				+5.8V		AVDD2+1.16V		-0.29V			2.35 V			3.3 V			
1Eh				+6.0V		AVDD2+1.20V		-0.30V			2.40 V						5 msec
1Fh				+6.2V		AVDD2+1.24V		-0.31V			2.45 V						
20h				+6.4V		AVDD2+1.28V		-0.32V		DC/DC	2.50 V	0.1 usec		0.6 V			0 msec
21h				+6.6V		AVDD2+1.32V		-0.33V			2.55 V			0.7 V			1 msec
22h				+6.8V		AVDD2+1.36V		-0.34V			2.60 V			0.8 V			2 msec
23h				+7.0V		AVDD2+1.40V		-0.35V			2.65 V			0.9 V			3 msec
24h				+7.2V		AVDD2+1.44V		-0.36V			2.70 V			1.0 V			4 msec
25h				+7.4V		AVDD2+1.48V		-0.37V			2.75 V			1.1 V			
26h				+7.6V		AVDD2+1.52V		-0.38V			2.80 V			1.2 V			5 msec
27h				+7.8V		AVDD2+1.56V		-0.39V			2.85 V			1.3 V			
28h		8.2 V		+8.0V	-4.1 V	AVDD2+1.60V		-0.40V			2.90 V			1.4 V			0 msec
29h		8.4 V		+8.2V	-4.2 V	AVDD2+1.64V		-0.41V			2.95 V			1.5 V			1 msec
2Ah		8.6 V		+8.4V	-4.3 V	AVDD2+1.68V		-0.42V			3.00 V			1.6 V			2 msec
2Bh		8.8 V		+8.6V	-4.4 V	AVDD2+1.72V		-0.43V			3.05 V			1.7 V			3 msec
2Ch		9.0 V		+8.8V	-4.5 V	AVDD2+1.76V		-0.44V			3.10 V			1.8 V			4 msec
2Dh		9.2 V		+9.0V	-4.6 V	AVDD2+1.80V		-0.45V			3.15 V			1.9 V			
2Eh		9.4 V		+9.2V	-4.7 V	AVDD2+1.84V		-0.46V			3.20 V			2.0 V			5 msec
2Fh		9.6 V		+9.4V	-4.8 V	AVDD2+1.88V		-0.47V			3.25 V			2.1 V			
30h		9.8 V		+9.6V	-4.9 V	AVDD2+1.92V		-0.48V			3.30 V		VIN	2.2 V			0 msec
31h		10.0 V		+9.8V	-5.0 V	AVDD2+1.96V		-0.49V			3.35 V			2.3 V			1 msec
32h		10.2 V		+10.0V	-5.1 V	AVDD2+2.00V		-0.50V			3.40 V			2.4 V			2 msec
33h		5.2 V		+10.2V	-5.2 V	AVDD2+2.04V		-0.51V			3.45 V			2.5 V			3 msec
34h		5.3 V		+10.4V	-5.3 V	AVDD2+2.08V		-0.52V			3.50 V			2.6 V			4 msec
35h		5.4 V		+10.6V	-5.4 V	AVDD2+2.12V		-0.53V			3.55 V			2.7 V			
36h		5.5 V		+10.8V	-5.5 V	AVDD2+2.16V		-0.54V			3.60 V			2.8 V			5 msec
37h		5.6 V		+11.0V	-5.6 V	AVDD2+2.20V		-0.55V			3.65 V			2.9 V			
38h		5.7 V		+11.2V	-5.7 V	AVDD2+2.24V		-0.56V			3.70 V			3.0 V			0 msec
39h		5.8 V		+11.4V	-5.8 V	AVDD2+2.28V		-0.57V			3.75 V			3.1 V			1 msec
3Ah		5.9 V		+11.6V	-5.9 V	AVDD2+2.32V		-0.58V			3.80 V			3.2 V			2 msec
3Bh		6.0 V		+11.8V	-6.0 V	AVDD2+2.36V		-0.59V			3.85 V			3.3 V			3 msec
3Ch		6.1 V		+12.0V	-6.1 V	AVDD2+2.40V		-0.60V			3.90 V			3.4 V			4 msec
3Dh		6.2 V		+12.2V	-6.2 V	AVDD2+2.44V		-0.61V			3.95 V			3.5 V			
3Eh		6.3 V		+12.4V	-6.3 V	AVDD2+2.48V		-0.62V			4.00 V			3.6 V			5 msec
3Fh		6.4 V	Disable	+12.6V	-6.4 V	AVDD2+2.52V	Disable	-0.63V	VD Phase Set 1		0.90 V			0.6 V	Disable		0 msec
40h		6.5 V		+12.8V	-6.5 V	AVDD2+2.56V		-0.64V			0.95 V			0.7 V			1 msec
41h		6.6 V		+13.0V	-6.6 V	AVDD2+2.60V		-0.65V			1.00 V			0.8 V			2 msec
42h		6.7 V		+13.2V	-6.7 V	AVDD2+2.64V		-0.66V			1.05 V			0.9 V			3 msec
43h		6.8 V		+13.4V	-6.8 V	AVDD2+2.68V		-0.67V			1.10 V			1.0 V			4 msec
44h		6.9 V		+13.6V	-6.9 V	AVDD2+2.72V		-0.68V			1.15 V			1.1 V			
45h		7.0 V		+13.8V	-7.0 V	AVDD2+2.76V		-0.69V			1.20 V			1.2 V			5 msec
46h		7.1 V		+14.0V	-7.1 V	AVDD2+2.80V		-0.70V			1.25 V			1.3 V			
47h		7.2 V		+14.2V	-7.2 V	AVDD2+2.84V		-0.71V			1.30 V			1.4 V			0 msec
48h		7.3 V		+14.4V	-7.3 V	AVDD2+2.88V		-0.72V			1.35 V			1.5 V			1 msec
49h		7.4 V		+14.6V	-7.4 V	AVDD2+2.92V		-0.73V			1.40 V			1.6 V			2 msec
4Ah		7.5 V		+14.8V	-7.5 V	AVDD2+2.96V		-0.74V			1.45 V			1.7 V			3 msec
4Bh		7.6 V		+15.0V	-7.6 V	AVDD2+3.00V		-0.75V			1.50 V			1.8 V			4 msec
4Ch		7.7 V		+15.2V	-7.7 V	AVDD2+3.04V		-0.76V			1.55 V			1.9 V			
4Dh		7.8 V		+15.4V	-7.8 V	AVDD2+3.08V		-0.77V			1.60 V			2.0 V			5 msec
4Eh		7.9 V		+15.6V	-7.9 V	AVDD2+3.12V		-0.78V			1.65 V			2.1 V			
4Fh		8.0 V		+15.8V	-8.0 V	AVDD2+3.16V		-0.79V			1.70 V		VDD	2.2 V			0 msec
50h		8.1 V		+16.0V	-8.1 V	AVDD2+3.20V		-0.80V			1.75 V			2.3 V			1 msec
51h		8.2 V		+16.2V	-8.2 V	AVDD2+3.24V		-0.81V			1.80 V			2.4 V			2 msec
52h		8.3 V		+16.4V	-8.3 V	AVDD2+3.28V		-0.82V			1.85 V			2.5 V			3 msec
53h		8.4 V		+16.6V	-8.4 V	AVDD2+3.32V		-0.83V			1.90 V			2.6 V			4 msec
54h		8.5 V		+16.8V	-8.5 V	AVDD2+3.36V		-0.84V			1.95 V			2.7 V			
55h		8.6 V		+17.0V	-8.6 V	AVDD2+3.40V		-0.85V			2.00 V			2.8 V			5 msec
56h		8.7 V		+17.2V	-8.7 V	AVDD2+3.44V		-0.86V			2.05 V			2.9 V			
57h		8.8 V		+17.4V	-8.8 V	AVDD2+3.48V		-0.87V			2.10 V			3.0 V			0 msec
58h		8.9 V		+17.6V	-8.9 V	AVDD2+3.52V		-0.88V			2.15 V			3.1 V			1 msec
59h		9.0 V		+17.8V	-9.0 V	AVDD2+3.56V		-0.89V			2.20 V			3.2 V			2 msec
5Ah		9.1 V		+18.0V	-9.1 V	AVDD2+3.60V		-0.90V			2.25 V			3.3 V			3 msec
5Bh		9.2 V		+18.2V	-9.2 V	AVDD2+3.64V		-0.91V			2.30 V			3.4 V			4 msec
5Ch		9.3 V		+18.4V	-9.3 V	AVDD2+3.68V		-0.92V			2.35 V			3.5 V			
5Dh		9.4 V		+18.6V	-9.4 V	AVDD2+3.72V		-0.93V			2.40 V			3.6 V			5 msec
5Eh		9.5 V		+18.8V	-9.5 V	AVDD2+3.76V		-0.94V			2.45 V			3.7 V			
5Fh		9.6 V		+19.0V	-9.6 V	AVDD2+3.80V		-0.95V		LDO	2.50 V	0.5 usec		0.6 V			0 msec
60h		9.7 V		+19.2V	-9.7 V	AVDD2+3.84V		-0.96V			2.55 V			0.7 V			1 msec
61h																	

コマンドテーブル — 続き

DATA (HEX)	Register Address										GPM Input Delay [7:6]	Reset Monitor Select [5]	Reset Voltage [4:0]	Function Select [7]	Delay time [6:3]	Discharge time [2:0]
	00h	01h	02h	03h	04h	05h	06h	07h	08h							
80h	12.9 V	25.8 V		+0.0V	-12.9 V	AVDD2-0		-0.00V		0.90 V			0.6 V		0 msec	
81h	13.0 V	26.0 V		+0.2V	-13.0 V	AVDD2-0.04V		-0.01V		0.95 V			0.7 V		1 msec	
82h	13.1 V	26.2 V		+0.4V	-13.1 V	AVDD2-0.08V		-0.02V		1.00 V			0.8 V		2 msec	
83h	13.2 V	26.4 V		+0.6V	-13.2 V	AVDD2-0.12V		-0.03V		1.05 V			0.9 V		3 msec	
84h	13.3 V	26.6 V		+0.8V	-13.3 V	AVDD2-0.16V		-0.04V		1.10 V			1.0 V		4 msec	
85h	13.4 V	26.8 V		+1.0V	-13.4 V	AVDD2-0.20V		-0.05V		1.15 V			1.1 V		5 msec	
86h	13.5 V	27.0 V		+1.2V	-13.5 V	AVDD2-0.24V		-0.06V		1.20 V			1.2 V		5 msec	
87h	13.6 V	27.2 V		+1.4V	-13.6 V	AVDD2-0.28V		-0.07V		1.25 V			1.3 V		5 msec	
88h	13.7 V	27.4 V		+1.6V	-13.7 V	AVDD2-0.32V		-0.08V		1.30 V			1.4 V		0 msec	
89h	13.8 V	27.6 V		+1.8V	-13.8 V	AVDD2-0.36V		-0.09V		1.35 V			1.5 V		1 msec	
8Ah	13.9 V	27.8 V		+2.0V	-13.9 V	AVDD2-0.40V		-0.10V		1.40 V			1.6 V		2 msec	
8Bh	14.0 V	28.0 V		+2.2V		AVDD2-0.44V		-0.11V		1.45 V			1.7 V		3 msec	
8Ch	14.1 V	28.2 V		+2.4V		AVDD2-0.48V		-0.12V		1.50 V			1.8 V		4 msec	
8Dh	14.2 V	28.4 V		+2.6V		AVDD2-0.52V		-0.13V		1.55 V			1.9 V		5 msec	
8Eh	14.3 V	28.6 V		+2.8V		AVDD2-0.56V		-0.14V		1.60 V			2.0 V		5 msec	
8Fh	14.4 V	28.8 V		+3.0V		AVDD2-0.60V		-0.15V		1.65 V			2.1 V		5 msec	
90h	14.5 V	29.0 V		+3.2V		AVDD2-0.64V		-0.16V		1.70 V			2.2 V		0 msec	
91h	14.6 V	29.2 V		+3.4V		AVDD2-0.68V		-0.17V		1.75 V			2.3 V		1 msec	
92h	14.7 V	29.4 V		+3.6V		AVDD2-0.72V		-0.18V		1.80 V			2.4 V		2 msec	
93h	14.8 V	29.6 V		+3.8V		AVDD2-0.76V		-0.19V		1.85 V			2.5 V		3 msec	
94h	14.9 V	29.8 V		+4.0V		AVDD2-0.80V		-0.20V		1.90 V			2.6 V		4 msec	
95h	15.0 V	30.0 V		+4.2V		AVDD2-0.84V		-0.21V		1.95 V			2.7 V		5 msec	
96h	15.1 V	30.2 V		+4.4V		AVDD2-0.88V		-0.22V		2.00 V			2.8 V		5 msec	
97h	15.2 V	30.4 V		+4.6V		AVDD2-0.92V		-0.23V		2.05 V			2.9 V		5 msec	
98h	15.3 V	30.6 V		+4.8V		AVDD2-0.96V		-0.24V		2.10 V			3.0 V		0 msec	
99h	15.4 V	30.8 V		+5.0V		AVDD2-1.00V		-0.25V		2.15 V			3.1 V		1 msec	
9Ah	15.5 V	31.0 V		+5.2V		AVDD2-1.04V		-0.26V		2.20 V			3.2 V		2 msec	
9Bh	15.6 V	31.2 V		+5.4V		AVDD2-1.08V		-0.27V		2.25 V			3.3 V		3 msec	
9Ch	15.7 V	31.4 V		+5.6V		AVDD2-1.12V		-0.28V		2.30 V			3.4 V		4 msec	
9Dh	15.8 V	31.6 V		+5.8V		AVDD2-1.16V		-0.29V		2.35 V		3.3 V	3.3 V		5 msec	
9Eh	15.9 V	31.8 V		+6.0V		AVDD2-1.20V		-0.30V		2.40 V			3.4 V		5 msec	
9Fh	16.0 V	32.0 V		+6.2V		AVDD2-1.24V		-0.31V		2.45 V			3.5 V		5 msec	
A0h	16.1 V	32.2 V		+6.4V		AVDD2-1.28V		-0.32V		2.50 V			3.6 V		0 msec	
A1h	16.2 V	32.4 V		+6.6V		AVDD2-1.32V		-0.33V		2.55 V			3.7 V		1 msec	
A2h	16.3 V	32.6 V		+6.8V		AVDD2-1.36V		-0.34V		2.60 V			3.8 V		2 msec	
A3h	16.4 V	32.8 V		+7.0V		AVDD2-1.40V		-0.35V		2.65 V			3.9 V		3 msec	
A4h	16.5 V	33.0 V		+7.2V		AVDD2-1.44V		-0.36V		2.70 V			4.0 V		4 msec	
A5h	16.6 V	33.2 V		+7.4V		AVDD2-1.48V		-0.37V		2.75 V			4.1 V		5 msec	
A6h	16.7 V	33.4 V		+7.6V		AVDD2-1.52V		-0.38V		2.80 V			4.2 V		5 msec	
A7h	16.8 V	33.6 V		+7.8V		AVDD2-1.56V		-0.39V		2.85 V			4.3 V		5 msec	
A8h	16.9 V	33.8 V		+8.0V		AVDD2-1.60V		-0.40V		2.90 V			4.4 V		5 msec	
A9h		34.0 V		+8.2V		AVDD2-1.64V		-0.41V		2.95 V			4.5 V		0 msec	
AAh		34.2 V		+8.4V		AVDD2-1.68V		-0.42V		3.00 V			4.6 V		1 msec	
ABh		34.4 V		+8.6V		AVDD2-1.72V		-0.43V		3.05 V			4.7 V		2 msec	
ACH		34.6 V		+8.8V		AVDD2-1.76V		-0.44V		3.10 V			4.8 V		3 msec	
ADh		34.8 V		+9.0V		AVDD2-1.80V		-0.45V		3.15 V			4.9 V		4 msec	
AEnh				+9.2V		AVDD2-1.84V		-0.46V		3.20 V			5.0 V		5 msec	
AFh				+9.4V		AVDD2-1.88V		-0.47V		3.25 V			5.1 V		5 msec	
B0h				+9.6V		AVDD2-1.92V		-0.48V		3.30 V			5.2 V		0 msec	
B1h				+9.8V		AVDD2-1.96V		-0.49V		3.35 V			5.3 V		1 msec	
B2h				+10.0V		AVDD2-2.00V		-0.50V		3.40 V			5.4 V		2 msec	
B3h				+10.2V		AVDD2-2.04V		-0.51V		3.45 V			5.5 V		3 msec	
B4h				+10.4V		AVDD2-2.08V		-0.52V		3.50 V			5.6 V		4 msec	
B5h				+10.6V		AVDD2-2.12V		-0.53V		3.55 V			5.7 V		5 msec	
B6h				+10.8V		AVDD2-2.16V		-0.54V		3.60 V			5.8 V		5 msec	
B7h				+11.0V		AVDD2-2.20V		-0.55V		3.65 V			5.9 V		5 msec	
B8h				+11.2V		AVDD2-2.24V		-0.56V		3.70 V			6.0 V		0 msec	
B9h				+11.4V		AVDD2-2.28V		-0.57V		3.75 V			6.1 V		1 msec	
BAh				+11.6V		AVDD2-2.32V		-0.58V		3.80 V			6.2 V		2 msec	
BAh				+11.8V		AVDD2-2.36V		-0.59V		3.85 V			6.3 V		3 msec	
BBh				+12.0V		AVDD2-2.40V		-0.60V		3.90 V			6.4 V		4 msec	
BBh				+12.2V		AVDD2-2.44V		-0.61V		3.95 V			6.5 V		5 msec	
BBh				+12.4V		AVDD2-2.48V		-0.62V		4.00 V			6.6 V		5 msec	
BFh				+12.6V		AVDD2-2.52V		-0.63V		4.05 V			6.7 V		0 msec	
COh				+12.8V		AVDD2-2.56V		-0.64V		4.10 V			6.8 V		1 msec	
C1h				+13.0V		AVDD2-2.60V		-0.65V		4.15 V			6.9 V		2 msec	
C2h				+13.2V		AVDD2-2.64V		-0.66V		4.20 V			7.0 V		3 msec	
C3h				+13.4V		AVDD2-2.68V		-0.67V		4.25 V			7.1 V		4 msec	
C4h				+13.6V		AVDD2-2.72V		-0.68V		4.30 V			7.2 V		5 msec	
C5h				+13.8V		AVDD2-2.76V		-0.69V		4.35 V			7.3 V		5 msec	
C6h				+14.0V		AVDD2-2.80V		-0.70V		4.40 V			7.4 V		0 msec	
C7h				+14.2V		AVDD2-2.84V		-0.71V		4.45 V			7.5 V		1 msec	
C8h				+14.4V		AVDD2-2.88V		-0.72V		4.50 V			7.6 V		2 msec	
C9h				+14.6V		AVDD2-2.92V		-0.73V		4.55 V			7.7 V		3 msec	
CAh				+14.8V		AVDD2-2.96V		-0.74V		4.60 V			7.8 V		4 msec	
CAh				+14.8V		AVDD2-3.00V		-0.75V		4.65 V			7.9 V		5 msec	
CBh						AVDD2-3.04V		-0.76V		4.70 V			8.0 V		0 msec	
CBh						AVDD2-3.08V		-0.77V		4.75 V			8.1 V		1 msec	
CBh						AVDD2-3.12V		-0.78V		4.80 V			8.2 V		2 msec	
CBh						AVDD2-3.16V		-0.79V		4.85 V			8.3 V		3 msec	
CBh						AVDD2-3.20V		-0.80V		4.90 V			8.4 V		4 msec	
CDh						AVDD2-3.24V		-0.81V		4.95 V			8.5 V		5 msec	
CDh						AVDD2-3.28V		-0.82V		5.00 V			8.6 V		0 msec	
CDh						AVDD2-3.32V		-0.83V		5.05 V			8.7 V		1 msec	
D4h	17.0 V					AVDD2-3.36V		-0.84V		5.10 V			8.8 V		2 msec	
D5h						AVDD2-3.40V		-0.85V		5.15 V			8.9 V		3 msec	
D6h						AVDD2-3.44V		-0.86V		5.20 V			9.0 V		4 msec	
D7h		35.0 V				AVDD2-3.48V		-0.87V		5.25 V						

コマンドテーブル — 続き

DATA (HEX)	09h				0Ah				0Bh				0Ch				0Dh												
	DataRef [7]	Delay3 time [6:4]	DoubleReg [3]	Delay2 time [2:0]	VGH Discharge Enable [7]	Delay5 time [6:4]	AR_Time [3]	Delay4 time [2:0]	A/VD COMP [7]	A/VD OCP Select [6]	AVDD SS time [5:4]	AVDD SW Slew Rate [3:2]	AVDD COL [1:0]	Start-up Bit [7]	VGH mode select [6]	VGH/VGL Frequency [5:4]		VDD Frequency [3:2]	AVDD Frequency [1:0]	Check Sum [7:0]									
80h	Enable	0 msec	Disable	0 msec	0 msec	0.5 sec	0 msec	AV_COM P_Set 2	2.0 A	5 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz	Check Sum [7:0]											
81h				5 msec			5 msec					1.05MHz																	
82h				10 msec			10 msec					1.05MHz																	
83h				15 msec			15 msec					525KHz			525KHz														
84h				20 msec			20 msec					2.1MHz			2.1MHz														
85h				25 msec			25 msec					1.05MHz			1.05MHz														
86h				30 msec			30 msec					525KHz			525KHz														
87h				40 msec			40 msec					525KHz			525KHz														
88h			Enable	0 msec			0 msec				0 msec	1.0 sec			1.0 sec		15 msec		10 msec	15 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz	
89h																						5 msec				5 msec		1.05MHz	1.05MHz
8Ah																						10 msec				10 msec		525KHz	525KHz
8Bh																						15 msec				15 msec		525KHz	525KHz
8Ch																						20 msec				20 msec		2.1MHz	2.1MHz
8Dh																						25 msec				25 msec		1.05MHz	1.05MHz
8Eh																						30 msec				30 msec		525KHz	525KHz
8Fh																						40 msec				40 msec		525KHz	525KHz
90h	5 msec	5 msec	Disable	0 msec	2 msec	0.5 sec	0 msec	2.0 A	10 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
91h				5 msec			5 msec				1.05MHz			1.05MHz															
92h				10 msec			10 msec				1.05MHz			1.05MHz															
93h				15 msec			15 msec				525KHz			525KHz															
94h				20 msec			20 msec				2.1MHz			2.1MHz															
95h				25 msec			25 msec				1.05MHz			1.05MHz															
96h				30 msec			30 msec				525KHz			525KHz															
97h				40 msec			40 msec				525KHz			525KHz															
98h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
99h																			5 msec				5 msec		1.05MHz	1.05MHz			
9Ah																			10 msec				10 msec		525KHz	525KHz			
9Bh																			15 msec				15 msec		525KHz	525KHz			
9Ch																			20 msec				20 msec		2.1MHz	2.1MHz			
9Dh																			25 msec				25 msec		1.05MHz	1.05MHz			
9Eh																			30 msec				30 msec		525KHz	525KHz			
9Fh																			40 msec				40 msec		525KHz	525KHz			
A0h	10 msec	10 msec	Disable	0 msec	4 msec	0.5 sec	0 msec	2.0 A	15 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
A1h				5 msec			5 msec				1.05MHz			1.05MHz															
A2h				10 msec			10 msec				1.05MHz			1.05MHz															
A3h				15 msec			15 msec				525KHz			525KHz															
A4h				20 msec			20 msec				2.1MHz			2.1MHz															
A5h				25 msec			25 msec				1.05MHz			1.05MHz															
A6h				30 msec			30 msec				525KHz			525KHz															
A7h				40 msec			40 msec				525KHz			525KHz															
A8h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
A9h																			5 msec				5 msec		1.05MHz	1.05MHz			
AAh																			10 msec				10 msec		525KHz	525KHz			
ABh																			15 msec				15 msec		525KHz	525KHz			
ACh																			20 msec				20 msec		2.1MHz	2.1MHz			
ADh																			25 msec				25 msec		1.05MHz	1.05MHz			
AEh																			30 msec				30 msec		525KHz	525KHz			
AFh																			40 msec				40 msec		525KHz	525KHz			
B0h	15 msec	15 msec	Disable	0 msec	6 msec	0.5 sec	0 msec	2.0 A	20 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
B1h				5 msec			5 msec				1.05MHz			1.05MHz															
B2h				10 msec			10 msec				1.05MHz			1.05MHz															
B3h				15 msec			15 msec				525KHz			525KHz															
B4h				20 msec			20 msec				2.1MHz			2.1MHz															
B5h				25 msec			25 msec				1.05MHz			1.05MHz															
B6h				30 msec			30 msec				525KHz			525KHz															
B7h				40 msec			40 msec				525KHz			525KHz															
B8h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
B9h																			5 msec				5 msec		1.05MHz	1.05MHz			
BAh																			10 msec				10 msec		525KHz	525KHz			
BBh																			15 msec				15 msec		525KHz	525KHz			
BC h																			20 msec				20 msec		2.1MHz	2.1MHz			
BDh																			25 msec				25 msec		1.05MHz	1.05MHz			
BEh																			30 msec				30 msec		525KHz	525KHz			
BFh																			40 msec				40 msec		525KHz	525KHz			
C0h	20 msec	20 msec	Disable	0 msec	8 msec	0.5 sec	0 msec	2.0 A	5 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
C1h				5 msec			5 msec				1.05MHz			1.05MHz															
C2h				10 msec			10 msec				1.05MHz			1.05MHz															
C3h				15 msec			15 msec				525KHz			525KHz															
C4h				20 msec			20 msec				2.1MHz			2.1MHz															
C5h				25 msec			25 msec				1.05MHz			1.05MHz															
C6h				30 msec			30 msec				525KHz			525KHz															
C7h				40 msec			40 msec				525KHz			525KHz															
C8h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
C9h																			5 msec				5 msec		1.05MHz	1.05MHz			
CAh																			10 msec				10 msec		525KHz	525KHz			
CBh																			15 msec				15 msec		525KHz	525KHz			
CC h																			20 msec				20 msec		2.1MHz	2.1MHz			
CDh																			25 msec				25 msec		1.05MHz	1.05MHz			
CEh																			30 msec				30 msec		525KHz	525KHz			
CFh																			40 msec				40 msec		525KHz	525KHz			
D0h	25 msec	25 msec	Disable	0 msec	10 msec	0.5 sec	0 msec	2.0 A	10 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
D1h				5 msec			5 msec				1.05MHz			1.05MHz															
D2h				10 msec			10 msec				1.05MHz			1.05MHz															
D3h				15 msec			15 msec				525KHz			525KHz															
D4h				20 msec			20 msec				2.1MHz			2.1MHz															
D5h				25 msec			25 msec				1.05MHz			1.05MHz															
D6h				30 msec			30 msec				525KHz			525KHz															
D7h				40 msec			40 msec				525KHz			525KHz															
D8h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
D9h																			5 msec				5 msec		1.05MHz	1.05MHz			
DAh																			10 msec				10 msec		525KHz	525KHz			
DBh																			15 msec				15 msec		525KHz	525KHz			
DC h																			20 msec				20 msec		2.1MHz	2.1MHz			
DDh																			25 msec				25 msec		1.05MHz	1.05MHz			
DEh																			30 msec				30 msec		525KHz	525KHz			
DFh																			40 msec				40 msec		525KHz	525KHz			
E0h	30 msec	30 msec	Disable	0 msec	10 msec	0.5 sec	0 msec	2.0 A	15 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
E1h				5 msec			5 msec				1.05MHz			1.05MHz															
E2h				10 msec			10 msec				1.05MHz			1.05MHz															
E3h				15 msec			15 msec				525KHz			525KHz															
E4h				20 msec			20 msec				2.1MHz			2.1MHz															
E5h				25 msec			25 msec				1.05MHz			1.05MHz															
E6h				30 msec			30 msec				525KHz			525KHz															
E7h				40 msec			40 msec				525KHz			525KHz															
E8h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
E9h																			5 msec				5 msec		1.05MHz	1.05MHz			
EAh																			10 msec				10 msec		525KHz	525KHz			
EBh																			15 msec				15 msec		525KHz	525KHz			
ECh																			20 msec				20 msec		2.1MHz	2.1MHz			
EDh																			25 msec				25 msec		1.05MHz	1.05MHz			
EEh																			30 msec				30 msec		525KHz	525KHz			
EFh																			40 msec				40 msec		525KHz	525KHz			
F0h	40 msec	40 msec	Disable	0 msec	10 msec	0.5 sec	0 msec	2.0 A	20 msec	Slow2	AVC Set1	2.1MHz	x3 mode	2.1MHz	2.1MHz	2.1MHz													
F1h				5 msec			5 msec				1.05MHz			1.05MHz															
F2h				10 msec			10 msec				1.05MHz			1.05MHz															
F3h				15 msec			15 msec				525KHz			525KHz															
F4h				20 msec			20 msec				2.1MHz			2.1MHz															
F5h				25 msec			25 msec				1.05MHz			1.05MHz															
F6h				30 msec			30 msec				525KHz			525KHz															
F7h				40 msec			40 msec				525KHz			525KHz															
F8h			Enable	0 msec			0 msec			0 msec	1.0 sec			1.0 sec		5 msec	10 msec	Fast1	AVC Set1	525KHz	2.1MHz	2.1MHz	2.1MHz	1.05MHz	1.05MHz				
F9h																			5 msec				5 msec		1.05MHz	1.05MHz			
FAh																			10 msec				10 msec		525KHz	525KHz			
FBh																			15 msec				15 msec		525KHz	525KHz			
FC h																			20 msec				20 msec		2.1MHz	2.1MHz			
FDh																			25 msec				25 msec		1.05MHz	1.05MHz			
FEh																			30 msec				30 msec		525KHz	525KHz			
FFh																			40 msec				40 msec		525KHz	525KHz			

チェックサムについて

BM81810MUV-M はチェックサム機能を持っています。

レジスタ 00h ~ 0Dh の合計が 00h となるように、レジスタ 0Dh の値(CHK7 ~ CHK0)を書き込んでください。

Register	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
00h	A7	A6	A5	A4	A3	A2	A1	A0
01h	B7	B6	B5	B4	B3	B2	B1	B0
02h	C7	C6	C5	C4	C3	C2	C1	C0
03h	D7	D6	D5	D4	D3	D2	D1	D0
04h	E7	E6	E5	E4	E3	E2	E1	E0
05h	F7	F6	F5	F4	F3	F2	F1	F0
06h	G7	G6	G5	G4	G3	G2	G1	G0
07h	H7	H6	H5	H4	H3	H2	H1	H0
08h	I7	I6	I5	I4	I3	I2	I1	I0
09h	J7	J6	J5	J4	J3	J2	J1	J0
0Ah	K7	K6	K5	K4	K3	K2	K1	K0
0Bh	L7	L6	L5	L4	L3	L2	L1	L0
0Ch	M7	M6	M5	M4	M3	M2	M1	M0
0Dh	CHK7	CHK6	CHK5	CHK4	CHK3	CHK2	CHK1	CHK0

$$[A7:A0] + [B7:B0] + [C7:C0] + [D7:D0] + [E7:E0] + [F7:F0] + [G7:G0] + [H7:H0] + [I7:I0] + [J7:J0] + [K7:K0] + [L7:L0] + [M7:M0] + [CHK7:CHK0] = 00h$$

ソフトスタート時間について

AVDD、VGH、VGL、VDD 出力についてソフトスタート機能を持っています。
 ソフトスタート時間は各出力電圧が出力電圧設定(TYP)までに到達する時間を表しています。
 各出力のソフトスタート値は下表となります。

BLOCK	Soft Start Output Voltage Typ Value	Soft Start Time
AVDD	10.5 V	Set Register
VGH	18.0 V	5 msec
VGL	-6.0 V	5 msec
VDD	1.2 V	1 msec

AVDD のソフトスタート時間はレジスタで可変となります。

Bit		AVDD Soft Start Time
0	0	5 msec
0	1	10 msec
1	0	15 msec
1	1	20 msec

AVDD と VGH のソフトスタート時間の例について Figure.76 に示します。
 出力電圧設定値が TYP 値と異なる場合には、ソフトスタート時間は変わってきます。

- ・ 出力電圧設定値 > TYP 値 ⇒ ソフトスタート時間は長くなります。
- ・ 出力電圧設定値 < TYP 値 ⇒ ソフトスタート時間は短くなります。

なお、スイッチング周波数設定によるソフトスタート時間への影響はありません。

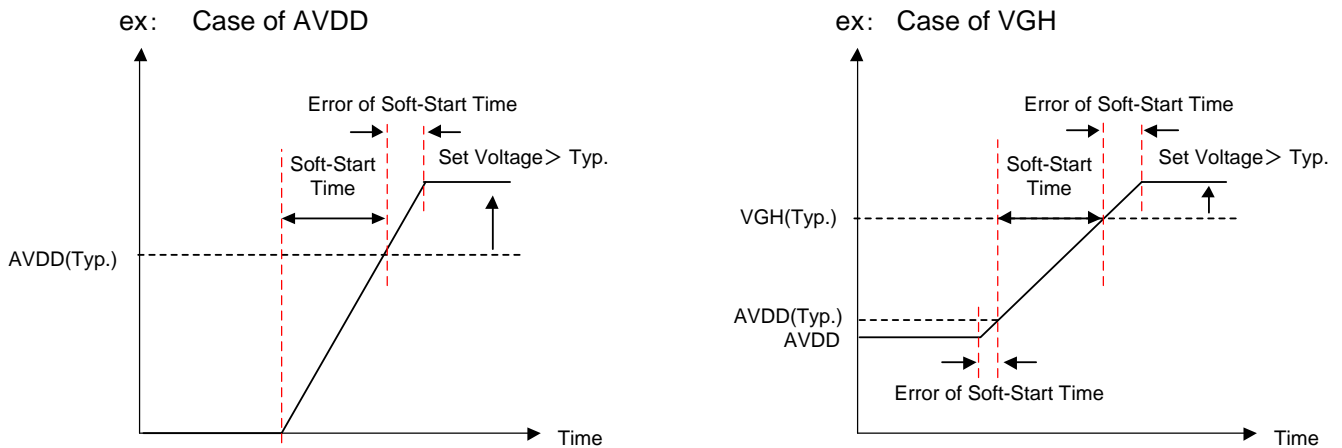


Figure 76. Soft-Start Time

ブロック図

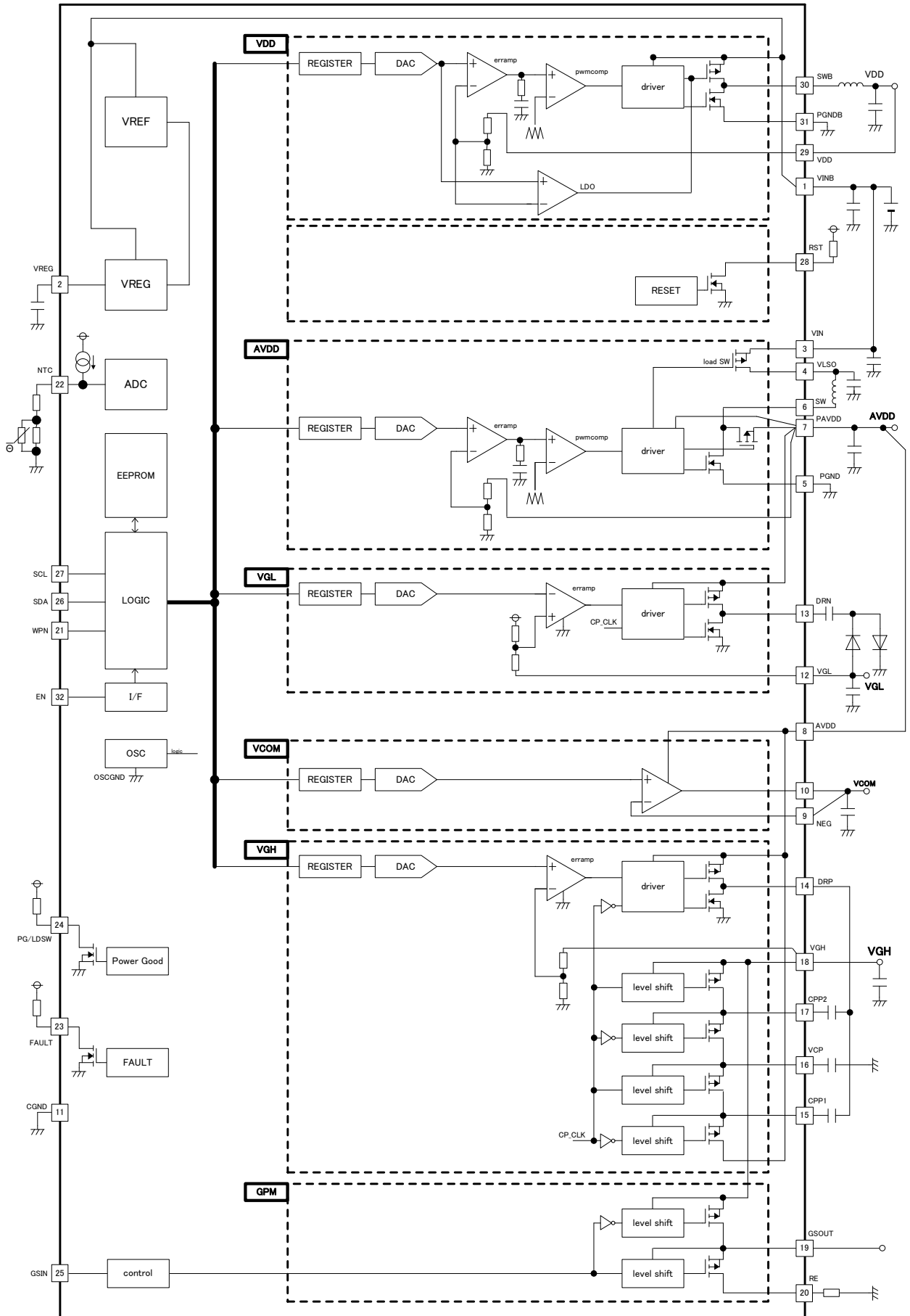


Figure 77. Block Diagram

AVDD ブロック機能

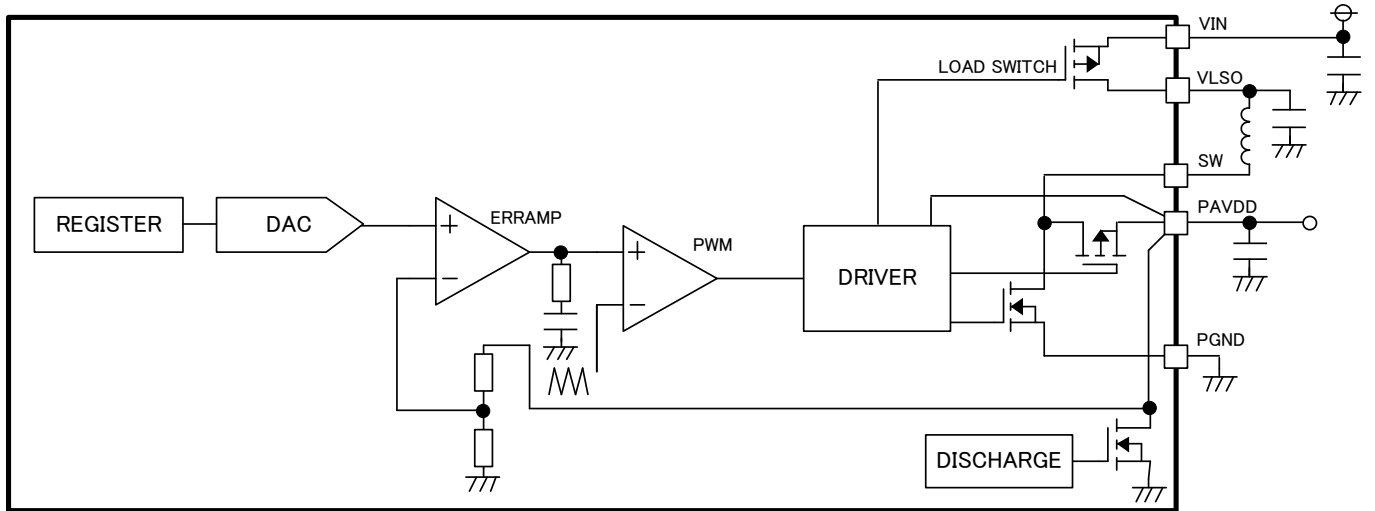


Figure 78. AVDD Block Diagram

AVDD Block (Boost DC / DC) では次の機能について EEPROM での設定が可能です。

1. AVDD Voltage (Register Address 00h [7:0])
AVDD 出力電圧は 5.0V ~ 17.0V の範囲で 0.1V ステップで設定できます。
2. SW Switching Frequency (Register Address 0Ch [1:0])
スイッチング周波数は 525KHz、1.05MHz、2.1MHz の 3 パターンの設定ができます。
3. Soft Start Time (Register Address 0Bh [5:4])
AVDD ソフトスタート時間は 5msec ~ 20msec の範囲で、5ms ステップで設定できます。
4. SW Switching Slew Rate (Register Address 0Bh [3:2])
SW スイッチングスルーレートをレジスタ設定により 4 段階の調整できます。
11'b 設定が一番速いスルーレート設定となり、00'b 設定が一番遅いスルーレート設定となります。

各レジスタ設定における SW スルーレートは Figure.79 のようになります。
SW スルーレートはコイルやダイオードのような外付け部品や出力電流値によって変わってきますが、Figure.79 のようにレジスタ設定によってスルーレート調整が可能です。
スルーレートを遅くすることで EMI 特性は改善しますが効率低下などの背反もありますので、スルーレート変更後は十分な評価を実施してください。

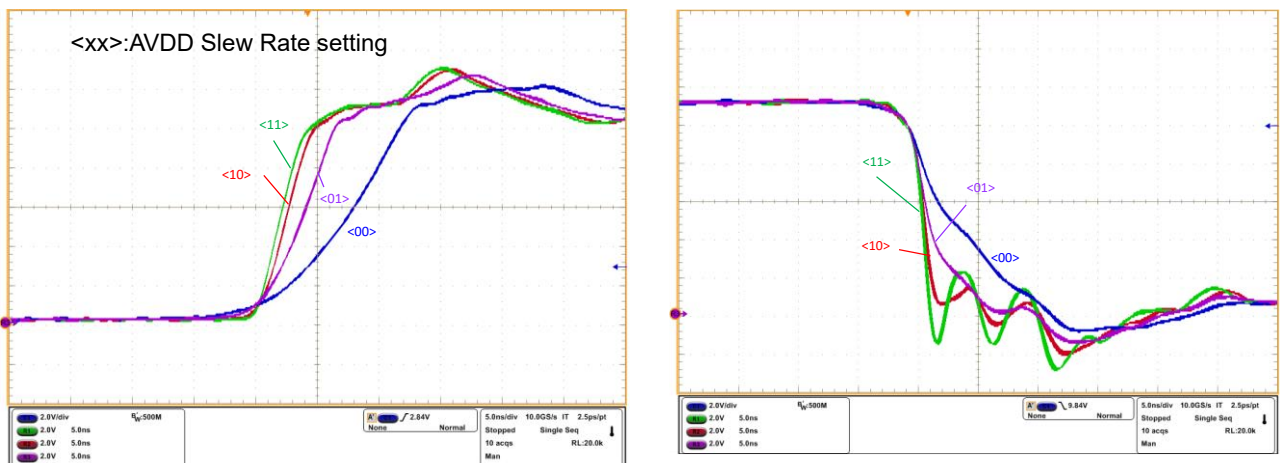


Figure 79. AVDD Switching Slew Rate
(VIN=3.3V, AVDD=10.5V, Freq=2.1MHz, L=4.7μH, IAVDD=100mA)

AVDD ブロック機能 — 続き

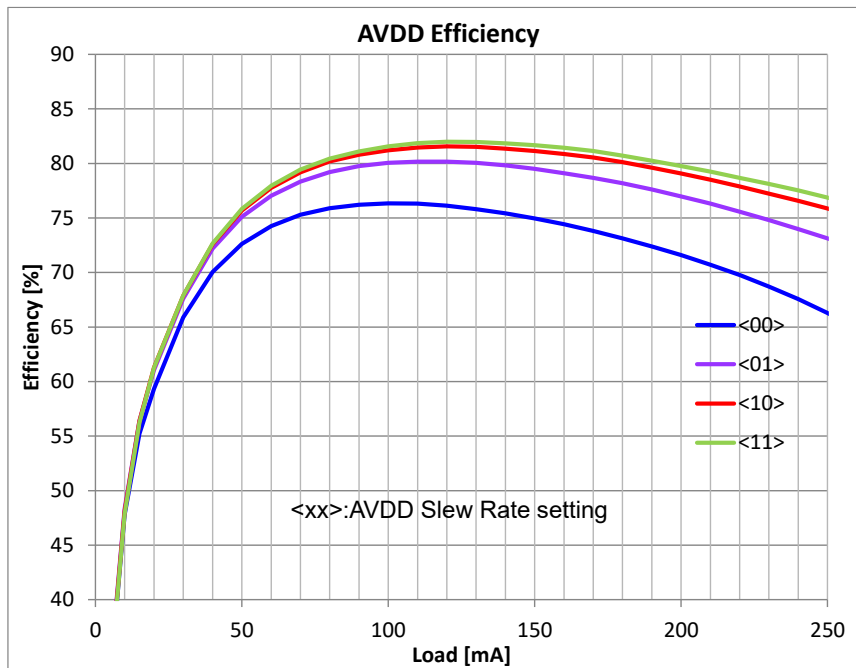


Figure 80. AVDD Efficiency
(dependent on Slew Rate)
(VIN=3.3V, AVDD=10.5V, Freq=2.1MHz, L=4.7μH, IAVDD=100mA)

5. OCP Detect Level (Register Address 0Bh [6])
SW 端子の過電流保護検出電流値を 1.0A(Min) または 2.0A(Min)の 2 パターン設定可能です。

6. COMP Adjust (Register Address 0B [7])
位相特性の微調整が可能です。

- 0'b: AV_COMP_SET1
- 1'b: AV_COMP_SET2

7. COIL Adjust (Register Address 0Bh [1:0])
使用するコイルに合わせた調整用レジスタとなります。

- 00'b:AV_COIL_SET1
- 01'b:AV_COIL_SET2
- 10'b:AV_COIL_SET3
- 11'b:AV_COIL_SET4

COIL Adjust BIT(Register Address 0Bh [1:0])は使用するコイルのインダクタンスにより下表のように設定してください。

f _{osc} [kHz]	Coil[μH]	Coil Adjust 0Bh[1:0]	Comp Adjust 0Bh[7]
525	4.7	00'b	0'b
525	10	11'b	0'b
1050	4.7	00'b	0'b
1050	10	11'b	0'b
2100	4.7	00'b	0'b
2100	10	11'b	0'b

※10μHのコイルを使用時には、AVDD 出力コンデンサは 10μF/25V 品 (GRT31CC81E106KE01) x3 以上となるようにしてください。

COMP 調整機能は ERRAMP の特性を調整しており、COMP 調整ビットを 1'b にすることで約 25%ゼロ点を低周波側へシフトさせます。実機評価時における負荷応答特性で出力電圧リングの低減に効果があります。

AVDD ブロック機能 — 続き

位相特性については実機での十分な評価を実施してください。

(1) L 定数選定 (昇圧コンバータ)

出力に関するインダクタ L は、インダクタの定格電流 I_{LR} 、入力電流最大値 I_{INMAX} により決定されます。

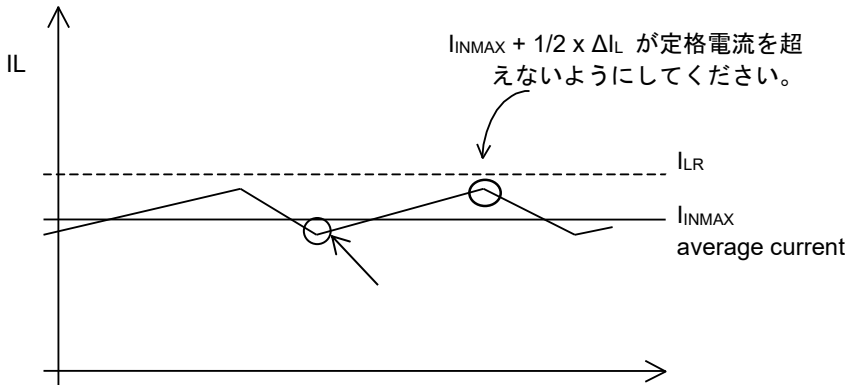


Figure 81. Coil Current Waveform

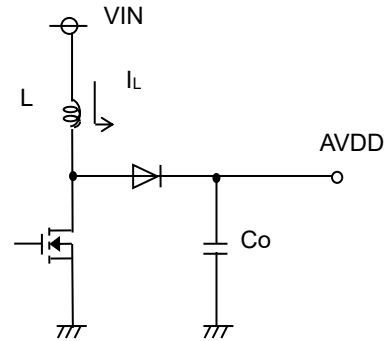


Figure 82. Output Application Circuit Diagram

$I_{INMAX} + \Delta I_L$ が定格電流 I_{LR} に当たらないように調整してください。 ΔI_L は次の式から求められます。

$$\Delta I_L = \frac{1}{L} \times V_{IN} \times \frac{AVDD - V_{IN}}{AVDD} \times \frac{1}{F} \quad [A] \quad \text{ただし、} f: \text{スイッチング周波数}$$

また、インダクタ L の値も $\pm 30\%$ 程度のバラツキを持つことがありますので、十分にマージンを持って設定してください。コイル定格電流 I_{LR} を超えますと、IC 内部素子を損傷する可能性があります。

BM81810MUV-M はカレントモード DC/DC コンバータ制御を採用しており、コイルの値において最適化された設計を行っております。電力効率、応答性、安全性の面から、 $4.7 \mu H \sim 10 \mu H$ のコイルの値を推奨いたします。

(2) 出力コンデンサの設定

出力に使用するコンデンサは、リップル電圧 V_{PP} の許容値と、負荷急変時におけるドロップ電圧の許容値のうち、容量の大きい値を選択してください。出力リップル電圧は、次式より求められます。

$$\Delta V_{PP} = I_{LMAX} \times R_{ESR} + \frac{1}{fC_o} \times \frac{V_{IN}}{AVDD} \times \left(I_{LMAX} - \frac{\Delta I_L}{2} \right) \quad [V]$$

ただし、 f : スwitchング周波数
 R_{ESR} : 出力コンデンサの ESR

許容リップル電圧内におさまるように設定を行ってください。

また、負荷急変時のドロップ電圧 V_{DR} は次の式から概算してください。

$$V_{DR} = \frac{\Delta I}{C_o} \times 10 \mu s \quad [V]$$

ただし、 $10 \mu sec$ は DC/DC 応答速度の概算値です。

これらの 2 つの値が規格値に入るよう、十分マージンを考慮した容量値の設定をお願いします。

(3) 入力コンデンサの選定

DC/DC コンバータでは、ピーク電流が入力—出力間で流れるため入力側にもコンデンサが必要です。そのため、入力コンデンサとして、 $10 \mu F$ 以上でかつ $100 m\Omega$ 以下の低 ESR コンデンサを推奨いたします。この範囲外の入力コンデンサを選定しますと、入力電圧に過大なリップル電圧が重畳し、IC の誤作動を引き起こす可能性があります。

ただし、この条件は、負荷電流、入力電圧、出力電圧、インダクタ値、スイッチング周波数により変化します。

実機によるマージンチェックを必ず行うようお願い致します。

VGH ブロック機能

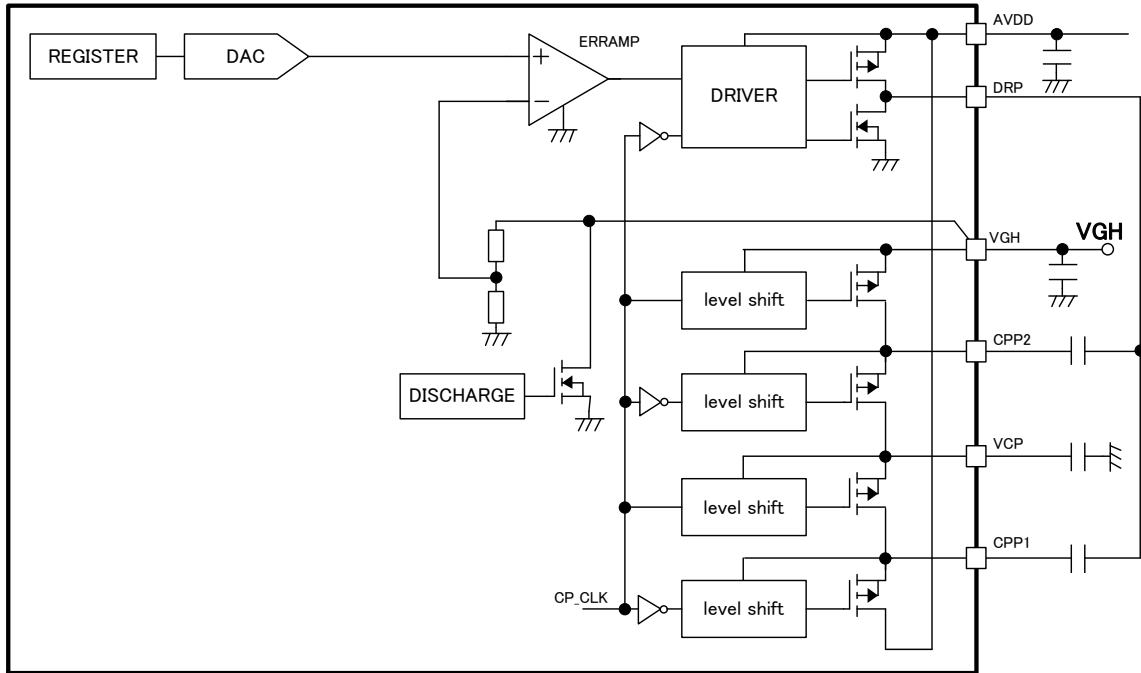


Figure 83. VGH Block Diagram

VGH ブロック(正チャージポンプ) では、次の機能について EEPROM での設定が可能です。

1. VGH (HOT) Voltage (Register Address 01h [7:0])
VGH (HOT)出力電圧は 8.0V ~ 35.0V の範囲で 0.2V ステップで設定できます。
2. DRP Switching Frequency (Register Address 0Ch [5:4])
スイッチング周波数は AVDD 周波数の x1、x1/2、x1/4 から設定できます。
3. VGH (COLD) Voltage (Register Address 02h [6:0])
VGH (COLD)電圧を設定することで NTC Function 使用時に NTC 端子電圧に依存した VGH 電圧を設定できます。
VGH (COLD)電圧の設定範囲は VGH (HOT) + 0V ~ VGH (HOT) + 15.0V まで 0.2V step で設定できます。
NTC Function の詳細については”NTC Block Function”を参照してください。

4. VGH Mode Select (Register Address 0Ch [6])
正チャージポンプの昇圧比を x2、x3、x4 まで設定できます。
x2、x3 は EEPROM 設定により内部素子を用いて構成可能です。
x4 構成は外部部品としてダイオードを接続することで構成できます。
この機能の切り替えにはアプリケーション構成の変更が必要なため、I2C により書き込み信号を入力してもレジスタには書き込みを行いません。
レジスタに書き込む場合には、一度 Start-up bit(REG0Ch[7])を”0”にしてから書き込んでください。

VGH 電圧は AVDD 電圧から生成しており、VGH 電圧出力可能な適切な AVDD 電圧と VGH モードを選定する必要があります。適切な選定がされない場合には VGH の UVP が動作します。
VGH 電圧と AVDD 電圧の関係性については次ページ以降をご確認ください。

5. VGH Discharge enable (Register Address 0Ah [7])
OFF シーケンス時に VGH 端子の Discharge 機能を Enable/Disable することができます。
この機能は IC 起動時に確定するため、IC 起動後に書き込みを実行した場合、一度目の OFF シーケンス時には反映されません。

VGH ブロック機能 — 続き

VGH アプリケーション例 (3倍 正チャージポンプ構成)

チャージポンプは構成により出力可能な電圧に制限があります。

また、VGH 負荷電流の増加により出力可能な電圧は低下します。
 実際のアプリケーションを考慮して適切な構成を選定してください。

3倍 正チャージポンプの回路構成を以下に示します。
 この構成での VGH 出力電圧の設定可能範囲は $(AVDD + 2)V \sim (AVDD \times 3 - 2)V$ です。
 (ただし、VGH 負荷電流が 0mA)

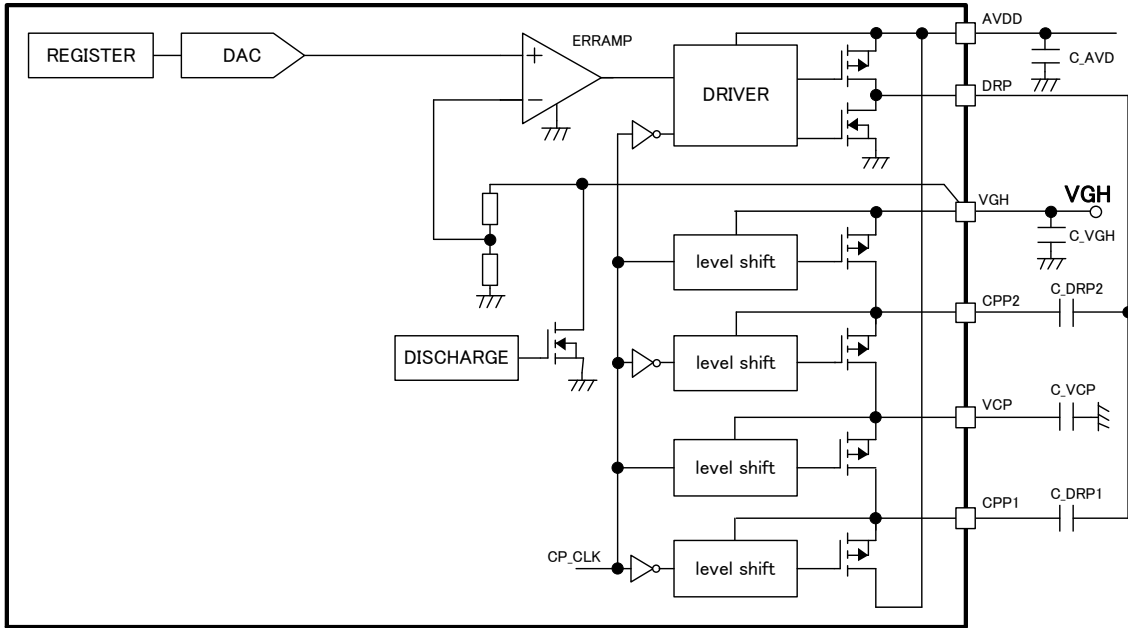


Figure 84. 3rd Stage Positive Charge Pump

VGH アプリケーション例 (2倍 正チャージポンプ構成)

2倍 正チャージポンプの回路構成を以下に示します。
 この構成での VGH 出力電圧の設定可能範囲は $(AVDD + 1)V \sim (AVDD \times 2 - 1)V$ です。
 (ただし、VGH 負荷電流が 0mA)

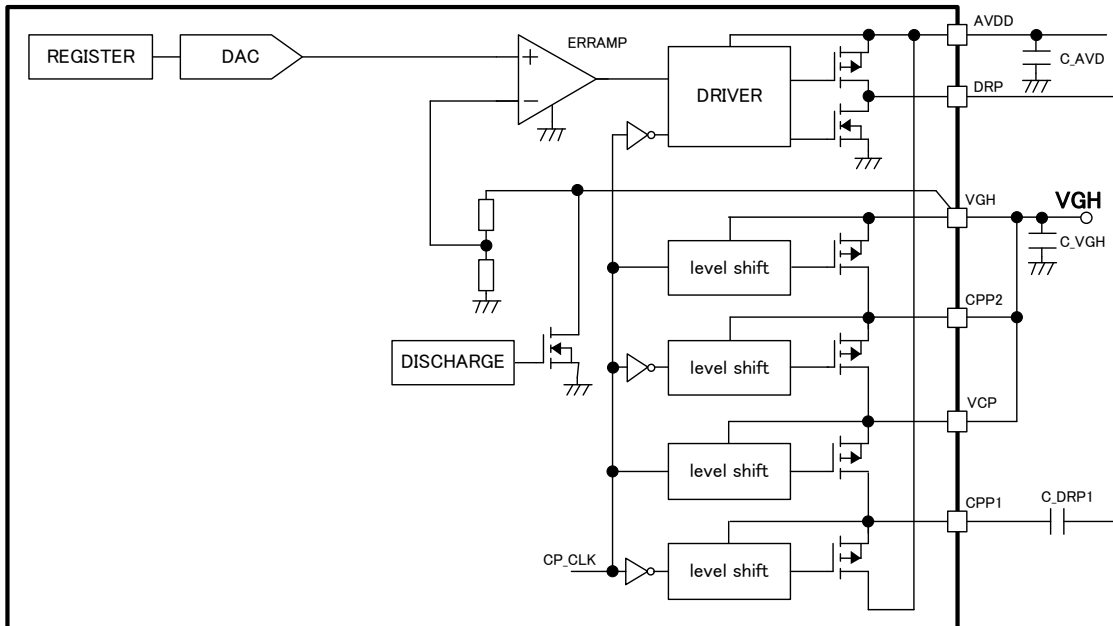


Figure 85. 2nd Stage Positive Charge Pump

VGH ブロック機能 — 続き

VGH アプリケーション例 (4倍 正チャージポンプ構成)

4倍 正チャージポンプの回路構成を以下に示します。

この構成での VGH 出力電圧の設定可能範囲は $(AVDD + 3)V \sim (AVDD \times 4 - 3)V$ です。

(ただし、VGH 負荷電流が 0mA)

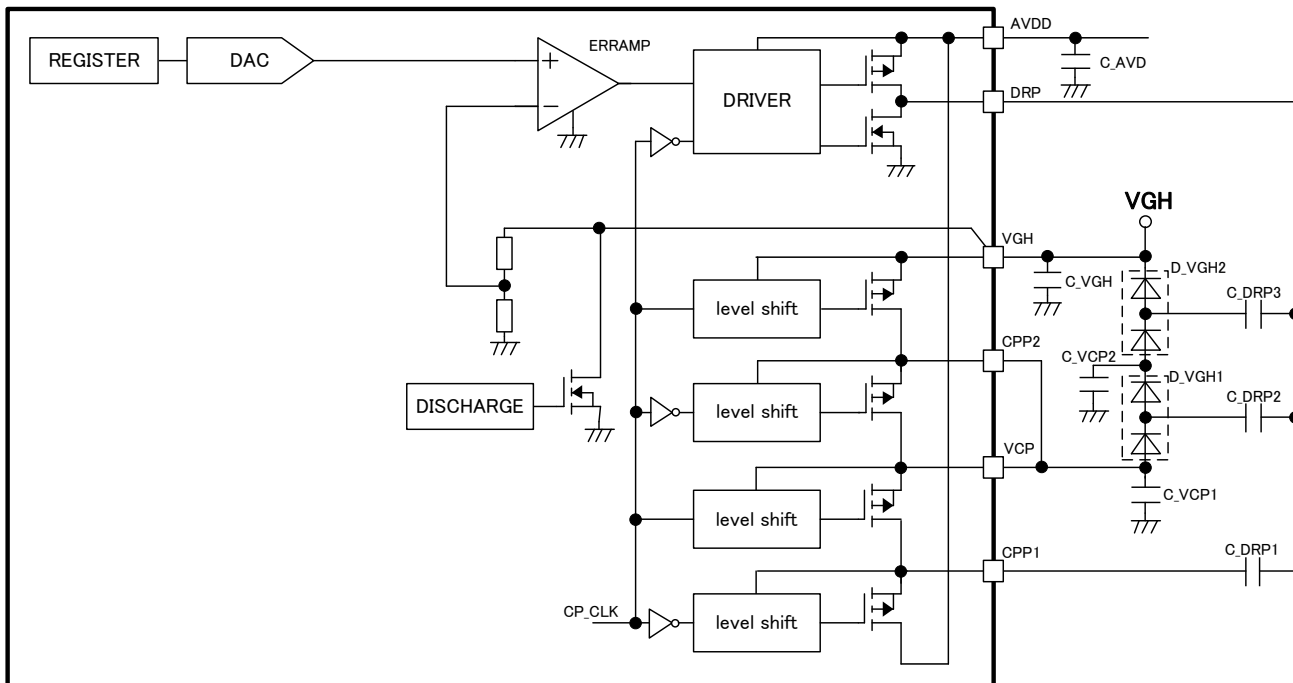


Figure 86. 4th Stage Positive Charge Pump

VGL ブロック機能

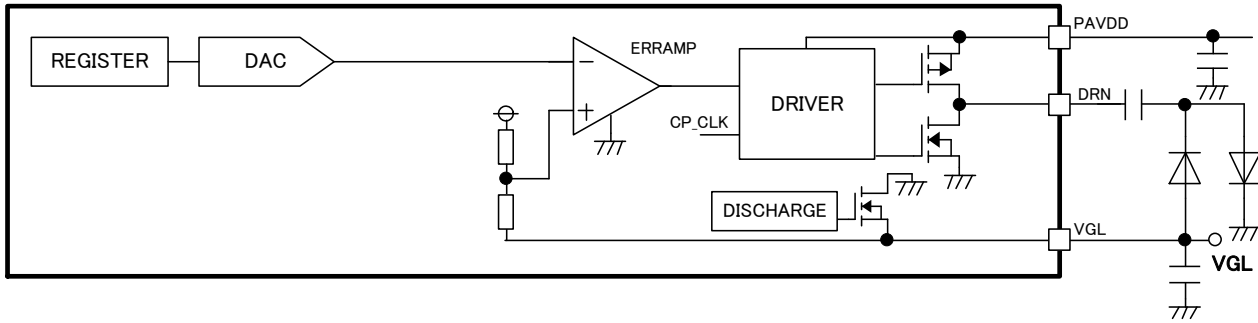


Figure 87. VGL Block Diagram

VGL ブロック (負チャージポンプ)は、EEPROM により以下の機能を設定可能です。

1. VGL Voltage (Register Address 03h [7:0])
VGL 出力電圧は-4.0V ~ -14.0V の範囲で 0.1V ステップで設定できます。
2. DRN Switching Frequency (Register Address 0Ch [5:4])
スイッチング周波数は AVDD 周波数の x1、x1/2、x1/4 から設定できます。

VGL アプリケーション例 (1 倍 負チャージポンプ構成)

1 倍 負チャージポンプの回路構成を以下に示します。
この構成での VGL 出力電圧の設定可能範囲は-4 V ~ -(AVDD - 2Vf) V です。
(ただし、VGL 負荷電流が 0mA)

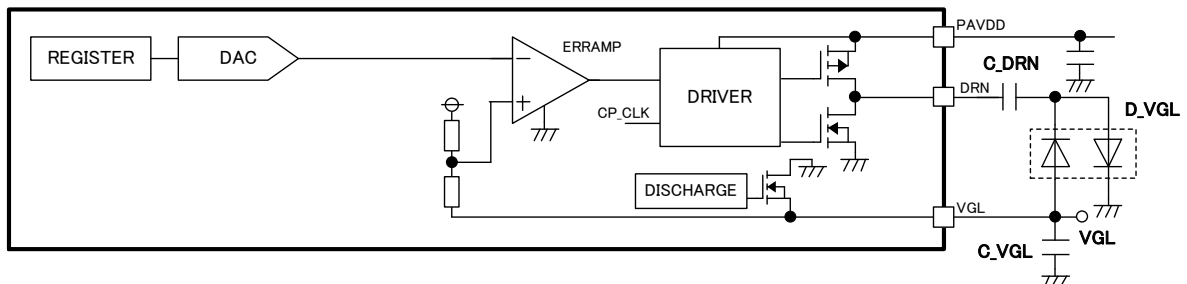


Figure 88. 1st Stage Negative Charge Pump

VGL アプリケーション例 (2 倍 負チャージポンプ構成)

2 倍 負チャージポンプの回路構成を以下に示します。
この構成での VGL 出力電圧の設定可能範囲は-4 V ~ -(AVDDx2 - 4Vf) V です。
(ただし、VGL 負荷電流が 0mA)

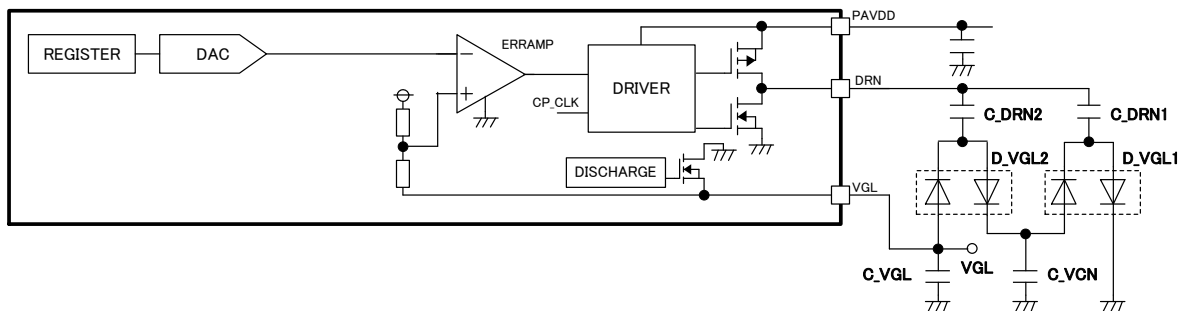


Figure 89. 2nd Stage Negative Charge Pump

VCOM ブロック機能

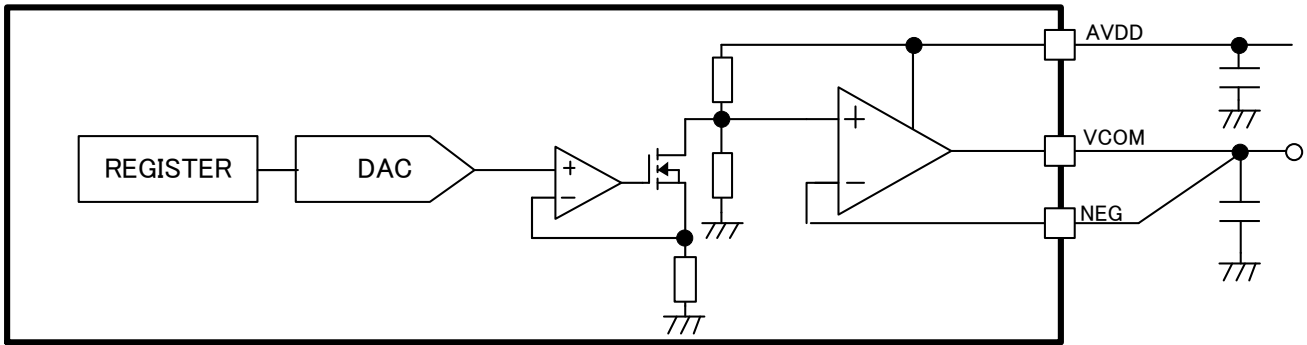
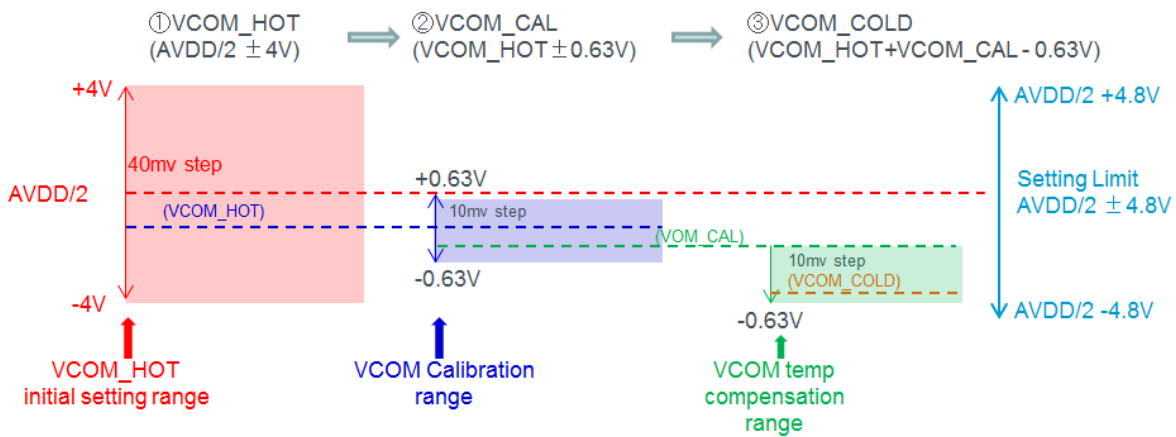


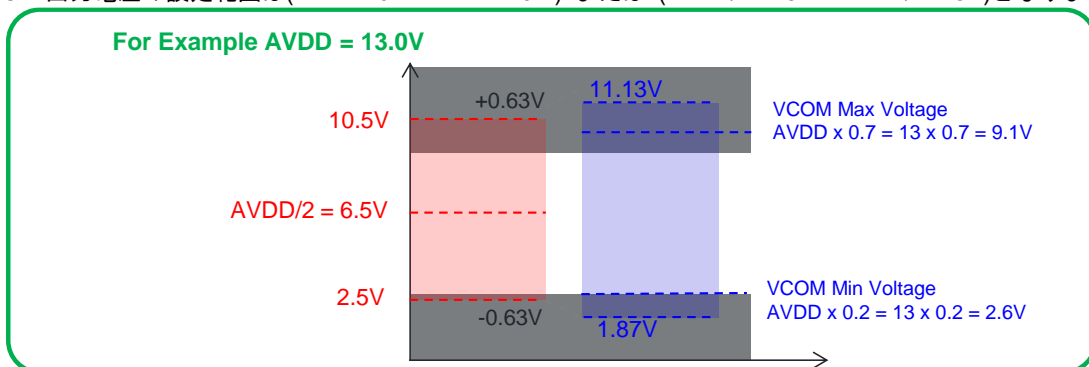
Figure 90. VCOM Block Diagram

VCOM ブロック (VCOM キャリブレータ)は、EEPROM により以下の機能を設定可能です。

1. VCOM (HOT) Voltage (Register Address 04h [7:0])
VCOM (HOT)電圧は $AVDD/2 \pm (0.0V \sim 4.0V)$ の範囲で、40mV ステップで設定できます。
2. VCOM (CAL) Voltage (Device Address 1001111x)
VCOM (CAL)電圧は VCOM (HOT)電圧の値を微調整するための機能です。
VCOM (HOT) $\pm (0.0V \sim 0.63V)$ の範囲で、10mV ステップで設定できます。
VCOM (CAL)電圧の設定方法は“DVR (VCOM キャリブレータ) 用 EEPROM の I2C フォーマット”を参照してください。
3. VCOM (COLD) Voltage (Register Address 05h [6:0])
VCOM (COLD)電圧を設定することで NTC Function 使用時に NTC 端子電圧に依存した VCOM 電圧を設定できます。
VCOM (COLD)電圧の設定範囲は $VCOM (CAL) - 0V$ から $VCOM (CAL) + 0.63V$ まで 10mV ステップで設定できます。
NTC Function の詳細については“NTC ブロック機能”を参照してください。



ただし、VCOM 出力電圧の設定範囲は $(AVDD \times 0.7 \sim AVDD \times 0.2)$ または $(AVDD/2 + 4.8V \sim AVDD/2 - 4.8V)$ となります。



VDD ブロック機能

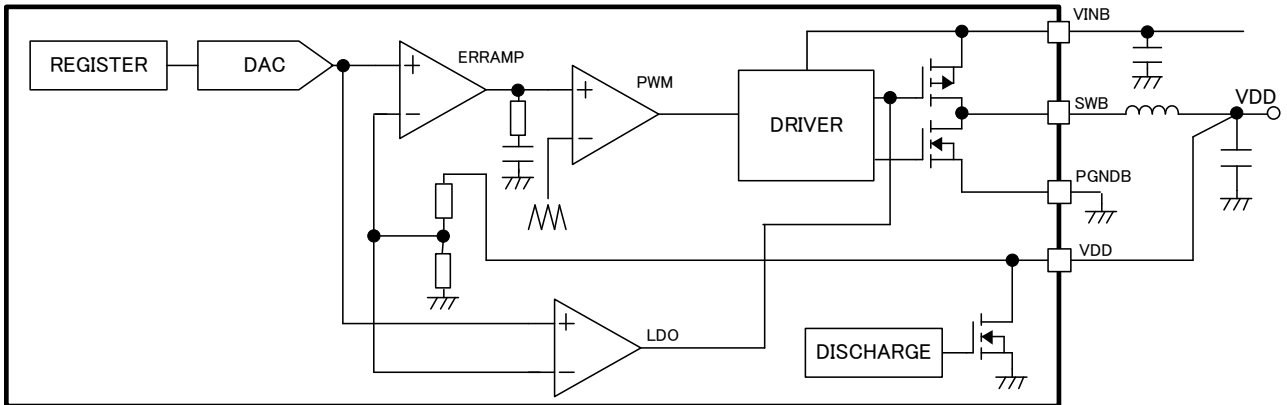


Figure 91. VDD Block Diagram

VDD ブロック (降圧 DC/DC) は、EEPROM により以下の機能を設定可能です。

1. VDD Voltage (Register Address 06h [5:0])
VDD 出力電圧は 0.9V ~ 3.4V の範囲で 0.05V ステップで設定できます。
2. SWB Switching Frequency (Register Address 0Ch [3:2])
スイッチング周波数は 525KHz、1.05MHz、2.1MHz の 3 パターンの設定ができます。
3. VDD Phase Adjust (Register Address 06h [7])
位相の調整ができます。

0'b : VD_Phase_Set1
1'b : VD_Phase_Set2

VIN[V]	VDD[V]	VDD Phase Adjust
5	0.9 ~ 1.25	1'b
	1.3 ~	0'b
3.3	0.9 ~	0'b

On-duty < 25% の場合、VDD Phase Adjust を 1'b にしてください。

4. VDD Mode Select (Register Address 06h [6])
VDD ブロックは DC/DC と LDO モードを切り替えることができます。
この機能の切り替えにはアプリケーション構成の変更が必要なため、I2C により書き込み信号を入力してもレジスタには書き込みを行いません。
レジスタに書き込む場合には、一度 Start-up bit(REG0Ch[7])を"0"にしてから書き込んでください。

VDD ブロック機能 — 続き

VDD アプリケーション例 (降圧 DC/DC)

VDD のアプリケーションは EEPROM 設定の "VDD Mode Select" により Buck DC/DC と LDO を選択できます。VDD Mode Select を "0" に設定することで Buck DC/DC として動作します。Buck DC/DC のアプリケーション回路例を以下に示します。

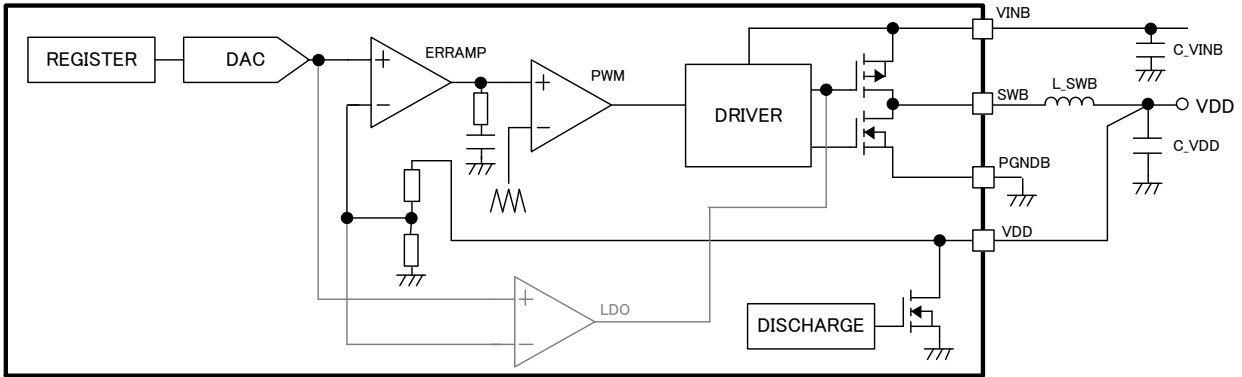


Figure 92. VDD Block Diagram(Buck DC/DC)

VDD アプリケーション例 (LDO)

VDD Mode Select を "1" に設定することで LDO として動作します。LDO のアプリケーション回路例を以下に示します。

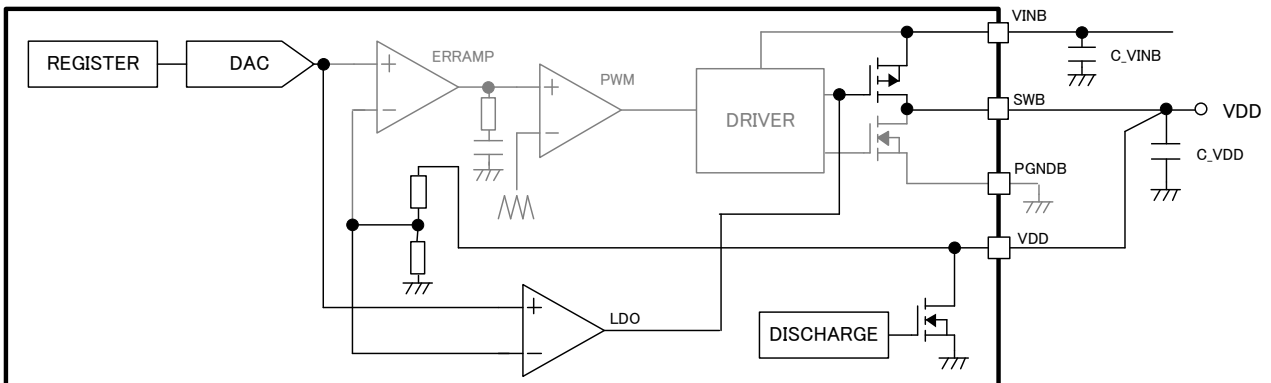


Figure 93. VDD Block Diagram(LDO)

LDO モード時、出力コンデンサ C_VDD は 1.0 μ F ~ 10 μ F にしてください。

また、VDD 機能未使用時には VDD Mode Select で LDO モードを設定し、出力コンデンサとして 1.0 μ F 以上を接続してください。

GPM ブロック機能

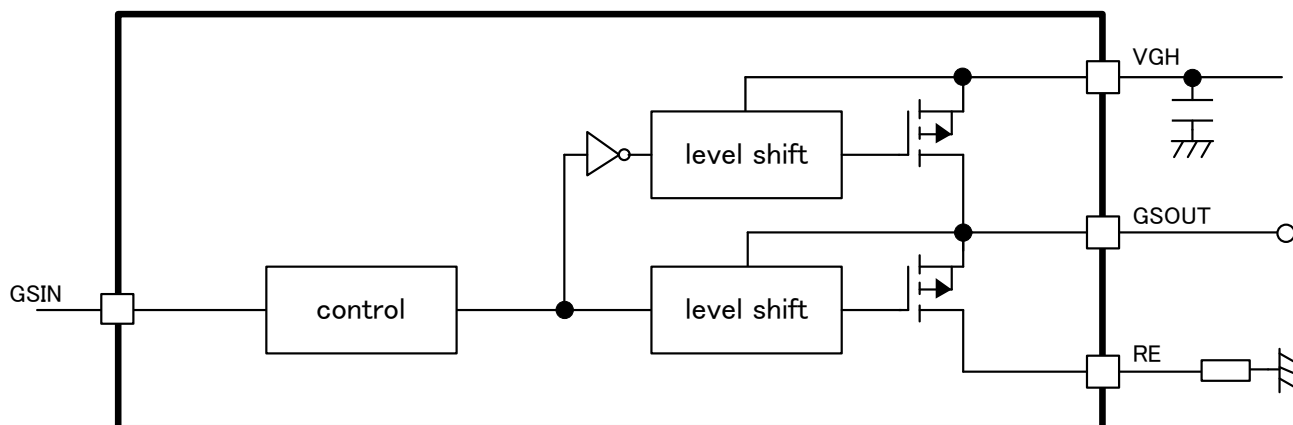


Figure 94. GPM Block Diagram

GPM ブロック(Gate Pulse Modulation) は、EEPROMにより以下の機能を設定可能です。

1. Input Delay Time (Register Address 07h [7:6])
入力信号の立下りタイミングを 0.1 μ sec、0.5 μ sec、1.0 μ sec、1.5 μ sec に設定できます。

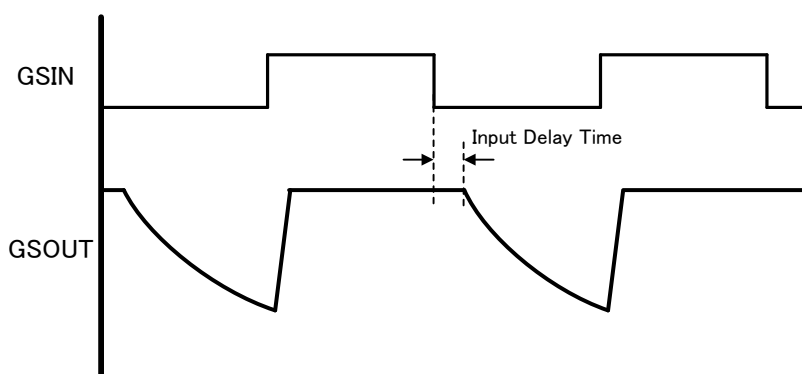


Figure 95. GPM Input Delay Time

GPM 未使用時の端子処理

GPM 機能を使用しない場合は、GSIN 端子を VIN に接続してください。
また、RE 端子には抵抗(2.0k Ω)を接続してください。
GSOUT 端子は OPEN にしてください。

RESET ブロック機能

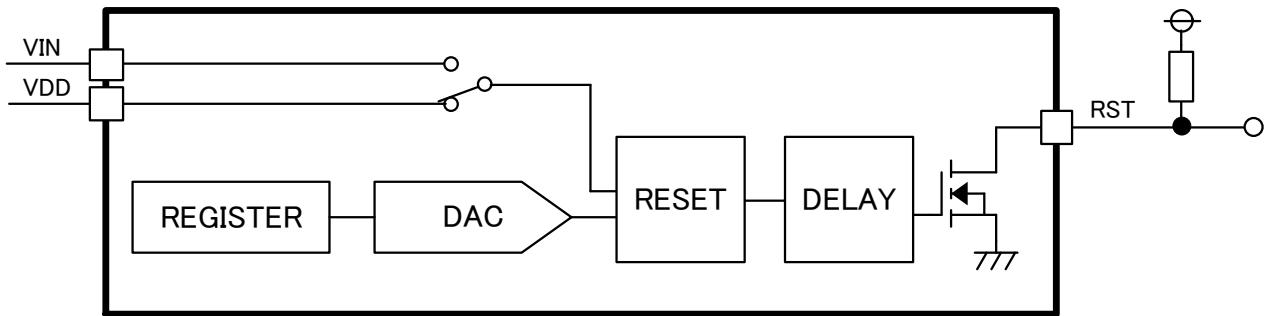


Figure 96. RESET Block Diagram

RESET ブロックは、EEPROM により以下の機能を設定可能です。

1. RESET Detect Voltage (Register Address 07h [4:0])
RESET 検出電圧は 0.6V ~ 3.3V の範囲で 0.1V ステップで設定できます。
2. RESET Monitor Select (Register Address 07h [5])
RESET の検出端子を VDD と VIN から選択できます。
3. Delay2 Time (Register Address 09h [2:0])
RESET 検出遅延時間を 0msec ~ 40msec の範囲で設定できます。

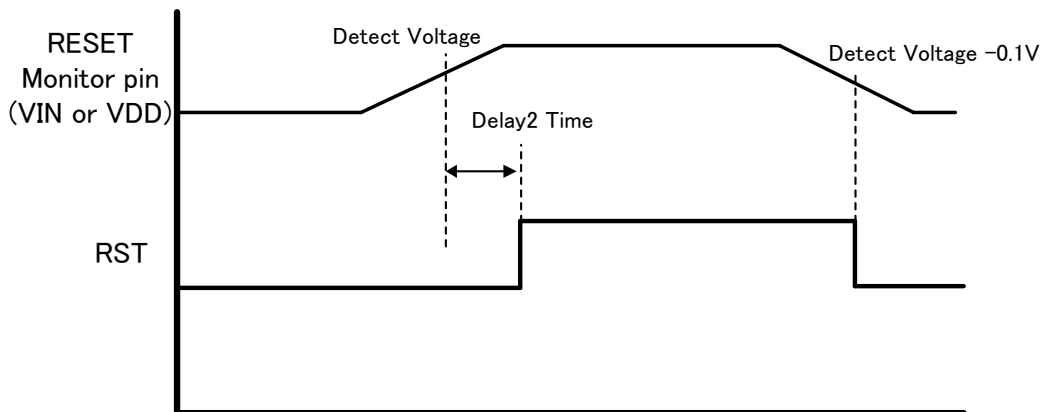


Figure 97. RESET Function

PG/LDSW ブロック機能

PG/LDSW ブロックは、EEPROM により PG (Power Good) と LDSW (Load Switch)機能の切り替えができます。

PG 機能使用時

GPM Block が動作可能な状態になると、全ての起動シーケンスが完了したと認識して PG 端子が High => Low となります。

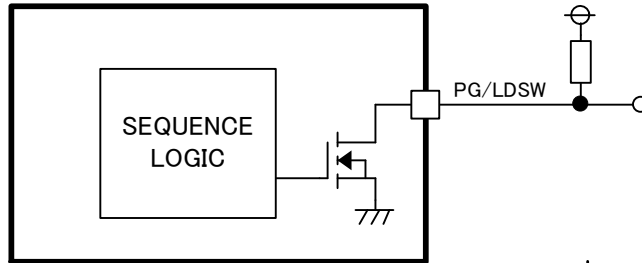


Figure 98. PG/LDSW Block Diagram

LDSW 機能使用時

AVDD 電圧よりも先に VGL 電圧を起動させる場合に使用します。下記のアプリケーションを構成することで "タイミングチャート 3" のシーケンスが実現できます。

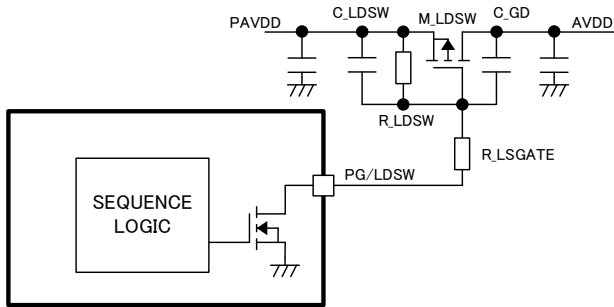


Figure 99. LDSW Function

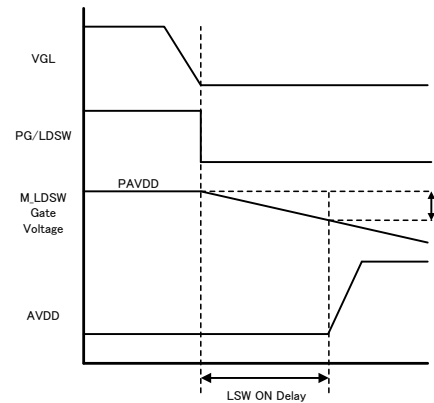


Figure 100. LDSW Delay Time

LDSW on delay(ロードスイッチ ON 遅延時間)は次の式で算出されます。

$$LDSW\ ON\ Delay = -C_{LDSW} \times \left(\frac{R_{LSGATE} \times R_{LDSW}}{R_{LSGATE} + R_{LDSW}} \right) \ln \left(1 - \frac{R_{LSGATE} + R_{LDSW}}{R_{LDSW}} \times \frac{V_{th}}{AVDD} \right) [sec]$$

LDSW off delay(ロードスイッチ OFF 遅延時間) は次の式で算出されます。

$$LDSW\ OFF\ Delay = -C_{LDSW} \times R_{LDSW} \times \ln \left(\frac{R_{LSGATE} + R_{LDSW}}{R_{LDSW}} \times \frac{V_{th}}{AVDD} \right) [sec]$$

ここで:

“AVDD”は AVDD 設定電圧となります。

“Vth”は外付け FET(M_LDSW)のゲート ON 閾値電圧となります。

LDSW 機能使用時には、Delay3 time がロードスイッチ ON 遅延時間のばらつきを含めた最大値と VGL ソフトスタート時間の合計以上となるように設定してください。Delay3 time 時間設定が短い場合、起動時に UVP が掛かります。

NTC ブロック機能

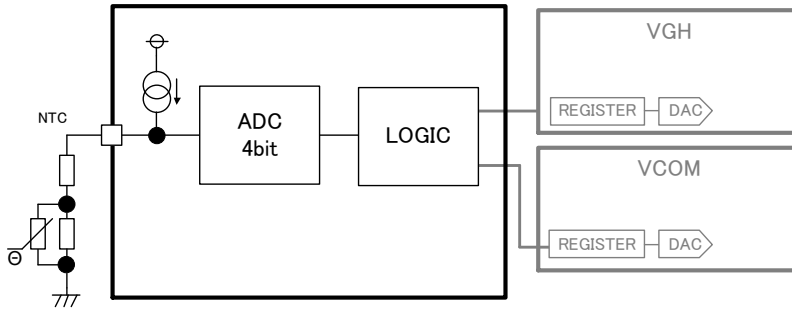


Figure 101. NTC Block Diagram

NTC ブロックは、NTC 端子の電圧に応じて VGH、VCOM の電圧を調整する機能です。
 NTC 端子には 40μA(Typ)の電流が出力されます。
 サーミスタ素子を接続することで温度調整機能を構成できます。

EEPROM により以下の機能を設定可能です。

1. VGH NTC Enable (Register Address 02h [7])
 VGH ブロックの NTC Function を Enable/Disable に切り替えられます。
2. VCOM NTC Enable (Register Address 05h [7])
 VCOM ブロックの NTC Function を Enable/Disable に切り替えられます。

NTC 未使用時の端子処理

NTC 機能を使用しない場合は、NTC 端子を OPEN にしてください。

EN ブロック機能

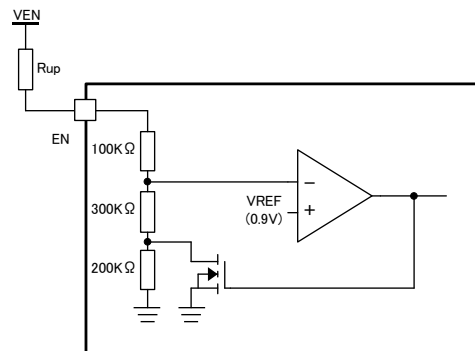


Figure 102. EN Block Diagram

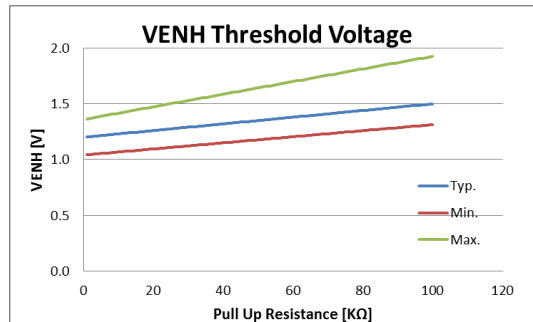
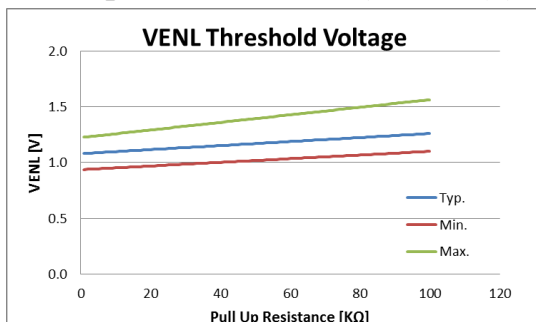
EN 端子に抵抗(Rup)を接続する場合、EN 閾値電圧は内部抵抗との抵抗分割比で決まります。

EN 閾値電圧は下記のような計算となります。

$$\text{EN threshold voltage high typical (VENH)} = 0.9/300 \times (400 + R_{up}) \text{ [V]}$$

$$\text{EN threshold voltage low typical (VENL)} = 0.9/500 \times (600 + R_{up}) \text{ [V]}$$

EN 閾値電圧のバラツキは次のようになります。



VGH / VCOM 温度補正

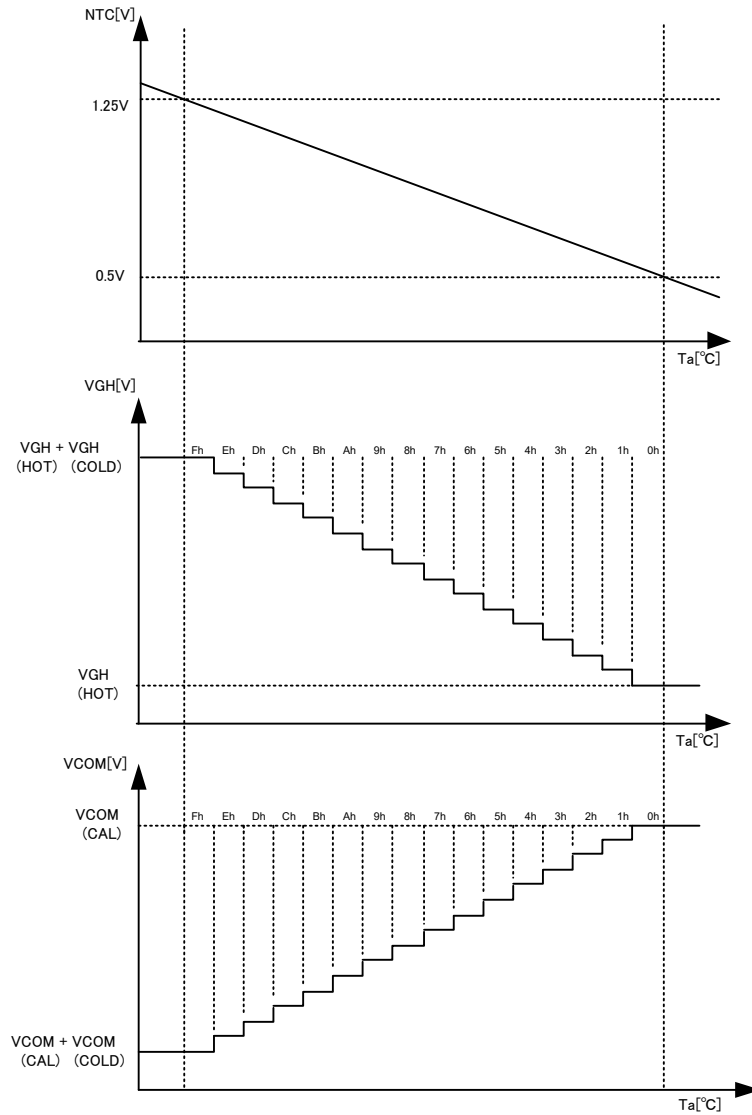


Figure 103. NTC Function

NTC Function では NTC 電圧(VNTC)に応じて VGH、VCOM の電圧を調整できます。
 NTC 電圧の検出には 4bit ADC を使用しています。

NTC Function では NTC 端子電圧が $VNTC \leq 0.5V$ の場合を HOT 設定と判定します。
 この場合、VGH、VCOM の出力電圧は以下のようになります。

$$\begin{aligned} VGH &= VGH (HOT) \\ VCOM &= VCOM (CAL) \end{aligned}$$

NTC 端子電圧が $VNTC \geq 1.25V$ の場合を COLD 設定と判定します。

$$\begin{aligned} VGH &= VGH (HOT) + \Delta VGH (COLD) \\ VCOM &= VCOM (CAL) - \Delta VCOM (COLD) \end{aligned}$$

NTC 端子電圧が $0.5V < VNTC < 1.25V$ の場合は、下記の計算式で概算できます。

$$VGH = \frac{\Delta VGH(COLD)}{15} * \left(ROUNDUP \left(\frac{VNTC - 0.5V}{0.047V} \right) - 1 \right) + VGH(HOT) [V]$$

$$VCOM = VCOM(CAL) - \frac{\Delta VCOM(COLD)}{15} * \left(ROUNDUP \left(\frac{VNTC - 0.5V}{0.047V} \right) - 1 \right) [V]$$

FAULT ブロック機能

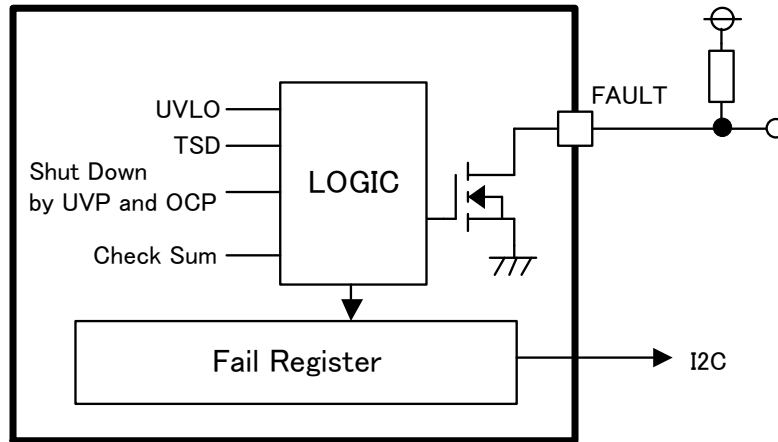


Figure 104. FAULT Block Diagram

FAULT 機能は IC の状態を外部に伝える機能です。
 正常動作時、FAULT 端子は High になります。
 異常状態では、FAULT 端子は Low となります。

FAULT 端子が Low となる条件を以下に示します。

- ① UVLO 検出
- ② TSD 動作
- ③ UVP もしくは OCP によるシャットダウン
- ④ Check Sum NG

Fail Register 機能

FAULT 端子が Low となった場合に、Fail Register のデータを読み出すことで FAULT=Low となった条件の詳細を確認することができます。

FAULT=Low となった瞬間の検出された保護状態が Fail Register に反映されます。

Fail Register のレジスタアドレスは"10h"です。

Register Address	D7	D6	D5	D4	D3	D2	D1	D0
10h	AVDD UVP	VDD UVP	VGH UVP	VGL UVP	Double Register Error	AVDD OCP	TSD	Check sum Error

Fail Register は EEPROM には書き込まれませんので、VIN UVLO が検出されるとデータは削除されます。

POWER MANAGEMENT 部の保護機能説明

- ① 低電圧誤動作防止 (UVLO)
 BM81810MUV-Mには、VIN 低電圧による誤動作防止の保護のための UVLO 機能が内蔵されています。もし、VIN が UVLO 電圧を下回った場合、VDD、AVDD、VGH、VGL、GPM、VCOM と RESET をシャットダウンします。
- ② 温度保護 (TSD)
 BM81810MUV-M は、温度保護回路 (TSD) 機能を内蔵しています。IC の温度が 175 °C (TYP) を超える場合、VDD、AVDD、VGH、VGL、GPM、VCOM と RESET をシャットダウンします
- ③ 低電圧保護 (UVP)
 VDD、AVDD、VGH と VGL 出力のための低電圧保護 (UVP) 機能があります。
 UVP を検知した場合、内部カウンターが動作し、5 ms 経過後、VDD、AVDD、VGH、VGL、GPM、VCOM をシャットダウンします。(RESET のモニタ端子が VDD の場合、RESET 端子も同時にシャットダウンします。)
- ④ 過電圧保護 (OVP)
 AVDD 出力のために過電圧保護 (OVP) 機能があります。
 OVP を検知した場合、出力電圧上昇はスイッチングを強制終了させることによって制限します。出力電圧が OVP 検出電圧より下回った場合、スイッチングは再開されます。
- ⑤ 過電流保護 (OCP)
 VDD と AVDD のために過電流保護 (OCP) 機能があります。
 OCP を検知した場合、スイッチングを制御して、FET で電流が流れることを制限します。

ブロック	保護機能	動作条件	動作	保護解除条件
VDD	過電流保護 (降圧 DCDC モード)	ISWB > 1.0 A (Min)	電流制限を超えないようにスイッチングパルス Duty を制御	ISWB < 1.0 A (Min)
	過電流保護 (LDO モード)	ISWB > 0.3 A (Min)	電流制限を超えないよう LDO を制御	ISWB < 0.3 A (Min)
	低電圧保護	検知 : VDD < Target value x 0.8 解除 : VDD > Target value x 0.9	UVP が 5msec 以上続く場合、IC はシャットダウンします。	IC 再起動
AVDD	過電圧保護	AVDD > (Target value x 1.1)	スイッチングがストップします。	AVDD < (Target Value x 1.05)
	過電流保護	ISW > 1.0 A (Min) or 2.0 A (Min)	電流制限を超えないようにスイッチングパルス Duty を制御 OCP 状態が 5msec 以上続く場合、IC はシャットダウンします。	ISW < 1.0 A (Min) or 2.0 A (Min) IC 再起動
	低電圧保護	検知 : AVDD < Target value x 0.8 解除 : AVDD > Target value x 0.9	UVP が 5msec 以上続く場合、IC はシャットダウンします。	IC 再起動
VGH	低電圧保護	検知 : VGH < Target value x 0.8 解除 : VGH > Target value x 0.9	UVP が 5msec 以上続く場合、IC はシャットダウンします。	IC 再起動
VGL	低電圧保護	検知 : VGL > Target value x 0.8 解除 : VGL < Target value x 0.85	UVP が 5msec 以上続く場合、IC はシャットダウンします。	IC 再起動
General	低電圧誤動作防止	VIN < 2.0V (Min)	IC シャットダウン	VIN > 2.55V (Typ)
	温度保護	Tj > 175 °C (Typ)	IC シャットダウン	Tj < 150°C (Typ)

ダブルレジスタ

BM81810MUV-M は各種レジスタ設定が可能です。

レジスタの意図しない切替わりによるアプリケーション上の異常動作を回避するため、特定のレジスタについてはダブルレジスタ構成にすることでレジスタ化けの検出機能があります。

異常検出の対象となるレジスタを下記に示します。

Register Address	D7	D6	D5	D4	D3	D2	D1	D0
00h	AVDD Output Voltage							
01h	VGH HOT Output Voltage							
02h	VGH NTC Enable	VGH COLD Voltage						
03h	VGL Output Voltage							
04h	VCOM HOT Output Voltage							
05h	VCOM NTC Enable	VCOM COLD Voltage						
06h	VDD Phase	VDD MODE	VDD Output Voltage					
07h	GPM Input Delay		Reset Monitor Select	Reset Voltage				
08h	Function Select	Delay1 time				Discharge time		
09h	Data Refresh	Delay3 time			DoubleReg	Delay2 time		
0Ah	VGH Discharge Enable	Delay5 time			AR_Time	Delay4 time		
0Bh	AVDD COMP	AVDD OCP Select	AVDD SS Time	AVDD SW Slew Rate		AVDD COIL		
0Ch	Start-up Bit	VGH mode select	VGH/VGL Frequency	VDD Frequency		AVDD Frequency		
0Dh	Check Sum							
10h	AVDD UVP	VDD UVP	VGH UVP	VGL UVP	Double Register Error	AVDD OCP	TSD	Check sum Error

ダブルレジスタ構成の BIT

データリフレッシュ機能

EEPROM から定期的にデータを読み出すデータリフレッシュ機能を有しています。レジスタの意図しない切替わりが発生した場合でも、データリフレッシュ機能により EEPROM からデータを読み出すことで、正しいデータへ復帰されます。

データリフレッシュは定期的な周期で実施されます。周期は 0.5 sec または 1.0 sec をレジスタにより設定できます。

データリフレッシュ機能は WPN=Low の条件で有効となり、またレジスタ設定で Enable / Disable の選択が可能です。下表にダブルレジスタおよびデータリフレッシュ機能の組合せ条件について示します。

WPN=High の場合には、ダブルレジスタおよびデータリフレッシュ機能は Disable となります。

WPN	Data Refresh	Double Register	Data Refresh Operation	Double Register Check
Low	0 : Disable	0 : Disable	Disable	Disable (Keep working even logic abnormality happens)
Low	0 : Disable	1 : Enable	Disable	Enable (First shutdown once logic abnormality detects. After Fault to be low for 1msec, then re-start)
Low	1 : Enable	0 : Disable	Enable (Data Refresh at set period)	Disable (Keep working even logic abnormality happens)
Low	1 : Enable	1 : Enable	Enable (Data Refresh at set period)	Enable (Perform Data Refresh once logic abnormality detects)
High	-	-	Disable	Disable (Keep working even logic abnormality happens)

PCB レイアウトガイド

GND ラインのパターン引き直し

大電流 GND (PGND) は太く配線するようにし、大電流経路で細い配線パターンや少ないビアなどインピーダンスが高い箇所が発生しないよう注意してください。そのため、PCB は4層以上で設計して頂くことを推奨します(中間層を GND シールドとして使用し各 GND を直接繋げてください)。もし2層以下で設計される場合は、熱やノイズに注意して実機での十分なご確認をお願いします。



スイッチングラインのパターン引き直し

DC/DC コンバータのスイッチングライン (SW 端子) からインダクタ・ダイオードへの配線は短くて太い配線となるよう接続してください。配線が長くなるとスイッチングによるリングングが大きくなり本 IC の耐圧を超える電圧が発生する恐れがあります。また、スイッチングラインは PCB レイヤ変更をしないようにしてください。スイッチングラインとフィードバックラインなどのノイズの影響を受けやすいラインとは隣接しないようにしてください。スイッチングノイズ伝播により、動作安定性を欠く要因となります。多層 PCB 基板の場合には、スイッチングラインとノイズの影響を受けやすいラインやその外付け部品が層間で隣接しないようにもご注意ください。スイッチングラインとこれらノイズの影響を受けやすいラインを遠ざけることが難しい場合には、間にグラウンドシールドラインを挿入することを推奨します。

電源電圧ラインのパターン引き直し

電源電圧(VIN, VINB, VLISO, PAVDD, AVDD, VGH)には IC 端子の近傍に平滑コンデンサを配置してください。平滑コンデンサは PCB レイヤ変更をしないようにしてください。

Figure 105 に上記の PCB レイアウトの注意事項を踏まえた回路図を示しています。

- ◆ 太線: 大電流ライン
- ◆ 青線(二点鎖線): ノイズの影響を受けやすい配線
- ◆ 赤線(点線): スwitchingなどのノイズ源となる配線
- ◆  IC 近傍に平滑コンデンサを配置
- ◆  D_SW は SW 端子と PAVDD 端子近くに配置し、SW 端子⇒SBD⇒PAVDD の電流ループができるだけ短くなるようにしてください。

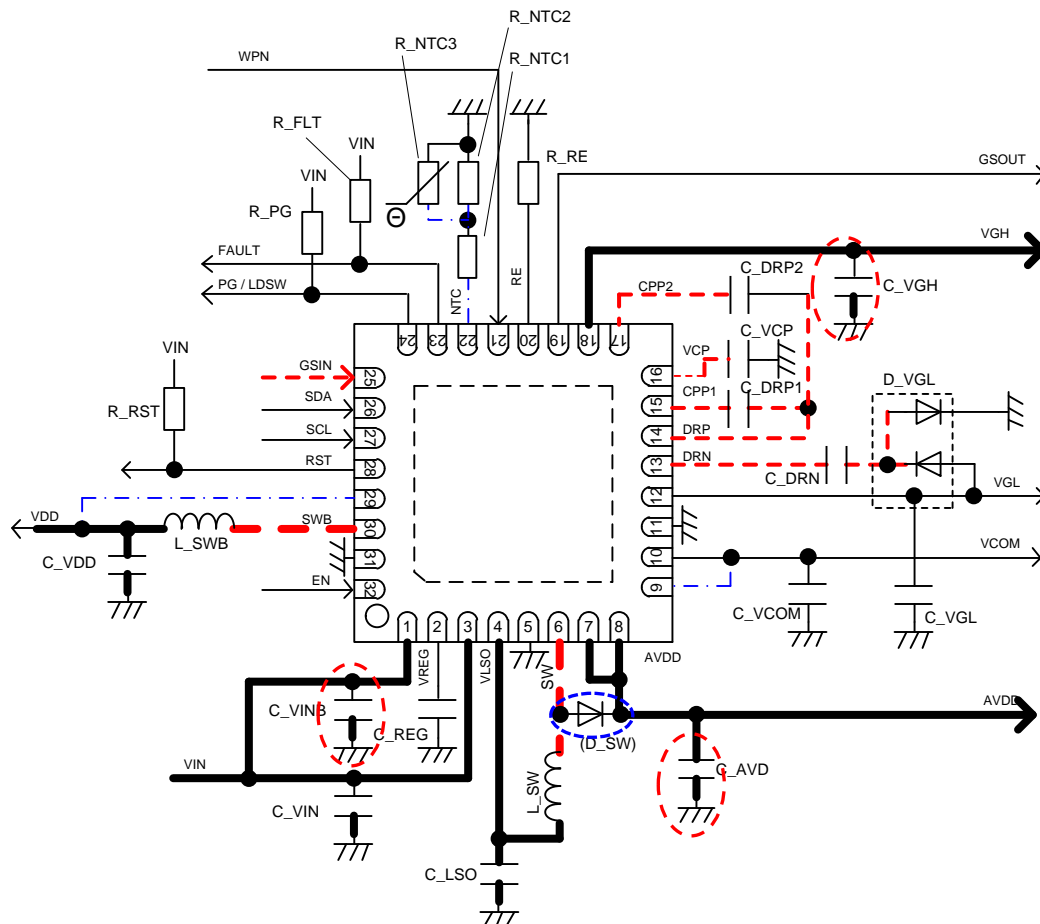


Figure 105. PCB Layout Indications

EMC レイアウトガイド

PCB 設計時の EMC 対策案を紹介します。

PCB 設計時にできる対策

- ① AVDD 配線を太く短く配線する。
- ② 昇圧 DC/DC の電流ループを太く短く配線する。

外付け部品でできる対策

- ③ コモンモードフィルタやビーズコイルといった EMC フィルタを AVDD ラインに挿入する。
- ④ 周波数特性の良い(サイズの小さい)コンデンサ (10 pF ~ 1,000 pF) を出力コンデンサと並列に挿入する。
- ⑤ SW 端子にスナバ回路を挿入する。(効率の悪化が懸念されるのでご注意ください)

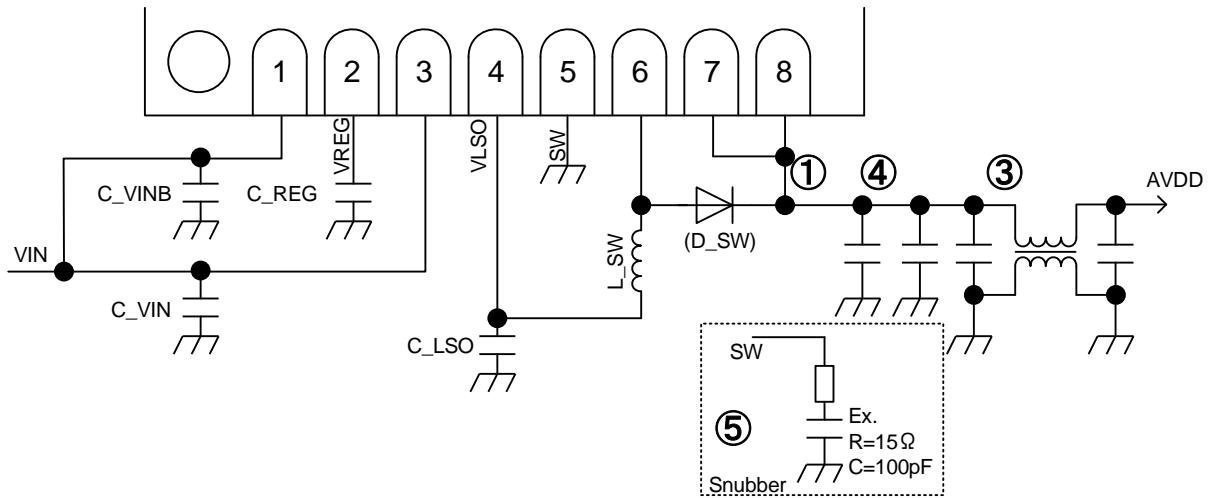


Figure 106. EMI Circuit 1

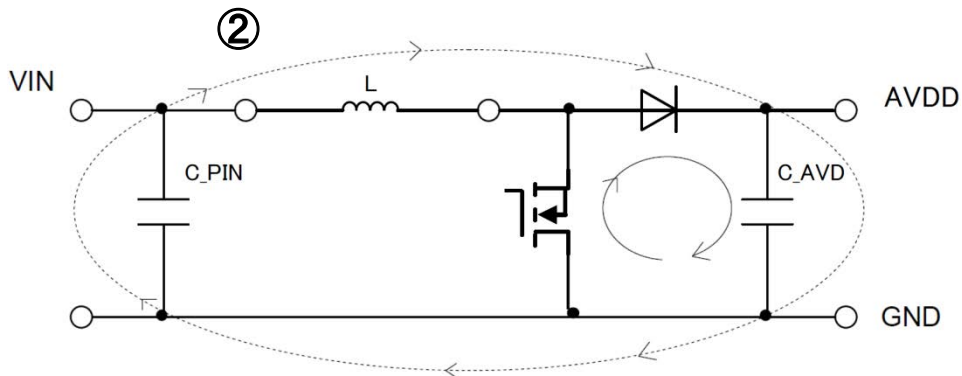
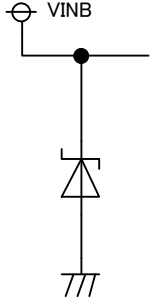
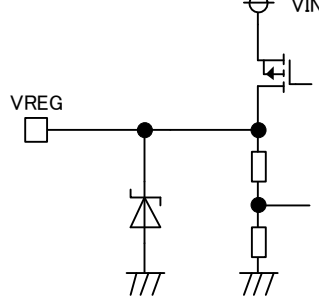
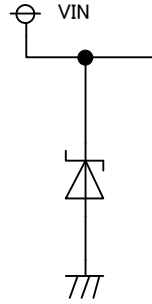
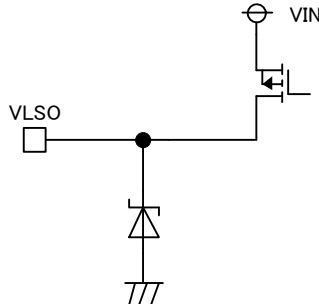
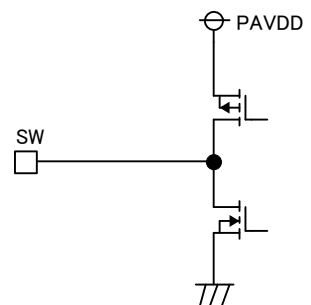
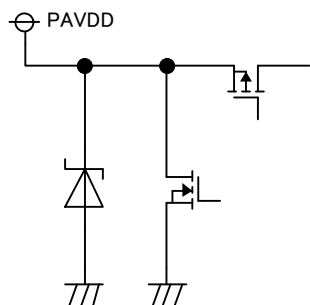
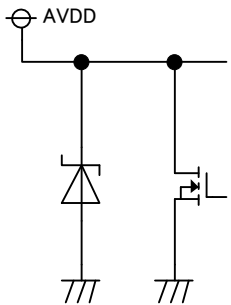
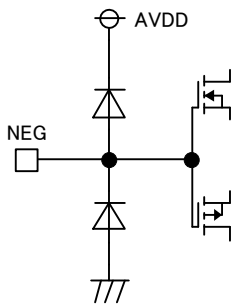
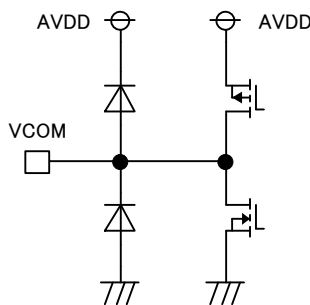
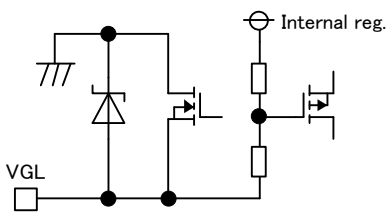
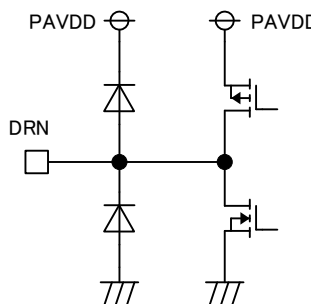
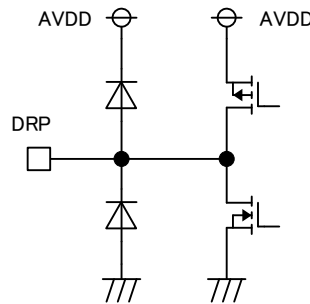


Figure 107. EMI Circuit 2

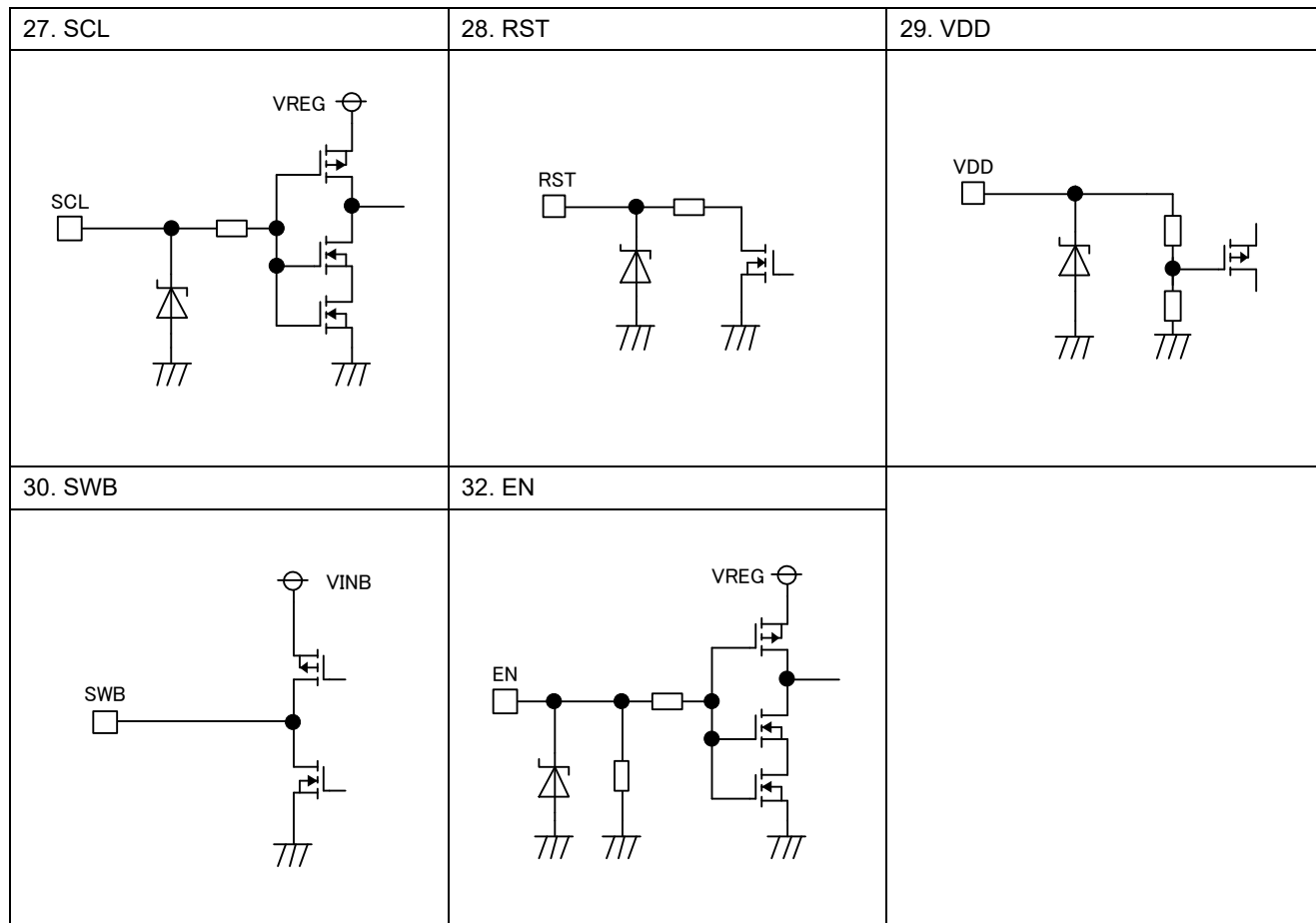
入出力等価回路図

<p>1. VINB</p> 	<p>2. VREG</p> 	<p>3. VIN</p> 
<p>4. VLSO</p> 	<p>6. SW</p> 	<p>7. PAVDD</p> 
<p>8. AVDD</p> 	<p>9. NEG</p> 	<p>10. VCOM</p> 
<p>12. VGL</p> 	<p>13. DRN</p> 	<p>14. DRP</p> 

入出力等価回路図 — 続き

<p>15. CPP1</p>	<p>16. VCP</p>	<p>17. CPP2</p>
<p>18. VGH</p>	<p>19. GSOUT</p>	<p>20. RE</p>
<p>21. WPN</p>	<p>22. NTC</p>	<p>23. FAULT</p>
<p>24. PG/LDSW</p>	<p>25. GSIN</p>	<p>26. SDA</p>

入出力等価回路図 — 続き



使用上の注意

1. 電源の逆接続について
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。
2. 電源ラインについて
基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
3. グラウンド電位について
機能的に負電位を入出力する端子を除き、グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、負電位入出力端子以外の端子がグラウンド以下の電圧にならないようにしてください。
4. グラウンド配線パターンについて
小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。
5. 熱設計について
万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。
6. 推奨動作条件について
この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。
7. ラッシュカレントについて
IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。
8. 強電磁界中の動作について
強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。
9. セット基板での検査について
セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。
10. 端子間ショートと誤装着について
プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。
11. 未使用の入力端子の処理について
CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 - 続き

12. 各入力端子について

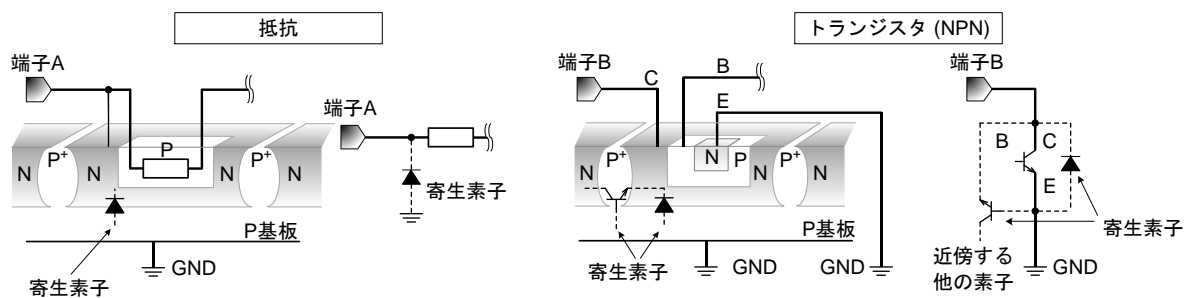
本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。



モノリシック IC 構造例

13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

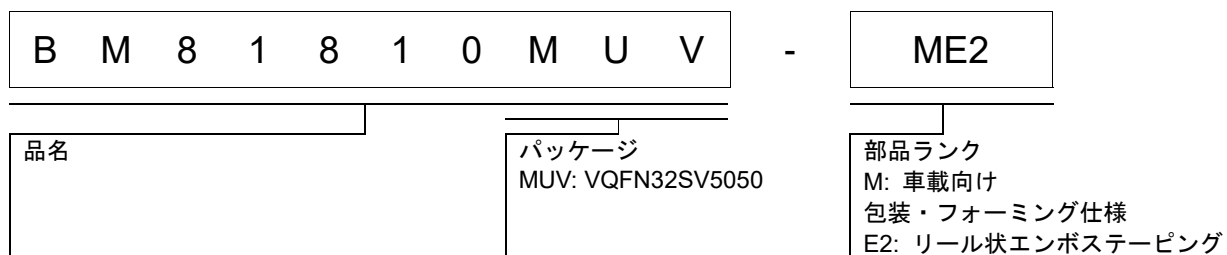
15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただけますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 Tj が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

16. 過電流保護回路について

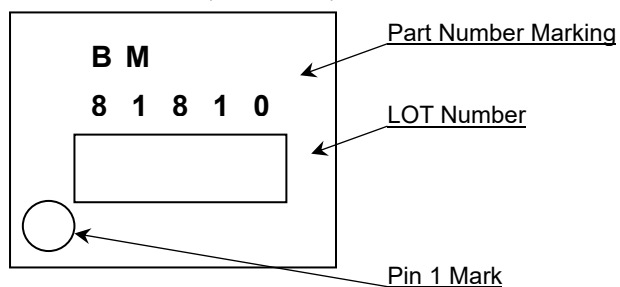
出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

発注形名情報



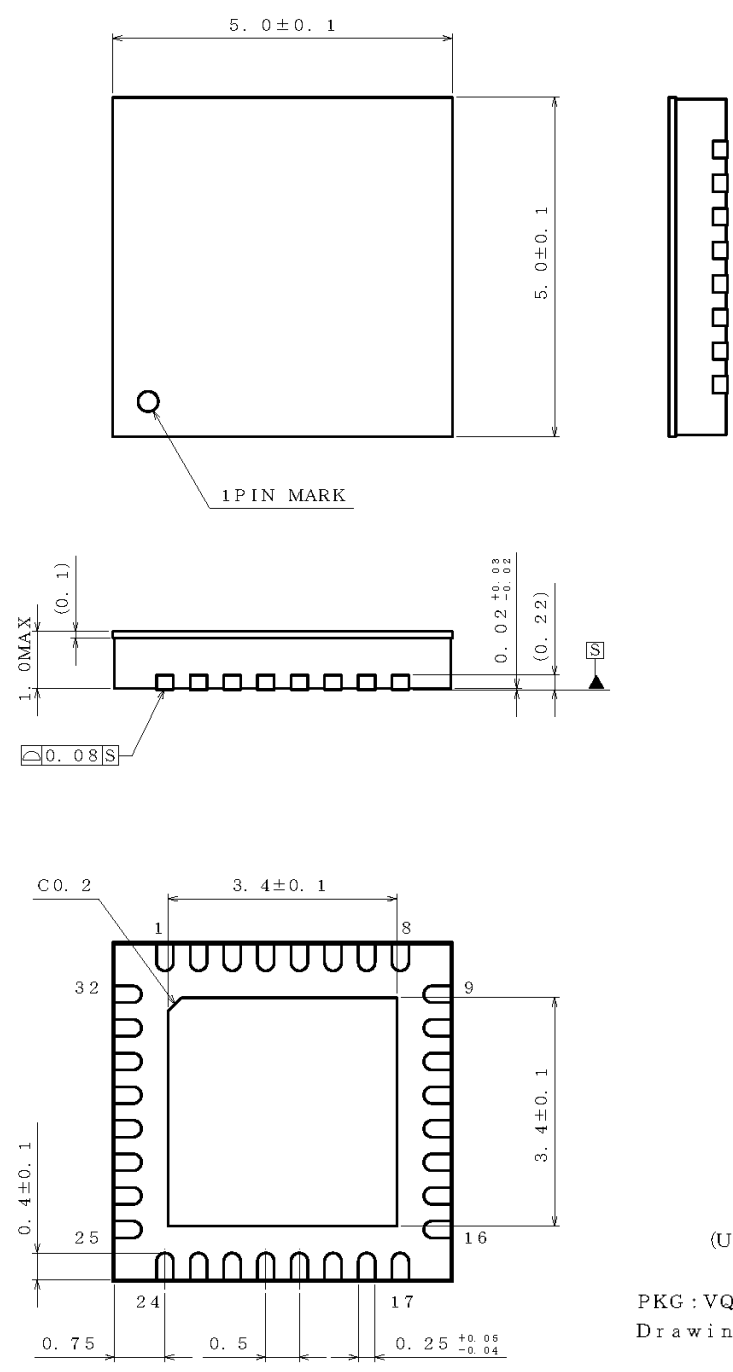
標印図

VQFN32SV5050(TOP VIEW)



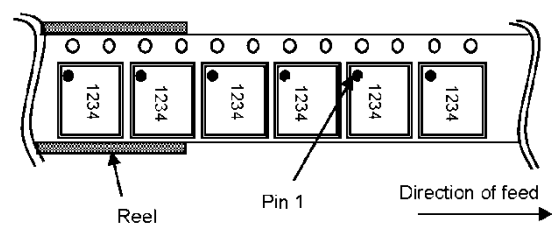
外形寸法図と包装・フォーミング仕様

Package Name	VQFN32SV5050
--------------	--------------



<包装形態、包装数量、包装方向>

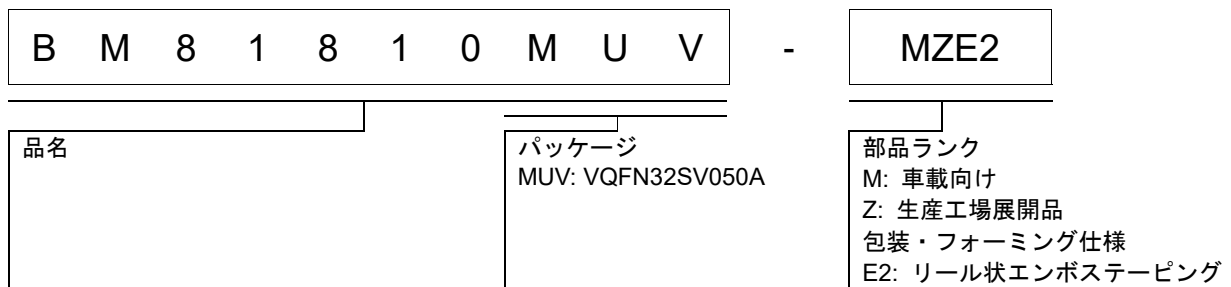
包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)



改訂履歴

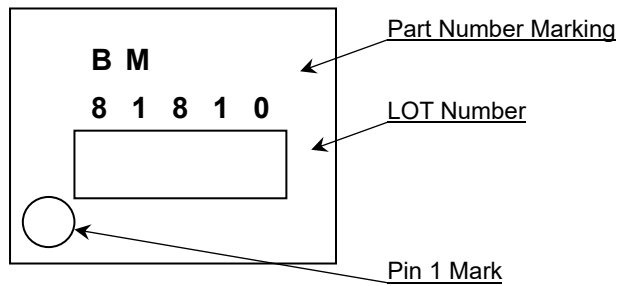
日付	版	変更内容
2016.10.1	001	新規作成
2019.1.10	002	AVDD 電流リミット(1A Setting) 規格値 MAX 3.0A ->2.5A(P.6)
		入力トレラント対応端子から WPN を削除(P.1)
		詳細パッケージ名を記載 (P.1)
		WPN 端子の絶対最大定格値を変更(P.4)
		LDSW モード使用時の推奨回路に C_GD を追加(P.31,P.32)
		一部の細かな誤記を訂正
2020.12.9	003	パッケージ(VQFN32SV050A)生産工場展開品追加(限定) P.75-2, P.75-3

発注形名情報



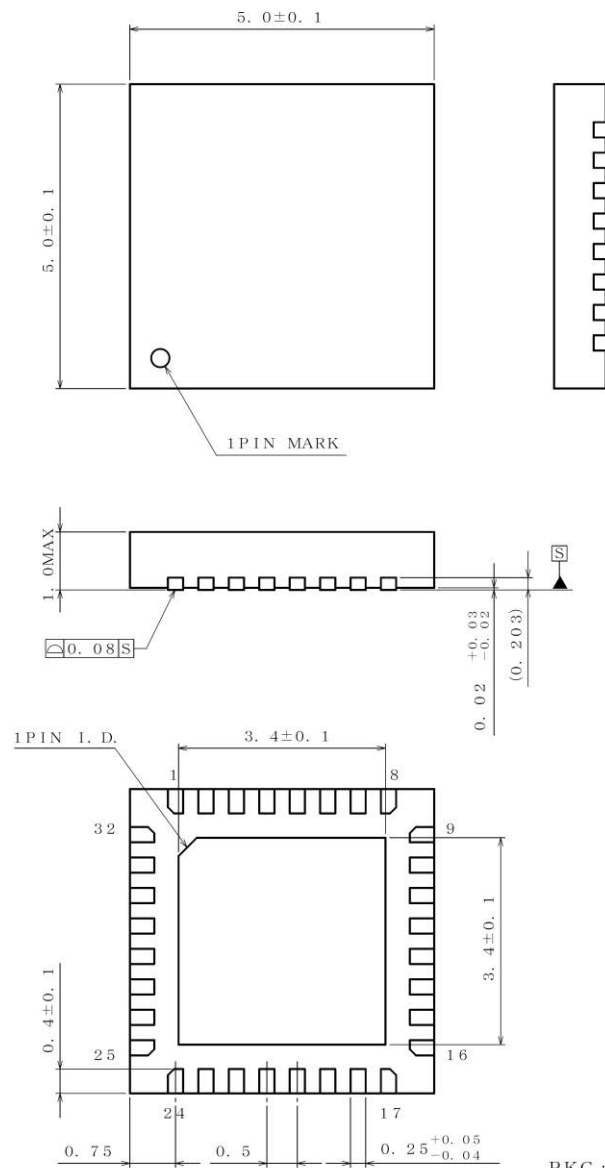
標印図

VQFN32SV050A(TOP VIEW)



外形寸法図と包装・フォーミング仕様

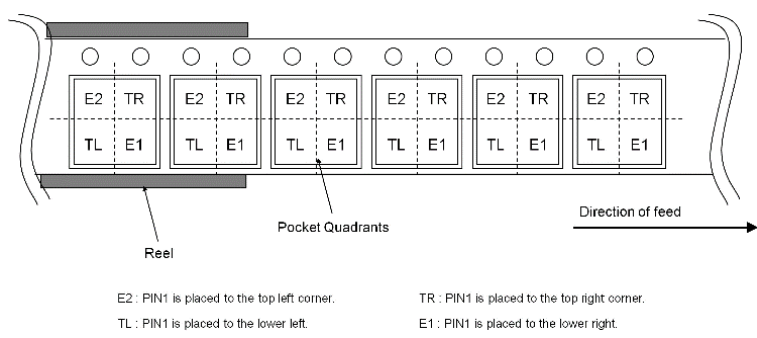
Package Name	VQFN32SV050A
--------------	--------------



(UNIT : mm)
 PKG : VQFN32SV050A
 Drawing No. EX001-0102

<包装形態、包装数量、包装方向>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)



ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。