



dsPIC30F1010/202X

データ シート

28/44 ピン高性能
スイッチング電源用
デジタル シグナル コントローラ

マイクロチップデバイスのコード保護についての詳細

- マイクロチップ製品は、マイクロチップが発行するデータシートに記載された仕様を満たしています。
- マイクロチップの製品ファミリーは、正常かつ通常条件下で使用される限り、現在の半導体市場で最も確実で安全な製品です。
- コード保護を侵害する不正または不法な行為、または、マイクロチップが発効するデータシートに記載されている仕様範囲外でマイクロチップ製品を使用し不正または不法な行為を行った場合は、知的財産の侵害となります。
- マイクロチップは、コードの完全性について懸念されるカスタマをサポートします。

マイクロチップおよびその他の半導体メーカーは、コードのセキュリティを保証しておりません。コード保護機能は、製品が破損しないことを保証するものではありません。

コード保護機能は常に改善されています。マイクロチップでは、弊社の製品のコード保護機能に対して不断な努力を重ねております。弊社のコード保護機能を侵害する行為は、デジタルミレニアム著作権法 (DMCA) に違反します。カスタマのソフトウェアまたはその他の著作物への不正アクセスが生じた場合は、この著作権法に則り訴訟を起こす場合があります。

この文書に含まれるデバイスアプリケーションに関する情報は、ユーザーが任意で入手可能であるため、入手した文書が常に最新版であるとは限りません。したがって、ユーザーアプリケーションが製品仕様を満たしているかの判断はユーザー側の責任とします。

マイクロチップは、条件、品質、パフォーマンス、市場性または適合性を含む関連情報 (この限りではない) が、明示または暗示、書面または口頭、制定内またはそうでない場合でもいかなる種類の保証を致しかねます。

マイクロチップは、この情報とその使用に起因する全ての責任を負いかねます。生命維持装置の重要な構成要素としてマイクロチップ製品を使用する場合は、マイクロチップによる正式な書面での承認以外は認可されません。いかなる知的所有権の下でも、明示的またはその他のライセンスの譲渡は認められません。

商標

マイクロチップの名前およびロゴ (Microchip logo, Accuron, dsPIC, KEELoQ, microID, MPLAB, PIC, PICmicro, PICSTART, PRO MATE, PowerSmart, rPIC, および SmartShunt) は、米国およびその他の国において登録された、Microchip Technology Incorporated の商標です。

AmpLab, FilterLab, Migratable Memory, MXDEV, MXLAB, PICMASTER, SEEVAL, SmartSensor, および Embedded Control Solutions Company は、米国において登録された、Microchip Technology Incorporated の商標です。Analog-for-the-Digital Age, Application Maestro, dsPICDEM, dsPICDEM.net, dsPICworks, ECAN, ECONOMONITOR, FanSense, FlexROM, fuzzyLAB, In-Circuit Serial Programming, ICSP, ICEPIC, Linear Active Thermistor, MPASM, MPLIB, MPLINK, MPSIM, Pickit, PICDEM, PICDEM.net, PICLAB, PICtail, PowerCal, PowerInfo, PowerMate, PowerTool, rLAB, rPICDEM, Select Mode, Smart Serial, SmartTel, Total Endurance, および WiperLock は、米国およびその他の国における、Microchip Technology Incorporated の商標です。

SQTP は、米国における、Microchip Technology Incorporated のサービス商標です。

ここに示されるその他の商標はそれぞれの企業の著作物です。

著作権。© 2006 年マイクロチップテクノロジーインク、米国で印刷。無断複写・転載を禁じます。

 再生紙を使用。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

マイクロチップ社は、2003年10月に本社、設計およびウエハ工場 (アリゾナ州チャンドラーおよびテンピー、カリフォルニア州マウンテンビュー) 品質システムが、ISO/TS-16949:2002 の認証を取得しました。マイクロチップの品質システムプロセスおよび手順は、PICmicro[®] 8ビット MCU、KEELoQ[®] コードホッピングデバイス、シリアルEEPROM、マイクロペリフェラル、不揮発性メモリ、およびアナログ製品を使用しています。また、マイクロチップの開発システムの設計および製造は、ISO 9001:2000 の認定を取得しています。

**28/44 ピン dsPIC30F1010/202X 改良型フラッシュ
SMPS 16 ビット デジタル シグナル コントローラ**

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンス マニュアル」(DS70157)を参照して下さい。

高性能な改良型 RISC CPU

- 改良ハーバードアーキテクチャ
- C コンパイラに最適化された命令セット
- 柔軟なアドレッシングモードの 83 個の基本命令
- 24 ビット幅の命令、16 ビット幅のデータ
- 12 K バイトのオンチップフラッシュプログラム空間
- 512 バイトのオンチップデータ RAM
- 16 x 16 ビットの作業レジスタアレイ
- 最高 30 MIPS 動作
 - デュアル内蔵 RC
 - 9.7 と 14.55 MHz ($\pm 1\%$) 工業温度品
 - 6.4 と 9.7 MHz ($\pm 1\%$) 拡張温度品
 - 32X PLL で 480 MHz VCO 生成
 - PLL 入力は $\pm 3\%$ ディザ
 - 外部 EC クロックは 6 から 14.55 MHz
 - HS クリスタルモードは 6 から 14.55 MHz
- 32 個の割り込みソース
- 3 個の外部割り込みソース
- 割り込みごとに選択できる 8 個の優先順位
- 4 個のプロセッサ例外とソフトウェアトラップ

DSP エンジンの特徴

- モジュールとビットリバースモード
- 2 個の 40 ビット幅の飽和ロジックオプション付きアキュムレータ
- 17 ビット x 17 ビットの 1 サイクルハードウェア固定小数 / 整数乗算器
- 1 サイクルの積和演算 (MAC) 動作
- 40 ステージのパレルシフト
- デュアルデータフェッチ

周辺モジュールの特徴

- 高電流シンク / ソースの I/O ピン : 25 mA/25 mA
- 3 個の 16 ビットタイマ / カウンタ : 16 ビットタイマペアで 32 ビットタイマモジュールとするオプション
- 1 個の 16 ビットキャプチャ入力機能
- 2 個の 16 ビットコンペア / PWM 出力機能
 - デュアルコンペアモード可能
- 3 線式 SPI モジュール (4 フレームモードをサポート)
- I²C™ モジュールはマルチマスタ / スレーブモード、7 ビット / 10 ビットアドレッシングをサポート
- UART モジュール
 - RS-232、RS-485、LIN 1.2 をサポート
 - オンチップハードウェアエンデコ付き IrDA®
 - スタートビットによる自動ウェイクアップ
 - 自動ボーレート検出
 - 4 レベルの FIFO バッファ

電源用 PWM モジュールの特徴

- 4 系統 8 出力の PWM ジェネレータ
- PWM ジェネレータごとに個別タイムベースとデューティサイクルを持つ
- デューティサイクル分解能は 30 MIPS で 1.1 ns
- PWM ジェネレータごとの個別デッドタイム
 - デッドタイム分解能 30 MIPS で 4.2 ns
 - 立ち上がりと立下りエッジ用デッドタイム
- フェーズシフト分解能 30 MIPS で 4.2 ns
- 周波数分解能 30 MIPS で 8.4 ns
- 下記 PWM モードをサポート
 - 相補
 - プッシュプル
 - マルチフェーズ
 - 可変フェーズ
 - 電流リセット
 - 電流制限
- 個別の電流制限とフォルト入力
- 出力上書き制御
- 特殊イベントトリガ
- PWM は ADC トリガを生成

dsPIC30F1010/202X

アナログの特徴

ADC

- 10 ビット分解能
- 2000 Ksps 変換速度
- 最大 12 入力チャネル
- 「変換ペア」で 2 入力 (例えば電流と電圧) の同時変換を 1 トリガで可能
- PWM 制御ループ
 - 最大 6 変換ペアが可能
 - 変換ペアごとに 4 PWM と 7 種のトリガソース選択可能
- 最高毎秒 1M 回の割り込みがハードウェアでサポート

コンパレータ

- 4 系統のアナログ コンパレータ
 - 20 ns の応答速度
 - 10 ビット DAC によりリファレンス生成
 - プログラマブルな出力極性
 - 入力ソース選択可能
 - ADC サンプル変換可能
- PWM モジュールインターフェース
 - PWM デューティサイクル制御
 - PWM 周期制御
 - PWM フォルト検出
- 特殊イベントトリガ
- PWM 生成の ADC トリガ

その他のマイクロコントローラの特徴

- 強化版フラッシュ プログラム メモリ
 - 工業用温度範囲にて、10,000 イレーズ/書き込みサイクル (最小)、100k サイクル (標準)
- ソフトウェア制御で自己再プログラミング可能
- パワーアップリセット (POR)、パワーアップタイム (PWRT)、発振スタートアップタイム (OST)
- 柔軟なウォッチドッグタイム (WDT) は、オンチップの低電力 RC 発振器で高信頼動作
- フェイルセーフクロック モニタ動作
- クロック不良検知とオンチップ低電力 RC 発振器への切替
- プログラマブルなコード保護
- インサーキットシリアルプログラミング™ (ICSP™)
- 選択可能な省電力モード
 - スリープ、アイドル、代替クロックモード

CMOS テクノロジ

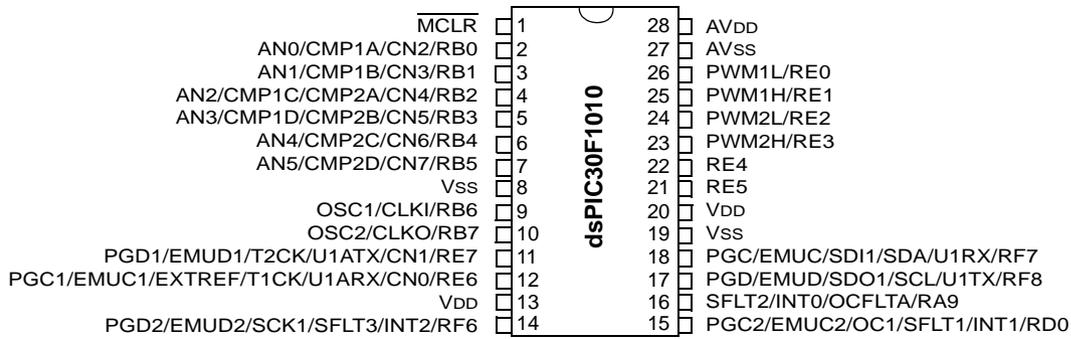
- 低電力、高速フラッシュテクノロジー
- 3.3V と 5.0V 動作 (±10%)
- 工業用と拡張温度範囲
- 低消費電力

dsPIC30F スイッチモード電源ファミリ

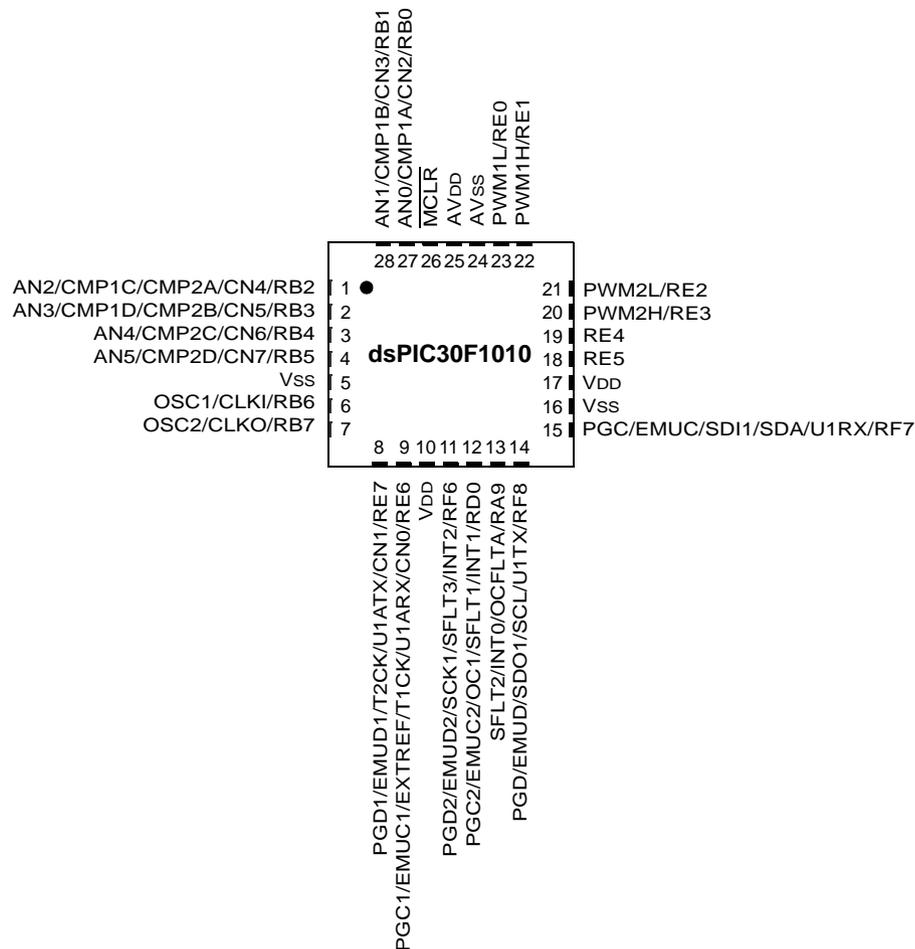
製品名	ピン数	パッケージ	プログラムメモリ (バイト)	データ SRAM (バイト)	タイマ	キャプチャ	コンペア	UART	SPI	I ² C™	PWM	ADCs	S & H	A/D 入力s	アナログコンパレータ
dsPIC30F1010	28	SDIP	6K	256	2	0	1	1	1	1	2x2	1	2	6 ch	2
dsPIC30F1010	28	SOIC	6K	256	2	0	1	1	1	1	2x2	1	2	6 ch	2
dsPIC30F1010	28	QFN	6K	256	2	0	1	1	1	1	2x2	1	2	6 ch	2
dsPIC30F2020	28	SDIP	12K	512	3	1	2	1	1	1	4x2	1	4	8 ch	4
dsPIC30F2020	28	SOIC	12K	512	3	1	2	1	1	1	4x2	1	4	8 ch	4
dsPIC30F2020	28	QFN	12K	512	3	1	2	1	1	1	4x2	1	4	8 ch	4
dsPIC30F2023	44	QFN	12K	512	3	1	2	1	1	1	4x2	1	4	12 ch	4
dsPIC30F2023	44	TQFP	12K	512	3	1	2	1	1	1	4x2	1	4	12 ch	4

ピン配置

28 ピン SDIP と SOIC



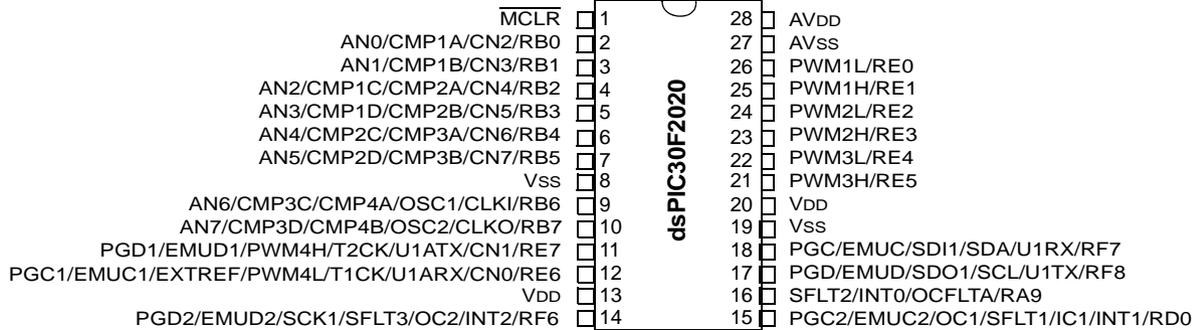
28 ピン QFN



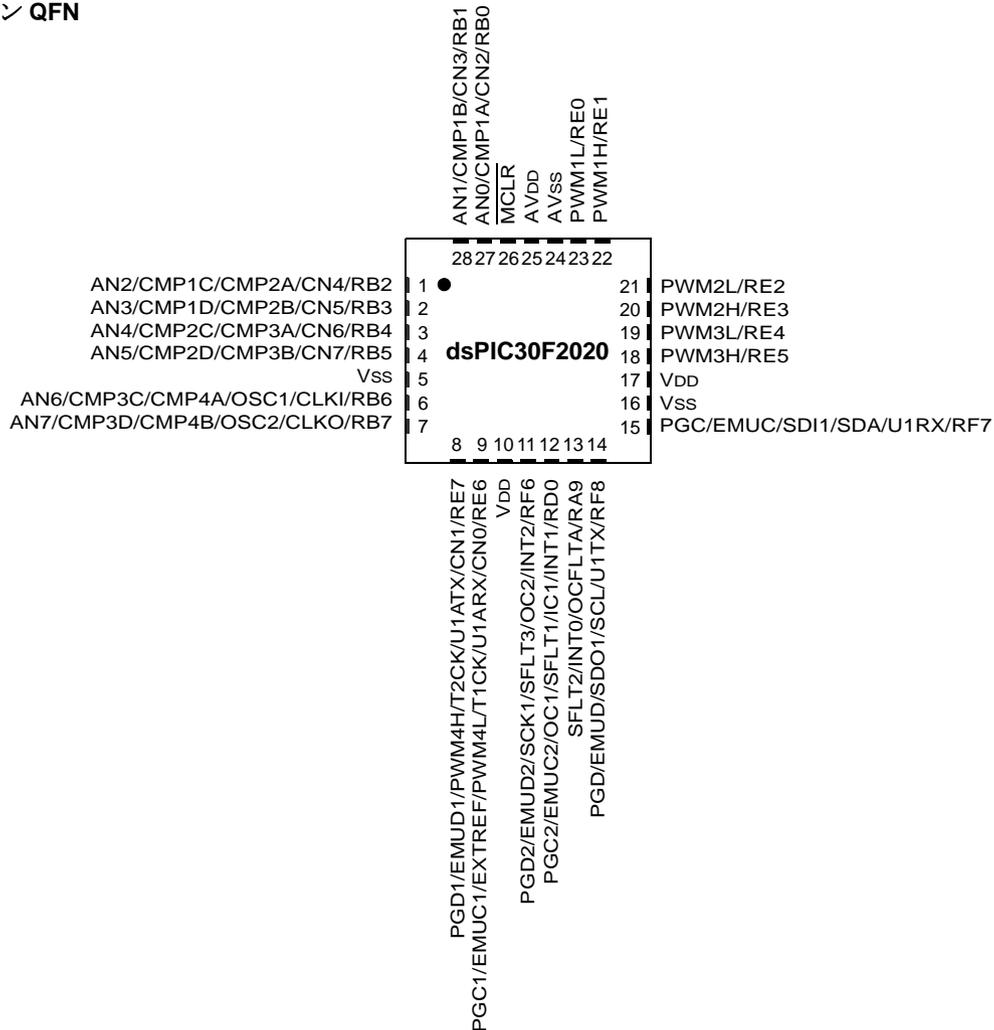
dsPIC30F1010/202X

ピン配置

28ピン SDIP と SOIC

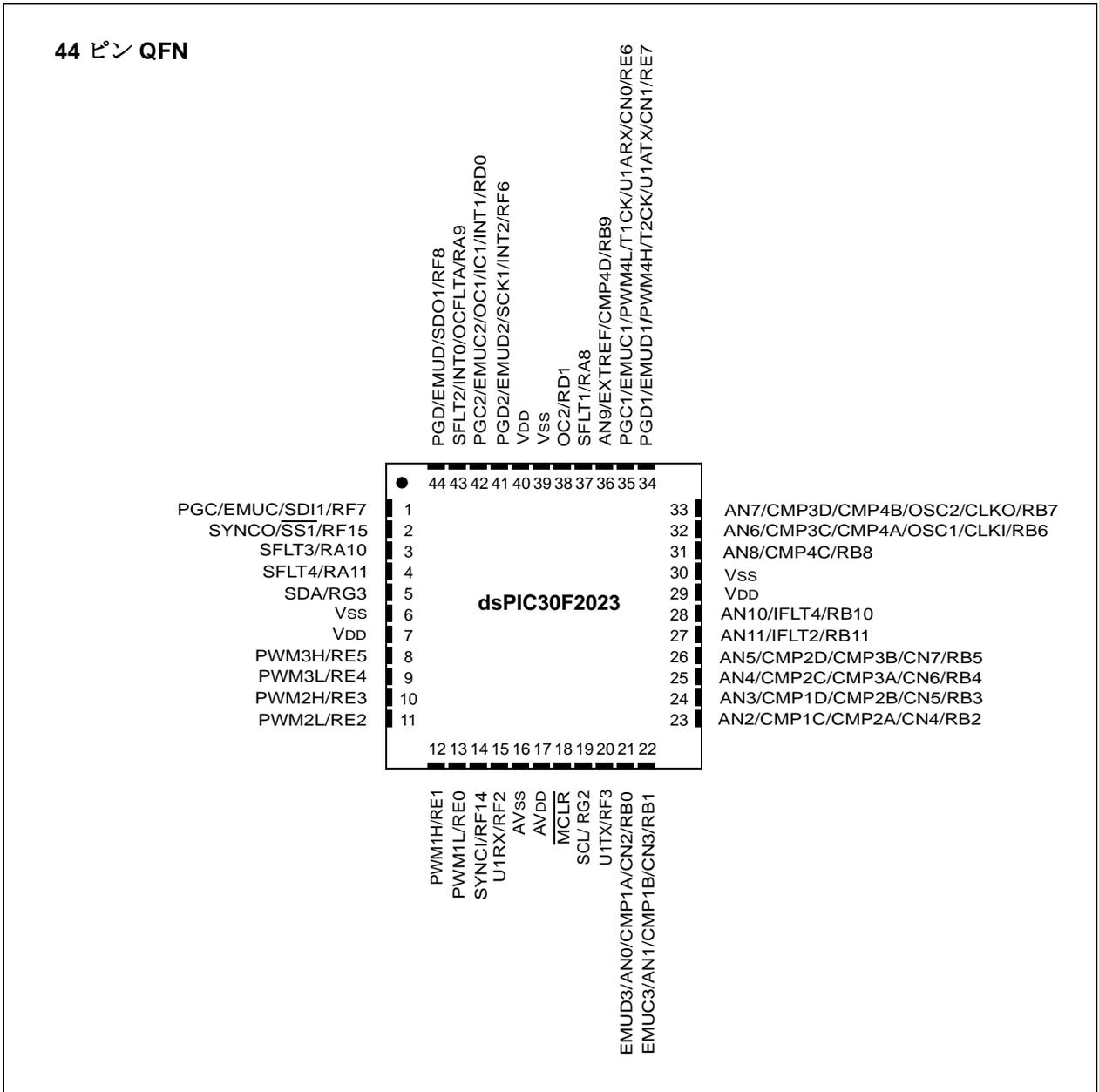


28ピン QFN



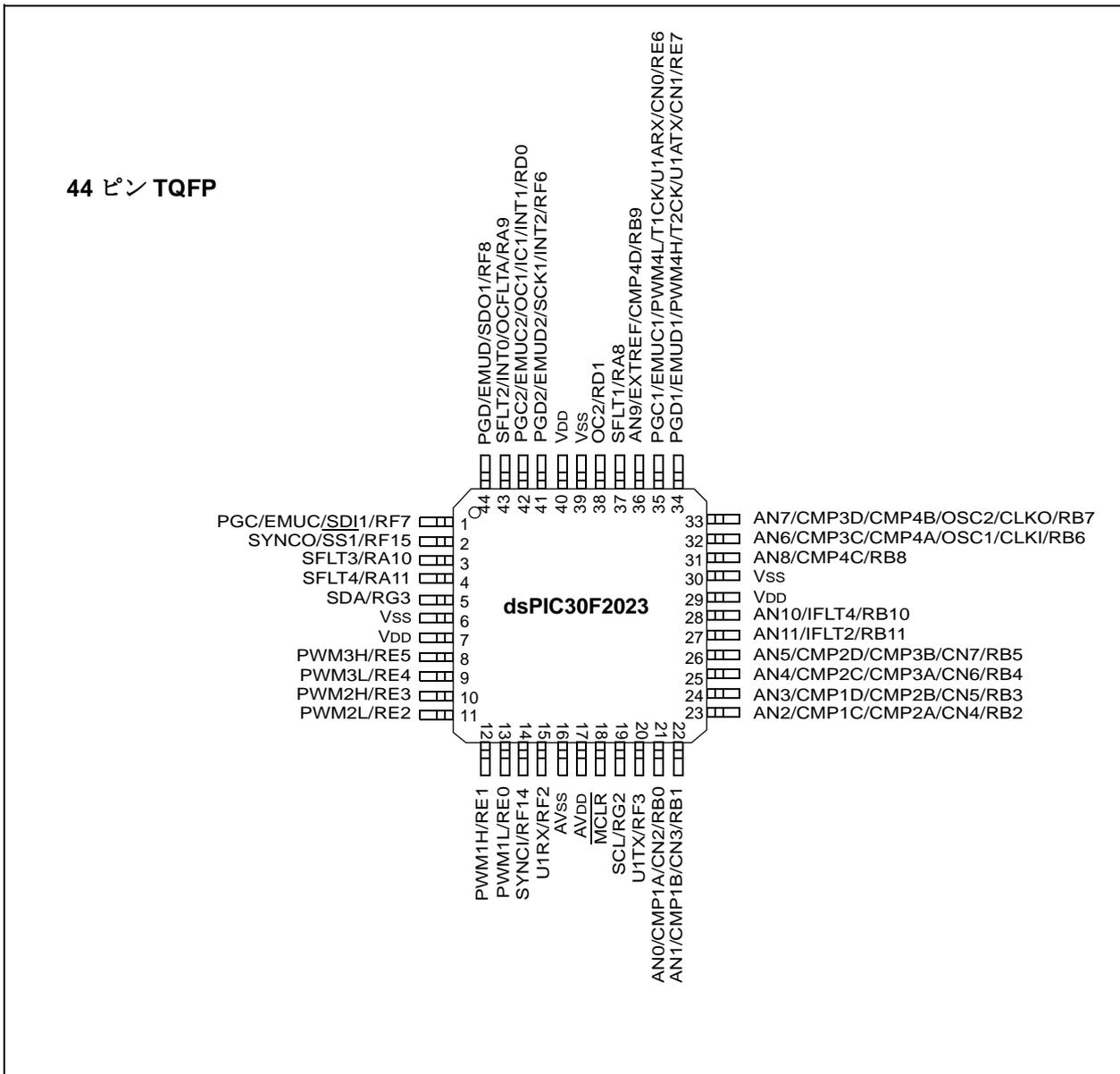
ピン配置

44 ピン QFN



dsPIC30F1010/202X

ピン配置



目次

1.0	デバイス概要	9
2.0	CPU アーキテクチャ概要	19
3.0	メモリ構成	29
4.0	アドレスジェネレータユニット	41
5.0	割り込み	47
6.0	I/Oポート	77
7.0	フラッシュプログラムメモリ	81
8.0	タイマ1モジュール	87
9.0	タイマ2/3モジュール	91
10.0	入力キャプチャモジュール	97
11.0	出力コンペアモジュール	101
12.0	電源用PWM	107
13.0	シリアル周辺インターフェース(SPI)	145
14.0	I2C™モジュール	153
15.0	汎用非同期送受信(UART)モジュール	161
16.0	10ビット2 Msps アナログデジタルコンバータ(ADC)モジュール	169
17.0	SMPSコンパレータモジュール	191
18.0	システム統合	197
19.0	命令セットまとめ	219
20.0	開発サポート	227
21.0	電気的特性	231
22.0	パッケージのマーキング情報	267

顧客の皆様へ

顧客の皆様がマイクロチップ製品を正しく使えるようにするため、最適なドキュメントを皆様に提供できるよう心がけております。このため皆様のニーズに最適となるようドキュメントの改良を日々続けております。当社の出版物は更新される都度、新しい版が更新として提供されます。

これらの出版物に対し何らかのご質問やご意見がある場合には、マーケットコミュニケーション部宛に **docerrors@microchip.com** の E メールか、本書の背表紙にある **Reader Response Form** を用いて (480) 792-4150 宛にファックスでご連絡下さい。皆様のご意見をお待ち致しております。

最新のデータシート

本データシートの最新版は、当社のウェブサイトに登録して入手して下さい。

<http://www.microchip.com>

データシートのバージョン番号は、ページの下側の欄外にある文字で分かるようになっております。最後の文字がバージョン番号となっております（例えば DS30000A となっていれば、この文書 DS30000 のバージョンは A ということとなります）。

エラッタ

エラッタシートには、データシートと異なるマイナーな問題について記述されており、現状のデバイスでの回避方法についても記述されています。デバイスや文書の問題が判明したときエラッタシートが発行されます。エラッタは特定のシリコン レビジョンか文書の特定のレビジョンに対して適用されます。

ある特定のデバイスにエラッタシートが発行されているかどうかについては、下記のいずれかでご確認下さい。

マイクロチップのウェブサイト : <http://www.microchip.com>

お近くのマイクロチップ販売オフィス（最後のページを参照）

販売オフィスに連絡する場合には、お使いのデバイスのデバイス名、シリコンと文書のレビジョン（文字も含めて）をお教え下さい。

顧客自動連絡システム

当社のウェブサイト www.microchip.com で登録することにより、当社の全製品の最新情報が受信できます。

第 1 章 デバイス概要

注: このデータシートは、dsPIC30F デバイス のこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046) を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンス マニュアル」(DS70157) を参照して下さい。.

本ドキュメントには、dsPIC30F1010/202X SMPS デバイスに関するデバイス仕様情報が含まれています。これらのデバイスは、高性能 16 ビットマイクロ コントローラ (MCU) のアーキテクチャと、広範囲のデジタル シグナル プロセッサ (DSP) 機能が含まれています。

下記のブロック図の図 1-1 と表 1-1 は、dsPIC30F1010 SMPS デバイスを表し、図 1-2 と表 1-2 は、dsPIC30F2020 デバイスを表し、図 1-3 と表 1-3 は、dsPIC30F2023 SMPS デバイスを表しています。

dsPIC30F1010/202X

図 1-1: dsPIC30F1010 ブロック図

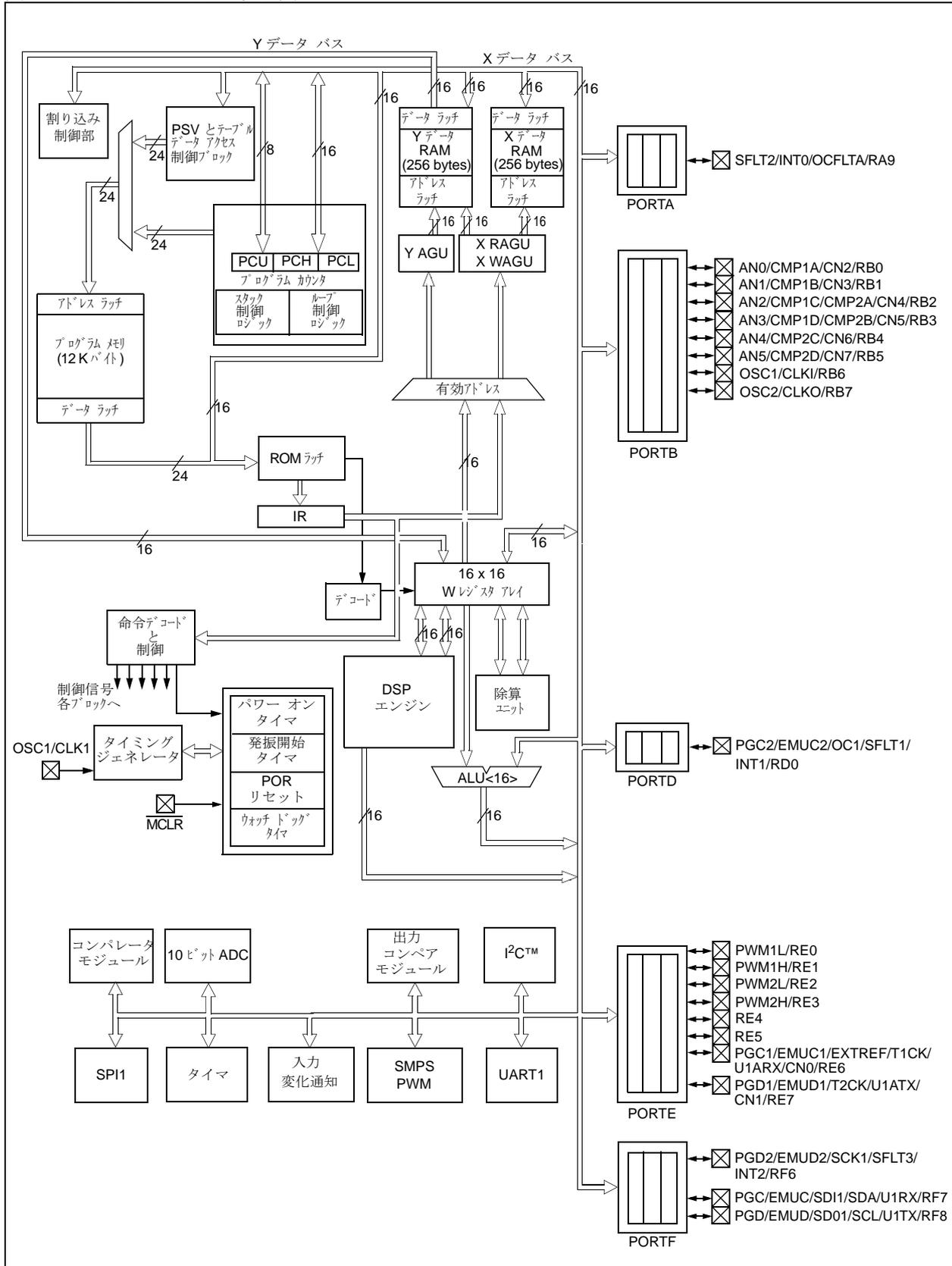


表 1-1 は、dsPIC30F1010 のデバイス I/O ピン配置とポートピンに多重化されている機能についての説明です。1 つのピンに機能が多重化されています。多重化されているときは、周辺モジュール機能の要請に応じてポートピンのデータ方向が強制的に上書きされます。

表 1-1: dsPIC30F1010 の I/O ピン配置と機能説明

ピン名称	ピンタイプ	バッファタイプ	機能説明
AN0-AN5	I	Analog	アナログ入力チャンネル
AVDD	P	P	アナログモジュール用プラス電源
AVSS	P	P	アナログモジュール用グラウンド
CLKI CLKO	I O	ST/CMOS —	外部クロック入力。常時 OSC1 ピンとしても動作 クリスタル発振出力。クリスタル発振モードのとき、クリスタルか発振子に接続 RC か EC モードでは CLKO として動作。常時 OSC2 ピンとして動作
EMUD EMUC EMUD1 EMUC1 EMUD2 EMUC2	I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST	ICD 1 次通信チャンネル データ入出力ピン ICD 1 次通信チャンネル クロック入出力ピン ICD 2 次通信チャンネル データ入出力ピン ICD 2 次通信チャンネル クロック入出力ピン ICD 3 次通信チャンネル データ入出力ピン ICD 3 次通信チャンネル クロック入出力ピン
INT0 INT1 INT2	I I I	ST ST ST	外部割り込み 0 外部割り込み 1 外部割り込み 2
SFLT1 SFLT2 SFLT3 PWM1L PWM1H PWM2L PWM2H	I I I O O O O	ST ST ST — — — —	共有フォルトピン 1 共有フォルトピン 2 共有フォルトピン 3 PWM 1 Low 出力 PWM 1 High 出力 PWM 2 Low 出力 PWM 2 High 出力
MCLR	I/P	ST	マスタクリア (リセット) 入力またはプログラミング用電圧入力。本入力にはアクティブ Low でデバイスをリセット
OC1	O	—	コンペア出力
OCFLTA	I	ST	出力コンペアフォルトピン
OSC1 OSC2	I I/O	CMOS —	クリスタル発振子入力 クリスタル発振子出力。クリスタル発振モードではクリスタルか振動子に接続。FRC、EC モードではオプションで CLKO 機能あり。
PGD PGC PGD1 PGC1 PGD2 PGC2	I/O I I/O I I/O I	ST ST ST ST ST ST	インサーキットシリアルプログラミング™ データ入出力ピン インサーキットシリアルプログラミング クロック入力ピン インサーキットシリアルプログラミング データ入出力ピン 1 インサーキットシリアルプログラミング クロック入力ピン 1 インサーキットシリアルプログラミング データ入出力ピン 2 インサーキットシリアルプログラミング クロック入力ピン 2
RB0-RB7	I/O	ST	PORTB は双方向 I/O ポート
RA9	I/O	ST	PORTA は双方向 I/O ポート
RD0	I/O	ST	PORTD は双方向 I/O ポート

凡例: CMOS= CMOS 互換入力 Analog = アナログ入力
 ST = CMOS レベルのシュミットトリガ入力 O = 出力
 I = 入力 P = 電源

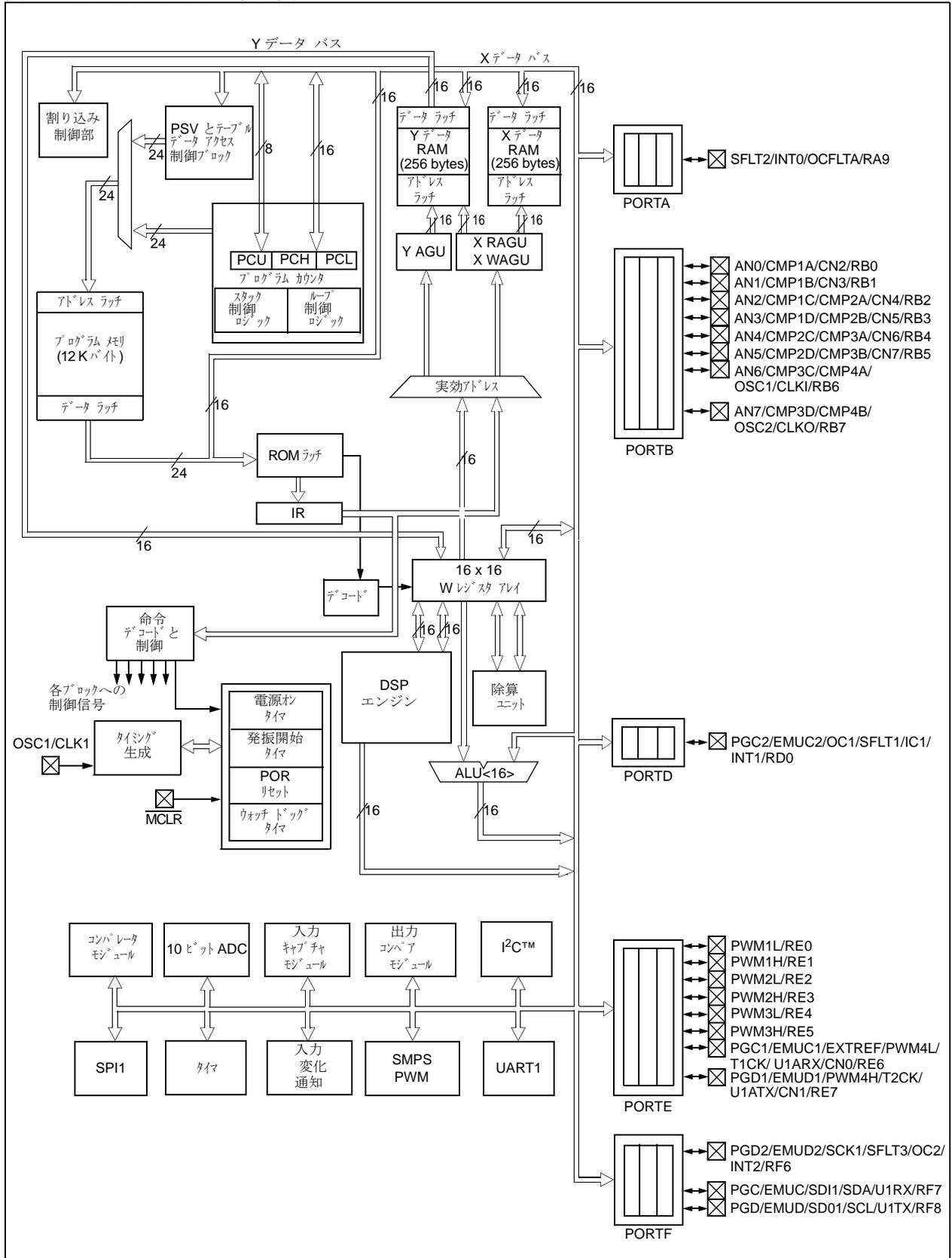
dsPIC30F1010/202X

表 1-1: dsPIC30F1010 (つづき) の I/O ピン配置と機能説明

ピン名称	ピン タイプ	バッファ タイプ	機 能 説 明
RE0-RE7	I/O	ST	PORTE は双方向 I/O ポート
RF6, RF7, RF8	I/O	ST	PORTF は双方向 I/O ポート
SCK1	I/O	ST	SPI#1 用同期シリアルクロック入出力
SDI1	I	ST	SPI #1 用データ入力
SDO1	O	—	SPI #1 用データ出力
SCL	I/O	ST	I ² C™ 用同期シリアルクロック入出力
SDA	I/O	ST	I ² C 用同期シリアルデータ入出力
T1CK	I	ST	タイマ 1 用外部クロック入力
T2CK	I	ST	タイマ 2 用外部クロック入力
U1RX	I	ST	UART1 受信
U1TX	O	—	UART1 送信
U1ARX	I	ST	代替 UART1 受信
U1ATX	O	—	代替 UART1 送信
CMP1A	I	Analog	コンパレータ 1 チャンネル A
CMP1B	I	Analog	コンパレータ 1 チャンネル B
CMP1C	I	Analog	コンパレータ 1 チャンネル C
CMP1D	I	Analog	コンパレータ 1 チャンネル D
CMP2A	I	Analog	コンパレータ 2 チャンネル A
CMP2B	I	Analog	コンパレータ 2 チャンネル B
CMP2C	I	Analog	コンパレータ 2 チャンネル C
CMP2D	I	Analog	コンパレータ 2 チャンネル D
CN0-CN7	I	ST	入力変化通知つき入力 すべての入力の内部弱プルアップがソフトウェアプログラマブル
VDD	P	—	ロジックと I/O ピンへの正電源
VSS	P	—	ロジックと I/O ピン用のグラウンド
VREF+	I	Analog	アナログ電圧リファレンス (High 側) 入力
VREF-	I	Analog	アナログ電圧リファレンス (Low 側) 入力
EXTREF	I	Analog	コンパレータ DAC 用外部リファレンス

凡例: CMOS= CMOS 互換入出力 Analog = アナログ入力
 ST = CMOS レベルのシュミットトリガ入力 O = 出力
 I = 入力 P = 電源

図 1-2: dsPIC30F2020 ブロック図



dsPIC30F1010/202X

表 1-2 は、dsPIC30F2020 のデバイス I/O ピン配置とポートピンに多重化されている機能についての説明です。1 つのピンに機能が多重化されています。多重化されているときは、周辺モジュール機能の要請に応じてポートピンのデータ方向が強制的に上書きされます。

表 1-2: dsPIC30F2020 の I/O ピン配置と機能説明

ピン名称	ピンタイプ	バッファタイプ	機能説明
AN0-AN7	I	Analog	アナログ入力チャンネル
AVDD	P	P	アナログモジュール用プラス電源
AVSS	P	P	アナログモジュール用グラウンド
CLKI CLKO	I O	ST/CMOS —	外部クロック入力。常時 OSC1 ピンとしても動作 クリスタル発振出力。クリスタル発振モードのとき、クリスタルか発振子に接続 RC か EC モードでは CLKO として動作。常時 OSC2 ピンとして動作
EMUD EMUC EMUD1 EMUC1 EMUD2 EMUC2	I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST	ICD 1 次通信チャンネル データ入出力ピン ICD 1 次通信チャンネル クロック入出力ピン ICD 2 次通信チャンネル データ入出力ピン ICD 2 次通信チャンネル クロック入出力ピン ICD 3 次通信チャンネル データ入出力ピン ICD 3 次通信チャンネル クロック入出力ピン
IC1	I	ST	キャプチャ入力
INT0 INT1 INT2	I I I	ST ST ST	外部割り込み 0 外部割り込み 1 外部割り込み 2
SFLT1 SFLT2 SFLT3 PWM1L PWM1H PWM2L PWM2H PWM3L PWM3H PWM4L PWM4H	I I I O O O O O O O O O	ST ST ST — — — — — — — — —	共有フォルトピン 1 共有フォルトピン 2 共有フォルトピン 3 PWM 1 Low 出力 PWM 1 High 出力 PWM 2 Low 出力 PWM 2 High 出力 PWM 3 Low 出力 PWM 3 High 出力 PWM 4 Low 出力 PWM 4 High 出力
MCLR	I/P	ST	マスタクリア (リセット) 入力またはプログラミング用電圧入力。本入力にはアクティブ Low でデバイスをリセット
OC1-OC2 OCFLTA	O I	—	コンパレータ出力 出力コンペア フォルト出力ピン
OSC1 OSC2	I I/O	CMOS —	クリスタル発振子入力 クリスタル発振子出力。クリスタル発振モードではクリスタルか振動子に接続。FRC、EC モードではオプションで CLKO 機能あり。
PGD PGC PGD1 PGC1 PGD2 PGC2	I/O I I/O I I/O I	ST ST ST ST ST ST	インサーキットシリアルプログラミング™ データ入出力ピン インサーキットシリアルプログラミング クロック入力ピン インサーキットシリアルプログラミング データ入出力ピン 1 インサーキットシリアルプログラミング クロック入力ピン 1 インサーキットシリアルプログラミング データ入出力ピン 2 インサーキットシリアルプログラミング クロック入力ピン 2

凡例: CMOS= CMOS 互換入出力

ST = CMOS レベルのシュミットトリガ入力

I = 入力

Analog = アナログ入力

O = 出力

P = 電源

表 1-2: dsPIC30F2020 (つづき) の I/O ピン配置と機能説明

ピン名称	ピンタイプ	バッファタイプ	機能説明
RB0-RB7	I/O	ST	PORTB は双方向 I/O ポート
RA9	I/O	ST	PORTA は双方向 I/O ポート
RD0	I/O	ST	PORTD は双方向 I/O ポート
RE0-RE7	I/O	ST	PORTE は双方向 I/O ポート
RF6, RF7, RF8	I/O	ST	PORTF は双方向 I/O ポート
SCK1	I/O	ST	SPI#1 用同期シリアルクロック入出力
SDI1	I	ST	SPI #1 用データ入力
SDO1	O	—	SPI #1 用データ出力
SCL	I/O	ST	I ² C™ 用同期シリアルクロック入出力
SDA	I/O	ST	I ² C 用同期シリアルデータ入出力
T1CK	I	ST	タイマ 1 用外部クロック入力
T2CK	I	ST	タイマ 2 用外部クロック入力
U1RX	I	ST	UART1 受信
UITX	O	—	UART1 送信
U1ARX	I	ST	代替 UART1 受信
U1ATX	O	O	代替 UART1 送信
CMP1A	I	Analog	コンパレータ 1 チャンネル A
CMP1B	I	Analog	コンパレータ 1 チャンネル B
CMP1C	I	Analog	コンパレータ 1 チャンネル C
CMP1D	I	Analog	コンパレータ 1 チャンネル D
CMP2A	I	Analog	コンパレータ 2 チャンネル A
CMP2B	I	Analog	コンパレータ 2 チャンネル B
CMP2C	I	Analog	コンパレータ 2 チャンネル C
CMP2D	I	Analog	コンパレータ 2 チャンネル D
CMP3A	I	Analog	コンパレータ 3 チャンネル A
CMP3B	I	Analog	コンパレータ 3 チャンネル B
CMP3C	I	Analog	コンパレータ 3 チャンネル C
CMP3D	I	Analog	コンパレータ 3 チャンネル D
CMP4A	I	Analog	コンパレータ 4 チャンネル A
CMP4B	I	Analog	コンパレータ 4 チャンネル B
CN0-CN7	I	ST	入力変化通知つき入力 すべての入力の内部弱プルアップがソフトウェアプログラマブル
VDD	P	—	ロジックと I/O ピンへの正電源
VSS	P	—	ロジックと I/O ピン用のグラウンド
VREF+	I	Analog	アナログ電圧リファレンス (High 側) 入力
VREF-	I	Analog	アナログ電圧リファレンス (Low 側) 入力
EXTREF	I	Analog	コンパレータ DAC 用外部リファレンス

凡例: CMOS= CMOS 互換入出力

ST = CMOS レベルのシュミットトリガ入力

I = 入力

Analog = アナログ入力

O = 出力

P = 電源

dsPIC30F1010/202X

図 1-3: dsPIC30F2023 のブロック図

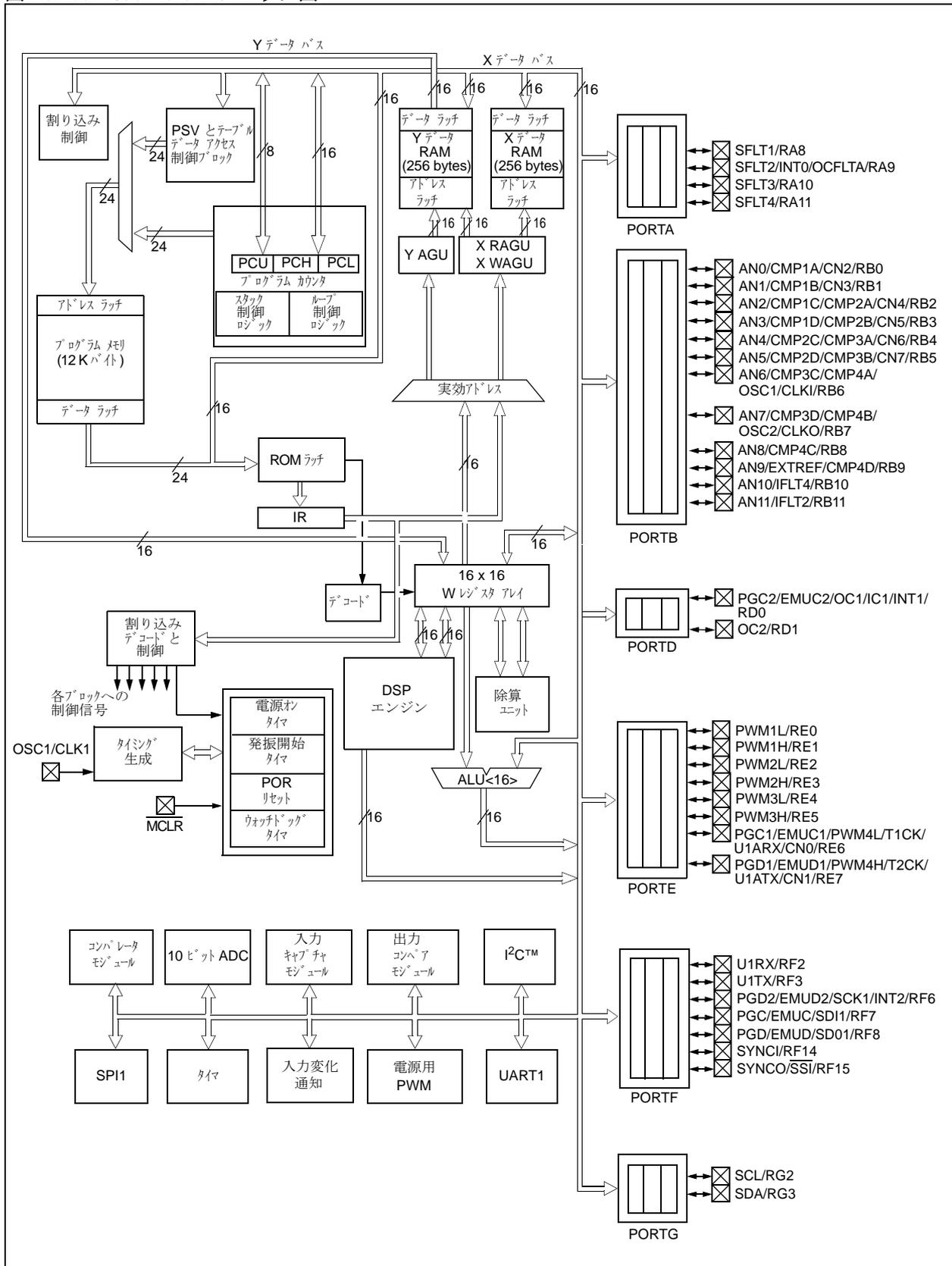


表 1-3 は、dsPIC30F2023 のデバイス I/O ピン配置とポートピンに多重化されている機能についての説明です。1 つのピンに機能が多重化されています。多重化されているときは、周辺モジュール機能の要請に応じてポートピンのデータ方向が強制的に上書きされます。

表 1-3: dsPIC30F2023 の I/O ピン配置と機能説明

ピン名称	ピンタイプ	バッファタイプ	機能説明
AN0-AN11	I	Analog	アナログ入力チャンネル
AVDD	P	P	アナログモジュール用正電源供給
AVSS	P	P	アナログモジュール用グラウンド
CLKI CLKO	I O	ST/CMOS —	外部クロック入力。常時 OSC1 ピンとしても動作 クリスタル発振出力。クリスタル発振モードのとき、クリスタルか発振子に接続 RC か EC モードでは CLKO として動作。常時 OSC2 ピンとして動作
EMUD EMUC EMUD1 EMUC1 EMUD2 EMUC2	I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST	ICD 1 次通信チャンネル データ入出力ピン ICD 1 次通信チャンネル クロック入出力ピン ICD 2 次通信チャンネル データ入出力ピン ICD 2 次通信チャンネル クロック入出力ピン ICD 3 次通信チャンネル データ入出力ピン ICD 3 次通信チャンネル クロック入出力ピン
IC1	I	ST	キャプチャ入力
INT0 INT1 INT2	I I I	ST ST ST	外部割り込み 0 外部割り込み 1 外部割り込み 2
SFLT1 SFLT2 SFLT3 SFLT4 IFLT2 IFLT4 PWM1L PWM1H PWM2L PWM2H PWM3L PWM3H PWM4L PWM4H	I I I I I I O O O O O O O O O	ST ST ST ST ST ST — — — — — — — — —	共有フォルトピン 1 共有フォルトピン 2 共有フォルトピン 3 共有フォルトピン 3 独立フォルトピン 2 独立フォルトピン 4 PWM 1 Low 出力 PWM 1 High 出力 PWM 2 Low 出力 PWM 2 High 出力 PWM 3 Low 出力 PWM 3 High 出力 PWM 4 Low 出力 PWM 4 High 出力
SYNCO SYNCI	O I	— ST	PWM 同期出力 PWM 同期入力
MCLR	I/P	ST	マスタクリア (リセット) 入力またはプログラミング用電圧入力。本入力にはアクティブ Low でデバイスをリセット
OC1-OC2 OCFLTA	O I	— ST	コンパレータ出力 出力コンペア フォルト出力ピン
OSC1 OSC2	I I/O	CMOS —	クリスタル発振子入力 クリスタル発振子出力。クリスタル発振モードではクリスタルか振動子に接続。FRC、EC モードではオプションで CLKO 機能あり

凡例: CMOS= CMOS 互換入出力 Analog = アナログ入力
 ST = CMOS レベルのシュミットトリガ入力 O = 出力
 I = 入力 P = 電源

dsPIC30F1010/202X

表 1-3: dsPIC30F2023 (つづき) の I/O ピン配置と機能説明

ピン名称	ピンタイプ	バッファタイプ	機能説明
PGD	I/O	ST	インサーキットシリアルプログラミング™ データ入出力ピン
PGC	I	ST	インサーキットシリアルプログラミング クロック入力ピン
PGD1	I/O	ST	インサーキットシリアルプログラミング データ入出力ピン 1
PGC1	I	ST	インサーキットシリアルプログラミング クロック入力ピン 1
PGD2	I/O	ST	インサーキットシリアルプログラミング データ入出力ピン 2
PGC2	I	ST	インサーキットシリアルプログラミング クロック入力ピン 2
RA8-RA11	I/O	ST	PORTA は双方向 I/O ポート
RB0-RB11	I/O	ST	PORTB は双方向 I/O ポート
RD0,RD1	I/O	ST	PORTD は双方向 I/O ポート
RE0-RE7	I/O	ST	PORTE は双方向 I/O ポート
RF2, RF3, RF6-RF8, RF14, RF15	I/O	ST	PORTF は双方向 I/O ポート
RG2, RG3	I/O	ST	PORTG は双方向 I/O ポート
SCK1	I/O	ST	SPI#1 用同期シリアル クロック入出力
SDI1	I	ST	SPI #1 用データ入力
SDO1	O	—	SPI #1 用データ出力
SS1	I	ST	SPI #1 用スレーブ同期
SCL	I/O	ST	I ² C™ 用同期シリアル クロック入出力
SDA	I/O	ST	I ² C 用同期シリアル データ入出力
T1CK	I	ST	タイマ 1 用外部クロック入力
T2CK	I	ST	タイマ 2 用外部クロック入力
U1RX	I	ST	UART1 受信
UITX	O	—	UART1 送信
U1ARX	I	ST	代替 UART1 受信
U1ATX	O	—	代替 UART1 送信
CMP1A	I	Analog	コンパレータ 1 チャネル A
CMP1B	I	Analog	コンパレータ 1 チャネル B
CMP1C	I	Analog	コンパレータ 1 チャネル C
CMP1D	I	Analog	コンパレータ 1 チャネル D
CMP2A	I	Analog	コンパレータ 2 チャネル A
CMP2B	I	Analog	コンパレータ 2 チャネル B
CMP2C	I	Analog	コンパレータ 2 チャネル C
CMP2D	I	Analog	コンパレータ 2 チャネル D
CMP3A	I	Analog	コンパレータ 3 チャネル A
CMP3B	I	Analog	コンパレータ 3 チャネル B
CMP3C	I	Analog	コンパレータ 3 チャネル C
CMP3D	I	Analog	コンパレータ 3 チャネル D
CMP4A	I	Analog	コンパレータ 4 チャネル A
CMP4B	I	Analog	コンパレータ 4 チャネル B
CMP4C	I	Analog	コンパレータ 4 チャネル C
CMP4D	I	Analog	コンパレータ 4 チャネル D
CN0-CN7	I	ST	入力変化通知つき入力 すべての入力の内部弱プルアップがソフトウェアプログラマブル
VDD	P	—	ロジックと I/O ピンへの正電源
VSS	P	—	ロジックと I/O ピン用のグラウンド
VREF+	I	Analog	アナログ電圧リファレンス (High 側) 入力
VREF-	I	Analog	アナログ電圧リファレンス (Low 側) 入力
EXTREF	I	Analog	コンパレータ DAC 用外部リファレンス

凡例: CMOS = CMOS 互換入出力 Analog = アナログ入力
 ST = CMOS レベルのシュミットトリガ入力 O = 出力
 I = 入力 P = 電源

第2章 CPU アーキテクチャ概要

注：このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリアリファレンス マニュアル」(DS70046) を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンス マニュアル」(DS70157) を参照して下さい。

2.1 コア概要

コアは 24 ビット幅の命令ワードとなっています。プログラム カウンタ (PC) は 23 ビット幅で、最下位ビット (LSB) は常時クリア (3.1 「プログラム アドレス空間」参照) で、最上位ビット (MSB) は、特殊な命令以外通常のプログラム実行時は無視されます。

これで PC がアドレス指定できるユーザー プログラム 空間は 4M 命令ワードまでとなります。単一命令サイクルのプリフェッチ機構が、スループットを保つのに使われています。DO や REPEAT 命令によってループカウンタ管理のオーバーヘッドのないループを構成でき、この間、常に割り込みも可能となっています。

作業レジスタアレイは 16 × 16 ビットレジスタで構成され、各作業レジスタはデータ用としても、アドレスまたはアドレス オフセット用としても使うことができます。1 個の作業レジスタ (W15) は、割り込みや CALL 用のソフトウェア スタック ポインタとして動作します。

データ空間は 64k バイト (32k ワード) で、X と Y データ メモリとして参照される 2 つのブロックに分かれています。メモリ ブロックはそれぞれにアドレス生成ユニット (AGU) を持っています。大部分の命令は、一方の X メモリ AGU を使って全体メモリをひとつのデータ空間としてアクセスします。積和演算 (MAC) クラスのデュアル ソースの DSP 命令は、X と Y の AGU を使ってデータ アドレス空間を 2 つに分けて扱います (3.2 「データ アドレス空間」を参照)。X と Y メモリ空間の境界はデバイスごとに異なり、ユーザーが変更できません。各データ ワードは 2 バイトで構成され、大部分の命令はデータをワードでもバイトでもアドレスできます。

プログラム メモリに格納されたデータにアクセスする方法には 2 通りがあります。

- データ メモリ空間の上位 32k バイトは、8 ビットのプログラム空間可視化ページレジスタ (PSVPAG) で決められるプログラム メモリの任意の 16k ワード境界の空間の下位半分 (ユーザー空間) にマッピングできます。これにより、すべての命令が、アクセスに追加のサイクルが必要という制限で、データ空間と同様にプログラム空間にアクセスできます。さらにこの方法では、各命令ワードの下位 16 ビットだけアクセス可能です。

- プログラム空間の 32k ワード ページについては、任意の作業レジスタを使ったテーブル読み書き命令によって、リニアに間接的にアクセスできます。テーブル読み書き命令は、命令ワードの 24 ビットすべてにアクセスする場合に使われます。

オーバーヘッドのない循環バッファ (モジュロ アドレッシング) は、X と Y 両方のアドレス空間をサポートしています。これの第一の目的は、DSP アルゴリズムのオーバーヘッドをなくすことです。

また、X AGU は対象の有効アドレスにビット反転アドレッシングもサポートしていて、radix-2 FFT アルゴリズムに必要な入出力データの並べ替えを大幅に簡略化します。モジュロとビット反転アドレッシングの詳細については第 4 章 「アドレス生成ユニット」を参照して下さい。

コアは、内蔵 (オペランドなし)、相対、リテラル、メモリ直接、レジスタ直接、レジスタ間接、レジスタオフセットとリテラル オフセットアドレッシングモードをサポートしています。命令は、その機能の必要性に応じて、既定のアドレッシングモードに関連付けられています。

コアは、大部分の命令が 1 サイクル内で、データメモリ (またはプログラム データ) からの読み込み、作業レジスタ (データ) からの読み込み、データ メモリへの書き込み、プログラム メモリ (命令) の読み出しを可能としています。結果として、命令は 3 つのパラメータをサポートしていて、 $A + B = C$ の演算動作を 1 サイクルで可能としています。

DSP エンジンは、コアの算術演算能力とスループットを大幅に強化しています。これには、高速の 17 ビット × 17 ビットの乗算器、40 ビットの ALU、2 つの 40 ビットの飽和可能なアキュムレータ、40 ビットの双方向のバレル シフタが含まれます。アキュムレータあるいは作業レジスタのデータの、最大 15 ビット右または 16 ビット左のシフトを 1 サイクルで完了できます。DSP 命令は他のすべての命令とシームレスに実行でき、リアルタイム性能を最大にするよう設計されています。MAC クラスの命令は、2 つの W レジスタの乗算の間に 2 つのデータ オペランドをメモリから同時にフェッチできます。このデータ オペランドの同時フェッチを可能とするには、データ空間をこれらの命令時には分離し、他の命令にはリニアにする必要があります。データ空間の分離は、MAC クラス命令用のアドレス空間ごとに作業レジスタを使って区別するという透過的で柔軟な方法で実現されています。

コアは多段階の命令パイプラインはサポートしていません。しかし、1 段階の命令先読みメカニズムが使われていて、有効な実行時間を最大にするよう、1 サイクル前に命令のアクセスと部分的なデコードを行います。ある例外を除いて大部分の命令が 1 サイクルで実行されます。

コアは、トラップと割り込みを 62 個の独立ベクタによるベクタ方式の例外処理構造で扱うことを特徴としています。例外は最大 8 トラップ (内 4 個は予約済み) と 54 個の割り込みで構成されます。割り込みごとに、自然の並び順の既定の順序と連動して、ユーザー設定の 1 から 7 の優先レベル付け (1 が最低レベルで 7 が最高) がされます。トラップは 8 から 15 の固定の優先順位です。

2.2 プログラム用モデル

プログラマ用モデルを図 2-1 に示します。これは 16x16 ビットの作業レジスタ (W0 から W15)、2x40 ビットのアキュムレータ (ACCA と ACCB)、STATUS レジスタ (SR)、データ テーブル ページ レジスタ (TBLPAG)、プログラム空間可視化ページ レジスタ (PSVPAG)、DO と RPEAT レジスタ (DOSTART、DOEND、DCOUNT、RCOUNT)、プログラムカウンタ (PC) から構成されています。作業レジスタはデータ用としても、アドレスまたはアドレス オフセット用としても動作します。すべてのレジスタがメモリにマップされています。W0 レジスタはファイル レジスタアドレッシング用の W レジスタとして動作します。

これらの内いくつかのレジスタには図 2-1 に示すようにシャドウ レジスタがあります。シャドウ レジスタは、一時保持レジスタとして使われ、イベント発生時にホスト レジスタの内容をやり取りすることができます。どのシャドウ レジスタも直接アクセスはできません。シャドウ レジスタとのやり取りには下記の規則があります。

- PUSH.S と POP.S
W0、W1、W2、W3、SR (DC、N、OV、Z、C ビットのみ) が転送される。
- DO 命令
DOSTART、DOEND、DCOUNT がループの最初にシャドウに待避され、ループの終わりに復帰されます。

作業レジスタを対象とするバイト動作のときは、対象レジスタの最下位バイトだけに影響します。しかし、作業用レジスタがメモリマップされていることにより、最下位バイトと最上位バイトともバイト単位のメモリアクセスで操作可能です。

2.2.1 ソフトウェア スタック ポインタ / フレーム ポインタ

dsPIC® DSC デバイスは、ソフトウェア スタックを持っています。W15 は専用のソフトスタックポインタ (SP) で、例外処理、サブルーチン CALL と RETURN で自動的に変更されます。W15 は他の W レジスタと同様に、いずれの命令によっても参照可能です。これにより、スタックポインタの読み取り、書き込み、および操作が容易になります (例: スタックフレームの作成)。

注: 誤ったスタック アクセスを防ぐために、W15 <0> は常に「0」にクリアされています。

W15 は RESET 時 0x0800 に初期化されます。ユーザーは初期化の中でデータ空間の任意の位置に SP を再プログラムできます。

W14 は LNK と ULNK 命令で定義されるスタック フレーム ポインタです。しかし、W14 は他の W レジスタと同様に、いずれの命令によっても参照可能です。

2.2.2 STATUS レジスタ

dsPIC DSC コアは 16 ビット STATUS レジスタ (SR) を有し、その LSB は SR 下位バイト (SRL) として参照され、SR の MSB は SR 上位バイト (SRH) として参照されます。SR の詳細な説明を図 2-1 に示します。

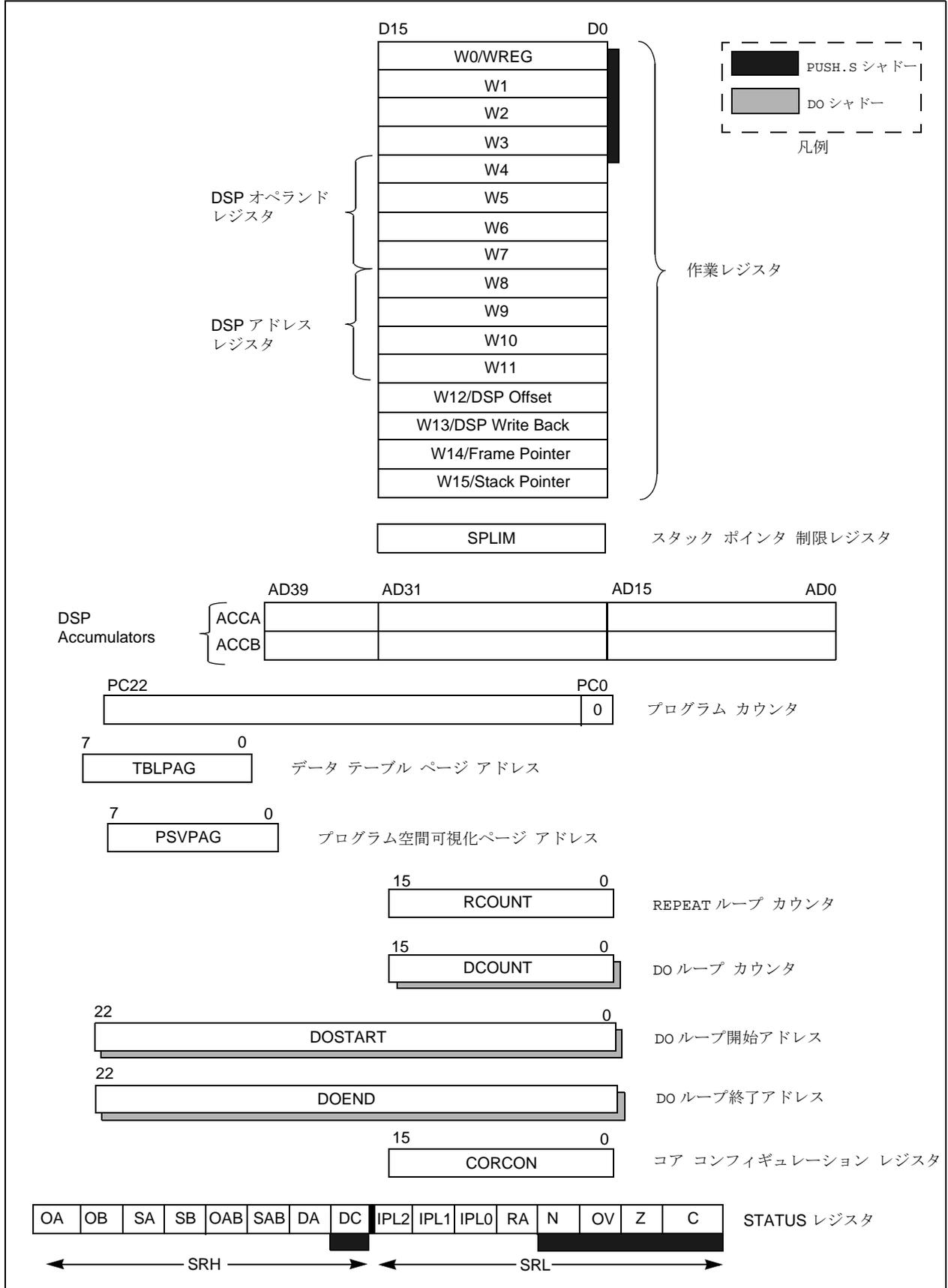
SRL には全 MCU の ALU 実行結果のステータス フラグ (Z ビット含む) に加え、CPU 割り込み優先ステータス ビット IPL<2:0> と、REPEAT ループ アクティブステータス ビット RA も含まれています。例外処理の間、SRL は PC の MSB と連結したワードとして構成され、その後でスタックに保存されます。

STATUS レジスタの上位バイトには、DSP 加算器 / 減算器ステータス ビット、DO ループ アクティブ ビット (DA) およびデジット キャリー ステータス ビット (DC) が含まれています。

2.2.3 プログラム カウンタ

プログラム カウンタは 23 ビット幅です。ビット 0 は常時クリアです。これで PC は最高 4M 命令ワードまでアドレスできます。

図 2-1: プログラマ用モデル



dsPIC30F1010/202X

2.3 除算サポート

dsPIC DSC デバイスは、32ビット/16ビットと16ビット/16ビットの符号付き、なしの整数除算と同様に、16/16ビット符号付固定小数除算機能も単一命令繰り返し除算の形式で持っています。

下記の命令とデータサイズをサポートしています

1. DIVF – 16/16 符号付固定小数除算
2. DIV.sd – 32/16 符号付除算
3. DIV.ud – 32/16 符号なし除算
4. DIV.sw – 16/16 符号付除算
5. DIV.uw – 16/16 符号なし除算

16/16 除算は 32/16 除算と似ています (同じ繰り返し回数)、しかし、最初の繰り返しの除算結果は、ゼロ拡張されるか、符号拡張されます。

除算命令は REPEAT ループ内で実行する必要があります。その他のどの形の実行 (例えば個別の除算命令の連続) も、命令の流れが RCOUNT に依存しているため正しく動作しません。除算命令は自動では RCOUNT 値のセットはしませんので、REPEAT 命令により明示的に設定しなければなりません (REPEAT は対象命令を {オペランド値 + 1} 回実行する)。REPEAT ループカウンタ値は DIV/DIVF 命令の繰り返しには 18 を設定しなければなりません。これで除算動作が 19 サイクル実行されます。

注：除算動作中は割り込み可能。しかし、ユーザーが適切にコンテキストを保存する必要がある。

表 2-1: 除算命令

命 令	機 能
DIVF	符号付固定小数除算 : $Wm/Wn \rightarrow W0; Rem \rightarrow W1$
DIV.sd	符号付除算 : $(Wm + 1:Wm)/Wn \rightarrow W0; Rem \rightarrow W1$
DIV.ud	符号なし除算 : $(Wm + 1:Wm)/Wn \rightarrow W0; Rem \rightarrow W1$
DIV.sw	符号付除算 : $Wm / Wn \rightarrow W0; Rem \rightarrow W1$
DIV.uw	符号なし除算 : $Wm / Wn \rightarrow W0; Rem \rightarrow W1$

2.4 DSP エンジン

DSP エンジンは、高速 17 ビット×17 ビット乗算器、バレルシフタ、40 ビットの加算/減算器で構成されています (2 個の結果アキュムレータとまるめ飽和ロジックを含む)。

また、DSP エンジンは、追加のデータなしで、アキュムレータとアキュムレータ間の動作を実行できます。これらの命令には、ADD、SUB、NEG があります。

DSP エンジンは、CPU コア コンフィギュレーションレジスタ (CORCON) によって、下記のような多くのオプションが選択できます。

1. 固定小数か整数の DSP 乗算 (IF)
2. 符号付き、なしの DSP 乗算 (US)
3. 従来型か収束型のまるめ (RND)
4. AccA の自動飽和オンオフ (SATA)
5. AccB の自動飽和オンオフ (SATB)
6. データメモリへの書き込み飽和制御 (SATDW)
7. アキュムレータ飽和モード選択 (ACCSAT)

注: CORCON の配置は表 3-3. を参照。

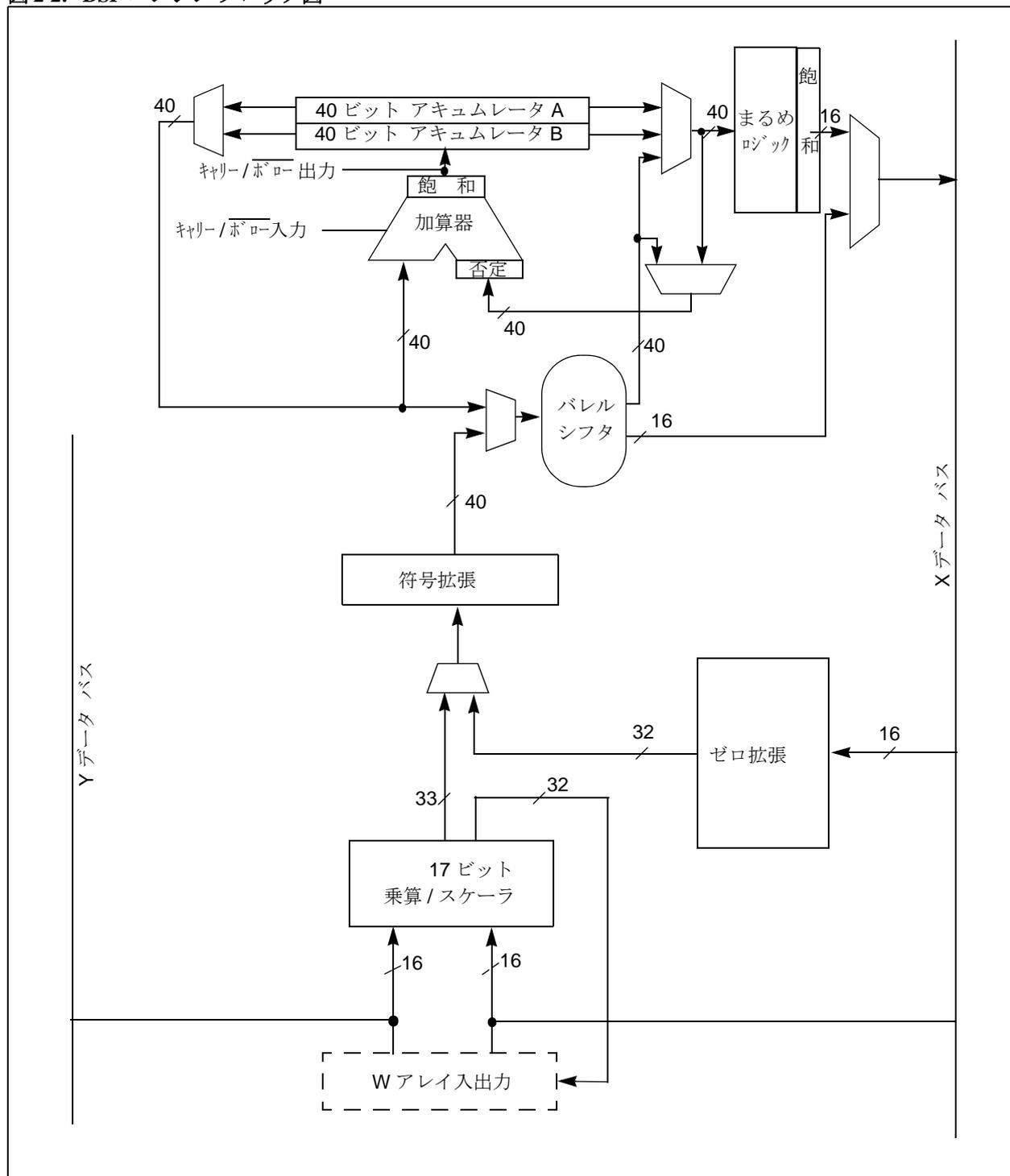
DSP エンジンのブロック図を図 2-2 に示します。

表 2-2: DSP 命令まとめ

命 令	代数操作	アキュムレータ B を使う ?
CLR	$A = 0$	Yes
ED	$A = (x - y)^2$	No
EDAC	$A = A + (x - y)^2$	No
MAC	$A = A + (x * y)$	Yes
MAC	$A = A + x^2$	No
MOVSAC	A の変化なし	Yes
MPY	$A = x * y$	No
MPY.N	$A = -x * y$	No
MSC	$A = A - x * y$	Yes

dsPIC30F1010/202X

図 2-2: DSP エンジンブロック図



2.4.1 乗算器

17 ビット×17 ビット乗算器は、符号付き、なしの演算が可能で、結果出力はスケーラを使って 1.31 形式の固定小数 (Q31) か 32 ビットの整数の切り替えが可能です。

符号なし演算では、乗数の入力値の 17 ビット目にゼロ拡張をします。符号付き演算では、乗数の入力値の 17 ビット目に符号拡張をします。17 ビット×17 ビット乗算 / スケーラの出力は 33 ビットの値になり、符号拡張して 40 ビットとします。整数データは、MSB が符号と定義された独特の 2 の補数として表されます。一般的に言われるように、N ビットの 2 の補数整数で表される範囲は、 -2^{N-1} から $2^{N-1}-1$ となります。16 ビット整数で表せるデータ範囲は、0 を含む -32768 (0x8000) から 32767 (0x7FFF) となります。32 ビット整数で表せるデータ範囲は、 $-2,147,483,648$ (0x8000 0000) から $2,147,483,647$ (0x7FFF FFFF) となります。

乗算器が、固定小数乗算に設定されたときは、データは 2 の補数として表現されます。MSB は符号ビットとして定義され、小数点は符号ビットの直後に付けられているものとします (QX フォーマット)。N ビットの 2 の補数固定小数に含まれる範囲は、 -1.0 から $(1 - 2^{-N})$ となります。16 ビット固定小数では、Q15 データ範囲で -1.0 (0x8000) から 0.999969482 (0x7FFF) となり 0 を含み、精度は 3.01518×10^{-5} となります。固定小数モードでは、16x16 乗算は 1.31 の結果を生成し、精度は 4.65661×10^{-10} となります。

同じ乗算器が MCU の乗算命令のサポートに使われます。この命令には整数の符号付き、なし、混合符号の 16 ビット乗算を含みます。

MUL 命令は、バイトまたはワードのオペランドを扱うようにできます。バイト オペランドは 16 ビットの結果を、ワード オペランドは 32 ビットの結果を、それぞれ W アレイの指定レジスタに出力します。

2.4.2 データ アキュムレータと加算器 / 減算器

データ アキュムレータは、40 ビットの加算 / 減算器と自動符号拡張ロジックで構成されています。アキュムレータは、前置と後置用に 2 つのアキュムレータ (A または B) から選択できます。ADD と LAC 命令のときには、ストアまたはロードされるデータを、オプションで積算前にバレル シフトでスケール変換できます。

2.4.2.1 加算 / 減算器、オーバーフローと飽和

加算 / 減算器は、40 ビットの加算器で、一方がゼロ入力可能で、もう一方は実データまたは補数データが入力可能です。加算の場合にはキャリー / ボロー入力は正論理で、もう一方は正論理データ (補数ではなく) となり、減算の場合には、キャリー / ボロー入力は負論理で、もう一方は補数となります。加算 / 減算器はオーバーフロー ステータス ビット SA/SB と OA/OB を生成し、それらは STATUS レジスタにラッチされ、更新されます。

- 39 ビット目へのオーバーフロー：この場合は壊滅的なオーバーフローで、アキュムレータの符号を破壊する。
- ガードビット 32 から 29 ビット目へのオーバーフロー：この場合はリカバー可能なオーバーフローを表す。このビットは、すべてのガードビットが同じでないと常にセットされる。

加算器は別の飽和ブロックを持っていて、選択された場合には、アキュムレータのデータ飽和を制御します。このとき加算器の結果を用いますが、前述のオーバーフロー ステータス ビットと SATA/B (CORCON<7:6>) を用い、ACCSAT (CORCON<4>) モード制御ビットは、飽和が起きたかどうかと、いつどのような値にするかを決定します。

STATUS レジスタの 6 個のビットが飽和とオーバーフローのサポートに使われます。それらは下記となります。

1. OA:

AccA のガード ビットへのオーバーフロー

2. OB:

AccB のガード ビットへのオーバーフロー

3. SA:

AccA 飽和 (31 ビット目のオーバーフローと飽和) または
AccA のガード ビットへのオーバーフローと飽和 (39 ビット目のオーバーフローと飽和)

4. SB:

AccB 飽和 (31 ビット目のオーバーフローと飽和) または
AccB のガード ビットへのオーバーフローと飽和 (39 ビット目のオーバーフローと飽和)

5. OAB:

OA と OB の論理和

6. SAB:

SA と SB の論理和

OA と OB ビットはデータが加算 / 減算器を通るごとに更新されます。セットされたときは、最後の演算でアキュムレータのガード ビット (32 ビット目から 39 ビット目) にオーバーフローが起きたことを表します。また、OA と OB ビットはオプションで INTCON1 レジスタの対応するオーバーフロー トラップフラグ許可ビット (OVATE、OVATE) がセットされると、算術エラー トラップを発生します (第 5 章「割り込み」参照)。これによって、例えば、システムゲインを訂正するなど、ユーザーが直ぐ対応できます。

SA と SB ビットは加算 / 減算器を通るごとに更新されますが、クリアはユーザーのみ可能です。セットされたときは、アキュムレータが最大範囲を超えた (32 ビット飽和のときは 31 ビット目を、40 ビット飽和のときは 39 ビット目を超えた) ことを表すか、飽和したこと (飽和が許可されていれば) を表します。飽和が禁止のときは、SA と SB ビットはデフォルトで 39 ビット目のオーバーフローを示しますので、破壊的オーバーフローが起きたことを表します。INTCON1 レジスタの COVTE ビットがセットされていると、飽和が禁止されたとき、SA と SB ビットは算術エラーラップを発生します。

オーバーフローと飽和ステータス ビットは、オプションとして、STATUS レジスタに OA と OB の論理和 (OAB ビット) と SA と SB の論理和 (SAB ビット) で見られるようにできます。これで、プログラマが STATUS レジスタの 1 ビットのチェックだけで、どちらかのアキュムレータがオーバーフローしたかが判り、1 ビットのチェックだけでどちらのアキュムレータが飽和したかが判断できます。これは、一般的に両方のアキュムレータを使う複雑な数値演算のとき便利です。

デバイスは、以下のような 3 種の飽和とオーバーフローモードをサポートしています。

1. 39 ビット目のオーバーフローと飽和

39 ビット目のオーバーフローや飽和が起きたときは、飽和ロジックは 9.31 形式の正の最大値 (0x7FFFFFFF) か 9.31 形式の負の最大値 (0x80000000) を対象のアキュムレータにロードします。SA か SB ビットがセットされ、ユーザーにクリアされるまでセットが維持されます。これは「超飽和」と呼ばれ、誤ったデータや意図しないアルゴリズム問題 (例: ゲイン計算) に対する保護機能を提供します。

2. 31 ビット目のオーバーフローと飽和

31 ビット目のオーバーフローや飽和が起きたときは、飽和ロジックは 1.31 形式の正の最大値 (0x07FFFFFF) か 1.31 形式の負の最大値 (0x08000000) を対象アキュムレータにロードします。SA か SB ビットがセットされ、ユーザーがクリアするまでセットが維持されます。この飽和モードが有効にされたときは、ガードビットは使われません (したがって、OA、OB、OAB ビットはセットされません)。

3. 39 ビット目の破壊的オーバーフロー

加算器からの 39 ビット目のオーバーフロー状態ビットは、SA か SB ビットのセットに使われ、ユーザーにクリアされるまでセットが維持されます。飽和動作はせず、アキュムレータは (符号を壊す) オーバーフローが許可されます。INTCON1 レジスタの COVTE ビットがセットされていれば、破壊的オーバーフローは例外トラップを発生します。

2.4.2.2 アキュムレータの「書き戻し」

MAC クラスの命令は (MPY, MPY.N, ED, EDAC を除いて)、オプションでアキュムレータの上位ワード (16 ビット目から 31 ビット目まで) のまるめ結果を書き出すことができます。この部分は命令でデータメモリに書くことができません。書き込みは X バスを經由して X と Y の結合アドレス空間に行われます。以下のアドレスリングモードがサポートされています。

1. W13 レジスタ直接

非対象のアキュムレータまるめ結果を W13 レジスタに 1.15 固定小数形式で書き込みます。

2. [W13]+=2, 増し分後置レジスタ間接

非対象アキュムレータのまるめ結果を W13 によって指定されたアドレスに、1.15 固定小数形式で書き込みます。W13 はその後 2 だけ増し分されます (ワード書き込みのため)。

2.4.2.3 まるめロジック

まるめロジックは従来型 (偏向) と収束型 (不偏向) まるめ機能の組み合わせとなっていて、アキュムレータに書き込む (格納する) ときに機能します。まるめモードは CORCON レジスタの RND ビットによって決定します。16 ビットの 1.15 形式のデータを生成し、このデータは、データ書き込み飽和ロジックに送られます。まるめ方式が命令で指定されていないときは、切り捨ての 1.15 形式のデータが格納され、下位ワード (LSW) は単純に切り捨てられます。

従来型まるめでは、アキュムレータの 15 ビット目にゼロ拡張して ACCxH ワード (16 ビット目から 31 ビット目まで) に加算します。ACCxL ワード (アキュムレータの 0 ビット目から 15 ビット目まで) が 0x8000 から 0xFFFF 間 (0x8000 を含む) であれば、ACCxH は +1 されます。ACCxL が 0x0000 から 0x7FFF 間であれば、ACCxH は変化しません。このアルゴリズムの結果は、一連の任意まるめオペレーション間に値がわずかに正に偏向することになります。

ACCxL が 0x8000 に等しいとき以外は、収束型 (不偏向) まるめは従来型まるめと同様に機能します。等しい場合、ACCxH の最下位ビット (アキュムレータの 16 ビット目) をチェックします。それが '1' の場合は ACCxH が +1 され、'0' の場合は ACCxH は変更されません。16 ビット目が本質的にランダムであるとする、この方式により蓄積するまるめ偏向はすべて除去されます。

SAC および SAC.R 命令は、対象のアキュムレータのコンテンツの切り捨て (SAC) またはまるめ (SAC.R) 結果を X バスを通してデータメモリに格納し、これは飽和制御への入力となります (2.4.2.4 「データ書き込み飽和」を参照)。MAC クラスの命令に関しては、アキュムレータ書き出し動作にも同様に機能し、アドレス結合された MCU (X と Y) のデータ空間を X バスを介して扱います。このクラスの命令では、データは常にまるめられます。

2.4.2.4 データ書き込み飽和

加算 / 減算器の飽和に加えて、データへの書き込みの際にも飽和がありますが、この場合には元のアキュムレータには全く影響を与えません。データ書き込み飽和ロジックブロックは 16 ビットを扱い、まるめロジックブロックからの 1.15 固定小数値と、元のソース (アキュムレータ) からのオーバーフロー状態と 16 ビットのまるめ加算器と共に入力となります。これらの入力は結合して使われ、出力として適切な 1.15 固定小数を選択してデータ メモリに書き込みます。

CORCON レジスタの SATDW ビットをセットすると、(まるめあるいは切り捨ての後) データがチェックされてオーバーフローを判定し、適切に修正されます。入力データが 0x007FFF より大きい場合には、メモリに書き込まれるデータは、強制的に 1.15 形式の正の最大値である 0x7FFF とされます。入力データが 0xFF8000 より小さい場合には、メモリに書き込まれる値は、1.15 形式の負の最大値である 0x8000 に強制的にセットされます。元の最高位ビット (39 ビット目) は符号を決定するために使われます。

CORCON レジスタの SATDW ビットがセットされていないならば、入力データは常に変更されずに通過します。

2.4.3 バレルシフタ

バレルシフタは単一サイクルで 16 ビット算術右シフト、あるいは 16 ビット左シフトまで実行することができます。演算対象は 2 つの DSP アキュムレータか X バスとなります (レジスタかメモリデータのマルチビットシフト命令のサポートのため)。

シフタは、シフトオペレーションの規模 (ビット数) と、シフト方向の両方の決定に符号付きバイナリ値を必要とします。正の値はオペランドを右にシフトし、負の値はオペランドを左にシフトします。'0' の値はオペランドを変更しません。

バレルシフタは 40 ビット幅ですので、DSP シフトオペレーションの結果を 40 ビットで取り出すことができます。MCU シフトオペレーションの結果は 16 ビットです。X バスからのデータは、右シフトの場合はバレルシフタの 16 ビット目から 31 ビット目にセットされ、左シフトの場合には 0 から 16 ビット目にセットされます。

dsPIC30F1010/202X

ノート:

第3章 メモリ構成

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046) を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンス マニュアル」(DS70157) を参照して下さい。

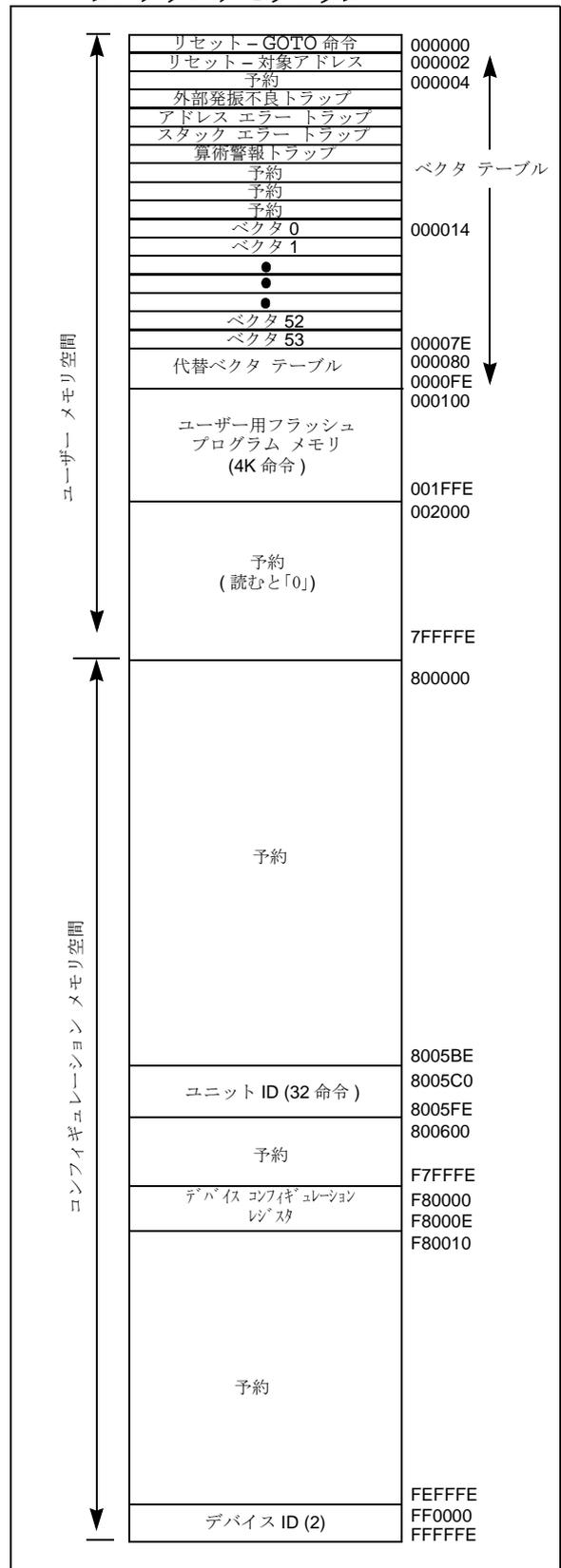
3.1 プログラム アドレス空間

プログラムメモリアドレス空間は4M命令ワードとなっています。空間は24ビットでアドレスされますが、これは表3-1に示されたように、23ビットのプログラムカウンタ(PC)か、テーブル命令の有効アドレス(EA)、またはプログラム空間がデータ空間にマッピングされているときはデータ用EAから引き出されず。

ユーザーがアクセスできるプログラムメモリ空間は、下側4M命令ワードのアドレス範囲(0x000000 ~ 0x7FFFFFFF)に制限されています。TBLRD/TBLWTを使う場合は例外で、TBLPAG<7> を使ってユーザー空間かコンフィギュレーション空間かを定めることができます。表3-1の読み書き命令で、ビット23によりデバイスIDやユーザーID、コンフィギュレーションビットをアクセスできます。それ以外はビット23は常時クリアされています。

注: 図3-1に示したアドレスマップと実際のメモリ構成は、個々のデバイスごとに使用可能なメモリにより異なります。

図3-1: dsPIC30F1010/202X のプログラムメモリマップ

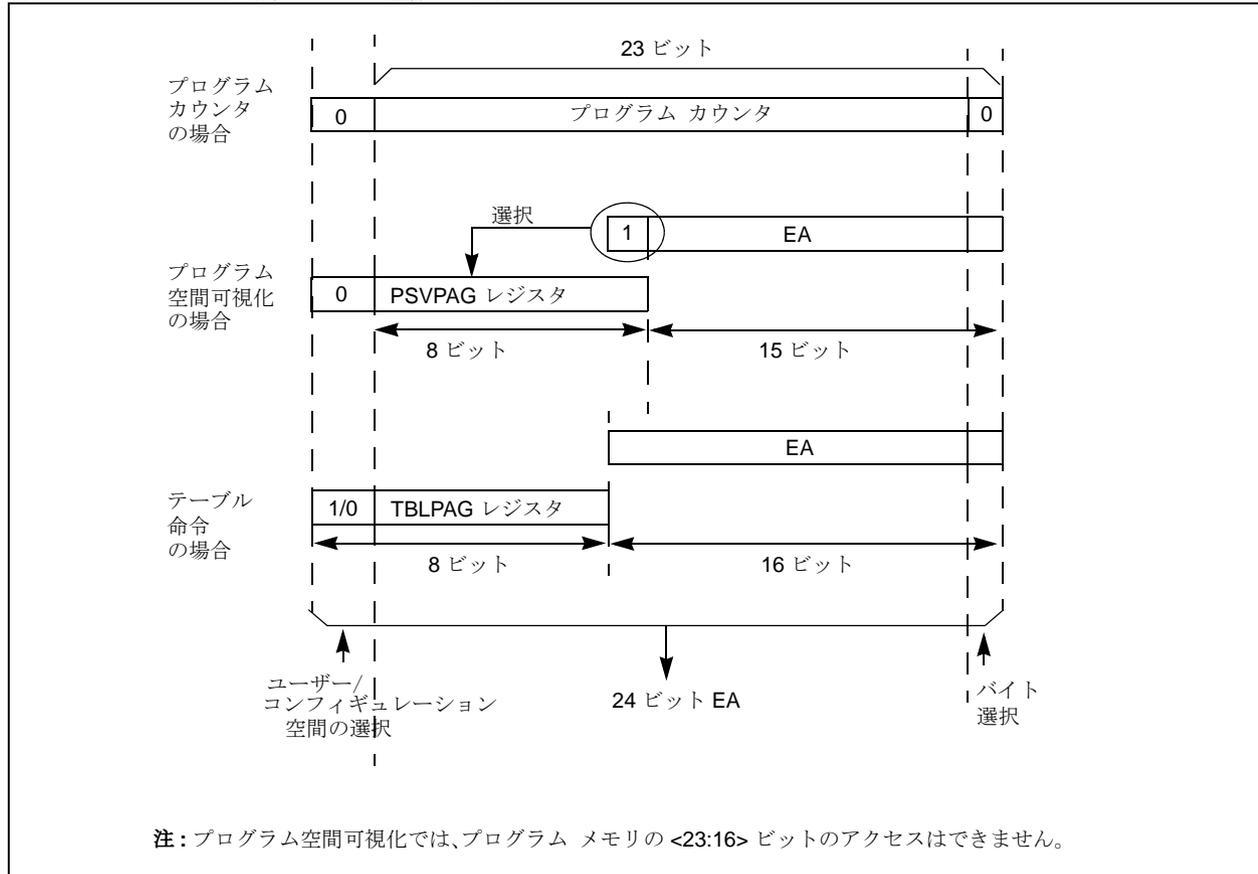


dsPIC30F1010/202X

表 3-1: プログラム空間のアドレス構成

アクセス タイプ	アクセス 空間	プログラム空間アドレス			
		<23>	<22:16>	<15>	<14:1>
命令アクセス	ユーザー	0	PC<22:1>		0
TBLRD/TBLWT	ユーザー (TBLPAG<7> = 0)	TBLPAG<7:0>		データ EA <15:0>	
TBLRD/TBLWT	コンフィギュレーション (TBLPAG<7> = 1)	TBLPAG<7:0>		データ EA <15:0>	
プログラム空間可視化	ユーザー	0	PSVPAG<7:0>	データ EA <14:0>	

図 3-2: プログラム空間アドレス生成によるデータアクセス



3.1.1 テーブル命令を使ったプログラムメモリへのデータアクセス

このアーキテクチャでは、プログラムメモリは24ビット幅でフェッチされます。命令は常にそのように配置されます。さらに改良型ハーバードアーキテクチャとなっていますので、データがプログラム空間に見えるようになります。

プログラム空間をアクセスする2つの手段を提供しています。テーブル命令による方法と、データ空間の上位半分に16Kワードのプログラム空間を再マッピングする方法(3.1.2「プログラム空間可視化を使ったプログラムメモリへのデータアクセス」を参照)です。

TBLRD_LとTBLWT_L命令は、データ空間を経由することなく、プログラム空間内のアドレスの下位ワードを直接読み書きする方法を提供します。TBLRD_HとTBLWT_H命令は、プログラムワードの上位8ビットをデータとしてアクセスする唯一の方法です。

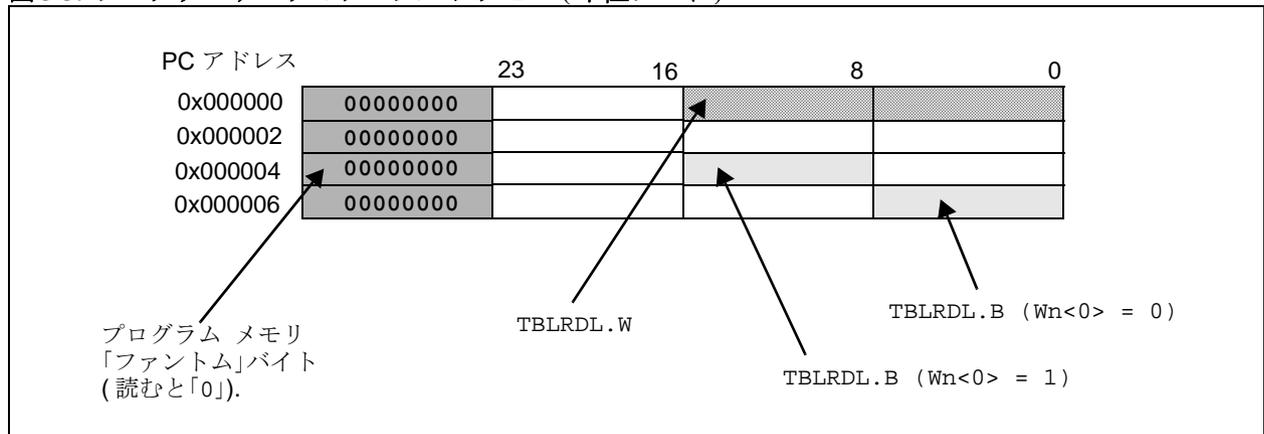
PCは連続する24ビットプログラムワードをアクセスする度に2ずつカウントアップします。これにより、プログラムメモリアドレスが直接データ空間アドレスにマッピングできるようにします。これで、プログラムメモリが同じアドレス範囲として、2つの16ビットワード幅のアドレス空間として扱えるようになります。TBLRD_LとTBLWT_Lはその空間の下位データワードをアクセスし、TBLRD_HとTBLWT_Hはその空間の上位バイトをアクセスします。

図3-2に、テーブル動作のとき、どのようにEAが生成され、データ空間をアクセスするか(PSV=1)を示しています。ここで、P<23:0>はプログラム空間のワードを表し、D<15:0>はデータ空間のワードを表します。

テーブル命令セットが、プログラム空間をバイトかワードサイズデータとして扱えるようにします。

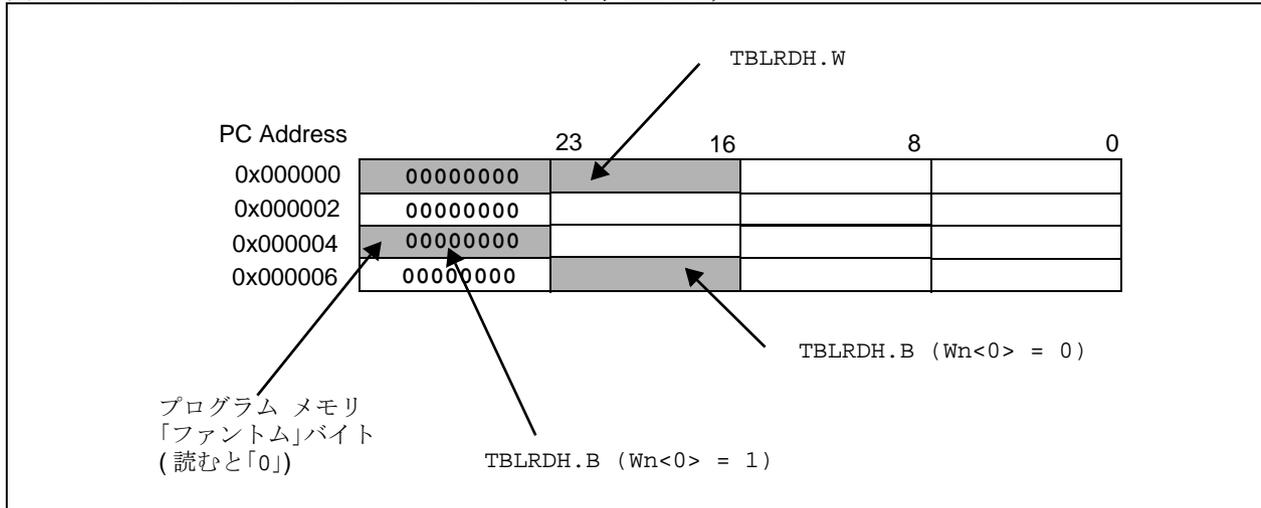
1. **TBLRD_L**: テーブル下位読み出し
 ワード: プログラム空間の下位ワードの読み出し。P<15:0>がデータアドレス(D<15:0>)にマップされる。
 バイト: プログラムアドレスの下位のいずれかのバイトの読み出し。バイト選択=0のときP<7:0>が、バイト選択=1のときP<15:8>がマッピングされる。
2. **TBLWT_L**: テーブル下位書き込み (フラッシュプログラミングの詳細は第7章「フラッシュプログラムメモリ」を参照)。
3. **TBLRD_H**: テーブル上位読み出し
 ワード: プログラムアドレスの上位ワードの読み出し。P<23:16>がD<7:0>にマッピング。D<15:8>は常時0
 バイト: プログラムアドレスの上位のいずれかのバイトの読み出し。バイト選択=0のときはP<23:16>が読み出され、バイト選択=1のときは常に0が読み出される。
4. **TBLWT_H**: テーブル上位書き込み (フラッシュプログラミングの詳細は、第7章「フラッシュプログラムメモリ」を参照)。

図 3-3: プログラムデータのテーブルアクセス (下位ワード)



dsPIC30F1010/202X

図 3-4: プログラムメモリのテーブルアクセス (上位バイト)



3.1.2 プログラム空間可視化を使った

プログラムメモリへのデータアクセス

データ空間の上位 32K バイトは、オプションとして任意の 16K ワードプログラム空間ページにマッピングできます。このオプションは、特別な命令（すなわち、TBLRDH/H、TBLWTL/H 命令）を使用することなく、格納された定数データの透過的なアクセスを可能にします。

データ空間を通してのプログラム空間へのアクセスは、データ空間 EA の最上位ビットを '1' にし、かつコアコントロールレジスタ (CORCON) の PSV ビットをセットしてプログラム空間可視化を有効にすることで可能となります。CORCON レジスタの機能については 2.4 「DSP エンジン」で説明しています。

この領域のデータ読み出しは、2 回のプログラムメモリのフェッチが必要であるため、命令実行に 1 サイクルが追加されます。

アドレス可能なデータ空間の上位半分は常に X データ空間の部分であることに留意して下さい。したがって、このメモリ領域のアクセスにプログラム空間マッピングを使った DSP 演算では、Y データ空間には通常 DSP 演算用のステート (変数) データを格納し、X データ空間には係数 (定数) を格納します。

0x 8000 番地以上の各データ空間アドレスは、直接対応するプログラムメモリ空間にマッピングされますが (図 3-5 参照)、24 ビットのプログラムワード内の下位 16 ビットのみがデータとして使われます。上位 8 ビットは、マシンの頑強性を保つため、例外命令になるようにプログラミングすべきです。命令のエンコードの詳細については、「dsPIC30F/33F Programmer's Reference Manual」(DS70157) を参照して下さい。

プログラムメモリワードごとに PC は 2 ずつインクリメントされるため、データ空間アドレスの下位 15 ビットは直接対応するプログラム空間アドレスの下位 15 ビットにマップされることに注意して下さい。残りのビットは、図 3-5 に示すように、プログラム空間可視化で、PSVPAG<7:0> によって提供されます。

注: PSV アクセスは、テーブル読み書きのときは一時的に禁止されます。

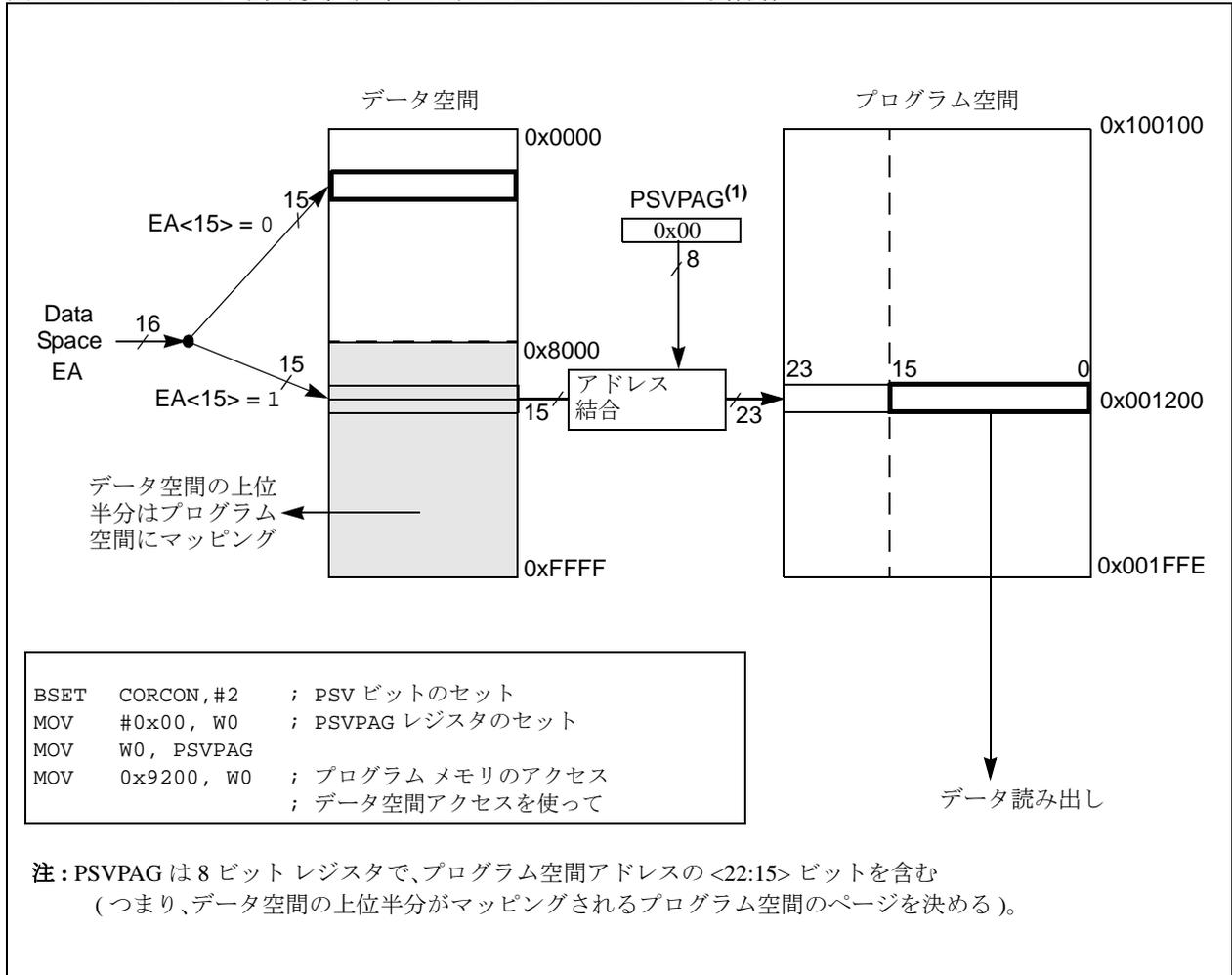
REPEAT ループの外側で実行される PSV を使った命令の場合下記となります。

- 下記命令は通常の実行時間に 1 命令サイクルの追加が必要。
 - データオペランドフェッチを伴う MAC クラス命令
 - MOV 命令
 - MOV.D 命令
- その他のすべての命令は通常の実行時間に 2 命令サイクルの追加が必要。

REPEAT ループの内側で実行される PSV を使った命令の場合下記となります。

- 下記実行には、通常の命令実行時間に 2 命令サイクルの追加が必要。
 - 最初の繰り返し実行時
 - 最後の繰り返し実行時
 - 割り込みによりループを抜けるとき
 - 割り込みサービス完了してループに再度戻るとき
- その他のすべての REPEAT ループで PSV を使ってデータをアクセスする命令は 1 サイクルで実行されます。

図 3-5: プログラム空間可視化ウィンドウによるプログラム空間操作



3.2 データ アドレス空間

コアは2つのデータ空間を持っています。これらのデータ空間は別々にも (いくつかの DSP 命令のとき)、結合した 1 つのリニア アドレス範囲としても (MCU 命令のとき) 考えることができます。データ空間は 2 つのアドレス生成ユニット (AGU) と別々のパスによってアクセスされます。

3.2.1 データ空間のメモリ マップ

データ空間メモリは X と Y データ空間という 2 つのブロックに分かれています。このアーキテクチャのキーとなる要素は、Y 空間は X 空間のサブセットであり、X 空間の中に含まれているということです。明らかにリニアなアドレス空間を提供するため、X と Y 空間は隣接するアドレスとなっています。

ある MAC クラス以外の命令を実行するときは、X ブロックは 256 バイトのデータアドレス空間 (全 Y アドレスを含む) で構成されます。MAC クラス命令を実行するときは、X ブロックは Y アドレス ブロックを除いた 256 バイトのデータアドレス空間となります (データ読み出しのときだけ)。言い換えると、その他のすべての命令は、データ メモリ全体をひとつの合成アドレス空間として扱います。MAC クラス命令は、Y アドレス空間をデータ空間と区別し、W10 と W11 から引き出される EA を使ってアドレスします。残りの X データ空間は、W8 と W9 を使ってアドレスします。MAC クラス命令の場合だけ、両方のアドレス空間が同時にアクセスされます。

図 3-6 にデータ空間メモリのマップを示します。

dsPIC30F1010/202X

図 3-6: データ空間メモリマップ

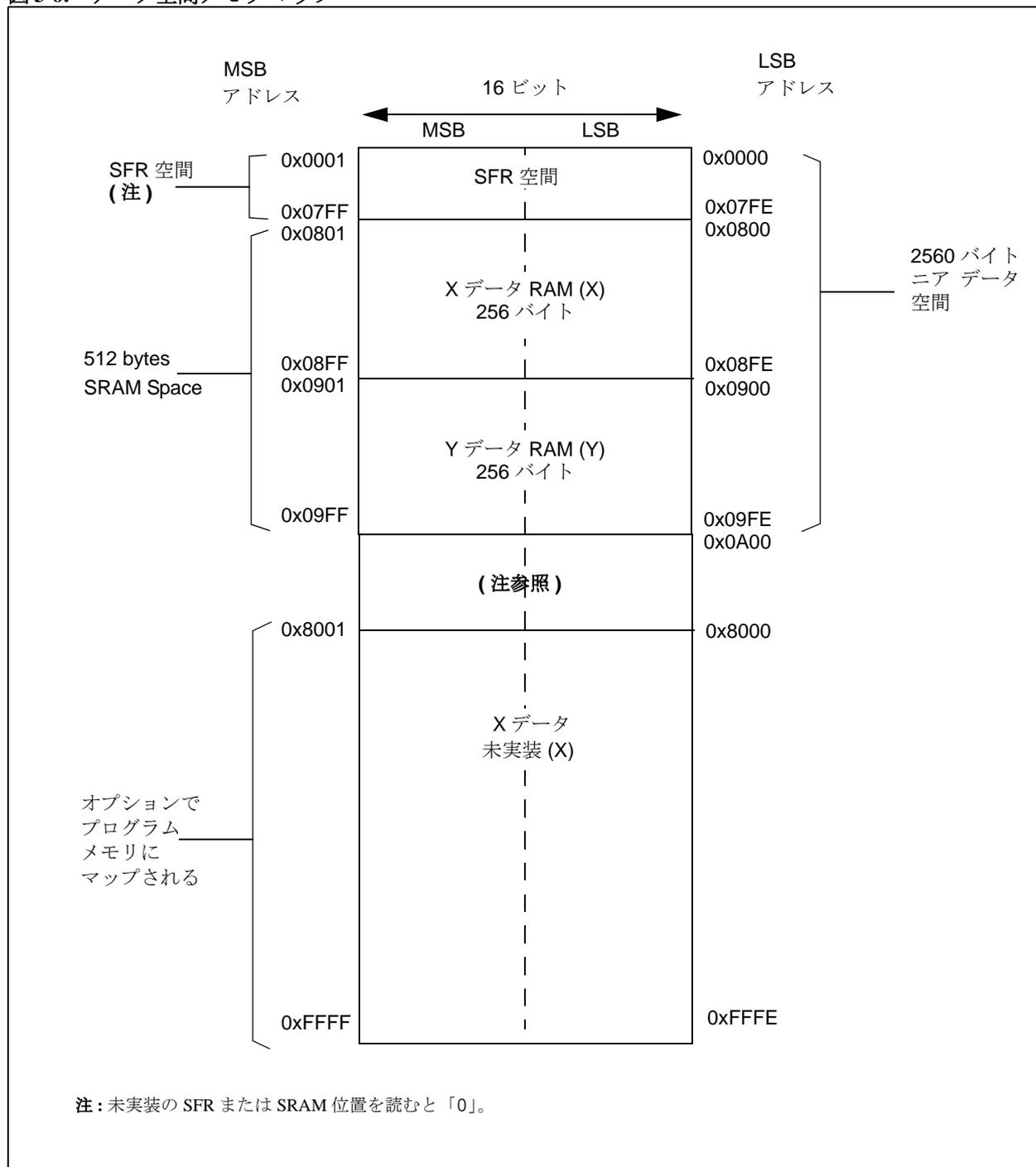
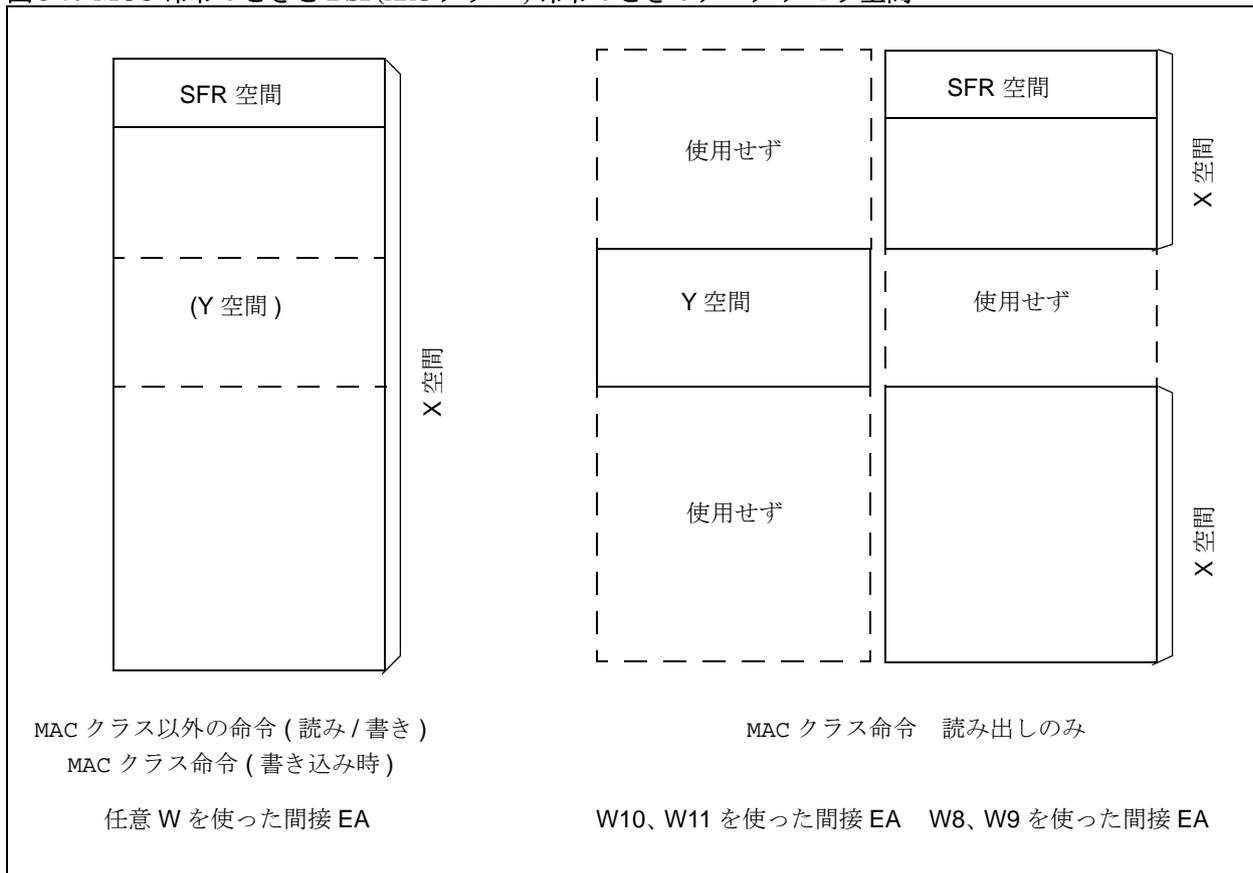


図 3-7: MCU 命令のときと DSP(MAC クラス) 命令のときのデータ メモリ空間



3.2.2 データ空間

X データ空間は、すべての命令で使うことができ、すべてのアドレッシング モードをサポートしています。X データ空間用には独立の読み書き用のデータバスがあります。X 読み出し用データバスは、全命令が使用するデータ読み出しバスで、データスペースを X と Y アドレス空間を結合した空間として見ます。さらに、デュアル オペランドの読み出し命令 (MAC クラス) 用の X アドレス データバスでもあります。X 書き込みデータバスは、全命令用の唯一の書き込みバスです。

X データ空間は、アドレス範囲を制限する必要のある全命令に対してモジュロ アドレッシング モードをサポートしています。ビット反転アドレッシング モードは、X データ空間への書き込みに対してのみサポートされています。

Y データ空間は、X データ空間と協調して、MAC クラスの命令 (CLR、ED、EDAC、MAC、MOVSAC、MPY、MPY.N、MSC) に対し、2つのデータの同時読み出しバスを供給します。Y バス経由の書き込みはありません。このクラスの命令は W10 と W11 の 2つの W レジスタポインタを使って X データ空間とは独立に Y データ空間を指定します。これに対し、W8 と W9 は常に X データ空間をアドレスします。アキュムレータ書き戻しの間は、データアドレス空間は X と Y データ空間が結合したものとみなされ、X バス経由で書き込みが行われることに注意して下さい。したがって、書き込みはデータ空間全体のどのアドレスにもできます。

Y データ空間は、MAC クラス命令に関するデータプリアフェッチの時だけ使うことができます。また、自動循環バッファとするためモジュロ アドレッシングをサポートしています。もちろん、その他すべての命令も、Y データアドレス空間を X データバス経由で、結合したリニア空間の一部としてアクセスすることができます。

X と Y データ空間の境界は、図 3-6 に示したように決まっています。プログラマブルではありません。EA が実装されたアドレス空間外のデータや、物理的に無い場所をポイントすると、すべてゼロのワード/バイトが返されます。例えば、Y アドレス空間は、すべての MAC 以外の命令が、どのアドレッシングモードでも見ることができますが、MAC 命令によって W8 か W9 (X 空間用ポインタ) を使ってこの空間からフェッチしようとしても 0x0000 が返されてしまいます。

表 3-2: 不正メモリ アクセスの結果

実行した操作	戻り値
EA = 未実装アドレス	0x0000
MAC 命令で W8 か W9 を使って Y データをアクセス	0x0000
MAC 命令で、W10 か W11 を使って X データ空間をアクセス	0x0000

すべての有効アドレスは 16 ビット幅で、データ空間内をバイトでポイントします。したがって、データ空間のアドレス範囲は、64 K バイトまたは 32 K ワードです。

3.2.3 データ空間の幅

コアのデータ幅は、16 ビット幅です。全内部レジスタは 16 ビット幅で構成されています。データ空間メモリはバイトアドレッシング可能な 16 ビット幅のブロックで構成されています。

3.2.4 データ 配置

PIC® MCU デバイスとの下位互換性を維持し、かつデータメモリ空間の使用効率を向上させるため、dsPIC30Fの命令セットはワードとバイト操作の両方をサポートしています。データはデータメモリかレジスタにワードで配置されますが、すべてのデータは EA によりバイトに分解されます。

データバイト読み出しは、そのバイトを含むワード全体を読み出しますが、EA の最下位ビットを使ってどちらのバイトを選択するかを決められます。

選択されたバイトは X データバスの下位側に置かれます (MAC クラス命令はワードのフェッチしかできませんから、Y データバスを使ったバイトアクセスはできません)。これで、データメモリとレジスタは、共用の (ワード) アドレスを持ち、かつ別々の書き込みラインを持つ 2つの並列のバイト幅の実体で構成されます。データバイト書き込みは、アレイかレジスタのバイトアドレスが一致する側にだけ書き込まれます。

バイトアクセスを可能にした結果、すべての有効なアドレス計算 (DSP 動作により発生したワードサイズのデータに限るものを含む) は、内部的にワード配置のメモリに合わせて実行されます。例えば、後置増し分レジスタ間接アドレッシングモード [Ws++] は、バイト操作のときは Ws+1 となり、ワード操作のときは Ws+2 となります。

ワードアクセスはすべて偶数アドレスで行わなければならない。間違った配置のワードデータの取り出しはサポートしていないため、バイトとワードの混合操作や、8 ビット MCU コードの変換はできないことに注意して下さい。誤った配置の読み書きを行うと、アドレスエラー トラップが発生します。読み込み時にエラーが起きると、実行中の命令は完了します。書き込み中に起きた場合、命令は実行完了しますが、書き込みは行われません。どちらの場合にも、トラップが実行されるため、システムあるいはユーザーは、アドレス障害となる以前にマシン状態を調べることができます。

図 3-8: データの配置

	15	MSB	8	7	LSB	0	
0001	バイト 1		バイト 0		0000		
0003	バイト 3		バイト 2		0002		
0005	バイト 5		バイト 4		0004		

W レジスタに対するすべてのバイトロードは、下位バイトに格納されます。上位バイトは影響されません。

符号拡張命令 (SE) は、8 ビット符号付きデータを 16 ビット符号付きデータに変換する機能をユーザーに提供します。逆に、16 ビット符号なしデータについては、ゼロ拡張命令 (ZE) を適切なアドレスで実行することで、W レジスタの上位バイトをクリアできます。

大部分の命令はワードでもバイトデータサイズでも動作しますが、DSP 命令を含むいくつかの命令はワードだけしか動作しませんので注意が必要です。

3.2.5 ニア データ空間

0x0000 と 0x1FFF の間の 8k バイトの X アドレスメモリ空間は、ニア データ空間として参照できます。この空間内は、すべてのメモリ直接命令内にある 13 ビットの絶対アドレス フィールドによって直接アドレッシングできます。残りの X アドレス空間とすべての Y アドレス空間は、間接的にアドレッシングできます。さらに、16 ビットのアドレス フィールドによるメモリ直接アドレッシングをサポートする MOV 命令を使って、データ空間全体をアドレッシングできます。

3.2.6 ソフトウェア スタック

dsPIC DSC デバイスはソフトウェア スタックを持っています。W15 は、スタック ポインタとして使われません。

スタック ポインタは、常に最初の利用可能な空きワードを示し、下位アドレスから上位アドレスに向かって伸びていきます。スタック ポインタは、図 3-9 に示すように、スタック ポップの前に減少し、スタック プッシュの後で増加します。CALL 命令時の PC プッシュについては、PC の上位バイトはプッシュ前にゼロ拡張されるため、上位バイトは常にクリアされることに注意して下さい。

注： 割り込み処理の PC のプッシュのときは、プッシュの前に SRL レジスタが PC の上位バイトに連結されます。

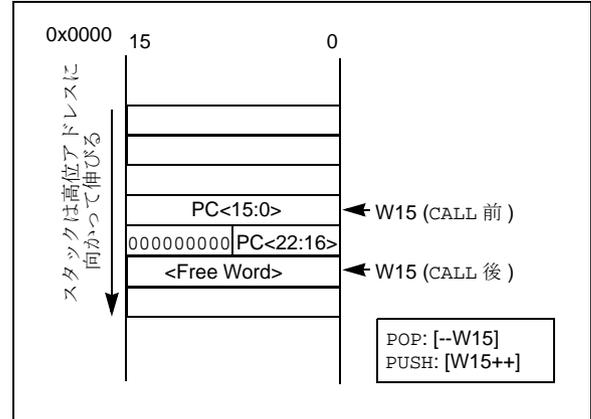
スタック ポインタに関連するスタック リミット レジスタ (SPLIM) があります。SPLIM はリセットでは初期化されません。スタック ポインタのときは、すべての動作がワード配置でなければならないため、SPIM<0> は強制的に「0」とされます。

EA は常に W15 をポインタ元あるいは先として使って生成され、生成結果のアドレスは常に SPLIM の値と比較されます。スタック ポインタ (W15) と SPLIM の内容が等しいときにプッシュ動作が行われると、スタック エラー トラップが起きます。スタック エラー トラップは次のプッシュ動作でも起きます。例えば、RAM のアドレス 0x2000 以降にスタックが伸びてくるのが不適切な場合には、SPLIM を 0x1FFE の値に設定し、スタック エラー トラップが起きるようにするのが望ましい方法です。

同様に、スタック ポインタアドレスが 0x0800 より小さくなると、スタック ポインタ アンダーフロー (スタック エラー) トラップが起きます。これにより、スタックが特殊機能レジスタ (SFR) 用空間に干渉するのを避けることができます。

SPLIM レジスタへの書き込みは、W15 を使った間接アドレッシング読み出しの直後には行うべきではありません。

図 3-9: CALL 時のスタック フレーム



3.2.7 データ RAM 保護

dsPIC30F1010/202X デバイスはデータ RAM の保護機能をサポートしていて、ブート コード セグメント セキュリティなどとして使う場合に、RAM のセグメントを保護できるようにします。BSRAM (BS 用セキュア RAM セグメント) が有効化されると、ブート セグメントのフラッシュ コードからのみのアクセスとなります。BSRAM SFR については表 3-3 を参照して下さい。

表 3-3: コア レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State	
W0	0000	W0/WREG																0000 0000 0000 0000	
W1	0002	W1																0000 0000 0000 0000	
W2	0004	W2																0000 0000 0000 0000	
W3	0006	W3																0000 0000 0000 0000	
W4	0008	W4																0000 0000 0000 0000	
W5	000A	W5																0000 0000 0000 0000	
W6	000C	W6																0000 0000 0000 0000	
W7	000E	W7																0000 0000 0000 0000	
W8	0010	W8																0000 0000 0000 0000	
W9	0012	W9																0000 0000 0000 0000	
W10	0014	W10																0000 0000 0000 0000	
W11	0016	W11																0000 0000 0000 0000	
W12	0018	W12																0000 0000 0000 0000	
W13	001A	W13																0000 0000 0000 0000	
W14	001C	W14																0000 0000 0000 0000	
W15	001E	W15																0000 1000 0000 0000	
SPLIM	0020	SPLIM																0000 0000 0000 0000	
ACCAL	0022	ACCAL																0000 0000 0000 0000	
ACCAH	0024	ACCAH																0000 0000 0000 0000	
ACCAU	0026	符号拡張 (ACCA<39>)								ACCAU								0000 0000 0000 0000	
ACCBH	0028	ACCBH																0000 0000 0000 0000	
ACCBH	002A	ACCBH																0000 0000 0000 0000	
ACCBU	002C	符号拡張 (ACCB<39>)								ACCBU								0000 0000 0000 0000	
PCL	002E	PCL																0000 0000 0000 0000	
PCH	0030	—	—	—	—	—	—	—	—	—	PCH							0000 0000 0000 0000	
TBLPAG	0032	—	—	—	—	—	—	—	—	TBLPAG								0000 0000 0000 0000	
PSVPAG	0034	—	—	—	—	—	—	—	—	PSVPAG								0000 0000 0000 0000	
RCOUNT	0036	RCOUNT																uuuu uuuu uuuu uuuu	
DCOUNT	0038	DCOUNT																uuuu uuuu uuuu uuuu	
DOSTARTL	003A	DOSTARTL																0	uuuu uuuu uuuu uuu0
DOSTARTH	003C	—	—	—	—	—	—	—	—	—	DOSTARTH							0000 0000 0uuu uuuu	
DOENDL	003E	DOENDL																0	uuuu uuuu uuuu uuu0
DOENDH	0040	—	—	—	—	—	—	—	—	—	DOENDH							0000 0000 0uuu uuuu	
SR	0042	OA	OB	SA	SB	OAB	SAB	DA	DC	IPL2	IPL1	IPL0	RA	N	OV	Z	C	0000 0000 0000 0000	
CORCON	0044	—	—	—	US	EDT	DL2	DL1	DL0	SATA	SATB	SATDW	ACCSAT	IPL3	PSV	RND	IF	0000 0000 0010 0000	

凡例 : u = 非初期化ビット

表 3-3: コア レジスタ マップ (つづき)

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State	
MODCON	0046	XMODEN	YMODEN	—	—	BWM<3:0>			YWM<3:0>			XWM<3:0>			0000 0000 0000 0000				
XMODSRT	0048	XS<15:1>															0	uuuu uuuu uuuu uu0	
XMODEND	004A	XE<15:1>															1	uuuu uuuu uuuu uu1	
YMODSRT	004C	YS<15:1>															0	uuuu uuuu uuuu uu0	
YMODEND	004E	YE<15:1>															1	uuuu uuuu uuuu uu1	
XBREV	0050	BREN	XB<14:0>															uuuu uuuu uuuu uuuu	
DISICNT	0052	—	—	DISICNT<13:0>															0000 0000 0000 0000
BSRAM	0750	—	—	—	—	—	—	—	—	—	—	—	—	—	IW_BSR	IR_BSR	RL_BSR	0000 0000 0000 0000	

凡例：u = 非初期化ビット

注：レジスタ ビット フィールドの説明は「dsPIC30F Family Reference Manual」(DS70046)を参照。

dsPIC30F1010/202X

ノート:

第4章 アドレス生成ユニット

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンス マニュアル」(DS70157)を参照して下さい。

dsPIC DSC は、X AGU と Y AGU という 2 つのアドレス生成ユニットを持っています。Y AGU は、DSP MAC クラスの命令だけのワードサイズのデータ読み出しをサポートします。dsPIC DSC AGU は 3 つのタイプのデータアドレッシングをサポートします。

- リニアアドレッシング
- モジュロ (巡回) アドレッシング
- ビット反転アドレッシング

リニアとモジュロ データ アドレッシング モードは、データ空間かプログラム空間に適用されます。ビット反転アドレッシングは、データ空間アドレスに適用されます。

4.1 命令のアドレッシングモード

表 4-1 に示すアドレッシングモードは、各命令の機能を果たすために最適化された基本のアドレッシングモードです。MAC クラスの命令に供給されるアドレッシングモードは、他の命令タイプと少々異なっています。

4.1.1 ファイル レジスタ命令

大部分のファイル レジスタ命令は、13 ビット長のアドレス フィールド (f) を使ってデータ メモリの最初の 8192 バイト (ニア データ空間) を直接アクセスします。大部分のファイル レジスタ命令は、作業レジスタとして、これらの命令では WREG として識別される W0 を使います。相手先は、通常同じファイルレジスタか、WREG (MUL 命令の例外を除いて) となり、そこにレジスタとしてか、レジスタ ペアとして結果を書き込みます。MOV 命令は、さらに柔軟で、全データ空間をアクセスできます。

表 4-1: サポートされる基本のアドレッシングモード

アドレッシングモード	説明
ファイル レジスタ直接	ファイル レジスタのアドレスで明示的に指定
レジスタ直接	レジスタの内容で直接アクセス
レジスタ間接	Wn の内容が EA となる
後置修飾レジスタ間接	Wn の内容が EA となる。Wn は後で定数修飾される (増し分か減分)
前置修飾レジスタ間接	Wn が先に符号付き定数修飾 (増し分か減分) されてから EA となる
レジスタ オフセット付きレジスタ間接	Wn と Wb の合計が EA となる
リテラル オフセット付きレジスタ間接	Wn とリテラルの合計が EA となる

4.1.2 MCU 命令

3つのオペランドのMCU命令は下記の形式です。

オペランド3 = オペランド1 < 関数 > オペランド2

ここでは、オペランド1は常に作業レジスタ（つまりアドレッシングモードはレジスタ直接のみ可）で、Wbとして参照されます。オペランド2は、Wレジスタかデータメモリから取り出すか、5ビットのリテラルとなります。結果の格納場所は、Wレジスタかデータメモリとなります。下記のアドレッシングモードがMCU命令でサポートされています。

- レジスタ直接
- レジスタ間接
- 後置修飾のレジスタ間接
- 前置修飾のレジスタ間接

5ビットまたは10ビットのリテラル

注: すべての命令が上記のアドレッシングモードをすべてサポートしているわけではありません。各命令がサポートするのは、これらのアドレッシングモードの一部です。

4.1.3 MOVE とアキュムレータ関連命令

MOVE命令とDSPのアキュムレータクラスの命令は、他の命令より大幅に柔軟なアドレッシングを提供します。大部分のMCU命令のアドレッシングをサポートすると共に、MOVEとアキュムレータ関連命令は、レジスタオフセット付きレジスタ間接アドレッシングおよびレジスタインデックスモードによる参照をサポートします。

注: MOV命令では、命令中の実行元EAと実行先EAのアドレッシングモードを異なるようにできます。ただし、4ビットのWbフィールド（レジスタオフセット）は実行元と先で共用されます（しかし、通常は一方でのみ使われます）。

まとめると、MOVEとアキュムレータ関連命令は、下記のアドレッシングモードがサポートされています。

- レジスタ直接
- レジスタ間接
- 後置修飾付きレジスタ間接
- 前置修飾付きレジスタ間接
- レジスタオフセット（インデックス）付きレジスタ間接
- リテラルオフセット付きレジスタ間接
- 8ビットリテラル
- 16ビットリテラル

注: すべての命令が上記のアドレッシングモードをすべてサポートしているわけではありません。各命令がサポートするのは、これらのアドレッシングモードの一部です。

4.1.4 MAC 命令

デュアルオペランドを持つDSP関連命令（CLR、ED、EDAC、MAC、MPY、MPY.N、MOV SAC、MSC）と、MAC命令と言われる命令は、単純化したアドレッシングモードを使って、レジスタ間接テーブルを介して効率的にデータポインタを扱えるようにしています。

2つのソースオペランドの先読み用のレジスタは、{W8、W9、W10、W11}の中のいずれかでなければなりません。データ読み出し時は、W8とW9は常にXRAGUを指し、W10とW11は常にYAGUを指しています。したがって、生成される実行アドレス（修飾前後）は、W8とW9はXデータ空間内、W10とW11はYデータ空間内のアドレスでなければなりません。

注: レジスタオフセット付きレジスタ間接アドレッシングモードは、W9(X空間)とW11(Y空間)でのみ有効です。

まとめると、MACクラスの命令では、下記のアドレッシングモードがサポートされています。

- レジスタ直接
- 後置定数2修飾レジスタ間接
- 後置定数4修飾レジスタ間接
- 後置定数6修飾レジスタ間接
- レジスタオフセット（インデックス）付きレジスタ間接

4.1.5 その他の命令

上記のような多くのアドレッシングモードの他に、いくつかの命令がいろいろなサイズのリテラル定数を使います。例えば、BRA（分岐）命令は、16ビットの符号付き定数を直接分岐先として使いますし、DISI命令は、14ビットの符号なし定数フィールドを使います。ADD Accのようないくつかの命令は、オペランドのソースか、結果がオペコード自身の中に含まれています。NOPなどのある動作では、オペランドは持っていません。

4.2 モジュロ アドレッシング

モジュロ アドレッシング モードは、ハードウェアを使用した巡回データ バッファを自動でサポートする手段です。この目的は、多くの典型的な DSP アルゴリズムで使われる密にループされたコードを実行する際に、ソフトウェアでデータ アドレス境界をチェックする必要をなくすことです。

モジュロ アドレッシングは、データまたはプログラム空間内で動作します (データ ポインタ機構は基本的に両方とも同じであるためです)。1 つの巡回バッファは、X データ空間 (これはまたプログラム空間にポインタ値を与えます。) および Y データ空間のどちらでもサポートされています。モジュロ アドレッシングはすべての W レジスタ ポインタで実行できます。しかし、W14 と W15 をモジュロ アドレッシングに使うことは推奨しません。これは、それぞれがスタック フレーム ポインタとスタック ポインタとして使われるためです。

一般的に、ある巡回バッファは 1 つの方向にだけで使われるように構成し、バッファの方向に基づいて、開始アドレス (増し分バッファの場合) か、終了アドレス (減分バッファの場合) のどちらかに制限されます。

この使用制限の唯一の例外は、2 の階乗倍の長さを持っているバッファの場合です。この場合のバッファは、開始と終了アドレスの制約を満たすので、どちらの方向にも使用可能です (つまり、境界チェックが上限と下限の両方のアドレス境界で正常に行われます)。

4.2.1 開始と終了アドレス

モジュロ アドレッシングの仕組みでは、開始と終了アドレスを、指定された 16 ビットのモジュロ バッファレジスタである XMODSRT、XMODEND、YMODSRT、YMODEND (表 3-3 参照) にロードする必要があります。

注: Y 空間のモジュロ アドレッシング用 EA の計算では、ワードサイズデータを前提としています (つまり EA の最下位ビットは常にクリアされます)。

巡回バッファの長さは直接指定されず、対応する開始と終了アドレスの差分で決定されます。巡回バッファの最大長は 32k ワード (64k バイト) となります。

4.2.2 W アドレス レジスタ選択方法

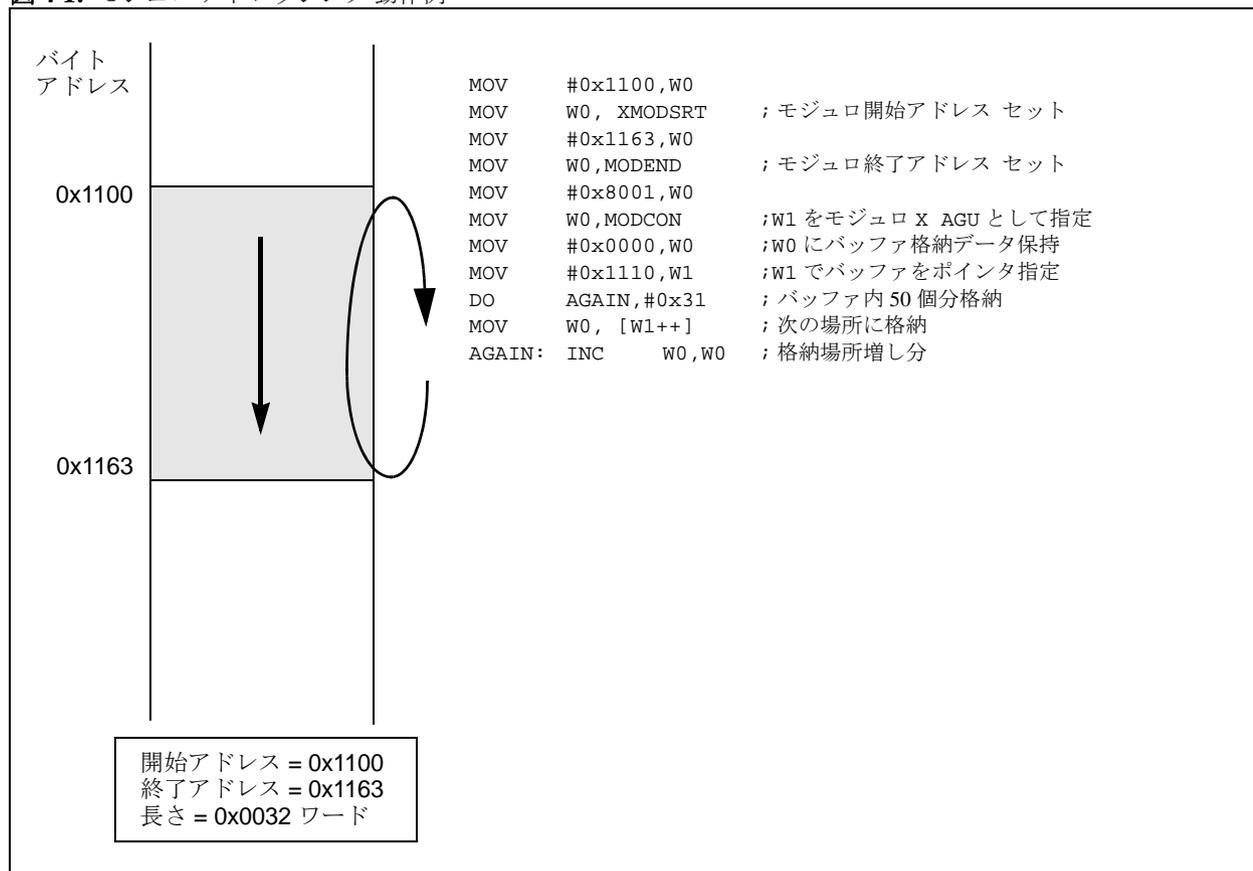
モジュロとビット反転アドレッシング制御用レジスタである MODCON<15:0> には、許可フラグと、W アドレス レジスタを決める W レジスタ フィールドがあります。XWM と YWM フィールドでモジュロ アドレッシング用のレジスタを選択します。XWM = 15 のときは、X RAGU と X WAGU のモジュロ アドレッシングは禁止されます。同様に YWM = 15 のときは、Y AGU モジュロ アドレッシングは禁止されます。

モジュロ アドレッシングに使う X アドレス空間ポインタ用 W レジスタ (XWM) は、MODCON<3:0> (表 3-3 参照) で指定されます。XWM に '15' 以外の値がセットされ、MODCON<15> の XMODEN ビットがセットされると、X データ空間のモジュロ アドレッシングが有効となります。

モジュロ アドレッシングに使う Y アドレス空間用ポインタ レジスタ (YWM) は、MODCON<7:4> で指定されます。そして YWM が '15' 以外の値にセットされ、MODCON<14> の YMODEN ビットがセットされると、Y データ空間のモジュロ アドレッシングが有効となります。

dsPIC30F1010/202X

図 4-1: モジュールアドレッシング動作例



4.2.3 モジュロ アドレッシングの適用法

モジュロ アドレッシングは、いずれかの W レジスタと関連して実効アドレス (EA) 計算に適用できます。アドレス境界テストは、上限アドレス (増分バッファのとき) か下限アドレス (減分バッファのとき) より小さいか、より大きいかでチェックすることであると認識することが重要です (等しいときではない)。したがって、アドレス変化は境界を越えることがあります、正しく調整されます。

注: モジュロ補正の実効アドレスは、実効アドレス計算に前置修飾か後置修飾のアドレッシングモードを使ったときのみレジスタに書き戻されます。アドレスオフセット (例えば [W7+W2]) を使った場合には、モジュロアドレス補正は動作はしますが、レジスタの内容は変わらず元のままです。

4.3 ビット反転アドレッシング

ビット反転アドレッシングは、radix-2 の FFT アルゴリズム用のデータ並び替えを容易にします。これは、X AGU のデータ書き込みのときのみサポートされます。

被修飾語は定数かレジスタ内容で、ビット並び順が反転されます。アドレス元と先は通常の並びが保たれます。したがって、反転にする必要があるオペランドのみが被修飾語です。

4.3.1 ビット反転アドレッシングの実装

ビット反転アドレッシングは下記手順で有効とされます。

1. MODCON レジスタ内の BWM ビット (W レジスタの選択) に '15' (スタックはビット反転アドレッシングではアクセスできません) 以外の任意の値をセットする。
2. XBREV レジスタの BREN ビットをセットする。
3. アドレッシングモードを前置修飾か後置修飾のレジスタ間接とする。

ビット反転バッファの長さが $M = 2^N$ バイトより小さいときは、データ バッファ開始アドレスの最後の「N」ビットはゼロとしなければなりません。

XB<14:0> は、ビット反転アドレッシング修飾子または「ピボットポイント」で、通常は定数です。FFT 計算の場合には、その値は FFT データ バッファ サイズの半分に等しくします。

注: すべてのビット反転時の EA 計算はワードサイズのデータを前提としています (すべての EA の最下位ビットは常時クリアされます)。XB の値は生成するアドレス (バイト) にしたがって補正されます。

ビット反転アドレッシングが有効になると、前置増し分または後置増し分アドレッシングでワードサイズデータの書き込みのみ実行されます。その他のアドレッシングモードまたはバイトサイズデータに対しては機能せず、通常アドレスが生成されます。

ビット反転アドレッシングが実行されると、W アドレスポインタは常にアドレス修飾子 (XB) に加算され、レジスタ間接アドレッシングモードに関連するオフセットは無視されます。さらに、ワードサイズデータが必須で、EA の最下位ビットは無視されます (常時クリアされます)。

注: モジュロアドレッシングとビット反転アドレッシングは同時に起動すべきではありません。ユーザーがそのように起動すると、ビット反転アドレッシングが X WAGU に対して優先され、X WAGU のモジュロアドレッシングは禁止されます。しかし、モジュロアドレッシングは X RAGU に対しては有効となります。

BREN (XBREV<15>) ビットが設定されて、ビット反転アドレッシングがすでに有効になっている場合、XBREV レジスタへの書き込みの後に、ビット反転アドレスポインタとして指定された W レジスタを使用した間接読み出し動作を行わないで下さい。

図 4-2: ビット反転アドレスの例

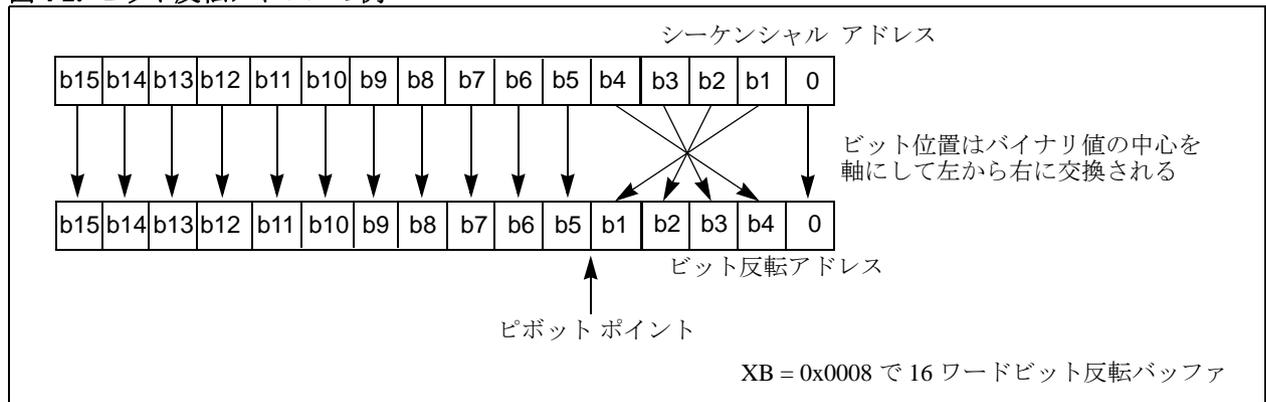


表 4-2: ビット反転アドレス シーケンス (16 エントリ)

通常 アドレス					ビット反転 アドレス				
A3	A2	A1	A0	10 進	A3	A2	A1	A0	10 進

dsPIC30F1010/202X

通常 アドレス					ビット反転 アドレス				
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	0	0	0	8
0	0	1	0	2	0	1	0	0	4
0	0	1	1	3	1	1	0	0	12
0	1	0	0	4	0	0	1	0	2
0	1	0	1	5	1	0	1	0	10
0	1	1	0	6	0	1	1	0	6
0	1	1	1	7	1	1	1	0	14
1	0	0	0	8	0	0	0	1	1
1	0	0	1	9	1	0	0	1	9
1	0	1	0	10	0	1	0	1	5
1	0	1	1	11	1	1	0	1	13
1	1	0	0	12	0	0	1	1	3
1	1	0	1	13	1	0	1	1	11
1	1	1	0	14	0	1	1	1	7
1	1	1	1	15	1	1	1	1	15

表 4-3: XBREV レジスタのビット反転アドレス用修飾値

バッファ サイズ (ワード)	XB<14:0> ビット反転修飾値 ⁽¹⁾
32768	0x4000
16384	0x2000
8192	0x1000
4096	0x0800
2048	0x0400
1024	0x0200
512	0x0100
256	0x0080
128	0x0040
64	0x0020
32	0x0010
16	0x0008
8	0x0004
4	0x0002
2	0x0001

注 1: 256 ワードより大きな修飾値は dsPIC30F1010/202X デバイスで有効なデータ メモリを超えます。

第5章 割り込み

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリリファレンスマニュアル」(DS70046)を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラム用リファレンスマニュアル」(DS70157)を参照して下さい。

dsPIC30F1010/202X デバイスは最大 35 個の割り込みソースと、4 個のプロセッサ例外 (トラップ) を持って、優先順位方式により調停されます。

CPU が割り込みベクタ テーブル (IVT) を読んで、その割り込みベクタをプログラム カウンタ (PC) に移すようにします。割り込みベクタは、プログラム データバスから 24 ビット幅のプログラム カウンタ入力マルチプレクサを介してプログラム カウンタに転送されます。

割り込みベクタテーブルと、代替割り込みベクタテーブル (AIVT) はプログラム メモリのはじめの方に (0x000004) 配置されています。IVT と AIVT を図 5-1 に示します。

割り込み制御部は、割り込みとプロセッサ例外の前処理をし、その後プロセッサ コアに渡します。周辺の割り込みとトラップは、集中化された特殊機能レジスタを使って有効化、優先順位づけ、制御が行われます。

- IFS0<15:0>, IFS1<15:0>, IFS2<15:0>
すべての割り込み要求フラグが 3 個のレジスタ内に保持されています。フラグは対応する周辺か外部信号によりセットされ、ソフトウェアでクリアされます。
- IEC0<15:0>, IEC1<15:0>, IEC2<15:0>
すべての割り込み有効化制御ビットが 3 個のレジスタに保持されています。これらの制御ビットは、周辺や外部信号による割り込みを個別に有効化制御するのに使われます。
- IPC0<15:0>... IPC11<7:0>
ユーザー設定可能な各割り込みごとの優先レベルは、12 個のレジスタに集中しています。
- IPL<3:0>
現状の CPU 優先レベルは、IPL ビットに格納されています。IPL<3> ビットは CORCON レジスタにあり、IPL<2:0> は、プロセッサ コアの STATUS レジスタ (SR) に格納されています。
- INTCON1<15:0>, INTCON2<15:0>
グローバルな割り込み制御機能は、この 2 個のレジスタで行われます。INTCON1 にはプロセッサ例外の制御とステータス フラグを含みます。INTCON2 レジスタは、外部割り込み要求の動作と代替ベクタ テーブルの制御をします。

- INTTREG レジスタは、関連する割り込みベクタ番号と新たな CPU の割り込み優先レベルを含み、それぞれ INTTREG レジスタのベクタ番号 (VECNUM<6:0>) と割り込みレベルビット (ILR<3:0>) にラッチされています。あらたな割り込み優先レベルとは割り込み処理中のものの優先のことです。

注: 割り込みフラグビットは、対応する割り込み有効化ビットに関わらず、割り込み条件が発生したときセットされます。ユーザー ソフトウェアで、割り込みを有効化する前に、対応する割り込みフラグを確実にクリアすべきです。

すべての割り込みソースは、1 から 7 の 7 個の優先レベルのいずれかに IPCx レジスタで割り当てできます。各割り込みソースには、図 5-1 のように割り込みベクタが割り当てられます。レベル 7 が最高、1 が最低のマスク可能な優先順位となります。

注: 割り込みソースの優先レベルを 0 にするということは、その割り込みを禁止することと同じです。

NSTDIS ビット (INTCON1<15>) がセットされると、多重割り込みが禁止されます。したがって、割り込みのサービス中は、続く割り込みは、たとえ新しい割り込みの方が現在処理中のものより優先順位が高くとも禁止となります。

注: NSTDIS ビットが「1」にセットされたら、常に IPL ビットは読み出し専用となります。

割り込みの中には、エッジレベルトリガ割り込みか、変化割り込みなどの機能用の特別な制御ビットを持っているものもあります。これらの機能の制御は、その割り込みを生成する周辺モジュールの中で行います。

DISI 命令は優先レベルが 6 以下の任意の割り込みの処理を、DISI ビット (INTCON2<14>) にセットされている間の命令実行時間だけ禁止するために使うことができます。

割り込みが受け付けられると、PC には、プログラム メモリ内のその割り込みに対応するベクタ位置に格納されているアドレスがロードされます。63 個の異なるベクタが IVT (図 5-1 参照) 内にあります。これらのベクタは、プログラム メモリの 0x000004 から 0x0000FE 番地にあります (図 5-1 参照)。この位置には 24 ビットのアドレスと、頑健さを維持するため、通常実行中に PC がこれらのワードをフェッチするとアドレス エラー トラップとなるようにします。これで、万一 PC がベクタ空間までデクリメントされたり、データ空間アドレスがベクタ空間にマッピングされたり、実装プログラム メモリ空間の最後まで行って PC が 0x000000 からローリングされたりして、ランダム データを実行してしまうことを防止します。このベクタ空間への GOTO 命令も、アドレス エラー トラップを発生します。

dsPIC30F1010/202X

5.1 割り込み優先順位

個々の割り込みごとのユーザー設定可能な割り込み優先レベルビット (IP<2:0>) は、IPCx レジスタの各ニブルの下位3ビットに配置されています。ニブルのビット3は、使われておらず、読むと「0」です。これらのビットにより、特定の割り込みの優先レベルをユーザーが定義できます。

注：ユーザーが選択可能な優先レベルは、最低レベルの0から、最高レベルの7までです。

1 つ以上の割り込み要求ソースに同じ優先レベルが割り当てられた場合、そのレベル内の優先順位も割り当てられる規則があります。この規則は「自然並び順」と呼ばれる確定したものです。

自然並び順は、割り込みベクタの位置で決まり、これが影響するのは、同じ優先レベルの多重割り込みが同時に起きた場合だけです。

表 5-1 に dsPIC DSC デバイスの割り込み番号と割り込みソースおよび対応する割り込みベクタ番号のリストを示します。

注 1: 自然並び順の方式は 0 が最高で 53 が最低レベルとなります。

2: 自然並び順優先番号は INT 番号と同じです。

ユーザーがどの割り込みにも 7 レベルの 1 つを割り当てできるということは、自然並び順では低い割り込みに最高位の優先レベルを割り当てできるということです。INT0 (外部割り込み 0) に、優先レベル 1 を割り当てれば、非常に低い影響の優先レベルとすることになります。

表 5-1: dsPIC30F1010/202X の
割り込みベクタ テーブル

INT 番号	ベクタ番号	割り込みソース
最高位の自然並び順優先順位		
0	8	INT0 – 外部割り込み 0
1	9	IC1 – 入力キャプチャ 1
2	10	OC1 – 出力コンペア 1
3	11	T1 – タイマ 1
4	12	予約
5	13	OC2 – 出力コンペア 2
6	14	T2 – タイマ 2
7	15	T3 – タイマ 3
8	16	SPI
9	17	U1RX – UART1 受信
10	18	U1TX – UART1 送信
11	19	ADC – ADC 変換完了
12	20	NVM – NVM 書き込み完了
13	21	SI2C – I ² C™ スレーブ イベント
14	22	MI2C – I ² C マスタ イベント
15	23	予約
16	24	INT1 – 外部割り込み 1
17	25	INT2 – 外部割り込み 2
18	26	PWM 特殊イベント トリガ
19	27	PWM ジェネレータ #1
20	28	PWM ジェネレータ #2
21	29	PWM ジェネレータ #3
22	30	PWM ジェネレータ #4
23	31	予約
24	32	予約
25	33	予約
26	34	予約
27	35	CN – 入力変化通知
28	36	予約
29	37	アナログコンパレータ 1
30	38	アナログコンパレータ 2
31	39	アナログコンパレータ 3
32	40	アナログコンパレータ 4
33	41	予約
34	42	予約
35	43	予約
36	44	予約
37	45	ADC ペア 0 変換終了
38	46	ADC ペア 1 変換終了
39	47	ADC ペア 2 変換終了
40	48	ADC ペア 3 変換終了
41	49	ADC ペア 4 変換終了
42	50	ADC ペア 5 変換終了
43	51	予約
44	52	予約
45-53	53-61	予約
最低位の自然並び順優先順位		

5.2 リセット シーケンス

リセットは、割り込みコントローラがリセットプロセス内では関わっていないため、真の例外ではありません。プロセッサは PC をゼロにするリセットに反応して、レジスタをクリアします。プロセッサは、その後、位置 0x000000 からプログラムの実行を開始します。プログラムメモリの最初には GOTO 命令を格納し、すぐ次に GOTO 命令の飛び先アドレスを格納します。プロセッサはそのアドレスの GOTO 命令を実行し、指定された (開始) アドレスの実行を開始します。

5.2.1 リセット ソース

外部リセットとパワーオンリセット (POR) に加え、6 個のエラー条件によるリセット ベクタに飛ぶトラップ ソースがあります。

- ウォッチ ドッグ タイマのタイムアウト
ウォッチ ドッグがタイムアウトしたということは、これ以上プロセッサが正常なコード実行ができないということです。
- 未初期化 W レジスタ トラップ
未初期化の W レジスタをアドレス ポインタとして使うとリセットとなります。
- 不正命令 トラップ
使われていないオペコードを実行すると不正命令 トラップとなります。不正命令がフェッチされても、その命令がフロー変更により実行前に消去されれば不正命令 トラップにはなりません。
- トラップ ロックアウト
複数のトラップ条件が同時に起きた場合はリセットとなります。

5.3 トラップ

トラップは、マスクできない割り込みと見なされ、ソフトウェアやハードウェア エラーを表します。これらは図 5-1 のように固定の優先度に割り付けられています。トラップは、デバッグやアプリケーション内での動作時に、誤った動作を訂正する方法をユーザーに提供することを目的としています。

注: トラップ エラー状態のとき、ユーザーが訂正動作をさせないのであれば、ベクタには RESET 命令だけの簡単なデフォルトのハンドラへのアドレスをロードしなければなりません。反対に、もしベクタに不正なアドレスが含まれているとアドレス エラー トラップが発生します。

これらのトラップ状態の多くは、それらが発生したときのみに検出可能であることに注意してください。その結果、トラップを発生する命令は、例外処理が始まる前に完了することになります。従ってユーザーは、このトラップを発生させた命令の実行結果を修正しなければなりません。

トラップ用にレベル 8 から 15 の 8 個の固定優先度のレベルがあり、トラップ処理中は IPL3 が常にセットされたままということになります。

ユーザーがトラップ処理中でないときに、IPL<3:0> ビットを「0111」(レベル 7) にセットすれば、すべての割り込みが禁止されますが、トラップは処理可能です。

5.3.1 トラップ 要因

以下のトラップが優先順位順に提供されます。ただし、すべてのトラップが多重可能なので優先順位はあまり大きな影響はありません。

算術エラー トラップ

以下の 4 つの条件により算術エラー トラップが発生します。

1. ゼロによる割り算をしようとすると、除算動作はサイクル境界で中断されトラップとなる。
2. アキュムレータ A か B の算術演算でビット 31 からのオーバーフローが発生し、アキュムレータ ガード ビットが使えないとき、有効化されていれば算術エラー トラップとなる。
3. アキュムレータ A か B の算術演算で、ビット 39 からの壊滅的なオーバーフローが発生し、すべての飽和が禁止されているとき、有効化されていれば算術エラー トラップとなる。
4. シフト命令で指定されたシフト数がシフト値の最大値より大きいとトラップとなる。

dsPIC30F1010/202X

アドレス エラー トラップ

下記条件でこのトラップが発生する。

1. 誤った配置のデータワードをアクセスしようとしたとき。
2. 実装されていないデータメモリをデータフェッチしようとしたとき。
3. 実装されていないプログラムメモリをデータアクセスしようとしたとき。
4. ベクタ空間を命令フェッチしようとしたとき。

注: MAC クラス命令では、データ空間は X と Y 空間に分割されています。これらの命令では、X 空間の未実装アクセスには Y 空間も含まれ、Y 空間の未実装アクセスには X 空間も含まれます。

5. 「BRA #literal」命令か「GOTO #literal」命令を、literal が未実装メモリアドレスで実行したとき。
6. PC が未実装プログラムメモリを指す値に変更されて命令を実行したとき。PC はスタック内の値に変更され、RETURN 命令を実行するようにされる。

スタック エラー トラップ

このトラップは、下記条件で起きます。

1. スタックポインタ、に SPLIM レジスタに書かれた制限値 (ユーザープログラマブル) を超える値がロードされたとき (スタックオーバーフロー)。
2. スタックポインタに 0x0800 より小さな値がロードされたとき (単純なスタックアンダーフロー)。

発振不良トラップ

このトラップは、外部発振が不良で、動作が内蔵 RC バックアップに切り替わったとき発生する。

5.3.2 ハードとソフトトラップ

同一サイクル内に複数のトラップがアクティブになることも可能です (例えば、配置が間違ったワードでスタックへの書き込みがオーバーフローアドレスの場合)。このような場合、図 5-1 に示す固定の優先順位で動作しますので、フォルトを完全に訂正するには、ユーザーが他のトラップの有無をチェックする必要があります。

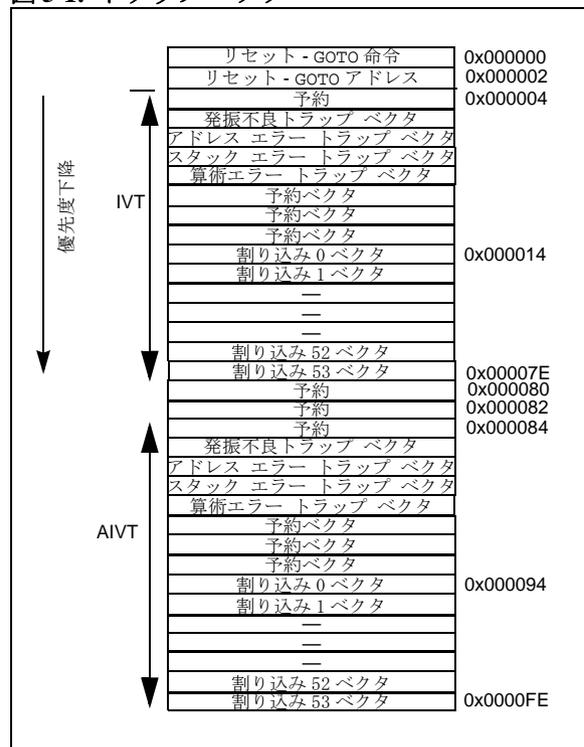
「ソフト」トラップには優先レベル 8 から 11 までの例外が含まれます。算術エラートラップ (レベル 11) はこのトラップに分類されます。

「ハード」トラップには、優先レベル 12 から 15 の例外が含まれます。アドレスエラー (レベル 12)、スタックエラー (レベル 13)、発振エラー (レベル 14) のトラップがこれに分類されます。

どのハードトラップもいかなる命令実行が継続される前に検知されなければなりません。低優先度のハードトラップが、より高い優先度のトラップ待ち中に検知され、処理されている間に発生したら、ハードトラップ衝突が起きます。

ハードトラップ衝突状態では、デバイスは自動的にリセットされます。このリセットが起きると TRAPR ステータスビット (RCON<15>) がセットされますので、ソフトウェアで検出できます。

図 5-1: トラップベクタ



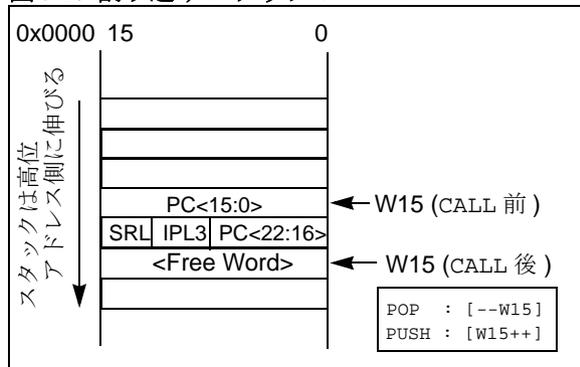
5.4 割り込みシーケンス

すべての割り込みイベントフラグは、各命令サイクルの初めでIFSxレジスタ内にサンプリングされます。待ち合わせ中の割り込み要求 (IRQ) は、IFSxレジスタ内のフラグビットの '1' により表されます。IRQは、割り込みイネーブル(IECx)レジスタ内の対応するビットがセットされている場合、割り込みを発生させます。IRQがサンプリングされた命令サイクルの残りの時間で、待ち合わせ中のすべての割り込み要求の優先度が評価されます。

IPLビットのプロセッサの現優先度より高い優先度のIRQが存在する場合は、プロセッサは割り込まれます。

すると、プロセッサは、図 5-2 のように、現在のプログラムカウンタとプロセッサの STATUS レジスタの下位バイトをソフトウェアスタックに保存します。STATUSレジスタの下位バイトには、割り込みサイクルが始まる前のプロセッサの優先レベルが含まれています。次にプロセッサは、今回の割り込みの優先レベルを STATUS レジスタにロードします。この動作により、割り込みサービスルーチン (ISR) が終了するまで、この優先度より低い優先度の割り込みをすべて禁止にします。

図 5-2: 割り込み スタック フレーム



注 1: ユーザーは SR レジスタに新たな値を書き込むことでいつでも優先度を下げることができます。割り込みサービスルーチンでは、プロセッサの割り込み優先度を下げる前に、再帰割り込みを避けるため、IFSxレジスタ内の割り込みフラグをクリアしなければなりません。

2: 割り込み処理中は、IPL3 ビット (CORCON<3>) は常にクリアされます。これは例外トラップ処理中だけセットされます。

RETFIE 命令 (割り込みから戻る) により、プログラムカウンタとステータスレジスタがスタックから戻され、割り込みシーケンス前の状態に戻ります。

5.5 代替ベクタ テーブル

図 5-1 に示すように、プログラムメモリには、IVTの後に AIVT が続いています。代替ベクタ テーブルへのアクセスは、INTCON2 レジスタの ALTIVT ビットにより与えられます。ALTIVT ビットがセットされると、すべての割り込みと例外処理は、デフォルトのベクトルではなく代替のベクトルを使用します。AIVT はデフォルトベクトルと同じように構成されます。AIVT は、割り込みベクトルを再プログラムせずに、アプリケーションとサポート環境の間をスイッチする方法を与えることにより、エミュレーションとデバッグ作業をサポートします。この特徴により、異なるソフトウェアアルゴリズムを評価するため、実行中にアプリケーションを切り替えることができます。

AIVT が不要であれば、IVT 内で使用されるプログラムメモリを他の目的に使うことができます。AIVT は保護セクションではないので、ユーザーが自由にプログラムできます。

5.6 高速コンテキスト退避

オプションでコンテキスト退避にシャドウレジスタを使えます。シャドウレジスタは、SR の DC、N、OV、C とレジスタ W0 から W3 までに提供されています。シャドウは 1 レベルだけです。シャドウレジスタは PUSH.S と POP.S 命令だけがアクセス可能です。

プロセッサに割り込みが入ったとき、PUSH.S 命令を使って、上記レジスタの現在値を対応するシャドウレジスタに格納します。

ある優先度の ISR が、PUSH.S と POP.S 命令を使って高速コンテキスト退避をしているときは、より高い優先度の ISR には同じ命令を使うべきではありません。ISR が高速コンテキスト退避を使っているとき、より低い優先度の割り込みは、キーレジスタをソフトウェアで保存しなければなりません。

5.7 外部割り込み要求

割り込みコントローラは、INT0 から INT2 の 3 個の外部割り込みをサポートしています。これらの入力、エッジ検知で、割り込み要求を生成するには、Low から High か、High から Low への遷移が必要です。INTCON2 レジスタには、INT0EP から INT2EP の 3 ビットがあり、エッジ検出回路の極性を選択します。

5.8 スリープまたはアイドルからのウェイクアップ

割り込みコントローラは、スリープかウェイクアップモードがアクティブの際に割り込みが発生したとき、プロセッサをスリープまたはアイドルからのウェイクアップするのにも使われます。

十分な優先度の有効な割り込みが割り込みコントローラから発生すると、プロセッサに標準の割り込みが発生します。同時に、プロセッサをスリープかアイドルからウェイクアップさせ、割り込み要求の処理に必要な割り込みサービスルーチンの実行を開始します。

dsPIC30F1010/202X

レジスタ 5-1: INTCON1: 割り込み制御レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBTE	COVTE
bit 15							bit 8

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
SFTACERR	DIV0ERR	—	MATHERR	ADDRERR	STKERR	OSCFAIL	—
bit 7							bit 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15 **NSTDIS:** 割り込みネスティング無効化ビット
 1 = 割り込みネスティングを無効とする
 0 = 割り込みネスティングを有効とする
- bit 14 **OVAERR:** アキュムレータ A オーバーフロー トラップ フラグ ビット
 1 = アキュムレータ A のオーバーフローでトラップが発生した
 0 = アキュムレータ A のオーバーフローでトラップは発生していない
- bit 13 **OVBERR:** アキュムレータ B オーバーフロー トラップ フラグ ビット
 1 = アキュムレータ B のオーバーフローでトラップが発生した
 0 = アキュムレータ B のオーバーフローでトラップは発生していない
- bit 12 **COVAERR:** アキュムレータ A の壊滅的オーバーフロー トラップ フラグ ビット
 1 = アキュムレータ A の壊滅的オーバーフローでトラップが発生した
 0 = アキュムレータ A の壊滅的オーバーフローでトラップは発生していない
- bit 11 **COVBERR:** アキュムレータ B の壊滅的オーバーフロー トラップ フラグ ビット
 1 = アキュムレータ B の壊滅的オーバーフローでトラップが発生した
 0 = アキュムレータ B の壊滅的オーバーフローでトラップは発生していない
- bit 10 **OVATE:** アキュムレータ A オーバーフロー トラップ有効化ビット
 1 = アキュムレータ A のオーバーフローをトラップする
 0 = トラップは無効
- bit 9 **OVBTE:** アキュムレータ B オーバーフロー トラップ有効化ビット
 1 = アキュムレータ B のオーバーフローをトラップする
 0 = トラップは無効
- bit 8 **COVTE:** 壊滅的オーバーフロートラップ有効化ビット
 1 = アキュムレータ A もしくは B の壊滅的オーバーフローをトラップする
 0 = トラップは無効
- bit 7 **SFTACERR:** アキュムレータ シフト エラー状態ビット
 1 = 不正なアキュムレータ シフトで算術エラー トラップが発生した
 0 = 不正なアキュムレータ シフトで算術エラー トラップは発生していない
- bit 6 **DIV0ERR:** 算術エラー状態ビット
 1 = ゼロ割で算術エラー トラップが発生した
 0 = ゼロ割の算術エラー トラップは発生していない
- bit 5 **未実装:** 読むと '0'
- bit 4 **MATHERR:** 算術エラー状態ビット
 1 = 算術エラーでトラップが発生した
 0 = 算術エラーでトラップは発生していない
- bit 3 **ADDRERR:** アドレス エラー トラップ状態ビット
 1 = アドレス エラー トラップが発生した
 0 = アドレス エラー トラップが発生していない

レジスタ 5-1: INTCON1: 割り込み制御レジスタ 1 (つづき)

- bit 2 **STKERR:** スタック エラー トラップ状態ビット
 1 = スタック エラー トラップが発生した
 0 = スタック エラー トラップが発生していない
- bit 1 **OSCFAIL:** 発振器不良トラップ状態ビット
 1 = 発振器不良トラップが発生した
 0 = 発振器不良トラップが発生していない
- bit 0 **未実装:** 読むと '0'

dsPIC30F1010/202X

レジスタ 5-2: INTCON2: 割り込み制御レジスタ 2

R/W-0	R-0	U-0	U-0	U-0	U-0	U-0	U-0
ALTIVT	DISI	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	INT2EP	INT1EP	INT0EP
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

- bit 15 **ALTIVT:** 代替割り込みベクタ テーブル有効化ビット
1 = 代替ベクタ テーブルを使用する
0 = 標準 (デフォルト) ベクタ テーブルを使用する
- bit 14 **DISI:** DISI 命令ステータ ビット
1 = DISI 命令が動作中である
0 = DISI は動作中ではない
- bit 13-3 **未実装:** 読むと '0'
- bit 2 **INT2EP:** 外部割り込み 2 エッジ検出極性選択ビット
1 = 立ち下がりエッジで割り込み発生
0 = 立ち上がりエッジで割り込み発生
- bit 1 **INT1EP:** 外部割り込み 1 エッジ検出極性選択ビット
1 = 立ち下がりエッジで割り込み発生
0 = 立ち上がりエッジで割り込み発生
- bit 0 **INT0EP:** 外部割り込み 0 エッジ検出極性選択ビット
1 = 立ち下がりエッジで割り込み発生
0 = 立ち上がりエッジで割り込み発生

レジスタ 5-3: IFS0: 割り込みフラグ ステータス レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	MI2CIF	SI2CIF	NVMIF	ADIF	UITXIF	UIRXIF	SPI1IF
bit 15							bit 8
R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
T3IF	T2IF	OC2IF	—	T1IF	OC1IF	IC1IF	INT0IF
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

- bit 15 **未実装:** 読むと '0'
- bit 14 **MI2CIF:** I²C マスタ イベント割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 13 **SI2CIF:** I²C スレーブ イベント割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 12 **NVMIF:** 不揮発メモリ割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 11 **ADIF:** ADC 変換完了割り込みフラグステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 10 **UITXIF:** UART1 送信割り込みフラグステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 9 **UIRXIF:** UART1 受信割り込みフラグステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 8 **SPI1IF:** SPI1 イベント割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 7 **T3IF:** タイマ3 割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 6 **T2IF:** タイマ2 割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 5 **OC2IF:** 出力コンペア チャネル2 割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 4 **未実装:** 読むと '0'
- bit 3 **T1IF:** タイマ1 割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

dsPIC30F1010/202X

レジスタ 5-3: IFS0: 割り込みフラグ ステータス レジスタ 0 (つづき)

- bit 2 **OC1IF:** 出力コンペア チャネル 1 割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 1 **IC1IF:** 入力キャプチャ チャネル 1 割り込みフラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない
- bit 0 **INT0IF:** 外部割り込み 0 フラグ ステータス ビット
1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

レジスタ 5-4: IFS1: 割り込みフラグ ステータス レジスタ 1

R/W-0	R/W-0	R/W-0	U-0	R/W-0	U-0	U-0	U-0
AC3IF	AC2IF	AC1IF	—	CNIF	—	—	—
bit 15							bit 8

U-0	R/W-0						
—	PWM4IF	PWM3IF	PWM2IF	PWM1IF	PSEMIF	INT2IF	INT1IF
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

- bit 15 **AC3IF:** アナログ コンパレータ #3 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 14 **AC2IF:** アナログ コンパレータ #2 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 13 **AC1IF:** アナログ コンパレータ #1 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 12 **未実装:** 読むと '0'
- bit 11 **CNIF:** 入力変化通知割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 10-7 **未実装:** 読むと '0'
- bit 6 **PWM4IF:** パルス幅変調ジェネレータ #4 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 5 **PWM3IF:** パルス幅変調ジェネレータ #3 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 4 **PWM2IF:** パルス幅変調ジェネレータ #2 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 3 **PWM1IF:** パルス幅変調ジェネレータ #1 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 2 **PSEMIF:** PWM 特殊イベント一致 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 1 **INT2IF:** 外部割り込み 2 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない
- bit 0 **INT1IF:** 外部割り込み 1 割り込みフラグ ステータス ビット
 1 = 割り込み要求が発生している
 0 = 割り込み要求は発生していない

dsPIC30F1010/202X

レジスタ 5-5: IFS2: 割り込み フラグ ステータス レジスタ 2

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-00	R/W-0
—	—	—	—	—	ADCP5IF	ADCP4IF	ADCP3IF
bit 15					bit 8		

R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	R/W-0
ADCP2IF	ADCP1IF	ADCP0IF	—	—	—	—	AC4IF
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15-11 未実装: 読むと '0'

bit 10 **ADCP5IF:** ADC ペア 5 変換終了割り込みフラグ ステータス ビット

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

bit 9 **ADCP4IF:** ADC ペア 4 変換終了割り込みフラグ ステータス ビット
Interrupt Flag Status bit

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

bit 8 **ADCP3IF:** ADC ペア 3 変換終了 割り込みフラグ ステータス ビット

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

bit 7 **ADCP2IF:** ADC ペア 2 変換終了 割り込みフラグ ステータス ビット

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

bit 6 **ADCP1IF:** ADC ペア 1 変換終了割り込みフラグ ステータス ビット

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

bit 5 **ADCP0IF:** ADC ペア 0 変換終了割り込みフラグ ステータス ビット

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

bit 4-1 未実装: 読むと '0'

bit 0 **AC4IF:** アナログ コンパレータ #4 割り込みフラグ ステータス ビット

1 = 割り込み要求が発生している
0 = 割り込み要求は発生していない

レジスタ 5-6: IEC0: 割り込み有効化制御レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	MI2CIE	SI2CIE	NVMIE	ADIE	U1TXIE	U1RXIE	SPI1IE
bit 15							bit 8
R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
T3IE	T2IE	OC2IE	—	T1IE	OC1IE	IC1IE	INT0IE
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

- bit 15 **未実装:** 読むと '0'
- bit 14 **MI2CIE:** I²C マスタイベント割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 13 **SI2CIE:** I²C スレーブ イベント割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 12 **NVMIE:** 不揮発メモリ割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 11 **ADIE:** ADC 変換終了割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 10 **U1TXIE:** UART1 送信割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 9 **U1RXIE:** UART1 受信割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 8 **SPI1IE:** SPI1 イベント 割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 7 **T3IE:** タイマ 3 割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 6 **T2IE:** タイマ 2 割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 5 **OC2IE:** 出力コンペア チャンネル 2 割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 4 **未実装:** 読むと '0'
- bit 3 **T1IE:** タイマ 1 割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

dsPIC30F1010/202X

レジスタ 5-6: IEC0: 割り込み有効化制御レジスタ 0 (つづき)

- bit 2 **OC1IE:** 出力コンペア チャネル 1 割り込み有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 1 **IC1IE:** 入力キャプチャ チャネル 1 割り込み有効化有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない
- bit 0 **INT0IE:** 外部割り込み 0 有効化ビット
1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

レジスタ 5-7: IEC1: 割り込み有効化制御レジスタ 1

R/W-0	R/W-0	R/W-0	U-0	R/W-0	U-0	U-0	U-0
AC3IE	AC2IE	AC1IE	—	CNIE	—	—	—
bit 15							bit 8

U-0	R/W-0						
—	PWM4IE	PWM3IE	PWM2IE	PWM1IE	PSEMIE	INT2IE	INT1IE
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15 **AC3IE:** アナログ コンパレータ #3 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 14 **AC2IE:** アナログ コンパレータ #2 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 13 **AC1IE:** アナログ コンパレータ #1 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 12 **未実装:** 読むと '0'

bit 11 **CNIE:** 入力変化通知割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 10-7 **未実装:** 読むと '0'

bit 6 **PWM4IE:** パルス幅変調ジェネレータ #4 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 5 **PWM3IE:** パルス幅変調ジェネレータ #3 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 4 **PWM2IE:** パルス幅変調ジェネレータ #2 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 3 **PWM1IE:** パルス幅変調ジェネレータ #1 割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 2 **PSEMIE:** PWM 特殊イベント一致割り込み有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 1 **INT2IE:** 外部割り込み 2 有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

bit 0 **INT1IE:** 外部割り込み 1 有効化ビット

1 = 割り込み要求を有効化する
0 = 割り込み要求を有効化しない

dsPIC30F1010/202X

レジスタ 5-8: IEC2: 割り込み有効化制御レジスタ 2

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	ADCP5IE	ADCP4IE	ADCP3IE
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	R/W-0
ADCP2IE	ADCP1IE	ADCP0IE	—	—	—	—	AC4IE
bit 7						bit 0	

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15-11 **未実装:** 読むと '0'
- bit 10 **ADCP5IE:** ADC ペア 5 変換終了割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない
- bit 9 **ADCP4IE:** ADC ペア 4 変換終了割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない
- bit 8 **ADCP3IE:** ADC ペア 3 変換終了割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない
- bit 7 **ADCP2IE:** ADC ペア 2 変換終了割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない
- bit 6 **ADCP1IE:** ADC ペア 1 変換終了割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない
- bit 5 **ADCP0IE:** ADC ペア 0 変換終了割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない
- bit 4-1 **未実装:** 読むと '0'
- bit 0 **AC4IE:** アナログ コンパレータ #4 割り込み有効化ビット
 1 = 割り込み要求を有効化する
 0 = 割り込み要求を有効化しない

レジスタ 5-9: IPC0: 割り込み優先順位制御レジスタ 0

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T1IP<2:0>			—	OC1IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC1IP<2:0>			—	INT0IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = POR 時の値	'1' = セット	'0' = クリア
		x = 不定

bit 15 未実装: 読むと '0'

bit 14-12 **T1IP<2:0>**: タイマ 1 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 11 未実装: 読むと '0'

bit 10-8 **OC1IP<2:0>**: 出力コンペア チャネル 1 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 未実装: 読むと '0'

bit 6-4 **IC1IP<2:0>**: 入力キャプチャ チャネル 1 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3 未実装: 読むと '0'

bit 2-0 **INT0IP<2:0>**: 外部割り込み 0 優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

dsPIC30F1010/202X

レジスタ 5-10: IPC1: 割り込み優先順位制御レジスタ 1

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T3IP<2:0>			—	T2IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	OC2IP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

bit 15 **未実装:** 読むと '0'

bit 14-12 **T3IP<2:0>:** タイマ 3 割り込み優先順位ビット
 111 = 割り込み優先順位 7 (最高位割り込み)
 •
 •
 •
 001 = 割り込み優先順位 1
 000 = 割り込み要因禁止

bit 11 **未実装:** 読むと '0'

bit 10-8 **T2IP<2:0>:** タイマ 2 割り込み優先順位ビット
 111 = 割り込み優先順位 7 (最高位割り込み)
 •
 •
 •
 001 = 割り込み優先順位 1
 000 = 割り込み要因禁止

bit 7 **未実装:** 読むと '0'

bit 6-4 **OC2IP<2:0>:** 出力コンペア チャネル 2 割り込み優先順位ビット
 111 = 割り込み優先順位 7 (最高位割り込み)
 •
 •
 •
 001 = 割り込み優先順位 1
 000 = 割り込み要因禁止

bit 3-0 **未実装:** 読むと '0'

レジスタ 5-11: IPC2: 割り込み優先順位制御レジスタ 2

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	ADIP<2:0>			—	UITXIP<2:0>		
bit 15							bit 8

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	U1RXIP<2:0>			—	SPI1IP<2:0>		
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15 未実装: 読むと '0'

bit 14-12 **ADIP<2:0>**: ADC 変換完了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 11 未実装: 読むと '0'

bit 10-8 **UITXIP<2:0>**: UART1 送信割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 未実装: 読むと '0'

bit 6-4 **U1RXIP<2:0>**: UART1 受信割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3 未実装: 読むと '0'

bit 2-0 **SPI1IP<2:0>**: SPI1 イベント割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

dsPIC30F1010/202X

レジスタ 5-12: IPC3: 割り込み優先順位制御レジスタ 3

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	MI2CIP<2:0>		
bit 15					bit 8		

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	SI2CIP<2:0>			—	NVMIP<2:0>		
bit 7					bit 0		

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15-11 **未実装:** 読むと '0'

bit 10-8 **MI2CIP<2:0>:** I²C マスタ イベント割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 **未実装:** 読むと '0'

bit 6-4 **SI2CIP<2:0>:** I²C スレーブ イベント割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3 **未実装:** 読むと '0'

bit 2-0 **NVMIP<2:0>:** 不揮発メモリ割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

レジスタ 5-13: IPC4: 割り込み優先順位制御レジスタ 4

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	PWM1IP<2:0>			—	PSEMIP<2:0>		
bit 15							bit 8

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	INT2IP<2:0>			—	INT1IP<2:0>		
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15 未実装: 読むと '0'

bit 14-12 **PWM1IP<2:0>**: PWM ジェネレータ #1 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 11 未実装: 読むと '0'

bit 10-8 **PSEMIP<2:0>**: PWM 特殊イベント一致優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 未実装: 読むと '0'

bit 6-4 **INT2IP<2:0>**: 外部割り込み 2 優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3 未実装: 読むと '0'

bit 2-0 **INT1IP<2:0>**: 外部割り込み 1 優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•

•

•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

dsPIC30F1010/202X

レジスタ 5-14: IPC5: 割り込み優先順位制御レジスタ 5

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	PWM4IP<2:0>		
bit 15					bit 8		

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	PWM3IP<2:0>			—	PWM2IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15-11 **未実装:** 読むと '0'

bit 10-8 **PWM4IP<2:0>:** PWM ジェネレータ #4 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 **未実装:** 読むと '0'

bit 6-4 **PWM3IP<2:0>:** PWM ジェネレータ #3 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3 **未実装:** 読むと '0'

bit 2-0 **PWM2IP<2:0>:** PWM ジェネレータ #2 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

レジスタ 5-15: IPC6: 割り込み優先順位制御レジスタ 6

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	CNIP<2:0>			—	—	—	—
bit 15				bit 8			

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15 未実装: 読むと '0'

bit 14-12 **CNIP<2:0>**: 変化通知割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 11-0 未実装: 読むと '0'

dsPIC30F1010/202X

レジスタ 5-16: IPC7: 割り込み優先順位制御レジスタ 7

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	AC3IP<2:0>			—	AC2IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	AC1IP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15 **未実装**: 読むと '0'
- bit 14-12 **AC3IP<2:0>**: アナログ コンパレータ 3 割り込み優先順位ビット
 111 = 割り込み優先順位 7 (最高位割り込み)
 •
 •
 •
 001 = 割り込み優先順位 1
 000 = 割り込み要因禁止
- bit 11 **未実装**: 読むと '0'
- bit 10-8 **AC2IP<2:0>**: アナログ コンパレータ 2 割り込み優先順位ビット
 111 = 割り込み優先順位 7 (最高位割り込み)
 •
 •
 •
 001 = 割り込み優先順位 1
 000 = 割り込み要因禁止
- bit 7 **未実装**: 読むと '0'
- bit 6-4 **AC1IP<2:0>**: アナログ コンパレータ 1 割り込み優先順位ビット
 111 = 割り込み優先順位 7 (最高位割り込み)
 •
 •
 •
 001 = 割り込み優先順位 1
 000 = 割り込み要因禁止
- bit 3-0 **未実装**: 読むと '0'

レジスタ 5-17: IPC8: 割り込み優先順位制御レジスタ 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	AC4IP<2:0>		
bit 7					bit 0		

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15-3 **未実装**: 読むと '0'

bit 2-0 **AC4IP<2:0>**: アナログ コンパレータ 4 割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

-
-
-

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

dsPIC30F1010/202X

レジスタ 5-18: IPC9: 割り込み優先順位制御レジスタ 9

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	ADCP2IP<2:0>			—	ADCP1IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	ADCP0IP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15 **未実装:** 読むと '0'

bit 14-12 **ADCP2IP<2:0>:** ADC ペア 2 変換終了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 11 **未実装:** 読むと '0'

bit 10-8 **ADCP1IP<2:0>:** ADC ペア 1 変換終了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 **未実装:** 読むと '0'

bit 6-4 **ADCP0IP<2:0>:** ADC ペア 0 変換終了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3-0 **未実装:** 読むと '0'

レジスタ 5-19: IPC10: 割り込み優先順位制御レジスタ 10

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	ADCP5IP<2:0>		
bit 15					bit 8		

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	ADCP4IP<2:0>			—	ADCP3IP<2:0>		
bit 7					bit 0		

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 15-11 未実装: 読むと '0'

bit 10 - 8 **ADCP5IP<2:0>**: ADC ペア 5 変換終了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 7 未実装: 読むと '0'

bit 6-4 **ADCP4IP<2:0>**: ADC ペア 4 変換終了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

bit 3 未実装: 読むと '0'

bit 2-0 **ADCP3IP<2:0>**: ADC ペア 3 変換終了割り込み優先順位ビット

111 = 割り込み優先順位 7 (最高位割り込み)

•
•
•

001 = 割り込み優先順位 1

000 = 割り込み要因禁止

dsPIC30F1010/202X

レジスタ 5-20: INTTREG: 割り込み制御およびステータス レジスタ

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	ILR<3:0>			
bit 15				bit 8			

U-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
—	VECNUM<6:0>						
bit 7							bit 0

凡例:

R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = POR 時の値	'1' = セット	'0' = クリア
		x = 不定

bit 15-12 **未実装:** 読むと '0'

bit 11-8 **ILR:** 新しい CPU 割り込み優先レベルビット
 1111 = CPU 割り込み優先レベルを 15 とする
 •
 •
 •
 0001 = CPU 割り込み優先レベルを 1 にする
 0000 = CPU 割り込み優先レベルを 0 にする

bit 7 **未実装:** 読むと '0'

bit 6-0 **VECNUM:** 待ち中割り込みのベクタ番号ビット
 0111111 = 待ち中割り込みベクタ番号は 135
 •
 •
 •
 0000001 = 待ち中割り込みベクタは 9
 0000000 = 待ち中割り込みベクタは 8

表 5-2: 割り込みコントローラ関連レジスタ マップ

SFR Name	ADR	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
INTCON1	0080	NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBTE	COVTE	SFTACERR	DIV0ERR	—	MATHERR	ADDRERR	STKERR	OSCFAIL	—	0000 0000 0000 0000
INTCON2	0082	ALTIPT	DISI	—	—	—	—	—	—	—	—	—	—	—	INT2EP	INT1EP	INT0EP	0000 0000 0000 0000
IFS0	0084	—	MI2CIF	SI2CIF	NVMIF	ADIF	U1TXIF	U1RXIF	SPI1IF	T3IF	T2IF	OC2IF	—	T1IF	OC1IF	IC1IF	INT0IF	0000 0000 0000 0000
IFS1	0086	AC3IF	AC2IF	AC1IF	—	CNIF	—	—	—	—	PWM4IF	PWM3IF	PWM2IF	PWM1IF	PSEMIF	INT2IF	INT1IF	0000 0000 0000 0000
IFS2	0088	—	—	—	—	—	ADCP5IF	ADCP4IF	ADCP3IF	ADCP2IF	ADCP1IF	ADCP0IF	—	—	—	—	AC4IF	0000 0000 0000 0000
IEC0	0094	—	MI2CIE	SI2CIE	NVMIE	ADIE	U1TXIE	U1RXIE	SPI1IE	T3IE	T2IE	OC2IE	—	T1IE	OC1IE	IC1IE	INT0IE	0000 0000 0000 0000
IEC1	0096	AC3IE	AC2IE	AC1IE	—	CNIE	—	—	—	—	PWM4IE	PWM3IE	PWM2IE	PWM1IE	PSEMIE	INT2IE	INT1IE	0000 0000 0000 0000
IEC2	0098	—	—	—	—	—	ADCP5IE	ADCP4IE	ADCP3IE	ADCP2IE	ADCP1IE	ADCP0IE	—	—	—	—	AC4IE	0000 0000 0000 0000
IPC0	00A4	—	T1IP<2:0>			—	OC1IP<2:0>			—	IC1IP<2:0>			—	INT0IP<2:0>			0100 0100 0100 0100
IPC1	00A6	—	T3IP<2:0>			—	T2IP<2:0>			—	OC2IP<2:0>			—	—	—	—	0100 0100 0100 0000
IPC2	00A8	—	ADIP<2:0>			—	U1TXIP<2:0>			—	U1RXIP<2:0>			—	SPI1IP<2:0>			0100 0100 0100 0100
IPC3	00AA	—	—	—	—	—	MI2CIP<2:0>			—	SI2CIP<2:0>			—	NVMIP<2:0>			0000 0100 0100 0100
IPC4	00AC	—	PWM1IP<2:0>			—	PSEMIP<2:0>			—	INT2IP<2:0>			—	INT1IP<2:0>			0100 0100 0100 0100
IPC5	00AE	—	—	—	—	—	PWM4IP<2:0>			—	PWM3IP<2:0>			—	PWM2IP<2:0>			0000 0100 0100 0100
IPC6	00B0	—	CNIP<2:0>			—	—	—	—	—	—	—	—	—	—	—	—	0100 0000 0000 0000
IPC7	00B2	—	AC3IP<2:0>			—	AC2IP<2:0>			—	AC1IP<2:0>			—	—	—	—	0100 0100 0100 0000
IPC8	00B4	—	—	—	—	—	—	—	—	—	—	—	—	—	AC4IP<2:0>			0000 0000 0000 0100
IPC9	00B6	—	ADCP2IP<2:0>			—	ADCP1IP<2:0>			—	ADCP0IP<2:0>			—	—	—	—	0100 0100 0100 0000
IPC10	00B8	—	—	—	—	—	ADCP5IP<2:0>			—	ADCP4IP<2:0>			—	ADCP3IP<2:0>			0000 0100 0100 0100
INTTREG	00E0	—	—	—	—	ILR<3:0>				—	VECNUM<6:0>						0000 0000 0000 0000	

注: レジスタ ビット フィールドの説明は「dsPIC30F/33F Family Reference Manual」(DS70157)を参照。

dsPIC30F1010/202X

ノート:

第 6 章 I/O ポート

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046) を参照して下さい。

デバイスピンのすべて (VDD、VSS、MCLR、OSC1/CLKIN を除く) は周辺モジュールとパラレル I/O ポート間で共有されます。

すべての I/O 入力ポートはノイズ耐性をよくするため、シュミットトリガ特性となっています。

6.1 パラレル I/O (PIO) ポート

周辺モジュールが有効化され、対応するピンをアクティブに駆動すると、汎用出力ピンとしての使い方は無効化されます。I/O ピンを読むことはできますが、パラレルポートとしての出力ドライバは無効化されません。周辺が有効化されても、その周辺がピンをアクティブに駆動しなければ、ピンはポートとして駆動できます。

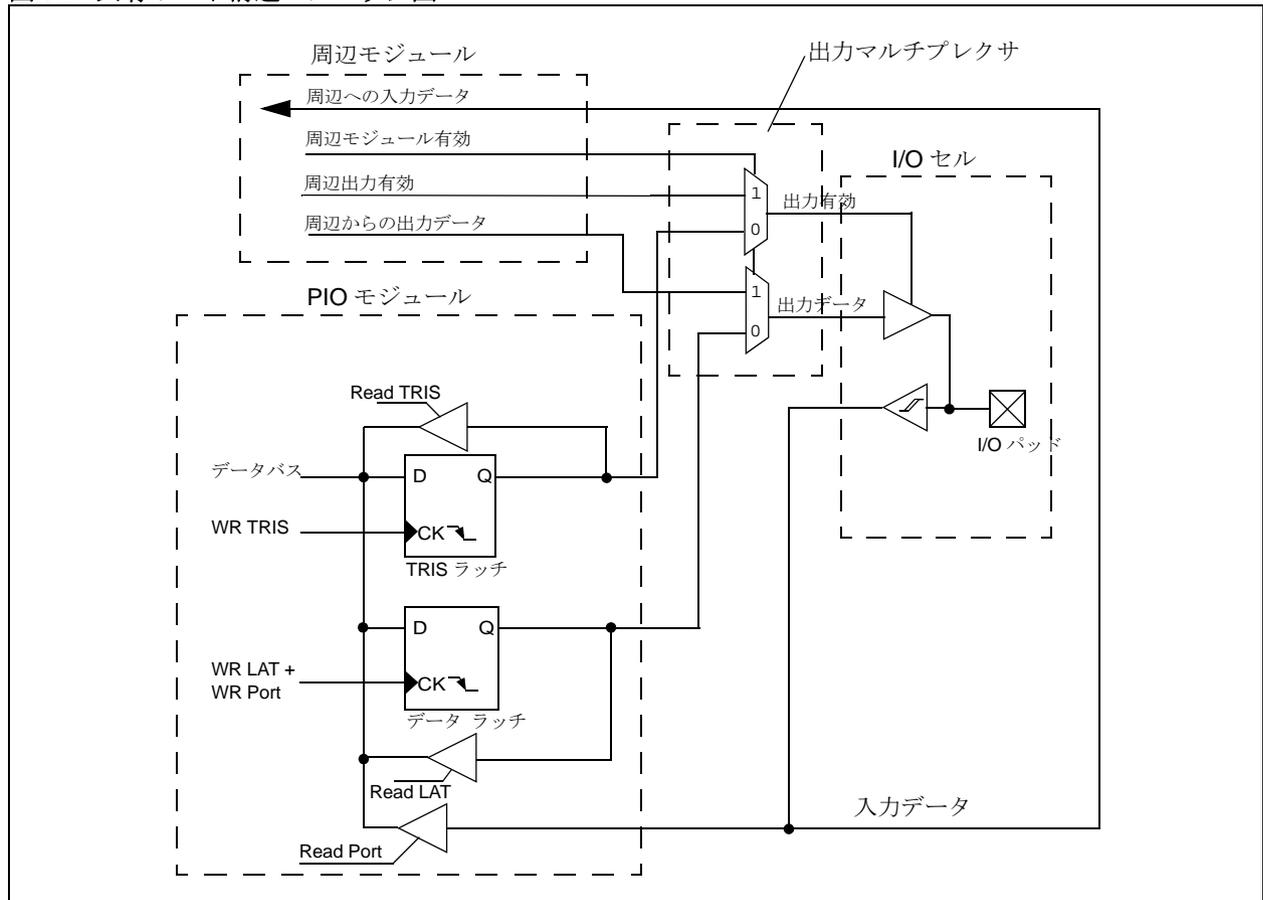
すべてのポートピンがデジタル I/O として動作するとき 3 つのレジスタが直接関係します。データ方向レジスタ (TRISx) は、そのピンが入力か出力かを決めます。データ方向ビットが '1' の場合、そのピンは入力になります。すべてのピンがリセット後は入力として定

義されます。ラッチ (LATx) を読むとラッチを読み出します。ラッチに書くとラッチ (LATx) に書き込みます。ポート (PORTx) を読むとポートピンを読み込みますが、ポートピンに書くとラッチ (LATx) に書き込みます。

すべてのビットとそれに対応するデータや制御ビットは、使用するデバイスにないときには無効化されます。これはすなわち、対応する LATx や TRISx レジスタ、ポートピンを読み込むとゼロになることを意味します。ピンが入力のみと定義された他の周辺や機能と共用されたときは、他に競合する出力元がないため専用のポートとして扱われます。

パラレル I/O ポートは周辺モジュールと共用され、一般的に周辺モジュールに従属します。周辺モジュールの出力バッファデータと制御信号がマルチプレクサの組に供給されます。マルチプレクサが周辺モジュールと対応するポートのいずれを選択するかは、I/O パッドセルの出力データと制御信号がどちらに属するかによります。また、このロジックは、ポートのデジタル出力が、同じピンを共用する周辺の入力を駆動するという回り込みを防止するようになっています。図 6-1 にポートがどのように接続されて、他の周辺モジュールと対応 I/O セル (パッド) が共用されているかを示しています。表 6-1 と表 6-2 は、それぞれ dsPIC30F1010/2020 の PORTA から PORTF、dsPIC30F2023 デバイスの PORTA から PORTG の共有ポートのレジスタフォーマットを示しています。

図 6-1: 共有ポート構造のブロック図



6.2 アナログポートピンの構成

ADxPCFG と TRIS レジスタを使うことで、A/D ポートピンを制御できます。アナログ入力ピンとしたいポートピンは、対応する TRIS ビットをセット（入力）にしなければなりません。TRIS ビットがクリア（出力）されると、デジタル出力レベル (VOH か VOL) が変換されます。

ADxPCFGH か ADxPCFGL レジスタのいずれかのビットをクリアすると、対応するビットはアナログピンに構成されます。また、アナログ機能 (ANx) が共用されているときは、すべての I/O ピンがリセット状態でアナログとなります。

アナログ入力チャネルとして構成されたピンは、いずれも PORT レジスタを読むとクリア状態 (Low レベル) として読み出されます。

デジタル入力ピンとして構成されたピンは、アナログ入力変換はしません。デジタル入力 (ANx ピンを含めて) として定義されたピンへのアナログレベルは、入力バッファがデバイス仕様を超えた電流を消費する原因となります。

6.2.1 I/O ポートの読み書きのタイミング

同一ポートのポート方向変更、ポート書き込み動作、ポート読み出し動作の間には 1 命令サイクルが必要です。通常この命令には NOP を使います。

例 6-1: ポート読み書き例

```
MOV 0xFF00, W0; Configure PORTB<15:8>  
    ; as inputs  
MOV W0, TRISBB; and PORTB<7:0> as outputs  
NOP    ; Delay 1 cycle  
BTSS PORTB, #13; Next Instruction
```

6.3 入力変化通知

I/O ポートの入力変化通知機能は、dsPIC30F1010/202X デバイスが選択した入力ピンの状態変化に対応して、プロセッサに割り込みを生成します。この機能はスリープモード中でクロックが停止中でも有効で、入力状態変化を検知することができます。状態変化時に割り込み要求を生成するよう選択（有効化）できるピンは 8 外部信号 (CN0 から CN7) まであります。

CN モジュールに関連する制御レジスタは 2 個あります。CNEN1 レジスタには、各 CN 入力ピンの CN 割り込み有効化制御ビット (CNxIE) を含んでいます。これらのいずれかのビットをセットすると、対応するピンの CN 割り込みが有効化されます。

また、各 CN ピンには弱プルアップが接続されています。プルアップはピンに接続された電流源となるため、プッシュボタンやキーパッドデバイスを接続する場合の外付け抵抗を削減できます。プルアップは、CNPU1 レジスタに含まれている各 CN ピン用の弱プルアップ有効化ビット (CNxPUE) で独立に制御できます。この制御ビットのいずれかをセットすると、対応するピンのプルアップを有効化します。

注: 変化通知ピンのプルアップは、ポートがデジタル出力に構成された場合は、常に無効として下さい。

表 6-1: dsPIC30F1010/2020 ポートレジスタマップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
TRISA	02C0	—	—	—	—	—	—	TRISA9	—	—	—	—	—	—	—	—	—	0000 0010 0000 0000
PORTA	02C2	—	—	—	—	—	—	RA9	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
LATA	02C4	—	—	—	—	—	—	LAT9	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000
TRISB	02C6	—	—	—	—	—	—	—	—	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	0000 0000 0011 1111
PORTB	02C8	—	—	—	—	—	—	—	—	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	0000 0000 0000 0000
LATB	02CA	—	—	—	—	—	—	—	—	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	0000 0000 0000 0000
TRISD	02D2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRISD0	0000 0000 0000 0001
PORTD	02D4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RD0	0000 0000 0000 0000
LATD	02D6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LATD0	0000 0000 0000 0000
TRISE	02D8	—	—	—	—	—	—	—	—	TRSE7	TRSE6	TRISE5	TRISE4	TRISE3	TRISE2	TRISE1	TRISE0	0000 0000 1111 1111
PORTE	02DA	—	—	—	—	—	—	—	—	RE7	RE6	RE5	RE4	RE3	RE2	RE1	RE0	0000 0000 0000 0000
LATE	02DC	—	—	—	—	—	—	—	—	LATE7	LATE6	LATE5	LATE4	LATE3	LATE2	LATE1	LATE0	0000 0000 0000 0000
TRISF	02DE	—	—	—	—	—	—	—	TRISF8	TRISF7	TRISF6	—	—	—	—	—	—	0000 0001 1100 0000
PORTF	02E0	—	—	—	—	—	—	—	RF8	RF7	RF6	—	—	—	—	—	—	0000 0000 0000 0000
LATF	02E2	—	—	—	—	—	—	—	LATF8	LATF7	LATF6	—	—	—	—	—	—	0000 0000 0000 0000

注：レジスタのビット フィールドの説明は「dsPIC30F Family Reference Manual」(DS70046)を参照。

表 6-2: dsPIC30F2023 ポート レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
TRISA	02C0	—	—	—	—	TRISA11	TRISA10	TRISA9	TRISA8	—	—	—	—	—	—	—	—	0000 1111 0000 0000
PORTA	02C2	—	—	—	—	RA11	RA10	RA9	RA8	—	—	—	—	—	—	—	—	0000 0000 0000 0000
LATA	02C4	—	—	—	—	LATA11	LATA10	LATA9	LATA8	—	—	—	—	—	—	—	—	0000 0000 0000 0000
TRISB	02C6	—	—	—	—	TRISB11	TRISB10	TRISB9	TRISB8	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	0000 1111 1111 1111
PORTB	02C8	—	—	—	—	RB11	RB10	RB9	RB8	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	0000 0000 0000 0000
LATB	02CA	—	—	—	—	LATB11	LATB10	LATB9	LATB8	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	0000 0000 0000 0000
TRISD	02D2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRISD1	TRISD0	0000 0000 0000 0011
PORTD	02D4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RD1	RD0	0000 0000 0000 0000
LATD	02D6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LATD1	LATD0	0000 0000 0000 0000
TRISE	02D8	—	—	—	—	—	—	—	—	TRSE7	TRSE6	TRISE5	TRISE4	TRISE3	TRISE2	TRISE1	TRISE0	0000 0000 1111 1111
PORTE	02DA	—	—	—	—	—	—	—	—	RE7	RE6	RE5	RE4	RE3	RE2	RE1	RE0	0000 0000 0000 0000
LATE	02DC	—	—	—	—	—	—	—	—	LATE7	LATE6	LATE5	LATE4	LATE3	LATE2	LATE1	LATE0	0000 0000 0000 0000
TRISF	02DE	TRISF15	TRISF14	—	—	—	—	—	TRISF8	TRISF7	TRISF6	—	—	TRISF3	TRISF2	—	—	1100 0001 1100 1100
PORTF	02E0	RF15	RF14	—	—	—	—	—	RF8	RF7	RF6	—	—	RF3	RF2	—	—	0000 0000 0000 0000
LATF	02E2	LATF15	LATF14	—	—	—	—	—	LATF8	LATF7	LATF6	—	—	LATF3	LATF2	—	—	0000 0000 0000 0000
TRISG	02E4	—	—	—	—	—	—	—	—	—	—	—	—	TRISG3	TRISG2	—	—	0000 0000 0000 1100
PORTG	02E6	—	—	—	—	—	—	—	—	—	—	—	—	RG3	RG2	—	—	0000 0000 0000 0000
LATG	02E8	—	—	—	—	—	—	—	—	—	—	—	—	LATG3	LATG2	—	—	0000 0000 0000 0000

注: レジスタのビット フィールドの説明は「dsPIC30F Family Reference Manual」(DS70046)を参照。

表 6-3: dsPIC30F1010/202X 入力変化通知レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
CNEN1	0060	—	—	—	—	—	—	—	—	CN7IE	CN6IE	CN5IE	CN4IE	CN3IE	CN2IE	CN1IE	CN0IE	0000 0000 0000 0000
CNPU1	0064	—	—	—	—	—	—	—	—	CN7PUE	CN6PUE	CN5PUE	CN4PUE	CN3PUE	CN2PUE	CN1PUE	CN0PUE	0000 0000 0000 0000

注: レジスタのビット フィールドの説明は「dsPIC30F Family Reference Manual」(DS70046)を参照。

第7章 フラッシュ プログラム メモリ

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラム用リファレンス マニュアル」(DS70157)を参照して下さい。

dsPIC30F ファミリー デバイスは、ユーザー実行コードを格納するためのフラッシュ プログラム メモリを内蔵しています。フラッシュ メモリは下記の2通りの方法でプログラムできます。

1. インサーキット シリアルプログラミング™ (ICSP™) 方式によるプログラミング
2. ランタイムセルフプログラミング (RTSP)

7.1 インサーキット シリアルプログラミング (ICSP)

dsPIC30F デバイスは、アプリケーションの最終回路上でシリアルプログラミングができます。これはプログラミングクロックとプログラミングデータの2線(これらはそれぞれ PGC と PGD と名づけられています)と、さらに3本の線、電源 (VDD) とグランド (VSS) とマスタクリア (MCLR) で簡単にできます。

これにより、カスタマはプログラミングしていないデバイスで基板を製造し、製品を出荷する直前にそのマイクロコントローラをプログラミングできるようになります。これで最新のファームウェアや、カスタマイズしたファームウェアをプログラミングできます。

7.2 ランタイムセルフプログラミング (RTSP)

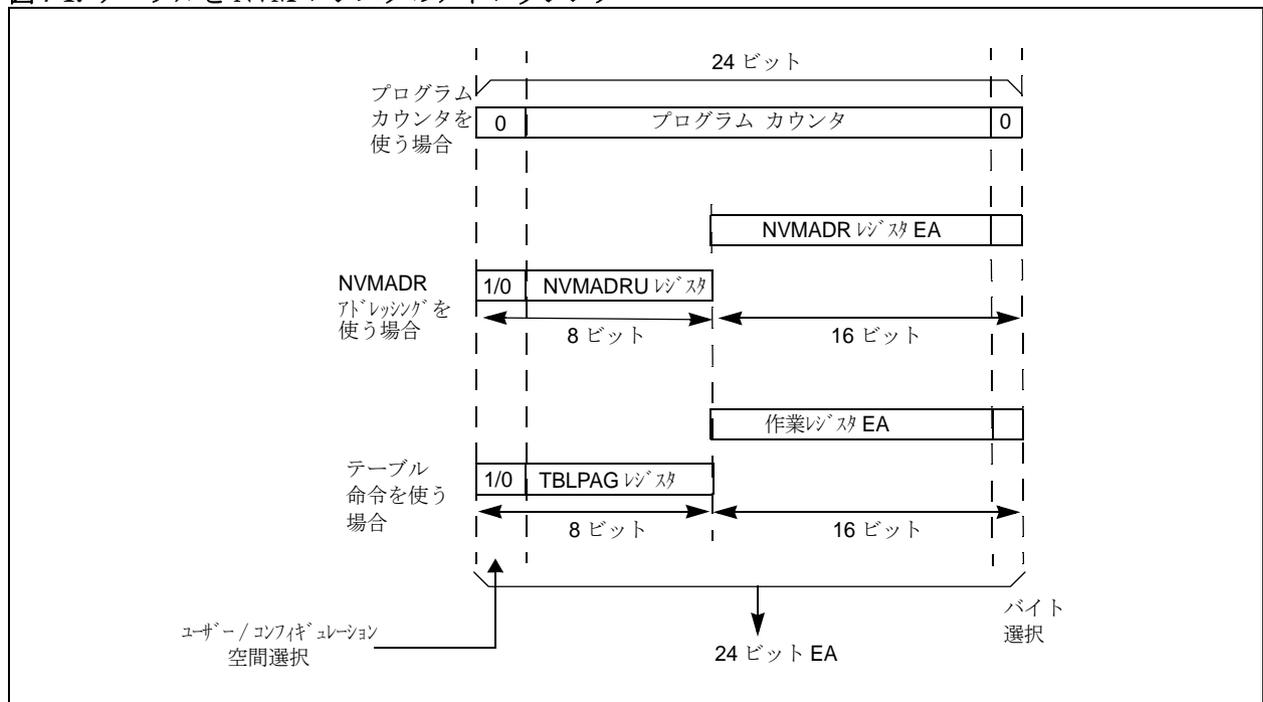
RTSP は TBLRD (テーブル読み出し) と TBLWT (テーブル書き込み) 命令を使って実現します。RTSP では、ユーザーは1回に32命令 (96 バイト) のプログラムメモリを消去でき、1回に32命令 (96 バイト) のプログラムメモリに書くことができます。

7.3 テーブル命令の動作概要

TBLRD と TBLWT 命令はプログラムメモリの <15:0> ビットの読み書きに使われます。TBLRD と TBLWT はプログラムメモリをワードモードとバイトモードのどちらでもアクセスできます。

TBLRDH と TBLWTH 命令は、プログラムメモリの <23:16> ビットをアクセスするのに使われます。TBLRDH と TBLWTH も、プログラムメモリをワードモードとバイトモードのどちらでもアクセスできます。プログラムメモリ内の24ビットの対象アドレスは、図 7-1 に示すように、TBLPAG レジスタの <7:0> ビットと、テーブル命令で指定された W レジスタによる実効アドレス (EA) で構成されます。

図 7-1: テーブルと NVM レジスタのアドレッシング



7.4 RTSP の動作

dsPIC30F のフラッシュ プログラム メモリは、行とパネルで構成されています。行は 32 命令すなわち 96 バイトです。パネルは 128 行で構成されますので、4K x 24 命令となります。RTSP ではユーザーは、1 回で行単位 (32 命令) での消去となり、1 回で 32 命令分のプログラムとなります。RTSP は複数プログラム メモリ パネルのプログラムに使えますが、各パネルの境界でテーブルポインタを更新しなければなりません。

プログラムメモリのパネルごとに書き込みラッチがあり、そこに 32 命令のプログラミングデータを保持します。実際のプログラミング動作前に、書き込みデータをパネル書き込みラッチにロードする必要があります。パネルに書き込むデータを命令「0」、命令「1」というように順番に書き込みラッチに格納します。格納する命令ワードは常に 32 境界のグループからでなければなりません。

RTSP プログラミング用の基本のシーケンスは、テーブルポインタを設定し、次に書き込みラッチに格納するための TBLWT 命令を順に実行します。プログラミングは、NVMCON レジスタの特別ビットをセットすることで開始します。32 命令を格納するには、32 個の TBLWTL と 4 個の TBLWTH 命令が必要です。複数パネルプログラミングには、テーブルポインタの変更と次の書き込みラッチへの書き込みが必要です。

すべてのテーブル書き込み動作は、テーブルラッチへの書き込みだけであるため、1 ワード書き込み (2 命令サイクル) です。各行書き込みごとに、さらにプログラミングサイクルが必要となります。

フラッシュ プログラム メモリは、全 VDD 範囲で通常動作中に読み書きと消去ができます。

7.5 制御レジスタ

プログラムフラッシュメモリの読み書きには、下記の 4 つの SFR が使われます。

- NVMCON
- NVMADR
- NVMADRU
- NVMKEY

7.5.1 NVMCON レジスタ

NVMCON レジスタは、どのブロックを消去するか、どのタイプのメモリをプログラムするか、およびプログラミングサイクルの開始を制御します。

7.5.2 NVMADR レジスタ

NVMADR レジスタは、有効アドレスの下位 2 バイトを保持します。NVMADR レジスタは、実行され選択した行の書き込みを行った最後のテーブル命令の EA<15:0> を取り込みます。

7.5.3 NVMADRU レジスタ

NVMADRU レジスタは、有効アドレスの上位バイトを保持します。NVMADRU レジスタは、最後に実行されたテーブル命令の EA<23:16> を取り込みます。

7.5.4 NVMKEY レジスタ

NVMKEY は、書き込み専用のレジスタで、書き込み保護用に使われます。プログラミングか消去のシーケンスを開始するには、ユーザーが 0x55 と 0xAA を順番に NVMKEY レジスタに書き込まなければなりません。詳細は、7.6 項「プログラミング動作」を参照して下さい。

注: プログラミングあるいは消去するプログラムメモリのアドレスを、ユーザーが NVMADR と NVMADRU レジスタに直接書き込むこともできます。

7.6 プログラミング動作

RTSP モードでの内蔵フラッシュのプログラミングや消去には、完全なプログラミングシーケンスが必要です。プログラミング動作には標準で 2 msec の継続時間が必要で、動作が完了するまでプロセッサはストール (待機) します。動作開始には、WR ビット (NVMCON<15>) をセットします。そして、動作が完了すると WR ビットは自動的にクリアされます。

7.6.1 フラッシュのプログラムのプログラミングアルゴリズム

ユーザーは、1 回で 1 行のプログラム フラッシュ メモリをプログラムできます。一般的な手順は下記になります。

1. 1 行のプログラム フラッシュ (32 命令ワード) を読み出し、データ RAM にデータイメージとして保存する。
2. データ イメージを必要な新データに更新する。
3. プログラム フラッシュの行を消去する。
 - a) NVMCON レジスタを複数ワード、プログラム フラッシュ、消去に設定し WREN ビットをセットする。
 - b) 消去する行のアドレスを NVMADRU/ NVMDR に書き込む。
 - c) NVMKEY に「55」を書く。
 - d) NVMKEY に「AA」を書く。
 - e) WR ビットをセットし消去サイクルを開始。
 - f) CPU は消去サイクル中はストールする。
 - g) 消去サイクル終了で WR ビットがクリアされる。

4. データ RAM のイメージから 32 命令ワードをプログラム フラッシュ書き込みラッチに書き込む。
5. プログラム フラッシュに 32 命令ワードをプログラムする。
 - a) NVMCON レジスタを複数ワード、プログラム フラッシュ、消去に設定し WREN ビットをセットする。
 - b) NVMKEY に「55」を書く。
 - c) NVMKEY に「AA」を書く。
 - d) WR ビットをセットしプログラムサイクルを開始。
 - e) CPU はプログラム サイクル中はストールする。
 - f) プログラムサイクル終了で WR ビットがクリアされる。
6. 必要な量のプログラム フラッシュ メモリをプログラムするためにステップ 1 から 5 を繰り返す。

7.6.2 プログラム メモリの行消去

例 7-1 にプログラム メモリの 1 行 (32 命令) を消去するために使われるコードを示します。

例 7-1: プログラム メモリの 1 行消去

```

; Setup NVMCON for erase operation, multi word write
; program memory selected, and writes enabled
MOV    #0x4041,W0                ;
MOV    W0,NVMCON                 ; Init NVMCON SFR
; Init pointer to row to be ERASED
MOV    #tblpage(PROG_ADDR),W0    ;
MOV    W0,NVMADRU                ; Initialize PM Page Boundary SFR
MOV    #tbloffset(PROG_ADDR),W0  ; Intialize in-page EA<15:0> pointer
MOV    W0, NVMDR                 ; Intialize NVMDR SFR
DISI   #5                        ; Block all interrupts with priority <7
                                           ; for next 5 instructions

MOV    #0x55,W0
MOV    W0,NVMKEY                 ; Write the 0x55 key
MOV    #0xAA,W1
MOV    W1,NVMKEY                 ; Write the 0xAA key
BSET   NVMCON,#WR                ; Start the erase sequence
NOP                                         ; Insert two NOPs after the erase
NOP                                         ; command is asserted

```

dsPIC30F1010/202X

7.6.3 書き込みラッチのロード

例 7-2 に書き込みラッチに 96 バイトをロードするのに使う命令シーケンスを示します。テーブルポインタにより選択された書き込みラッチにロードするために、32 個の TBLWTL と 32 個の TBLWTH 命令が必要です。

例 7-2: 書き込みラッチへのロード

```
; Set up a pointer to the first program memory location to be written
; program memory selected, and writes enabled
MOV    #0x0000,W0                ;
MOV    W0,TBLPAG                 ; Initialize PM Page Boundary SFR
MOV    #0x6000,W0                ; An example program memory address
; Perform the TBLWT instructions to write the latches
; 0th_program_word
MOV    #LOW_WORD_0,W2           ;
MOV    #HIGH_BYTE_0,W3         ;
TBLWTL W2,[W0]                 ; Write PM low word into program latch
TBLWTH W3,[W0++]               ; Write PM high byte into program latch
; 1st_program_word
MOV    #LOW_WORD_1,W2           ;
MOV    #HIGH_BYTE_1,W3         ;
TBLWTL W2,[W0]                 ; Write PM low word into program latch
TBLWTH W3,[W0++]               ; Write PM high byte into program latch
; 2nd_program_word
MOV    #LOW_WORD_2,W2           ;
MOV    #HIGH_BYTE_2,W3         ;
TBLWTL W2,[W0]                 ; Write PM low word into program latch
TBLWTH W3,[W0++]               ; Write PM high byte into program latch
.
.
.
; 31st_program_word
MOV    #LOW_WORD_31,W2          ;
MOV    #HIGH_BYTE_31,W3        ;
TBLWTL W2,[W0]                 ; Write PM low word into program latch
TBLWTH W3,[W0++]               ; Write PM high byte into program latch
```

Note: In ó 7-2, the contents of the upper byte of W3 have no effect.

7.6.4 プログラミングシーケンスの起動

保護のため、消去あるいは書き込み動作を開始するには、NVMKEY への書き込み起動シーケンスを使わなければなりません。プログラミングコマンドの実行後、ユーザーはプログラミング完了までのプログラミング時間を待たなければなりません。プログラミングシーケンス開始に続いて 2 命令が必要で NOP 命令を置くようにします。

例 7-3: プログラミングシーケンスの起動

```
DISI    #5                      ; Block all interrupts with priority <7
; for next 5 instructions

MOV     #0x55,W0                 ;
MOV     W0,NVMKEY                ; Write the 0x55 key
MOV     #0xAA,W1                 ;
MOV     W1,NVMKEY                ; Write the 0xAA key
BSET    NVMCON,#WR               ; Start the erase sequence
NOP     ; Insert two NOPs after the erase
NOP     ; command is asserted
```

表 7-1: NVM レジスタ マップ

File Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	All RESETS
NVMCON	0760	WR	WREN	WRERR	—	—	—	—	TWRI	—	PROGOP<6:0>							0000 0000 0000 0000
NVMADR	0762	NVMADR<15:0>																uuuu uuuu uuuu uuuu
NVMADRU	0764	—	—	—	—	—	—	—	—	NVMADR<23:16>							0000 0000 uuuu uuuu	
NVMKEY	0766	—	—	—	—	—	—	—	—	KEY<7:0>							0000 0000 0000 0000	

凡例: u = 初期化されないビット

注: レジスタのビットフィールドの説明については「dsPIC30F Family Reference Manual」(DS70046)を参照。

dsPIC30F1010/202X

ノート:

第8章 タイマ1 モジュール

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリリファレンス マニュアル」(DS70046)を参照して下さい。

本章は、16ビット汎用タイマ1モジュールとその動作モードについて解説しています。図8-1に16ビットタイマ1モジュールのブロック図を示します。

注: タイマ1は「タイプA」タイマです。タイプAタイマの詳細は本文書の第21章「電気的特性」を参照して下さい。

以下の項ではタイマの動作モードの詳細と、ブロック図に沿って関連する制御レジスタとその設定方法について説明しています。

タイマ1モジュールは、16ビットタイマで、リアルタイムクロック用の時刻カウンタや、フリーランのインターバルタイマ/カウンタを提供します。16ビットタイマは下記のモードを持っています。

- 16ビットタイマ
- 16ビット同期カウンタ
- 16ビット非同期カウンタ

さらにタイマ1は次の機能をサポートしています。

- ゲートされたタイマ動作
- プリスケーラの選択
- CPUがアイドルかスリープモード中のタイマ動作
- 16ビット周期レジスタとの一致または外部ゲート信号の立ち下りエッジによる割り込み

これらの動作モードは、16ビットSFRのTICONを適切に設定することで決定されます。図8-1は16ビットタイマモジュールのブロック図です。

16ビットタイマモード: 16ビットタイマモードでは、タイマは命令サイクルごとにインクリメントし、周期レジスタPR1に設定された値と一致すると、0にリセットされ、カウントを継続します。CPUがアイドルモードになると、TSIDL(TICON<13>)ビットが0でなければ、タイマはインクリメントを停止します。TSIDL=1だと、タイマモジュールロジックは、CPUのアイドルモードの終了でインクリメントを再開します。

16ビット同期カウンタモード: 16ビット同期カウンタモードでは、タイマは外部クロック信号の立ち上がりエッジが入ると、内部クロックに同期させてインクリメントします。タイマがカウントアップしPR1の設定値と一致すると、0にリセットされカウントは継続します。

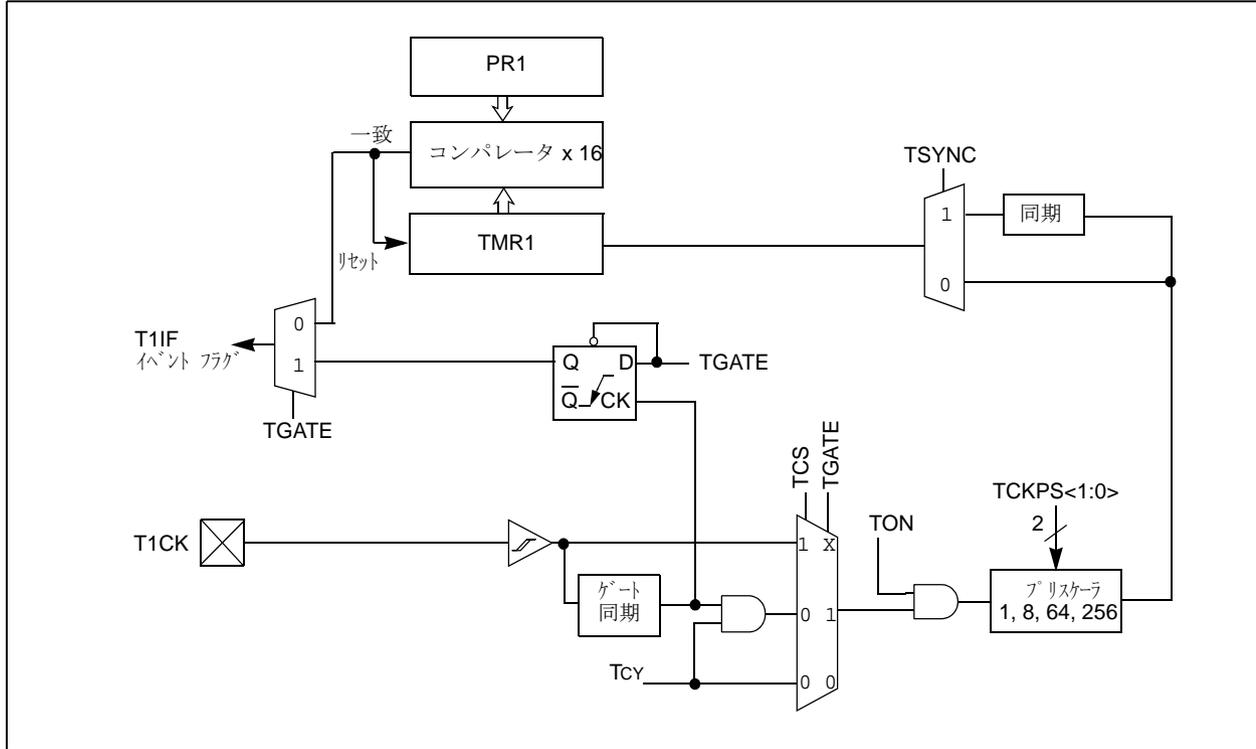
CPUがアイドルモードに入ると、タイマは対応するTSIDLビットが0でない限りインクリメントを停止します。TSIDL=1だと、タイマモジュールロジックは、CPUのアイドルモードの終了でインクリメントを再開します。

16ビット非同期カウンタモード: 16ビット非同期カウンタモードでは、タイマは外部信号の立ち上がりエッジごとにインクリメントします。タイマがカウントアップし、PR1の設定値と一致すると、0にリセットされカウントを継続します。

タイマが非同期動作モードに構成されていて、TSIDL=1のときは、CPUがアイドルモードになるとタイマはインクリメントを停止します。

dsPIC30F1010/202X

図 8-1: 16 ビット タイマ 1 モジュールブロック図 (タイプ A タイマ)



8.1 タイマ ゲート動作

16 ビット タイマはゲート時間積算モードにできます。このモードは、ゲート入力信号 (TICK ピン) に High が入力されたとき対応するタイマが内部 Tcy でインクリメントされます。このモードとするには、TGATE (TICON<6>) 制御ビットをセットする必要があります。タイマを有効化し (TON = 1)、タイマクロックソースは内部とする (TCS = 0) 必要があります。

CPU がアイドルモードになると、TSIDL = 0 でなければ、タイマはインクリメントを停止します。TSIDL = 1 だと、タイマモジュールロジックは、CPU のアイドルモードの終了でインクリメントを再開します。

8.2 タイマのプリスケアラ

16 ビットタイマへの入力クロック (Fosc/2 または外部クロック) には、TCKPS<1:0> (TICON<5:4>) 制御ビットで選択可能な 1:1、1:8、1:64、1:256 の分周器があります。分周カウンタは下記でクリアされます。

- TMR1 レジスタへの書き込み
- TON ビット (TICON<15>) のクリア
- POR などのデバイスリセット

しかし、タイマが無効にされていると (TON = 0)、分周器のクロックが停止しているためクリアされません。TICON に書き込まれても、TMR1 レジスタはクリアされません。

8.3 スリープモード中のタイマの動作

CPU がスリープモードの間は、下記であれば動作続きます。

- タイマモジュールが有効 (TON = 1) で、かつ
- タイマクロックソースに外部を選択 (TCS = 1)、かつ
- TSYNC ビット (TICON<2>) がロジック「0」で外部クロックソースが非同期となっている。

この 3 つの全ての条件が真であれば、タイマは、周期レジスタ値までカウントアップを継続し 0x0000 にリセットされます。

タイマと周期レジスタが一致したとき、対応するタイマの割り込みが有効化されていれば、割り込みが発生します。

8.4 タイマの割り込み

16ビットタイマは周期一致で割り込みを生成できます。タイマ カウントが周期レジスタと一致したとき、T1IFビットがセットされ有効化されていれば割り込みが発生します。T1IF ビットはソフトウェアでクリアしなければなりません。タイマ割り込みフラグの T1IF は、割り込みコントローラの IFS0 制御レジスタに配置されています。

ゲート時間積算モードが有効化されていると、ゲート信号の立下りエッジ (積算サイクルの終了時) でも割り込みが発生します。

割り込みの有効化は、対応するタイマ割り込み有効化ビット T1IE でできます。タイマ割り込み有効化ビットは、割り込みコントローラの IEC0 制御レジスタ内にあります。

表 8-1: タイマ 1 レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
TMR1	0100	Timer 1 Register																uuuu uuuu uuuu uuuu
PR1	0102	Period Register 1																1111 1111 1111 1111
T1CON	0104	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	—	TSYNC	TCS	—	0000 0000 0000 0000

凡例: u = 初期化されないビット

注: レジスタのビットフィールドの説明については「dsPIC30F Family Reference Manual」(DS70046)を参照。

第9章 タイマ 2/3 モジュール

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。

本章は 32 ビット汎用タイマ モジュール (タイマ 2/3) と関連動作モードについて説明しています。図 9-1 に 32 ビットタイマ 2/3 のブロック図を示します。図 9-2 と 図 9-3 にタイマ 2/3 を 2 つの独立した 16 ビットタイマとしたときの、タイマ 2、タイマ 3 の構成を示します。

注: dsPIC30F1010 デバイスにはタイマ 3 はありません。タイマ 2 はタイプ B、タイマ 3 はタイプ C のタイマです。タイマタイプの詳細は 第 21 章「電気的特性」を参照して下さい。

タイマ 2/3 モジュールは 32 ビットタイマで、2 つの 16 ビットタイマにも構成でき、動作モードを選択できます。このタイマは下記の周辺モジュールと一緒に使われます。

- 入力キャプチャ
- 出力コンペア / 単純 PWM

以下の項でタイマの動作モードについて、制御レジスタの設定を含めブロック図に沿って詳細を説明します。

- 2 つの 16 ビットタイマ (タイマ 2 とタイマ 3) の全 16 ビット動作モード (非同期モードを除く)
- 単一の 32 ビットタイマ動作
- 単一の 32 ビット非同期カウンタ

さらに下記動作モードがサポートされています。

- ADC イベント トリガ
- タイマ ゲート動作
- 選択可能な分周設定
- アイドルとスリープモード中のタイマ動作
- 32 ビット周期レジスタ一致による割り込み

これらの動作モードは、16 ビットの T2CON と T3CON SFR の設定で決まります。

32 ビットタイマ / カウンタ動作では、タイマ 2 が 32 ビットタイマの下位ワードにタイマ 3 が上位ワードになります。

注: 32 ビットタイマ動作では、T3CON 制御ビットは無視されます。T2CON 制御ビットだけが設定と制御に使われます。タイマ 2 のクロックとゲート入力が、32 ビットタイマモジュールに使われますが、割り込みはタイマ 3 の割り込みフラグ (T3IF) となり、タイマ 3 の割り込み有効化ビット (T3IE) で有効化されます。

16 ビットモード: 16 ビットモードでは、タイマ 2 とタイマ 3 が 2 つの独立の 16 ビットタイマとして構成されます。どちらのタイマも 16 ビットタイマモードと 16 ビット同期カウンタモードに設定できます。この 2 つの動作モードの詳細は、第 8 章「タイマ 1 モジュール」を参照して下さい。

タイマ 2 とタイマ 3 の機能的な差異は、タイマ 2 の方がクロック分周出力に同期させられるということだけです。これは高い周波数の外部クロックのとき便利です。

32 ビットタイマモード: 32 ビットタイマモードでは、命令サイクルごとにカウントアップし、PR3 と PR2 を結合した 32 ビット周期レジスタにロードされた値と一致すると「0」にリセットされカウントを継続します。

タイマ 2 / タイマ 3 ペアの 32 ビットを同期させて読み出すため、下位ワード (TMR2 レジスタ) を読み出すと、上位ワードも読み出されて 16 ビット保持レジスタ、TMR3HLD にラッチされます。

32 ビットの同期書き込みのときは、保持レジスタ (TMR3HLD) に先に書き込まなければなりません。TMR2 レジスタへの書き込みに続いて、TMR3HLD の内容が転送され、32 ビットタイマの上位 (TMR3) にラッチされます。

32 ビット同期カウンタモード: 32 ビット同期カウンタモードでは、外部クロック信号の立ち上がりエッジで、内部クロックに同期させてタイマがインクリメントします。タイマのカウントが、PR3 と PR2 の結合した 32 ビット周期レジスタにロードされた値と一致すると、「0」にリセットされカウントを継続します。

タイマが同期カウンタモードに構成されていて、CPU がアイドルモードになると、タイマは TSIDL (T2CON<13>) ビットが 0 でなければインクリメントを停止します。TSIDL = 1 であれば、CPU がアイドルモードを終了したとき、タイマはインクリメントを再開します。

dsPIC30F1010/202X

図 9-1: 32 ビット タイマ 2/3 ブロック図

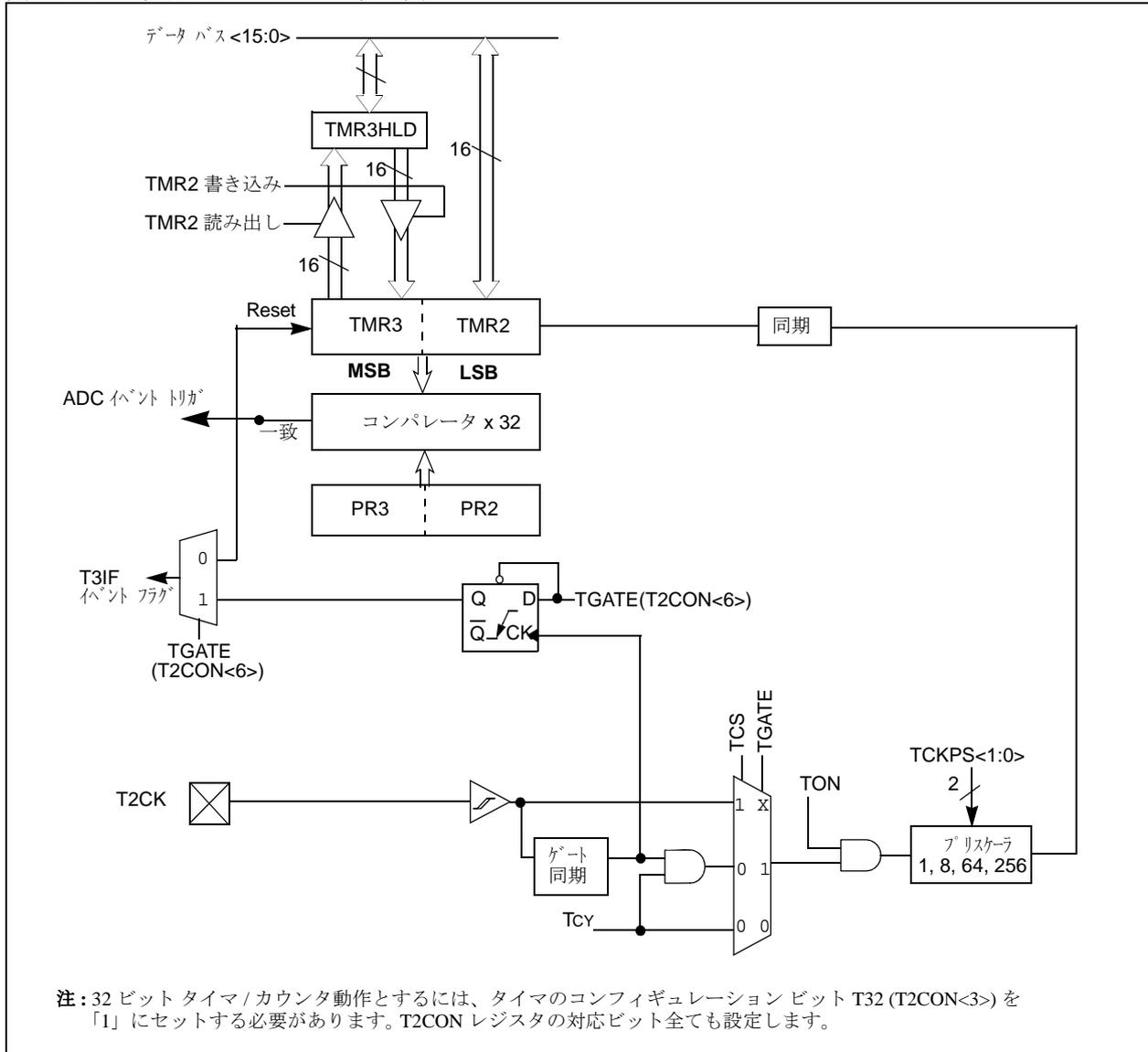


図 9-2: 16 ビット タイマ 2 ブロック図

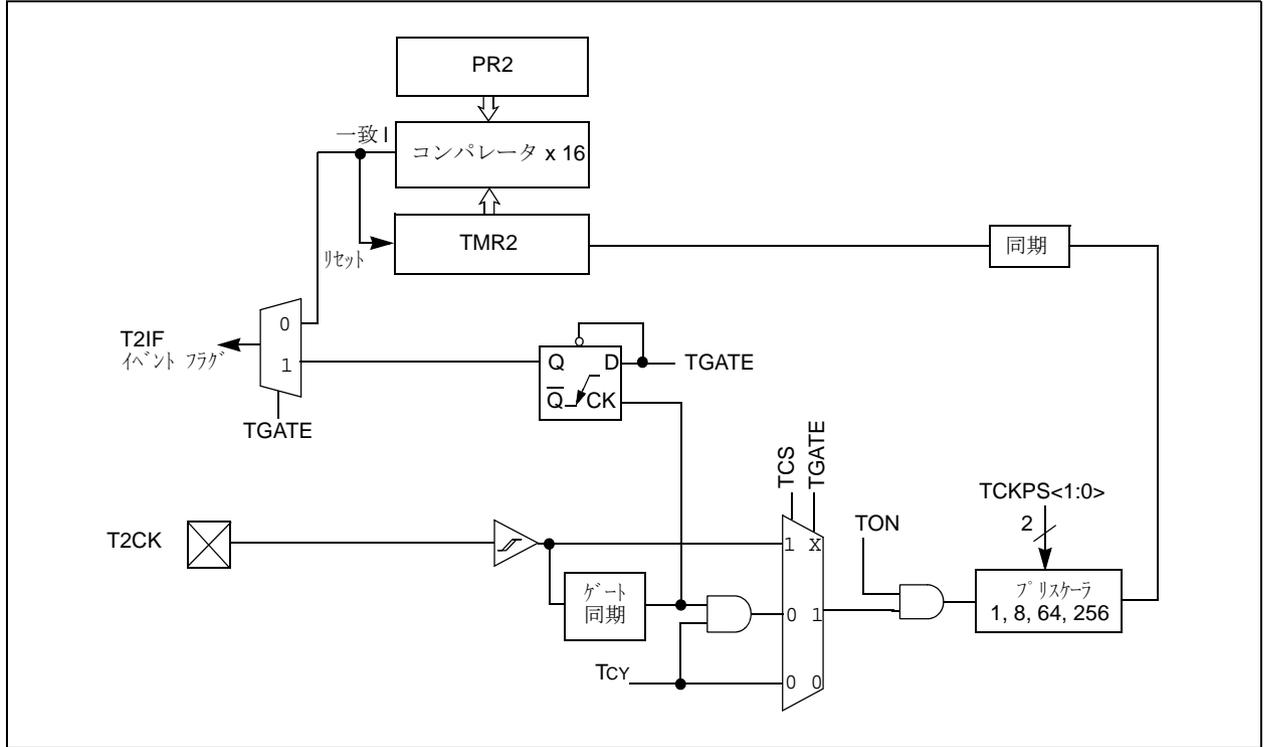
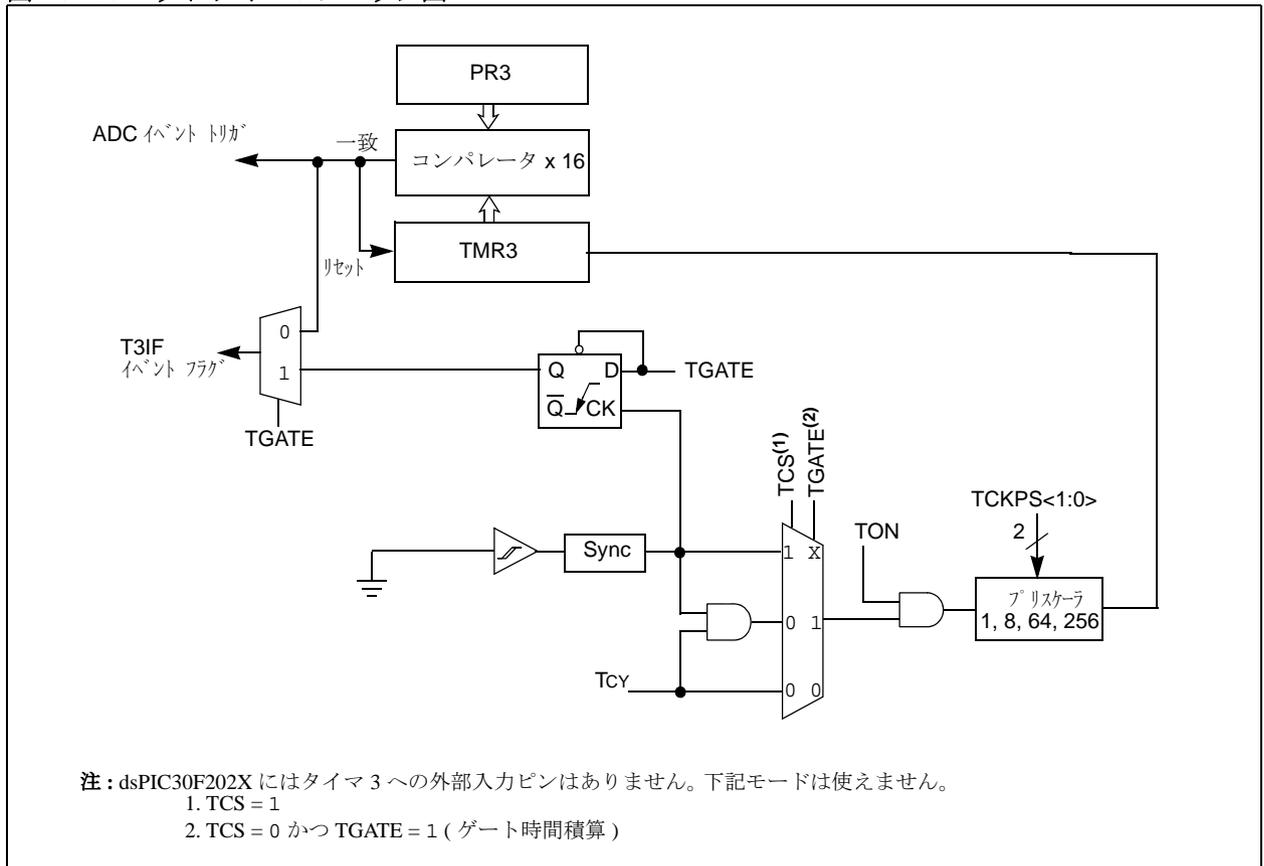


図 9-3: 16 ビット タイマ 3 ブロック図



9.1 タイマ ゲート動作

32 ビット タイマはゲート時間積算モードにできません。このモードは、ゲート入力信号 (T2CK ピン) に High が入力されたとき対応するタイマが内部Tcy でインクリメントされます。このモードとするには、TGATE(T2CON<6>) 制御ビットをセットする必要があります。このモードでは、タイマ 2 側がクロック源となります。タイマ 3 の TGATE の設定は無視されます。タイマを有効化し (TON=1)、タイマクロック ソースは内部とする (TCS=0) 必要があります。

外部信号の立下りエッジでカウント動作が終了しますがリセットはされません。カウントをゼロから開始するには、ユーザーがタイマをリセットする必要があります。

9.2 ADC イベント トリガ

32 ビット タイマ (TMR3/TMR2) と 32 ビット結合周期レジスタ (PR3/PR2) が一致すると、ADC のトリガイベントがタイマ 3 から生成されます。

9.3 タイマ プリスケーラ

タイマへの入力クロック (Fosc/2 か外部クロック) には、TCKPS<1:0> (T2CON<5:4> と T3CON<5:4>) で選択できる 1:1、1:8、1:64、1:256 の分周器があります。32 ビット タイマ動作では、クロック ソース源はタイマ 2 となります。タイマ 3 の分周動作はこのモードでは使えません。分周カウンタは下記でクリアされます。

- TMR2/TMR3 レジスタへの書き込み
- TON ビット (T2CON<15> or T3CON<15>) への「0」書き込み
- POR などのデバイスリセット

しかし、タイマが無効にされていると (TON=0)、タイマ 2 の分周器のクロックが停止しているためクリアされません。T2CON/T3CON に書き込まれても、TMR2/TMR3 レジスタはクリアされません。

9.4 スリープ モード中のタイマ動作

CPU がスリープ モードの間は、内部クロックが停止しているためタイマは動作しません。

9.5 タイマの割り込み

32 ビット タイマ モジュールは、周期一致や外部ゲート信号の立下りエッジで割り込みを生成できます。32 ビット タイマのカウントが対応する 32 ビット周期レジスタと一致するか、外部ゲート信号の立下りエッジが検出されると T3IF ビット (IFS0<7>) がセットされ、有効であれば割り込みが発生します。このモードでは、T3IF 割り込みフラグが割り込み要因として使われません。T3IF ビットはソフトウェアでリセットしなければなりません。

割り込みの有効化は、対応するタイマの割り込み有効化ビット T3IE (IEC0<7>) で行います。

表 9-1: タイマ 2/3 レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
TMR2	0106	Timer2 Register																uuuu uuuu uuuu uuuu
TMR3HLD	0108	Timer3 Holding Register (For 32-bit timer operations only)																uuuu uuuu uuuu uuuu
TMR3	010A	Timer3 Register																uuuu uuuu uuuu uuuu
PR2	010C	Period Register 2																1111 1111 1111 1111
PR3	010E	Period Register 3																1111 1111 1111 1111
T2CON	0110	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	T32	—	TCS	—	0000 0000 0000 0000
T3CON	0112	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	—	—	TCS	—	0000 0000 0000 0000

凡例 : u = 初期化されないビット

注 : レジスタのビットフィールドの説明については「dsPIC30F Family Reference Manual」(DS70046)を参照。

dsPIC30F1010/202X

ノート:

第 10 章 入力キャプチャ モジュール

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。

本章では入力キャプチャ モジュールとその動作モードについて説明しています。本モジュールで提供される機能は、周波数 (周期) やパルスの測定が必要なアプリケーションに便利です。図 10-1 に入力キャプチャ モジュールのブロック図を示します。入力キャプチャは下記モードが便利です。

- 周波数 / 周期 / パルスの測定
- 外部割り込みの追加ピン

入力キャプチャ モジュールのキー機能は下記となります。

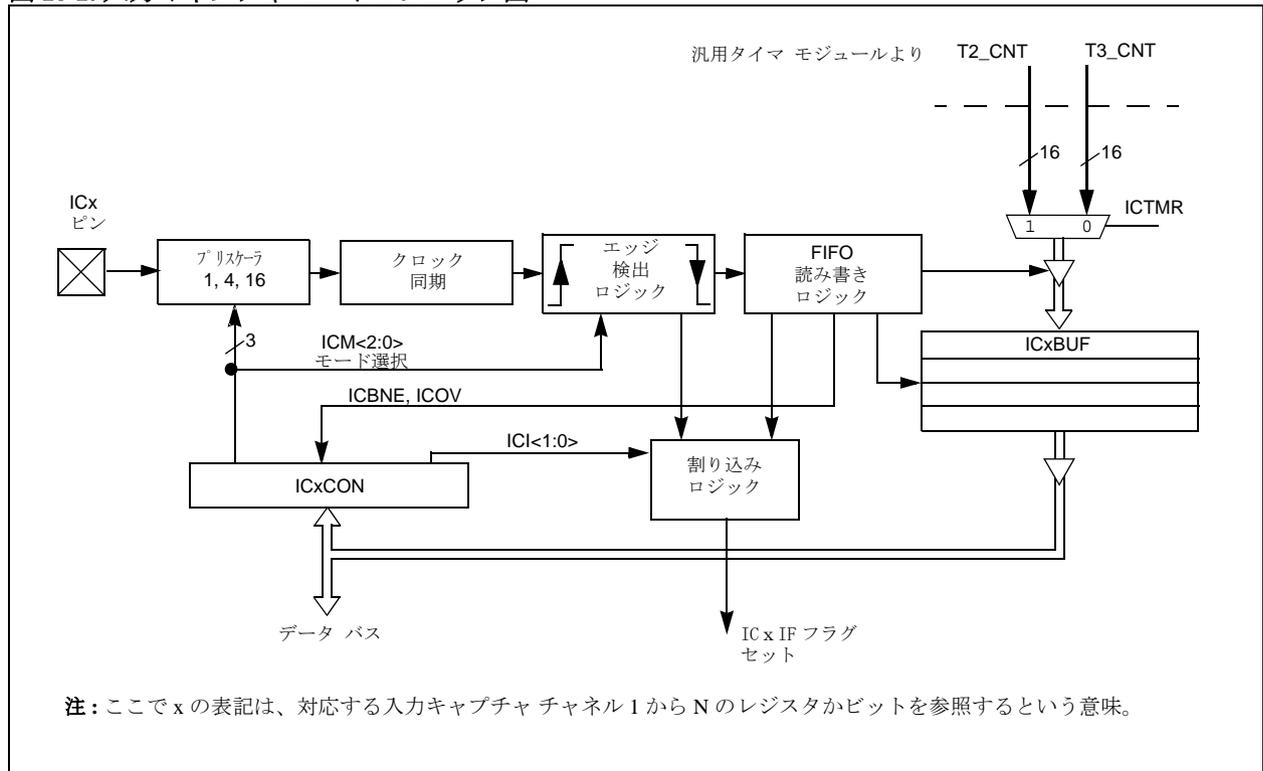
- 単純なキャプチャ イベント モード
- タイマ 2 と タイマ 3 のモード 選択
- 入力キャプチャ イベントによる割り込み

これらの動作モードは、ICxCON レジスタ (ここで x = 1, 2, ..., N) の対応するビットの設定により決まります。

dsPIC DSC デバイスには最大 8 個のキャプチャ チャンネルがあります (この場合、N の最大値が 8)。

注: dsPIC30F1010 デバイスには入力キャプチャ モジュールはありません。dsPIC30F202X デバイスには 1 個のキャプチャ入力 (IC1) があります。このキャプチャ チャンネルの名称は、他の dsPIC DSC デバイスとのソフトウェア互換性を保つように付けられています。

図 10-1: 入力キャプチャモードのブロック図



10.1 単純キャプチャ イベント モード

dsPIC30F 製品ファミリの単純キャプチャ イベントは下記となります。

- 立下りエッジごとのキャプチャ
- 立ち上がりエッジごとのキャプチャ
- 4 回ごとの立ち上がりエッジごとのキャプチャ
- 16 回ごとの立ち上がりエッジのキャプチャ
- 立ち上がり、立下りごとのキャプチャ

これらの単純なキャプチャ モードは、対応する ICM<2:0> (ICxCON<2:0>) ビットの設定で構成できません。

10.1.1 キャプチャ プリスケアラ

ICM<2:0> (ICxCON<2:0>) で設定される、4 つのキャプチャ プリスケアラの設定があります。キャプチャチャネルがオフにされると、常にプリスケアラ カウンタはクリアされます。さらにどのリセットでもプリスケアラ カウンタがクリアされます。

10.1.2 キャプチャ バッファの動作

キャプチャチャネルごとに 4 個の 16 ビット ワードの FIFO バッファを持っています。また FIFO バッファごとに下記の 2 つのステータス フラグがあります。

- ICBFNE – 入力キャプチャ バッファは空でない
- ICOV – 入力キャプチャ オーバーフロー

ICBFNE は最初の入力キャプチャ イベントでセットされ、FIFO から読み出されるまで残っています。FIFO から読み出されるワードごとに、残りのワードがバッファ内で前に進みます。

FIFO が 4 個のキャプチャ イベントでいっぱいになり、FIFO の読み出し前に 5 回目のキャプチャ イベントが発生したというイベントで、オーバー フロー状態となって ICOV ビットがロジック「1」にセットされます。5 回目のキャプチャ イベントは失われ、FIFO には保存されません。バッファから 4 イベントとも読み出されるまでそれ以降のイベントはキャプチャされません。

最後のデータが読み出された後、新たなキャプチャ イベント受信がないとき、FIFO を読み出すと不定の結果となります。

10.1.3 タイマ 2 とタイマ 3 の選択モード

入力キャプチャ モジュールは、最大 8 入力キャプチャチャネルで構成されます。チャネルごとにタイマ 2 とタイマ 3 の 2 つのタイム ベースのいずれかを選択できます。

タイマソースの選択は、ICTMR (ICxCON<7>) の SFR ビットで行われます。タイマ3がデフォルトの入力キャプチャ モジュール用のタイマ ソースです。

10.1.4 ホール センサ モード

入力キャプチャ モジュールが、ICM<2:0> = 001 でエッジごとにキャプチャすると設定されたときは、下記動作が入力キャプチャ モジュール ロジックで実行されます。

- 立ち上がり、立下りの両エッジごとに入力キャプチャ割り込みフラグがセットされる。
- ICI<1:0> のキャプチャ モードの割り込み設定は、キャプチャごとに割り込みが発生するので無視されます。
- このモードでは、キャプチャ オーバーフロー状態は発生しません。

10.2 スリープとアイドルモード中の入力キャプチャ動作

CPU がアイドルかスリープモードのとき、入力キャプチャイベントでデバイスをウェイクアップさせ、有効であれば割り込むことができます。

タイマが有効かどうかは無関係に、 $ICM<2:0> = 111$ と設定され、割り込み有効化ビットがセットされている場合、入力キャプチャモジュールはキャプチャイベント発生で CPU をスリープかアイドルモードからウェイクアップさせることができます。割り込みの処理条件が満足されている場合、ウェイクアップと同時に割り込みを発生します。ウェイクアップ機能は外部ピン割り込みを増やす方法として有用です。

10.2.1 CPU スリープモード中の入力キャプチャ

入力キャプチャモジュールは、CPU スリープモード中でも制限された機能で動作できます。CPU スリープモード中は、 $ICI<1:0>$ ビットは無効で、入力キャプチャモジュールは外部割り込み要因としてだけ動作可能です。

デバイスがスリープモード中に入力キャプチャモジュールを使うためには、キャプチャモジュールは立ち上がりエッジでのみ割り込み ($ICM<2:0> = 111$) と構成しなければなりません。このモードでは 4:1 や 16:1 のプリスケアラ設定は無効です。

10.2.2 CPU アイドルモード中の入力キャプチャ

CPU アイドルモードでも入力キャプチャモジュールはフル機能で動作します。CPU アイドルモードでも、 $ICI<1:0>$ ビットによる割り込みモード設定も、 $ICM<2:0>$ ビットで設定される 4:1 や 16:1 のキャプチャプリスケアラ設定も有効です。このモードでは、選択したタイマが動作していることが必要で、 $ICSIDL$ ビットにはロジック「0」を設定しなければなりません。

入力キャプチャモジュールが CPU アイドルモードで $ICM<2:0> = 111$ と設定されると、入力キャプチャピンは外部割り込みピンとしてのみ動作します。

10.3 入力キャプチャ割り込み

入力キャプチャチャンネルは、選択した番号のキャプチャイベントに基づいた割り込みを発生できます。この番号の選択は、 $ICI<1:0>$ ($ICxCON<6:5>$) 制御ビットで行います。

チャンネルごとに割り込みフラグビット ($ICxIF$) を持っています。対応するキャプチャ割り込みフラグは、 $IFSx STATUS$ レジスタ内に配置されています。

対応するキャプチャチャンネル割り込み有効化ビット ($ICxIE$) により有効化されます。キャプチャ割り込み有効化ビットは対応する IEC 制御レジスタ内に配置されています。

表 10-1: 入力キャプチャレジスタマップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
IC1BUF	0140	Input 1 Capture Register																uuuu uuuu uuuu uuuu
IC1CON	0142	—	—	ICSIDL	—	—	—	—	—	ICTMR	ICI<1:0>	ICOV	ICBNE	ICM<2:0>			0000 0000 0000 0000	

凡例: u = 初期化されないビット

注: レジスタのビットフィールドの説明については「dsPIC30F Family Reference Manual」(DS70046)を参照。

第 11 章 出力コンペア モジュール

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。

本章は、出力コンペア モジュールと関連する動作モードについて説明しています。このモジュールの機能により、下記のような動作モードが必要なアプリケーションで役立ちます。

- 汎用の可変幅のパルス出力
- 力率改善

図 11-1 は出力コンペア モジュールのブロック図です。

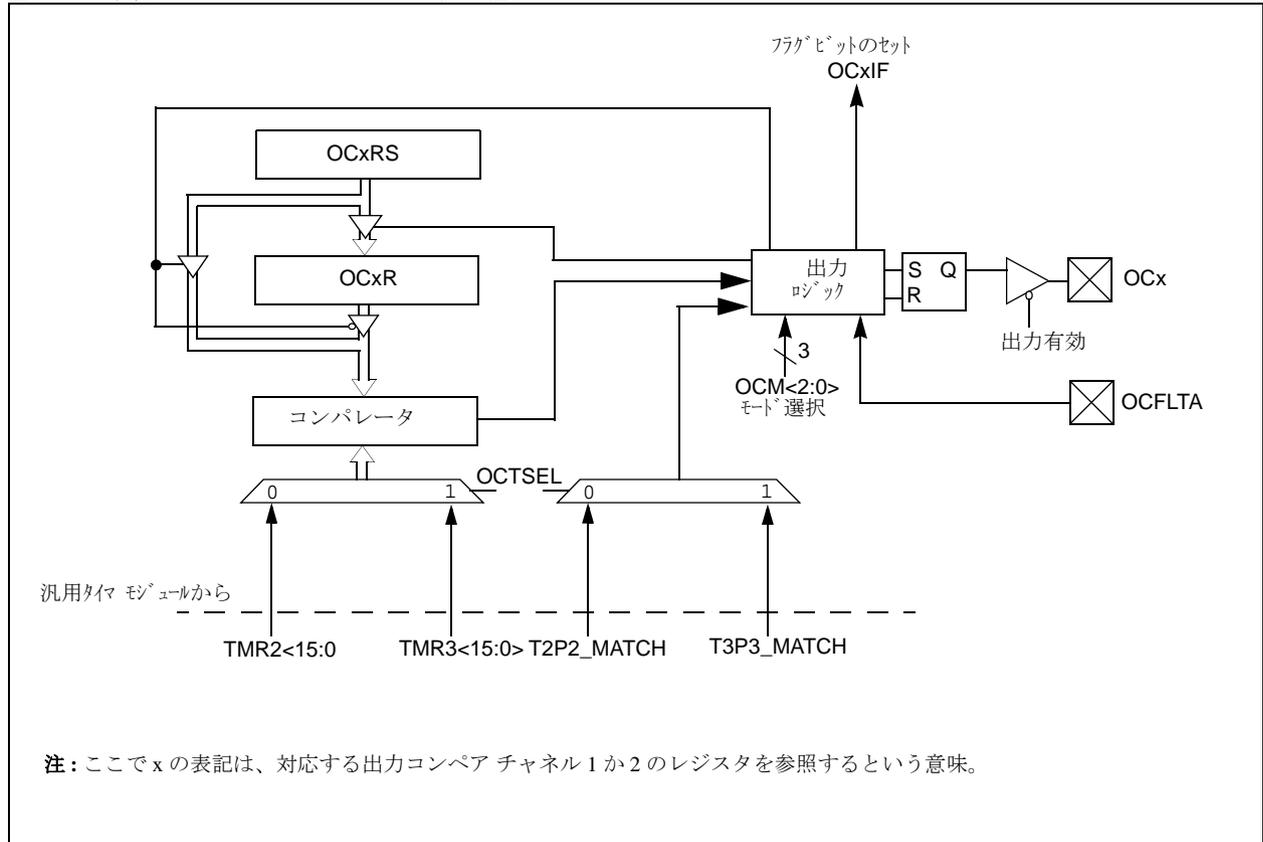
出力コンペア モジュールには下記のようなキー機能があります。

- タイマ 2 とタイマ 3 選択モード
- 単純出力コンペア一致モード
- デュアル出力コンペア モード
- 単純 PWM モード
- スリープとアイドルモード中の出力コンペア
- 出力コンペア /PWM イベントによる割り込み

これらの動作モードは対応する16ビットのOCxCON SFR (ここで x=1 と 2) の設定により決まります。

図中の OCxRS と OCxR はデュアルコンペアレジスタです。デュアルコンペアモードでは、OCxR レジスタが先に比較され、次に OCxRS レジスタと比較されます。

図 11-1: 出力コンペア モードのブロック図



11.1 タイマ 2 とタイマ 3 選択モード

出力コンペアチャンネルごとに、タイマ 2 とタイマ 3 のいずれかの 16 ビット タイマを選択できます。

OCTSEL ビット (OCxCON<3>) によりタイマの選択を行います。タイマ 2 が出力コンペア モジュール用のデフォルトのタイマ ソースです。

11.2 単純出力コンペア一致モード

OCM<2:0> (OCxCON<2:0>) 制御ビットが 001、010、011 のときには、選択した出力コンペアチャンネルは下記の 3 種の単純出力コンペア一致モードに構成されます。

- 一致で I/O ピンを Low にする
- 一致で I/O ピンを High にする
- 一致で I/O ピンをトグルする

これらのモードでは OCxR レジスタが使われます。OCxR レジスタに値がロードされると、選択されインクリメントしているタイマ カウンタと比較されます。一致が起きると上記 3 種のコンペア一致モードのいずれかとなります。カウンタが OCxR の値になる前にゼロにリセットされると、OCx ピンは変化しません。

11.3 デュアル出力コンペア一致モード

OCM<2:0> (OCxCON<2:0>) 制御ビットが 100 か 101 のときは、選択した出力コンペアチャンネルは下記 2 種のデュアル出力コンペア モードのいずれかに構成されます。

- 単一出力パルス モード
- 連続出力パルス モード

11.3.1 単一パルス モード

単一出力パルスを生成するようモジュールを構成するには、下記ステップが必要です (タイマはオフと仮定)。

- 命令サイクル タイム Tcy を決める
- Tcy をベースに希望するパルス幅を計算する
- タイマのスタート値 0x0000 からのパルス開始時間を計算する
- パルス幅と停止時間を OCxR と OCxRS 比較レジスタに書く (x はチャンネル 1、2 を表す)
- タイマ周期レジスタに OCxRS 比較レジスタの値以上の値をセットする
- OCM<2:0> = 100 とする
- TON (TxCON<15>) = 1 としてタイマ スタート

次の単一パルスを起動するには、OCM<2:0> に 100 の値を再度書き込みます。

11.3.2 連続パルス モード

連続した出力パルスを生成するようにモジュールを構成するには、下記ステップが必要です。

- 命令サイクル タイム Tcy を決める
- Tcy をベースに希望するパルス幅を計算する
- タイマのスタート値 0x0000 からのパルス開始時間を計算する
- パルス幅と停止時間を OCxR と OCxRS 比較レジスタに書く (x はチャンネル 1、2 を表す)
- タイマ周期レジスタに OCxRS 比較レジスタの値以上の値をセットする
- OCM<2:0> = 101 とする
- TON (TxCON<15>) = 1 としてタイマ スタート

11.4 単純 PWM モード

OCM<2:0> (OCxCON<2:0>) 制御ビットを 110 か 111 にすると、選択した出力コンペアチャンネルは単純 PWM 動作モードに構成されます。PWM 動作モードに構成されると、OCxR が主ラッチ (読み出しのみ) となり、OCxRS は 2 次ラッチとなります。これでグリッチのない PWM 遷移が可能となります。

出力コンペア モジュールを PWM 動作とするには、下記ステップが必要です。

1. 対応する周期レジスタに PWM 周期をセット
2. OCxRS レジスタに PWM デューティ サイクルを書き込む
3. 出力コンペア モジュールを PWM 動作に構成する
4. TMRx のプリスケアラ値をセットしタイマをスタート (TON (TxCON<15>) = 1)。

11.4.1 PWM 周期

PWM周期はPRxレジスタに書くことで指定します。PWM周期は式 11-1 で計算できます。

式 11-1: PWM 周期

$$\text{PWM 周期} = [(\text{PRx} + 1) \cdot 4 \cdot \text{TOSC} \cdot (\text{TMRx プリスケール値})]$$

PWM 周波数は $1/[\text{PWM 周期}]$ で決まります。選択した TMRx が対応する周期レジスタに等しくなると、下記4種のイベントが次のインクリメントサイクルで発生します。

- TMRx をクリアする
- OCx ピンをセットする
 - 例外 1: PWM デューティ サイクルが 0x0000 なら、OCx ピンは Low のまま
 - 例外 2: デューティ サイクルが PRx より大きいときは、ピンは High のまま
- PWM デューティ サイクルを OCxRS から OCxR に転送しラッチする
- 対応するタイマの割り込みがセットされる

PWM 周期比較のキーは図 11-1 を参照して下さい。図ではタイマ 3 を例にしています。

11.4.2 PWM とフォルト保護入力ピン

OCM<2:0> (OCxCON<2:0>) 制御ビットが 111 とされると OCFLTA ピンによるフォルト入力が可能になります。OCFLTA ピンがロジック「0」を検知すると、出力ピンをハイインピーダンス状態にします。この状態は下記条件となるまで継続します。

- 外部フォルト条件がなくなり、かつ
- 対応する制御ビットで PWM モードが再度有効化される

フォルト条件の結果、OCxIF 割り込みがオンとなり割り込みが発生します。フォルト状態の検知により、OCxCON レジスタの OCFLTx ビットが High にセットされます。このビットは読み出し専用で、フォルト状態が解除されるとクリアされます。この後、OCxCON レジスタの OCM<2:0> で適切なモードにすることで PWM が再度有効化されます。

11.5 CPU スリープモード中の出力コンペアの動作

CPU がスリープモードになると、すべての内部クロックが停止します。したがって、CPU がスリープモードに入ると出力コンペアチャンネルはピンを、CPU がスリープ状態になる直前のアクティブステートに駆動します。

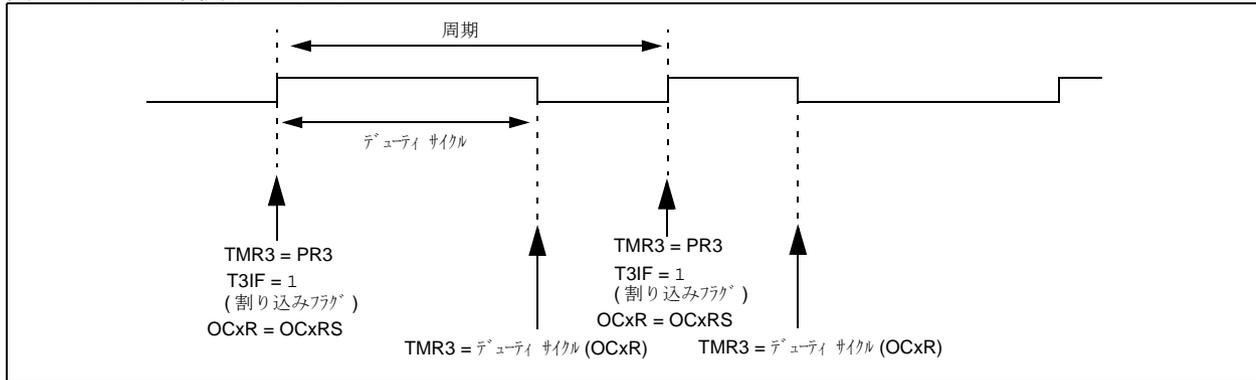
例えば、CPU がスリープになるとき、ピンが High だとすると、ピンは High のまま保持されます。同様に、CPU がスリープ状態に入るとき Low であれば、ピンは Low に保持されます。いずれの場合も、出力コンペアモジュールは、デバイスがウェイクアップすると動作を再開します。

11.6 CPU がアイドルモード中の出力コンペアの動作

CPU がアイドルモードに入っても、出力コンペアモジュールはフル機能で動作できます。

出力コンペアチャンネルは、CPU がアイドルモードの間も、OCSIDL ビット (OCxCON<13>) がロジック「0」にセットされ、指定タイムベース (タイマ 2 かタイマ 3) が有効で、指定タイマの TSIDL ビットがロジック「0」であれば動作します。

図 11-1: PWM 出力タイミング



11.7 出力コンペア 割り込み

出力コンペア チャネルは、どの一致モードが選択されていても比較一致で割り込みを発生できます。

PWM モード以外の全モードで一致イベントが起きたとき、対応する割り込みフラグ (OCxIF) がオンとなり、有効であれば割り込みを発生します。OCxIF ビットは対応する IFS ステータス レジスタ内に配置されており、ソフトウェアでクリアする必要があります。割り込みは、対応する IEC 制御レジスタにある一致割り込み有効化ビット (OCxIE) で有効化できます。

PWM モードのときは、イベントが起きると、対応するタイマの割り込みフラグビット (T2IF か T3IF) がオンとなり、有効であれば割り込みを発生します。割り込みの有効化は、IEC0 制御レジスタ内のタイマ割り込み有効化ビット (T2IE か T3IE) でできます。出力コンペア割り込みフラグは、PWMモードで動作中はセットされることはありません。

表 11-1: 出力コンペア レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
OC1RS	0180	出力コンペア 1 スレーブ レジスタ																0000 0000 0000 0000
OC1R	0182	出力コンペア 1 マスタ レジスタ																0000 0000 0000 0000
OC1CON	0184	—	—	OCSIDL	—	—	—	—	—	—	—	—	OCFLT	OCTSEL	OCM<2:0>		0000 0000 0000 0000	
OC2RS	0186	出力コンペア 2 スレーブ レジスタ																0000 0000 0000 0000
OC2R	0188	出力コンペア 2 マスタ レジスタ																0000 0000 0000 0000
OC2CON	018A	—	—	OCSIDL	—	—	—	—	—	—	—	—	OCFLT	OCTSEL	OCM<2:0>		0000 0000 0000 0000	

注: レジスタのビットフィールドの説明については「dsPIC30F Family Reference Manual」(DS70046)を参照。

dsPIC30F1010/202X

ノート:

第 12 章 電源用 PWM

dsPIC30F1010/202X デバイスの電源用 PWM(PS PWM) モジュールは多様な PWM モードと出力形式をサポートしています。この PWM モジュールは下記のような電源コンバータ用途に理想的なものです。

- DC/DC コンバータ
- AC/DC 電源
- 無停電電源 (UPS)

12.1 特徴概要

PS PWM モジュールは下記のような特徴を持っています。

- 8 出力を持つ 4 系統の PWM ジェネレータ
- 4 系統の独立のタイム ベース
- デューティ サイクル分解能は 1.1 nsec @ 30 MIPS
- デッドタイム分解能は 4.2 nsec @ 30 MIPS
- フェーズシフト分解能は 4.2 nsec @ 30 MIPS
- 周波数分解能は 8.4 nsec @ 30 MIPS
- サポートされる PWM モード
 - 標準エッジ整列 PWM
 - 相補 PWM
 - プッシュプル PWM
 - マルチ フェーズ PWM
 - 可変フェーズ PWM
 - 固定オフ タイム PWM
 - 電流リセット PWM
 - 電流制限 PWM
 - 個別タイム ベース PWM
- 下記は即時変更可能
 - PWM 周波数
 - PWM デューティ サイクル
 - PWM フェーズ シフト
- 出力オーバーライド制御
- 個別の電流制限とフォルト入力
- 他の周辺のイベントスケジュール用特殊イベントコンパレータ
- 各 PWM ジェネレータ毎の AD コンバータ用トリガ

図 12-1 は PWM モジュールの概念を簡単に示したものです。図 12-2 は相補モードの場合に PWM 出力ペアに対しモジュール各部がどのように働くかを説明したものです。PWM モジュールの各機能ユニットについては以下の各項で説明します。

PWM モジュールには 4 系統の PWM ジェネレータがあります。モジュールは PWM1H、PWM1L、PWM2H、PWM2L、PWM3H、PWM3L、PWM4H、PWM4L の 8 つの PWM 出力を持っています。相補出力の場合には、これらの 8 ピンは H/L ペアにグループ分けされます。

12.2 説明

PWM モジュールは、(a) 高周波で高分解能の PWM、(b) 標準的なプッシュプルまたはハーフブリッジコンバータ構成、(c) マルチフェーズ PWM 出力、が必要なアプリケーション用に設計されたものです。

2 つの同程度の中規模電力コンバータ構成がプッシュプルとハーフブリッジで可能です。これらの設計では、PWM 出力信号を 2 つのピン間で交互に切り替えるようにする必要がありますが、プッシュプル PWM モードで実現できます。

フェーズシフト PWM では、各 PWM ジェネレータが出力を供給しますが、それらのジェネレータ出力間のフェーズ関係を指定したり、可変するという機能を実現します。

マルチフェーズ PWM は、DC-DC コンバータの負荷変動を改善し、出力コンデンサとインダクタのサイズを小さくするためによく使われます。マルチ出力 DC/DC コンバータでは、フェーズをずらした並列動作がよく使われます。単一 PWM 出力を 250kHz で動かすと周期は 4 μsec です。しかし、4 系統の PWM チャンネルを互いに 1 μsec ずらすと、実効的なスイッチング周波数は 1 MHz となってしまいます。このためマルチフェーズ PWM アプリケーションでは、通常固定のフェーズ関係で使います。

可変フェーズ PWM はゼロ電圧遷移 (ZVT) 電力コンバータに有用です。この場合、PWM のデューティサイクルは常時 50% で、2 つの PWM ジェネレータ間の相対フェーズを可変することで電力の流れの制御をします。

注: PS PWM モジュールを動かすには PLL が許可されていなければならないません。FOSCSEL コンフィギュレーションレジスタの FNOSC<1:0> で設定できます。

dsPIC30F1010/202X

図 12-1: 電源用 PWM の概念のブロック図

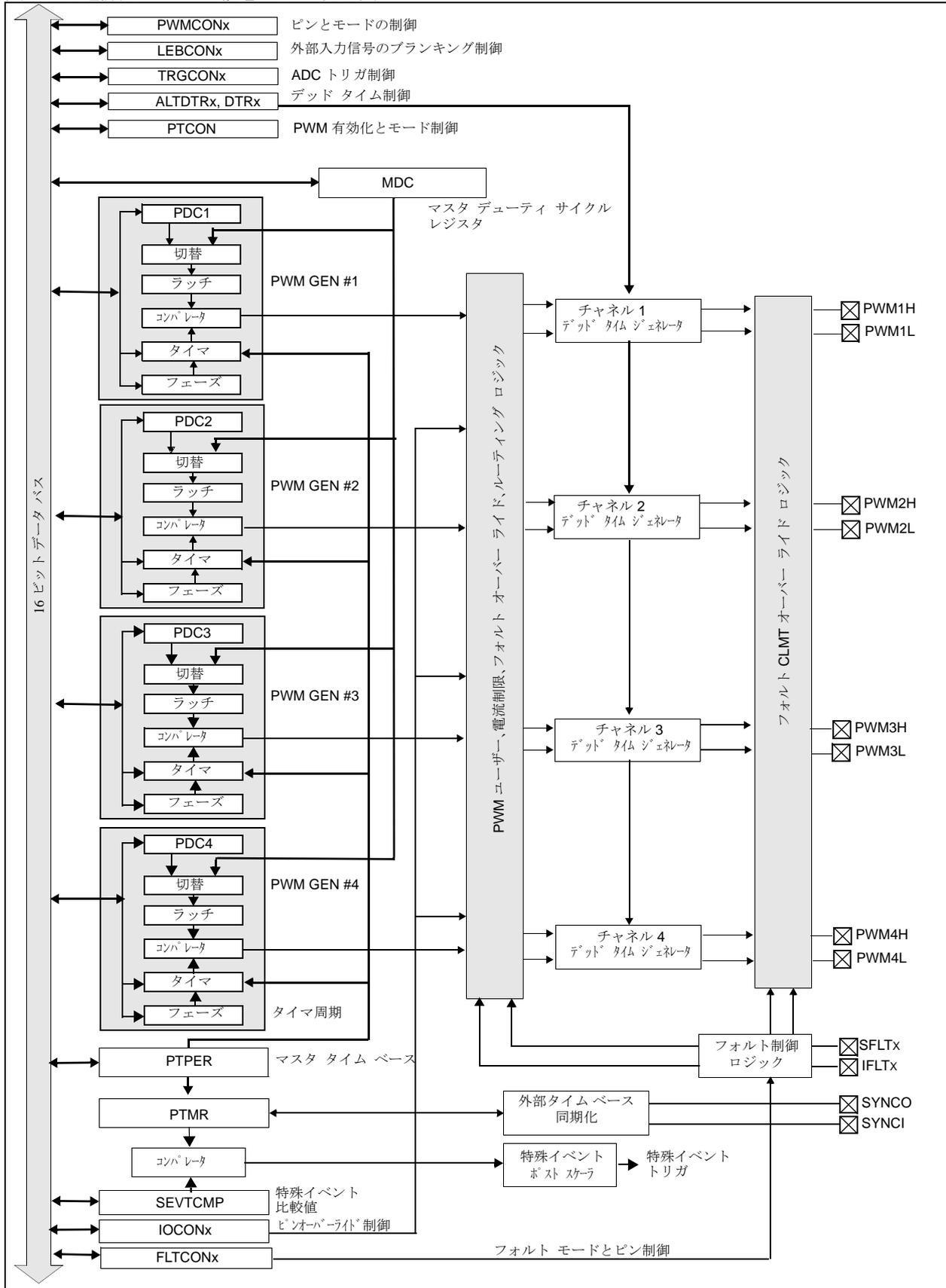
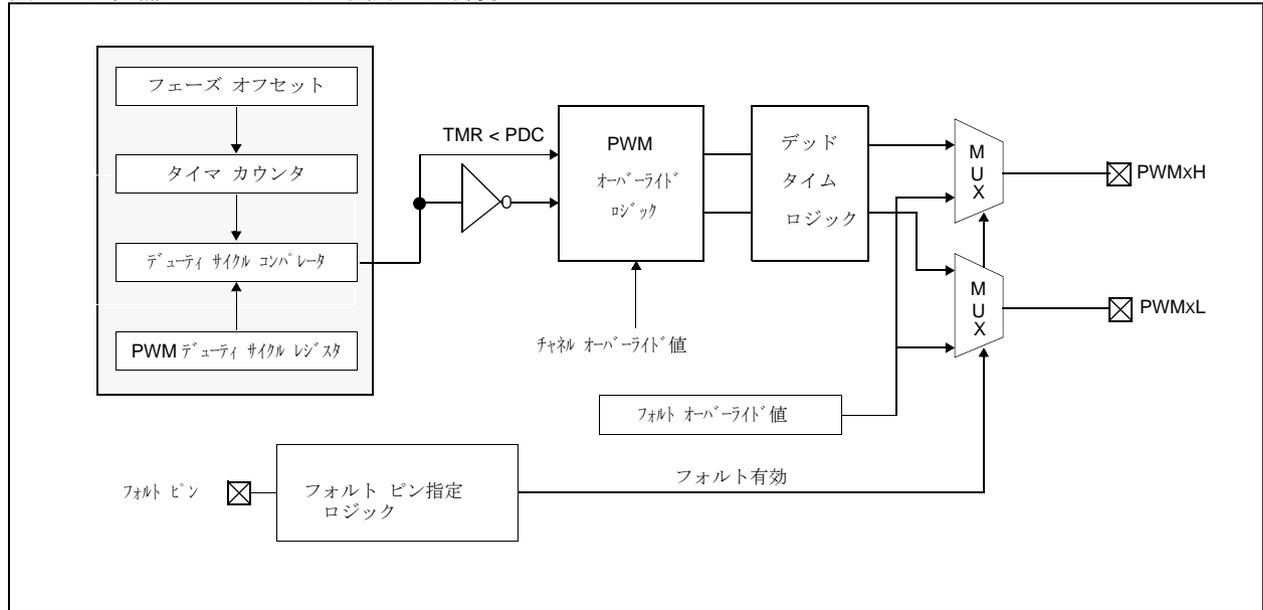


図 12-2: 相補 PWM モードの出力ペア部分



12.3 制御レジスタ

下記レジスタで電源 PWM モジュールの動作を制御します。

- PTCON: PWM タイム ベース制御レジスタ
- PTPER: 一次タイム ベース レジスタ
- SEVTCMP: PWM 特殊イベント比較レジスタ
- MDC: PWM マスタ デューティ サイクル レジスタ
- PWMCONx: PWM 制御レジスタ
- PDCx: PWM ジェネレータ デューティ サイクル レジスタ
- PHASEx: PWM フェーズシフトレジスタ
(個別周期モードに構成されたときは PWM 周期レジスタとなる)
- DTRx: PWM デッドタイム A レジスタ
- ALTDTRx: PWM 代替デッドタイム レジスタ
- TRGCONx: PWM トリガ制御レジスタ
- IOCONx: PWM I/O 制御レジスタ
- FCLCONx: PWM フォルト 電流制限制御レジスタ
- TRIGx: PWM トリガ比較値レジスタ
- LEBCONx: リーダ部ブランキング制御レジスタ

dsPIC30F1010/202X

レジスタ 12-1: PTCON: PWM タイム ベース制御レジスタ

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN	—	PTSIDL	SESTAT	SEIEN	EIPU	SYNCPOL	SYNCOEN
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCEN	SYNCSRC<2:0>			SEVTPS<3:0>			
bit 7							bit 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15 **PTEN:** PWM モジュール有効化ビット
 1 = PWM モジュール有効
 0 = PWM モジュール無効
- bit 14 **未実装:** 読むと「0」
- bit 13 **PTSIDL:** アイドル中は PWM タイム ベース停止ビット
 1 = CPU アイドルモード中は PWM タイム ベース停止
 0 = CPU アイドル中も PWM タイム ベース動作
- bit 12 **SESTAT:** 特殊イベント割り込みステータス ビット
 1 = 特殊イベント割り込み待ち中
 0 = 特殊イベント割り込みは発生していない
- bit 11 **SEIEN:** 特殊イベント割り込み有効化ビット
 1 = 特殊イベント割り込み有効
 0 = 特殊イベント割り込み無効
- bit 10 **EIPU:** 即時周期更新有効化ビット
 1 = 有効な周期レジスタを直ぐ更新する
 0 = 有効な周期レジスタの更新は PWM サイクル境界で行う
- bit 9 **SYNCPOL:** 入力極性同期化ビット t
 1 = SYNCIN 極性製を反転する (Low で有効)
 0 = SYNCIN は High で有効
- bit 8 **SYNCOEN:** 主タイム ベース同期有効化ビット t
 1 = SYNCO 出力有効
 0 = SYNCO 出力無効
- bit 7 **SYNCEN:** 外部タイム ベース同期化有効化ビット
 1 = 主タイム ベースの外部同期化有効
 0 = 主クロックの外部同期化無効
- bit 6-4 **SYNCSRC<2:0>:** 同期ソース選択ビット
 000 = SYNCI
 001 = 予
 .
 .
 111 = 予約
- bit 3-0 **SEVTPS<3:0>:** PWM 特殊イベントトリガ出力用ポストスケーラ選択ビット
 0000 = 1:1 ポスト スケーラ
 0001 = 1:2 ポスト スケーラ
 ||
 ||
 1111 = 1:16 ポスト スケーラ

レジスタ 12-2: PTPER: 一次タイム ベース レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTPER <15:8>							
bit 15				bit 8			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
PTPER <7:3>				—	—	—	
bit 7				bit 0			

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-3 一次タイム ベース (PTMR) 周期値ビット
 bit 2-0 未実装: 読むと '0'

レジスタ 12-3: SEVTCMP: PWM 特殊イベント比較レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SEVTCMP <15:8>							
bit 15				bit 8			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
SEVTCMP <7:3>				—	—	—	
bit 7				bit 0			

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-3 特殊イベント比較カウント値ビット
 bit 2-0 未実装: 読むと '0'

dsPIC30F1010/202X

レジスタ 12-4: MDC: PWM マスタ デューティ サイクル レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MDC<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MDC<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-0 マスタ PWM デューティ サイクル値ビット (1)

注 1: このレジスタの最小値は 0x0008 で、最大値は 0xFFEF。

レジスタ 12-5: PWMCONx: PWM 制御レジスタ

HS/HC-0	HS/HC-0	HS/HC-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLTSTAT	CLSTAT	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB	MDCS
bit 15							bit 8

R/W-0	R/W-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
DTC<1:0>		—	—	—	—	XPRES	IUE
bit 7							bit 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15 **FLTSTAT:** フォルト割り込みステータス

1 = フォルト割り込み待ち中
 0 = フォルト割り込みは発生していない
 このビットは FLTIEN = 0 に設定するとクリアされる

注: ソフトウェアでこの割り込みステータスと割り込みコントローラの対応する IFS ビットをクリアする必要がある

bit 14 **CLSTAT:** 電流制限割り込みステータス ビット

1 = 電流制限割り込み待ち中
 0 = 電流制限割り込みは発生していない
 このビットは CLIEN = 0 に設定することでクリアされる

注: ソフトウェアでこの割り込みステータスと割り込みコントローラの対応する IFS ビットをクリアする必要がある

bit 13 **TRGSTAT:** トリガ割り込みステータス ビット

1 = トリガ割り込み待ち中
 0 = トリガ割り込みは発生していない
 このビットは TRGIEN = 0 に設定することでクリアされる

bit 12 **FLTIEN:** フォルト割り込み有効化ビット

1 = フォルト割り込みを有効とする
 0 = フォルト割り込みを無効とし、FLTSTAT ビットをクリアする

レジスタ 12-5: PWMCONx: PWM 制御レジスタ (つづき)

bit 11	CLIEN: 電流制限割り込み有効化ビット 1 = 電流制限割り込みを有効とする 0 = 電流制限割り込みを無効とし、CLSTAT ビットをクリアする
bit 10	TRGIEN: トリガ割り込み有効化ビット 1 = トリガ イベントを生成し割り込みを要求する 0 = トリガ イベント割り込みを無効とし、TRGSTAT ビットをクリアする
bit 9	ITB: 個別タイム ベースモード ビット 1 = フェーズ x レジスタがこの PWM ジェネレータにタイム ベース周期を供給する 0 = 一次タイム ベースがこの PWM ジェネレータにタイミングを供給する
bit 8	MDCS: マスタ デューティ サイクル レジスタ 選択ビット 1 = MDC レジスタがこの PWM ジェネレータにデューティ サイクルの情報を供給する 0 = DCx レジスタがこの PWM ジェネレータにデューティ サイクルの情報を提供する
bit 7-6	DTC<1:0>: デッドタイム制御ビット 00 = 正側のデッドタイムを全出力モードに適用する 01 = 負側のデッドタイムを全出力モードに適用する 10 = デッドタイム機能を無効とする 11 = 予約
bit 5-2	未実装: 読むと '0'
bit 1	XPRES: 外部 PWM リセット制御ビット 1 = 個別タイム ベース モードのとき、電流制限要因でこの PWM ジェネレータのタイムベースをリセットする 0 = 外部ピンは PWM ベースには影響なし
bit 0	IUE: 即時更新有効化ビット 1 = アクティブな PDC レジスタを即時に更新する 0 = アクティブな PDC レジスタは PWM タイム ベースに同期させて更新する

レジスタ 12-6: PDCx: PWM ジェネレータ デューティ サイクル レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PDCx<15:8>							
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PDCx<7:0>							
bit 7				bit 0			

凡例:

R = 読み出し可	W = 書き込み可	U = 未実装、読むと「0」
-n = POR 後の値	'1' = セット	'0' = クリア
		x = 不定

bit 15-0 PWM ジェネレータ #x 用デューティ サイクル値ビット (1)

注 1: このレジスタの最小値は 0x0008 で、最大値は 0xFFEF

dsPIC30F1010/202X

レジスタ 12-7: PHASEx: PWM フェーズシフト レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEx<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
PHASEx<7:2>						—	—
bit 7							bit 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-2 **PHASEx<15:2>**: この PWM 用の PWM フェーズシフト値または個別タイムベース周期

注: 個別タイムベースとして使われた場合は、ビット <3:2> は使いません

bit 1-0 **未実装**: 読むと '0'

レジスタ 12-8: DTRx: PWM デッドタイム A レジスタ

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	DTRx<13:8>					
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
DTRx<7:2>						—	—
bit 7							bit 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-14 **未実装**: 読むと '0'

bit 13-2 **DTRx<13:2>:PWMx** デッドタイムユニット用 符号なし 12 ビットのデッドタイム値

bit 1-0 **未実装**: 読むと '0'

レジスタ 12-9: ALTDTRx: PWM 代替デッドタイム レジスタ

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	ALTDTRx<13:8>						
bit 15								bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
ALTDTR <7:2>						—	—
bit 7						bit 0	

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-14 未実装: 読むと '0'

bit 13-2 **ALTDTRx<13:2>**: PWMx デッドタイム ユニット用符号なし 12 ビット デッドタイム 値

bit 1-0 未実装: 読むと '0'

レジスタ 12-10: TRGCONx: PWM トリガ制御レジスタ

R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0	
TRGDIV<2:0>			—	—	—	—	—	
bit 15								bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	TRGSTRT<5:0>						
bit 7								bit 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-13 **TRGDIV<2:0>**: トリガ出力分周設定ビット

000 = トリガ イベントごとにトリガ出力
 001 = トリガ イベント 2 回ごとにトリガ出力
 010 = トリガ イベント 3 回ごとにトリガ出力
 011 = トリガ イベント 4 回ごとにトリガ出力
 100 = トリガ イベント 5 回ごとにトリガ出力
 101 = トリガ イベント 6 回ごとにトリガ出力
 110 = トリガ イベント 7 回ごとにトリガ出力
 111 = トリガ イベント 8 回ごとにトリガ出力

bit 12-6 未実装: 読むと '0'

bit 5-0 **TRGSTRT<5:0>**: トリガ用ポスト スケアラ開始有効化ビット

この値は ROLL カウンタ値を指定し、トリガ用分周器がカウントするトリガ イベント一致数となる

dsPIC30F1010/202X

レジスタ 12-11: IOCONx: PWM I/O 制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PENH	PENL	POLH	POLL	PMOD<1:0>		OVRENH	OVRENL
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
OVRDAT<1:0>		FLTDAT<1:0>		CLDAT<1:0>		—	OSYNC
bit 7						bit 0	

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15 **PENH:** PWMH 出力ピン従属指定ビット
 1 = PWM モジュールが PWMxH ピンを制御する
 0 = GPIO モジュールが PWMxH ピンを制御する
- bit 14 **PENL:** PWML 出力ピン従属指定ビット
 1 = PWM モジュールが PWMxL ピンを制御する
 0 = GPIO モジュールが PWMxL ピンを制御する
- bit 13 **POLH:** PWMH 出力極性指定ビット
 1 = PWMxH ピンをアクティブ Low とする
 0 = PWMxH ピンをアクティブ High とする
- bit 12 **POLL:** PWML 出力極性指定ビット
 1 = PWMxL ピンをアクティブ Low とする
 0 = PWMxL ピンをアクティブ High とする
- bit 11-10 **PMOD<1:0>:** PWM #x I/O ピンモード指定ビット
 00 = PWM I/O ピンペアを相補出力モードとする
 01 = PWM I/O ピンペアを個別出力モードとする
 10 = PWM I/O ピンペアをプッシュプル出力モードとする
 11 = 予約
- bit 9 **OVRENH:** PWMxH ピンの上書き有効化ビット
 1 = OVRDAT<1> を PWMxH ピンの出力データとする
 0 = PWM ジェネレータが PWMxH ピンのデータを供給
- bit 8 **OVRENL:** PWMxL ピンの上書き有効化ビット
 1 = OVRDAT<0> を PWMxL ピンの出力データとする
 0 = PWM ジェネレータが PWMxL ピンのデータを供給
- bit 7-6 **OVRDAT<1:0>:** 上書き有効なときの PWMxH,L ピン用データ ビット
 OVRRENH = 1 のとき、OVRDAT<1> を PWMxH 用データとする
 OVRRENL = 1 のとき、OVRDAT<0> を PWMxL 用データとする
- bit 5-4 **FLTDAT<1:0>:** FLTMODE モード有効なときの PWMxH,L ピン用データ ビット
 フォルトがアクティブなら、FLTDAT<1> を PWMxH 用データとする
 フォルトがアクティブなら、FLTDAT<0> を PWMxL 用データとする
- bit 3-2 **CLDAT<1:0>:** CLMODE のときの PWMxH,L ピン用データ ビット
 電流制限がアクティブなら、CLDAT<1> を PWMxH 用データとする
 電流制限がアクティブなら、CLDAT<0> を PWMxL 用データとする
- bit 1 **未実装:** 読むと '0'
- bit 0 **OSYNC:** 出力上書き同期化指定ビット
 1 = OVRDAT<1:0> ビットによる上書き出力を PWM タイム ベースに同期させる
 0 = OVDDAT<1:0> ビットによる上書き出力を次のクロック境界で行う

レジスタ 12-12: FCLCONx: PWM フォルト 電流制限制御レジスタ

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	CLSRC<3:0>				CLPOL
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CLMODE	FLTSRC<3:0>				FLTPOL	FLTMOD<1:0>	
bit 7						bit 0	

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-13 **未実装:** 読むと '0'

bit 12-9 **CLSRC<3:0>:** PWM #X ジェネレータ用電流制限信号ソース選択ビット

0000 = アナログ コンパレータ #1
 0001 = アナログ コンパレータ #2
 0010 = アナログ コンパレータ #3
 0011 = アナログ コンパレータ #4

0100 = 予約
 0101 = 予約
 0110 = 予約
 0111 = 予約

1000 = 共有フォルト #1 (SFLT1)
 1001 = 共有フォルト #2 (SFLT2)
 1010 = 共有フォルト #3 (SFLT3)
 1011 = 共有フォルト #4 (SFLT4)

1100 = 予約
 1101 = 個別フォルト #2 (IFLT2)
 1110 = 予約
 1111 = 個別フォルト #4 (IFLT4)

bit 8 **CLPOL:** PWM ジェネレータ #X 用電流制限極性指定ビット

1 = 選択した電流制限ソースはアクティブ Low とする
 0 = 選択した電流制限ソースはアクティブ High とする

bit 7 **CLMODE:** PWM ジェネレータ #X 用電流制限モード有効化ビット

1 = 電流制限機能を有効とする
 0 = 電流制限機能を無効とする

dsPIC30F1010/202X

レジスタ 12-12: FCLCONx: PWM フォルト 電流制限制御レジスタ (つづき)

- bit 6-3 **FLTSRC<3:0>**: PWM ジェネレータ #X 用フォルト制御信号ソース選択ビット
- 0000 = アナログ コンパレータ #1
 - 0001 = アナログ コンパレータ #2
 - 0010 = アナログ コンパレータ #3
 - 0011 = アナログ コンパレータ #4

 - 0100 = 予約
 - 0101 = 予約
 - 0110 = 予約
 - 0111 = 予約

 - 1000 = 共有フォルト #1 (SFLT1)
 - 1001 = 共有フォルト #2 (SFLT2)
 - 1010 = 共有フォルト #3 (SFLT3)
 - 1011 = 共有フォルト #4 (SFLT4)

 - 1100 = 予約
 - 1101 = 個別フォルト #2 (IFLT2)
 - 1110 = 予約
 - 1111 = 個別フォルト #4 (IFLT4)
- bit 2 **FLTPOL**: PWM ジェネレータ #X 用フォルト極性指定ビット
- 1 = 選択したフォルト ソースの極性はアクティブ Low とする
 - 0 = 選択したフォルト ソースの極性はアクティブ High とする
- bit 1-0 **FLTMOD<1:0>**: PWM ジェネレータ #x 用フォルト モード指定ビット
- 00 = 選択したフォルト ソースで PWMxH、PWMxL ピンを FLTDAT の値とする (ラッチ条件)
 - 01 = 選択したフォルト ソースで PWMxH、PWMxL ピンを FLTDAT の値とする (サイクルごと)
 - 10 = 予約
 - 11 = フォルト ピンは無効

レジスタ 12-13: TRIGx: PWM トリガ比較値レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TRGCMP<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
TRGCMP<7:3>					—	—	—
bit 7							bit 0

凡例:

R = 読み出し可

W = 書き込み可

U = 未実装、読むと「0」

-n = POR 後の値

‘1’ = セット

‘0’ = クリア

x = 不定

bit 15-3 TRGCMP<15:3>: トリガ制御値設定ビット⁽¹⁾

ADC モジュールのサンプリングと変換を開始させるトリガか、トリガ割り込みを生成するための PWMx タイム ベース用の比較値用レジスタ

bit 2-0 未実装: 読むと ‘0’

注 1: このレジスタの最小使用可能値は 0x0008。値が 0x0000 のときはトリガを生成しない。

TRIGx の値をデューティ サイクル値から計算する場合には、常に TRIGx 値の最小値以上が書き込まれるようにする必要がある

dsPIC30F1010/202X

レジスタ 12-14: LEBCONx: リーダ部ブランキング制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	LEB<9:8>	
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
LEB<7:3>					—	—	—
bit 7						bit 0	

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15 **PHR:** PWMH の立ち上がりエッジトリガ有効化ビット
 1 = PWMH の立ち上がりエッジで LEB カウンタをトリガする
 0 = LEB は PWMH の立ち上がりエッジを無視する
- bit 14 **PHL:** PWMH の立下りエッジトリガ有効化ビット
 1 = PWMH の立下りエッジで LEB カウンタをトリガする
 0 = LEB は PWMH の立下りエッジを無視する
- bit 13 **PLR:** PWML の立ち上がりエッジトリガ有効化ビット
 1 = PWML の立ち上がりエッジで LEB カウンタをトリガする
 0 = LEB は PWML の立ち上がりエッジを無視する
- bit 12 **PLF:** PWML の立下りエッジトリガ有効化ビット
 1 = PWML の立下りエッジで LEB カウンタをトリガする
 0 = LEB は PWML の立下りエッジを無視する
- bit 11 **FLTLEBEN:** フォルトピンリーダ部ブランキング有効化ビット
 1 = 選択したフォルト入力にリーダ部ブランキングを適用する
 0 = 選択したフォルト入力にリーダ部ブランキングを適用しない
- bit 10 **CLLEBEN:** 電流制限のリーダ部ブランキング有効化ビット
 1 = 選択した電流制限入力にリーダ部ブランキングを適用する
 0 = 選択した電流制限入力にリーダ部ブランキングを適用しない
- bit 9-3 **LEB:** 電流制限、フォルト入力のリーダ部ブランキング指定ビット
 値は 8 nsec 単位で増し分
- bit 2-0 **未実装:** 読むと '0'

12.4 モジュールの機能

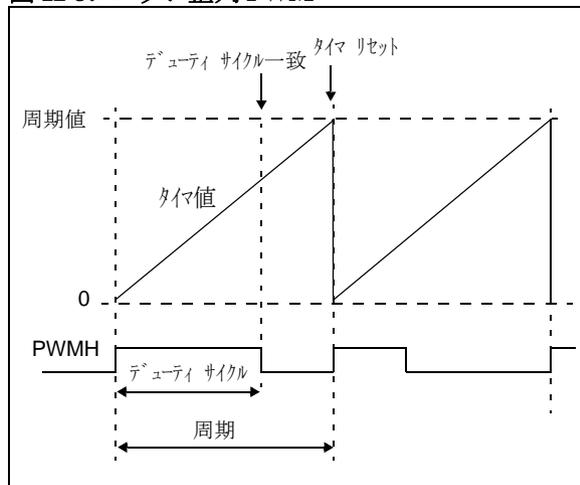
PS PWM モジュールは、他の PWM ジェネレータには見られないほどの高速設計となっています。モジュールは下記の PWM モードをサポートしています。

- 標準エッジ整列 PWM モード
- 相補 PWM モード
- プッシュプル PWM モード
- マルチフェーズ PWM モード
- 可変フェーズ PWM モード
- 電流制限 PWM モード
- 一定オフタイム PWM モード
- 電流リセット PWM モード
- 個別タイムベース PWM モード

12.4.1 標準エッジ整列 PWM モード

標準エッジ整列モード (図 12-3) は、基本的な PWM モードで、「バック」、「ブースト」、「フォワード」などの多種の電力コンバータ構成で使われています。エッジ整列 PWM を生成するため、タイマ/カウンタ回路がゼロから指定された最大値までカウントアップして周期を作ります。別のレジスタにはデューティサイクル値を持っていて、常にタイマ (周期の) 値と比較されています。タイマ/カウンタがデューティサイクル値以下の間は、PWM 出力がオンとなります。タイマ値がデューティサイクル値を超えると PWM 出力がオフとなります。タイマが周期値より大きくなるとタイマはリセットされ、上記を繰り返します。

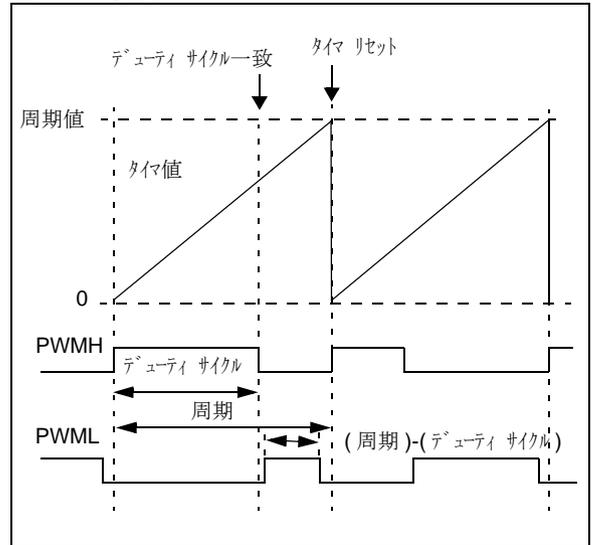
図 12-3: エッジ整列 PWM



12.4.2 相補 PWM モード

相補 PWM は、標準エッジ整列 PWM と同様にして生成されます。相補モードは 2 次の PWM を PWML ピンに出力し、それが 1 次の PWM 信号 (PWMH) の反対の信号となっています。相補モードの PWM を図 12-4 に示します。

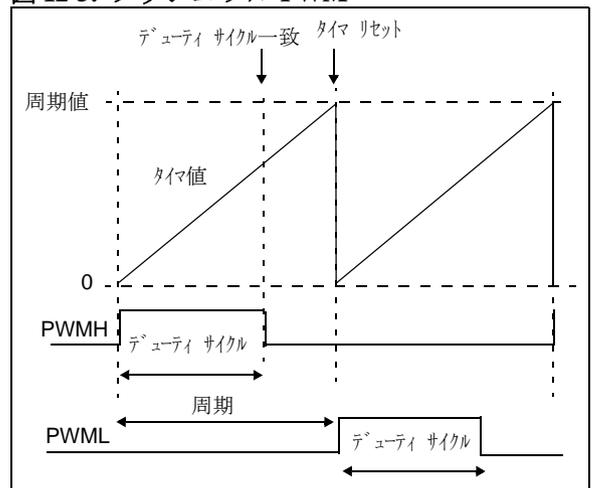
図 12-4: 相補 PWM



12.4.3 プッシュプル PWM モード

図 12-5 に示すプッシュプルモードは、標準のエッジ整列 PWM モードのバージョンで、実際の PWM 信号は 2 つの PWM ピンに交互に出力されます。相補の PWM 出力はありません。このモードは、トランス方式の電力コンバータに便利に使えます。トランス方式の回路では、コアを飽和させる直流は避けなければなりません。プッシュプルモードでは、それぞれのデューティサイクルの位相は異なっていますから、DC バイアスはゼロとなります。

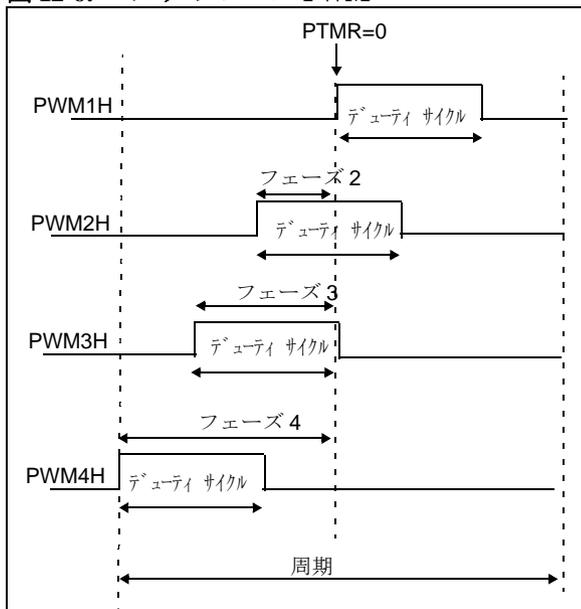
図 12-5: プッシュプル PWM



12.4.4 マルチ フェーズ PWM モード

図 12-6 に示すようなマルチフェーズPWMモードでは、PWM 出力を主タイム ベースと相対的にずらすため、フェーズレジスタのフェーズシフト値を使います。フェーズシフト値が主タイムベースに追加されるため、フェーズシフトされた出力は、ゼロフェーズのPWMチャンネルより早めに出力されることになります。マルチフェーズモードでは、フェーズシフト指定はアプリケーションによって決められます。

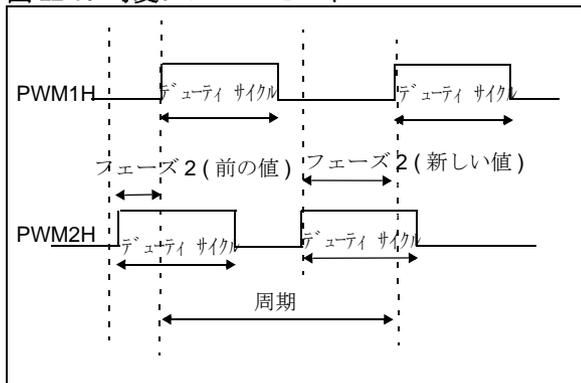
図 12-6: マルチフェーズ PWM



12.4.5 可変フェーズ PWM モード

図 12-7 には可変フェーズシフトのPWM波形を示します。電力コンバータの回路では、多くの PWM 回路が電力量を制御するのにデューティサイクルを可変するのに対し、この電力コンバータは、電力量を平均化するため常に PWM チャンネル間の位相をシフトさせます。可変フェーズの応用では、通常 PWM デューティサイクルは 50% に保たれます。フェーズシフト値は、PWM 信号がオフの間に更新されます。可変フェーズシフトモードでは相補出力が有効です。

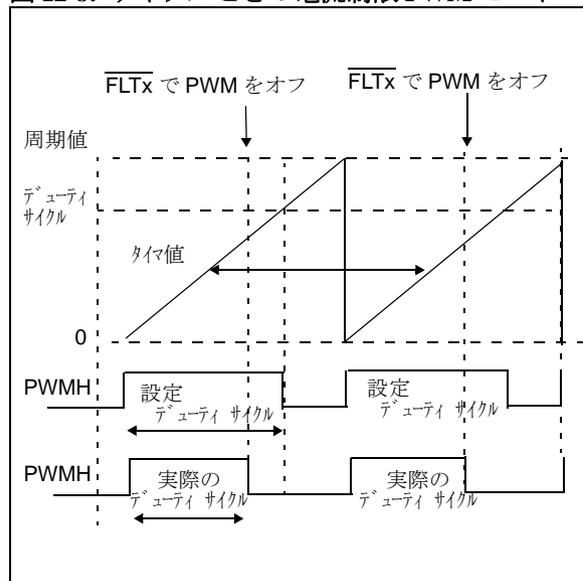
図 12-7: 可変フェーズモード



12.4.6 電流制限 PWM モード

図 12-8 にサイクル毎の電流制限モードを示します。このモードでは、選択したフォルト信号がオンになったら、PWM 信号をオフとします。PWM 出力値は、IOCONx レジスタ内のフォルト上書きビット (FLTDAT<1:0>) により指定されます。出力上書きは次の PWM サイクルが始まるまで保持されます。このモードは、力率制御回路 (PFC) によく使われ、インダクタ電流で PWM のオン時間を制御します。この場合には一定周波数の PWM モードです。

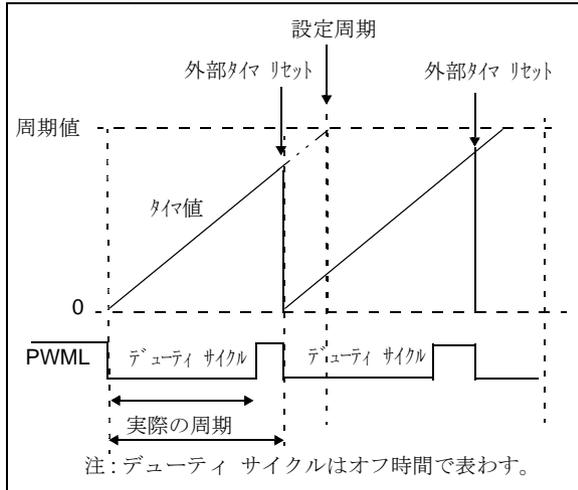
図 12-8: サイクルごとの電流制限 PWM モード



12.4.7 一定オフタイム PWM

図 12-9 に一定オフタイム PWM を示します。一定オフタイム PWM では、実際の PWM 周期が指定した PWM 周期以下の可変周波数モードとなります。PWM 信号のデューティ サイクルが終わったあと、PWM タイムベースが外部からリセットされて PWM 信号がオフとなります。このモードでは、オンタイム PWM モード (電流リセットモード) となるよう実装され、相補出力が使われます。

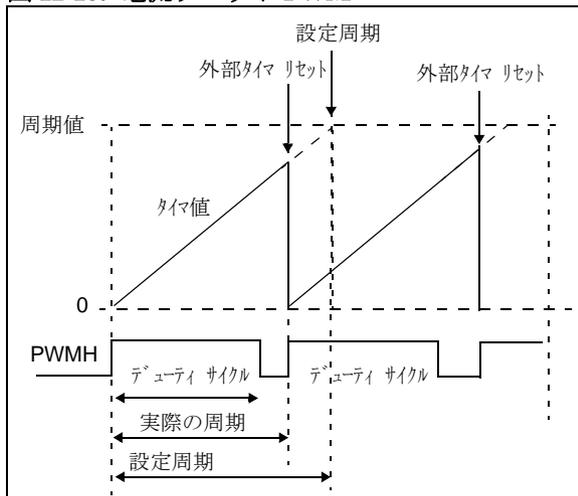
図 12-9: 一定オフタイム PWM



12.4.8 電流リセット PWM モード

図 12-10 に電流リセット PWM を示します。電流リセット PWM では、可変周波数モードを使いますので、実際の PWM 周期が設定周期以下となります。PWM デューティ サイクルが終わって PWM 出力がオフになった後、PWM タイムベースが外部リセットされます。電流リセット PWM は常にオン時間 PWM モードです。

図 12-10: 電流リセット PWM

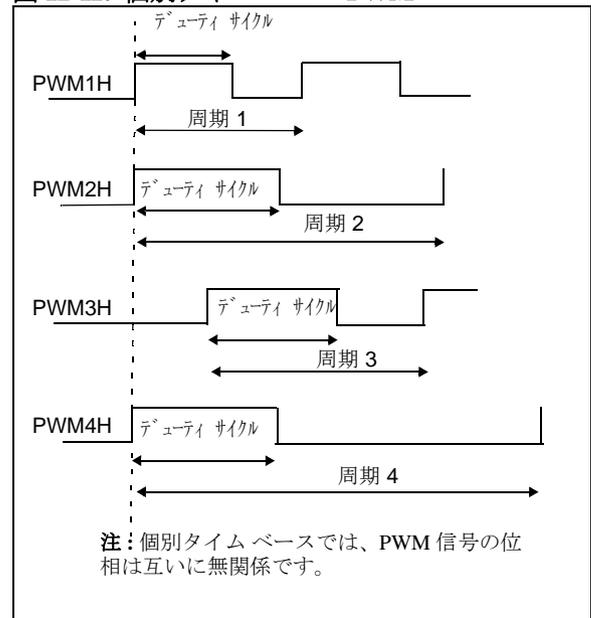


通常の電力コンバータ応用では、エネルギー蓄積インダクタは PWM 出力がオンの間に電流を蓄積し、PWM 信号がオフの間に負荷に電流を放電します。電流リセットの使い方では、外部電流計測回路がインダクタをいつ放電するかを決め、PWM モジュールのタイムベースをリセットする信号を生成します。電流リセットモードでは、相補出力が使えます。

12.4.9 個別タイムベースモード PWM

図 12-11 に個別タイムベース PWM を示しますが、これは dsPIC DSC が力率補正制御のような異なる電力コンバータ用補助回路も一緒に制御するときに使われ、こちらは 100kHz 程度の PWM で、フルブリッジのフォワードコンバータ部は 250kHz 程度の PWM となります。

図 12-11: 個別タイムベース PWM

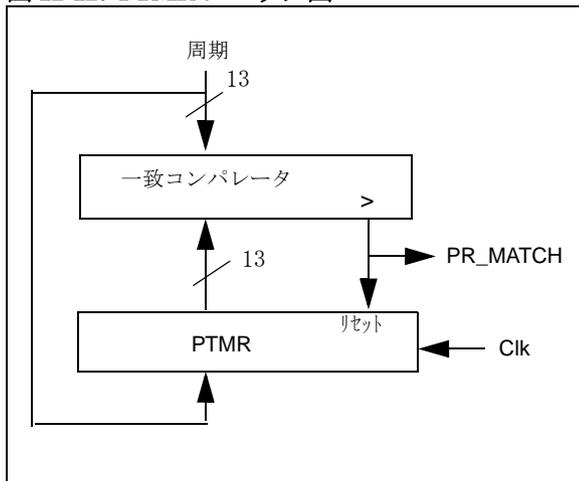


12.5 1次PWMタイムベース

すべてのPWMモジュール用の1次タイムベース (PTMR) カウンタがあり、さらにPWMジェネレータごとにも個別のタイムベースカウンタがあります。

PTMRは、個別タイムベースカウンタのデューティサイクルと、フェーズシフトレジスタの更新時期を決定します。さらにマスタのタイムベースは、特殊イベントトリガとタイムベース割り込みを生成します。図12-12に1次タイムベースのブロック図を示します。

図12-12: PTMRブロック図



1次タイムベースは、PTCONレジスタのSYNCSRC<2:0>ビットで指定された外部信号でリセットされます。この外部リセット機能は、PTCONレジスタのSYNCENビットで有効化されます。1次タイムベースのリセット機能は、1次タイムベースを他のSMPS dsPIC DSCデバイスや他のユーザー回路に同期させることをサポートします。1次タイムベースロジックは、他のSMPS dsPIC DSCのような外部デバイスを同期させるのに使える周期一致発生信号を出力します。

12.5.1 PTMR同期化

完全な同期化は不可能なので、2次(スレーブ)デバイスのタイムベース周期を、1次タイムベースより若干大きめに設定しておき、2つのタイムベースが同時にリセットされるようにします。

12.6 1次タイムベース用ロールカウンタ

1次タイムベースには6ビットカウンタが追加されていて、1次タイムベースの周期一致回数をカウントします。このROLLカウンタは、PWMジェネレータのADCモジュールへのトリガイベントを遅らせるのに使われます。このカウンタは読み出しできません。PWMジェネレータごとに、TRGCONxレジスタ内に6ビット (TRGSTRT<5:0>) を持っています。このビットは、TRGCONxレジスタのTRGDIV<2:0>ビットで制御されるTRIGxポストスケーラの動作を有効にするのに使われます。

TRGDIVビットがトリガパルスを何回おきに出するかを指定し、ROLLビットがいつ始めるかを指定します。TRIGポストスケーラが有効化されても、ROLLビットとTRGSTRTビットは、PWMモジュールが無効にされ再度有効化されるまで何の影響も与えません。

ROLLカウンタとTRGSTRTビットの目的は、PWMサイクルの流れでシステムの負荷を分散させることにあります。

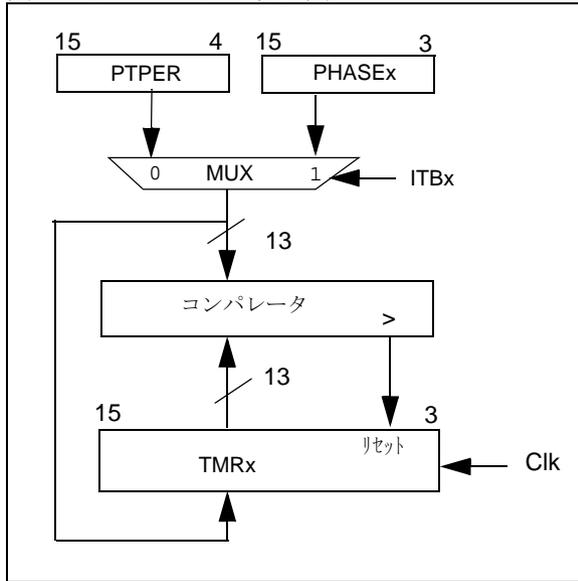
ROLLカウンタの別の使い方は、内部FRC発振器をPWMサイクルに基づいて変化させ、電力コンバータ部のトランジスタがスイッチングする際に発生するEMI放射ピークを減らすことです。

ROLLカウンタは、PWMモジュールが無効化される (PTEN = 0) とクリアされ、TRIGxポストスケーラが無効化されます。再度カウントを始めるには、TRGSTRTと新ROLLが一致することが必要です。

12.7 個別PWMタイムベース

PWMジェネレータごとにそれぞれのPWMタイムベースを持っています。図12-13に個別タイムベースの回路のブロック図を示します。PWMジェネレータごとのタイムベースにより、互いの位相をずらしたり、互いに独立のPWM出力をPWMモジュールが生成できます。個別PWMタイマ (TMRx) は、タイムベース値を生成し、これがデューティサイクルレジスタと比較されてPWM信号が生成されます。この個別タイムベースカウンタは、動かす前には動作中に、フェーズシフトレジスタにより初期化することができます。1次タイマ (PTMR) と個別タイマ (TMRx) は、読み出しできません。

図 12-13: TMRx ブロック図



通常、1 次タイムベース (PTMR) は、個別タイマ / カウンタが横並びで揃うように同期化を制御します。

PWM フェーズシフト機能が使われたときは、PTMR は同期信号を個別タイマ / カウンタに供給し、これでそれぞれが個別フェーズシフト値に再同期させるようにします。

PWM ジェネレータが個別タイムベースモードで動作しているときは、個別タイマ / カウンタは、各フェーズレジスタに設定された値に一致するまでカウントアップしたあとリセットされ、これを繰り返します。

1 次タイムベースと個別タイムベースは、13 ビットカウンタとして実装されています。タイマ / カウンタは、30 MIPS のとき 120 MHz でクロックされるので、周波数分解能は 8.4 nsec となります。

すべてのタイマ / カウンタは PTCON レジスタの PTEN ビットをセット、クリアすることで有効 / 無効化されます。ソフトウェアで PTEN ビットをクリアするとタイマがクリアされます。

PTPER レジスタは PTMR のカウント周期を設定します。PTPER<15:3> に 13 ビットを書き込む必要があります。PTMR<15:3> の値が PTPER<15:3> の値に一致すると、1 次タイムベースが「0」にリセットされ、個別タイムベースはそれぞれのフェーズ値に再初期化されます (個別タイムベースモード以外の場合)。

12.8 PWM 周期

PTPER には、1 次 PWM タイムベースのカウント周期を決める 13 ビットの値が保持されています。タイマ周期は、いつでも更新可能です。PWM 周期は下記式で決まります。

$$\text{周期時間} = (\text{PTPER} + 1) / 120 \text{ MHz} @ 30 \text{ MIPS}$$

12.9 PWM 周波数と デューティサイクル分解能

PWM デューティサイクル分解能は、30 MIPS のとき LSB あたり 1.05 nsec となります。PWM 周期分解能は、30 MIPS のとき 8.4 nsec となります。表 12-1 に実行速度が 30 MIPS のときの PWM 周波数とデューティサイクル分解能を示します。

表 12-1: 30MIPS のとき可能な PWM 周波数と分解能

MIPS	PWM デューティサイクル分解能	PWM 周波数
30	16 bits	14.6 KHz
30	15 bits	29.3 KHz
30	14 bits	58.6 KHz
30	13 bits	117.2 KHz
30	12 bits	234.4 KHz
30	11 bits	468.9 KHz
30	10 bits	937.9 KHz
30	9 bits	1.87 MHz
30	8 bits	3.75 MHz

表 12-2: 20MIPS のとき可能な PWM 周波数と分解能

MIPS	PWM デューティサイクル分解能	PWM 周波数
20	14 bits	39 KHz
20	12 bits	156 KHz
20	10 bits	624 KHz
20	8 bits	2.5 MHz

ある PWM 周波数で可能な分解能の減少は、クロック周波数に比例していることと、デューティサイクル分解能の LSB が固定の遅延要素に起因することに留意してください。30 MIPS より低い動作周波数では、遅延要素の影響は 1 LSB より小さくなります。

周波数共振モード電力コンバータ応用では、可能な PWM 周波数分解能が判っている必要があります。可能な周波数分解能は PWM 周波数により変わります。PWM タイムベースのクロックは 30 MIPS のとき 120 MHz です。下記式で PWM 周期に対する周波数分解能が得られます。

$$\text{周波数分解能} = 120 \text{ MHz} / (\text{周期})$$

$$\text{ここで 周期} = \text{PTPER} < 15:3 >$$

12.10 PWM デューティ サイクル 比較ユニット

PWM モジュールには 2 個から 4 個の PWM デューティ サイクル ジェネレータがあります。3 個から 5 個の 16 ビットの特種機能レジスタが、PWM モジュールのデューティ サイクルを設定するのに使われます。

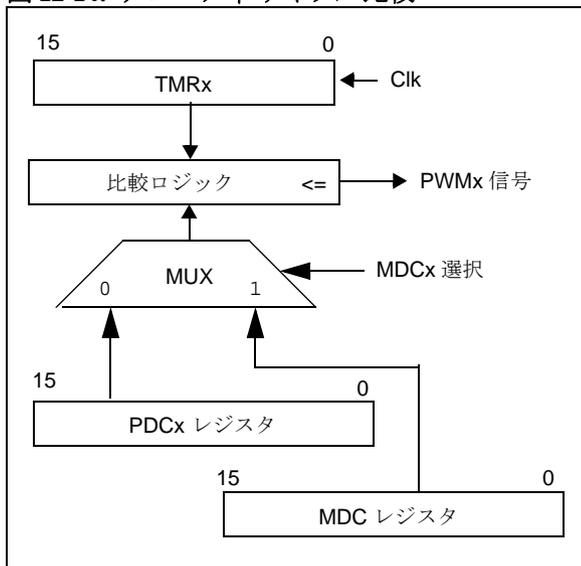
- MDC (マスタ デューティ サイクル)
- PDC1、..., PDC4 (デューティ サイクル)

PWM ジェネレータごとにそれぞれのデューティ サイクル レジスタがあり、別に 1 個のマスタ デューティ サイクル (MDC) レジスタがあります。MDC レジスタは、個別のデューティ サイクル レジスタの代わりとして使うことができます。MDC レジスタは、複数の PWM ジェネレータで共通のデューティ サイクル レジスタを共有するようにして、複数のデューティ サイクル レジスタの更新設定をするための CPU のオーバーヘッドを減らします。

各デューティ サイクル レジスタの値は、PWM 出力をアクティブ状態にする時間を決めます。PWM タイムベースは 13 ビット幅のカウンタで命令サイクルごとに 2 カウントずつ増し分します。PWM 出力は、タイマ/カウンタがデューティ サイクル レジスタの上位 13 ビット値以下の間オンとなります。各デューティ サイクル レジスタには、16 ビットのデューティ サイクルを設定できます。デューティ サイクル レジスタの下位 3 ビットは、PWM 信号のエッジを微調整する追加ロジックに使われます。

図 12-14 にデューティ サイクル比較ロジックのブロック図を示します。

図 12-14: デューティ サイクル比較



デューティ サイクル値はいつでも更新できます。またオプションでデューティ サイクル値を、1 次タイムベースが次にロールオーバーするまで待たせてから有効にすることもできます。

12.11 相補 PWM 出力

相補 PWM 出力モードでは、ペアの PWM 出力ピンに真とそれを反転させた PWM 出力を供給します。補完の PWM 信号は、アクティブな PWM 信号を反転させることで生成しています。補完出力はプッシュプル PWM と個別 PWM 出力モード以外のときは常に有効となっています。

12.12 個別 PWM 出力

個別 PWM 出力モードでは、単純にアクティブな PWM 出力信号と同じものを、PWM ジェネレータに連携する両方の出力ピンに出力します。

12.13 デューティ サイクル制限

デューティ サイクル ジェネレータは許容範囲内に制限されます。値 0x0008 が出力パルスを生成できる最小のデューティ サイクル値です。この値のとき 30 MIPS で 8.4 nsec となります。この最小制限は、実際の応用では問題になりません。なぜなら PWM 出力バッファや外部 FET ドライバ、パワー トランジスタのスループット限界があるからです。実際の制御ループでは、トランジスタの最小オン時間を確保するため、より大きなデューティ サイクル値を必要とします。

デューティ サイクル値の最大値は 0xFFEF に制限されています。したがって、ユーザーは、デューティ サイクル値を 0x0008 から 0xFFEF 内にする必要があります。

注: デューティ サイクルを 0x0000 にすると PWM 出力はゼロになり、デューティ サイクル値を 0xFFFF にすると High の PWM 出力となります。

12.14 デッドタイム生成

デッドタイムはデッドタイムレジスタ (DTR) か、ALTDTRレジスタで設定されたプログラマブルな周期時間を参照し、対応する相補 PWM 出力が指定時間オフされている間に、PWM 出力がオンにならないようにします。図 12-15 は、相補ペアの PWM 出力にデッドタイムが挿入されることを示しています。図 12-16 は、それぞれのデッドタイム値を持つ4つのデッドタイムユニットを示します。

デッドタイムの生成は、いずれかの PWM I/O ピンがいずれかのモードで動作すれば行われます。

多くの電源コンバータ回路で、トランジスタは瞬時にスイッチすることができませんからデッドタイムが必要となります。貫通電流を避けるためには、片方の PWM 出力がターンオフし、補完側がターンオンするまでの間をあける必要があります。

PWM モジュールは負のデッドタイムも提供できます。負のデッドタイムは、PWMH と PWML 信号がオーバーラップするようにします。コンバータテクニックには、ある程度制限された貫通電流を必要とするものがあります。

デッドタイム機能は PWM ジェネレータごとに無効とすることができます。デッドタイム機能は PWMCON レジスタの DTC<1:0> ビットにより制御されます。

注: ゼロのデッドタイムが必要なときは、PWMCON レジスタの DTC<1:0> ビットにより、デッドタイム機能を無効にしなければなりません。

図 12-15: 相補 PWM でのデッドタイム挿入

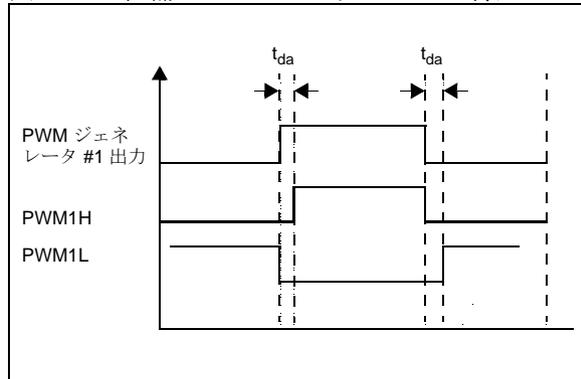
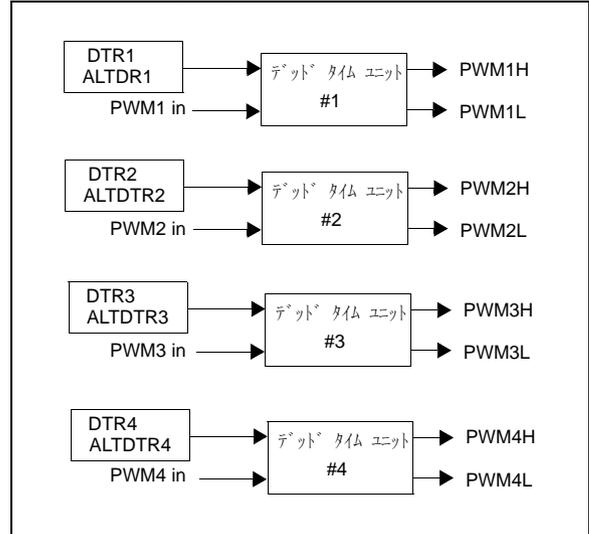


図 12-16: デッドタイム制御ユニットのブロック図



12.14.1 デッドタイム ジェネレータ

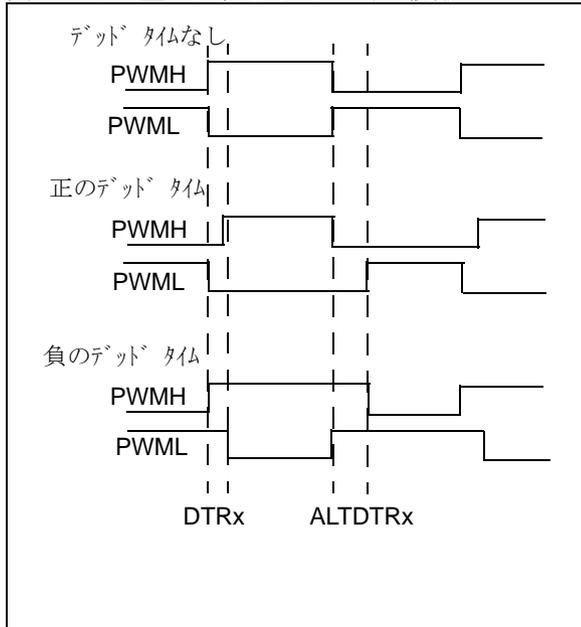
PWM モジュールの相補出力ペアごとに 12 ビットのダウンカウンタを持っていて、デッドタイムの挿入を行います。各デッドタイムユニットは、デューティサイクル比較出力の立ち上がり立ち下りを検知します。

エッジの立ち上がりか立ち下りかにより、相補出力の片側の遷移に対応するカウンタがゼロになるまで遅らせます。図 12-15 に PWM のペアに対するデッドタイムの挿入のタイミング図を示します。

12.14.2 代替デッドタイムソース

代替デッドタイムは、ALTDTR レジスタで指定されたデッドタイムを参照し、補完 PWM 出力に適用されます。図 12-17 に、ALTDTR レジスタを使った 2 重のデッドタイムの挿入を示します。

図 12-17: 2重のデッドタイム時の波形



12.14.3 デッドタイム範囲

各デッドタイムユニットで供給できるデッドタイムの時間は、DTRx レジスタの 12 ビットの符号なしの値で設定されます。12 ビットのデッドタイムカウンタは、命令実行ごとに 4 回カウントします。デッドタイム値の最下位の LSB ビットは PWM モジュールの微調整に使われます。

表 12-3 にデバイス動作速度に対するデッドタイムの範囲を示します。

表 12-3: デッドタイム範囲の例

MIPS	分解能	デッドタイム範囲
30	4.16 ns	0-17.03 μsec
20	6.25 ns	0-25.59 μsec

12.14.4 デッドタイムの挿入タイミング

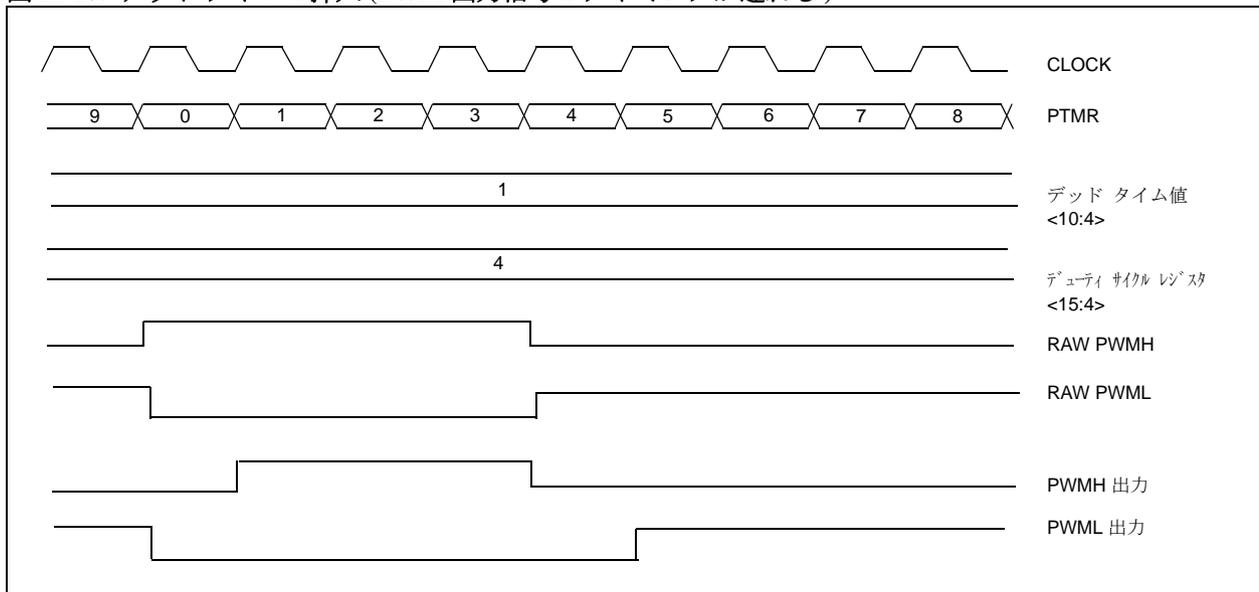
図 12-18 に相補信号にどのようにデッドタイムが挿入されるかを示しています。

12.14.5 デッドタイムによる歪

小さな PWM デューティでは、デッドタイムの割合が PWM アクティブ時間に対し大きくなってしまいます。この場合、デッドタイムの挿入により PWM モジュールにより生成された波形に歪を生じさせます。この場合、PWM デューティサイクルをデッドタイムの 3 倍より大きくするようにすれば、デッドタイムによる歪を最小にできます。

同様の影響がデューティサイクルが 100% 近いときにも起きます。この場合も、アプリケーションで使う最大のデューティサイクルを、最小のオフ時間が、デッドタイムの 3 倍より大きくなるようにします。

図 12-18: デッドタイムの挿入 (PWM 出力信号のタイミングが遅れる)



12.15 PWM チャネルの構成

例 12-1 は、PWM チャネル 1 を相補モードで 400kHz で動作させ、デッドタイムを約 64 nsec とする構成のコード例です。ここで、dsPIC30F1010/202x を使い、内蔵高速 RC 発振器を PLL 付きの高周波数範囲で動作させるものとしています (14.55 MHz を PLL 入力とし、工業温度品とする)。

12.16 PWM 出力回路の速度制限

PWM 出力 I/O バッファと、それに接続される FET ドライバやパワー FET などの回路は、スルー レートに制限があります。非常に小さなデューティサイクルの PWM のとき、PWM 出力信号がローパス でフィルタされ、回路にパルスがまったく生成されません。

同様の影響がデューティサイクルが 100% 近いところでも起きます。100% のデューティサイクルになる前に、出力 PWM 信号が 100% で飽和したようになります。

アプリケーションでこれへの対策をしておく必要があります。普通の電力コンバータ応用では、デューティサイクルが 0% や 100% 近くになることは避けます。これはつまり動作が不連続モードか、飽和モードになっていて、制御ループが機能していないことになるからです。

12.17 PWM 特殊イベント トリガ

PWM モジュールは A/D 変換を PWM タイム ベースに同期させるための特殊イベント トリガを持っています。A/D サンプリングと変換を、PWM 周期の任意の時点で開始できるよう設定できます。特殊イベントトリガにより、A/D 変換結果が得られるとき、デューティサイクル値が更新されるときの間の遅延を最小にできます。

特殊イベントトリガは 1 次 PWM タイム ベースに基づいています。

PWM 特殊イベント トリガは、動作を制御するために、1 個のレジスタ (SEVTCMP) とさらに 4 個の制御ビット (PTCON 内の SEVTPS<3:0>) を持っています。特殊イベントトリガを発生するための PTMR 値が SEVTCMP レジスタにロードされます。

12.17.1 特殊イベントトリガの有効化

PWM モジュールは常に特殊イベントトリガパルスを提供します。この信号はオプションとして ADC モジュールで使うことができます。

12.17.2 特殊イベント トリガ用ポスト スケーラ

PWM 特殊イベントトリガは、1:1 から 1:16 の分周比を持つポスト スケーラを持っています。ポスト スケーラは、PTCON レジスタ内の SEVTPS<3:0> 制御ビットに書き込む値で構成されます。

特殊イベントトリガ出力用ポストスケーラは、下記イベントでクリアされます。

- SEVTCMP レジスタへの任意の書き込み。
- デバイスリセット。

12.18 個別 PWM トリガ

PWM モジュールは、PWM ジェネレータごとに別の ADC トリガ機能も持っています。この機能は、PWM ジェネレータが個別タイム ベース モードで動作しているとき便利に使えます。

図 12-19 にトリガ回路のブロック図を示します。TRIGx レジスタに一致させる値を設定します。個々のタイム ベース カウンタの値が、TRIGx の値と一致したら、ADC トリガ信号が生成されます。

トリガ信号は、TRIGx の値が個別のタイム ベース用の PWM 周期値以下であれば、TRIGx の値に関係なく常に生成されます。このとき、PWMCONx レジスタ内の TRIGIEN ビットがセットされていれば、割り込み要求が生成されます。

個別トリガ出力は、TRGCONx レジスタ内の TRGDIV<2:0> ビットに基づいて分周され、ADC へのトリガ信号が、1、2、3、...、7 トリガ イベントごとに一度生成されます。

トリガ分周により、制御ループに必要な ADC サンプル比にあわせられるようにします。

dsPIC30F1010/202X

例 12-1: TPWM チャンネル 1 を構成するコード例

注: このコード例は、PWM モジュールの多種のフォルト モードに対応する構成を説明するものではありません。これは PWM モジュールの設定方法の簡単なガイド用です。

```
mov #0x0400, w0          ; PWM Module is disabled, continue operation in
mov w0, PTCON            ; idle mode, special event interrupt disabled,
                        ; immediate period updates enabled, no external
                        ; synchronization

; Set the PWM Period
mov #0x094D, w0         ; Select period to be approximately 2.5usec
mov w0, PTPER          ; PLL Frequency is ~480MHz. This equates to a
                        ; clocke period of 2.1nsec. The PWM period and
                        ; duty cycle registers are triggered on both +ve
                        ; and -ve edges of the PLL clock. Therefore,
                        ; one count of the PTPER and PDCx registers
                        ; equals 1.05nsec.
                        ; So, to achieve a PWM period of 2.5usec, we
                        ; choose PTPER = 0x094D

mov #0x0000, w0         ; no phase shift for this PWM Channel
mov w0, PHASE1         ; This register is used for generating variable
                        ; phase PWM

; Select individual Duty Cycle Control
mov #0x0001, w0        ; Fault interrupt disabled, Current Limit
mov w0, PWMCON1       ; interrupt disabled, trigger interrupt,
                        ; disabled, Primary time base provides timing,
                        ; DC1 provides duty cycle information, positive
                        ; dead time applied, no external PWM reset,
                        ; Enable immediate duty cycle updates

; Code for PWM Current Limit and Fault Inputs
mov #0x0003, w0
mov w0, FCLCON1       ; Disable current limit and fault inputs

; Code for PWM Output Control
mov #0xC000, w0       ; PWM1H and PWM1L is controlled by PWM module
mov w0, IOCON1       ; Output polarities are active high, override
                        ; disabled

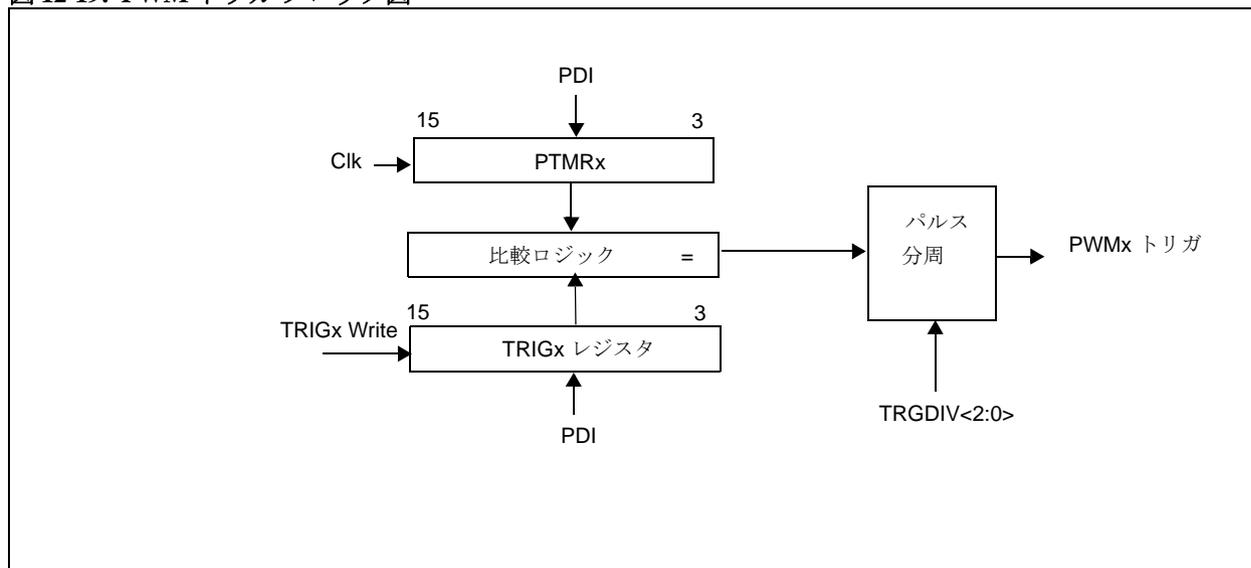
; Duty Cycle Setting
mov #0x04A6, w0      ; To achieve a duty cycle of 50%, we choose
mov w0, PDC1        ; the PDC1 value = 0.5*(PWM Period)
                        ; The ON time for the PWM = 1.25usec
                        ; The Duty Cycle Register will provide
                        ; positive duty cycle to the PWMxH outputs
                        ; when output polarities are active high
                        ; (see IOCON1 register)

; Dead Time Setting
mov #0x0040, w0     ; Dead time ~ 67nsec
mov w0, DTR1       ; Hex(40) = decimal(64)
                        ; So, Dead time = 64*1.05nsec = 67.2nsec
                        ; Note that the last 2 bits are unimplemented,
                        ; therefore the dead time register can achieve a
                        ; a resolution of about 4nsec.

mov w0, ALTDTR1    ; Load the same value in ALTDTR1 register

bset PTCON, #15    ; turn ON PWM module
```

図 12-19: PWM トリガブロック図



12.19 PWM の割り込み

PWM モジュールは、内部タイミングか電流制限やフォルト入力からの外部信号に基づいて割り込みを生成します。1 次タイム ベース モジュールは、特殊イベントが発生したとき割り込みを要求します。PWM ジェネレータ モジュールごとに、それぞれの割り込みコントローラへの割り込み信号を持っています。PWM ジェネレータの割り込みは、それぞれのトリガ イベント割り込み要求、電流制限入力イベント、フォルト入力イベントの OR となっています。

割り込みコントローラへの 4 つの割り込み要求信号の他に、さらに 1 次タイム ベースからの特殊イベントによる割り込み要求が加わります。

12.20 PWM タイム ベース割り込み

PWM モジュールは、1 次タイム ベースか PWM ジェネレータごとの個別タイム ベースによる割り込みを発生します。割り込みのタイミングは、1 次タイム ベースは特殊イベント 比較レジスタ (SEVTCMP) で、個別タイム ベースは PWM ジェネレータモジュール内の TRIGx レジスタで設定されます。

1 次タイム ベース特殊イベント割り込みは、PTCON レジスタの SEIEN ビットにより許可されます。個別タイム ベースの割り込みは、PWM ジェネレータごとのトリガロジックにより生成され、PWMCONx レジスタの TRGIEN ビットで制御されます。

12.21 PWM フォルト ピンと電流制限ピン

PWM モジュールは、PWM ジェネレータごとに複数フォルトピンをサポートしています。これらのピンは、SFLT_x(共用フォルト) か、IFLT_x(個別フォルト) と呼ばれています。共用フォルト ピンは、すべての PWM ジェネレータで使われます。個別フォルト ピンは個別の PWM ジェネレータで使われます。

PWM ジェネレータごとにサイクルバイサイクル電流制限用の 1 ピンと、サイクルバイサイクル電流制限用またはフォルト時電流停止用に使うピンとがあります。

12.22 リード部ブランキング

各 PWM ジェネレータは、電流制限とフォルト入力に対し「リード部ブランキング」をサポートしていて、LEB_{CONx} レジスタの LEB<9:3> ビットと PHR、PHF、PLR、PLF、FLTLEBEN、CLLEBEN ビットで設定されます。リード部ブランキングの目的は、パワー トランジスタがオン、オフする際にプリント回路基板上で発生する過渡現象をマスクすることです。

PWMH と PWML 信号の立ち上がりか立下りから、LEB ビットの設定により 8.4 nsec 単位で 0 から 1024 nsec の間、電流制限とフォルト入力をブランキング (無視) します。PWM 信号 (PWM 微調整後の信号) は、8.4 nsec (30 MIPS のとき) の分解能を持っていますが、これは LEB カウンタの分解能と同じとなっています。

PHR、PHF、PLR、PLF ビットは PWMH と PWML 信号のどちらのエッジからブランキングするかを決めます。あらたなエッジが選択されると、LEB タイマがすでに前の選択 PWM エッジで動作中でも、再初期化されてカウントを継続します。

dsPIC30F1010/202X

FLTLEBEN と CLLEBEN ビットは、選択したフォルトと電流制限入力に対するブランキング期間を有効とします。

LEB 継続期間 @ 30 MIPS = (LEB<9:3> + 1)/120 MHz となります。

ブランキングには 8.4 nsec のオフセットがあります。したがって、LEB<9:3> の値がゼロでも実効のブランキング期間が 8.4 ns となります。

電流制限かフォルト入力、前の PWM サイクル終了時でアクティブなら、次の PWM サイクルもアクティブで開始され、デッドタイムもゼロではなく、フォルトか電流制限も LEB カウンタ構成に関係なく検出されます。

12.23 PWM フォルトピン

PWM ジェネレータごとに、それぞれのフォルト入力ソースを 12 ピンのフォルト/電流制限ピンから選択できます。FCLCONx レジスタ内に、PWM ジェネレータごとのフォルト入力ソース設定用のビットがあります。それが FLTSRC<3:0> ビットです。さらに、PWM ジェネレータごとに PWMCONx レジスタの FLTIEN ビットでフォルト割り込み生成の許可ができます。PWM ジェネレータごとに、FCLCONx レジスタのフォルト極性ビット (FLTPOL) で指定したフォルト入力のアクティブ極性を指定できます。

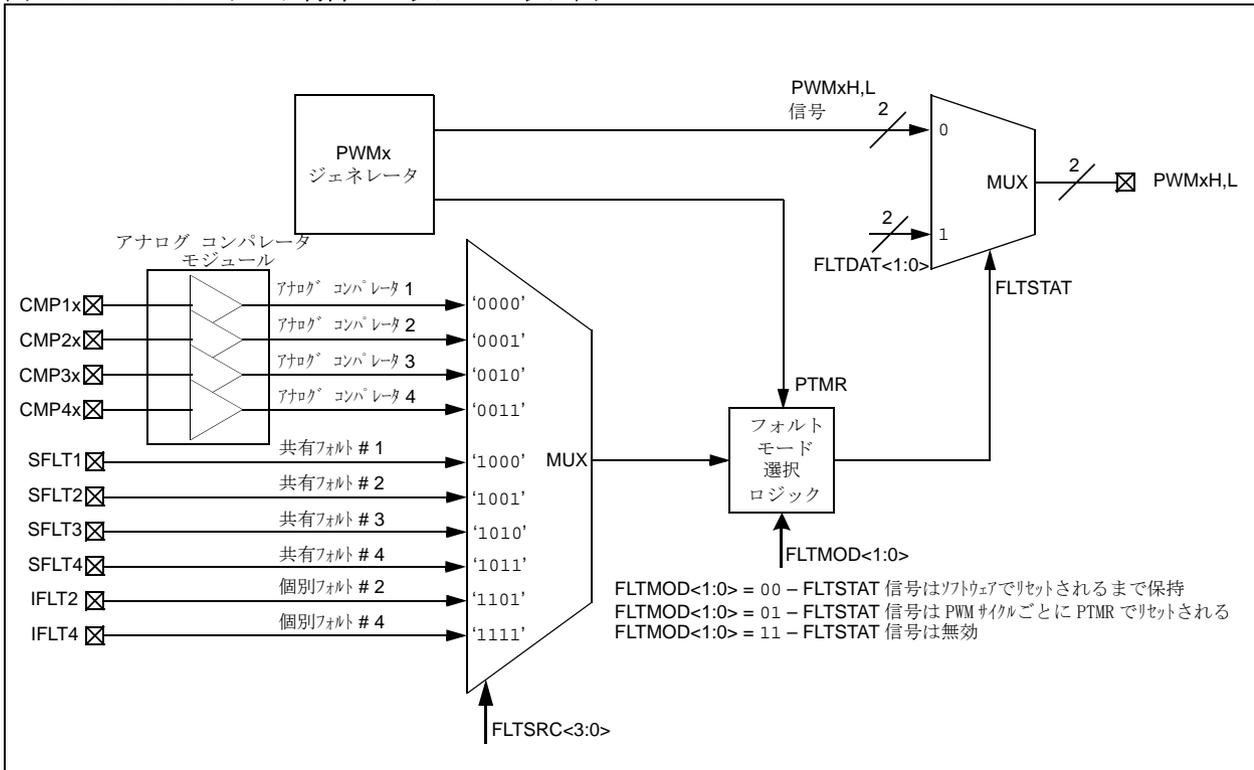
フォルトピンは、2つの目的で使われます。ひとつは、PWM 出力のフォルト時上書き用です。PWM 出力を上書きし割り込みを発生する動作は、ハードウェアで非同期に実行されますので、フォルト イベントは直ぐ処理されます。ふたつめは、フォルトピン入力により、電流制限 PWM モードか電流固定モードにするためです。

PWM フォルト状態は、PWMCONx レジスタの FLTSTAT ビットでわかります。FLTSTAT ビットは、FIE ビットがセットされていれば、フォルト IRQ ラッチの状態を表します。フォルト割り込みが禁止であれば、FLSTATx ビットは、指定した FLTx 入力の状態を正論理形式で表します。対応する PWM ジェネレータでフォルト入力ピンが使われないのであれば、これらのピンは汎用 I/O ピンか割り込み付き入力ピンとして使えます。

通常 FLTx ピンはアクティブ High です。FCLCONx レジスタの FLTPOL ビットが 1 にセットされると、指定したフォルトピン信号は反転し、アクティブ Low となります。

フォルトピンは PWM モジュールが有効なときでも PORT I/O として読み出せます。これによりソフトウェアでフォルトピンのポーリングをすることもできます。図 12-20 に PWM フォルト制御ロジックのブロック図を示します。

図 12-20: PWM フォルト制御ロジックブロック図



12.23.1 フォルト割り込み

PWMCONx レジスタの FLTIENx ビットにより、FLT_x 入力が入オンになったとき割り込みを発生させるかどうかを決めます。FCLCONx レジスタの FLTMOD ビットにより、フォルトピン入力に対し、PWM ジェネレータとその出力をどう応答させるかを決めます。IOCONx レジスタの FLTDAT<1:0> ビットにより、フォルトが発生したときの PWM_xH、L ピンへの出力データを指定します。

フォルトピンロジックはPWMロジックとは独立に外部割り込みピンとして動作させることができます。FCLCONx レジスタでフォルトが無効化されPWMジェネレータと無関係にされると、フォルトピンは汎用の割り込みピンとして使えます。

12.23.2 フォルト ステート

IOCONx レジスタは PWM_x I/O ピンごとの状態を表す 2 ビットを持っていて、これらはフォルト入力により上書きされます。このビットがクリアのときは、PWM I/O ピンは非アクティブ状態です。セットされているときは、PWM I/O ピンはアクティブ状態です。アクティブと非アクティブの状態は、PWM I/O ピンの極性定義 (HPOL と LPOL 極性制御ビット) によります。

12.23.3 フォルト入力モード

フォルト入力ピンは 2 種の動作モードを持っています。

- ラッチモード:** フォルトピンに入力されたとき、PWM 出力を IOCONx レジスタの FLTDAT ビットで決めた値にする。PWM 出力は、フォルトピン入力が無くなり、対応する割り込みフラグがソフトウェアでクリアされるまで、この状態を維持する。この両方が実行されたとき、PWM 出力は次の PWM サイクルの最初から通常の動作に戻る。フォルト状態が完了する前に FLTSTAT ビットがクリアされると、PWM モジュールはフォルトピン入力なくなるまで待ってから再出力する。ソフトウェアで FLTIEN ビットにゼロを書くことで FLTSTAT をクリアできる。
- サイクルバイサイクルモード:** フォルトピンに入力されたとき、PWM 出力はフォルトピン入力がないときの状態を継続する。相補出力モードのとき、PWM_H は Low (オン)、PWM_L は High (オフ) となる。フォルトピンが High となると、PWM 出力は次の PWM サイクルのはじめから通常状態に戻る。

各フォルトピンの動作モードは、FCLCONx レジスタの FLTMOD<1:0> 制御ビットにより選択できます。

12.23.4 フォルト開始

フォルト入力ピンに対する PWM ピンの応答は、常にデバイスクロックに対し非同期です。したがって PWM 出力は、即 FLTDAT レジスタビットで定義された状態になり、dsPIC DSC デバイスやソフトウェアには影響されません。

電流制限やフォルトイベントへの応答に関するデータや動作については 12.28 項「フォルトと電流制限上書き時のデッドタイムロジック」を参照して下さい。

12.23.5 フォルト終了

フォルト状態が終了したあとの PWM 信号の復旧は、PWM サイクルの境界で行うようにして、PWM 信号や手動上書きのエッジにうまく同期するようにしています。PTMR_x 値がゼロになると、次の PWM サイクルが始まります。

12.23.6 PTMR 無効時のフォルト終了

フォルト終了時の特別な場合が、PWM タイムベースが無効 (PTEN=0) のときです。フォルト入力が入力ピンがオフになると、直ぐ PWM 出力が通常状態に戻ります。PWM 出力はデフォルト設定状態に戻ります。(タイムベースが無効で、次の PWM サイクルを待つ意味がないため。)

フォルト入力が入力ピンがラッチモードのとき、フォルト入力が入力ピンがオフになり、FSTAT ビットがソフトウェアでクリアされていれば、直ぐ PWM 出力は元に戻ります。

12.23.7 フォルトピンのソフトウェア制御

フォルトピンはソフトウェア制御が可能です。フォルト入力は PORT I/O ピンと併用ですから、PORT ピンとして、対応する TRIS ビットをクリアすれば出力ピンにできます。対応する PORT ビットをクリアすれば、フォルト入力が入力ピンがアクティブになります。

注: フォルト入力をソフトウェア制御するときは注意が必要です。フォルトピンの TRIS ビットをクリアして PORT ビットを High にすると、フォルト入力を外部から駆動できなくなってしまう。

12.24 PWM 電流制限ピン

PWM ジェネレータごとに、電流制限入力ソースを 12 ピンの電流制限 / フォルト ピンから選択できます。FCLCONx レジスタに PWM ジェネレータごとの制御ビット (CLSRC<3:0>) があり、これで電流制限入力ソースを選択します。さらに、PWM ジェネレータごとに PWMCONx レジスタに CLIEN ビットがあり、これで電流制限割り込みを有効化することができます。PWM ジェネレータごとにフォルト極性ビットが、FCLCONx レジスタの CLPOL ビットとしてあります。図 12.21 に PWM 電流制限制御ロジックのブロック図を示します。

電流制限ピンは 2 つの異なる動作を提供します。電流制限 PWM モードか、電流リセット PWM モードで使われます。

1. PWMCONx レジスタの CLIEN ビットがクリアされているとき、対応する電流制限入力が入オンになると、PWMH、L 出力は IOCONx レジスタの CLDAT<1:0> ビットで指定された値にされます。
2. CLMOD ビットがゼロ、かつ PWMCONx レジスタの XPRES ビットが「01」、かつ PWM ジェネレータが個別タイム ベース モード (ITB=1) であれば、電流制限信号により対応する PWM ジェネレータのタイム ベースをリセットします。この動作を電流リセット モードと呼んでいて、力率改善制御 (PFC) などで使われます。

12.24.1 電流制限割り込み

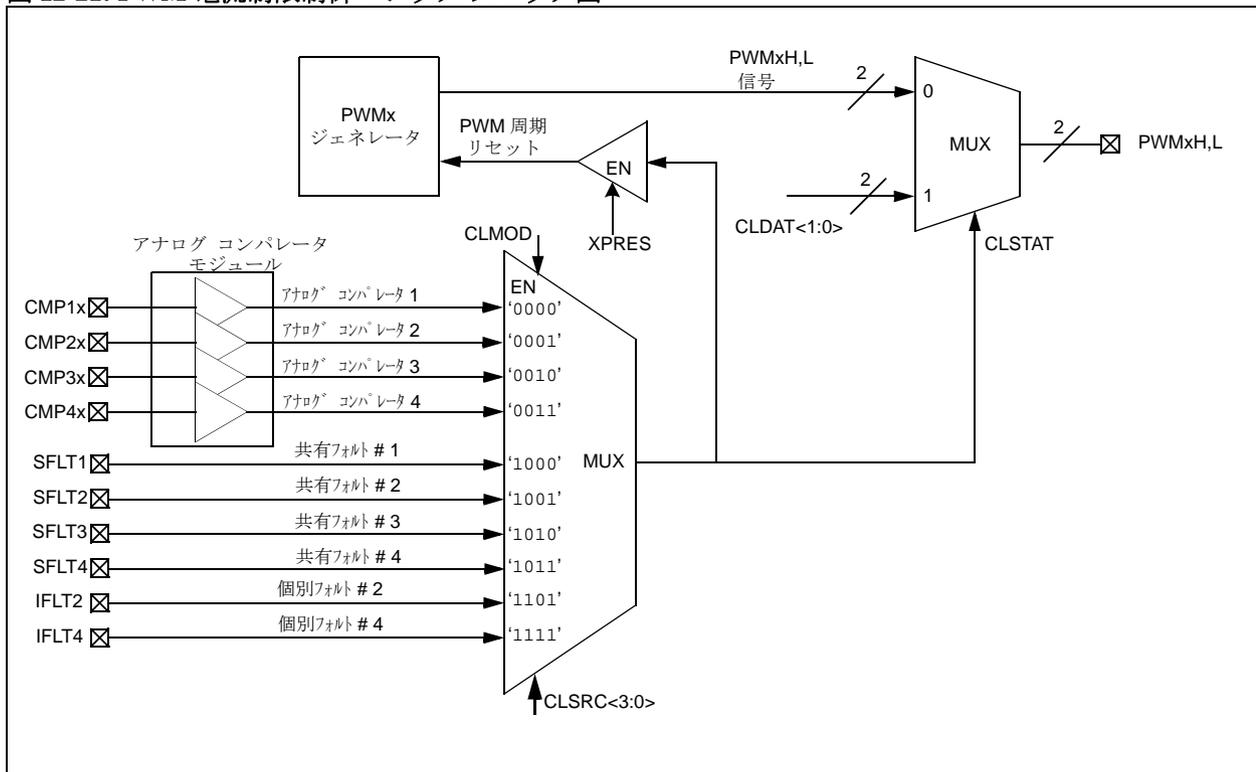
PWM 電流制限状態は、PWMCONx レジスタの CLSTAT ビットでわかります。CLIEN ビットがセットされているときは、CLSTAT ビットが電流制限 IRQ フラグを表します。電流制限割り込みが無効のときは、CLSTAT ビットが対応する電流制限入力ピンの状態を正論理で表します。対応する PWM ジェネレータが電流制限入力ピンを使っていないとき、ピンは汎用 I/O ピンか割り込み入力ピンとして使えます。

電流制限ピンは、通常アクティブ High です。しかし FCLCONx レジスタの CLPOL ビットが「1」にセットされていると、電流制限入力信号のアクティブ High を反転します。

電流制限信号で生成される割り込みは、割り込みコントローラにまとめて一つの割り込みとなり、専用の割り込みベクタ、割り込みフラグ ビット、割り込み有効化ビット、割り込み優先レベル ビットを持っています。

フォルト ピンも PORT I/O ロジックにより PWM モジュールが有効なときでも読み出しができます。これによりフォルト ピンをソフトウェアでポーリングすることもできます。

図 12-21: PWM 電流制限制御ロジック ブロック図



12.25 PWM フォルトと電流制限の同時入力

電流制限上書き機能が有効でアクティブのときは、フォルト機能が有効でアクティブになっていない限り、PWMxH、LピンをIOCONxレジスタのCLDAT<1:0>ビットで設定された値にします。フォルト入力が入力アクティブのとき PWMxH、L 出力は、IOCONx レジスタの FLTDAT<1:0> ビットの値にされます。

12.26 PWM フォルトと電流制限の ADC への TRG 出力

FCLCONx レジスタのフォルトと電流制限ソースの選択フィールド (FLTSRC<3:0> と CLSRC<3:0>) は、PWM ジェネレータ モジュールごとの切り替えを制御します。この切り替え制御により、対応モジュールごとに任意のフォルトと電流制限信号を選択できます。選択したフォルトと電流制限信号は、ADC モジュールのトリガ信号としても使え、ADC のサンプリングと変換を起動することができます。

12.27 PWM 出力上書き優先順位

PWM モジュールが有効なとき、PWMx ピンを使う優先順位は下記となります。

1. PWM ジェネレータ (最下位)
2. 出力上書き
3. 電流制限上書き
4. フォルト上書き
5. PENx (GPIO/PWM) で使用 (最高位)

PWM モジュールが無効のときは、GPIO モジュールが PWMx ピンを制御します。

12.28 フォルトと電流制限上書き時のデッドタイム ロジック

電流制限かフォルト イベントが発生したときは、CLDAT<1:0> ビットか FLTDAT<1:0> ビットにより指定されて、PWMxH と PWMxL 出力は直ぐ Low(オフ時)に駆動されます。

この上書きデータは、PWM 信号として PWM ピン出力バッファの前にあるデッドタイム ロジックブロックでゲートされます。

多くの使い方では、正確な電流制御やフォルト電流による回路損傷を制限するため、電流の停止をできるだけ高速にする必要があります。

同期整流のような使い方では、フォルトか電流制限 イベントが起きたとき、相補 PWM 出力を High にします。CLDAT か FLTDAT ビットを「1」にすると、対応するイベントが起きたとき、オン出力はデッドタイムの同期回路により遅れます。

12.29 電流制限によるオン出力

電流制限イベントのときの応答出力として、CLDAT ビットを PWMxH、L 用出力として使うことができます。この動作は、電力コンバータにおいて、急激な負荷増大を示す外部電流か電圧の計測値に対する電流制限機能として使えます。強制的な PWM「オン」は、急

激な負荷増大に対し、デジタル制御ループの応答より高速な応答をするフィードフォワード項とすることもできます。

12.30 PWM の即時更新

高効率 PWM 制御ループの使い方では、デューティサイクルの更新を即時に行いたいときがあります。PWMCONx レジスタの IUE ビットをセットすればこれを実現できます。

クローズループ制御の使い方では、システム状態の検出と、続く対象を制御する PWM 制御信号出力の間の遅れは、ループの安定性を損ねます。IUE ビットをセットすれば、PWM ジェネレータの変化応答とデューティ サイクル レジスタへの書き込みの遅れを最小化できます。

12.31 PWM 出力上書き

PWM 上書き機能に関するすべての制御ビットは、IOCONx レジスタにあります。

PENH、PENL ビットがセットされていると、PWM モジュールが PWMx 出力ピンを制御します。

PWM 出力上書きビットにより、デューティ サイクル比較ユニットに関係なく、PWM I/O ピンを手動で指定したロジック状態に制御できます。

IOCONx レジスタの OVRDAT<1:0> ビットが、OVRENH、L ビットにより上書きされる特別な出力のときの PWM I/O ピンの状態を決めます。

OVRENH、OVRENL ビットは、アクティブ High の制御ビットです。OVREN ビットがセットされていると、対応する OVRDAT ビットが PWM ジェネレータからの PWM 出力を上書きします。

12.31.1 相補出力モード

PWM が相補出力モードのときは、デッドタイムジェネレータが上書きアクティブとなっています。出力上書きとフォルト上書きにより生成された制御信号がデッドタイムユニットに使われて、デッドタイムを含めた出力とします。

デッドタイム挿入は、PWM チャンネルが手動上書きの場合も動作します。

12.31.2 上書きの同期

IOCONx レジスタの OSYNC ビットがセットされると、OVDDAT<1:0> ビットと PWM タイム ベースの同期をとって、OVRENH、L への上書き出力が行われます。同期出力上書きは、タイム ベースがゼロのときに実行されます。

PTEN = 0、つまりタイマが動作中でなければ、IOCON への書き込みは次の Tcy 境界で実行されます。

12.32 例外機能

12.32.1 電源リセット条件

PWM モジュールに関連する全レジスタは、電源リセットにより表 12-4 の状態にリセットされます。デバイスリセットのときは、PWM 出力ピンはトライステートです。

12.32.2 スリープモード

フォルト入力ピンは CPU をスリープモードからウェイクアップさせることができます。PWM モジュールは、スリープ中にフォルトピンが Low に駆動されると非同期に割り込みを発生します。

スリープモードにするときは、事前に PWM 出力を無効にしておくようにします。PWM モジュールが電力コンバータ制御に使われているとき、デバイスをスリープモードにするるとすべての制御ループが無効になります。通常は、明らかにオープンループモードで動作している場合以外は、このような動作にはしません。

12.32.3 CPU アイドルモード

dsPIC30F202X は、PTCON レジスタに PTSIDL 制御ビットを持っています。このビットは、デバイスがアイドルモードに入ったときに、PWM モジュールを動作継続させるか停止させるかを決めます。アイドルモード時停止機能は、スリープモードと同じで、フォルトピンは非同期でアクティブです。

- PTSIDL = 1 (アイドルモード中モジュール停止)
- PTSIDL = 0 (アイドルモード中も動作継続)

アイドルモードにするときは、事前に PWM 出力は無効にしておくようにします。PWM モジュールが電力コンバータ制御に使われているとき、デバイスをアイドルモードにするるとすべての制御ループが無効になります。通常は、明らかにオープンループモードで動作している場合以外は、このような動作にはしません。

12.33 レジスタのビット配置

ページ 142 の表 12-4 に PS PWM モジュールのレジスタを示します。モジュール用の全タイムベースは常に時間に対してビットが整列されています。例えば、周期レジスタ、デューティサイクルレジスタ、デッドタイムレジスタ、トリガレジスタ、フェーズレジスタのビット 3 は、30 MIPS 動作のとき常に 8.4 nsec を表しています。レジスタの未使用の部分は常にゼロと読み出されます。

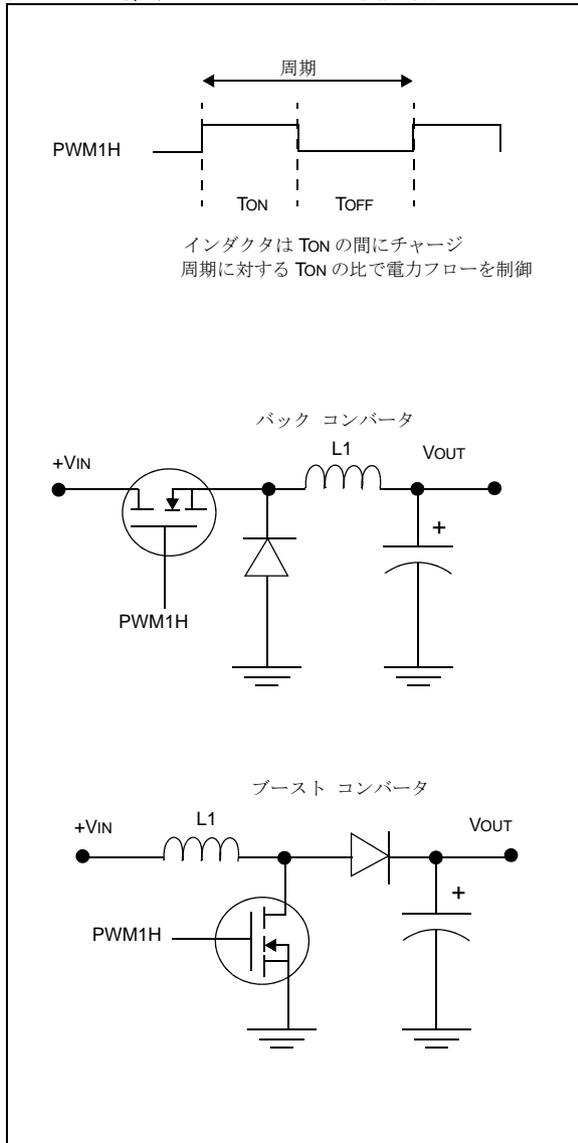
このデータ配置が同じであることは、レジスタに合うように時間値をシフトする必要がなくなるのでソフトウェア記述を簡単化できます。また、PWM サイクルの時間配分の計算や理解をやさしくします。

12.34 使用例

12.34.1 標準 PWM モード

標準 PWM モードでは、通常図 12-22 のように PWM 出力は 1 個のトランジスタに接続され、インダクタをチャージします。バックとブーストコンバータには通常標準 PWM モードを使用します。

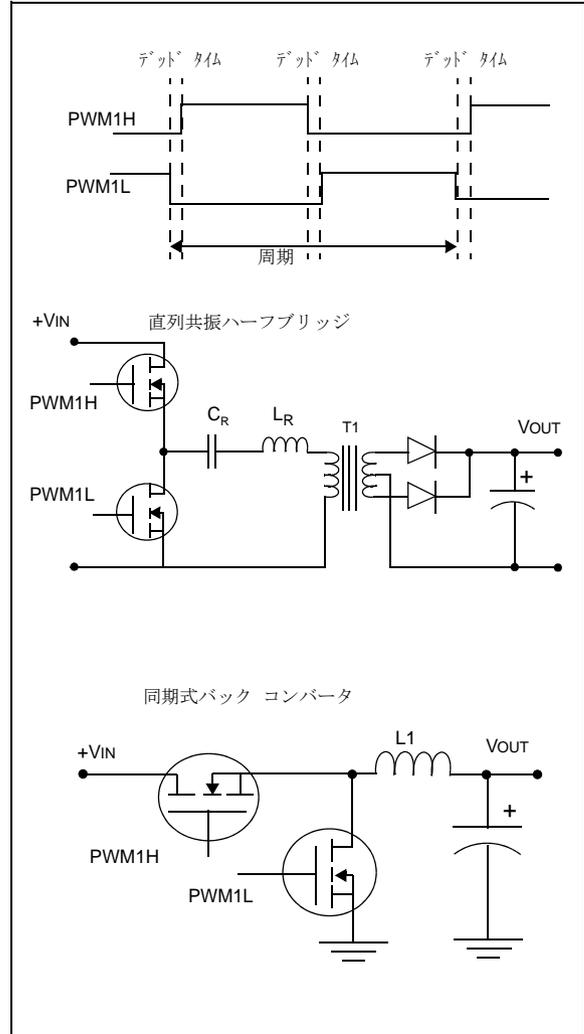
図 12-22: 標準 PWM モードの使用例



12.34.2 相補 PWM モードの使用例

相補モード PWM は、図 12-23 のようにトランスを使わないブリッジ構成の 2 個のトランジスタを使う回路に良く使用されます。トランスを使うときは、コアが飽和しないように、トランスに流れる DC 電流が無いようにする工夫が必要です。

図 12-23: 相補 PWM モードの使用例

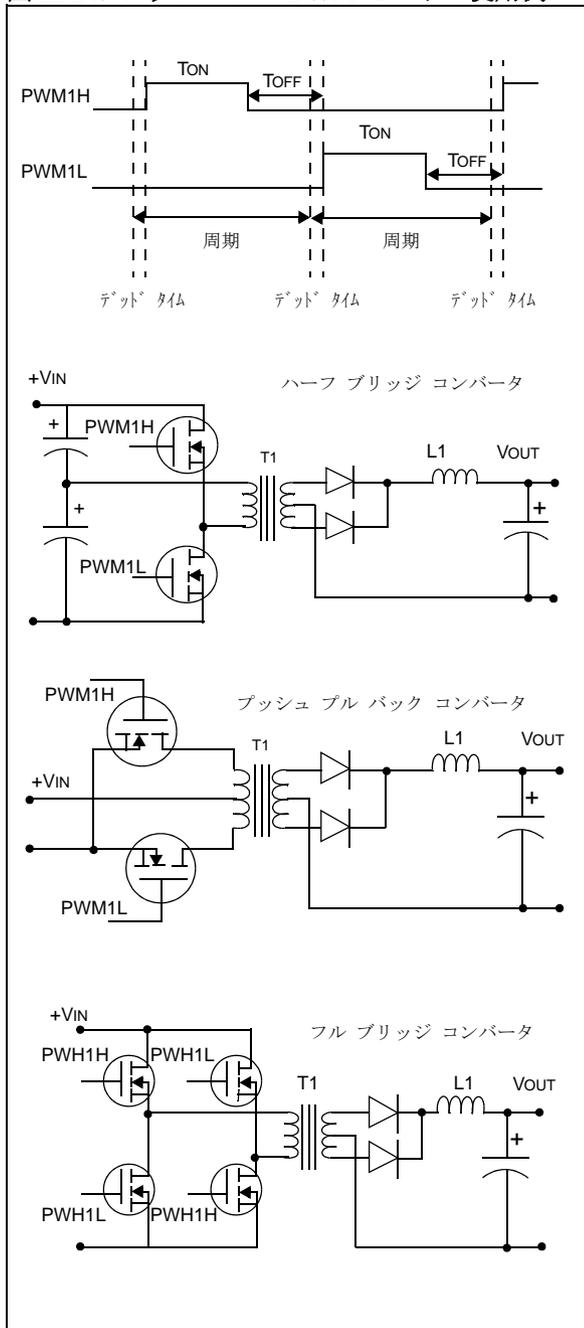


dsPIC30F1010/202X

12.34.3 プッシュプル PWM モードの使用例

プッシュプル PWM モードは、通常トランス結合の回路で使われ、トランスを流れる DC 電流が無いようにします。プッシュプルモードでは、図 12-24 に示すように、同じデューティサイクルの PWM パルスがトランスの巻線に交互に反対方向に加えられます。

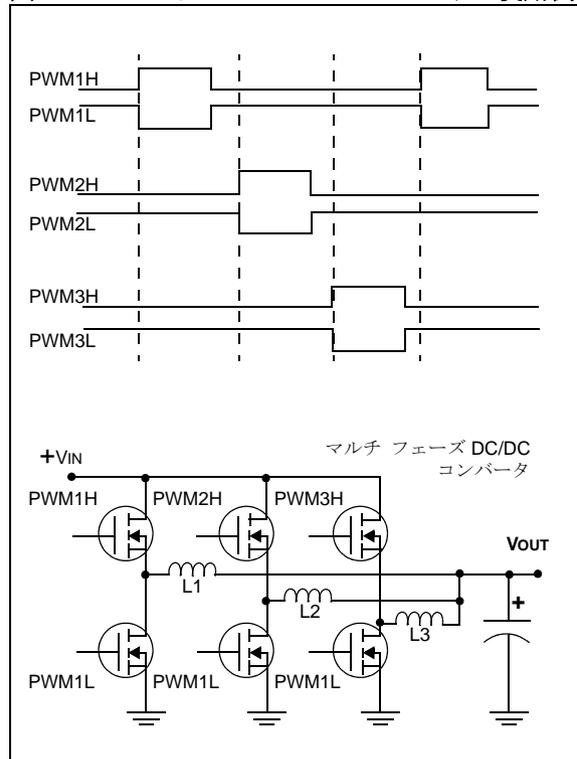
図 12-24: プッシュプル PWM モードの使用例



12.34.4 マルチフェーズ PWM モードの使用例

マルチフェーズ PWM モードは、小さなスペースで負荷変動への高速応答が必要とき良く使われます。マルチフェーズコンバータは、図 12-25 に示すように、基本的には少しずつ位相をずらして動作するバックコンバータを並列接続したものです。マルチフェーズでは、個々のコンバータの和に等しいスイッチング速度を提供します。単相で 333KHz の PWM 周波数とすると、マルチフェーズ回路では 1MHz のスイッチング周波数が実効スイッチング周波数となります。この高速のスイッチング周波数により、出力コンデンサの必要容量を大幅に減らせ、負荷変動特性を大幅に改善できます。

図 12-25: マルチフェーズ PWM モードの使用例

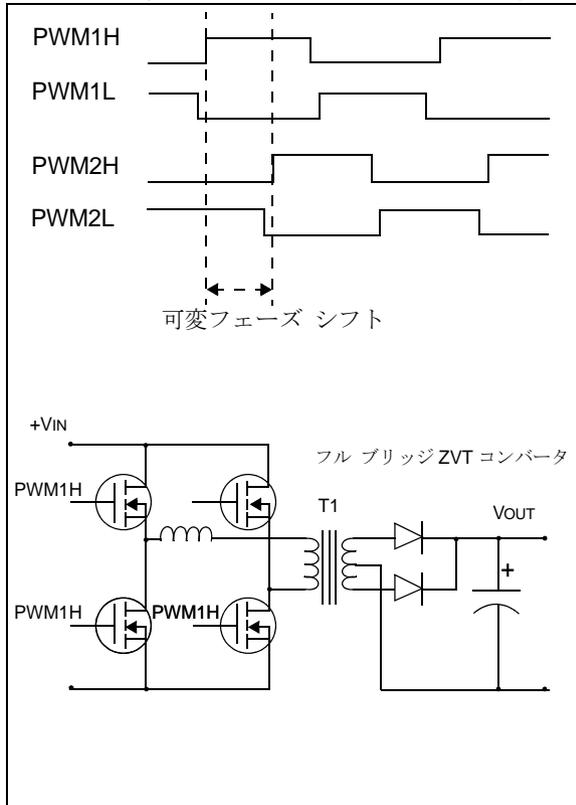


12.34.5 可変フェーズ PWM モードの使用例

可変フェーズ PWM は、スイッチング ロスを減らすための新しい電力コンバータ構成で使われます。標準 PWM 方式では、任意の時点でトランジスタが通電状態と非通電状態間をスイッチし、トランジスタがオンとオフする周期ごとに、トランジスタはフル電流とフル電圧状態にさらされることとなります。このときの電力ロス ($V * I * T_{sw} * FPWM$) は、周波数が高くなると顕著になります。擬似共鳴テクニックを使ったゼロ電圧スイッチ (ZVS) とゼロ電流スイッチ (ZVC) 回路構成により、電圧が電流波形を相対的にずらせます。この動作によりトランジスタをオン オフするタイミングを、電圧が電流がゼロの時にできます。電圧が電流がゼロであれば、スイッチング ロスは発生しません。

可変フェーズも PWM モードのデューティ サイクルは 50% 固定で、電力制御は、図 12-26 に示すように PWM チャネル間の相対的なフェーズを可変することで行います。

図 12-26: 可変フェーズ PWM モードの使用例

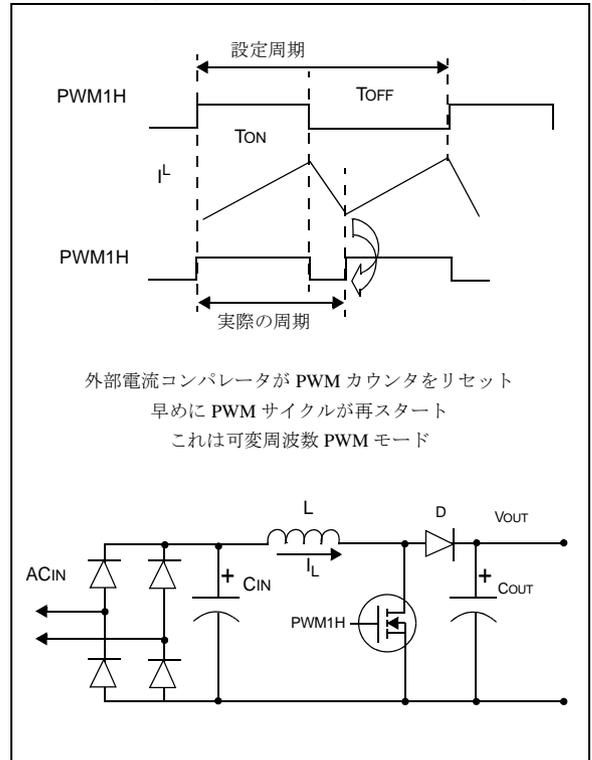


12.34.6 電流リセット PWM モードの使用例

電流リセット PWM モードでは、PWM 周波数が負荷電流によって可変されます。このモードは他の PWM モードと異なり、PWM 周期には最大値を設定し、外部でインダクタの電流計測を行います。インダクタの電流が設定値より下がると、外部の電流コンパレータ回路が PWM タイム ベース カウンタをリセットする信号を生成します。PWM のオン時間の設定により、ある時間後に PWM 信号が非アクティブになり、インダクタ電流が設定値になる前に下がれば、PWM カウンタは設定された PWM 周期になる前にリセットされます。このモードは定オンタイムとも呼ばれます。

このモードは、サイクル バイ サイクル 電流制限 PWM と混同してはなりません。こちらは図 12-27 に示すように、PWM がオンで、外部回路が電流フォルトを発生すると、設定したデューティ サイクルでオフになる前に PWM をオフとします。PWM 周波数はタイム ベース周期による固定値です。

図 12-27: 電流リセット PWM モードの使用例



12.35 EMI 低減方法

目標は、PWM エッジをある範囲で動かして EMI エネルギーをある周波数範囲に分散し、長時間の平均値をとる EMI 測定過程に含まれる特定の周波数のピークエネルギーを下げることにあります。

EMI 測定過程では、9kHz の周波数帯域単位で EMI エネルギーを集積します。キャリア (PWM) の周波数が 150 kHz とすると、6% のディザは 9 kHz 帯域のディザをカバーします。

12.35.1 方法 #1: プログラマブルな FRC ディザ

この方法は、全ての PWM 出力とシステムクロックをディザさせます。この方法のメリットは、CPU リソースを何も必要としないことです。いったん設定できれば自動で動きます。周期的にディザ値を更新すれば、さらにランダムな周波数パターンにできます。

12.35.2 方法 #2: ソフトウェア制御ディザ

この方法はソフトウェアによりデューティサイクルと周期を変えることで PWM チャネルごとに個別にディザします。この方法は CPU リソースを消費します。

仮定:

4 PWM チャネルを 150 kHz 周期で更新
600 kHz x (5 クロック (2 mul, 1 tblrdl, 1 mov))
= 3 MIPS (追加される CPU 負荷)

12.35.3 方法 #3: ソフトウェアでタイムベース周期を可変する

この方法は、ソフトウェアで直接タイムベース周期を変更します。ディザ周期が比較的遅い (約 250Hz) とすると、アプリケーション制御ループは PWM 周期を変更しデューティサイクルを適切に補正することができます。

12.35.4 方法 #4: 周波数変調

この方法は PWM サイクルが可変 (ディザ) される周波数を変化させます。周波数変調プロセスは、短時間の間で解析すると位相変調に似ています (数学的にいって)。

PWM モジュールは、位相オフセットレジスタを使って PWM 信号を位相変調することができます。位相変調は、複数乗算動作 (周期とデューティサイクルを変更することで周波数をディザするために使用される) が、わずかの追加か位相レジスタに書き込む位相オフセット値を単純に更新するという操作に置き換えられるため、ソフトウェアが簡単で高速にできるというメリットがあります。

この方法は下記メリットがあります。

1. マルチフェーズ、可変フェーズ PWM モードが使える。
2. PWM ジェネレータが共通のタイムベースをえるので、電流計測のための「静止時間」を決めることができる。

この方法は、1 つの欠点があります。それは位相変調は、有効な周波数拡散とするためには、比較的高速で更新をしなければならないということです。

12.35.5 個別 PWM チャネルディザの問題

個別出力ディザを使ったマルチフェーズか可変フェーズ設計では下記が問題になります。

1. 位相は整列されない。
2. 位相間で分配される電流の制御は困難。

12.36 外部同期機能

大型の電力コンバータシステムでは、システム内で「ビート周波数」が起きないように、あるいは、電圧や電流を計測する時には「静止」期間とするためにマルチ電源制御部の同期が取れるようにしたくなります。

dsPIC30F202X デバイス (28 ピンパッケージは除く) は、SMPS dsPIC DSC デバイスを外部デバイスに同期させるため、あるいは、外部デバイスを SMPS dsPIC DSC に同期させるための入力あるいは出力ピンを持っています。これらの同期機能は、PWM モジュールの PTCON 制御レジスタの SYNCIEN と SYNCOEN ビットによって有効化されます。

PTCON レジスタの SYNCPOL ビットは SYNCI 信号のアクティブ エッジを立ち上がりにするか立下りにするかを選択します。PTCON レジスタの SYNCPOL ビットはまた SUNCO 出力パルスが Low アクティブか High アクティブかも選択します。

PTCON レジスタの SYNCSRC<2:0> ビットは SYNCI 信号のソースを設定します。

SYNCI 機能が有効であれば、1 次タイム ベース カウンタは SYNCI のアクティブ エッジ検出でリセットされます。SYNCO 機能が有効であれば、1 次タイム ベース カウンタが PWM サイクルの終わりでロールオーバーする際出力パルスを生成します。

推奨 SYNCI パルス幅は 100 nsec 以上です。SYNCO 出力パルス幅は約 100 nsec です。

SYNCI 機能を使うときは、周期レジスタへの周期設定値を外部同期入力信号の周期より少し長めにしておきます。こうすることで、SYNCI 信号がノイズや外部部品故障で受信できなかった場合の保護となります。PEPER レジスタに有効な周期値がプログラムされていれば、グローバルな同期信号が受信できなくても、ローカルの電力コンバージョン プロセスはそのまま継続します。

12.37 CPU 負荷のずらし

SMPS dsPIC DSC は個々のトリガ用コンパレータ動作をずらすことができます。この機能によりプロセッサが過負荷のとき、負荷を最小化するため負荷を平均化することができます。

4 つの PWM チャネルが 4 系統の個別電圧出力を制御しているとします。さらに各 PWM ジェネレータが 1000 kHz (1 μ sec 周期) で動作しており、制御ループが 125kHz (8 μ sec) とします。

各 TRGCONx レジスタの TRGDIV<2:0> ビットが「1111」にセットされて、8 回目の比較一致トリガごとに ADC へのトリガ信号を出力して、データ キャプチャと変換プロセスを行うようにします。

ずらし機能がないと、すべての PWM トリガ レジスタの要求が同時に発生します。このような山積みが発生すると、4 チャネルの処理中にデータ サンプルが古いデータで行われてしまうことがあります。

ずらし機能があれば、トリガ信号は全体に (連続する PWM 周期内で) 間隔をあけることで、すべてのデータが順番に処理されます。

ROLL カウンタは、1 次タイム ベース カウンタに接続されたカウンタです。ROLL カウンタは、1 次タイム ベース カウンタが終端カウント (周期ロールオーバー) になる毎にインクリメントされます。

ずらし機能は TRGCONx レジスタの TRGSTRT<5:0> ビットで制御されます。TRGSTRT<5:0> ビットが ROLL カウンタのカウント値を指定し、PWM ジェネレータの個々のトリガ比較モジュールが、PWMCONx レジスタの TRGDIV<2:0> ビットで指定されたトリガ比較一致イベントをカウント開始する前に、ROLL カウンタが一致しなければなりません。

こうして、この例の 4 つの PWM ジェネレータの場合、1 番目の PWM の TRGSTRT<5:0> ビットを「000」に、2 番目の PWM の TRGSTRT<5:0> ビットを「010」に、3 番目の TRGSTRT<5:0> ビットを「100」に 4 番目の TRGSTRT<5:0> ビットを「110」に設定します。

これで合計 8PWM サイクルに渡って、4 つの個々の制御ループを、それぞれに 2 μ sec 周期で実行することができます。

12.38 外部トリガブランキング

LEBCONx レジスタの LEB<9:3> ビットで、PWM モジュールが外部電流とフォルト入力を、0 から 1024 nsec の間、ブランク (無視) にできるようにします。この機能は、PWM サイクルの初めで電力トランジスタがオンする過渡現象により電流検知が難しいとき便利です。

表 12-4: 電源用 PWM レジスタ マップ

ファイル名	アド レス	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	リセッ ト時		
PTCON	0400	PTEN	—	PTSIDL	SESTAT	SEIEN	EIPU	SYNCPOL	SYNCOEN	SYNCEN	SYNCSRC<2:0>			SEVTPS<3:0>			0000			
PTPER	0402	PTPER<15:3>															FFF0			
MDC	0404	MDC<15:0>															0000			
SEVTCMP	0406	SEVTCMP<15:3>															0000			
PWMCON1	0408	FLTSTAT	CLSTAT	TRGSTAT	FLTIEIEN	CLIEIEN	TRGIEIEN	ITB	MDCS	DTC<1:0>			—	—	—	—	XPRES	IUE	0000	
IOCON1	040A	PENH	PENL	POLH	POLL	PMOD<1:0>		OVRENH	OVRENL	OVRDAT<1:0>		FLTDAT<1:0>		CLDAT<1:0>		—	OSYNC	0000		
FCLCON1	040C	—	—	—	CLSRC<3:0>			CLPOL	CLMOD	FLTSRC<3:0>			FLTPOL	FLTMOD<1:0>		0000				
PDC1	040E	PDC1<15:0>															0000			
PHASE1	0410	PHASE1<15:2>															0000			
DTR1	0412	—	—	DTR1<13:2>													0000			
ALTDTR1	0414	—	—	ALTDTR1<13:2>													0000			
TRIG1	0416	TRIG<15:3>															0000			
TRGCON1	0418	TRGDIV<2:0>			—	—	—	—	—	—	—	TRGSTRT<5:0>					0000			
LEBCON1	041A	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	LEB<9:3>									—	—	—	0000
PWMCON2	041C	FLTSTAT	CLSTAT	TRGSTAT	FLTIEIEN	CLIEIEN	TRGIEIEN	ITB	MDCS	DTC<1:0>			—	—	—	—	XPRES	IUE	0000	
IOCON2	041E	PENH	PENL	POLH	POLL	PMOD<1:0>		OVRENH	OVRENL	OVRDAT<1:0>		FLTDAT<1:0>		CLDAT<1:0>		—	OSYNC	0000		
FCLCON2	0420	—	—	—	CLSRC<3:0>			CLPOL	CLMOD	FLTSRC<3:0>			FLTPOL	FLTMOD<1:0>		0000				
PDC2	0422	PDC2<15:0>															0000			
PHASE2	0424	PHASE2<15:2>															0000			
DTR2	0426	—	—	DTR2<13:2>													0000			
ALTDTR2	0428	—	—	ALTDTR2<13:2>													0000			
TRIG2	042A	TRIG<15:3>															0000			
TRGCON2	042C	TRGDIV<2:0>			—	—	—	—	—	—	—	TRGSTRT<5:0>					0000			
LEBCON2	042E	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	LEB<9:3>									—	—	—	0000
PWMCON3	0430	FLTSTAT	CLSTAT	TRGSTAT	FLTIEIEN	CLIEIEN	TRGIEIEN	ITB	MDCS	DTC<1:0>			—	—	—	—	XPRES	IUE	0000	
IOCON3	0432	PENH	PENL	POLH	POLL	PMOD<1:0>		OVRENH	OVRENL	OVRDAT<1:0>		FLTDAT<1:0>		CLDAT<1:0>		—	OSYNC	0000		
FCLCON3	0434	—	—	—	CLSRC<3:0>			CLPOL	CLMOD	FLTSRC<3:0>			FLTPOL	FLTMOD<1:0>		0000				
PDC3	0436	PDC3<15:0>															0000			
PHASE3	0438	PHASE3<15:2>															0000			
DTR3	043A	—	—	DTR3<13:2>													0000			
ALTDTR3	043C	—	—	ALTDTR3<13:2>													0000			
TRIG3	043E	TRIG<15:3>															0000			
TRGCON3	0440	TRGDIV<2:0>			—	—	—	—	—	—	—	TRGSTRT<5:0>					0000			
LEBCON3	0442	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	LEB<9:3>									—	—	—	0000
PWMCON4	0444	FLTSTAT	CLSTAT	TRGSTAT	FLTIEIEN	CLIEIEN	TRGIEIEN	ITB	MDCS	DTC<1:0>			—	—	—	—	XPRES	IUE	0000	
IOCON4	0446	PENH	PENL	POLH	POLL	PMOD<1:0>		OVRENH	OVRENL	OVRDAT<1:0>		FLTDAT<1:0>		CLDAT<1:0>		—	OSYNC	0000		

表 12-4: 電源用 PWM レジスタ マップ (つづき)

ファイル名	アド レス	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	リセッ ト時
FCLCON4	0448	—	—	—	CLSRC<3:0>			CLPOL	CLMODE	FLTSRC<3:0>			FLTPOL	FLTMOD<1:0>		0000		
PDC4	044A	PDC4<15:0>															0000	
PHASE4	044C	PHASE4<15:2>														—	—	0000
DTR4	044E	—	—	DTR4<13:2>										—	—	0000		
ALTDTR4	0450	—	—	ALTDTR4<13:2>										—	—	0000		
TRIG4	0452	TRIG<15:3>													—	—	—	0000
TRGCON4	0454	TRGDIV<2:0>			—	—	—	—	—	—	—	TRGSTRT<5:0>					0000	
LEBCON4	0456	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	LEB<9:3>					—	—	—	0000		
Reserved	0458- 47F	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000

dsPIC30F1010/202X

ノート:

第 13 章 シリアル周辺インターフェース (SPI)

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。

シリアル周辺装置インターフェース (SPI) モジュールは、他の周辺やマイクロコントローラ デバイスと通信するために有用な同期式シリアル インターフェースです。これらの周辺デバイスには、シリアル EEPROM、シフトレジスタ、ディスプレイ ドライバ、ADC、などがあります。SPI モジュールは、Motorola® の SPI および SIOP と互換性があります。

注: dsPIC30F1010/202X ファミリーは 1 つの SPI モジュールしかありません。x = 2 という参照は他の dsPIC DSC デバイスとのソフトウェア互換性のためだけに使っています。

SPI モジュールは、データのシフト入出力に使われる 16 ビット シフトレジスタ SPIxSR (ここで x = 1 か 2) と、バッファレジスタの SPIxBUF で構成されています。制御レジスタ SPIxCON1 と SPIxCON2 がモジュールを構成します。さらに、ステータス レジスタ SPIxSTAT が各種状態を表します。

シリアル インターフェースは 4 ピンで、SDIx (シリアルデータ入力)、SDOx (シリアルデータ出力)、SCKx (シフトクロック入力または出力)、SSx (負論理のスレーブ選択) で構成されます。

マスターモード動作では、SCK はクロック出力となり、スレーブモードではクロック入力となります。

8 (8) または 16 (16) 個のシリーズクロックパルスで SPIxSR から SDOx ピンへビットがシフト出力され、同時に SDIx ピンからデータがシフト入力されます。送信が完了し、対応する割り込みフラグビット (SPI1IF か SPI2IF) がセットされると割り込みが発生します。この割り込みは、割り込み有効化ビット (SPI1IE か SPI2IE) で無効化できます。

受信動作はダブルバッファです。バイトが完全に受信できると、SPIxSR から SPIxBUF に転送されます。

新しいデータを SPIxSR から SPIxBUF に転送するとき、受信バッファがフルであると、モジュールは SPIROV ビット (SPIxSTAT<6>) をセットして、オーバーフロー状態を通知します。SPIxSR から SPIxBUF へのデータ転送が完了しないときは、新たなデータは失われます。モジュールは SPIROV (SPIxSTAT<6>) が「1」の間は、SCLx ピンの遷移に応答せず、SPIxBUF がユーザーソフトウェアで読み出されるまで、モジュールを無効状態とします。

送信書き込みもダブル バッファです。ユーザーは SPIxBUF に書き込みます。マスターあるいはスレーブの送信が完了すると、シフト レジスタ (SPIxSR) の内容は、受信バッファに移動します。もし、このとき送信バッファに送信データが書き込まれていれば、送信バッファの内

容が、SPIxSR に移動されます。これで受信済みデータが SPIxBUF に移され、送信データが SPIxSR で次の送信のために準備されたこととなります。

注: 送信バッファ (SPIxTXB) と受信バッファ (SPIxRXB) は両方とも同じレジスタアドレス SPIxBUF にマップされています。読み出し修正後書き込む動作 (ビット操作命令など) は SPIxBUF レジスタには正常動作しません。

SPI をマスタ モード動作とするには下記のように設定します。

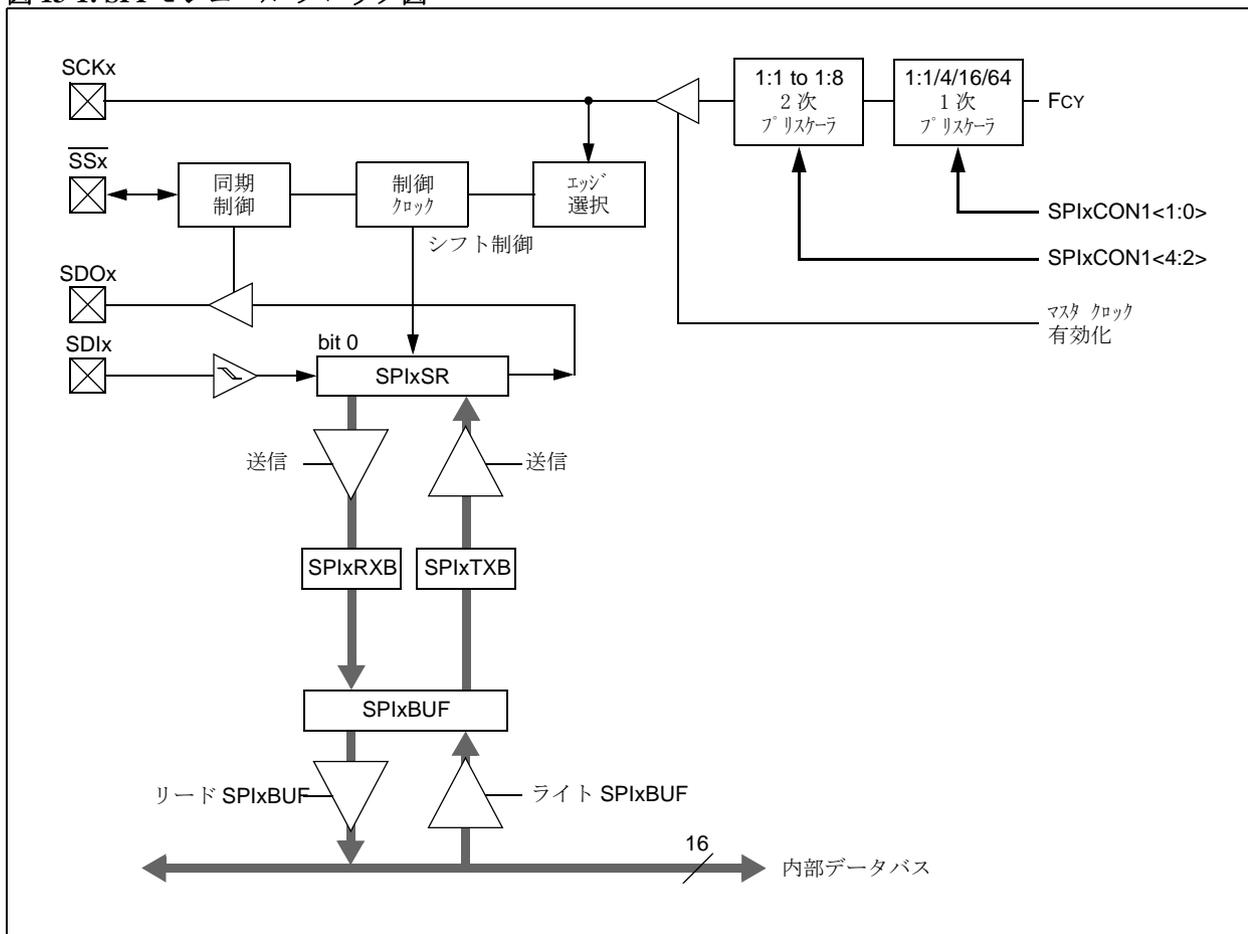
- 割り込みを使う場合
 - 対応する IFSn レジスタ内の SPIxIF ビットをクリアする
 - 対応する IECn レジスタ内の SPIxIE ビットをセットする
 - 対応する IPCn レジスタ内の SPIxIP ビットに割り込み優先順位を書き込む
- MSTEN (SPIxCON1<5>) = 1 として希望する設定を SPIxCON1 レジスタに書く
- SPIROV ビット (SPIxSTAT<6>) をクリア
- SPIEN ビット (SPIxSTAT<15>) をセットして SPI 動作を有効にする
- 送信するデータを SPIxBUF レジスタに書く。送信 (および受信) は SPIxBUF に書くとき直ぐ開始される SPI をスレーブ動作とするには下記のように設定します。

- SPIxBUF レジスタをクリア
- 割り込みを使う場合
 - 対応する IFSn レジスタ内の SPIxIF ビットをクリアする
 - 対応する IECn レジスタ内の SPIxIE ビットをセットする
 - 対応する IPCn レジスタ内の SPIxIP ビットに割り込み優先順位を書き込む
- MSTEN (SPIxCON1<5>) = 0 として希望する設定を SPIxCON1 と SPIxCON2 レジスタに書く
- SMP ビット (SPIxCON1<9>) をクリア
- CKE (SPIxCON1<8>) ビットをセットしたら、SSx ピンを有効にするため SSEN ビット (SPIxCON1<7>) をセットする必要がある
- SPIROV ビット (SPIxSTAT<6>) をクリア
- SPIEN ビット (SPIxSTAT<15>) をセットして SPI 動作を有効にする

SPI モジュールはバイトまたはワード転送終了を示す割り込みを生成します。同様にすべての SPI エラー条件でも割り込みを生成します。

dsPIC30F1010/202X

図 13-1: SPI モジュールブロック図



注: dsPIC30F1010/2020 デバイスは SS1 ピンがありません。したがってスレーブ選択とフレーム同期機能はこのデバイスでは使えません。これらの機能は dsPIC30F2023 では有効です。

図 13-2: SPI マスタ / スレーブ接続

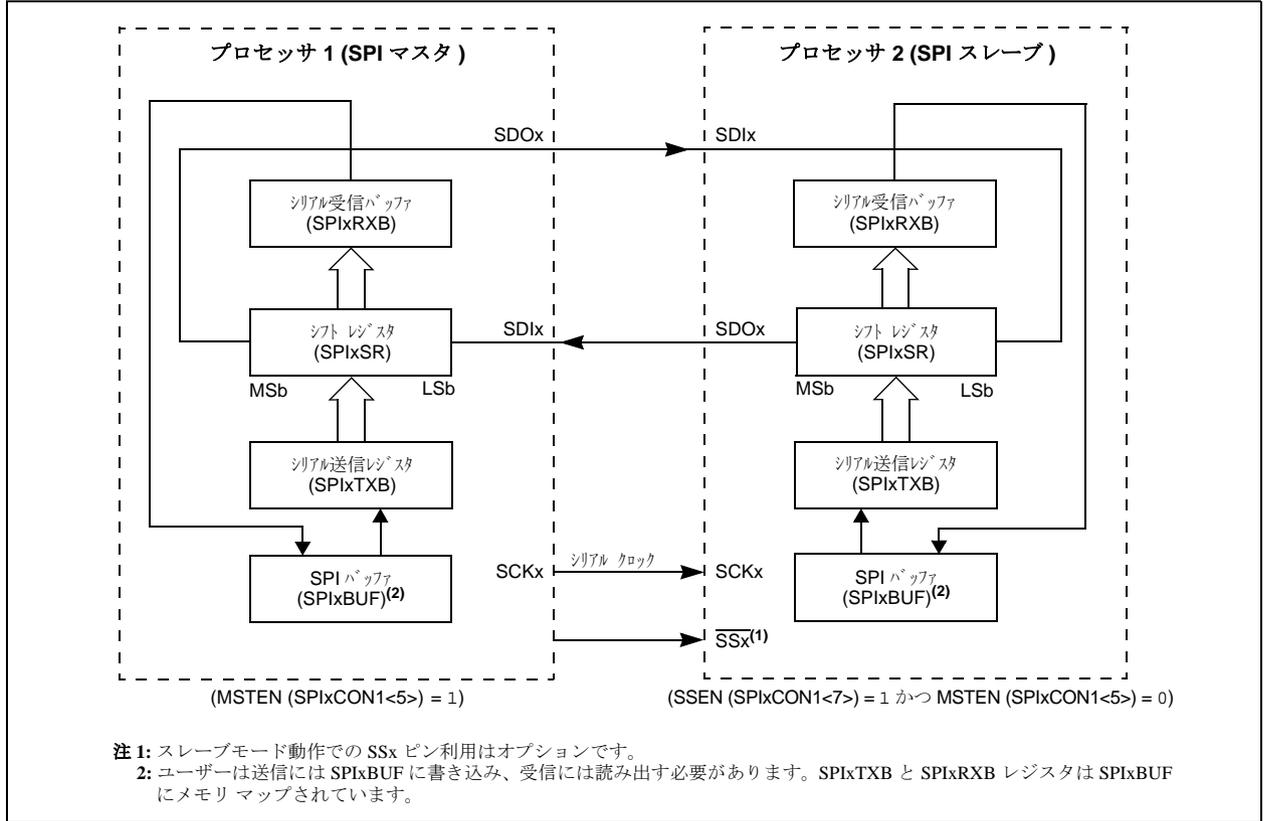


図 13-3: SPI マスタ、フレーム マスタ接続図

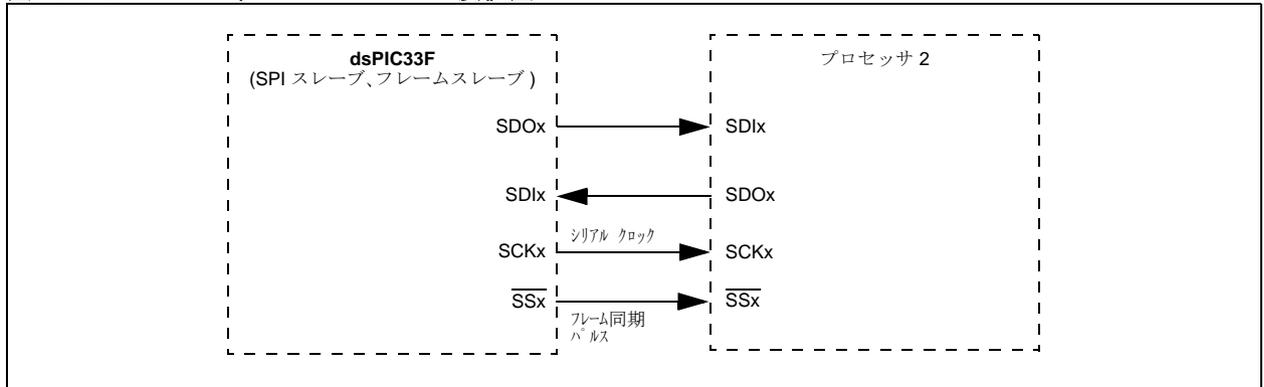
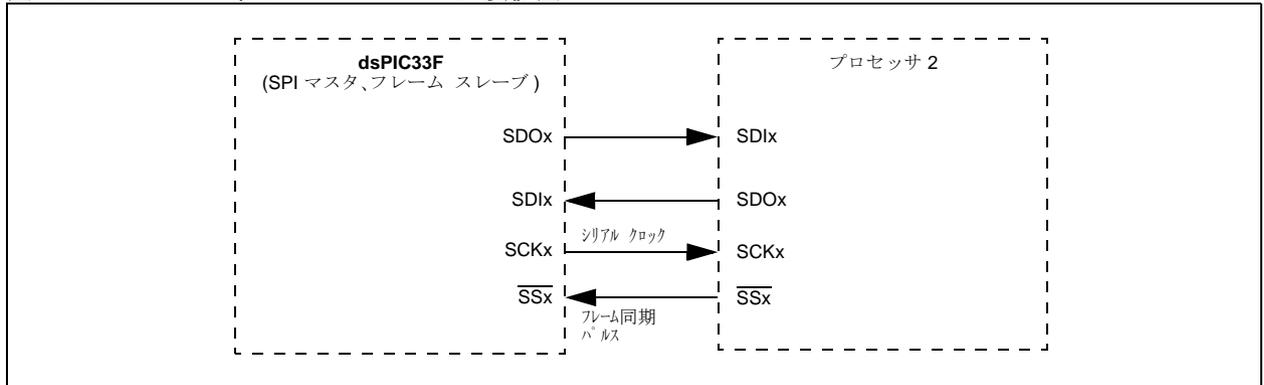


図 13-4: SPI マスタ、フレーム スレーブ接続図



dsPIC30F1010/202X

図 13-5: SPI スレーブ、フレーム マスタ接続図

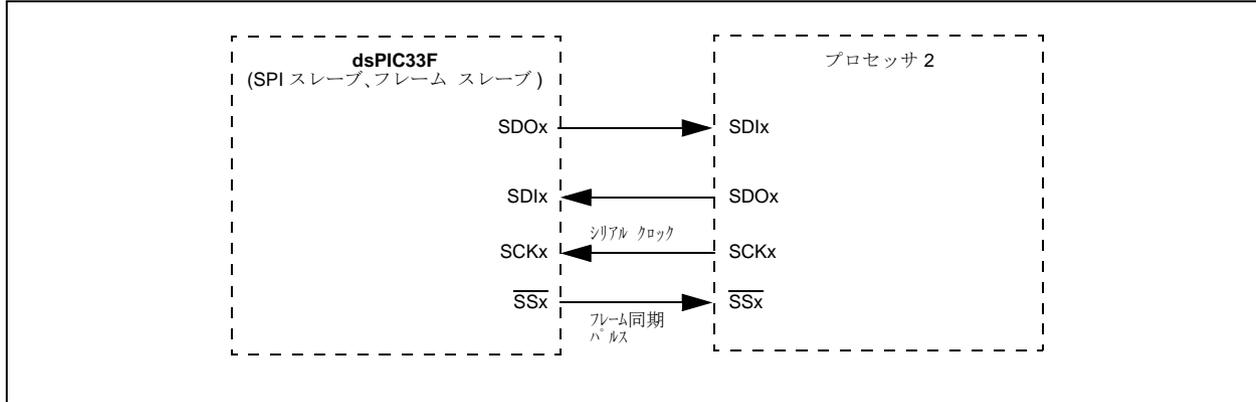
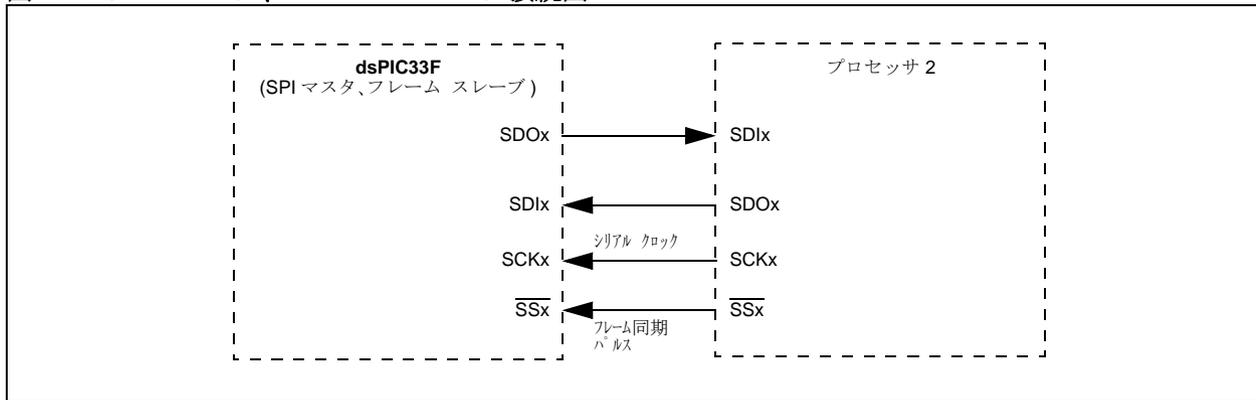


図 13-6: SPI スレーブ、フレーム スレーブ接続図



式 13-1: デバイス クロックと SPI クロック速度の関係

$$F_{SCK} = \frac{F_{CY}}{1 \text{ 次プリスケーラ} * 2 \text{ 次プリスケーラ}}$$

表 13-1: SCKx 周波数の例

FCY = 40 MHz		2 次プリスケーラの設定				
		1:1	2:1	4:1	6:1	8:1
1 次プリスケーラの設定	1:1	無効	無効	7500	5000	3750
	4:1	7500	3750	1875	1250	937.5
	16:1	1875	937.5	469	312.5	234.4
	64:1	469	234.4	117	78.1	58.6
FCY = 5 MHz						
1 次プリスケーラの設定	1:1	5000	2500	1250	833	625
	4:1	1250	625	313	208	156
	16:1	313	156	78	52	39
	64:1	78	39	20	13	10

注: SCKx 周波数は kHz で示す。

レジスタ 13-1: SPIxSTAT: SPIx ステータスと制御レジスタ

R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0	U-0
SPIEN	—	SPISIDL	—	—	—	—	—
bit 15						bit 8	

U-0	R/C-0	U-0	U-0	U-0	U-0	R-0	R-0
—	SPIROV	—	—	—	—	SPITBF	SPIRBF
bit 7						bit 0	

凡例:	C = クリア可		
R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'	
-n = POR 時の値	'1' = セット	'0' = クリア	x = 不定

- bit 15 **SPIEN:** SPIx 有効化ビット
 1 = モジュールを有効化し、SCKx、SDOx、SDIx、SSx をシリアルポートピンとする
 0 = モジュールを無効化
- bit 14 **未実装:** 読むと '0'
- bit 13 **SPISIDL:** アイドルモードで停止ビット
 1 = デバイスがアイドルモードに入ったらモジュール動作停止
 0 = アイドルモードでもモジュール動作継続
- bit 12-7 **未実装:** 読むと '0'
- bit 6 **SPIROV:** 受信オーバーフローフラグビット
 1 = 新しいバイト/ワードは受信されたが廃棄。ユーザーソフトウェアが SPIxBUF レジスタ内の前のデータを読み出していない
 0 = オーバーフローは起きていない
- bit 5-2 **未実装:** 読むと '0'
- bit 1 **SPITBF:** SPIx 送信バッファフルステータスビット
 1 = 送信は開始されていない、SPIxTXB はフル状態
 0 = 送信開始、SPIxTXB は空
 CPU が SPIxBUF に書き込み、SPIxTXB に転送されるとハードウェアで自動的にセットされる
 SPIx モジュールがデータを SPIxTXB から SPIxSR に転送するとハードウェアが自動的にクリアする
- bit 0 **SPIRBF:** SPIx 受信バッファフルステータスビット
 1 = 受信完了、SPIxRXB がフル
 0 = 受信は完了していない、SPIxRXB は空
 SPIx がデータを SPIxSR から SPIxRXB に転送するとハードウェアで自動的にセットされる
 コアが SPIxBUF を読むことで SPIxRXB を読み出すとハードウェアが自動的にクリアする

dsPIC30F1010/202X

レジスタ 13-2: SPIxCON1: SPIx 制御レジスタ 1

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	DISSCK	DISSDO	MODE16	SMP	CKE ⁽¹⁾
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SSEN	CKP	MSTEN	SPRE<2:0>		PPRE<1:0>		
bit 7							bit 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15-13 **未実装:** 読むと '0'
- bit 12 **DISSCK:** SCKx ピン無効化ビット (SPI マスタ モードのみ)
 1 = 内部 SPI クロックを無効化、ピン機能は I/O
 0 = 内部クロックを有効化
- bit 11 **DISSDO:** SDOx ピン無効化ビット
 1 = SDOx ピンはモジュールで使わない、ピン機能は I/O
 0 = SDOx ピンはモジュールで制御される
- bit 10 **MODE16:** ワード/バイト通信選択ビット
 1 = 通信をワード幅 (16 ビット) とする
 0 = 通信をバイト幅 (8 ビット) とする
- bit 9 **SMP:** SPIx 入力データ サンプル位相ビット
マスタ モード:
 1 = 入力データをデータ出力時間の終わりでサンプルする
 0 = 入力データをデータ出力時間の中央でサンプルする
スレーブ モード:
 SPI をスレーブ モードで使うときは SMP をクリアする必要がある
- bit 8 **CKE:** SPIx クロック エッジ選択ビット (1)
 1 = シリアル出力データは、アクティブクロックからアイドルステートに遷移するとき変化する (ビット 6 参照)
 0 = シリアル出力データは、アイドルクロックからアクティブステートに遷移するとき変化する (ビット 6 参照)
- bit 7 **SSEN:** スレーブ選択有効化ビット (スレーブ モード)
 1 = SSx ピンをスレーブ モードで使う
 0 = SSx ピンをモジュールでは使わない。ピンはポート機能として制御される
- bit 6 **CKP:** クロック極性選択ビット
 1 = クロックのアイドルステートを High レベル、アクティブステートを Low レベルとする
 0 = クロックのアイドルステートを Low レベル、アクティブステートを High レベルとする
- bit 5 **MSTEN:** マスタ モード有効化ビット
 1 = マスタ モードとする
 0 = スレーブ モードとする
- bit 4-2 **SPRE<2:0>:** 2 次プリスケアラビット (マスタ モード)
 111 = 2 次プリスケアラ 1:1
 110 = 2 次プリスケアラ 2:1
 ...
 000 = 2 次プリスケアラ 8:1
- bit 1-0 **PPRE<1:0>:** 1 次プリスケアラ ビット (マスタ モード)
 11 = 1 次プリスケアラ 1:1
 10 = 1 次プリスケアラ 4:1
 01 = 1 次プリスケアラ 16:1
 00 = 1 次プリスケアラ 64:1

注 1: CKE ビットはフレーム モードでは使わない。ユーザーはフレーム SPI モード (FRMEN = 1) のときは「0」とプログラムすべき。

レジスタ 13-3: SPIxCON2: SPIx 制御レジスタ 2

R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0
FRMEN	SPIFSD	FRMPOL	—	—	—	—	—
bit 15						bit 8	

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	U-0
—	—	—	—	—	—	FRMDLY	—
bit 7						bit 0	

凡例:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

- bit 15 **FRMEN:** フレーム化 SPI サポート ビット
 1 = フレーム化 SPIx サポートを有効化する (SSx ピンはフレーム同期入出力として使われる)
 0 = フレーム化 SPIx サポートを無効化する
- bit 14 **SPIFSD:** フレーム同期 p?Y¾ 方向制御ビット
 1 = フレーム同期パルスを入力とする (スレーブ)
 0 = F フレーム同期パルスを出力とする (マスタ)
- bit 13 **FRMPOL:** フレーム同期パルス極性ビット
 1 = フレーム同期パルスをアクティブ High とする
 0 = フレーム同期パルスをアクティブ Low とする
- bit 12-2 **未実装:** 読むと '0'
- bit 1 **FRMDLY:** フレーム同期パルスエッジ選択ビット
 1 = フレーム同期パルスを最初のビットクロックと一致させる
 0 = フレーム同期パルスを最初のビットクロックより先行させる
- bit 0 **未実装:** 本ビットはユーザー アプリケーションで「1」にセットする必要がある

表 13-2: SPI1 レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
SPI1STAT	0240	SPIEN	—	SPISIDL	—	—	—	—	—	—	SPIROV	—	—	—	—	SPITBF	SPIRBF	0000 0000 0000 0000
SPI1CON	0242	—	—	—	DISSCK	DISSDO	MODE16	SMP	CKE	SSEN	CKP	MSTEN	SPRE<2:0>		PPRE<1:0>		0000 0000 0000 0000	
SPI1CON2	0244	FRMEN	SPIFSD	FRMPOL	—	—	—	—	—	—	—	—	—	—	—	FRMDLY	—	0000 0000 0000 0000
SPI1BUF	0246	送受信バッファ															0000 0000 0000 0000	

凡例：u = 初期化されないビット

注：レジスタのビット フィールドについては「dsPIC30F Family Reference Manual」(DS70046) を参照。

第 14 章 I²C™ モジュール

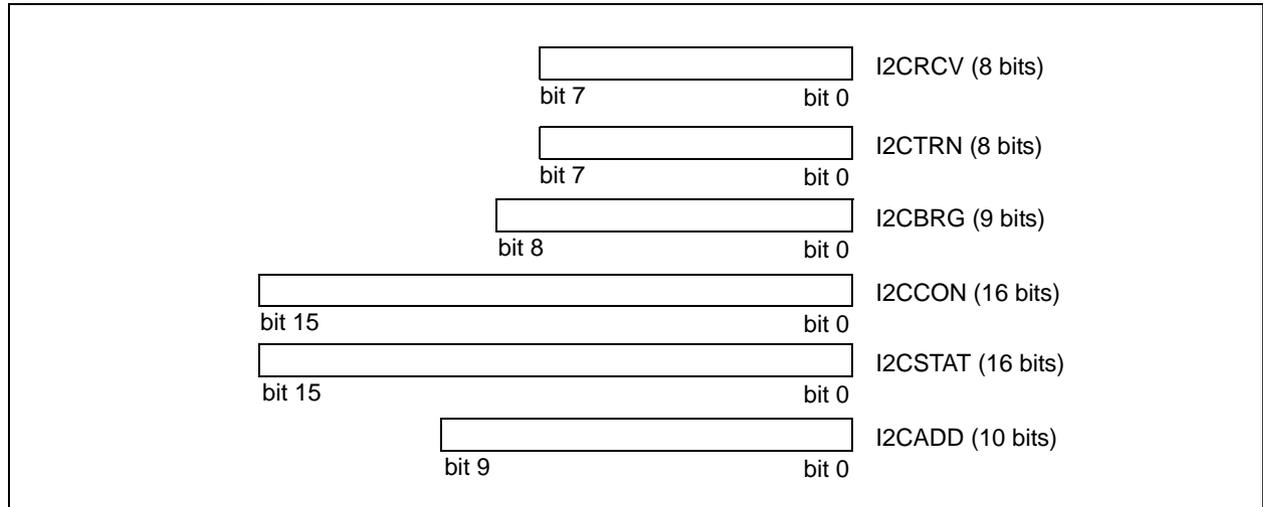
注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。

Inter-Integrated Circuit (I²C) モジュールは、I²C シリア通信規格のスレーブとマルチ マスター モードを、16 ビット インターフェースで、完全にハードウェア サポートにより提供します。

このモジュールは下記キー機能を提供します。

- I²C インターフェースはマスターとスレーブ動作の両方をサポート
- I²C スレーブ モードでは、7 と 10 ビット アドレス
- I²C マスター モードでは、7 と 10 ビット アドレス
- I²C ポートはマスターとスレーブ間で双方向の転送が可能
- I²C ポートのシリアルクロック同期は、シリアル転送を一時停止したり再開することでハンドシェイク方式として使用可能 (SCLREL 制御)。
- I²C はマルチマスター動作をサポート：バス衝突を検出し、適宜調停。

図 14-1: プログラマ用モデル



14.1.3 I²C 用レジスタ

I2CCON と I2CSTAT が、それぞれ制御と状態のレジスタです。I2CCON レジスタは読み書きできます。I2CSTAT の下位 6 ビットは読み込み専用です。I2CSTAT の残りのビットは読み書きできます。

I2CRSR はデータをシフトするためのシフト レジスタで、I2CRCV は、データ バイトを書き込むか、データ バイトを読み出すためのバッファ レジスタです。I2CRCV は図 16-1 に示すように受信バッファです。I2CTRN は送信レジスタで、図 16-2 のように送信動作のときにデータを書き込みます。

14.1 機能動作説明

ハードウェアには、I²C 標準および高速モード仕様のマスターとスレーブ機能のすべてがフル実装されています。7 および 10 ビット アドレス指定も同様です。

I²C モジュールは、1 つの I²C バス上でスレーブとマスターのどちらでも動作できます。

14.1.1 種々の I²C モード

I²C 動作として下記がサポートされています。

- 7 または 10 ビット アドレスの I²C スレーブ動作
 - 7 または 10 ビット アドレスの I²C マスター動作
- 詳細は図 14-1 の I²C プログラマ用モデルを参照して下さい。

14.1.2 I²C モードのピン構成

I²C は、SCL というクロックと SDA というデータの 2 ピンのインターフェースです。

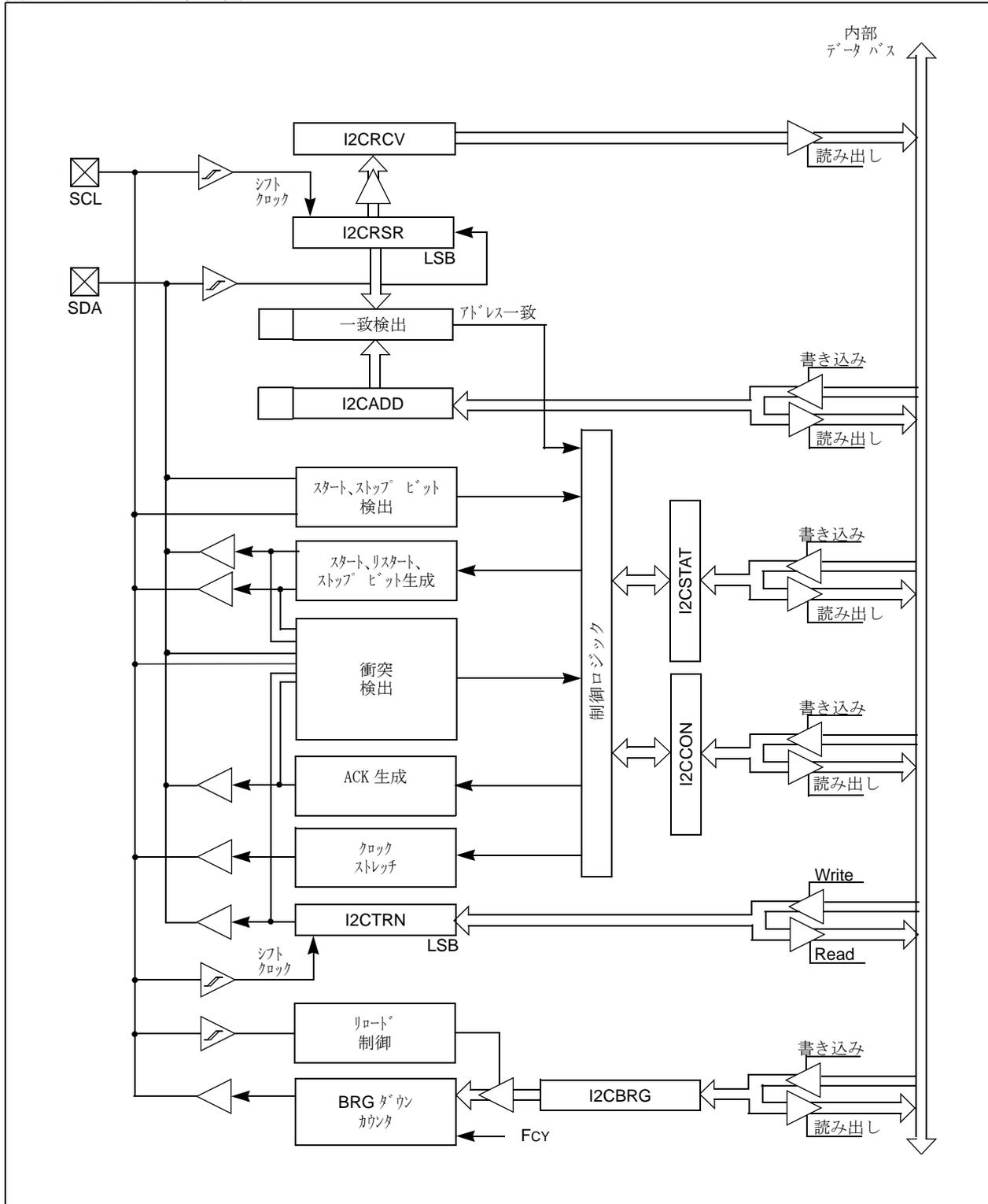
I2CADD レジスタはスレーブ アドレスを保持します。状態ビットの ADD10 は、10 ビット アドレスモードであることを示します。I2CBRG はポーレート ジェネレータ (BRG) リロード値として振舞います。

受信動作では、I2CRSR と I2CRCV が一緒になってダブル バッファ受信形式となります。I2CRSR がバイトを受信完了すると、I2CRCV に転送し、割り込みパルスを生成します。送信中は I2CTRN はダブルバッファにはなりません。

注: 10 ビット モードに続くリスタート条件は 7 ビットのアドレスが一致すれば十分です。

dsPIC30F1010/202X

図 14-2: I²C™ ブロック図



14.2 I²C モジュール アドレス

I2CADD レジスタには、スレーブ モード用のアドレスが入っています。このレジスタは 10 ビットのレジスタです。

A10M ビット (I2CCON<10>) が「0」の場合、モジュールは 7 ビット アドレスとして解釈します。アドレスが受信されると、I2CADD レジスタの下位 7 ビットと比較されます。

A10M ビットが「1」なら、アドレスは 10 ビット アドレスと仮定されます。アドレスが受信されると、バイナリ値の '11110 A9 A8' (ここで A9 と A8 は I2CADD の最上位ビットです。) と比較されます。値が一致すると、10 ビット アドレス プロトコルとして特定され、次のアドレスが、I2CADD の下位 8 ビットと比較されます。

14.3 I²C 7 ビット スレーブ モード動作

スレーブ モジュールが有効 (I2CEN=1) にされると、スタート ビットが起きるのを待ちます (つまり I²C モジュールはアイドル)。スタート ビットに続いて 8 ビットが I2CRSR にシフト入力され、アドレスが I2CADD と比較されます。7 ビット モード (A10M = 0) では、I2CADD<6:0> ビットが I2CRSR<7:1> と比較され、I2CRSR<0> は R_W ビットです。すべての受信ビットは SCL の立ち上がりエッジでサンプリングされます。

アドレスが一致すると、ACK が送信され、スレーブ のイベント割り込みフラグ (SI2CIF) が 9 ビット目 (ACK) の立下りでセットされます。アドレス一致は I2CRCV バッファ内容や RBF ビットには影響を与えません。

14.3.1 スレーブ 送信

受信 R_W ビットが「1」のときは、シリアルポートは送信モードになります。9 番目のビットで ACK を送信し、CPU が I2CTRN に書き込むことで応答するまで SCL を「0」に保持します。SCL は SCLREL ビットがセットされると開放され、8 ビットのデータがシフト出力されます。データ ビットは SCL の立下りエッジごとにシフト出力されるので、SDA は SCL が High の間に変化します (タイミング図を参照)。割り込みパルスは、マスタからの ACK 受信の有無にかかわらず、9 番目のクロックパルスの立下りエッジで出力されます。

14.3.2 スレーブ 受信

アドレス一致のとき受信した R_W ビットが「0」のときは、受信モードが起動されます。入力ビットは SCL の立ち上がりエッジでサンプリングされます。8 ビットが受信された後、I2CRCV が一杯でないか、I2COV がセットされていないか、I2CRSR は I2CRCV に転送されます。ACK が 9 番目のクロックで送信されます。

RBF フラグがセットされていると、I2CRCV は前の動作のデータを保持している (RBF = 1) ことを示しており、ACK は送信されません。しかし、割り込みパルスは生成されます。オーバーフローの場合には、I2CRCR の内容は、I2CRCV には転送されません。

注: I2COV ビットが=1で、RBF ビットが=0なら I2CRCV にはロードされます。この場合、I2CRCV が読み出されたこととなりますが、次の受信前に I2COV ビットのステータスをクリアしてなかったこととなります。ACK は送信されず (ACK = 1)、I2CRCV は更新されます。

14.4 I²C 10 ビット スレーブ モード動作

10 ビット モードのときは、送受信動作の基本は 7 ビット モードと同じです。しかし、アドレス一致判定基準はより複雑です。

I²C 仕様では、スレーブ への書き込み時には、スタート ビットに続く 2 バイト アドレスでアドレスが指定される必要があります。

A10M ビットが I2CADD 内のアドレスが 10 ビット アドレスなのか 7 ビット アドレスなのかを区別する制御ビットです。

メッセージアドレスの最初のバイトに対するアドレス検出プロトコルは、7 ビットと 10 ビット メッセージで同じですが比較されるビットは異なっています。

I2CADD は 10 ビット アドレスを保持しています。スタート ビットに続くアドレス受信後、I2CRSR<7:3> がリテラル値 '11110' と比較され (10 ビット アドレスのデフォルト値)、I2CRSR<2:1> が I2CADD<9:8> と比較されます。アドレスが一致し、R_W = 0 なら割り込みパルスが出力されます。ADD10 がクリアされて、アドレスが部分的に一致したことを表します。一致しないか、R_W = 1 なら、ADD10 ビットはクリアされ、モジュールはアイドル状態に戻ります。

次にアドレスの下位バイトが受信され、I2CADD<7:0> と比較されます。アドレスが一致すれば、割り込みパルスが生成され、ADD10 ビットがセットされます。これで完全な 10 ビット アドレス一致を示します。アドレスが一致しなければ、ADD10 ビットがクリアされ、モジュールはアイドル状態に戻ります。

14.4.1 10 ビットモード スレーブ 送信

この方法でフル 10 ビット アドレスでスレーブ がアドレス指定されると (この状態を、「PRIOR_ADDR_MATCH」と呼ぶ)、マスタは、スレーブ 受信動作のためデータ バイトの送信を始めます。

14.4.2 10 ビットモード スレーブ 受信

アドレス指定すると、マスタはストップ ビットを生成しないで、リポート スタートを生成し、アドレスの上位バイトを再セットし、R_W ビットをセットして、スレーブ 送信動作を起動します。

14.5 自動クロック ストレッチ

スレーブモードのとき、モジュールはクロック ストレッチすることで、バッファ読み書きをマスターと同期させることができます。

14.5.1 送信クロックストレッチング

10ビット、7ビット両送信モードで、TBF ビットがクリア状態なら、バッファが空であることを示すために、9番目のクロックの立ち下りの後で SCLREL ビットを挿入することによるクロック ストレッチ機能を実装しています。

スレーブ送信モードでは、STREN ビットにかかわらずクロック ストレッチは常に有効です。

クロック同期は、送信シーケンスの9番目のクロックに続いて行われます。デバイスが9番目のクロックの立ち下りで ACK をサンプルし、TBF ビットがクリア状態なら、SCLREL ビットが自動的にクリアされます。SCLREL が「0」にクリアされると、SCL ラインを Low にします。ユーザー ISR 内で、送信を継続する前に SCLREL ビットをセットしなければなりません。SCL ラインを Low のままにすることで、マスターデバイスが次の送信シーケンスを開始する前に、ユーザーが ISR をサーブिसし、I2CTRN の内容をロードする時間を確保できます。

注 1: I2CTRN に内容をロードし、9番目のビットの立ち下りエッジより前に TBF ビットをセットすると、SCLREL ビットはクリアされず、クロック ストレッチングは起きません。

2: SCLREL ビットは TBF ビットの如何にかかわらずソフトウェアでセットできます。

14.5.2 受信クロックのストレッチング

I2CCON レジスタの STREN ビットにより、スレーブ受信モードのときクロック ストレッチングができます。STREN ビットがセットされると、データ受信シーケンスが終わるごとに SCL ピンが Low に保持されます。

14.5.3 7ビットアドレスのときのクロック ストレッチング (STREN = 1)

スレーブ受信モードのとき STREN ビットがセットされていると、バッファレジスタが一杯のとき SCL ラインが Low に保持されます。SCL 出力をストレッチする方式は7と10ビットアドレッシングモードで同じです。

クロック ストレッチングは受信シーケンスの9番目のクロックに続いて行われます。RBF ビットがセットされていると、ACK シーケンスの終わりの9番目のクロックの立ち下りで、SCLREL ビットが自動でクリアされ、SCL 出力を Low に保持します。ユーザーの ISR 処理で受信が継続する前に SCLREL ビットをセットする必要があります。SCL を Low に保つことで、ISR 処理を行う時間を確保し、マスタが次の受信動作シーケンスを始める前に I2CRCV の内容を読み出すことができます。これでバッファのオーバーランが起きることを防ぐことができます。

注 1: I2CRCV の内容を読み出し、9番目のビットの立ち下りエッジより前に TBF ビットをセットすると、SCLREL ビットはクリアされず、クロック ストレッチングは起きません。

2: SCLREL ビットは RBF ビットの如何にかかわらずソフトウェアでセットできます。ISR 処理では、オーバーフロー状態が起きないように、次の受信シーケンスが始まる前に、RBF ビットをクリアするよう気をつける必要があります。

14.5.4 10ビットアドレスの間のクロック ストレッチング (STREN = 1)

アドレスシーケンスのときは、クロックストレッチングは自動的に行われます。このモジュールは全アドレスのレジスタを持っていますから、プロトコルで、アドレスが更新されるのを待つ必要がないからです。

アドレスフェーズが完了した後、前述したように、クロック ストレッチングはデータ送受信シーケンスごとに行われます。

14.6 ソフトウェア制御によるクロック ストレッチング (STREN = 1)

STREN ビットを「1」にすると、ソフトウェアで SCLREL ビットをクリアすることでクロック ストレッチをソフトウェア制御できるようにします。ロジックは SCL クロックと同期させて SCLREL ビットに書き込みます。SCLREL ビットをクリアすると、モジュールが SCL 出力の立ち下りを検出し、SCL が Low でサンプルされるまで、SCL 出力を出しません。SCLREL ビットが、SCL ラインが Low にサンプルされている間にクリアされると、SCL 出力はオンとなりません (Low のまま)。I²C バス上の他の全デバイスが SCL をオフにしていれば、SCLREL ビットがセットされるまで、SCL 出力が Low のままとなります。これにより、SCLREL への書き込みが、SCL に要求される最小の High 時間を守れるようにします。

STREN ビットが「0」のときは、SCLREL ビットのソフトウェアによる書き込みは、無視され SCLREL ビットは影響されません。

14.7 割り込み

I²C モジュールは、MI2CIF (I²C マスター イベント割り込みフラグ) と、SI2CIF (I²C スレーブ イベント割り込みフラグ) の2つの割り込みフラグを生成します。MI2CIF 割り込みフラグはマスタメッセージイベントの完了で生成されます。SI2CIF 割り込みフラグはスレーブ向けのメッセージの検出で生成されます。

14.8 スロープ制御

I²C 規格では、ファーストモード (400 kHz) のときは、SDAx と SCLx 信号のスロープ制御を要求していません。制御ビット DISSLW により、ユーザーは必要ならスローレート制御を無効にできます。1 MHz モードではスローレート制御を無効にする必要があります。

14.9 IPMI のサポート

制御ビット IPMIEN は、モジュールのインテリジェント周辺管理インターフェース (IPMI) のサポートを有効にします。このビットがセットされると、モジュールはすべてのアドレスを受け入れて応答します。

14.10 一斉呼び出しアドレスのサポート

一斉呼び出しアドレスは全デバイスをアドレスできます。このアドレスが使用されたときは、理論的にはすべての有効なデバイスが ACK 応答を返す必要があります。

一斉呼び出しアドレスは特定の目的のために I²C プロトコルにより予約されている 8 つのアドレスのうちの 1 つです。R_W = 0 で「0」のみで構成されています。

一斉呼び出しアドレスは、一斉呼び出し有効化ビット (GCEN) がセットされると認識されます (I2CCON<7>)。START ビット検出後、8 ビットが I2CRSR にシフトされ、アドレスは I2CADD と比較されます。また、ハードウェア固定の一斉呼び出しアドレスとも比較されます。

一斉呼び出しアドレスと一致すると、8 クロック目に I2CRSR が I2CRCV に転送され、RBF フラグがセットされ、9 ビット目 (ACK ビット) の立下りエッジで、マスタ イベント割り込みフラグ (MI2CIF) がセットされます。

割り込みが受け付けられると、アドレスがデバイス特有のものか一斉呼び出しかを定めるため、I2CRCV の内容を呼び出し、割り込み要因のチェックをします。

14.11 I²C マスタのサポート

マスタデバイスとして下記 6 種の動作がサポートされています。

- SDA と SCL へのスタート条件の出力
- SDA と SCL へのリスタート条件の出力
- I2CTRN レジスタに書き込んでデータ / アドレスの送信の起動
- SDA と SCL へのストップ条件の出力
- I²C ポートをデータ受信用に構成
- 受信バイトデータの終わりに ACK 条件を生成

14.12 I²C マスタ動作

マスタデバイスは、すべてのシリアルクロックパルスと、スタート、ストップ条件を生成します。転送はストップ条件かリピートスタート条件で終了します。リピートスタート条件では次のシリアル転送が開始されるため、I²C バスは開放されません。

マスタ送信モードでは、シリアルデータは SCL にクロックを出力しながら、SDA から出力されます。最初の送信バイトには、受信デバイスのスレーブアドレス (7 ビット) と転送方向ビットが含まれています。この場合、データ方向ビット (R_W) は「0」です。1 回に 8 ビットのデータが送信されます。バイト送信ごとに、ACK ビットが受信されます。スタートかストップ条件がシリアル転送の開始と終了を区別するために出力されます。

マスタ受信モードでは、送信される最初のバイトには、送信デバイスのスレーブアドレス (7 ビット) と、データ転送方向ビットが含まれています。この場合転送方向ビット (R_W) はロジック「1」となります。これで、最初の送信バイトには 7 ビットのスレーブアドレスに「1」が続き、受信ビットを示します。シリアルデータは SCL をシリアルクロックとして SDA に出力され受信されます。バイト受信ごとに ACK ビットを送信します。スタートかストップ条件がシリアル転送の開始と終了を区別するために出力されます。

14.12.1 I²C マスタ送信

7 ビットアドレスまたは 10 ビットアドレスの 2 番目のデータ送信は、I2CTRN レジスタに値を書くだけでできます。I2CTRN への書き込みは、モジュールが WAIT 状態のときに行うようにします。この書き込みによりバッファフルフラグ (TBF) がセットされ、ポーレートジェネレータがカウントを開始し、次の送信が開始されます。

アドレス / データのビットごとに、SCL の立下りが起きると SDA ピンにシフト出力されます。送信ステータスフラグ TRSTAT (I2CSTAT<14>) は、マスタ送信の進行状況を表します。

14.12.2 I²C マスタ受信

マスタモードの受信は、TRSTAT (I2CSTAT<14>) で受信有効化することで有効となります。I²C モジュールは、RCEN ビットがセットされる前にアイドルとなっている必要があります。そうしないと RCEN ビットが無視されてしまいます。ポーレートジェネレータがカウントを開始し、ロールオーバーするごとに SCL ピンの状態がトグルし、クロックの立ち上がりエッジごとにデータが I2CRSR にシフト入力されます。

14.12.3 ボーレート ジェネレータ

I²C マスター モードでは、BRG のリロード値は I2CBRG レジスタにあります。BRG にこの値がロードされると、BRG は「0」までカウントダウンし、次のリロードが行われるまで停止します。例えば、クロック調停が行われると、BRG は SCL ピンが high となったときにリロードされます。

I²C 規格により、FSCK は 100 kHz か 400 kHz となります。しかし、ユーザーは最高 1 MHz までの任意のボーレートに指定できます。I2CBRG の値には、「0」または「1」は禁止です

式 14-1: I2CBRG の値

$$I2CBRG = \left(\frac{F_{cy}}{F_{scl}} - \frac{F_{cy}}{1, 111, 111} \right) - 1$$

14.12.4 クロック調停

クロック調停は、すべての受信、送信、リスタート/ストップ条件の間に、マスターが SCL ピンを解放したとき (SCL はフロート High にされます) に起きます。SCL ピンがフロート High にされると、ボーレートジェネレータは、SCL ピンが実際に High でサンプルされるまでカウントを停止します。SCL ピンが High でサンプルされると、ボーレートジェネレータに I2CBRG の内容がリロードされてカウントを開始します。これにより、クロックが外部デバイスにより Low に保持されたというイベントで、SCL の High 時間を常に 1 回以上の BRG ロールオーバー カウント時間とできます

14.12.5 マルチ マスタ通信、バス衝突とバス調停

マルチマスター 動作のサポートは、バス調停により達成されています。マスターがアドレス/データ ビットを SDA ピンに出力するとき、別のマスターが「0」を出力している間に、マスターが SDA に「1」を出力して SDA をフロート High にしようとするすると調停が行われます。SCL ピンがフロート High のとき、データは安定です。SDA ピンに期待されるデータが「1」の場合に、SDA ピン=0 とサンプルされると、バス衝突が起きています。マスターは MI2CIF ビットをセットし、マスター側の I²C ポートをリセットしてアイドル状態にします。

バス衝突がおきたとき送信中であれば送信は停止され、TBF フラグはクリアされ、SDA と SCL ラインはオフされ、これで値を I2CTRN に書くことができます。ユーザーが I²C マスタ イベント割り込みサービスルーチンを実行しているとき、I²C バスがフリーであれば (つまり、P ビットがセットされている)、ユーザーは Start 条件を出力することで通信を再開することができます。

バス衝突が起きたとき、スタート、リスタート、ストップあるいは ACK 条件が進行中のときは、条件は中止され、SDA と SCL ラインはオフとなり、I2CCON レジスタの対応する制御ビットは「0」にクリアされません。バス衝突割り込みサービスルーチンを処理中で、かつ I²C バスがフリーなら、スタート条件を開始することで通信を再開できます。

マスタは SDA と SCL ピンのモニタを継続し、ストップ条件が起きると、MI2CIF ビットがセットされます。

I2CTRN への書き込みにより、バス衝突が起きて送信がオフにされない限り送信データの最初のビットから送信を開始します。

マルチ マスタ環境では、スタート、ストップ条件の検出で割り込みを発生できるようになり、これでバスがフリーかどうかを決定できます。I2CSTAT レジスタの P ビットがセットされるか、バスがアイドルで S と P ビットがクリアされると、I²C バスの制御が行われます。

14.13 CPU がスリープかアイドルモードのときの I²C モジュール動作

デバイスがスリープ モードに入ったときは、モジュールへのすべてのクロック源が停止しロジック「0」となります。スリープが送信途中に起きると、クロックが止まるので送信のステート マシンは途中までとなり、送信は中断されます。同様に、受信中にスリープとなると、受信も中断されます。

14.13.1 CPU がアイドル モード中の I²C 動作

I²C では、I2CSID ビットにより I²C をアイドルで停止させるか、アイドルでも動作継続するかを選択します。I2CSIDL = 0 ならモジュールはアイドル モードになっても動作を継続します。I2CSIDL = 1 ならアイドルでモジュールは停止します。

表 14-1: I²C™ レジスタ マップ

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
I2CRCV	0200	—	—	—	—	—	—	—	—	受信レジスタ								0000 0000 0000 0000
I2CTRN	0202	—	—	—	—	—	—	—	—	送信レジスタ								0000 0000 1111 1111
I2CBRG	0204	—	—	—	—	—	—	—	ボーレート ジェネレータ								0000 0000 0000 0000	
I2CCON	0206	I2CEN	—	I2CSIDL	SCLREL	IPMIEN	A10M	DISSLW	SMEN	GCEN	STREN	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0001 0000 0000 0000
I2CSTAT	0208	ACKSTAT	TRSTAT	—	—	—	BCL	GCSTAT	ADD10	IWCOL	I2COV	D_A	P	S	R_W	RBF	TBF	0000 0000 0000 0000
I2CADD	020A	—	—	—	—	—	—	アドレス レジスタ								0000 0000 0000 0000		

注：レジスタのビット フィールドについては「dsPIC30F Family Reference Manual」(DS70046) を参照。

dsPIC30F1010/202X

ノート:

第 15 章 汎用非同期送受信モジュール (UART)

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンスマニュアル」(DS70046) を参照して下さい。

汎用非同期送受信モジュール (UART) は、dsPIC30F1010/202X ファミリーで使えるシリアル I/O モジュールの 1 つです。UART は全二重の非同期システムで、パソコン、LIN、RS-232、RS-485 インターフェースなどの周辺デバイスと通信できます。また、モジュールは IrDA[®] のエンコーダとデコーダを含んでいます。

UART モジュールの主な特徴は下記となります。

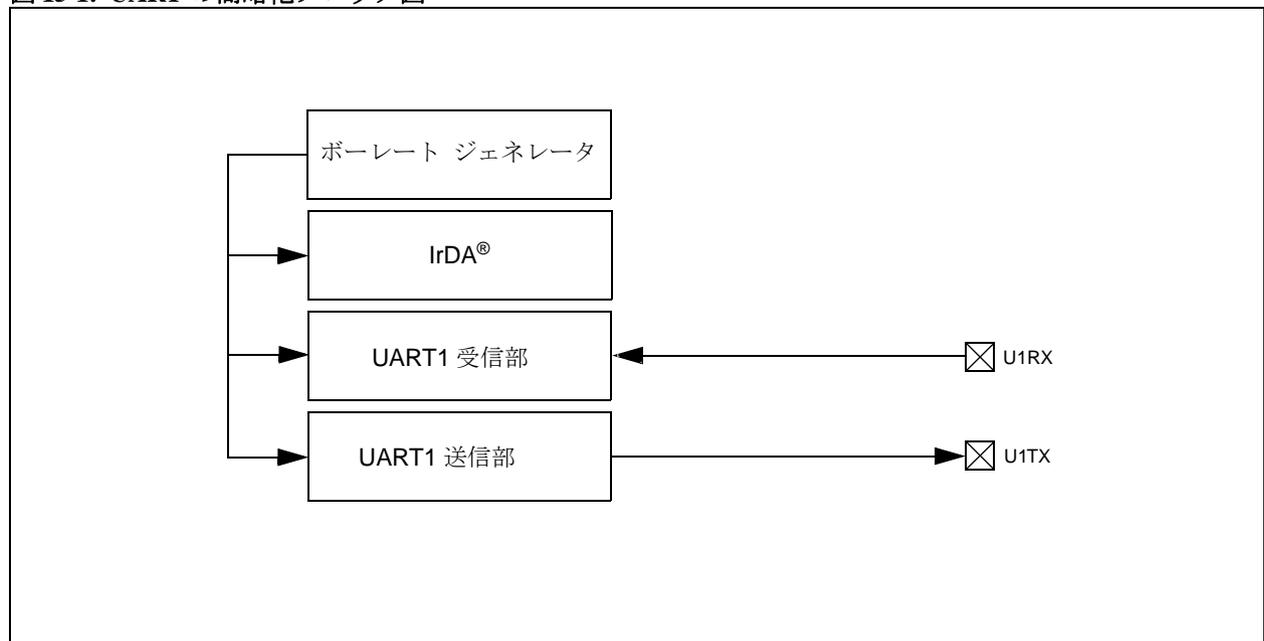
- U1xTX と U1xRX ピンによる全二重の 8 または 9 ビット データ転送
- 偶数、奇数、なしのパリティ オプション (8 ビット データに対して)
- 1 または 2 ビットのストップ ビット
- 16 ビット プリスケール付きのボーレート ジェネレータをフル実装

- ボーレート範囲は 16 MIPS で 1 Mbps から 15 bps
- 4 レベルの先入れ先出し (FIFO) 送信データ バッファ
- 4 レベルの FIFO 受信データ バッファ
- パリティ、フレーミング、オーバーランエラー検出
- アドレス検出つきの 9 ビット モードをサポート (9 ビット目 = 1)
- 送信と受信割り込み
- 診断サポート用のループバック モード
- 同期とブレイク文字のサポート
- 自動ボーレート検出サポート
- IrDA エンコーダ、デコーダ ロジック
- IrDA 用の 16x ボークロック出力をサポート

図 15-1 に UART の簡略化したブロック図を示します。UART は下記の主要ハードウェア要素で構成されています。

- ボーレート ジェネレータ
- 非同期送信
- 非同期受信

図 15-1: UART の簡略化ブロック図



dsPIC30F1010/202X

15.1 UART ボーレート ジェネレータ (BRG)

UART モジュールには、専用の 16 ビットのボーレート ジェネレータが含まれています。UIBRG レジスタが 16 ビットタイマの自走周期を制御します。式 15-1 に BRGH = 0 のときのボーレートの計算式を示します。

式 15-1: UART のボーレート BRGH = 0^(1,2,3) のとき

$$\text{ボーレート} = \frac{F_{CY}}{16 \cdot (UIBRG + 1)}$$

$$UIBRG = \frac{F_{CY}}{16 \cdot \text{ボーレート}} - 1$$

注 1: F_{CY} は命令サイクルクロック周波数 (F_{OSC}/2) を表す。

- 2: 周波数が 15 MHz の外部発振で PLL 無効とすれば F_{CY} は 7.5 MHz です。
- 3: 周波数が 15 MHz の外部発振で PLL 有効とすれば F_{CY} は 30 MHz です。

例 15-1 は下記条件のときのボーレート 誤差の計算方法を示しています。

- F_{CY} = 7.5 MHz
- 希望ボーレート = 9600

最大のボーレートは (BRGH = 0 のとき) は F_{CY}/16 (UIBRG = 0 のとき) で、最小ボーレートは F_{CY}/(16 * 65536) です。

式 15-2 に BRGH = 1 のときのボーレート計算式を示します。

式 15-2: UART のボーレート BRGH = 1^(1,2,3) のとき

$$\text{ボーレート} = \frac{F_{CY}}{4 \cdot (UIBRG + 1)}$$

$$UIBRG = \frac{F_{CY}}{4 \cdot \text{ボーレート}} - 1$$

注 1: F_{CY} は命令サイクルクロック周波数 (F_{OSC}/2) を表す。

- 2: 周波数が 15 MHz の外部発振で PLL 無効とすれば F_{CY} は 7.5 MHz です。
- 3: 周波数が 15 MHz の外部発振で PLL 有効とすれば F_{CY} は 30 MHz です。

最大のボーレートは F_{CY}/4 で (BRGH = 1 のとき)、最小のボーレートは F_{CY}/(4 * 65536) となります。

UIBRG レジスタに新しい値を書き込むと、BRG タイマはリセットされます(クリアされる)。これにより、新たなボーレートの生成前に、タイマがオーバーフローするまで BRG が待つことがないようにします。

例 15-1: ボーレート 誤差の計算 (BRGH = 0)⁽¹⁾

$$\text{希望ボーレート} = F_{CY}/(16 (UIBRG + 1))$$

UIBRG の値を求める:

$$UIBRG = ((F_{CY}/\text{希望ボーレート})/16) - 1$$

$$UIBRG = ((7500000/9600)/16) - 1$$

$$UIBRG = 48$$

$$\begin{aligned} \text{計算したボーレート} &= 7500000/(16 (48 + 1)) \\ &= 9566 \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (\text{計算したボーレート} - \text{希望ボーレート})/\text{希望ボーレート} \\ &= (9566 - 9600)/9600 \\ &= -0.35\% \end{aligned}$$

注 1: T_{CY} = 2/F_{OSC} とし、PLL は無効とする。

15.2 8 ビット データ モードのときの送信

1. UART のセットアップ:
 - a) データ、パリティ、ストップ ビット数に適切な値を書く
 - b) U1BRG レジスタに適切なボーレート値を書く
 - c) 送信と受信の割り込みを有効にし優先レベルを設定する
2. UART を有効化する
3. UTXEN ビットをセットする (送信割り込みが起きる)
4. データ バイトを TXxREG ワードの下位バイトに書くと、その値は即送信シフトレジスタ (TSR) に転送され、ボックロックの次の立ち上りエッジからシフト出力されることで、シリアルビットの流れが始まる
5. あるいは、UTXEN = 0 の間にデータ バイトを転送し、その後 UTXEN をセットすることも可能。これにより、ボックロックはクリア状態から開始されるため、シリアルビットの列は、即始まる
6. 制御ビット UTXISELx をセットすることによって送信割り込みが発生する

15.3 9 ビット データモードのときの送信

1. UART をセットアップする (15.2 項「8 ビット データモードのときの送信」で説明されているように)
2. UART を有効化する
3. UTXEN ビットをセットする (送信割り込みが起きる)
4. TXxREG に 16 ビット値として書く
5. UxTXREG へのワード書き込みにより、9 ビットデータを TSR に転送するトリガとなる。ボックロックの最初の立ち上りエッジでシリアルビット列のシフト出力が始まる
6. 制御ビット UTXISELx のセットによって送信割り込みが発生する

15.4 ブレークと同期送信シーケンス

下記シーケンスにより、ブレークを形成するためのメッセージフレーム ヘッダが送られ、それに続いて自動ボーレート同期バイトが送信されます。

1. UART を希望するモードに設定する
2. UTXEN と UTXBRK をセットする - ブレーク文字を設定する
3. 送信を起動するため、TXxREG レジスタにダミーデータをロードする (値は無視される)
4. TXxREG に 0x55 を書く - 送信 FIFO に同期文字をロードする
5. ブレークが送信された後、UTXBRK ビットがハードウェアでリセットされる。ここで同期文字の送信が行われる。

15.5 8 ビットまたは 9 ビット データモードのときの受信

1. UART をセットアップする (15.2 項「8 ビット データモードのときの送信」で述べたようにする)
2. UART を有効化する
3. 割り込み制御ビット URXISELx により、1 データ文字以上が受信されると受信割り込みが発生する
4. OERR ビットを読んでオーバーランエラーが起きているかを確認する。OERR ビットはソフトウェアでリセットしなければならない
5. RXxREG を読む

RXxREG の文字を読み出すことで、次の文字が受信 FIFO の先頭に移動しますが、このとき PERR と FERR の値のセットも共に移動します。

15.6 内蔵 IrDA エンコーダとデコーダ

UART はフル実装の IrDA エンコーダとデコーダを UART モジュールの一部として内蔵しています。この内蔵 IrDA エンコーダとデコーダ機能は、IREN ビット (U1MODE<12>) を使って有効にします。有効 (IREN = 1) にされると、受信ピン (U1RX) は赤外線受信機からの入力として作動します。送信ピン (U1TX) は赤外線送信機への出力として作動します。

15.7 代替 UART I/O ピン

代替の I/O ピンセット、U1ATX と U1ARX も通信用に使えます。代替 UART ピンは、主 UART ピンが他の周辺と兼用されているとき便利に使えます。代替ピンは、UxMODE レジスタの ALTIO ビットをセットすることで有効になります。ALTIO = 1 のときは、U1TX と U1RX の代わりに U1ATX と U1ARX ピンが UART モジュールで使われます。ALTIO = 0 のときは、U1TX と U1RX ピンが UART モジュール用に使われます。

dsPIC30F1010/202X

レジスタ 15-1: U1MODE: UART1 モード レジスタ

R/W-0	U-0	R/W-0	R/W-0	U-0	R/W-0	U-0	U-0
UARTEN	—	USIDL	IREN	—	ALTIO	—	—
bit 15							bit 8

R/W-0 HC	R/W-0	R/W-0 HC	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WAKE	LPBACK	ABAUD	RXINV	BRGH	PDSEL1	PDSEL0	STSEL
bit 7							bit 0

凡例: U = 未実装、読むと '0'

R = 読み込み可	W = 書き込み可	HC = ハードウェア クリア	HS = ハードウェア セット
-n = POR 時の値	'1' = セット	'0' = クリア	x = 不定

- bit 15 **UARTEN:** UART1 有効化ビット
 1 = UART1 有効化; 全 UART1 ピンが UEN<1:0> で定義された UART1 による制御される。
 0 = UART1 無効化; すべての UARTx ピンは PORT ラッチにより制御される; UARTx の消費電流は最小となる
- bit 14 **未実装:** 読むと '0'
- bit 13 **USIDL:** アイドル モード停止ビット
 1 = デバイスがアイドル モードに入ると、モジュール動作を停止
 0 = アイドル モードでも動作継続
- bit 12 **IREN:** IrDA エンコーダとデコーダ有効化ビット
 1 = IrDA エンコーダとデコーダを有効にする
 0 = IrDA エンコーダとデコーダを無効にする
 注: この機能は 16x BRG モード (BRGH = 0) のときのみ有効
- bit 11 **未実装:** 読むと '0'
- bit 10 **ALTIO:** UART 用代替 I/O 選択ビット
 1 = UART は U1ATX と U1ARX I/O ピンを使って通信する
 0 = UART は U1TX と U1RX I/O ピンを使って通信する
- bit 9-8 **未実装:** 読むと '0'
- bit 7 **WAKE:** スリープ モード中のスタート ビット検出によるウェイクアップ有効化ビット
 1 = UART1 は U1RX のサンプルを継続する; 立ち下りエッジで割り込み発生; 次の立ち上りエッジでハードウェアによりクリアされる
 0 = ウェイクアップを有効化しない
- bit 6 **LPBACK:** UART1 ループバック モード選択ビット
 1 = ループバック モードを有効にする
 0 = ループバック モードを無効にする
- bit 5 **ABAUD:** オートボー有効化ビット
 1 = 次の文字のボーレート計測を有効にする—同期フィールド(55h)の受信が必要; 完了でハードウェアでクリアされる
 0 = ボーレート計測を無効にするか終了させる
- bit 4 **RXINV:** 受信極性反転ビット
 1 = U1RX アイドル状態を '0' とする
 0 = U1RX アイドル状態を '1' とする
- bit 3 **BRGH:** 高速ボーレート有効化ビット
 1 = BRG は 1 ビット周期ごとに 4 クロックを生成する (4x ボークロック、高速モード)
 0 = BRG は 1 ビット周期ごとに 16 クロックを生成する (16x ボークロック、標準モード)

レジスタ 15-1: UIMODE: UART1 モード レジスタ (つづき)

bit 2-1	PDSEL1:PDSEL0: パリティとデータ選択ビット
	11 = 9 ビット データ、パリティなし
	10 = 8 ビット データ、奇数パリティ
	01 = 8 ビット データ、偶数パリティ
	00 = 8 ビット データ、パリティなし
bit 0	STSEL: ストップビット選択ビット
	1 = 2 ビットのストップ ビット
	0 = 1 ビットのストップ ビット

dsPIC30F1010/202X

レジスタ 15-2: U1STA: UART1 ステータスと制御用レジスタ

R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
UTXISEL1	UTXINV ⁽¹⁾	UTXISEL0	—	UTXBRK	UTXEN	UTXBF	TRMT
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
URXISEL1	URXISEL0	ADDEN	RIDLE	PERR	FERR	OERR	URXDA
bit 7							bit 0

凡例: U = 未実装、読むと '0'

R = 読み込み可	W = 書き込み可	HC = ハードウェア クリア	HS = ハードウェア セット
-n = POR 時の値	'1' = セット	'0' = クリア	x = 不定

- bit 15, 13 **UTXISEL1:UTXISEL0:** 送信割り込みモード選択ビット
 11 = 予約; 使用禁止
 10 = 文字が送信シフト レジスタに転送されて、その結果送信バッファが空になったとき割り込む
 01 = 最後の文字が送信シフト レジスタからシフト出力され、すべての送信動作が完了したとき
 割り込む
 00 = 1文字が送信シフト レジスタへ転送されたとき (これは送信バッファに少なくとも 1 個の空き
 ができたことを意味する) 割り込む
- bit 14 **UTXINV:** IrDA エンコーダ送信極性反転ビット (1)
 1 = IrDA が U1TX アイドル状態を '1' とエンコードする
 0 = IrDA が U1TX アイドル状態を '0' とエンコードする
 注 1: 本ビットの値は、IrDA エンコーダが有効化 (IREN = 1) されているときのみモジュール送信機
 能に影響する
- bit 12 **未実装:** 読むと '0'
- bit 11 **UTXBRK:** 送信ブレイクビット
 1 = 次の送信で同期ブレイクを送る — スタートビット、連続 12 個の '0' ビット、ストップビット;
 完了したときハードウェアでクリアされる
 0 = 同期ブレイク送信を無効にするか、終了させる
- bit 10 **UTXEN:** 送信有効化ビット
 1 = 送信有効、U1TX ピンは UART1 により制御
 0 = 送信無効、すべての送信が中止され、バッファはリセットされる。U1TX ピンは PORT で制御さ
 れる
- bit 9 **UTXBF:** 送信バッファフル状態ビット (読み込み専用)
 1 = 送信バッファはフル
 0 = 送信バッファはフルではなく、少なくとも 1 文字書き込むことができる
- bit 8 **TRMT:** 送信シフトレジスタ空ビット (読み込みのみ)
 1 = 送信シフトレジスタは空で送信バッファも空 (最後の送信が完了した)
 0 = 送信シフトレジスタは空ではなく、送信中か送信待機中
- bit 7-6 **URXISEL1:URXISEL0:** 受信割り込みモード選択ビット
 11 = RSR 転送で受信バッファがフルのとき割り込みセット (つまり 4 データ文字ある)
 10 = RSR 転送で受信バッファが 3/4 フルになったとき割り込みセット (つまり 3 データ文字ある)
 0x = 1 文字受信して RSR から受信バッファに転送されたとき割り込みをセット
 受信バッファには 1 文字以上ある
- bit 5 **ADDEN:** アドレスデータ検出ビット (受信データの 8 ビット目 = 1)
 1 = アドレス検出モード有効。9 ビット モードが選択されていなければ、本ビットは影響しない
 0 = アドレス検出モード無効
- bit 4 **RIDLE:** 受信アイドルビット (読み込み専用)
 1 = 受信をアイドルとする
 0 = 受信をアクティブとする

レジスタ 15-2: U1STA: UART1 ステータスと制御用レジスタ (つづき)

- bit 3 **PERR:** パリティ エラー状態ビット (読み込み専用)
1 = 現在の文字 (FIFO の先頭にある文字) でパリティ エラーが検出された
0 = パリティ エラーは検出されていない
- bit 2 **FERR:** フレーミング エラー状態ビット (読み込み専用)
1 = 現在の文字 (FIFO の先頭にある文字) でフレーミング エラーが検出された
0 = フレーミング エラーは検出されていない
- bit 1 **OERR:** 受信バッファ オーバーランエラー状態ビット (読み込み/クリア専用)
1 = 受信バッファがオーバーフローした
0 = 受信バッファはオーバーフローしていない。(先にセットされた OERR ビットをクリア (1Æ0 の遷移) すると、受信バッファをリセットし、RSR を空の状態にする)
- bit 0 **URXDA:** 受信バッファ データ有効ビット (読み込み専用)
1 = 受信バッファにデータがあり、少なくとも 1 文字以上のデータが読み出せる
0 = 受信バッファは空

表 15-1: UART1 レジスタ マップ

SFR Name	SFR Addr	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	All Resets
U1MODE	0220	UARTEN	—	USIDL	IREN	—	ALTIO	—	—	WAKE	LPBACK	ABAUD	RXINV	BRGH	PDSEL<1:0>		STSEL	0000
U1STA	0222	UTXISEL1	UTXINV	UTXISEL0	—	UTXBRK	UTXEN	UTXBF	TRMT	URXISEL<1:0>		ADDEN	RIDLE	PERR	FERR	OERR	URXDA	0110
UITXREG	0224	—	—	—	—	—	—	—	UART 送信レジスタ									xxxx
UIRXREG	0226	—	—	—	—	—	—	—	UART 受信レジスタ									0000
UIBRG	0228	ボーレートジェネレータプリスケアラ																0000

凡例: x = リセット時不定、— = 未実装、読むと '0'、リセット時は 16 進で示した値

第 16 章 10 ビット 2 MSPS アナログ デジタル コンバータ (ADC) モジュール

dsPIC30F1010/202X デバイスは、AC/DC や DC/DC 電力コンバータなどのアプリケーションをサポートする高速逐次変換のアナログ デジタル コンバータを持っています。

16.1 特徴

- 10 ビット分解能
- 単極性入力
- 最大 12 チャネル
- ± 1 LSB の精度
- 単電源動作
- 5V で 2000 ksp/s の変換レート
- 3.0V で 1000 ksp/s 変換レート
- 低電力 CMOS テクノロジー

16.2 説明

この ADC モジュールは変換要求から結果データ出力までの高速性が必要とされる用途向けに設計されています。下記のような応用例があります。

- AC/DC 電源
- DC/DC コンバータ
- 力率補正

この ADC は高い周波数の制御ループが必要とされる電力制御用途において、電源用 PWM モジュールと一緒に動作します。このモジュールは 2 つのアナログ入力を $1 \mu\text{sec}$ で変換できます。 $1 \mu\text{sec}$ の変換遅延により、計測と制御システム応答間の位相遅れを減らせます。

4 入力まで同時にサンプルでき、最大 12 入力が一時に変換できます。複数入力変換のときは、ADC は最下位番号の入力から順番に変換します。

このような ADC 設計により (AN1、AN0)、(AN3、AN2)、... のようなアナログ入力ペアごとに、最大 16 種のトリガ要因からトリガ要因を決めることができます。これで、ADC がそれぞれ異なるタイム ベースで動作する PWM ジェネレータに対応するアナログ入力をサンプルし変換することを可能にします。

スリープモード中は動作しません。通常の使い方は、アナログデータのサンプリングと回路への PWM 出力とを同期させる必要があります。この ADC モジュールは非常に高速に動作するので「要求に応じたデータ取得」が可能です。

さらに、いくつかのハードウェア機能により、典型的な DSP ベースの用途におけるリアルタイム性能を向上させるインターフェースを加えています。

6. 結果の整列オプション
7. 自動サンプリング
8. 外部からの変換開始制御

ADC モジュールのブロック図を図 16-1 に示します。

16.3 モジュール機能

10 ビットの 2 Msps ADC は、電源用 PWM モジュールと併用される電力変換用途向けに設計されています。10 ビット 2 Msps ADC は、最大 N ($N \leq 12$) 入力を同時にサンプルし、2 入力を同時に変換します。サンプルと変換回路の数はデバイスにより決まっています。10 ビット 2 Msps ADC は $1 \mu\text{sec}$ で 2 つの 10 ビット変換結果を生成します。

ADC モジュールは 12 個までのアナログ入力をサポートしています。サンプルする入力はマルチプレクサを経由してコンバータに接続されます。

アナログリファレンス電圧はデバイス電源 (AVDD / AVSS) として設定されます。

ADC モジュールは下記の制御とステータスレジスタを使います。

- A/D 制御レジスタ (ADCON)
- A/D ステータスレジスタ (ADSTAT)
- A/D ベースレジスタ (ADBASE)
- A/D ポート構成レジスタ (ADPCFG)
- A/D コンバータペア制御レジスタ #0 (ADCPC0)
- A/D コンバータペア制御レジスタ #1 (ADCPC1)
- A/D コンバータペア制御レジスタ #2 (ADCPC2)

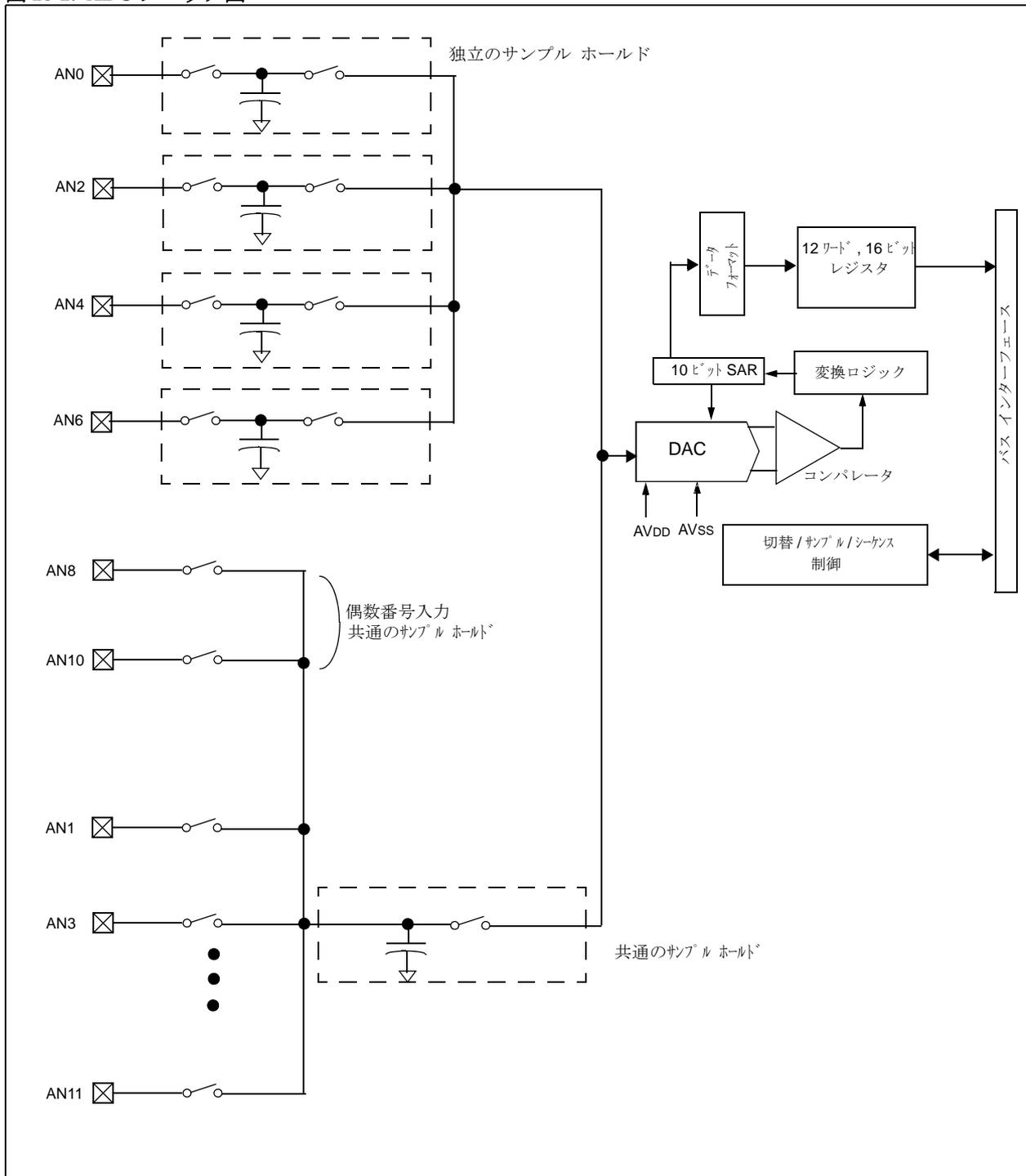
ADCON レジスタは、ADC モジュールの動作を制御します。ADSTAT レジスタは変換プロセスのステータスを示します。ADPCFG レジスタは、ポートピンのアナログ入力と、デジタル I/O を構成します。CPC レジスタは ADC 変換のトリガを制御します。(ビット構成の詳細はレジスタ 16-1 からレジスタ 16-7 を参照して下さい。)

注: ADC モジュールのユニークな特徴として入力サンプルを非同期にできるということがあります。独立のサンプルホールド回路は互いに独立にトリガされます。

注: ADC モジュールを機能させるには PLL が有効でなければなりません。FOSCSEL レジスタの FNOSC<1:0> ビットを使って設定できます。

dsPIC30F1010/202X

図 16-1: ADC ブロック図



レジスタ 16-1: A/D 制御レジスタ (ADCON)

R/W-0	U-0	R/W-0	U-0	U-0	R/W-0	U-0	R/W-0
ADON	—	ADSIDL	—	—	GSWTRG	—	FORM
bit 15						bit 8	
R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-1	R/W-1
EIE	ORDER	SEQSAMP	—	—	ADCS<2:0>		
bit 7						bit 0	

凡例:

R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = POR 時の値	'1' = セット	'0' = クリア
		x = 不定

- bit 15 **ADON:** ADC 動作モード ビット
 1 = ADC モジュール動作中にする
 0 = ADC をオフとする
- bit 14 **未実装:** 読むと '0'
- bit 13 **ADSIDL:** アイドル モードでの停止ビット
 1 = デバイスがアイドル モードに入ると、モジュール動作は継続させない
 0 = アイドル モードでもモジュール動作を継続
- bit 12-11 **未実装:** 読むと '0'
- bit 10 **GSWTRG:** グローバル ソフトウェア トリガ ビット
 このビットがセットされると、ADCPCx レジスタの TRGSRC<4:0> ビットで選択されていれば、変換をトリガする。本ビットは次のグローバル トリガの前にクリアする必要がある (つまり本ビットは自動クリアされない)
- bit 9 **未実装:** 読むと '0'
- bit 8 **FORM:** データ出力形式指定ビット
 1 = 固定小数 (DOUT = dddd dddd dd00 0000)
 0 = 整数 (DOUT = 0000 00dd dddd dddd)
- bit 7 **EIE:** 早期割り込み有効化ビット
 1 = 最初の変換完了で割り込みを生成する
 0 = 2 つ目の変換完了後割り込みを発生する
 注: 本制御ビットは、ADC が無効 (ADON = 0) のときだけ変更可能
- bit 6 **ORDER:** 変換順序指定ビット
 1 = 先に奇数番号のアナログ入力を変換し、次に偶数入力を変換する
 0 = 偶数アナログ入力を先に変換し、次に奇数番号の入力を変換する
 注: 本制御ビットは、ADC が無効 (ADON = 0) のときだけ変更制御が可能
- bit 5 **SEQSAMP:** シーケンシャル サンプル有効化
 1 = ORDER = 0 なら 2 回目の変換の最初に共用 S&H がサンプルされるが、ORDER = 1 なら、共用 S&H が最初の変換の始めでサンプルされる
 0 = 共用 S&H が現在の変換プロセスでビジーでなければ、共用 S&H が独立 S&H と同時にサンプルされる。共用 S&H が個別 S&H がサンプルされるときビジーなら、共用 S&H は次の変換サイクルの最初にサンプルされる
- bit 4-3 **未実装:** 読むと '0'

dsPIC30F1010/202X

レジスタ 16-1: A/D 制御レジスタ (ADCON) (つづき)

bit 2-0

ADCS<2:0>: A/D 変換クロック分周選択ビット

PLL が有効な場合 (15 MHz の外付けクロックがクロック源とする)

111 = FADC/18 = 13.3 MHz @ 30 MIPS

110 = FADC/16 = 15.0 MHz @ 30 MIPS

101 = FADC/14 = 17.1 MHz @ 30 MIPS

100 = FADC/12 = 20.0 MHz @ 30 MIPS

011 = FADC/10 = 24.0 MHz @ 30 MIPS

010 = FADC/8 = 30.0 MHz @ 30 MIPS

001 = FADC/6 = 予約、デフォルトは 30 MHz @ 30 MIPS

000 = FADC/4 = 予約、デフォルトは 30 MHz @ 30 MIPS

PLL が無効の場合 (15 MHz の外付けクロックがクロック源とする)

111 = FADC/18 = 0.83 MHz @ 7.5 MIPS

110 = FADC/16 = 0.93 MHz @ 7.5 MIPS

101 = FADC/14 = 1.07 MHz @ 7.5 MIPS

100 = FADC/12 = 1.25 MHz @ 7.5 MIPS

011 = FADC/10 = 1.5 MHz @ 7.5 MIPS

010 = FADC/8 = 1.87 MHz @ 7.5 MIPS

001 = FADC/6 = 2.5 MHz @ 7.5 MIPS

000 = FADC/4 = 3.75 MHz @ 7.5 MIPS

注: ADC クロック分周については 図 18-2 を参照。

レジスタ 16-2: A/D ステータス レジスタ (ADSTAT)

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/C-0 H-S	R/C-0 H-S	R/C-0 H-S	R/C-0 H-S	R/C-0 H-S	R/C-0 H-S
—	—	P5RDY	P4RDY	P3RDY	P2RDY	P1RDY	P0RDY
bit 7							bit 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定
 C = ソフトウェアでクリア H-S = ハードウェアでセット

- bit 15-6 **未実装:** 読むと '0'
- bit 5 **P5RDY:** ペア #5 のデータ変換レディー ビット
バッファにデータが準備されるとビットがセットされ、このビットに '0' を書くとクリアされる
- bit 4 **P4RDY:** ペア #4 のデータ変換レディー ビット
バッファにデータが準備されるとビットがセットされ、このビットに '0' を書くとクリアされる
- bit 3 **P3RDY:** ペア #3 のデータ変換レディー ビット
バッファにデータが準備されるとビットがセットされ、このビットに '0' を書くとクリアされる
- bit 2 **P2RDY:** ペア #2 のデータ変換レディー ビット
バッファにデータが準備されるとビットがセットされ、このビットに '0' を書くとクリアされる
- bit 1 **P1RDY:** ペア #1 のデータ変換レディー ビット
バッファにデータが準備されるとビットがセットされ、このビットに '0' を書くとクリアされる
- bit 0 **P0RDY:** ペア #0 のデータ変換レディー ビット
バッファにデータが準備されるとビットがセットされ、このビットに '0' を書くとクリアされる

dsPIC30F1010/202X

レジスタ 16-3: A/D ベース レジスタ (ADBASE)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADBASE<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
ADBASE<7:1>							—
bit 7							bit 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

bit 15-1 **ADC ベース レジスタ:** このレジスタには ADC 割り込みサービス ルーチンジャンプ テーブルへのベース アドレスが含まれます。このレジスタを読み出すと、ADBASE レジスタの内容と P_xRDY ステータス ビットのエンコードした値との合計となります。

エンコーダ ロジックは、P0RDY を最高位、P5RDY を最低位とする P_xRDY ビットの最高優先順位の番号を提供します。

エンコード結果は、2 ビット左へシフトされるので、結果の 1-0 ビットは常にゼロ

bit 0 **未実装:** 読むと '0'

注: ADBASE レジスタを使う代わりに、ADCP0-5 の ADC 変換完了割り込み (割り込み 37-42) を ADC 入力ペアごとの AD 変換完了ルーチンへの起動用として使えます。16.9 項「個別ペア割り込み」を参照。

レジスタ 16-4: A/D ポート構成レジスタ (ADPCFG)

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	PCFG11	PCFG10	PCFG9	PCFG8
bit 15							bit 8

R/W-0							
PCFG7	PCFG6	PCFG5	PCFG4	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

bit 15-12 **未実装:** 読むと '0'

bit 11-0 **PCFG<11:0>:** A/D ポート構成制御ビット

1 = ポート ピンをデジタル モードとし、ポート入力可能、A/D 入力はマルチプレクサで AV_{SS} に接続
 0 = ポート ピンをアナログ モードとし、ポート入力不可、A/D はピン電圧をサンプルする

レジスタ 16-5: A/D コンバータ ペア制御レジスタ #0 (ADCPC0)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQEN1	PEND1	SWTRG1	TRGSRC1<4:0>				
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQEN0	PEND0	SWTRG0	TRGSRC0<4:0>				
bit 7							bit 0

凡例:

R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = POR 時の値	'1' = セット	'0' = クリア
		x = 不定

- bit 15 **IRQEN1:** 割り込み要求有効化ビット 1
 1 = チャンネル AN3 と AN2 の完了による要求で IRQ 生成を有効とする
 0 = IRQ は生成されない
- bit 14 **PEND1:** 変換待ちステータス ビット 1
 1 = チャンネル AN3 と AN2 の変換待ち中。選択したトリガ オンでセットされる
 0 = 変換は完了している
- bit 13 **SWTRG1:** ソフトウェア トリガ ビット 1
 1 = AN3 と AN2 の変換を開始する (TRGSRC ビットが選択されている)。他の変換実行中なら、変換は変換リソースが有効になってから行われる。本ビットは PEND ビットのセットでリセットされる
- bit 12-8 **TRGSRC1<4:0>:** トリガ 1 ソース選択ビット
 アナログチャンネル AN3 と AN2 用の変換トリガ ソースを選択する
 00000 = 変換は無効
 00001 = 個別のソフトウェア トリガを選択
 00010 = グローバル ソフトウェア トリガを選択
 00011 = PWM 特殊イベント トリガを選択
 00100 = PWM ジェネレータ #1 トリガを選択
 00101 = PWM ジェネレータ #2 トリガを選択
 00110 = PWM ジェネレータ #3 トリガを選択
 00111 = PWM ジェネレータ #4 トリガを選択
 01100 = タイマ #1 周期一致
 01101 = タイマ #2 周期一致
 01110 = PWM GEN #1 電流制限 ADC トリガ
 01111 = PWM GEN #2 電流制限 ADC トリガ
 10000 = PWM GEN #3 電流制限 ADC トリガ
 10001 = PWM GEN #4 電流制限 ADC トリガ
 10110 = PWM GEN #1 フォルト ADC トリガ
 10111 = PWM GEN #2 フォルト ADC トリガ
 11000 = PWM GEN #3 フォルト ADC トリガ
 11001 = PWM GEN #4 フォルト ADC トリガ
- bit 7 **IRQEN0:** 割り込み要求有効化ビット 0
 1 = チャンネル AN1 と AN0 の完了による要求で IRQ 生成を有効とする
 0 = IRQ は生成されない
- bit 6 **PEND0:** 変換待ちステータス ビット 0
 1 = チャンネル AN1 と AN0 の変換待ち中。選択したトリガ オンでセットされる
 0 = 変換は完了している
- bit 5 **SWTRG0:** ソフトウェア トリガ ビット 1
 1 = AN1 と AN0 の変換を開始する (TRGSRC ビットが選択されている)。他の変換実行中なら、変換は変換リソースが有効になってから行われる。本ビットは PEND ビットのセットでリセットされる

dsPIC30F1010/202X

レジスタ 16-5: A/D コンバータ ペア制御レジスタ #0 (ADCPC0) (つづき)

bit 4-0 **TRGSRC0<4:0>**: トリガ 0 ソース選択ビット
アナログチャンネル AN1 と AN0 用の変換トリガ ソースを選択する

00000 = 変換は無効
00001 = 個別のソフトウェア トリガを選択
00010 = グローバル ソフトウェア トリガを選択
00011 = PWM 特殊イベント トリガを選択
00100 = PWM ジェネレータ #1 トリガを選択
00101 = PWM ジェネレータ #2 トリガを選択
00110 = PWM ジェネレータ #3 トリガを選択
00111 = PWM ジェネレータ #4 トリガを選択
01100 = タイマ #1 周期一致
01101 = タイマ #2 周期一致
01110 = PWM GEN #1 電流制限 ADC トリガ
01111 = PWM GEN #2 電流制限 ADC トリガ
10000 = PWM GEN #3 電流制限 ADC トリガ
10001 = PWM GEN #4 電流制限 ADC トリガ
10110 = PWM GEN #1 フォルト ADC トリガ
10111 = PWM GEN #2 フォルト ADC トリガ
11000 = PWM GEN #3 フォルト ADC トリガ
11001 = PWM GEN #4 フォルト ADC トリガ

レジスタ 16-6: A/D コンバータ ペア制御レジスタ #1 (ADCPC1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQEN3	PEND3	SWTRG3	TRGSRC3<4:0>				
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQEN2	PEND2	SWTRG2	TRGSRC2<4:0>				
bit 7							bit 0

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15 **IRQEN3:** 割り込み要求有効化ビット 3
 1 = チャンネル AN7 と AN6 の完了による要求で IRQ 生成を有効とする
 0 = IRQ は生成されない
- bit 14 **PEND3:** 変換待ちステータス ビット 3
 1 = チャンネル AN7 と AN6 の変換待ち中。選択したトリガ オンでセットされる
 0 = 変換は完了している
- bit 13 **SWTRG3:** ソフトウェア トリガ ビット 3
 1 = AN7 と AN6 の変換を開始する (TRGSRC ビットが選択されている)。他の変換実行中なら、変換は変換リソースが有効になってから行われる。本ビットは PEND ビットのセットでリセットされる
- bit 12-8 **TRGSRC3<4:0>:** トリガ 3 ソース選択ビット
 アナログチャンネル AN7 と AN6 用の変換トリガ ソースを選択する
 00000 = 変換は無効
 00001 = 個別のソフトウェア トリガを選択
 00010 = グローバル ソフトウェア トリガを選択
 00011 = PWM 特殊イベント トリガを選択
 00100 = PWM ジェネレータ #1 トリガを選択
 00101 = PWM ジェネレータ #2 トリガを選択
 00110 = PWM ジェネレータ #3 トリガを選択
 00111 = PWM ジェネレータ #4 トリガを選択
 01100 = タイマ #1 周期一致
 01101 = タイマ #2 周期一致
 01110 = PWM GEN #1 電流制限 ADC トリガ
 01111 = PWM GEN #2 電流制限 ADC トリガ
 10000 = PWM GEN #3 電流制限 ADC トリガ
 10001 = PWM GEN #4 電流制限 ADC トリガ
 10110 = PWM GEN #1 フォルト ADC トリガ
 10111 = PWM GEN #2 フォルト ADC トリガ
 11000 = PWM GEN #3 フォルト ADC トリガ
 11001 = PWM GEN #4 フォルト ADC トリガ
- bit 7 **IRQEN2:** 割り込み要求有効化ビット 2
 1 = チャンネル AN5 と AN4 の完了による要求で IRQ 生成を有効とする
 0 = IRQ は生成されない
- bit 6 **PEND2:** 変換待ちステータス ビット 2
 1 = チャンネル AN5 と AN4 の変換待ち中。選択したトリガ オンでセットされる
 0 = 変換は完了している
- bit 5 **SWTRG2:** ソフトウェア トリガ ビット 2
 1 = AN5 と AN4 の変換を開始する (TRGSRC ビットが選択されている)。他の変換実行中なら、変換は変換リソースが有効になってから行われる。本ビットは PEND ビットのセットでリセットされる

dsPIC30F1010/202X

レジスタ 16-6: A/D コンバータ ペア制御レジスタ #1 (ADCPC1) (つづき)

bit 4-0 **TRGSRC2<4:0>**: トリガ 2 ソース選択ビット
アナログチャンネル AN5 と AN4 用の変換トリガ ソースを選択する

00000 = 変換は無効
00001 = 個別のソフトウェア トリガを選択
00010 = グローバル ソフトウェア トリガを選択
00011 = PWM 特殊イベント トリガを選択
00100 = PWM ジェネレータ #1 トリガを選択
00101 = PWM ジェネレータ #2 トリガを選択
00110 = PWM ジェネレータ #3 トリガを選択
00111 = PWM ジェネレータ #4 トリガを選択
01100 = タイマ #1 周期一致
01101 = タイマ #2 周期一致
01110 = PWM GEN #1 電流制限 ADC トリガ
01111 = PWM GEN #2 電流制限 ADC トリガ
10000 = PWM GEN #3 電流制限 ADC トリガ
10001 = PWM GEN #4 電流制限 ADC トリガ
10110 = PWM GEN #1 フォルト ADC トリガ
10111 = PWM GEN #2 フォルト ADC トリガ
11000 = PWM GEN #3 フォルト ADC トリガ
11001 = PWM GEN #4 フォルト ADC トリガ

レジスタ 16-7: A/D コンバータ ペア制御レジスタ #2 (ADCPC2)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQEN5	PEND5	SWTRG5	TRGSRC5<4:0>				
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IRQEN4	PEND4	SWTRG4	TRGSRC4<4:0>				
bit 7							bit 0

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

- bit 15 **IRQEN5:** 割り込み要求有効化ビット 5
 1 = チャネル AN11 と AN10 の完了による要求で IRQ 生成を有効とする
 0 = IRQ は生成されない
- bit 14 **PEND5:** 変換待ちステータス ビット 5
 1 = チャネル AN11 と AN10 の変換待ち中。選択したトリガ オンでセットされる
 0 = 変換は完了している
- bit 13 **SWTRG5:** ソフトウェア トリガ ビット 5
 1 = AN11 と AN10 の変換を開始する (TRGSRC ビットが選択されている)。他の変換実行中なら、変換は変換リソースが有効になってから行われる。本ビットは PEND ビットのセットでリセットされる
- bit 12-8 **TRGSRC5<4:0>:** トリガ 5 ソース選択ビット
 アナログチャネル AN11 と AN10 用の変換トリガ ソースを選択する
 00000 = 変換は無効
 00001 = 個別のソフトウェア トリガを選択
 00010 = グローバル ソフトウェア トリガを選択
 00011 = PWM 特殊イベント トリガを選択
 00100 = PWM ジェネレータ #1 トリガを選択
 00101 = PWM ジェネレータ #2 トリガを選択
 00110 = PWM ジェネレータ #3 トリガを選択
 00111 = PWM ジェネレータ #4 トリガを選択
 01100 = タイマ #1 周期一致
 01101 = タイマ #2 周期一致
 01110 = PWM GEN #1 電流制限 ADC トリガ
 01111 = PWM GEN #2 電流制限 ADC トリガ
 10000 = PWM GEN #3 電流制限 ADC トリガ
 10001 = PWM GEN #4 電流制限 ADC トリガ
 10110 = PWM GEN #1 フォルト ADC トリガ
 10111 = PWM GEN #2 フォルト ADC トリガ
 11000 = PWM GEN #3 フォルト ADC トリガ
 11001 = PWM GEN #4 フォルト ADC トリガ
- bit 7 **IRQEN4:** 割り込み要求有効化ビット 4
 1 = チャネル AN9 と AN8 の完了による要求で IRQ 生成を有効とする
 0 = IRQ は生成されない
- bit 6 **PEND4:** 変換待ちステータス ビット 4
 1 = チャネル AN9 と AN8 の変換待ち中。選択したトリガ オンでセットされる
 0 = 変換は完了している
- bit 5 **SWTRG4:** ソフトウェア トリガ ビット 4
 1 = AN9 と AN8 の変換を開始する (TRGSRC ビットが選択されている)。他の変換実行中なら、変換は変換リソースが有効になってから行われる。本ビットは PEND ビットのセットでリセットされる

dsPIC30F1010/202X

レジスタ 16-7: A/D コンバータ ペア制御レジスタ #2 (ADCPC2) (つづき)

bit 4-0 **TRGSRC4<4:0>**: トリガ 4 ソース選択ビット

アナログチャンネル AN9 と AN8 用の変換トリガ ソースを選択する

00000 = 変換は無効
00001 = 個別のソフトウェア トリガを選択
00010 = グローバル ソフトウェア トリガを選択
00011 = PWM 特殊イベント トリガを選択
00100 = PWM ジェネレータ #1 トリガを選択
00101 = PWM ジェネレータ #2 トリガを選択
00110 = PWM ジェネレータ #3 トリガを選択
00111 = PWM ジェネレータ #4 トリガを選択
01100 = タイマ #1 周期一致
01101 = タイマ #2 周期一致
01110 = PWM GEN #1 電流制限 ADC トリガ
01111 = PWM GEN #2 電流制限 ADC トリガ
10000 = PWM GEN #3 電流制限 ADC トリガ
10001 = PWM GEN #4 電流制限 ADC トリガ
10110 = PWM GEN #1 フォルト ADC トリガ
10111 = PWM GEN #2 フォルト ADC トリガ
11000 = PWM GEN #3 フォルト ADC トリガ
11001 = PWM GEN #4 フォルト ADC トリガ

16.4 ADC 結果バッファ

ADC モジュールには、ADCBUF<11:0> と呼ばれる A/D 結果を格納する 12 個のデータ出力レジスタがあります。レジスタは 10 ビット幅ですが、異なるフォーマットで 16 ビットワードとして読み出されます。バッファは読み出し専用です。

アナログ入力ごとに対応するデータ出力レジスタがあります。

このモジュールは、循環バッファや FIFO は持っていません。したがって、変換結果はどのような順序でも生成可能で、どのデータがどこにあるかを考える必要がありません。

SAR は ADC クロックに同期させてバッファに書き込みます。データ レディ割り込みが発生していれば、バッファからの読み出しは、常に有効なデータとなります。

ソフトウェアでバッファ読み出しが行われる前に SAR がその場所に上書きすると、前のデータは失われます。

結果バッファから読み出すときには、データフォーマット制御を通過します。結果データの 10 ビットは、16 ビットワードにフォーマットされます。

16.5 活用情報

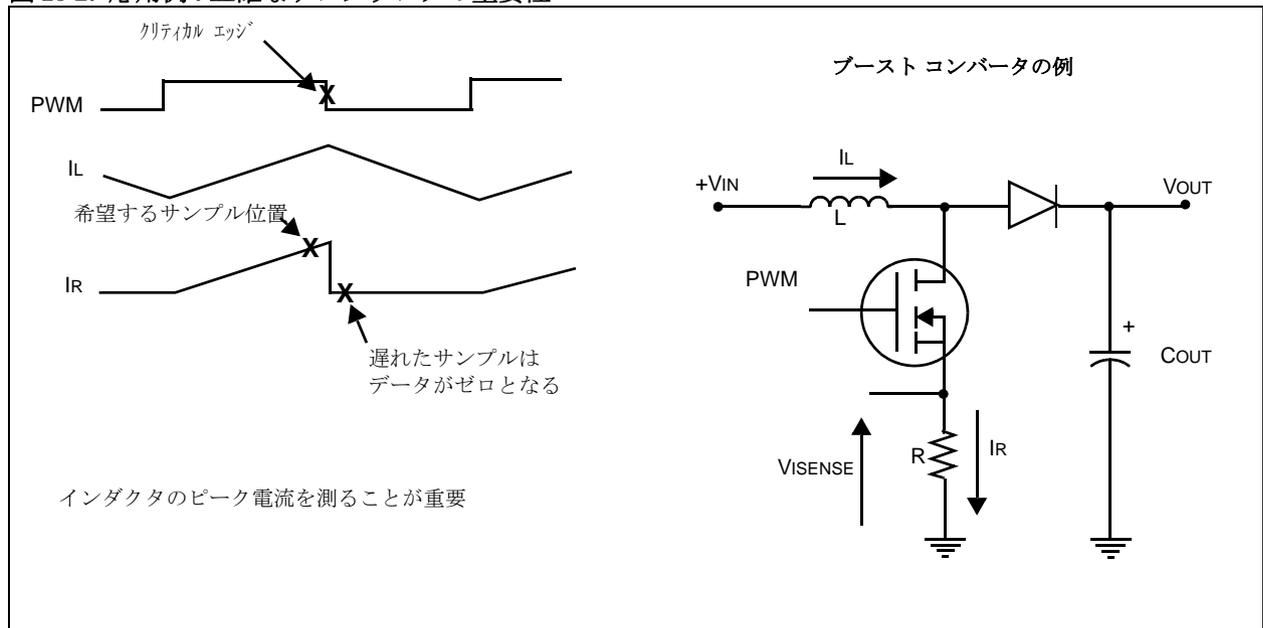
ADC モジュールは、「変換ペア」という概念が含まれています。電力変換の応用では、電圧と電流を PWM 制御ループごとに計測する必要があります。ADC モジュールは、PWM 信号に正確に時間を合わせて変換ペアをサンプルし変換することができます。

ユーザーの活用回路では、PWM 信号でトランジスタがインダクタを希望する電流値で充電できるようにします。PWM 信号が長くオンすれば、それだけ長くインダクタが充電されますので、インダクタの電流は PWM 信号の終端では最大値となります。この位置が電流と電圧を計測したいと思うポイントです。

図 16-2 に典型的な電力コンバータ応用例 (ブーストコンバータ) を示しますが、ここではインダクタの電流検出は、インダクタを充電するパワー トランジスタに直列に挿入された抵抗の電圧でモニタされています。この図で重要なことは、抵抗の電位差のサンプリングが希望するサンプル位置よりやや遅いところで行われると、読んだデータはゼロとなってしまいます。これは大抵の応用で認められません。ADC モジュールは、ADC コンバータがビジーか否かにかかわらず、常に指定した位置でアナログ電圧をサンプルします。

電源用 PWM モジュールは、2 から 4 系統の独立した PWM チャンネルをサポートしています。同様に 2 から 4 系統のトリガ信号 (PWM ジェネレータごと) もサポートしています。ユーザーはこれらのチャンネルを、PWM の適切な時間に、選択された入力ペアの ADC 変換を起動するよう構成することができます。また、電力 PWM モジュールは、別のトリガ信号 (特殊イベントトリガ) を提供していて、これを 1 次タイムベースのカウント サイクル上の指定時間で発生するようプログラムすることができます。

図 16-2: 応用例 : 正確なサンプリングの重要性



16.6 逆変換の順序

ADCON レジスタの ORDER 制御ビットがセットされると、入力ペア変換過程の順序が反転します。通常の場合 (ORDER = 0) は、入力ペアの偶数番号の入力が先に変換され、次に奇数番号の入力が変換されます。ORDER = 1 のときは、入力ペアの奇数番号の入力が先に変換され、偶数番号ピンが続きます。

この機能は電圧制御モードで早め割り込み (EIE = 1) を使うとき便利です。この機能で制御出力 (PWM) を更新するために使うフィードバックデータ (ADC) の実際の取得周期時間を最小にできます。この制御システムの入力から出力までの時間は、制御システム全体の安定性を左右します。

16.7 ペアの同時とシーケンス サンプリング

サンプル ホールド回路に接続されている入力は、対応するトリガ イベントでサンプルされます。共用サンプル ホールド回路を共有する入力は下記手順でサンプルされます。

1. SEQSAMP ビット = 0 かつ共通 (共有) サンプル ホールド回路がビジーでなければ、共有 S&H はおのこの指定入力を同時に独立の S&H としてサンプルします。この動作は「同時」サンプル ホールド機能として働きます。
2. SEQSAMP ビット = 0 かつ共有 S&H が変換中でビジーであれば、共有 S&H はできるようになると直ぐサンプルします (ペアに対する新しい変換の開始時点で)。
3. SEQSAMP ビット = 1 であれば、共有 S&H は新しい変換プロセスの始めに入力をサンプルします。例えば、ORDER ビット = 0 なら共有 S&H は 2 番目の入力の 変換の始めにサンプルします。ORDER = 1 なら共有 S&H は最初の入力の変換の始めにサンプルします。

SEQSAMP ビットは、サンプル イベントからサンプルを変換するまでの時間を最短にしたい応用で有用です。

SEQSAMP = 0 なら、ロジックは入力ペアを両方同時にサンプルしようとします。ユーザーは変換プロセスを起動するトリガ信号のタイミングを制御することで、前の変換で ADC が確実にビジーにならないようにすることができます。

16.8 グループ割り込み発生

ADC モジュールは、モジュール内の全ての有効化した割り込みの OR をとった共通あるいは「グループ化」割り込み要求を持っています。CPC レジスタごとに 2 個の IRQENx ビットを、アナログ入力ペアごとに 1 個を持っています。IRQEN ビットがセットされると、要求された変換が完了するごとに割り込みコントローラに割り込み要求が行われます。

割り込みが発生すると、ADSTAT レジスタ内の対応する PxRDY ビットがセットされます。PxRDY ビットはユーザーがクリアする必要があります。ユーザーソフトウェアで ADSTAT レジスタの PxRDY ビットをチェックすることで、別の変換完了の割り込みがあるかどうかを知ることができます。

グループ割り込みは、複数アナログ入力ペアの ADC 割り込みの処理に対して、共通のソフトウェア ルーチンとするような応用で便利に使えます。この方式は概念としては古いものです。

注: 割り込みコントローラが PxRDY ビットをクリアする前に、ユーザーが ADC に対応する IFS ビットをクリアする必要があります。これに失敗すると、割り込みが失われます。この訳は、ADC が別の割り込みを待ち状態にしているからです。ユーザーが PxRDY ビットを先にクリアすると、ADC は別の割り込みを発生できますが、ここでユーザーが IFS ビットをクリアしてしまうと割り込み要求が消去されてしまいます。

16.9 個別ペア割り込み

ADC モジュールは、アナログ入力ペアごとの個別の割り込み出力も提供しています。これらの割り込みは、常にモジュール内で有効となっています。ペア割り込みは、IEC レジスタの対応する割り込み有効化ビットにより個別に有効化あるいは無効化できます。

グループ割り込みを使うと、割り込みサービスルーチン内でどの割り込み要因から発生したかを判定する必要があります。個別の ADC データ処理ソフトウェアタスクを使う場合には、共通割り込みベクタが性能上のボトルネックになります。

個別ペア割り込みを使うと、多重割り込み要因のグループ割り込みに比べ多くのクロック サイクルを削減できます。個別ペア割り込みは、タスクベースで構成された応答性が重要な応用ソフトウェアの構築をサポートします。

個別ペア割り込みあるいはグループ割り込みにかかわらず、ADC 変換からの割り込み要求への応答として ADSTAT レジスタ内の PxRDY ビットを使います。

また、個別ペア割り込みのときは、グループ割り込みが固定優先順位の構造であるのに対して、個々の ADC チャンネル(ペア)ごとに優先順位を変えられます。

注：個別割り込みを使っても、ADC の優先順位構成は、入力ペアの変換順序に対しては影響を与えません。

個別割り込みを使うと、現状の割り込みを処理クリアしている間に、誤って待ち中の割り込みを「失う」ことがあります。

16.10 早期割り込み生成

ADCON レジスタ内の EIE ビットにより、入力ペアの両方の変換完了を待つかわりに、1 番目の変換終了後に割り込みを生成することができます。2 番目の入力の変換処理中でも、2 番目の変換完了を待つ間に、ソフトウェアで 1 番目のデータ値を使って何らかの計算処理を行うため書き込むことができます。

ユーザー ソフトウェアは、2 番目のデータが使えるようになる前に、2 番目の入力の変換にかかる 500 nsec の時間を処理に使うか、ADCPCx レジスタ内の PEND ビットをチェックすることができます。

PEND ビットは、ペアの両方の変換が終わるまでセットされたままです。ADSTAT レジスタ内の対応する割り込みの PxRDY ビットは最初の変換完了でセットされ、ユーザーがクリアするまでそのまま保持されます。

16.11 衝突の解決

1 つ以上の変換ペア要求が同時にアクティブにされると、ADC 制御ロジックは要求を上から順に処理します。つまり、アナログ ペア #0 (AN1/AN0) が最初で、アナログ ペア #5 (AN11/AN10) が最後です。これは「ラウンドロビン」処理ではありません。

16.12 意図的な衝突

ユーザーが多重の「変化ペア」に対して同じ変換トリガ源を指定すると、ADC モジュールは、他の dsPIC30F ADC モジュールと同じように機能します。つまり、要求された変換を、シーケンス完了までシーケンシャルに (ペアで) 処理します。

注：ADCモジュールは一度のトリガで繰り返しループはしません。変換シーケンスごとにトリガが多重トリガが必要です。

16.13 ADC クロック選択

ADCON レジスタ内の ADCS<2:0> ビットにより、ADC クロック ジェネレータ ロジックに対するクロック分周比を指定します。PLL が動作しているときの ADC クロック分周器への入力は、システム クロック (240 MHz @ 30 MIPS) です。この高い周波数のクロックが、2 つの ADC 変換を 1 マイクロ秒で処理するために必要な 24 MHz の ADC クロック信号を生成するタイミング分解能を提供しています。

16.14 ADC ベース レジスタ

ユーザーは、ADC モジュールから毎秒 500,000 回の割り込みを受けることになります。ADSTAT レジスタ内の PxRDY ビットの評価を早くするため、ADC モジュールは ADBASE という読み書きできるレジスタを用意しています。ADBASE レジスタを読むと、ADBASE レジスタと ADSTAT レジスタの PxRDY ビットをエンコードしたものと和となります。

ADBASE レジスタの最下位ビットは常時ゼロとされ、すべての (ADBASE + PxRDY) 結果が命令境界になるようにしています。

PxRDY ビットはバイナリの優先順位にエンコードされます。つまり P0RDY が最高位で P5RDY が最低レベルとなります。エンコードされた優先順位結果は、左へ 2 ビットシフトされてから ADBASE と加算されます。これで、優先順位が 2 命令境界ごとのアドレスに配置されることとなります。

ADBASE レジスタには通常、対応する ISR のアドレスか、対応 ISR への分岐のジャンプテーブルのベースアドレスをロードします。エンコードされた PxRDY の値は、ジャンプテーブルのおおのに 2 命令づつ確保できるように設定されています。ここには、ユーザー ソフトウェアで、識別を W レジスタにロードする 1 命令と、もうひとつは対応する分岐命令をセットするようにします。

例 16-1 に、ADC 入力ペア割り込み ハンドリングの実装で、ADBASE レジスタを使ったコードシーケンスを示します。ADBASE レジスタを読み出した内容は、ジャンプテーブルのベース アドレスとエンコードされた ADC チャンネル番号を左へ 2 ビットシフトしたものの合計となります。

dsPIC30F1010/202X

例えば、ADBASE が 0x0360 という値に初期化されると、チャンネルペア 1 の割り込みで ADBASE の読み出した値は 0x0364 (0x360 + 0b00000100) となります。

チャンネルペア 3 の割り込みのときは、ADBASE の読み出した値は、0x036C (0x360 + 0b00001100) となります。

例 16-1: ADC ベース レジスタのコード

```
; Initialize and enable the ADC interrupt

MOV    #handle(JMP_TBL),W0    ; Load the base address of the ISR Jump
MOV    W0, ADBASE             ; table in ADBASE.

BSET   IPC2,#12               ; Set up the interrupt priority
BSET   IPC2,#13
BSET   IPC2,#14

BCLR   IFS0,#11               ; Clear any pending interrupts
BCLR   ADSTAT                 ; Clear the ADC pair interrupts as well

BSET   IEC0,#11              ; Enable the interrupt

; Code to Initialize the rest of the ADC registers

...
...
...

; ADC Interrupt Handler
__ADCInterrupt:

    PUSH.S                    ; Save W0-W3 and SR registers

    BCLR   IFS0,#11           ; Clear the interrupt
    MOV    ADBASE, W0         ; ADBASE contains the encoded jump address
    GOTO   W0                 ; within JMP_TBL

; Here's the Jump Table
; Note: It is important to clear the individual IRQ flags in the ADC AFTER the IRQ flags
; in the interrupt controller. Failure to do so may cause interrupt requests to be lost

JMP_TBL:

    BCLR   ADSTAT,#0          ; Clear the IRQ flag in the ADC
    BRA    ADC_PAIR0_PROC     ; Actual Pair 0 Conversion Interrupt Handler

    BCLR   ADSTAT,#1          ; Clear the IRQ flag in the ADC
    BRA    ADC_PAIR1_PROC     ; Actual Pair 1 Conversion Interrupt Handler

    BCLR   ADSTAT,#2          ; Clear the IRQ flag in the ADC
    BRA    ADC_PAIR2_PROC     ; Actual Pair 2 Conversion Interrupt Handler

    BCLR   ADSTAT,#3          ; Clear the IRQ flag in the ADC
    BRA    ADC_PAIR3_PROC     ; Actual Pair 3 Conversion Interrupt Handler

    BCLR   ADSTAT,#4          ; Clear the IRQ flag in the ADC
    BRA    ADC_PAIR4_PROC     ; Actual Pair 4 Conversion Interrupt Handler
```

例 16-1: ADC ペース レジスタ コード (つづき)

```

; The actual pair conversion interrupt handler
; Don't forget to pop the stack when done and return from interrupt

ADC_PAIR0_PROC:

    ...                ; The ADC pair 0 conversion complete handler
    POP.S              ; Restore W0-W3 and SR registers
    RETFIE             ; Return from Interrupt

ADC_PAIR1_PROC:

    ...                ; The ADC pair 1 conversion complete handler
    POP.S              ; Restore W0-W3 and SR registers
    RETFIE             ; Return from Interrupt

ADC_PAIR2_PROC:

    ...                ; The ADC pair 2 conversion complete handler
    POP.S              ; Restore W0-W3 and SR registers
    RETFIE             ; Return from Interrupt

ADC_PAIR3_PROC:

    ...                ; The ADC pair 3 conversion complete handler
    POP.S              ; Restore W0-W3 and SR registers
    RETFIE             ; Return from Interrupt

ADC_PAIR4_PROC:

    ...                ; The ADC pair 4 conversion complete handler
    POP.S              ; Restore W0-W3 and SR registers
    RETFIE             ; Return from Interrupt

ADC_PAIR5_PROC:

    ...                ; The ADC pair 5 conversion complete handler
    POP.S              ; Restore W0-W3 and SR registers
    RETFIE             ; Return from Interrupt

```

16.15 A/D クロックの変更

通常は $ADON = 1$ の間は ADC は ADC クロック分周の変更は受け付けません。 $ADON = 1$ の間に A/D クロックを変更すると、結果は不定となります。

16.16 サンプルと変換

ADC モジュールは、サンプリング処理のために常に 2 個の ADC クロック周期を使います。チャンネル当たり 2 Msps の最高変換レートで動作しているとき、サンプリング時間は下記となります。

$$2 \times 41.6 \text{ nsec} = 83.3 \text{ nsec.}$$

各 ADC ペアは、ADCPCx レジスタで設定されたトリガ イベントが起きたときサンプル動作を開始します。サンプルしたアナログデータの変換は、リソースが有効になったとき開始されます。

特定のチャンネルに対し、前のサンプルと変換要求が処理されている最中に新たなトリガ イベントが起きると、新たな要求は無視されます。モジュールの変換レート能力を超えないようにするのはユーザー側の責です。

実際の変換プロセスは、10 個の ADC クロックを必要とします。変換はシリアルに行われ、ビット 9 が最初で次がビット 8 とビット 0 まで続きます。結果は変換が完了した時点で格納されます。

dsPIC30F1010/202X

16.17 A/D サンプルと変換のタイミング

入力ピンに対応させたサンプルホールド回路は、それぞれのタイミングロジックを持っていて、外部サンプル変換要求 (PWM か TMR からの) が起きたときにトリガされます。サンプルホールド回路は、固定の2クロックデータ サンプル時間を持っています。サン

ルが終わったら、ADC 制御ロジックが待ち中の要求を見つけ、変換リソースが有効になった時点で変換を始めます。

ADC モジュールは常にアナログ入力チャネルのペアを変換するので、通常の変換プロセスには24クロックサイクル必要となります。

図 16-3: 詳細な変換シーケンス タイミング、SEQSAMP = 0 でビジーでないとき

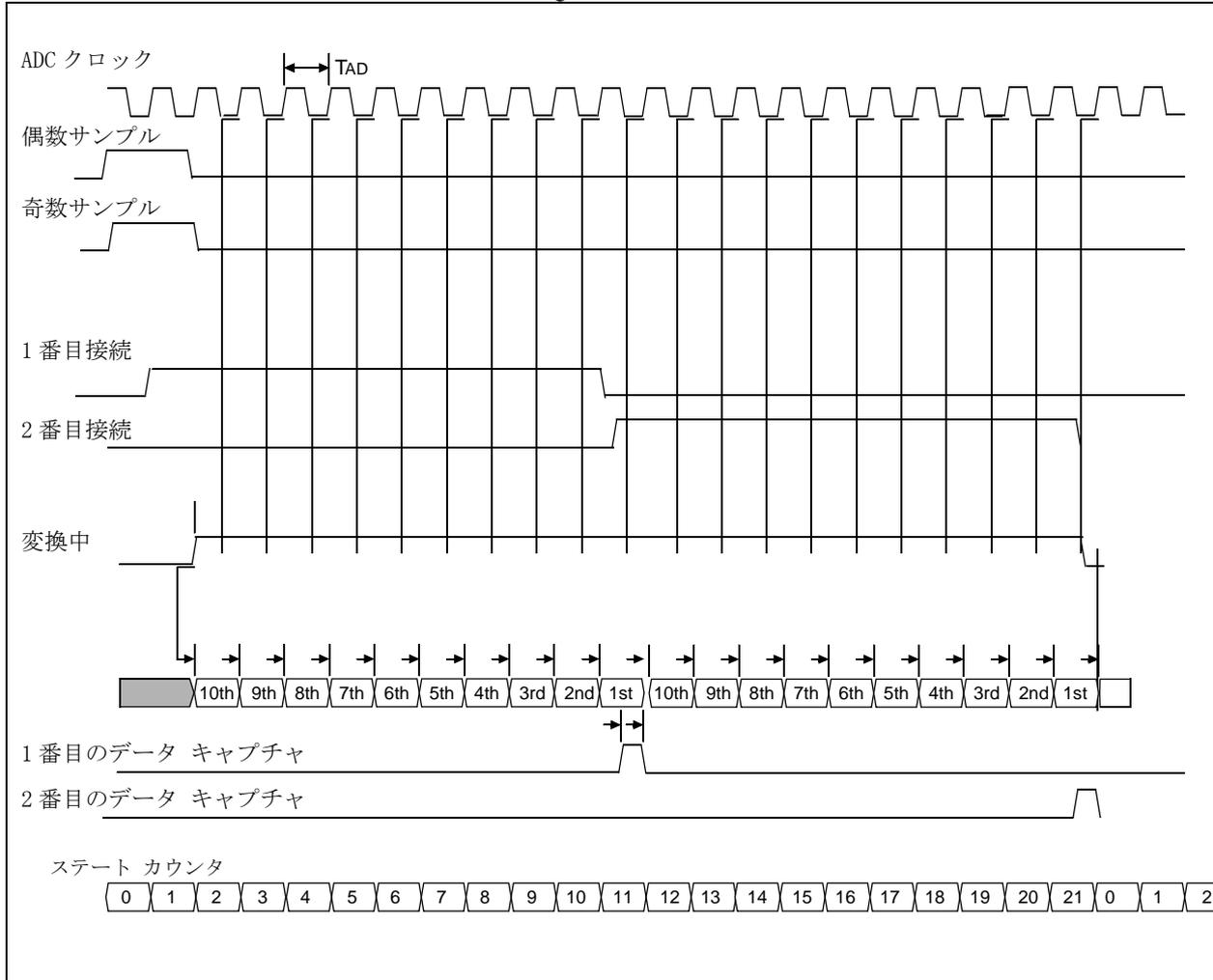
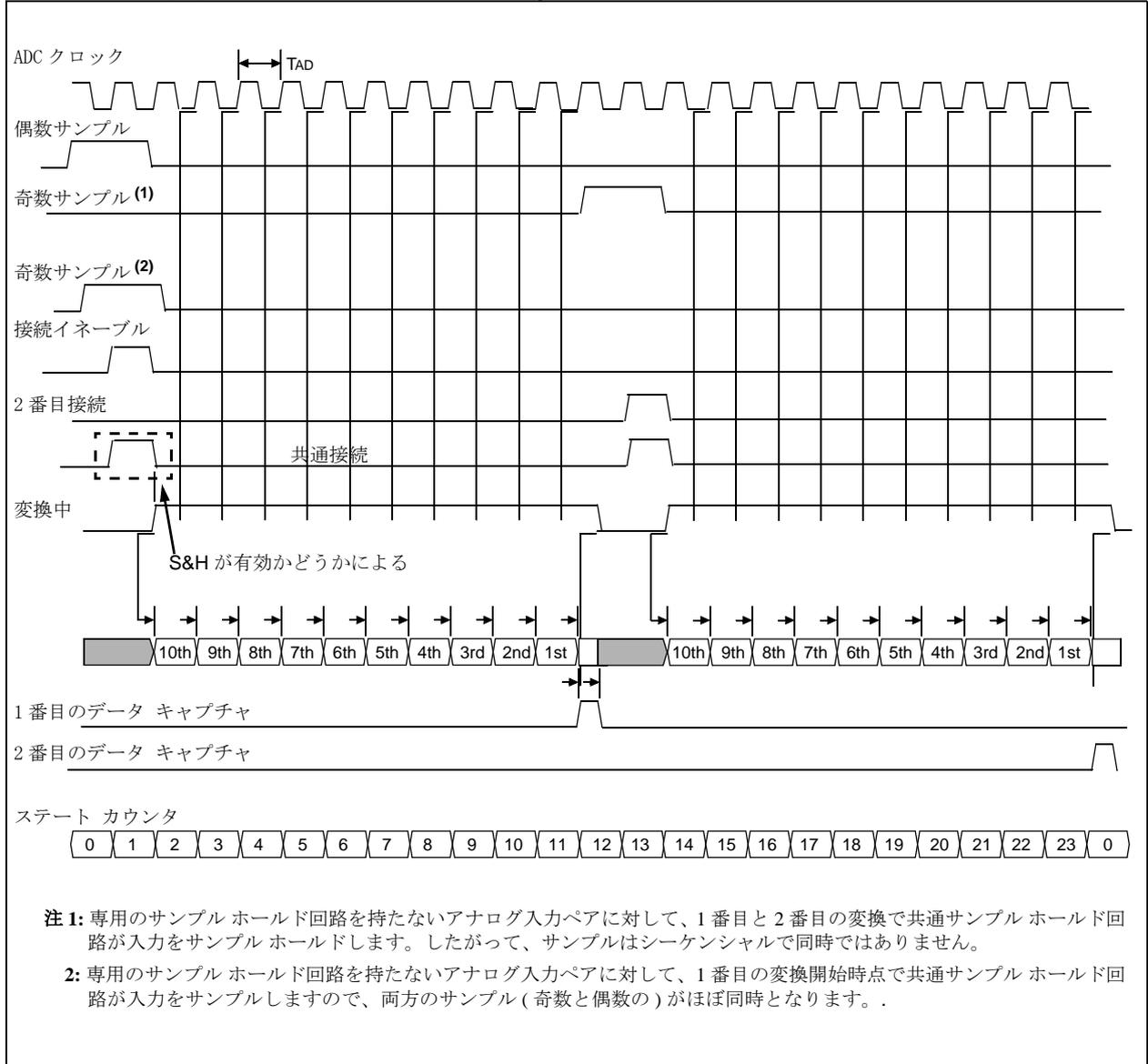


図 16-4: 詳細な変換シーケンスのタイミング、SEQSAMP=1 のとき



16.18 モジュールの省電力モード

モジュールは2つの電源モードを内蔵しています。

ADON ビットが「1」なら、モジュールはアクティブモードで電源が供給され機能を果たします。

ADON が「0」なら、モジュールはオフモードとなります。モジュールのステートマシンは、変換要求中でもすべてリセットされます。

オフモードからアクティブモードに戻すには、バイアスジェネレータが安定になるまで待つ必要があります。安定までの時間は電氣的仕様に規定されています。

16.19 リセットの影響

デバイスリセットによりレジスタはリセット状態となります。これでADCモジュールはオフとなり、変換とサンプリングシーケンスは中断されます。ADCBUFx レジスタの値は変更されません。

パワーオンリセット後のADCBUFx レジスタは不定です。

16.20 アナログポートピンに構成する

ADPCFG と TRIS レジスタを使ってA/Dポートの動作を制御します。

アナログ入力ピンにしたいポートピンは、対応するTRIS ビットをセットします(入力)。TRIS ビットがクリアされる(出力)と、デジタル出力レベル(V_{OH}かV_{OL})が変換されます。

アナログ入力ピンにしたいポートピンは対応するADPCFG ビットをクリアする必要があります。これですべてのポートのデジタル入力バッファを無効とします。ADPCFG<n> = 1としたピンにアナログレベルが加わると、デジタル入力バッファが余計な電流を消費します。

ADPCFG<n> = 1 でアナログ入力に構成しないピンは、アナログ入力はAV_{SS}に接続され、その入力の変換は意味のある結果にはなりません。

PORT レジスタを読み出したとき、ADPCFG<n> = 0としてアナログ入力ピンと構成されたピンは「0」として読み出されます。

A/D動作は入力選択ビットとTRISビットの状態には無関係です。

16.21 出力フォーマット

A/D変換は10ビットです。データバッファRAMは16ビット幅です。ADCデータは図16-5に示した2つの異なるフォーマットのいずれかで読み出されます。FORM ビットでフォーマットを選択します。出力フォーマットごとに変換されて16ビット結果としてデータバスに出ます。

図 16-5: A/D 出力データ フォーマット

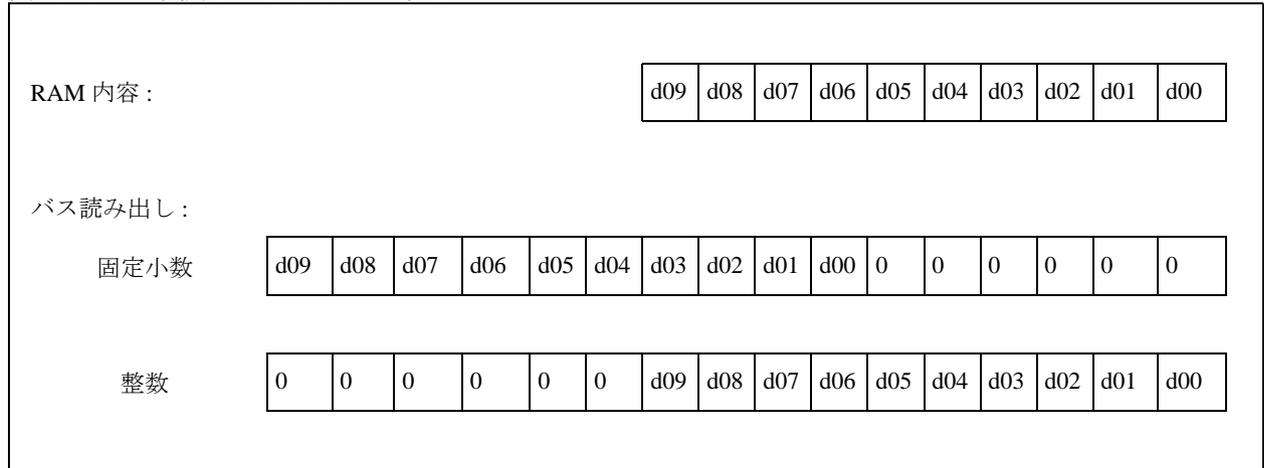


表 16-1: ADC レジスタ マップ

File Name	ADR	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	All Resets	
ADCON	0300	ADON	—	ADSIDL	—	—	GSWTRG	—	FORM	EIE	ORDER	SEQSAMP	—	—	ADCS<2:0>			0009	
ADPCFG	0302	—	—	—	—	PCFG11	PCFG10	PCFG9	PCFG8	PCFG7	PCFG6	PCFG5	PCFG4	PCFG3	PCFG2	PCFG1	PCFG0	0000	
Reserved	0304	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000	
ADSTAT	0306	—	—	—	—	—	—	—	—	—	—	P5RDY	P4RDY	P3RDY	P2RDY	P1RDY	P0RDY	0000	
ADBASE	0308	ADBASE<15:1>															—	0000	
ADCPC0	030A	IRQEN1	PEND1	SWTRG1	TRGSRC1<4:0>				IRQEN0	PEND0	SWTRG0	TRGSRC0<4:0>				0000			
ADCPC1	030C	IRQEN3	PEND3	SWTRG3	TRGSRC3<4:0>				IRQEN2	PEND2	SWTRG2	TRGSRC2<4:0>				0000			
ADCPC2	030E	IRQEN5	PEND5	SWTRG5	TRGSRC5<4:0>				IRQEN4	PEND4	SWTRG4	TRGSRC4<4:0>				0000			
Reserved	0310 - 031E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000	
ADCBUF0	0320	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 0	xxxx
ADCBUF1	0322	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 1	xxxx
ADCBUF2	0324	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 2	xxxx
ADCBUF3	0326	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 3	xxxx
ADCBUF4	0328	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 4	xxxx
ADCBUF5	032A	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 5	xxxx
ADCBUF6	032C	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 6	xxxx
ADCBUF7	032E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 7	xxxx
ADCBUF8	0330	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 8	xxxx
ADCBUF9	0332	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 9	xxxx
ADCBUF10	0334	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 10	xxxx
ADCBUF11	0336	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADC データ バッファ 11	xxxx
Reserved	0338 - 037E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000	

第 17 章 SMPS コンパレータ モジュール

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046)を参照して下さい。

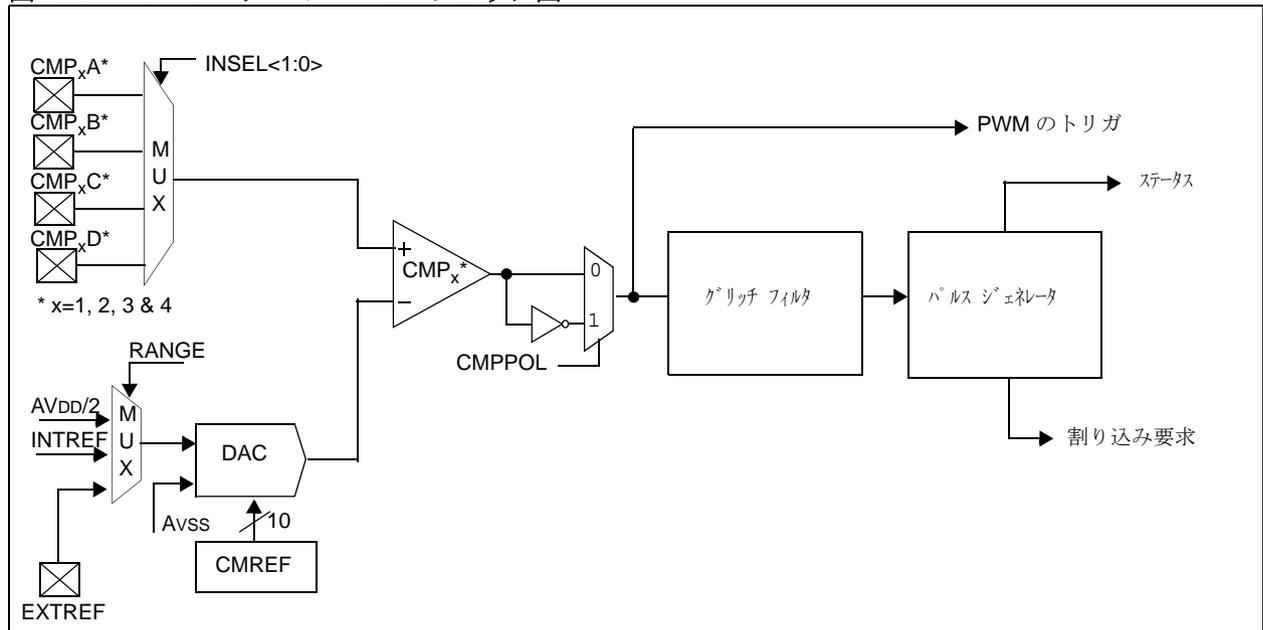
dsPIC30F SMPS コンパレータ モジュールは、CPU や ADC がキャプチャするには早過ぎる電流や電圧の変化をモニタします。

17.1 特徴概要

- 16 コンパレータ入力
- 10 ビット DAC でリファレンスを供給

- 出力極性はプログラマブル
- 割り込み生成可能
- 入力ソース選択可能
- DAC 動作は 3 つの範囲を持つ
 - AVDD / 2
 - 内蔵リファレンス 1.2V 1%
 - 外部リファレンス < (AVDD - 1.6V)
- ADC のサンプル変換トリガ可能
- 省電力のため無効化可能
- PWM モジュール用に下記機能サポート
 - PWM デューティ サイクル制御
 - PWM 周期制御
 - PWM フォルト検出

図 17-1: コンパレータ モジュールのブロック図



17.2 モジュールの応用

このモジュールにより、SMPS dsPIC DSC デバイスを電力変換に応用したとき、電圧や電流のモニタをすることができます。プロセッサや ADC を使わずに常時電圧や電流をモニタし、変化を検知して dsPIC DSC プロセッサや周辺に知らせる能力は、dsPIC DSC を自由にして他のタスクに専念できるようにします。

コンパレータ モジュールには、高速コンパレータとコンパレータの片方の入力にリファレンス電圧を与える 10 ビット DAC が含まれています。コンパレータ出力極性はユーザーがプログラムできます。モジュールの出力は、下記のようなモードで使えます。

- 割り込み生成
- ADC のサンプルと変換プロセスのトリガ
- PWM 信号の切断 (電流制限)
- PWM 周期の切断 (電流最小化)

• PWM 出力無効化 (フォルトラッチ)

コンパレータ モジュールの出力は、同時に複数モードで使えます。たとえば、電圧が期待値を超えたことを検知したことへの応答として、(1) 割り込み生成、(2) ADC のサンプルと変換、(3) PWM 出力の切断ができます。

また、コンパレータ モジュールは、アナログ入力電圧がプログラムしたスレッショルド電圧を超えたとき、スリープまたはアイドルモード中のシステムをウェイクアップさせるためにも使えます。

17.3 モジュールの説明

コンパレータ モジュールは、20 nsec 速度のコンパレータとして使えます。コンパレータのオフセットは標準で ± 5 mV です。コンパレータの負側入力には常に DAC 回路につながっています。コンパレータの正側入力は、アナログ マルチプレクサにつながっていて、希望するソースピンを選択できます。

17.4 DAC

DAC の出力レンジは、アナログ マルチプレクサで制御でき、 $AV_{DD}/2$ 、内蔵の 1.2V 1% リファレンス、EXTREF ピンへの外部リファレンスから選択できます。DAC のフルレンジ ($AV_{DD}/2$) は、通常、選択したピンが ADC への入力としても使われるときに使います。狭いレンジのオプション (INTREF) は、電流検知用抵抗を使って CLx ピンで電流レベルをモニタするときに使われます。通常、このような使い方のときの計測電圧は小さい (<1.25V) ので、コンパレータを狭いレンジのオプションで使うことで、DAC 分解能の能力を拡張できます。外部リファレンスを使えば、それぞれの使い方で最適なリファレンスを接続することができます。

17.5 I/O バッファとの干渉

コンパレータ モジュールを有効にし、ピンをコンパレータへの入力として選択したら、その I/O パッドのデジタル入力バッファを無効として、アナログ入力電圧によりデジタル バッファに余分な電流が流れないようにする必要があります。

17.6 デジタル ロジック

CMPCONx レジスタ (レジスタ 17-1 参照) が、コンパレータ モジュールを構成するロジックを制御します。デジタル ロジックは、コンパレータ出力用のグリッチフィルタを持っていて、2 個の Tcy (66 nsec) 幅以下の短い信号をマスクします。スリープやアイドルモードのとき、このグリッチフィルタによりコンパレータから割り込みコントローラへの非同期の流れを回避します。この非同期の流れでも、プロセッサはスリープやアイドルからウェイク アップしてしまうからです。

コンパレータは CMPSIDL ビットがセットされていれば、アイドルモード中は無効となります。デバイスが複数のコンパレータを持っているときに CMPSIDL ビットがセットされると、全コンパレータ グループがアイドル中は無効となります。これにより、このモジュールへのクロック制御ロジックの設計の複雑さを軽減しています。

また、デジタル ロジックは、1 個の Tcy 幅のパルスを ADC トリガと割り込み要求生成用に提供していません。

CMPDACx レジスタ (レジスタ 17-2 参照) は、リファレンス用 DAC のデジタル入力値となります。

モジュールが無効化されると、DAC とコンパレータは省電力化のため無効化されます。

17.7 コンパレータ入力範囲

コンパレータは入力コモンモードレンジ (CMR) を、およそ 3.5 ボルト ($AV_{DD} - 1.5$ ボルト) に制限しています。これにより、両方の入力ともこれを超えることはできませんし、超えるとコンパレータ出力は不定となります。片方の入力がこのコモンモードレンジ内にあり限り、コンパレータ出力は正しくなります。CMR 内での入力変動はコンパレータ出力に影響しませんが、コンパレータ入力は飽和します。

17.8 DAC 出力範囲

DAC は最大リファレンス入力が ($AV_{DD} - 1.6$) ボルトに制限されています。外部リファレンス電圧入力はこの値を超えることはできませんし、超えると DAC 出力は不定となります。

17.9 コンパレータ用レジスタ

コンパレータ モジュールは下記レジスタで制御されます。

- コンパレータ制御レジスタ x (CMPCONx)
- コンパレータ用 DAC 制御レジスタ x (CMPDACx)

レジスタ 17-1: コンパレータ制御レジスタ x (CMPCONx)

R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0	U-0
CMPON	—	CMPSIDL	—	—	—	—	—
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	U-0	R/W-0	U-0	R/W-0	R/W-0
INSEL<1:0>		EXTREF	—	CMPSTAT	—	CMPPOL	RANGE
bit 7						bit 0	

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15 **CMPON:** A/D 動作モード ビット
 1 = コンパレータ モジュールを有効化
 0 = コンパレータ モジュールを無効化 (電力消費を削減する)
- bit 14 **未実装:** 読むと '0'
- bit 13 **CMPSIDL:** アイドルモードで停止ビット
 1 = デバイスがアイドルモードに入ったらモジュール動作を停止する
 0 = アイドルモードでも動作継続
 デバイスが複数モジュールを持っているときは、CMPSIDL ビットをセットしたら、アイドルモード中は**すべての**コンパレータが無効化される。
- bit 12-8 **予約:** 読むと '0'
- bit 7-6 **INSEL<1:0>:** コンパレータ用入力ソース選択ビット
 00 = CMPxA 入力ピンを選択
 01 = CMPxB 入力ピンを選択
 10 = CMPxC 入力ピンを選択
 11 = CMPxD 入力ピンを選択
- bit 5 **EXTREF:** 外部リファレンス選択ビット
 1 = 外部ソースを DAC 用リファレンスとする
 0 = 内部リファレンスを DAC 用とする
- bit 4 **予約:** 読むと '0'
- bit 3 **CMPSTAT:** CMPPOL 選択ビットを含めた現在のコンパレータ出力状態ビット
- bit 2 **予約:** 読むと '0'
- bit 1 **CMPPOL:** コンパレータ出力極性制御ビット
 1 = 出力反転
 0 = 出力非反転
- bit 0 **RANGE:** DAC 出力電圧範囲選択ビット
 1 = 広範囲: DAC 最大値 = $AV_{DD} / 2, 2.5V @ 5 \text{ volt } V_{DD}$
 0 = 狭範囲: DAC 最大値 = $INTREF, 1.2V \pm 1\%$

dsPIC30F1010/202X

レジスタ 17-2: コンパレータ用 DAC 制御レジスタ x (CMPDACx)

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	CMREF<9:8>	
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMREF<7:0>							
bit 7						bit 0	

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

bit 15-10 予約: 読むと '0'

これらのビットは DAC を 10 ビット以上に拡張したときの将来用

bit 9-0 **CMREF<9:0>**: コンパレータ用リファレンス電圧選択ビット

11111111 = RANGE ビットにより (CMREF * INTREF/1024) または (CMREF * (AVDD/2)/1024) ボルト
 |
 000000000 = 0.0 ボルト

表 17-1: アナログ コンパレータ 制御レジスタ マップ

File Name	ADR	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	All Resets
CMPCON1	04C0	CM PON	—	CMPSIDL	—	—	—	—	—	INSEL<1:0>	EXTREF	—	CMPSTAT	—	CMPPOL	RANGE	0000	
CMPDAC1	04C2	—	—	—	—	—	—	CMREF<9:0>										0000
CMPCON2	04C4	CM PON	—	CMPSIDL	—	—	—	—	—	INSEL<1:0>	EXTREF	—	CMPSTAT	—	CMPPOL	RANGE	0000	
CMPDAC2	04C6	—	—	—	—	—	—	CMREF<9:0>										0000
CMPCON3	04C8	CM PON	—	CMPSIDL	—	—	—	—	—	INSEL<1:0>	EXTREF	—	CMPSTAT	—	CMPPOL	RANGE	0000	
CMPDAC3	04CA	—	—	—	—	—	—	CMREF<9:0>										0000
CMPCON4	04CC	CM PON	—	CMPSIDL	—	—	—	—	—	INSEL<1:0>	EXTREF	—	CMPSTAT	—	CMPPOL	RANGE	0000	
CMPDAC4	04CE	—	—	—	—	—	—	CMREF<9:0>										0000

dsPIC30F1010/202X

ノート:

第 18 章 システム統合

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンスマニュアル」(DS70046)を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンスマニュアル」(DS70157)を参照して下さい。

下記のようないくつかの機能により、システム信頼性を最大にし、外部部品を削減してコストを最小にし、省電力動作モードとコード保護を提供します。

- 発振器の選択
- リセット
 - パワー オン リセット (POR)
 - パワー アップ タイマ (PWRT)
 - 発振器スタート アップ タイマ (OST)
- ウォッチ ドッグ タイマ (WDT)
- 省電力モード (スリープとアイドル)
- コード保護
- ユニット ID 格納
- インサーキット シリアルプログラミング (ICSP) プログラミング可能

dsPIC30F デバイスはウォッチ ドッグ タイマを持っていて、コンフィギュレーション ビットで有効なままにもできますし、ソフトウェア制御にもできます。信頼性をよくするため、独立の RC 発振器で動作します。パワーアップ時には、必要な遅延を確保するため 2 種類のタイマがあります。ひとつは発振器スタートアップ タイマ (OST) で、クリスタル発振器が安定になるまでチップをリセット状態に保ちます。もうひとつは、パワーアップ タイマ (PWRT) で、パワーアップ時にだけ遅延を提供するようになっていて、電源供給が安定するまでデバイスをリセット モードに保つよう設計されています。この 2 つのオンチップ タイマにより、大部分の応用で外部リセット回路は必要ありません。

スリープモードは、非常に低い消費電力モードを提供するよう設計されています。スリープモードからはリセット、ウォッチ ドッグ タイマ ウェイクアップ、すべての割り込みによりウェイクアップさせることができます。いくつかの発振オプションにより、幅広い応用にデバイスを適合させることができます。アイドルモードでは、クロック源は依然アクティブですが、CPU は停止します。RC 発振器オプションはシステムコストを低減し、LP クリスタル発振は電力を節約します。

18.1 発振システム概要

dsPIC30F 発振システムは下記のようなモジュールと機能を提供します。

- クロック源として多種類の外部と内蔵の発振器オプションがある
- オンチップ PLL で内部クロック周波数を上げる
- 多種類のクロック源の切り替え可能
- プログラマブルなクロック ポストスケーラで省電力化が可能
- フェールセーフ クロック モニタ (FSCM) でクロック不良を検出するので、フェールセーフ化が可能
- クロック制御レジスタ OSCCON
- コンフィギュレーションビットで主クロックの選択

コンフィギュレーション ビットによりパワー オン リセット (POR) 後のクロック源を決定します。したがって、クロック源は、有効なクロック源の中で切り替えができます。OSCCON レジスタでクロックの切り替えを制御し、システムクロックのステータスビットに反映されます。

注: 32 kHz クリスタルの動作は dsPIC30F1010/202X デバイスでは有効ではありません

簡単な発振システムのブロック図を図18-1に示します。

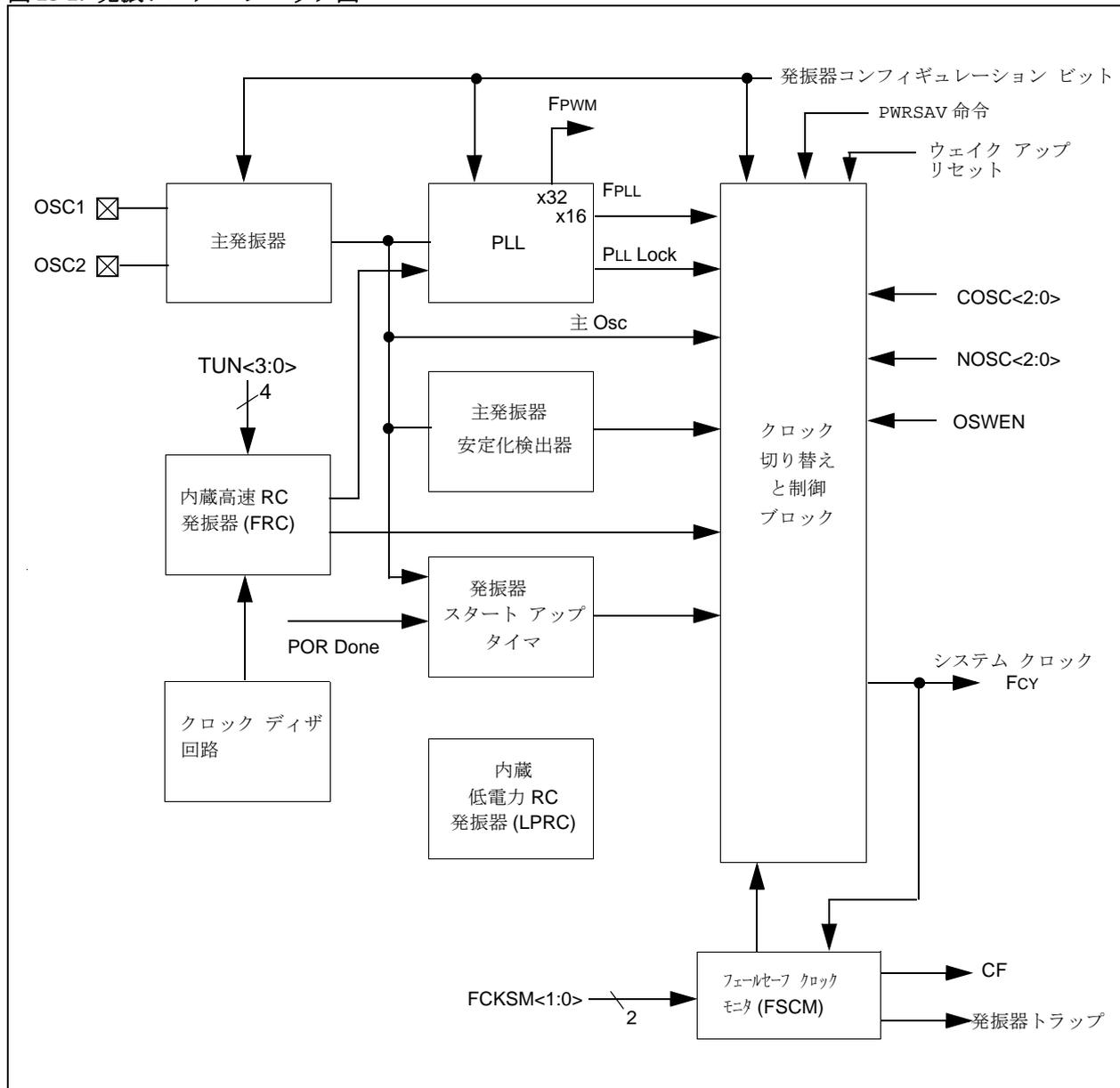
18.2 発振器制御レジスタ

発振器は下記のレジスタで制御されます。

- OSCCON: 発振器制御レジスタ
- OSCTUN2: 発振器調整レジスタ 2
- LFSR: リニア フィードバック シフト レジスタ
- FOSCSEL: 発振器選択コンフィギュレーションビット
- FOSC: 発振器選択コンフィギュレーションビット

dsPIC30F1010/202X

図 18-1: 発振システム ブロック図



レジスタ 18-1: OSCCON: 発振器制御レジスタ

U-0	R-y HS,HC	R-y HS,HC	R-y HS,HC	U-0	R/W-y	R/W-y	R/W-y
—	COSC<2:0>			—	NOSC<2:0>		
bit 15							bit 8

R/W-0	U-0	R-0 HS,HC	R/W-0	R/C-0 HS,HC	R/W-0	U-0	R/W-0 HC
CLKLOCK	—	LOCK	PRCDEN	CF	TSEQEN	—	OSWEN
bit 7							bit 0

凡例:

x = 不定		
R = 読み込み可	W = 書き込み可	U = 未実装、読むと '0'
-n = POR 後の値	'1' = セット	'0' = クリア
HC = ハードウェアでクリア	HS = ハードウェアでセット	-y = POR コンフィギュレーションで値設定

bit 15 **未実装:** 読むと '0'

bit 14-12 **COSC<2:0>:** 現状の発振グループ選択ビット (読み出し専用)

- 000 = 高速 RC 発振器 (FRC)
- 001 = 高速 RC 発振器 (FRC)、PLL モジュール付き
- 010 = 主発振器 (HS、EC)
- 011 = 主発振器 (HS、EC)、PLL モジュール付き
- 100 = 予約
- 101 = 予約
- 110 = 予約
- 111 = 予約

このビットはリセット時は下記となる

POR 時には FRC の値 ('000')

クロック切り替えがうまく完了したときは NOSC<2:0> がロードされる
FSCM が不良を検知し FRC に切り替えたときは FRC の値 ('000') となる

bit 11 **未実装:** 読むと '0'

bit 10-8 **NOSC<2:0>:** 新規発振グループ選択ビット

- 000 = 高速 RC 発振器 (FRC)
- 001 = 高速 RC 発振器 (FRC)、PLL モジュール付き
- 010 = 主発振器 (HS、EC)
- 011 = 主発振器 (HS、EC)、PLL モジュール付き
- 100 = 予約
- 101 = 予約
- 110 = 予約
- 111 = 予約

bit 7 **CLKLOCK:** クロック ロック有効化ビット

- 1 = (FCKSM1 = 1) なら、クロックと PLL 構成はロックされる
(FCKSM1 = 0) なら、クロックと PLL の構成は変更可能
- 0 = クロックと PLL 選択はロックされず、構成の変更が可能

注: いったんセットされると、このビットはリセットによってのみクリアされる

bit 6 **未実装:** 読むと '0'

dsPIC30F1010/202X

レジスタ 18-1: OSCCON: 発振器制御レジスタ (つづき)

- bit 5 **LOCK:** PLL ロック ステータス ビット (読み出しのみ可)
1 = PLL がロック状態を示す
0 = PLL がロックからはずれていることを示す (または無効)
本ビットはリセット時下記となる
POR 時はリセット
クロック切り替え状態マシンによりクロック切り替えシーケンスが起動されたらリセット
PLL 開始後 PLL がロックされたらセット
ロックがはずれたらリセット
グループ 1 のシステム クロックとして PLL が選択されていなければ読むとゼロ
- bit 4 **PRCDEN:** 擬似ランダム クロック ディザ有効化ビット
1 = 擬似ランダム クロック ディザ有効化
0 = 擬似ランダム クロック ディザ無効化
- bit 3 **CF:** クロック不良検知ビット (読み出し/クリア可能)
1 = FSCM がクロック不良を検知した
0 = FSCM はクロック不良を検知していない
本ビットはリセット時は下記となる
POR ではリセット
クロック切り替え状態マシンによりクロック切り替えシーケンスが起動されたらリセット
クロック不良検知でセット
- bit 2 **TSEQEN:** FRC 調整シーケンサ有効化ビット
1 = OSCTUN と OSCTUN2 レジスタ内の TUN<3:0>、TSEQ1<3:0>、...、TSEQ7<3:0> ビットは順に FRC
発振器の調整をする。PWM モジュールからの ROLL<2:0> 信号により順に選択される
0 = OSCTUN レジスタの TUN<3:0> ビットは FRC 発振器の調整をする
- bit 1 **未実装:** 読むと '0'
- bit 0 **OSWEN:** 発振器切り替え有効化ビット
1 = NOSC<1:0> ビットによる選択指定で発振器の切り替えを要求する
0 = 発振器切り替え完了
本ビットはリセット時下記となる
POR でリセット
クロック切り替え成功でリセット
冗長クロックへ切り替え後リセット
FSCM で発振器を (グループ 3 の)FRC へ切り替え後リセット

レジスタ 18-2: OSCTUN: 発振器調整レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TSEQ3<3:0>				TSEQ2<3:0>			
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TSEQ1<3:0>				TUN<3:0>			
bit 7				bit 0			

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

- bit 15-12 **TSEQ3<3:0>**: 調整シーケンス値 #3 ビット
 PWM ROLL<2:0> = 011 のとき、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる
- bit 11-8 **TSEQ2<3:0>**: 調整シーケンス値 #2 ビット
 PWM ROLL<2:0> = 010 のとき、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる
- bit 7-4 **TSEQ1<3:0>**: 調整シーケンス値 #1 ビット
 When PWM ROLL<2:0> = 001、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる
- bit 3-0 **TUN<3:0>**: 高速 RC 発振器のユーザー調整部の値を設定する。OSCCON レジスタの TSEQEN ビットがセットされていれば、このフィールドは TSEQ1-TSEQ7 の順に FRC 発振器の調整に使われる
- 0111 = 最大周波数
 - 0110 =
 - 0101 =
 - 0100 =
 - 0011 =
 - 0010 =
 - 0001 =
 - 0000 = 中心周波数、発振器がキャリブレートされた周波数で動作する
 - 1111 =
 - 1110 =
 - 1101 =
 - 1100 =
 - 1011 =
 - 1010 =
 - 1001 =
 - 1000 = 最小周波数

dsPIC30F1010/202X

レジスタ 18-3: OSCTUN2: 発振器調整レジスタ 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TSEQ7<3:0>				TSEQ6<3:0>			
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TSEQ5<3:0>				TSEQ4<3:0>			
bit 7				bit 0			

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15-12 **TSEQ7<3:0>**: 調整シーケンス値 #7 ビット
 PWM ROLL<2:0> = 111 のとき、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる
- bit 11-8 **TSEQ6<3:0>**: 調整シーケンス値 #6 ビット
 PWM ROLL<2:0> = 110 のとき、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる
- bit 7-4 **TSEQ5<3:0>**: 調整シーケンス値 #5 ビット
 PWM ROLL<2:0> = 101 のとき、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる
- bit 3-0 **TSEQ4<3:0>**: 調整シーケンス値 #4 ビット
 PWM ROLL<2:0> = 100 のとき、このフィールドが TUN<3:0> の代わりに FRC 調整値として使われる

レジスタ 18-4: LFSR: リニア フィードバック シフト レジスタ

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	LFSR<14:8>						
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
LFSR<7:0>							
bit 7						bit 0	

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

- bit 15 **未実装**: 読むと '0'
- bit 14-8 **LFSR <14:8>**: 擬似ランダム FRC トリム値の上位 7 ビット
- bit 7-0 **LFSR <7:0>**: 擬似ランダム FRC トリム値の下位 8 ビット

レジスタ 18-5: FOSCSEL: 発振器選択コンフィギュレーションビット

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 23						bit 16	

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

U-0	U-0	U-0	U-0	U-0	U-0	R/P	R/P
—	—	—	—	—	—	FNOSC1	FNOSC0
bit 7						bit 0	

凡例:

R = 読み込み可

W = 書き込み可

U = 未実装、読むと '0'

-n = POR 時の値

'1' = セット

'0' = クリア

x = 不定

bit 23-2 **未実装**: 読むと '0'

bit 1-0 **FNOSC<1:0>**: POR 時の初期発振器グループ選択ビット

00 = 高速 RC 発振器 (FRC)

01 = 高速 RC 発振器 (FRC) の N 分周、PLL モジュール付き

10 = 主発振器 (HS、EC)

11 = 主発振器 (HS、EC) PLL モジュール付き

dsPIC30F1010/202X

レジスタ 18-6: FOSC: 発振器選択コンフィギュレーションビット

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 23						bit 16	

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

R/P	R/P	R/P	U-0	U-0	R/P	R/P	R/P
FCKSM<1:0>		FRANGE	—	—	OSCIOFNC	POSCMD<1:0>	
bit 7						bit 0	

凡例:

R = 読み込み可 W = 書き込み可 U = 未実装、読むと '0'
 -n = POR 時の値 '1' = セット '0' = クリア x = 不定

bit 23-8 **未実装:** 読むと '0'

bit 7-6 **FCKSM<1:0>:** クロック切り替えとモニタ選択コンフィギュレーションビット

1x = クロック切り替え無効、フェールセーフクロックモニタ無効
 01 = クロック切り替え有効、フェールセーフクロックモニタ無効
 00 = クロック切り替え有効、フェールセーフクロックモニタ有効

bit 5 **FRANGE:** FRC と PLL 用周波数範囲選択ビット

ギアシフトのように機能して、dsPIC DSC デバイスを低電圧供給 (3.3V) のとき減速 MIPS で動作させる

FRANGE ビット値	Temperature Rating	FRC 周波数 (標準)	PLL VCO (標準)
1 = 広範囲	工業品	14.55 MHz	466 MHz (480 MHz max)
	拡張品	9.7 MHz	310 MHz (320 MHz max)
0 = 狭範囲	工業品	9.7 MHz	310 MHz (320 MHz max)
	拡張品	6.4 MHz	205 MHz (211 MHz max)

bit 4-3 **未実装:** 読むと '0'

bit 3 **OSCIOFNC:** OSC2 ピン I/O 有効化ビット

1 = CLKO 出力を OSCO ピンでアクティブとする
 0 = CLKO 出力を無効化する

bit 1-0 **POSCMD<1:0>:** 主発振器モード

11 = 主発振器無効化
 10 = HS 発振モード選択
 01 = 予約
 00 = 外部クロックモード選択

18.2.1 不慮の書き込み保護

OSCCON レジスタによりクロック切り替えとクロック変更が可能になりますから、OSCCON レジスタの書き込みは内部で難しくしてあります。OSCCON レジスタの下位バイトに書き込むには、途中で他の命令を挟まずに正確に下記シーケンスとする必要があります。

- OSCCON 下位に「46h」をバイト書き込みする
- OSCCON 下位に「57h」をバイト書き込みする
- mov.b W0,OSCCON 命令の1サイクル分のバイト書き込みのみ有効となる

OSCCON レジスタの高位バイトに書き込むには、途中で他の命令を挟まずに正確に下記シーケンスとする必要があります。

- OSCCON 高位に「78h」をバイト書き込みする
- OSCCON 高位に「9Ah」をバイト書き込みする
- mov.b W0,OSCCON + 1 命令の1サイクル分のバイト書き込みのみ有効となる

18.3 発振器コンフィギュレーション

図 18-2 にシステムクロック Fcy の作られ方を示します。図 18-1 の PLL 出力は最大 480MHz です (広範囲 FRC オプションで、工業温度品で、PLL と TUN<3:0>

= 0111 が設定されているとき)。信号は電力用 PWM モジュールで使われ、PLL の入力周波数の 32 倍となります。

工業温度品で、広範囲 FRC オプションが選択されているとすると、480 MHz の PLL クロック信号は、2 分周されて 240 MHz となり ADC モジュールに供給されます。同じ 480 MHz の信号が、8 分周されて 60 MHz を生成し、Fcy マルチプレクサへの入力の一つとなります。このマルチプレクサへの入力は、FOSC クロック源 (主発振器か FRC どちらか) となり 2 分周されます。PLL が有効なときは、FCY = FPLL/16 となります。PLL が無効のときは、FCY = Fosc/2 となります。

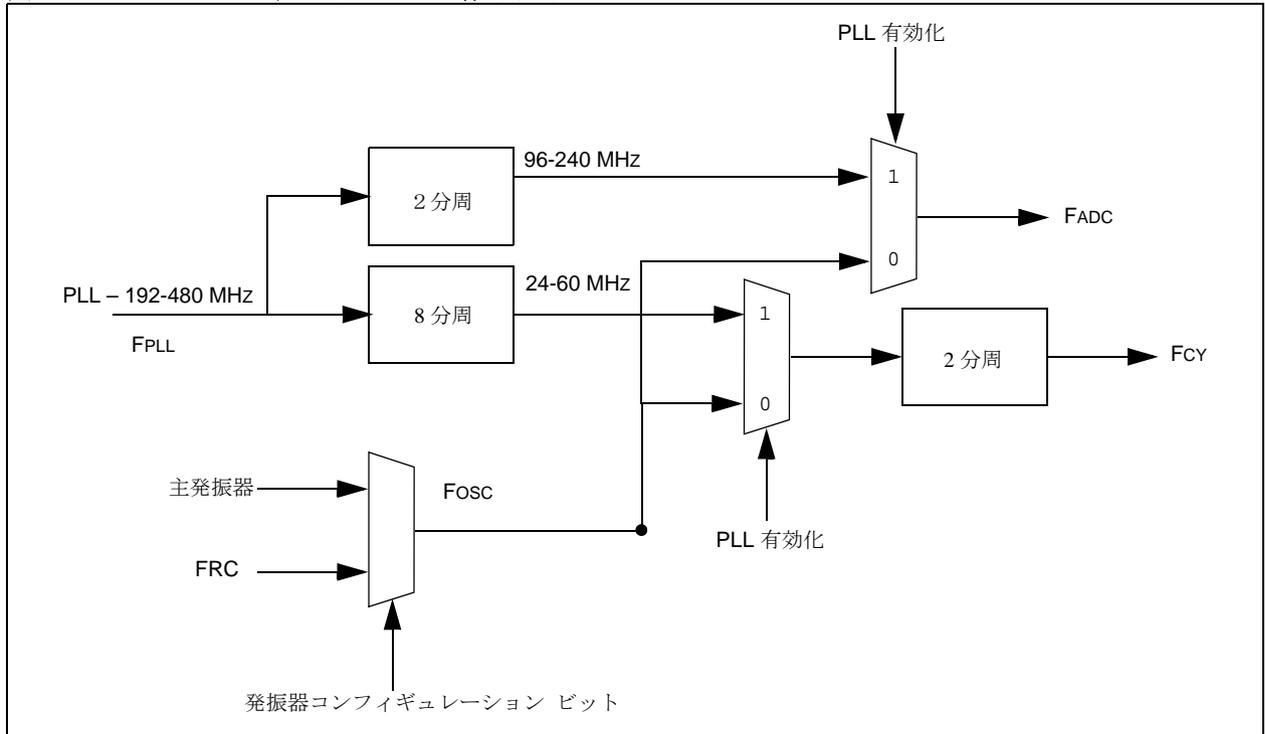
以下の方法は 480 MHz クロックから導かれています。

- 広範囲オプション、TUN<3:0>=0111 として FRC = 15 MHz
- PLL 有効化
- PWM クロック = 15 x 32 = 480 MHz
- FCY = 480 MHz/16 = 30 MHz = 30 MIPS

PLL が無効のとき

- FRC クロック (広範囲オプションで TUN<3:0>=0111) = 15MHz
- FCY = 15 MHz/2 = 7.5 MHz = 7.5 MIPS

図 18-2: システムクロックと FADC の作られ方



dsPIC30F1010/202X

18.3.1 初期クロック源の選択

パワー オンリセット後のとき、デバイスは下記に基づいてクロック源を選択します。

- a) FNOSC<1:0> コンフィギュレーションビットで 3 つの発振グループ (HS、EC、FRC) から選択する
- b) POSCMD1<1:0> コンフィギュレーション ビットで主発振モードを選択する
- c) OSCIOFNCでOSC2ピンをI/Oピンにするかクロック出力にするかを選択する

選択肢は表 18-1 に示したようになります。

表 18-1: クロック選択用コンフィギュレーション ビット

発振モード	発振源	FNOSC<1:0>		POSCMD<1:0>		OSCIOFNC	OSC2 機能	OSC1 機能
		Bit 1	Bit 0	Bit 1	Bit 0			
HS w/PLL 32x	PLL	1	1	1	0	N/A	CLKO ⁽¹⁾	CLKI
FRC w/PLL 32x	PLL	0	1	1	1	1	CLKO	I/O
FRC w/PLL 32x	PLL	0	1	1	1	0	I/O	I/O
EC w/PLL 32x	PLL	1	1	0	0	1	CLKO	CLKI
EC w/PLL 32x	PLL	1	1	0	0	0	I/O	CLKI
EC ⁽²⁾	外部	1	0	0	0	1	CLKO	CLKI
EC ⁽²⁾	外部	1	0	0	0	0	I/O	CLKI
HS ⁽²⁾	外部	1	0	1	0	N/A	CLKO ⁽¹⁾	CLKI
FRC ⁽²⁾	内蔵 RC	0	0	1	1	0	I/O	I/O
FRC ⁽²⁾	内蔵 RC	0	0	1	1	1	CLKO	I/O

注 1: CLKO で外部回路を駆動するのは推奨できません。

注 2: このモードは、32x PLL を無効とする応用では推奨できません。高速 ADC と PWM が動かないためです。

18.3.2 発振器スタート アップ タイマ (OST)

クリスタル発振 (またはセラミック振動子) の開始と安定を確実にするため、発振器スタートアップタイマを内蔵しています。これは単純な 10 ビットのカウンタで、1024 個の TOSC サイクルをカウントしてから、システムの残りの部分にクロックをリリースします。タイムアウト時間は TOST として識別されます。TOST 時間は発振器が再開する度に毎回挿入されます (例えば、POR 時やスリープからウェイクアップのとき)。発振器スタートアップタイマは、主発振器の HS 発振モードのとき (スリープからのウェイクアップと POR 時に) 適用されます。

PLL はロック出力を持っていて、PLL がフェーズロック状態に入ったら出力されます。ループがロックからはずれると (ノイズなどで)、ロック信号は無効となります。この信号の状態は、OSCCON レジスタ内の読み出し専用の LOCK ビットに反映されます。

18.3.3 フェーズロック ループ (PLL)

PLL は主発振器で生成されるクロックを逡倍します。PLL は選択可能で x32 倍のゲインだけです。入力と出力の周波数範囲を表 18-2 にまとまてあります。

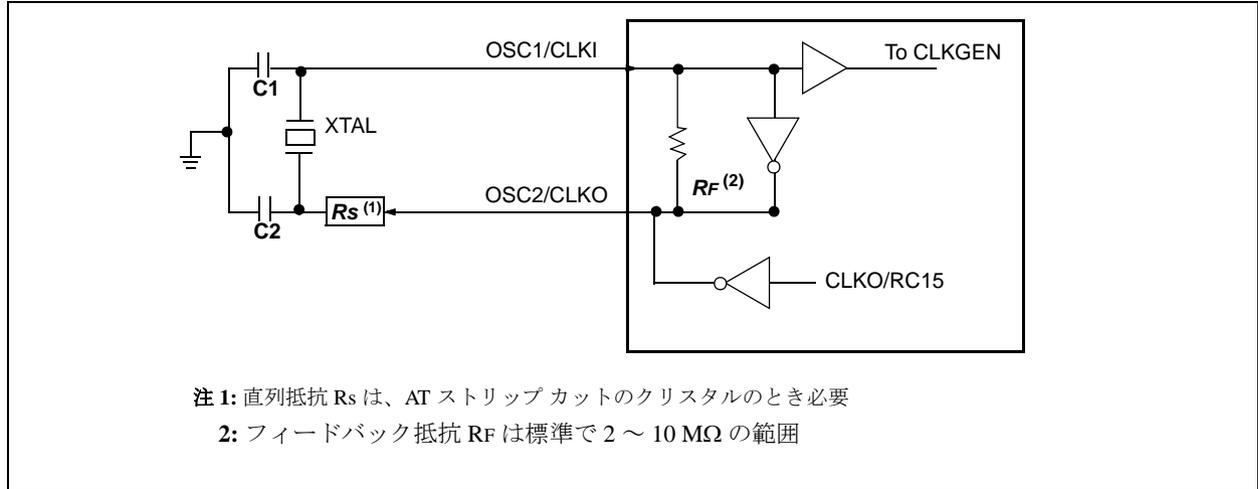
表 18-2: PLL 周波数範囲

F _{IN}	PLL 逡倍	F _{OUT}
6.4 MHz	x32	205 MHz
9.7 MHz	x32	310 MHz
14.55 MHz	x32	466 MHz

18.4 OSC1/OSC2 ピンによる主発振器

主発振器は図 18-3 のように使われます。

図 18-3: 主発振器



18.5 外部クロック入力

主発振モードの外部クロックは 2 つのモードで使われます。これらのモードは EC と IO 付き EC です。

EC モード (図 18-4) では、OSC1 ピンは CMOS でドライブされています。このモードでは、OSC1 ピンはハイインピーダンスで OSC2 ピンがクロック出力 (Fosc/2) です。この出力クロックはテストや同期用に便利です。

IO 付き EC モード (図 18-5) では OSC1 ピンは CMOS ドライバでドライブされています、このモードでは、OSC1 ピンはハイインピーダンスで、OSC2 ピンは汎用の I/O ピンとなります。OSC1 と OSC2 間のフィードバック デバイスは、省電力のためオフとなります。

図 18-4: 外部クロック入力動作 (EC 発振コンフィギュレーション)

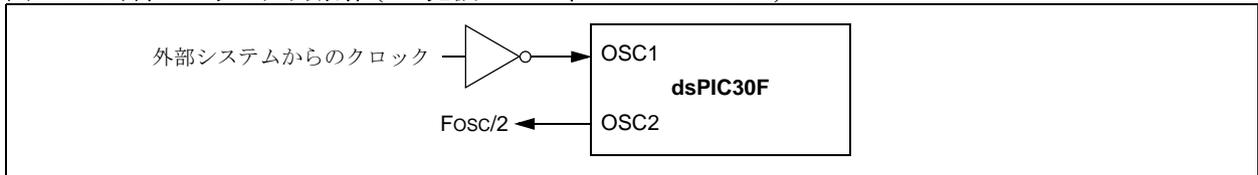
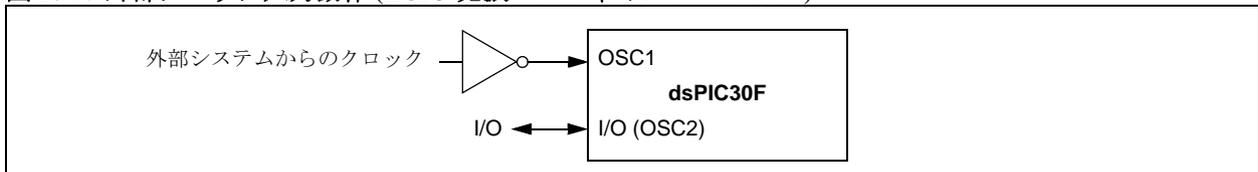


図 18-5: 外部クロック入力動作 (ECIO 発振コンフィギュレーション)



18.6 内蔵発振器 (FRC)

FRC は、高速で高精度周波数の内蔵 RC 発振器です。FRC 発振器は 6.4/9.7/14.55 MHz ($\pm 2\%$ 精度) で動作するように設計されています。FRC 発振器オプションは、シリアルデータ転送に必要なボーレート精度に必要なクロック周波数を、十分な精度で供給できるようになっています。ユーザーが FRC 周波数を $\pm 3\%$ の範囲で調整できます。

FRC 発振器は下記のような特徴も持っています。

- EC または HS 発振モードのときは選択不可
- フェールセーフクロックモニタが有効でクロック不良を検知したときは、FRC に強制的に切り替わります。

18.6.1 周波数レンジの選択

FRC モジュールはギアシフト制御信号を持っていて、低レンジ (工業温度品で 9.7 MHz で拡張温度品で 6.4 MHz)、または高レンジ (工業温度品で 14.55 MHz で拡張温度品で 9.7 MHz) 周波数動作にできます。この特徴により、dsPIC DSC デバイスを、他の仕様を維持しながら、3.3V で 20 MIPS または 5.0V で 30 MIPS の最高速度にすることができます。

18.6.2 標準の周波数

FRC モジュールは、低レンジでは、工業温度品の標準値が 9.7 MHz に、拡張温度品の標準値が 6.4 MHz に較正されており、高レンジでは、工業温度品は 14.55 MHz に、拡張温度品は 9.7 MHz に較正されています。この特徴により、ユーザーが dsPIC DSC デバイスの周波数動作を $\pm 3\%$ 調整しても、システム仕様の範囲内とすることができます。

18.6.3 FRC 周波数のユーザーによる調整

FRC は工場出荷時に標準で 6.4/9.7/14.55 MHz に較正されています。OSCTUN レジスタの TUN<3:0> フィールドにより、ユーザーが FRC 発振器の周波数を微調整できます。

OSCTUN か OSCTUN2 レジスタ内の 4 ビットの調整制御用信号が、OSCCON レジスタの TSEQEN ビットによって供給されます。

14.55 MHz 発振器の調整範囲は標準で ± 0.45 MHz ($\pm 3\%$) です。

ベース周波数はユーザーが補正できます。この周波数補正機能により、工場出荷時の値をずらすことができます。OSCTUN レジスタの TUN<3:0> ビットで周波数を調整できます。

18.6.4 クロック ディザ ロジック

電力変換用途では、設計者が減らしたいと思う第一はノイズ放射で、それはパワー トランジスタの PWM 周波数でのスイッチングで起きます。SMPS dsPIC DSC のシステムクロック周波数を変動させると、ノイズにおける EMI のピークは広い周波数範囲に広がります。

通常、周波数変化の範囲は数パーセントです。dsPIC30F1010/202X は、PWM サイクルベースとなるシステムクロック周波数を 2 つの方法で可変にできます。それは周波数シーケンスモードと擬似ランダムクロックディザモードです。表 18-8 にこの両方の方法の実装詳細を示します。

18.6.5 周波数シーケンスモード

周波数シーケンスモードは、PWM タイムベースがロールオーバーする度にシステム周波数を可変させるため、PWM モジュールが 8 種類の FRC TUN 値から選択できるようにします。OSCTUN と OSCTUN2 レジスタは、OSCCON レジスタの TSEQEN ビットがセットされていれば、8 種のシーケンス調整値のどれかを選択できます。TSEQEN ビットがゼロなら、TUN ビットだけが FRC 周波数に影響を与えるだけです。

8 個の入力を持つ 4 ビット幅のマルチプレクサが TUN と TSEQx ビットフィールドから調整値を選択します。マルチプレクサは PWM モジュール内の ROLL<5:3> カウンタで制御されます。ROLL<5:3> カウンタは、1 次タイムベースが周期値になってロールオーバーする度に増し分します。

18.6.6 擬似ランダムクロックディザモード

擬似ランダムクロックディザ (PRCD) ロジックは、15 ビットの LFSR (リニアフィードバックシフトレジスタ) を持っていて、それはいくつかの排他 OR ゲートで構成されたシフトレジスタです。LFSR の下位 4 ビットが、FRC TUNE ビットを供給します。PRCD 機能は、OSCCON レジスタの PRCDEN ビットをセットすると有効となります。LFSR は ROLL<3> ビットが変わる度に 1 回クロックされます (クロック有効のとき)。これは 8 PWM サイクルごととなります。

18.6.7 フェールセーフクロックモニタ

フェールセーフクロックモニタ (FSCM) は、発振器不良が発生しても、デバイスが動作を継続できるようにします。FSCM 機能は、FOS コンフィギュレーションレジスタの FCKSM コンフィギュレーションビット (クロック切り替えとモニタ選択ビット) を適切にプログラミングすると有効化できます。

発振器不良が発生すると、FSCM は発振器不良トラップイベントを発生させ、システムクロックを FRC 発振器に切り替えます。ユーザーは、ここで発振器を再スタートさせるか、制御して停止を行うかします。トラップは単にリセットアドレスを発振器不良トラップベクタに格納することで、ウォームリセットとして扱うことができます。このイベントでは、クロック不良が認識されると常に CF (クロック不良) ステータスビット (OSCCON<3>) もセットされます。

クロック不良イベントの間は、WDT は影響を与えませんし、LPRC クロックで動作を継続します。

POR かスリープから抜けるとき、発振器が非常に遅いスタートアップ時間のとき、PWRT タイマが発振器の開始前にタイムアップしてしまうことがあります。このようなときは、FSCM が起動し、FSCM がクロック不良トラップを起こします。そして COSC<2:0> ビッ

トに FRC 選択をロードします。これで、オリジナルの発振器がスタートアップしようとするのを止めるのに有効となります。

ユーザーはこの状態を検出でき、クロック不良トラップの ISR 内で発振の再スタートができます。

クロック不良検出で、FSCM モジュールは下記手順でクロックを FRC 発振器に切り替えようとします。

1. COSC ビット (OSCCON<14:12>) に FRC 発振器選択の値をロードする

2. CF ビット (OSCCON<3>) をセット

3. OSWEN 制御ビット (OSCCON<0>) をクリア

クロック切り替えのために、クロック源を次の 2 つのグループに分けます。

1. 主

2. 内蔵 FRC

ユーザーは、これらの機能グループで切り替えできますが、グループ内での切り替えはできません。主グループを選択すると、グループ内の選択は常に FNOSC<1:0> コンフィギュレーションビットで決まっています。

OSCCON レジスタはクロック切り替えの制御とステータスのビットを持っています。コンフィギュレーション ビット FCKSM<1:0> = 1x なら、クロック切り替えとフェールセーフ モニタは無効となります。これがコンフィギュレーション ビットのデフォルトの設定です。

クロック切り替えが無効となると、FNOSC<1:0> と POSCMD<1:0> ビットが直接発振器の選択制御となり、COSC<2:0> ビットはクロック選択制御しません。しかし、これらのビットはクロック源の選択には影響します。

注: 応用の中でフェールセーフクロック モニタを有効としているときは、クロック周波数を 100 KHz 以下に切り替えるべきではありません。クロック切り替えが起きると、デバイスは発振器不良トラップを発生し、高速 RC 発振器に切り替えようとします。

18.7 リセット

dsPIC30F1010/202x は多種類のリセットを区別します。

- a) パワー オン リセット (POR)
- b) 通常モードでの MCLR リセット
- c) スリープ中の MCLR リセット
- d) ウォッチ ドッグ タイマ (WDT) リセット (通常動作中)
- e) RESET 命令
- f) トラップ ロック アップによるリセット (TRAPR)
- g) 不正命令コードか未初期化 W レジスタのアドレス ポインタ使用 (IOPUWR) によるリセット

多くのリセット条件によりレジスタの受ける影響は異なります。大部分のレジスタは WDT ウェイク アップに影響されませんが、これは通常の動作の再起動とみなされるためです。RCON レジスタのステータス ビットがリセット条件ごとに表 18-3 のようにセットあるいはクリアされます。これらのビットは、ソフトウェアでリセット要因を区別するために使われます。

オンチップのリセット回路のブロック図を図 18-7 に示します。

MCLR のノイズ フィルタが MCLR リセットラインにあります。このフィルタは小さなパルスを検出し無視します。

内部で生成されるリセット MCLR ピンを Low にはしません。

dsPIC30F1010/202X

図 18-6: FRC 調整ディザロジックブロック図

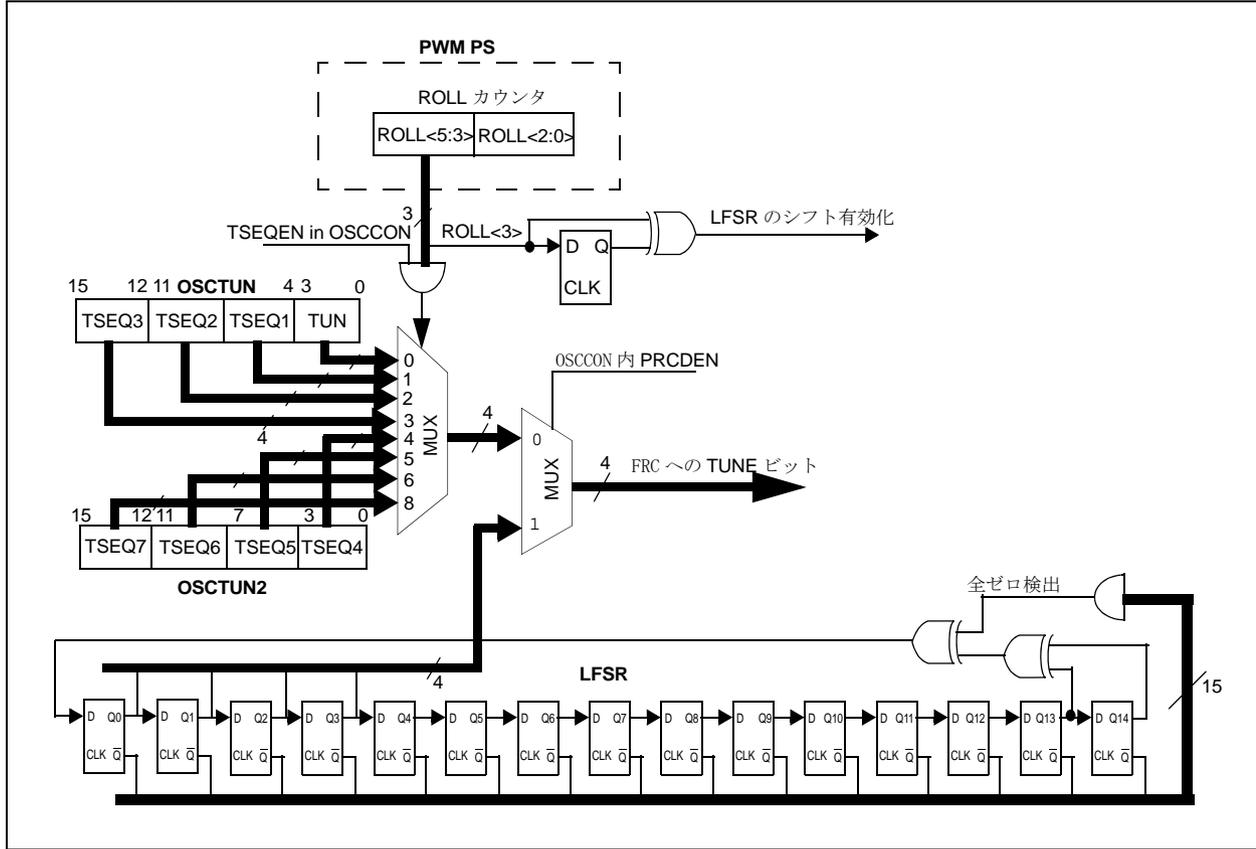
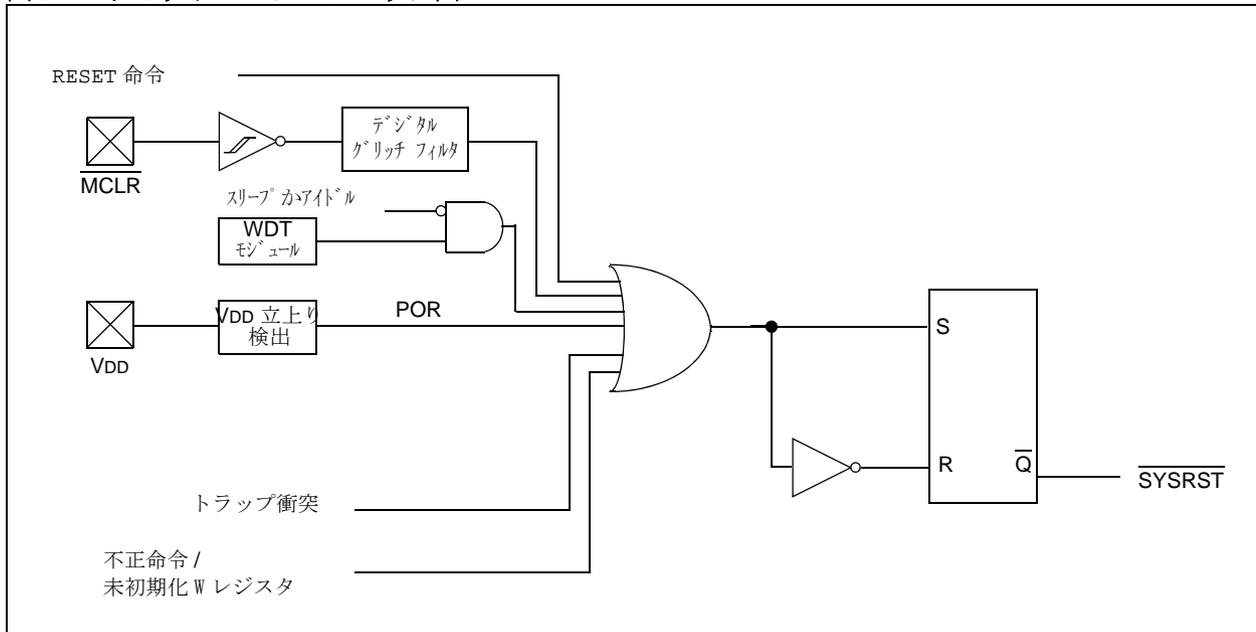


図 18-7: リセットシステムブロック図



18.7.1 POR: パワー オン リセット

VDD の立上りを検知したとき、パワー オン イベントとして内部 POR パルスを生成します。リセットパルスは、標準で 1.85V の POR 回路のスレッショルド電圧 (VPOR) で発生します。デバイスの電源電圧特性は、この開始電圧と立上り比率の要求仕様を満足しなければなりません。POR パルスは POR タイマをリセットし、デバイスがリセット状態に入ります。さらに POR で発振器コンフィギュレーション フューズに基づいてデバイスのクロック源を選択します。

POR 回路には、標準で 10 μ s の短い遅延 TPOR が挿入され、デバイスのバイアス回路が安定するのを待ちます。さらに、ユーザー選択可能なパワーアップタイム時間 (TPWRT) が適用されます。TPWRT パラメータはコンフィギュレーション ビットに基づき、0 ms (遅延なし)、4 ms、16 ms、64 ms のいずれかとなります。デバイス パワーアップ時の合計遅延は、TPOR + TPWRT です。これらの遅延のあと、SYSRST が次の Q1 クロックの最初のエッジで反転し、PC がリセットベクタにジャンプします。

SYSRST 信号のタイミングを図 18-8 から図 18-10 に示します。

図 18-8: パワーアップ時のタイムアウトシーケンス (MCLR は VDD に接続)

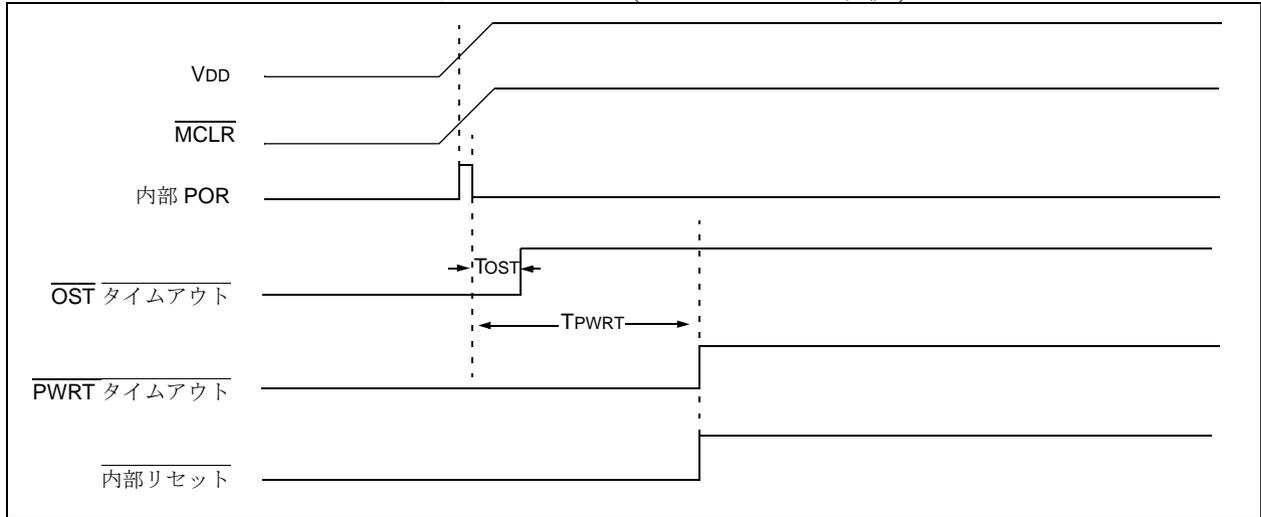


図 18-9: パワーアップ時のタイムアウトシーケンス (MCLR を VDD に接続しない): ケース 1

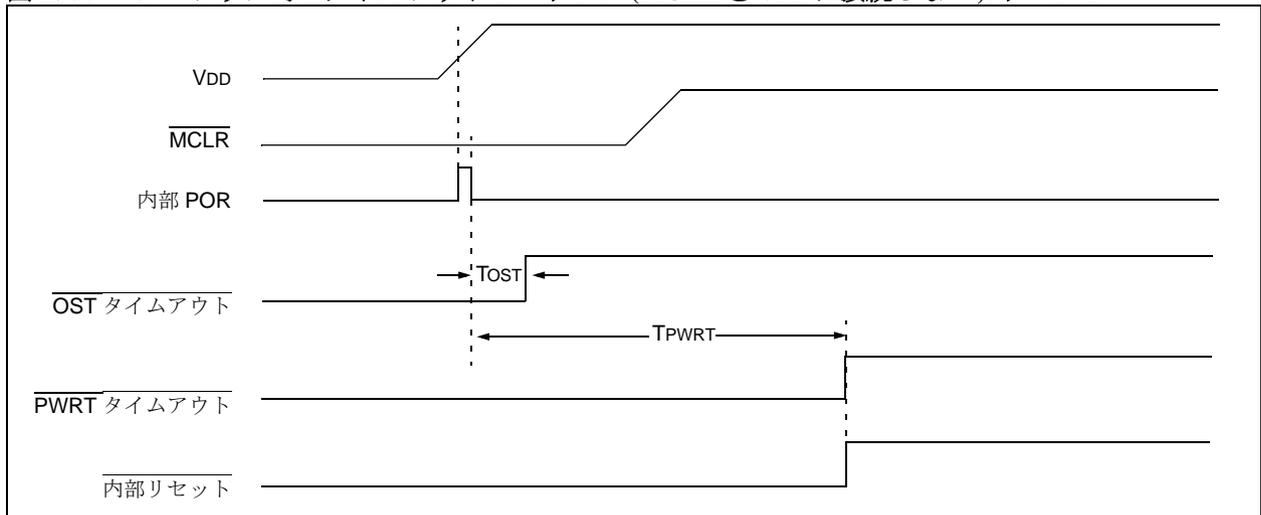
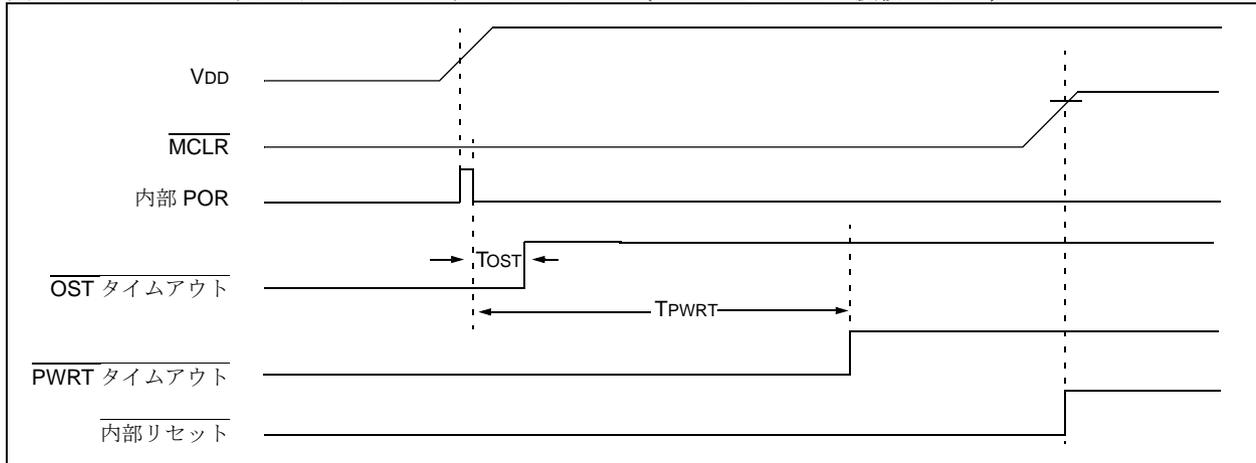


図 18-10: パワーアップ時のタイムアウトシーケンス ($\overline{\text{MCLR}}$ を VDD に接続しない): ケース 2



18.7.1.1 クリスタル スタート アップが遅い場合の POR(FSCM は有効)

発振器スタートアップ回路は POR 回路とはリンクしていません。クリスタル回路 (特に低い周波数のクリスタルでは) によっては、比較的長いスタートアップタイムのものがああります。したがって、POR タイマで PWRT がタイムアップした後は、下記条件の 1 つ以上の状態があります。

- 発振回路が発振を始めていない
- 発振器スタートアップタイマがタイムアップしていない (クリスタル発振器を使っているとき)
- PLL がロックに達しない (PLL を使っているとき)

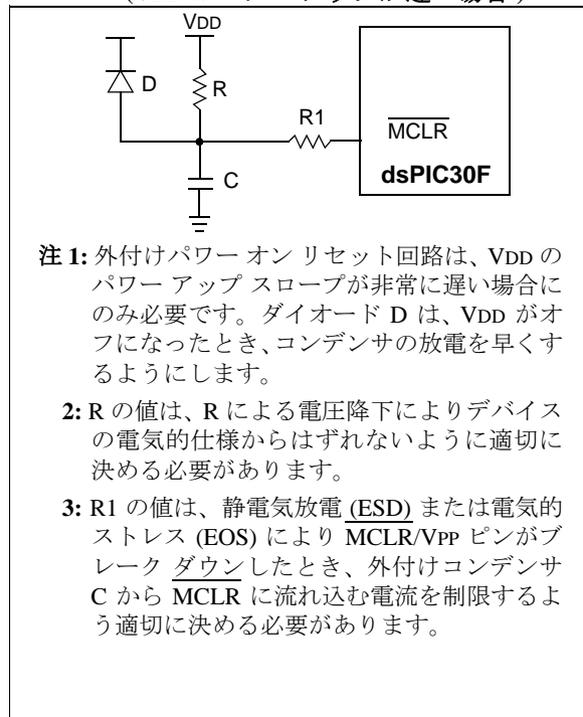
FSCM が有効になっていて、上記条件の一つが成立していると、クロック不良トラップが発生します。デバイスは自動的に FRC 発振器に切り替わり、ユーザーがトラップの ISR の中で希望するクリスタル発振器に切り替えることができます。

18.7.1.2 FSCM と PWRT なしの動作

FSCM が無効で、パワーアップタイマ (PWRT) も無効のときは、デバイスはパワーアップですぐリセットから抜け出ます。クロック源が FRC か EC であれば、これはすぐアクティブになります。

FSCM が無効で、システムクロックがスタートしていない場合、デバイスは、システムクロックがスタートするまでリセットベクタでフリーズ状態となります。ユーザーから見ると、システムクロックが使えるようになるまで、デバイスはリセット状態のように見えます。

図 18-11: 外付けのパワーアップリセット回路 (VDD のパワーアップが遅い場合)



注 1: 外付けパワー オンリセット回路は、 VDD のパワーアップスロープが非常に遅い場合にのみ必要です。ダイオード D は、 VDD がオフになったとき、コンデンサの放電を早くするようにします。

2: R の値は、R による電圧降下によりデバイスの電氣的仕様からはずれないように適切に決める必要があります。

3: R1 の値は、静電気放電 (ESD) または電氣的ストレス (EOS) により $\overline{\text{MCLR}}/\text{VPP}$ ピンがブレイクダウンしたとき、外付けコンデンサ C から $\overline{\text{MCLR}}$ に流れ込む電流を制限するよう適切に決める必要があります。

注: MCPI1XX や MCP8XX などの専用の管理デバイスも外付けパワーアップリセット回路として使われます。

表 18-3 に RCON レジスタのリセット時の状態を示します。RCON レジスタ内の制御ビットは読み書き可能ですが、下記テーブルの情報の全ビットは、条件欄に示された動作前はすべて反対の状態となります。

表 18-3: RCON レジスタの初期状態 ケース 1

条件	プログラム カウンタ	TRAPR	IOPUWR	EXTR	SWR	WDT O	IDLE	SLEEP	POR
パワー オン リセット	0x000000	0	0	0	0	0	0	0	1
通常動作での $\overline{\text{MCLR}}$ リセット	0x000000	0	0	1	0	0	0	0	0
通常動作でのソフトウェア リセット	0x000000	0	0	0	1	0	0	0	0
スリープ中の $\overline{\text{MCLR}}$ リセット	0x000000	0	0	1	0	0	0	1	0
アイドル中の $\overline{\text{MCLR}}$ リセット	0x000000	0	0	1	0	0	1	0	0
WDT タイムアウトリセット	0x000000	0	0	0	0	1	0	0	0
WDT ウェイク アップ p	PC + 2	0	0	0	0	1	0	1	0
スリープ中の割り込み	PC + 2 ⁽¹⁾	0	0	0	0	0	0	1	0
クロック不良トラップ	0x000004	0	0	0	0	0	0	0	0
トラップ リセット	0x000000	1	0	0	0	0	0	0	0
不正命令トラップ	0x000000	0	1	0	0	0	0	0	0

注 1: 有効な割り込みによるウェイクアップのときは、PC には対応する割り込みベクタがロードされます。

表 18-4 に RCON レジスタの状態の 2 つ目の例を示します。この場合には、条件欄に示された状態の前に、ユーザーがセットかクリアをしているものと仮定しています。

表 18-4: RCON レジスタの初期状態 ケース 2

条件	プログラム カウンタ	TRAPR	IOPUW R	EXTR	SWR	WDT O	IDLE	SLEEP	POR
パワー オン リセット	0x000000	0	0	0	0	0	0	0	1
通常動作での $\overline{\text{MCLR}}$ リセット	0x000000	u	u	1	0	0	0	0	u
通常動作でのソフトウェア リセット	0x000000	u	u	0	1	0	0	0	u
スリープ中の $\overline{\text{MCLR}}$ リセット	0x000000	u	u	1	u	0	0	1	u
アイドル中の $\overline{\text{MCLR}}$ リセット	0x000000	u	u	1	u	0	1	0	u
WDT タイムアウトリセット	0x000000	u	u	0	0	1	0	0	u
WDT ウェイク アップ p	PC + 2	u	u	u	u	1	u	1	u
スリープ中の割り込み	PC + 2 ⁽¹⁾	u	u	u	u	u	u	1	u
クロック不良トラップ	0x000004	u	u	u	u	u	u	u	u
トラップ リセット	0x000000	1	u	u	u	u	u	u	u
不正命令トラップ	0x000000	u	1	u	u	u	u	u	u

凡例: u = 変化なし

注 1: 有効な割り込みによるウェイクアップのときは、PC には対応する割り込みベクタがロードされます。

18.8 ウォッチ ドッグ タイマ (WDT)

18.8.1 ウォッチ ドッグ タイマの動作

ウォッチ ドッグ タイマ (WDT) の本来の機能は、ソフトウェア異常のイベントが起きたときにプロセッサをリセットすることです。WDT はフリーランのタイマで、オンチップの RC 発振器で動作し、なんら外付け部品を必要としません。したがって、WDT タイマは、メインプロセッサのクロック (例えばクリスタル発振器) が停止しても動作を継続します。

18.8.2 WDT の無効化と有効化

ウォッチ ドッグ タイマは、コンフィギュレーションレジスタ FWDTE 内のコンフィギュレーションビット (FWDTEN) によってのみ有効化あるいは無効化ができます。

FWDTEN = 1 とセットするとウォッチ ドッグ タイマが有効化されます。有効化はデバイス プログラミングのとき行われます。チップを消去したときのデフォルトでは、FWDTEN ビット = 1 です。dsPIC30F デバイスをプログラムできるどのデバイス プログラムでも、これとその他のコンフィギュレーションビットをプログラムできます。

WDT が有効化されると、オーバー フローするかタイムアウトするまでインクリメントします。WDT タイムアウトでデバイスをリセットします (スリープ中を除く)。WDT のタイムアウトを回避するには、ユーザーは CLRWDT 命令を使ってウォッチ ドッグ タイマをクリアする必要があります。

スリープ中に WDT がタイムアップすると、デバイスはウェイクアップとなります。RCON レジスタの WDTO ビットがクリアされ、WDT のタイムアウトによるウェイクアップであることを示します。

FWDTEN = 0 とすると、SWDTEN (RCON<5>) 制御ビットを使って、ユーザーソフトウェアによりウォッチ ドッグ タイマを有効/無効にできます。

18.9 省電力モード

2つの省電力モードがあり、特別な命令 PWRSAV を実行することで入ることができます。

スリープとアイドルがあります。

PWRSAV 命令のフォーマットは、下記となっています。

PWRSAV <parameter>

「parameter」でアイドルかスリープモードかを決めます。

18.9.1 スリープモード

スリープモードでは、CPU と周辺へのクロックが停止します。オンチップ発振器が使われているときも停止します。

フェールセーフクロックモニタは、スリープ中は機能しませんので、クロックモニタがないことになります。しかし、WDT がスリープ中も動作するようにしていれば、LPRC クロックだけはアクティブ状態を維持します。

少なくとも下記条件の一つが起きればプロセッサはスリープからウェイクアップします。

- 個別に有効化され優先レベルが高い割り込み
- すべてのリセット (POR と MCLR)
- WDT タイムアウト

スリープからウェイクアップすると、プロセッサはスリープモードに入る直前と同じクロックで動作を再開します。クロック切り替えが有効になっていれば、COSC<2:0> ビットがウェイクアップのとき使うクロック源を指定します。クロック切り替えが無効であれば、1つのシステムクロックだけとなります。

注: POR が起きたときの発振器の選択は、FOSC<2:0> と FOSCSEL<1:0> コンフィギュレーションビットに基づいて行われます。

クロック源が発振器のときは、デバイスへのクロックは、OST タイムアウトまでホールドされます (安定な発振になるまで)。PLL を使っていれば、システムクロックは、LOCK = 1 (PLL が安定になったことを示す) になるまでホールドされます。どちらの場合も、TPOR、TLOCK、TPWRT 遅延が適用されます。

EC か FRC 発振器を使う場合には、TPOR (~10 μs) が適用されます。この場合が、スリープからウェイクアップするときの最小の遅延となります。

さらにスリープ中に LP 発振器が有効になっていて、LP がウェイクアップ用に使われているときのスタートアップ遅延は、TPOR に等しくなります。PWRT 遅延と OST タイム遅延は適用されません。スリープからのウェイクアップ遅延を最小にするには、スリープに入る前にこの高速ウェイクアップのいずれかを選択しておく必要があります。

個別に有効化 (対応する IE ビットにより) され、優先レベルの有効な割り込みによりプロセッサをウェイクアップできます。プロセッサは割り込みを処理し、ISR へ分岐します。RCON レジスタのスリープステータスビットはウェイクアップにセットされます。

注: 種々の遅延 (TPOR、TLOCK、TPWRT) を適用したにもかかわらず、クリスタル発振器 (および PLL) がタイムアウト時点でアクティブでないことがあります (低い周波数のクリスタルの場合など)。このようなときは、FSCM を有効にしてデバイスがクロック不良を検出してクロック不良トラップを処理し、FRC 発振器に切り替えるようにすれば、ユーザーがクリスタル発振器を再起動できます。FSCM が無効だと、デバイスは単にコード実行をクロックが安定になるまで停止し、発振器のクロックが開始されるまでスリープ状態のままとなります。

どのリセットも、プロセッサをスリープモードからウェイクアップさせます。POR 以外のどのリセットもスリープビットをセットします。POR のときはスリープビットはクリアされます。

ウォッチ ドッグタイマが有効であれば、プロセッサが WDT のタイムアウトでスリープモードからウェイクアップさせます。スリープと WDTO ステータスビットの両方がセットされます。

18.9.2 アイドルモード

アイドルモードでは、CPUのクロックは停止しますが周辺のクロックは動作継続します。スリープモードと異なり、クロック源はアクティブなままです。

周辺は、モジュールごとにアイドルモード中の動作を有効とする制御ビットを持っています。

LPRC フェールセーフ用クロックは、クロック不良を検出しても動作継続します。

プロセッサは少なくとも下記条件の一つでウェイクアップします。

- 個別に有効化 (IE ビットを「1」) され優先レベルが有効な割り込み
- すべてのリセット (POR と $\overline{\text{MCLR}}$)
- WDT タイムアウト

アイドルモードからのウェイクアップのときは、クロックが CPU に再供給され、PWRSAV 命令に続く命令から、すぐ命令実行が始まります。

個別に有効化され (IE ビットで)、優先レベルの有効な割り込みによりプロセッサがウェイクアップされます。プロセッサは割り込みを処理し、ISR へ分岐します。ウェイクアップ時には RCON レジスタのアイドルステータスビットがセットされます。

POR を除くどのリセットでも、アイドルステータスビットがセットされます。POR のときはアイドルビットはクリアされます。

ウォッチドッグタイマが有効であれば、プロセッサは WDT タイムアウトでアイドルからウェイクアップさせられます。アイドルと WDT0 ステータスビットの両方がセットされます。

スリープからのウェイクアップと異なり、アイドルからのウェイクアップには何の遅延もありません。

18.10 デバイス コンフィギュレーションレジスタ

各デバイス コンフィギュレーションレジスタ内のコンフィギュレーションビットは、デバイスのモードを決めるもので、デバイスプログラマか、デバイスのインサーキットプログラミング (ICSP) 機能でプログラムされます。各デバイス コンフィギュレーションレジスタは 24 ビット幅ですが、下位 16 ビットのみコンフィギュレーションデータが保持されています。6 個のコンフィギュレーションレジスタが使えます。

1. FBS (0xF80000): ブートコードセグメントコンフィギュレーションレジスタ
2. FGS (0xF80004): 汎用コードセグメントコンフィギュレーションレジスタ
3. FOSCEL (0xF80006): 発振器選択コンフィギュレーションレジスタ
4. FOSC (0xF80008): 発振器コンフィギュレーションレジスタ
5. FWDT (0xF8000A): ウォッチドッグタイマコンフィギュレーションレジスタ
6. FPOR (0xF8000C): パワーオンリセットコンフィギュレーションレジスタ

コンフィギュレーションビット配置は、デバイスプログラマでデバイスを選択すると自動的に行われます。コンフィギュレーションビットの希望する状態は、ソースコード中に記述するか (使用する言語ツールによる)、またはプログラミングインターフェースを介して設定できます。デバイスがプログラミングされた後、アプリケーションソフトウェアでテーブル読み出し命令を使って、このコンフィギュレーションビット値を読み出すことができます。さらなる情報はデバイスのプログラミング仕様を参照して下さい。

注: コード保護コンフィギュレーションフューズビット (FGS レジスタの GSS<1:0> と GWRP) がプログラムされると、全コード保護されたデバイスは消去のみが VDD ≥ 4.5V で可能になります。

表 18-5 に dsPIC30F1010 の FGS と FBS レジスタの内容を示します。表 18-6 に dsPIC30F202x デバイスの FGS と FBS レジスタの内容を示します。表 18-7 に dsPIC30F1010/202X デバイスの FWDT と FPOR レジスタの内容を示します。

dsPIC30F1010/202X

表 18-5: dsPIC30F1010 の FGS と FBS ビットの説明

ビットフィールド	レジスタ	説明
BWRP	FBS	ブートセグメントプログラムフラッシュ書き込み保護 1 = ブートセグメント書き込み可 0 = ブートセグメント書き込み保護
BSS<2:0>	FBS	ブートセグメントプログラムフラッシュコード保護サイズ x11 = ブートプログラムフラッシュセグメントなし x00 = ブートプログラムフラッシュセグメントなし x01 = ブートプログラムフラッシュセグメントなし 110 = 標準セキュリティ; 小さなブートセグメント; ブートプログラムフラッシュセグメントは割り込みベクタセグメントの終わりから 0003FFH まで 010 = 高度セキュリティ; 小さなブートセグメント; ブートプログラムフラッシュセグメントは割り込みベクタセグメントの終わりから 0003FFH まで
GRWP	FGS	汎用セグメントプログラムフラッシュ書き込み保護 1 = 汎用セグメント書き込み可 0 = 汎用セグメント書き込み保護
GSS<1:0>	FGS	汎用セグメントプログラムフラッシュコード保護 11 = 保護なし 10 = 標準セキュリティ; 汎用プログラムフラッシュセグメントはブートセグメントの終わりから、プログラムフラッシュの終わりまで 0x = 予約

表 18-6: dsPIC30F202X の FGS と FBS ビットの説明

ビットフィールド	レジスタ	説明
BWRP	FBS	ブートセグメントプログラムフラッシュ書き込み保護 1 = ブートセグメント書き込み可 0 = ブートセグメント書き込み保護
BSS<2:0>	FBS	ブートセグメントプログラムフラッシュコード保護サイズ x11 = ブートプログラムフラッシュセグメントなし x00 = ブートプログラムフラッシュセグメントなし 110 = 標準セキュリティ; 小さなブートセグメント; ブートプログラムフラッシュセグメントは割り込みベクタセグメントの終わりから 0003FFH まで 010 = 高度セキュリティ; 小さなブートセグメント; ブートプログラムフラッシュセグメントは割り込みベクタセグメントの終わりから 0003FFH まで 101 = 標準セキュリティ; 小さなブートセグメント; ブートプログラムフラッシュセグメントは割り込みベクタセグメントの終わりから 000FFFH まで 001 = 高度セキュリティ; 小さなブートセグメント; ブートプログラムフラッシュセグメントは割り込みベクタセグメントの終わりから 000FFFH まで
GWRP	FGS	汎用セグメントプログラムフラッシュ書き込み保護 1 = 汎用セグメント書き込み可 0 = 汎用セグメント書き込み保護
GSS<1:0>	FGS	汎用セグメントプログラムフラッシュコード保護 11 = 保護なし 10 = 標準セキュリティ; 汎用プログラムフラッシュセグメントはブートセグメントの終わりから、プログラムフラッシュの終わりまで 0x = 予約

表 18-7: dsPIC30F1010/202X の FWDT と FPOR ビットの説明

ビットフィールド	レジスタ	説明
FWDTEN	FWDT	ウォッチ ドッグ タイマ有効化ビット 1 = ウォッチ ドッグ タイマを常に有効化 (LPRC 発振器は無効にできない。 RCON レジスタの SWDTEN ビットをクリアしても影響なし) 0 = ウォッチ ドッグ タイマの有効/無効はユーザー ソフトウェアによる (LPRC は TCON レジスタの SWDTEN ビットをクリアすることで無効にできる)
WWDTEN	FWDT	ウォッチ ドッグ タイマ ウィンドウ有効化ビット 1 = ウォッチ ドッグ タイマはウィンドウ モードにしない 0 = ウォッチ ドッグ タイマをウィンドウ モードにする
WDTPRE	FWDT	ウォッチ ドッグ タイマプリスケアラ ビット 1 = 1:128 0 = 1:32
WDTPOST<3:0>	FWDT	ウォッチ ドッグ タイマ ポストスケアラ ビット 1111 = 1:32, 768 1110 = 1:16, 384 . . . 0001 = 1:2 0000 = 1:1
FPWRT<2:0>	FPOR	パワー オンリセット タイマの値選択ビット 111 = PWRT = 128 ms 110 = PWRT = 64 ms 101 = PWRT = 32 ms 100 = PWRT = 16 ms 011 = PWRT = 8 ms 010 = PWRT = 4 ms 001 = PWRT = 2 ms 000 = PWRT = 無効

18.11 インサーキット デバッグ

MPLAB® ICD 2 がデバッガとして選択されたときは、インサーキット デバッグ機能が有効となります。この機能は MPLAB IDE と一緒に使ったとき簡単なデバッグ機能を発揮します。デバイスでこの機能を有効にすると、汎用用途のリソースの一部が使えなくなります。これらのリソースには RAM の最初の 80 バイトと、2 本の I/O ピンが含まれます。

デバッグ I/O ピンの 4 ペアの内 1 ペアが MPLAB IDE のコンフィギュレーション オプションにより選択できます。これらのピンペアは、EMUD/EMUC、EMUD1/EMUC1、EMUD2/EMUC2 と呼ばれています。

どの場合も選択された EMUD ピンがエミュレーション/デバッグのデータラインとなり、EMUC ピンがエミュレーション/デバッグ用クロックラインとなります。これらのピンはマイクロチップの MPLAB ICD 2 モジュールとのインターフェースとなります。

MPLAB ICD 2 はコマンドを送信して応答を受信し、同様にデータを送受信します。デバイスのインサーキット デバッグ機能を使うには、ICSP 接続となる設計をする必要があります。つまり、MCLR、VDD、VSS、PGC、PGD と選択した EMUDx/EMUCx ピンを接続します。

これには 2 つの方法があります。

1. EMUD/EMUC がデバッグ用 I/O ピンペアとして選択されたら、5 ピンだけのインターフェースだけが必要で、すべての dsPIC30F デバイスで EMUD と EMUC ピンは PGD と PGC ピン機能に切り替わります。
2. EMUD1/EMUC1 または EMUD2/EMUC2 がデバッグ I/O ピンペアとして選択されると、7 ピンのインターフェースが必要となり、EMUDx/EMUCx(x = 1 か 2) ピン機能は PGD と PGC ピン機能には切り替わりません。

表 18-8: dsPIC30F202X のシステム設定レジスタ マップ

SFR 名称	アドレス	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State	
RCON	0740	TRAPR	IOPUWR	—	—	—	—	—	—	EXTR	SWR	SWDTEN	WDTO	SLEEP	IDLE	—	POR	Depends on type of Reset.	
OSCCON	0742	—	COSC<2:0>			—	NOSC<2:0>			CLKLOCK	—	LOCK	PRCDEN	CF	TSEQEN	—	OSWEN	Depends on Configuration bits.	
OSCTUN	0748	TSEQ3<3:0>				TSEQ2<3:0>				TSEQ1<3:0>				TUN<3:0>				0000 0000 0000 0000	
OSCTUN2	074A	TSEQ7<3:0>				TSEQ6<3:0>				TSEQ5<3:0>				TSEQ4<3:0>				0000 0000 0000 0000	
LFSR	074C	—	LFSR<14:0>															0000 0000 0000 0000	
PMD1	0770	—	—	T3MD	T2MD	T1MD	—	PWMMD	—	I2CMD	—	U1MD	—	SPI1MD	—	—	ADCMD	0000 0000 0000 0000	
PMD2	0772	—	—	—	—	—	—	—	—	IC1MD	—	—	—	—	—	—	OC2MD	OC1MD	0000 0000 0000 0000
PMD3	0774	—	—	—	—	CMP_PSMD	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000

注: レジスタ フィールドの詳細説明は「dsPIC30F Family Reference Manual」(DS70046)を参照して下さい。

表 18-9: デバイス コンフィギュレーション レジスタ マップ

File Name	Addr.	Bits 23-16	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FBS	F80000	—	—	—	—	—	—	—	—	—	—	—	—	—	BSS<2:0>			BWRP
FGS	F80004	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GSS1	GSS0	GWRP
FOSCSEL	F80006	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FNOSC<1:0>	
FOSC	F80008	—	—	—	—	—	—	—	—	—	FCKSM<1:0>		FRANGE	—	—	OSCIOFNC	POSCMD<1:0>	
FWDT	F8000A	—	—	—	—	—	—	—	—	—	FWDTEN	WWDTEN	—	WDTPRE	WDTPOST<3:0>			
FPOR	F8000C	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FPWRT<2:0>		

注: レジスタ フィールドの詳細説明は「dsPIC30F Family Reference Manual」(DS70046)を参照して下さい。

第 19 章 命令セットまとめ

注: このデータシートは、dsPIC30F デバイスのこのグループの特性のまとめで、完全なリファレンス元となる訳ではありません。CPU、周辺、レジスタ説明や一般的なデバイス機能に関する情報を補うには、「dsPIC30F ファミリーリファレンス マニュアル」(DS70046) を参照して下さい。デバイスの命令セット、プログラミングに関する情報については「dsPIC30F/33F プログラマ用リファレンス マニュアル」(DS70157) を参照して下さい。

dsPIC30F の命令セットは従来の PIC[®] MCU 命令セットを大幅に強化を加えています。PIC MCU 命令セットからの移植は容易になっています。

大部分の命令が単一プログラム メモリ ワード (24 ビット) です。3 つの命令だけが 2 プログラム メモリ 位置を必要とします。

各単一ワードの命令は 24 ビットワードで、命令タイプを特定する 8 ビットのオペコードと、命令の動作をさらに特定する 1 個または 2 個のオペランドに分けられます。

命令セットは高度に直交し、5 つの基本カテゴリにグループ化されます。

- ワードまたはバイト指向の演算
- ビット指向の演算
- リテラル演算
- DSP 演算
- 制御動作

表 19-1 に命令説明用に使われる汎用記号を示します。

dsPIC30F 命令セットのまとめは、表 19-2 のリストで、すべての命令と、その命令により影響を受ける状態フラグとなります。

- 大部分のワードまたはバイト指向の W レジスタ命令は (バレルシフト命令を含む)、3 個のオペランドを持っています。
- 最初のソースオペランドは、通常アドレス修飾のない 'Wb' レジスタとなります
- 2 番目のソースオペランドは、通常アドレス修飾ありまたはなしの 'Ws' レジスタです。
- 結果の対象は、通常アドレス修飾ありまたはなしの 'Wd' レジスタです。

これに対し、ワードまたはバイト指向のファイルレジスタ命令は 2 個のオペランドとなります。

- ファイルレジスタは値 'f' で指定されます。
- 対象は、ファイルレジスタ 'f' か、'WREG' であらわす W0 レジスタの、どちらかとすることができます。

大部分のビット指向の命令は (単純な巡回 / シフト命令を含む)、2 個のオペランドを持っています。

- W レジスタ (アドレス修飾ありまたはなし) または、ファイルレジスタ (値 'Ws' か 'f' で指定)
- W レジスタまたはファイルレジスタのビット位置 (リテラル値かレジスタ 'Wb' の内容で間接的に指定)

リテラル命令はデータ移動を含み、下記オペランドのいくつかを使います。

- W レジスタかファイルレジスタにロードされるリテラル値 (値 'k' で指定)
- リテラル値がロードされる W レジスタかファイルレジスタ ('Wb' か 'f' で指定)

これに対し、リテラル命令には、下記オペランドを使った算術や論理演算を含むものがあります。

- 最初のソースオペランドはアドレス修飾なしのレジスタ 'Wb'
- 2 つ目のソースオペランドはリテラル値
- 結果の格納先は (最初のソースオペランドと異なる場合のみ)、通常アドレス修飾ありまたはなしのレジスタ 'Wd'

DSP 命令の MAC クラスは下記オペランドのいくつかを使います。

- 使用するアキュムレータ (A か B) (必須のオペランド)
- 2 つのオペランドとして使われる W レジスタ
- X と Y アドレス空間のプリフェッチ操作
- X と Y アドレス空間のプリフェッチ先
- アキュムレータの書き戻し先

他の DSP 命令は乗算を行わず下記を含みます。

- 使用するアキュムレータ (必須)
 - ソースまたは対象オペランド (それぞれ Wso か Wdo で指定)、アドレス修飾はありまたはなし
 - シフト数を W レジスタ 'Wn' かリテラル値で指定
- 制御命令は下記オペランドのいくつかを使います。
- プログラム メモリ アドレス
 - テーブル読み込みかテーブル書き込み命令のモード

全命令が 1 ワードですが、48 ビットですべての情報が有効になるようにしたダブルワード命令は除きます。2 ワード目の上位 8 ビットは '0' です。これで、この 2 ワード目が (それ自身が) 命令として実行されても NOP として実行されます。

dsPIC30F1010/202X

大部分の1ワード命令は、1サイクルで実行されますが、条件テストが真のときか、命令実行結果でプログラムカウンタが変更されるときを除きます。この場合には、NOP命令として実行されるサイクルが追加されるため、実行には2サイクルかかります。注意すべき例外はBRA(無条件/計算分岐)、間接CALL/GOTO、すべてのテーブル読み書き、RETURN/RETFIE命令で、これらは1ワード命令ですが2または3サイクルかかります。続く命令をスキップするような命令は、スキップするときには、スキップする命令が1ワード命

令か2ワード命令かによって、2または3サイクルを必要とします。さらに2ワード移動には2サイクル必要とします。ダブルワード命令は2命令サイクルで実行されます。

注：命令セットの詳細については、「dsPIC30F/33F Programmer's Reference Manual」(DS70157)を参照して下さい。

表 19-1: オペコード説明に使用される記号

フィールド	説明
#text	“text”によるリテラル定義の意
(text)	“textの内容”の意
[text]	“textによる位置アドレス”の意
{ }	オプションフィールドまたは動作
<n:m>	レジスタビットフィールド
.b	バイトモード選択
.d	ダブルワード選択
.s	シャドールレジスタ選択
.w	ワードモード選択(デフォルト)
Acc	1個または2個のアクキュムレータ {A, B}
AWB	アクキュムレータ書き戻し対象アドレスレジスタ $\mathbb{C}\{W13, [W13]+2\}$
bit4	4ビット幅のビット選択フィールド(ワードアドレスの命令で使用) $\mathbb{C}\{0..15\}$
C, DC, N, OV, Z	MCU状態ビット: キャリー, デジットキャリー, 負, オーバーフロー, ゼロ
Expr	絶対アドレス、ラベルまたは式(リンカで解決される)
f	ファイルレジスタアドレス $\mathbb{C}\{0x0000..0x1FFF\}$
lit1	1ビット符号なしリテラル $\mathbb{C}\{0,1\}$
lit4	4ビット符号なしリテラル $\mathbb{C}\{0..15\}$
lit5	5ビット符号なしリテラル $\mathbb{C}\{0..31\}$
lit8	8ビット符号なしリテラル $\mathbb{C}\{0..255\}$
lit10	10ビット符号なしリテラル \mathbb{C} バイトモードでは $\{0..255\}$, ワードモードでは $\{0:1023\}$
lit14	14ビット符号なしリテラル $\mathbb{C}\{0..16384\}$
lit16	16ビット符号なしリテラル $\mathbb{C}\{0..65535\}$
lit23	23ビット符号なしリテラル $\mathbb{C}\{0..8388608\}$; LSBは'0'でなければならない
None	入力が必要か、ブランクとするフィールド
OA, OB, SA, SB	DSP状態ビット: AccA オーバーフロー, AccB オーバーフロー, AccA 飽和, AccB 飽和
PC	プログラムカウンタ
Slit10	10ビット符号付きリテラル $\mathbb{C}\{-512..511\}$
Slit16	16ビット符号付きリテラル $\mathbb{C}\{-32768..32767\}$
Slit6	6ビット符号付きリテラル $\mathbb{C}\{-16..16\}$

表 19-1: オペコード説明に使用される記号 (つづき)

フィールド	説明
Wb	ベース W レジスタ $\in \{W0..W15\}$
Wd	対象 W レジスタ $\in \{Wd, [Wd], [Wd++] , [Wd--], [++Wd], [--Wd] \}$
Wdo	対象 W レジスタ $\in \{Wnd, [Wnd], [Wnd++] , [Wnd--], [++Wnd], [--Wnd], [Wnd+Wb] \}$
Wm, Wn	被除数、除数作業レジスタペア (直接アドレッシング)
Wm * Wm	2 乗命令用 被乗数、乗数作業レジスタ ペア $\in \{W4 * W4, W5 * W5, W6 * W6, W7 * W7\}$
Wm * Wn	DSP 命令用 被乗数、乗数作業レジスタ ペア $\in \{W4 * W5, W4 * W6, W4 * W7, W5 * W6, W5 * W7, W6 * W7\}$
Wn	16 個の作業レジスタの内の 1 つ $\in \{W0..W15\}$
Wnd	16 個の対象作業レジスタの内の 1 つ $\in \{W0..W15\}$
Wns	16 個のソース作業レジスタの内の 1 つ $\in \{W0..W15\}$
WREG	W0 (ファイルレジスタ命令で使う作業レジスタ)
Ws	ソース W レジスタ $\in \{Ws, [Ws], [Ws++] , [Ws--], [++Ws], [--Ws] \}$
Wso	ソース W レジスタ $\in \{Wns, [Wns], [Wns++] , [Wns--], [++Wns], [--Wns], [Wns+Wb] \}$
Wx	DSP 命令用の X データ空間プリフェッチ用アドレス レジスタ $\in \{[W8]_+ = 6, [W8]_+ = 4, [W8]_+ = 2, [W8], [W8]_- = 6, [W8]_- = 4, [W8]_- = 2, [W9]_+ = 6, [W9]_+ = 4, [W9]_+ = 2, [W9], [W9]_- = 6, [W9]_- = 4, [W9]_- = 2, [W9 + W12], \text{none}\}$
Wxd	DSP 命令用の X データ空間プリフェッチ用対象レジスタ $\in \{W4..W7\}$
Wy	DSP 命令用の Y データ空間プリフェッチ用アドレス レジスタ $\in \{[W10]_+ = 6, [W10]_+ = 4, [W10]_+ = 2, [W10], [W10]_- = 6, [W10]_- = 4, [W10]_- = 2, [W11]_+ = 6, [W11]_+ = 4, [W11]_+ = 2, [W11], [W11]_- = 6, [W11]_- = 4, [W11]_- = 2, [W11 + W12], \text{none}\}$
Wyd	DSP 命令用の Y データ空間プリフェッチ用対象レジスタ $\in \{W4..W7\}$

dsPIC30F1010/202X

表 19-2: INSTRUCTION SET OVERVIEW

基本命令 #	アセンブリ ニーモニッ ク	アセンブリ シンタックス	説 明	ワー ド数	サイク ル数	影響状態フラ グ
1	ADD	ADD Acc	アキュムレータの加算	1	1	OA,OB,SA,SB
		ADD f	$f = f + WREG$	1	1	C,DC,N,OV,Z
		ADD f, WREG	$WREG = f + WREG$	1	1	C,DC,N,OV,Z
		ADD #lit10, Wn	$Wd = lit10 + Wd$	1	1	C,DC,N,OV,Z
		ADD Wb, Ws, Wd	$Wd = Wb + Ws$	1	1	C,DC,N,OV,Z
		ADD Wb, #lit5, Wd	$Wd = Wb + lit5$	1	1	C,DC,N,OV,Z
		ADD Wso, #Slit4, Acc	16 ビット符号付きアキュムレータ加算	1	1	OA,OB,SA,SB
2	ADDC	ADDC f	$f = f + WREG + (C)$	1	1	C,DC,N,OV,Z
		ADDC f, WREG	$WREG = f + WREG + (C)$	1	1	C,DC,N,OV,Z
		ADDC #lit10, Wn	$Wd = lit10 + Wd + (C)$	1	1	C,DC,N,OV,Z
		ADDC Wb, Ws, Wd	$Wd = Wb + Ws + (C)$	1	1	C,DC,N,OV,Z
		ADDC Wb, #lit5, Wd	$Wd = Wb + lit5 + (C)$	1	1	C,DC,N,OV,Z
3	AND	AND f	$f = f .AND. WREG$	1	1	N,Z
		AND f, WREG	$WREG = f .AND. WREG$	1	1	N,Z
		AND #lit10, Wn	$Wd = lit10 .AND. Wd$	1	1	N,Z
		AND Wb, Ws, Wd	$Wd = Wb .AND. Ws$	1	1	N,Z
		AND Wb, #lit5, Wd	$Wd = Wb .AND. lit5$	1	1	N,Z
4	ASR	ASR f	f = 算術右シフト f	1	1	C,N,OV,Z
		ASR f, WREG	WREG = 算術右シフト f	1	1	C,N,OV,Z
		ASR Ws, Wd	Wd = 算術右シフト Ws	1	1	C,N,OV,Z
		ASR Wb, Wns, Wnd	Wnd = 算術右シフト Wb by Wns	1	1	N,Z
		ASR Wb, #lit5, Wnd	Wnd = 算術右シフト Wb by lit5	1	1	N,Z
5	BCLR	BCLR f, #bit4	ビットクリア f	1	1	None
		BCLR Ws, #bit4	ビットクリア Ws	1	1	None
6	BRA	BRA C, Expr	キャリーオンならジャンプ	1	1 (2)	None
		BRA GE, Expr	等しいかより大ならジャンプ	1	1 (2)	None
		BRA GEU, Expr	符号なしで等しいかより大ならジャンプ	1	1 (2)	None
		BRA GT, Expr	より大ならジャンプ	1	1 (2)	None
		BRA GTU, Expr	符号なしでより大ならジャンプ	1	1 (2)	None
		BRA LE, Expr	等しいかより小ならジャンプ	1	1 (2)	None
		BRA LEU, Expr	符号なしで等しいかより小ならジャンプ	1	1 (2)	None
		BRA LT, Expr	より小ならジャンプ	1	1 (2)	None
		BRA LTU, Expr	符号なしでより小ならジャンプ	1	1 (2)	None
		BRA N, Expr	負ならジャンプ	1	1 (2)	None
		BRA NC, Expr	キャリーオフならジャンプ	1	1 (2)	None
		BRA NN, Expr	負でなければジャンプ	1	1 (2)	None
		BRA NOV, Expr	オーバーフローでなければジャンプ	1	1 (2)	None
		BRA NZ, Expr	ゼロでなければジャンプ	1	1 (2)	None
		BRA OA, Expr	アキュムレータ A オーバーフローでジャンプ	1	1 (2)	None
		BRA OB, Expr	アキュムレータ B オーバーフローでジャンプ	1	1 (2)	None
		BRA OV, Expr	オーバーフローならジャンプ	1	1 (2)	None
		BRA SA, Expr	アキュムレータ A 飽和でジャンプ	1	1 (2)	None
		BRA SB, Expr	アキュムレータ B 飽和でジャンプ	1	1 (2)	None
		BRA Expr	無条件ジャンプ	1	2	None
BRA Z, Expr	ゼロならジャンプ	1	1 (2)	None		
BRA Wn	計算ジャンプ	1	2	None		
7	BSET	BSET f, #bit4	ビットセット f	1	1	None
		BSET Ws, #bit4	ビットセット Ws	1	1	None
8	BSW	BSW.C Ws, Wb	Ws<Wb> に C ビットを書く	1	1	None
		BSW.Z Ws, Wb	Ws<Wb> に Z ビットを書く	1	1	None
9	BTG	BTG f, #bit4	ビット逆転 f	1	1	None
		BTG Ws, #bit4	ビット逆転 Ws	1	1	None

表 19-2: INSTRUCTION SET OVERVIEW (つづき)

基本命令 #	アセンブリ ニーモニック	アセンブリ シンタックス	説明	ワード数	サイクル数	影響状態フラグ
10	BTSC	BTSC $f, \#bit4$	ビットテスト f , クリアならスキップ	1	1 (2 or 3)	None
		BTSC $Ws, \#bit4$	ビットテスト Ws , クリアならスキップ	1	1 (2 or 3)	None
11	BTSS	BTSS $f, \#bit4$	ビットテスト f , セットならスキップ	1	1 (2 or 3)	None
		BTSS $Ws, \#bit4$	ビットテスト Ws , セットならスキップ	1	1 (2 or 3)	None
12	BTST	BTST $f, \#bit4$	ビットテスト f	1	1	Z
		BTST.C $Ws, \#bit4$	ビットテスト Ws を C へ	1	1	C
		BTST.Z $Ws, \#bit4$	ビットテスト Ws を Z へ	1	1	Z
		BTST.C Ws, Wb	ビットテスト $Ws < Wb >$ を C へ	1	1	C
		BTST.Z Ws, Wb	ビットテスト $Ws < Wb >$ を Z へ	1	1	Z
13	BTSTS	BTSTS $f, \#bit4$	ビットテストして f へセット	1	1	Z
		BTSTS.C $Ws, \#bit4$	ビットテスト Ws を C へ、その後セット	1	1	C
		BTSTS.Z $Ws, \#bit4$	ビットテスト Ws を Z へ、その後セット	1	1	Z
14	CALL	CALL $lit23$	サブルーチン呼び出し	2	2	None
		CALL Wn	サブルーチン間接呼び出し	1	2	None
15	CLR	CLR f	$f = 0x0000$	1	1	None
		CLR WREG	WREG = $0x0000$	1	1	None
		CLR Ws	$Ws = 0x0000$	1	1	None
		CLR $Acc, Wx, Wxd, Wy, Wyd, AWB$	アキュムレータをクリア	1	1	OA,OB,SA,SB
16	CLRWDT	CLRWDT	ウォッチドッグ タイマをクリア	1	1	WDTO,Sleep
17	COM	COM f	$f = \bar{f}$	1	1	N,Z
		COM $f, WREG$	WREG = \bar{f}	1	1	N,Z
		COM Ws, Wd	$Wd = \bar{Ws}$	1	1	N,Z
18	CP	CP f	f と WREG を比較	1	1	C,DC,N,OV,Z
		CP $Wb, \#lit5$	Wb と $lit5$ を比較	1	1	C,DC,N,OV,Z
		CP Wb, Ws	Wb と Ws ($Wb - Ws$) を比較	1	1	C,DC,N,OV,Z
19	CP0	CP0 f	f と $0x0000$ を比較	1	1	C,DC,N,OV,Z
		CP0 Ws	Ws と $0x0000$ を比較	1	1	C,DC,N,OV,Z
20	CPB	CPB f	f と WREG とボローを比較	1	1	C,DC,N,OV,Z
		CPB $Wb, \#lit5$	Wb と $lit5$ とボローを比較	1	1	C,DC,N,OV,Z
		CPB Wb, Ws	Wb と Ws を比較しボローへ ($Wb - Ws - C$)	1	1	C,DC,N,OV,Z
21	CPSEQ	CPSEQ Wb, Wn	Wb と Wn を比較し、=ならスキップ	1	1 (2 or 3)	None
22	CPSGT	CPSGT Wb, Wn	Wb と Wn を比較し、>ならスキップ	1	1 (2 or 3)	None
23	CPSLT	CPSLT Wb, Wn	Wb と Wn を比較し、<ならスキップ	1	1 (2 or 3)	None
24	CPSNE	CPSNE Wb, Wn	Wb と Wn を比較し、 \neq ならスキップ	1	1 (2 or 3)	None
25	DAW	DAW Wn	$Wn = 10$ 進補正 Wn	1	1	C
26	DEC	DEC f	$f = f - 1$	1	1	C,DC,N,OV,Z
		DEC $f, WREG$	WREG = $f - 1$	1	1	C,DC,N,OV,Z
		DEC Ws, Wd	$Wd = Ws - 1$	1	1	C,DC,N,OV,Z
27	DEC2	DEC2 f	$f = f - 2$	1	1	C,DC,N,OV,Z
		DEC2 $f, WREG$	WREG = $f - 2$	1	1	C,DC,N,OV,Z
		DEC2 Ws, Wd	$Wd = Ws - 2$	1	1	C,DC,N,OV,Z
28	DISI	DISI $\#lit14$	k 命令サイクル間割り込み禁止	1	1	None
29	DIV	DIV.S Wm, Wn	符号付き 16/16 ビット整数除算	1	18	N,Z,C,OV
		DIV.SD Wm, Wn	符号付き 32/16 ビット整数除算	1	18	N,Z,C,OV
		DIV.U Wm, Wn	符号付き 16/16 ビット整数除算	1	18	N,Z,C,OV
		DIV.UD Wm, Wn	符号付き 32/16 ビット整数除算	1	18	N,Z,C,OV

dsPIC30F1010/202X

表 19-2: INSTRUCTION SET OVERVIEW (つづき)

基本命令 #	アセンブリ ニーモニッ ク	アセンブリ シンタク ス	説 明	ワー ド数	サイク ル数	影響状態フラ グ
30	DIVF	DIVF Wm, Wn	符号付き 16/16 ビット固定小数除算	1	18	N,Z,C, OV
31	DO	DO #lit14, Expr	Do コード PC + Expr まで, lit14 + 1 回	2	2	None
		DO Wn, Expr	Do コード PC + Expr まで, (Wn) + 1 回	2	2	None
32	ED	ED Wm * Wm, Acc, Wx, Wy, Wxd	ユークリアン距離 (積算なし)	1	1	OA,OB,OAB, SA,SB,SAB
33	EDAC	EDAC Wm * Wm, Acc, Wx, Wy, Wxd	ユークリアン距離	1	1	OA,OB,OAB, SA,SB,SAB
34	EXCH	EXCH Wns, Wnd	Wns と Wnd をスワップ	1	1	None
35	FBCL	FBCL Ws, Wnd	Left (MSB) 側からビット変化を見つける	1	1	C
36	FF1L	FF1L Ws, Wnd	Left (MSB) 側から最初を見つける	1	1	C
37	FF1R	FF1R Ws, Wnd	Right (LSB) 側から最初を見つける	1	1	C
38	GOTO	GOTO Expr	アドレスヘジャンプ	2	2	None
		GOTO Wn	間接ジャンプ	1	2	None
39	INC	INC f	f = f + 1	1	1	C,DC,N,OV,Z
		INC f, WREG	WREG = f + 1	1	1	C,DC,N,OV,Z
		INC Ws, Wd	Wd = Ws + 1	1	1	C,DC,N,OV,Z
40	INC2	INC2 f	f = f + 2	1	1	C,DC,N,OV,Z
		INC2 f, WREG	WREG = f + 2	1	1	C,DC,N,OV,Z
		INC2 Ws, Wd	Wd = Ws + 2	1	1	C,DC,N,OV,Z
41	IOR	IOR f	f = f . IOR. WREG	1	1	N,Z
		IOR f, WREG	WREG = f . IOR. WREG	1	1	N,Z
		IOR #lit10, Wn	Wd = lit10 . IOR. Wd	1	1	N,Z
		IOR Wb, Ws, Wd	Wd = Wb . IOR. Ws	1	1	N,Z
		IOR Wb, #lit5, Wd	Wd = Wb . IOR. lit5	1	1	N,Z
42	LAC	LAC Wso, #Slit4, Acc	アキュムレータにロード	1	1	OA,OB,OAB, SA,SB,SAB
43	LNK	LNK #lit14	フレームポインタにリンクする	1	1	None
44	LSR	LSR f	f = 論理右シフト f	1	1	C,N,OV,Z
		LSR f, WREG	WREG = 論理右シフト f	1	1	C,N,OV,Z
		LSR Ws, Wd	Wd = 論理右シフト Ws	1	1	C,N,OV,Z
		LSR Wb, Wns, Wnd	Wnd = Wb を Wns だけ論理右シフト	1	1	N,Z
		LSR Wb, #lit5, Wnd	Wnd = Wb を lit5 だけ論理右シフト	1	1	N,Z
45	MAC	MAC Wm * Wn, Acc, Wx, Wxd, Wy, Wyd, AWB	積和	1	1	OA,OB,OAB, SA,SB,SAB
		MAC Wm * Wm, Acc, Wx, Wxd, Wy, Wyd	2 乗し、積算	1	1	OA,OB,OAB, SA,SB,SAB
46	MOV	MOV f, Wn	Wn へ移動	1	1	None
		MOV f	f を f へ移動	1	1	N,Z
		MOV f, WREG	f を WREG へ移動	1	1	N,Z
		MOV #lit16, Wn	16 ビットリテラルを Wn へ移動	1	1	None
		MOV.b #lit8, Wn	8 ビットリテラルを Wn へ移動	1	1	None
		MOV Wn, f	Wn を f へ移動	1	1	None
		MOV Wso, Wdo	Ws を Wd へ移動	1	1	None
		MOV WREG, f	WREG を f へ移動	1	1	N,Z
		MOV.D Wns, Wd	ダブルを W(ns):W(ns + 1) から Wd へ移動	1	2	None
		MOV.D Ws, Wnd	ダブルを Ws から W(nd + 1):W(nd) へ移動	1	2	None
47	MOVSAC	MOVSAC Acc, Wx, Wxd, Wy, Wyd, AWB	アキュムレータのプリフェッチと格納	1	1	None
48	MPY	MPY Wm * Wn, Acc, Wx, Wxd, Wy, Wyd	Wm に Wn を乗じてアキュムレータへ	1	1	OA,OB,OAB, SA,SB,SAB
		MPY Wm * Wm, Acc, Wx, Wxd, Wy, Wyd	Wm を 2 乗してアキュムレータへ	1	1	OA,OB,OAB, SA,SB,SAB
49	MPY.N	MPY.N Wm * Wn, Acc, Wx, Wxd, Wy, Wyd	-(Wm と Wn の乗算) をアキュムレータへ	1	1	None

表 19-2: INSTRUCTION SET OVERVIEW (つづき)

基本命令 #	アセンブリ ニーモニク	アセンブリ シンタックス	説明	ワード数	サイクル数	影響状態フラグ
50	MSC	MSC Wm * Wm, Acc, Wx, Wxd, Wy, Wyd, AWB	乗算しアキュムレータから減算する	1	1	OA,OB,OAB, SA,SB,SAB
51	MUL	MUL.SS Wb, Ws, Wnd	{Wnd + 1, Wnd} = signed(Wb) * signed(Ws)	1	1	None
		MUL.SU Wb, Ws, Wnd	{Wnd + 1, Wnd} = signed(Wb) * unsigned(Ws)	1	1	None
		MUL.US Wb, Ws, Wnd	{Wnd + 1, Wnd} = unsigned(Wb) * signed(Ws)	1	1	None
		MUL.UU Wb, Ws, Wnd	{Wnd + 1, Wnd} = unsigned(Wb) * unsigned(Ws)	1	1	None
		MUL.SU Wb, #lit5, Wnd	{Wnd + 1, Wnd} = signed(Wb) * unsigned(lit5)	1	1	None
		MUL.UU Wb, #lit5, Wnd	{Wnd + 1, Wnd} = unsigned(Wb) * unsigned(lit5)	1	1	None
52	NEG	NEG Acc	アキュムレータを負にする	1	1	OA,OB,OAB, SA,SB,SAB
		NEG f	$f = \bar{f} + 1$	1	1	C,DC,N,OV,Z
		NEG f, WREG	$WREG = \bar{f} + 1$	1	1	C,DC,N,OV,Z
		NEG Ws, Wd	$Wd = \bar{Ws} + 1$	1	1	C,DC,N,OV,Z
53	NOP	NOP	何もせず	1	1	None
		NOPR	何もせず	1	1	None
54	POP	POP f	スタックトップ (TOS) からポップ	1	1	None
		POP Wdo	スタックトップ (TOS) から Wdo へポップ	1	1	None
		POP.D Wnd	スタックトップ (TOS) から W(nd):W(nd+1) へポップ	1	2	None
		POP.S	シャドウ レジスタのポップ	1	1	All
55	PUSH	PUSH f	スタックトップ (TOS) へプッシュ	1	1	None
		PUSH Wso	スタックトップ (TOS) へ Wso をプッシュ	1	1	None
		PUSH.D Wns	スタックトップ (TOS) へ W(ns):W(ns+1) を プッシュ	1	2	None
		PUSH.S	シャドウ レジスタをプッシュ	1	1	None
56	PWRSVAV	PWRSVAV #lit1	スリープからアイドルモードにする	1	1	WDTO,Sleep
57	RCALL	RCALL Expr	相対 Call	1	2	None
		RCALL Wn	計算 Call	1	2	None
58	REPEAT	REPEAT #lit14	次の命令を lit14 + 1 回繰り返す	1	1	None
		REPEAT Wn	次の命令を (Wn) + 1 回繰り返す	1	1	None
59	RESET	RESET	ソフトウェア デバイス リセット	1	1	None
60	RETFIE	RETFIE	割り込みからリターン	1	3 (2)	None
61	RETLW	RETLW #lit10, Wn	Wn にリテラルを持ってリターン	1	3 (2)	None
62	RETURN	RETURN	サブルーチン リターン	1	3 (2)	None
63	RLC	RLC f	f = f をキャリーを通して左回転	1	1	C,N,Z
		RLC f, WREG	WREG = f をキャリーを通して左回転	1	1	C,N,Z
		RLC Ws, Wd	Wd = Ws をキャリーを通して左回転	1	1	C,N,Z
64	RLNC	RLNC f	f = f を左回転 (キャリーなし)	1	1	N,Z
		RLNC f, WREG	WREG = f を左回転 (キャリーなし)	1	1	N,Z
		RLNC Ws, Wd	Wd = Ws を左回転 (キャリーなし)	1	1	N,Z
65	RRC	RRC f	f = f をキャリーを通して右回転	1	1	C,N,Z
		RRC f, WREG	WREG = f をキャリーを通して右回転	1	1	C,N,Z
		RRC Ws, Wd	Wd = Ws をキャリーを通して右回転	1	1	C,N,Z
66	RRNC	RRNC f	f = f を右回転 (キャリーなし)	1	1	N,Z
		RRNC f, WREG	WREG = f を右回転 (キャリーなし)	1	1	N,Z
		RRNC Ws, Wd	Wd = Ws を右回転 (キャリーなし)	1	1	N,Z
67	SAC	SAC Acc, #Slit4, Wdo	アキュムレータに保存	1	1	None
		SAC.R Acc, #Slit4, Wdo	まるめてアキュムレータに保存	1	1	None
68	SE	SE Ws, Wnd	Wnd = 符号拡張 Ws	1	1	C,N,Z
69	SETM	SETM f	f = 0xFFFF	1	1	None
		SETM WREG	WREG = 0xFFFF	1	1	None
		SETM Ws	Ws = 0xFFFF	1	1	None

dsPIC30F1010/202X

表 19-2: INSTRUCTION SET OVERVIEW (つづき)

基本命令 #	アセンブリ ニーモニッ ク	アセンブリ シンタックス	説 明	ワー ド数	サイク ル数	影響状態フラ グ
70	SFTAC	SFTAC Acc, Wn	アキュムレータを (Wn) だけ算術シフト	1	1	OA,OB,OAB, SA,SB,SAB
		SFTAC Acc, #Slit6	アキュムレータを Slit6 だけ算術シフト	1	1	OA,OB,OAB, SA,SB,SAB
71	SL	SL f	$f = f$ を左シフト	1	1	C,N,OV,Z
		SL f, WREG	$WREG = f$ を左シフト	1	1	C,N,OV,Z
		SL Ws, Wd	$Wd = Ws$ を左シフト	1	1	C,N,OV,Z
		SL Wb, Wns, Wnd	$Wnd = Wb$ を Wns だけ左シフト	1	1	N,Z
		SL Wb, #lit5, Wnd	$Wnd = Wb$ を lit5 だけ左シフト	1	1	N,Z
72	SUB	SUB Acc	アキュムレータを減算	1	1	OA,OB,OAB, SA,SB,SAB
		SUB f	$f = f - WREG$	1	1	C,DC,N,OV,Z
		SUB f, WREG	$WREG = f - WREG$	1	1	C,DC,N,OV,Z
		SUB #lit10, Wn	$Wn = Wn - lit10$	1	1	C,DC,N,OV,Z
		SUB Wb, Ws, Wd	$Wd = Wb - Ws$	1	1	C,DC,N,OV,Z
		SUB Wb, #lit5, Wd	$Wd = Wb - lit5$	1	1	C,DC,N,OV,Z
73	SUBB	SUBB f	$f = f - WREG - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBB f, WREG	$WREG = f - WREG - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBB #lit10, Wn	$Wn = Wn - lit10 - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBB Wb, Ws, Wd	$Wd = Wb - Ws - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBB Wb, #lit5, Wd	$Wd = Wb - lit5 - (\overline{C})$	1	1	C,DC,N,OV,Z
74	SUBR	SUBR f	$f = WREG - f$	1	1	C,DC,N,OV,Z
		SUBR f, WREG	$WREG = WREG - f$	1	1	C,DC,N,OV,Z
		SUBR Wb, Ws, Wd	$Wd = Ws - Wb$	1	1	C,DC,N,OV,Z
		SUBR Wb, #lit5, Wd	$Wd = lit5 - Wb$	1	1	C,DC,N,OV,Z
75	SUBBR	SUBBR f	$f = WREG - f - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBBR f, WREG	$WREG = WREG - f - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBBR Wb, Ws, Wd	$Wd = Ws - Wb - (\overline{C})$	1	1	C,DC,N,OV,Z
		SUBBR Wb, #lit5, Wd	$Wd = lit5 - Wb - (\overline{C})$	1	1	C,DC,N,OV,Z
76	SWAP	SWAP.b Wn	$Wn = Wn$ のニブルスワップ	1	1	None
		SWAP Wn	$Wn = Wn$ のバイトスワップ	1	1	None
77	TBLRDH	TBLRDH Ws, Wd	Prog<23:16> を Wd<7:0> へ読み出す	1	2	None
78	TBLRDL	TBLRDL Ws, Wd	Prog<15:0> を Wd へ読み出す	1	2	None
79	TBLWTH	TBLWTH Ws, Wd	Ws<7:0> を Prog<23:16> へ書き込む	1	2	None
80	TBLWTL	TBLWTL Ws, Wd	Ws を Prog<15:0> へ書き込む	1	2	None
81	ULNK	ULNK	フレーム ポインタとのリンクをはずす	1	1	None
82	XOR	XOR f	$f = f .XOR. WREG$	1	1	N,Z
		XOR f, WREG	$WREG = f .XOR. WREG$	1	1	N,Z
		XOR #lit10, Wn	$Wd = lit10 .XOR. Wd$	1	1	N,Z
		XOR Wb, Ws, Wd	$Wd = Wb .XOR. Ws$	1	1	N,Z
		XOR Wb, #lit5, Wd	$Wd = Wb .XOR. lit5$	1	1	N,Z
83	ZE	ZE Ws, Wnd	$Wnd = Zero-Extend Ws$	1	1	C,Z,N

第 20 章 開発サポート

PIC[®] マイクロコントローラは、全範囲のハードウェアとソフトウェア開発ツールでサポートされています。

- 統合開発環境
 - MPLAB[®] IDE ソフトウェア
- アセンブラ/コンパイラ/リンカ
 - MPASM[™] アセンブラ
 - MPLAB C18 と MPLAB C30 C コンパイラ
 - MPLINK[™] オブジェクトリンカ/
MPLIB[™] オブジェクトライブラリアン
 - MPLAB ASM30 アセンブラ/リンカ/ライブラリ
- シミュレータ
 - MPLAB SIM ソフトウェア シミュレータ
- エミュレータ
 - MPLAB ICE 2000 インサーキット エミュレータ
 - MPLAB ICE 4000 インサーキット エミュレータ
- インサーキット デバッグ
 - MPLAB ICD 2
- デバイス プログラマ
 - PICSTART[®] Plus 開発用 プログラマ
 - MPLAB PM3 デバイス プログラマ
 - PICkit[™] 2 開発用 プログラマ
- 低コストのデモおよび開発用ボードと評価キット

20.1 MPLAB 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアは、ソフトウェア開発に、従来の 8/16 ビットのマイクロコントローラ市場で見られなかった容易さをもたらします。MPLAB IDE は Windows[®] オペレーティング システムベースのアプリケーションで下記を含んでいます。

- 全デバッグ ツールが単一のグラフィカル インターフェース
 - シミュレータ
 - プログラマ (別売り)
 - エミュレータ (別売り)
 - インサーキット デバッグ (別売り)
- 内容を色分けするフル機能のエディタ
- マルチプロジェクト マネージャ
- 直接内容変更可能なカスタマイズできるデータ ウィンドウ
- 上位レベルのソース コード デバッグ
- ビジュアル デバイス イニシャライザによるレジスタ初期化の容易化
- マウスオーバによる変数チェック
- ソース内変数をウォッチ ウィンドウへドラッグドロップ
- 豊富なオンライン ヘルプ
- 厳選したサードパーティ ツールの組込み、例えば HI-TECH ソフトウェア C コンパイラと IAR C コンパイラ

MPLAB IDE は下記機能を持っています。

- ソース ファイルの編集 (アセンブラか C)
- ワンタッチ アセンブル (またはコンパイル) と PICmicro MCU エミュレータやシミュレータ ツールへのダウンロード (全プロジェクト情報を自動更新)
- 下記によるデバッグ
 - ソース ファイル (アセンブラか C)
 - アセンブラと C 混在
 - 機械語

MPLAB IDE は単一の開発の枠組みで、複合したデバッグ ツールをサポートします。コスト効果の高いシミュレータや、低コストのインサーキット デバッグ、フル機能のエミュレータなどです。これで、より柔軟性と能力を上げるためにツールをアップグレードするときでも、習熟のための時間を解消します。

20.2 MPASM アセンブラ

MPASM アセンブラはフル機能で、全 PICmicro MCU 用の汎用マクロアセンブラです。

MPASM アセンブラは、MPLINK オブジェクト リンカ用のリロケータブルなオブジェクト ファイル、Intel® 標準 HEX ファイル、メモリ利用詳細とシンボル リファレンス用の MAP ファイル、ソース ラインと生成された機械語コードを含む絶対アドレスの LST ファイル、デバッグ用の COFF ファイルを生成します。

MPASM アセンブラは下記機能を持っています。

- MPLAB IDE プロジェクトへの統合
- ユーザー定義のマクロでアセンブリ コードの簡素化
- ソース ファイル多目的化用の条件付きアセンブル
- アセンブリ プロセスを完璧に制御できる擬似命令

20.3 MPLAB C18 と MPLAB C30 C コンパイラ

MPLAB C18 と MPLAB C30 コード開発システムは、マイクロチップの PIC18 マイクロコントローラ ファミリー用と、dsPIC30、dsPIC33、PIC24 デジタル シグナル コントローラ ファミリー用の ANSI C 完全準拠の C コンパイラです。これらのコンパイラは、他のコンパイラには見られない強力な統合能力、優れたコード最適化、容易な使用方法を提供します。

容易なソース レベル デバッグのため、コンパイラは MPLAB IDE デバッガ用に最適化したシンボル情報を提供します。

20.4 MPLINK オブジェクト リンカ / MPLIB オブジェクト ライブラリアン

MPLINK オブジェクト リンカは、MPASM アセンブラや、MPLAB C18 C コンパイラで生成されたリロケータブルなオブジェクト を結合します。それはリンカ スクリプトの擬似命令を使って、コンパイル済みのライブラリからリロケータブルなオブジェクト をリンクすることができます。

MPLIB オブジェクト ライブラリアンは、コンパイル済みコードのライブラリ ファイルの作成や修正を行います。ライブラリ内のルーチンがソース ファイルで呼ばれたときは、そのルーチンを含むモジュールだけがアプリケーションにリンクされます。これにより、大きなライブラリを多くの異なるアプリケーションで効果的に使用できるようにします。

オブジェクト リンカ / ライブラリは下記機能を持っています。

- 多数の小ファイル群の代わりに 1 つのライブラリから効果的にリンク
- 関連するモジュールをグループ化することでコード保守性を向上
- 簡単なモジュールのリスト化、置換、削除、展開によりライブラリの柔軟な作成

20.5 MPLAB ASM30 アセンブラ、リンカ、ライブラリアン

MPLAB ASM30 アセンブラは、dsPIC30F デバイス用のシンボリック アセンブラ言語から、リロケータブルな機械語を生成します。MPLAB C30 C コンパイラは、オブジェクト ファイルの生成にアセンブラを使います。アセンブラはリロケータブルなオブジェクト ファイルを生成しますが、それらは、保管されたり、他のリロケータブルオブジェクト ファイルとリンクして実行ファイルを生成するため保管されます。

アセンブラの特徴的な機能は下記となります。

- dsPIC30F の全命令セットをサポート
- 固定小数と浮動小数のデータをサポート
- コマンドライン インターフェース
- 豊富な擬似命令セット
- 柔軟なマクロ言語
- MPLAB IDE 互換

20.6 MPLAB SIM ソフトウェア シミュレータ

MPLAB SIM ソフトウェア シミュレータは、PC をホストとする環境でのコード開発で、PIC MCU や dsPIC® DSC の命令レベルでのシミュレーションを可能とします。すべての命令で、データ領域調査や、変更ができ、広範囲なステイミュラス コントローラから刺激を加えることもできます。レジスタは長時間の実行解析のためにファイルにログすることが可能です。トレースバッファとロジック アナライザ表示は、プログラム実行や I/O、さらに大部分の周辺や内部レジスタの動きを記録し、追跡することでシミュレータの能力をより拡張します。

MPLAB SIM ソフトウェア シミュレータは、MPLAB C18 や MPLAB C30 C コンパイラ、さらに MPASM や MPLAB ASM30 アセンブラを使ったシンボリックなデバッグをフルサポートします。ソフトウェア シミュレータは、ハードウェア実験室の環境なしで、柔軟なコードの開発とデバッグができるようにする優れた、経済的なソフトウェア開発ツールです。

20.7 MPLAB ICE 2000

高性能インサーキット エミュレータ

MPLAB ICE 2000 インサーキット エミュレータは、製品開発技術者に PIC マイクロコントローラ用の完璧なマイクロコントローラ設計ツールセットを提供するものです。MPLAB ICE 2000 インサーキット エミュレータのソフトウェア制御は、MPLAB 統合開発環境によって拡張され、編集、ビルド、ダウンロード、ソース デバッグを単一の環境で可能にします。

MPLAB ICE 2000 はフル機能のエミュレータ システムで、高度なトレース、トリガ、データ モニタ機能を持っています。交換可能なプロセッサ モジュールにより、異なったプロセッサのエミュレーション用に、簡単にシステムを再構成できます。この MPLAB ICE 2000 インサーキット エミュレータのアーキテクチャは、新たな PIC マイクロコントローラのサポートも可能とします。

MPLAB ICE 2000 インサーキット エミュレータ システムは、通常はるかに高価な開発ツールに見られる高度な機能を持つリアルタイム エミュレーション システムとして設計されたものです。この機能を簡単に単一のアプリケーションとして最適に作るため、PC プラットフォームと Microsoft® Windows® の 32 ビットオペレーティング システムが選択されました。

20.8 MPLAB REAL ICE インサーキット エミュレータ システム

MPLAB REAL ICE インサーキット エミュレータ システムは、マイクロチップの次世代の高速エミュレータで、マイクロチップのフラッシュ DSC® と MCU デバイス用です。簡単な使い方と各キットに含まれる MPLAB 統合開発環境 (IDE) の強力なグラフィカルユーザー インターフェースで PIC® と dsPIC® のデバッグとプログラムを行います。

MPLAB REAL ICE プロローブは設計技術者の PC と高速の USB 2.0 インターフェースで接続し、よく使われている MPLAB ICD2 システムと互換のコネクタ (RJ11) か、新しい高速でノイズに強い低電圧差動信号 (LVDS) の相互接続 (CAT5) によるか、いずれかによりターゲットと接続します。

MPLAB REAL ICE は、MPLAB IDE 内にあるあらたなファームウェアに現場でアップグレードできるようになっています。これからリリースされる MPLAB IDE で新デバイスがサポートされ、ソフトウェアブレイクポイントとか、アセンブリ コードのトレースなどの新機能が追加されます。MPLAB REAL ICE は、競合のエミュレータに対し大きな優位性をもたらします。それには、安価であること、フルスピードのエミュレーションができること、リアルタイムでの変数監視、トレース解析、複合ブレイクポイント、端子によるプロローブ インターフェース、長い (最長 3 メートル) 接続ケーブルなどがあります。

20.9 MPLAB ICD 2

インサーキット デバッガ

マイクロチップのインサーキット デバッガである MPLAB ICD 2 は、強力で低コストの実時間用開発ツールで、ホスト PC と RS-232 か高速 USB インターフェースで接続します。このツールは、フラッシュ PIC MCU をベースにしており、これらおよび他の PIC MCU や dsPIC DSC 用の開発に使うことができます。MPLAB ICD 2 はフラッシュ デバイスに組み込めるインサーキット デバッグ能力が有用です。このマイクロチップのインサーキット シリアルプログラミング™ (ICSP™) プロトコル機能は、コスト効果が高く、MPLAB 統合開発環境によるグラフィカル ユーザー インターフェースのインサーキット フラッシュ デバッグを提供します。これで、設計者が、ソースコードの開発やデバッグを、ブレイクポイント設定や単一ステップにより、変数や CPU 状態、周辺用レジスタを監視しながら実行できます。フルスピードで実行させることでハードウェアやアプリケーションをリアルタイムでテストできます。また、MPLAB ICD 2 は選択した PIC デバイス用の開発用プログラマとしても使用できます。

20.10 MPLAB PM3 デバイス プログラマ

MPLAB PM3 デバイス プログラマはユニバーサルで、VDDMIN と VDDMAX のプログラマブルな電圧検査によって信頼性を最大にする CE 対応デバイス プログラマです。その特徴として、大型 LCD 表示器 (128 x 64) にメニューやエラー メッセージを表示し、モジュラー型の取り外せるソケット アセンブリで、多種類のパッケージ タイプをサポートしています。また、ICSP™ ケーブル アセンブリを標準アイテムに含んでいます。スタンドアロンモードでは、PC との接続なしで、MPLAB PM3 デバイス プログラマで、PIC デバイスの読み出し、ベリファイ、プログラムができます。また、このモードでコード プロテクトができます。MPLAB PM3 はホスト PC と RS-232 か USB ケーブルで接続します。この MPLAB PM3 は、大容量メモリ デバイスを高速プログラミングするため、高速通信と最適化アルゴリズムを持っています。そして、ファイル保存とセキュアなデータ アプリケーション用に SD/MMC カードを組み込んでいます。

20.11 PICSTART Plus 開発用プログラマ

PICSTART Plus 開発用プログラマは、使いやすく安価なプロトタイプ用プログラマです。PC とは COM (RS-232) ポートで接続します。MPLAB 統合開発環境ソフトウェアがプログラマを簡単に効率的に使えるようにします。PICSTART Plus 開発用プログラマは、DIP パッケージで 40 ピンまでの PIC デバイスの大部分をサポートしています。PIC16C92X や PIC17C76X のような多ピンのデバイスもアダプタ ソケットでサポートしています。PICSTART Plus 開発用プログラマは CE 対応です。

20.12 PICkit 2 開発用プログラマ

PICkit™ 2 開発用プログラマは、多くのマイクロチップのベースライン、ミッドレンジ、PIC18F ファミリのフラッシュ メモリ マイクロコントローラのプログラミングに、容易に使用可能なインターフェースを持つ安価なプログラマです。PICkit 2 Starter Kit には、プロトタイピング用開発ボード、12 種の順序レッスン、ソフトウェアと HI-TECH 社の PICC™ Lite C コンパイラも含んでいて、PIC® マイクロコントローラを手早く使えるよう設計されたものです。キットは、マイクロチップの強力なミッドレンジのフラッシュ メモリ ファミリのマイクロコントローラを使って、アプリケーションの開発、プログラム、そして評価に必要なすべてを提供します。

20.13 デモ用および開発用評価ボード

多くの PIC MCU や dsPIC DSC 用の、多種類のデモ用および開発評価用のボードにより、フル機能のアプリケーションを素早く開発できます。通常、ボードがプロトタイピング用の領域を持っていて、カスタム化回路が追加でき、試験や変更用のアプリケーションファームウェアとソースコードを提供しています。

ボードは多数の機能をサポートし、LED、温度センサ、スイッチ、スピーカ、RS-232 インターフェース、LCD 表示器、可変抵抗、追加 EEPROM メモリなどを含んでいます。

デモ用および開発用ボードは、環境の教育や、カスタム回路のプロトタイピング、多くのマイクロコントローラ アプリケーションの学習用として使うことができます。

PICDEM™ や dsPICDEM™ デモ用 / 開発用ボードシリーズの回路に加えて、マイクロチップは評価キットのラインやデモ用ソフトウェアを持っています。それらには、アナログフィルタ デザイン、KEELOQ® セキュリティ IC、CAN、IrDA®、PowerSmart® バッテリ管理、SEEVAL® 評価システム、シグマデルタ ADC、流量センサ、その他多数が含まれます。

マイクロチップのウェブ ページ (www.microchip.com) をご覧いただき、最新の「Product Selector Guide」(DS00148) で、デモ用および開発評価用キットの全リストを確認して下さい。

第 21 章 電気的特性

本章では dsPIC30F の電気的特性の全般について説明します。追加情報は、それが可能になった時点で、本文書の改版として提供します。

dsPIC30F のアーキテクチャとコアの詳細情報については、「dsPIC30F Family Reference Manual」(DS70046) を参照して下さい。

このデバイスファミリの絶対最大定格を下記に示します。長時間この最大定格を超える状態とすると、デバイスの信頼性に影響を与えることがあります。本仕様書に記載された動作で示されたパラメータを超えるいかなる条件でも、デバイスの機能的な動作を定めたものではありません。

絶対最大定格 (†)

動作時周囲温度	-40 °C ~ +85 °C
保存温度	-65 °C ~ +150 °C
すべてのピンの VSS に対する電圧 (VDD と MCLR を除く) (1)	-0.3V ~ (VDD + 0.3V)
VSS に対する VDD 電圧	-0.3V ~ +5.5V
MCLR の VSS に対する電圧 (1)	-0.3V to (VDD + 0.3V)
VSS ピンの最大出力電流	300 mA
VDD ピンの最大入力電流 (注 2)	300 mA
入力クランプ電流、I _{IK} (V _I < 0 か V _I > VDD)	±20 mA
出力クランプ電流、I _{OK} (V _O < 0 か V _O > VDD)	±20 mA
すべての I/O ピンの最大シンク電流	25 mA
すべての I/O ピンの最大ソース電流	25 mA
すべてのポートの最大シンク電流	200 mA
すべてのポートの最大ソース電流 (注 2)	200 mA

注 1: MCLR/VPP に対する VSS 以下のスパイク電圧は、80 mA 以上の電流を流すことになりラッチアップを引き起こします。そこで、MCLR/VPP ピンに低い電圧が加わるような場合は、直接 VSS へプルダウンするより 50-100Ω の直列抵抗を使う必要があります。

注 2: 最大許容電流はデバイスの最大消費電力の関数となります。表 21-2 を参照。

† 注意: 上記の「絶対最大定格」を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを規定するものであり、この仕様の動作条件に記載する規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを最大定格状態にすると、デバイスの信頼性に影響を与えることがあります。

21.1 DC 特性

表 21-1: 電圧による最大動作 MIPS

VDD 範囲	温度範囲	最大 MIPS	
		dsPIC30FXXX-30I	dsPIC30FXXX-20E
4.5-5.5V	-40 °C ~ 85 °C	30	—
4.5-5.5V	-40 °C ~ 125 °C	—	20
3.0-3.6V	-40 °C ~ 85 °C	20	—
3.0-3.6V	-40 °C ~ 125 °C	—	15

dsPIC30F1010/202X

表 21-2: 動作温度条件

定 格	記号	Min	Typ	Max	単位
dsPIC30F1010/202X-30I					
接合部動作温度範囲	T _J	-40		+125	°C
動作周囲温度範囲	T _A	-40		+85	°C
dsPIC30F1010/202X-20E					
接合部動作温度範囲	T _J	-40		+150	°C
動作周囲温度範囲	T _A	-40		+125	°C
消費電力: 内部チップの消費電力: $P_{INT} = V_{DD} \times (I_{DD} - \sum I_{OH})$ I/O ピン消費電力: $P_{I/O} = \sum (\{V_{DD} - V_{OH}\} \times I_{OH}) + \sum (V_{OL} \times I_{OL})$	PD			P _{INT} + P _{I/O}	W
最大許容消費電力	PD _{MAX}			(T _J - T _A) / θ _{JA}	W

表 21-3: パッケージ熱特性

特 性	記号	Typ	Max	単位	注
パッケージ熱抵抗, 28 ピン SOIC (SO)	θ _{JA}	48.3		°C / W	1, 2
パッケージ熱抵抗, 28 ピン QFN	θ _{JA}	33.7		°C / W	1, 2
パッケージ熱抵抗, 28 ピン SPDIP (SP)	θ _{JA}	42		°C / W	1, 2
パッケージ熱抵抗, 44 ピン QFN	θ _{JA}	28		°C / W	1, 2
パッケージ熱抵抗, 44 ピン TQFP	θ _{JA}	39.3		°C / W	1, 2

注 1: 接合部と周囲の熱抵抗、Theta-ja (θ_{JA}) 数値はパッケージのシミュレーションで求めたものです。

2: 動作条件によっては、熱特性を改善するため空冷が必要になります。

表 21-4: DC 特性と温度、電圧の仕様

DC 特性		標準動作条件: 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ T _A ≤ +85°C 拡張品 -40°C ≤ T _A ≤ +125°C				
パラメータ No.	記号	特 性	Min	Typ ⁽¹⁾	Max	単位 条件
動作電圧 ⁽²⁾						
DC10	V _{DD}	供給電圧	3.0	—	5.5	V 工業温度品
DC11	V _{DD}	供給電圧	3.0	—	5.5	V 拡張温度品
DC12	V _{DR}	RAM データ保持電圧 ⁽³⁾	—	1.5	—	V
DC16	V _{POR}	V _{DD} 開始電圧 内部パワーオンリセット信号 が確定する	—	V _{SS}	—	V
DC17	S _{VDD}	V _{DD} 立ち上り比率 内部パワーオンリセット信号 が確定する	0.05			V/ms 0-5V で 0.1 sec 以内 0-3.3V で 60 ms 以内

注 1: "Typ" 欄のデータは、記載のない限り 5V、25°C における値です。パラメータは設計ガイド用のみでテストは実施していない

2: これらのパラメータは特性値であって製品テストは実施していない

3: これは、RAM データを失うことなく下げられる V_{DD} の限界値です。

表 21-5: DC 特性：動作電流 (IDD)

DC 特性			標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C 拡張品 -40 °C ≤ TA ≤ +125 °C		
パラメータ No.	Typical ⁽¹⁾	Max	単位	条件	
動作電流 (IDD) ⁽²⁾					
DC20a	13	16	mA	25 °C	3.3V FRC、3.2 MIPS、PLL 無効
DC20b	14	16	mA	85 °C	
DC20c	14	17	mA	125 °C	
DC20d	22	26	mA	25 °C	
DC20e	22	26	mA	85 °C	
DC20f	22	27	mA	125 °C	
DC22a	19	22	mA	25 °C	3.3V FRC、4.9 MIPS、PLL 無効
DC22b	19	23	mA	85 °C	
DC22c	19	23	mA	125 °C	
DC22d	30	36	mA	25 °C	
DC22e	30	37	mA	85 °C	
DC22f	31	37	mA	125 °C	
DC23a	27	33	mA	25 °C	3.3V FRC、7.3 MIPS、PLL 無効
DC23b	28	33	mA	85 °C	
DC23c	28	34	mA	125 °C	
DC23d	44	53	mA	25 °C	
DC23e	45	53	mA	85 °C	
DC23f	45	54	mA	125 °C	
DC24a	66	79	mA	25 °C	3.3V FRC、13 MIPS、PLL 有効
DC24b	67	80	mA	85 °C	
DC24c	68	81	mA	125 °C	
DC24d	108	129	mA	25 °C	
DC24e	109	130	mA	85 °C	
DC24f	110	131	mA	125 °C	
DC26a	98	118	mA	25 °C	3.3V FRC、20 MIPS、PLL 有効
DC26b	99	118	mA	85 °C	
DC26d	159	191	mA	25 °C	
DC26e	160	192	mA	85 °C	
DC26f	161	193	mA	125 °C	
DC27d	222	267	mA	25 °C	
DC27e	223	267	mA	85 °C	

注 1: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

2: 供給電流は主に動作電圧と周波数の関数です。他の因子は、I/O ピンの負荷とスイッチングレート、発振器タイプ、内部コード実行パターン、温度で、これらはまた消費電流にも影響を与えます。すべての IDD 計測のテスト条件は下記となっています。

- 全 I/O ピンは出力とし、Vss に接続。
- MCLR = VDD、WDT と FSCM は無効化
- CPU、SRAM、プログラムメモリ、データメモリは動作状態
- 周辺モジュールはどれも動作せず

dsPIC30F1010/202X

表 21-5: DC 特性：動作電流 (IDD) (CONTINUED)

DC 特性			標準動作条件：3.3V と 5.0V (±10%) (特記のない限り)			
			動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C			
			拡張品 -40 °C ≤ TA ≤ +125 °C			
パラメータ No.	Typical ⁽¹⁾	Max	単位	条件		
動作電流 (IDD)⁽²⁾						
DC28a	96	116	mA	25 °C	3.3V	EC、20 MIPS、PLL 有効
DC28b	97	116	mA	85 °C		
DC28d	157	188	mA	25 °C	5V	
DC28e	158	189	mA	85 °C		
DE28f	159	191	mA	125 °C		
DC29d	227	273	mA	25 °C	5V	
DC29e	228	273	mA	85 °C		

注 1: “Typ” 欄のデータは、記載のない限り 5V、25 °Cにおける値です。パラメータは設計ガイド用のみでテストは実施していない

2: 供給電流は主に動作電圧と周波数の関数です。他の因子は、I/O ピンの負荷とスイッチング レート、発振器タイプ、内部コード実行パターン、温度で、これらはまた消費電流にも影響を与えます。すべての IDD 計測のテスト条件は下記となっています。

- 全 I/O ピンは出力とし、Vss に接続。

- MCLR = VDD、WDT と FSCM は無効化

- CPU、SRAM、プログラムメモリ、データメモリは動作状態

- 周辺モジュールはどれも動作せず

表 21-6: DC 特性：アイドル電流 (IDLE)

DC 特性		標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C 拡張品 -40 °C ≤ TA ≤ +125 °C		
パラメータ No.	Typical ⁽¹⁾	Max	単位	条 件
アイドル電流 (IDLE): コアはオフ、クロックはオン時のベースとなる電流 ⁽²⁾				
DC40a	8	9	mA	25 °C
DC40b	8	9	mA	85 °C
DC40c	8	10	mA	125 °C
DC40d	12	15	mA	25 °C
DC40e	13	15	mA	85 °C
DC40f	13	16	mA	125 °C
DC42a	10	12	mA	25 °C
DC42b	11	13	mA	85 °C
DC42c	11	13	mA	125 °C
DC42d	17	20	mA	25 °C
DC42e	17	21	mA	85 °C
DC42f	18	21	mA	125 °C
DC43a	15	18	mA	25 °C
DC43b	15	18	mA	85 °C
DC43c	15	18	mA	125 °C
DC43d	24	29	mA	25 °C
DC43e	24	29	mA	85 °C
DC43f	25	30	mA	125 °C
DC44a	44	53	mA	25 °C
DC44b	45	54	mA	85 °C
DC44c	46	55	mA	125 °C
DC44d	72	87	mA	25 °C
DC44e	73	88	mA	85 °C
DC44f	74	89	mA	125 °C
DC46a	66	79	mA	25 °C
DC46b	67	80	mA	85 °C
DC46d	108	129	mA	25 °C
DC46e	109	131	mA	85 °C
DC45f	110	132	mA	125 °C
DC47d	152	182	mA	25 °C
DC47e	153	183	mA	85 °C

注 1: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

注 2: ベースとなる IDLE 電流は、コアはオフ、クロックはオン、全モジュールオフでの計測値です。全 I/O ピンは入力に構成し High にプルアップ。WDT その他はオフ。

dsPIC30F1010/202X

表 21-6: DC 特性：アイドル電流 (IDLE) (CONTINUED)

DC 特性			標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$			
パラメータ No.	Typical ⁽¹⁾	Max	単位	条件		
アイドル電流 (IDLE): コアはオフ、クロックはオン時のベースとなる電流 ⁽²⁾						
DC48a	65	78	mA	25 °C	3.3V	EC、20 MIPS、PLL 有効
DC48b	66	79	mA	85 °C		
DC48d	105	127	mA	25 °C	5V	
DC48e	107	128	mA	85 °C		
DC48f	108	130	mA	125 °C		
DC49d	155	186	mA	25 °C	5V	
DC49e	156	187	mA	85 °C		

注 1: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

注 2: ベースとなる IDLE 電流は、コアはオフ、クロックはオン、全モジュールオフでの計測値です。全 I/O ピンは入力に構成し High にプルアップ。WDT その他はオフ。

表 21-7: DC 特性：省電力時の電流 (IPD)

DC 特性		標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C			
パラメータ No.	Typical ⁽¹⁾	Max	単位	条件	
Power-Down Current (IPD)					
DC60a	1.2	2.4	mA	25 °C	3.3V 基本の省電力時の電流 ⁽²⁾
DC60b	1.2	2.4	mA	85 °C	
DC60c	1.3	2.6	mA	125 °C	
DC60e	2.1	4.2	mA	25 °C	
DC60f	2.1	4.2	mA	85 °C	
DC60g	2.3	4.6	mA	125 °C	
DC61a	15	30	μA	25 °C	5V ウォッチドッグタイマ電流：ΔI _{WDT} ⁽³⁾
DC61b	14	30	μA	85 °C	
DC61c	14	30	μA	125 °C	
DC61e	30	60	μA	25 °C	
DC61f	29	60	μA	85 °C	
DC61g	30	60	μA	125 °C	

注 1: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

2: ベースとなる IPD は、全周辺とクロックがオフでの計測値です。全 I/O ピンは入力に構成して High にプルアップ。WDT その他はオフ。

3: Δ 電流はモジュールを有効にしたときに追加で消費される電流です。この電流はベースとなる IPD 電流に加算される。

dsPIC30F1010/202X

表 21-8: DC 特性：I/O ピン入力仕様

DC 特性			標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
パラメータ No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件
DI10	V _{IL}	入力 Low 電圧 ⁽²⁾ I/O ピン： シュミットトリガバッファ付き	V _{SS}	—	0.2 V _{DD}	V	SMbus 無効 SMbus 有効
DI15		MCLR	V _{SS}	—	0.2 V _{DD}	V	
DI16		OSC1 (HS モードにて)	V _{SS}	—	0.2 V _{DD}	V	
DI18		SDA、SCL	V _{SS}	—	0.3 V _{DD}	V	
DI19		SDA、SCL	V _{SS}	—	0.2 V _{DD}	V	
DI20	V _{IH}	入力 High 電圧 ⁽²⁾ I/O ピン： シュミットトリガバッファ付き	0.8 V _{DD}	—	V _{DD}	V	SMbus 無効 SMbus 有効
DI25		MCLR	0.8 V _{DD}	—	V _{DD}	V	
DI26		OSC1 (HS モードにて)	0.7 V _{DD}	—	V _{DD}	V	
DI28		SDA、SCL	0.7 V _{DD}	—	V _{DD}	V	
DI29		SDA、SCL	0.8 V _{DD}	—	V _{DD}	V	
DI50	I _{IL}	入力リーク電流 ⁽²⁾⁽³⁾⁽⁴⁾ I/O ポート	—	0.01	±1	μA	V _{SS} ≤ V _{PIN} ≤ V _{DD} 、 ピンはハイインピーダンス
DI51		アナログ入力ピン	—	0.50	—	μA	V _{SS} ≤ V _{PIN} ≤ V _{DD} 、 ピンはハイインピーダンス
DI55		MCLR	—	0.05	±5	μA	V _{SS} ≤ V _{PIN} ≤ V _{DD}
DI56		OSC1	—	0.05	±5	μA	V _{SS} ≤ V _{PIN} ≤ V _{DD} 、 HS 発振モード

注 1: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない。

2: これらのパラメータは特性値であって製品テストは実施していない

3: MCLR ピンのリーク電流は、適用される電圧レベルに大きく依存します。仕様のレベルは標準動作条件での値です。異なる入力電圧では、より大きなリーク電流が計測されることがあります。

4: 負電流は、ピンから電流が供給される場合として定義されています。

表 21-9: DC 特性：I/O ピン出力仕様

DC 特性			標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
パラメータ No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件			
DO10	VOL	出力 Low 電圧 ⁽²⁾	—	—	0.6	V	IOL = 8.5 mA, VDD = 5V			
		I/O ポート			TBD	V		IOL = 2.0 mA, VDD = 3.3V		
DO16		OSC2/CLKO	—	—	0.6	V	IOL = 1.6 mA, VDD = 5V			
		(RC か EC 発振モード)			TBD	V		IOL = 2.0 mA, VDD = 3.3V		
DO20	VOH	出力 High 電圧 ⁽²⁾	VDD - 0.7	—	—	V	IOH = -3.0 mA, VDD = 5V			
		I/O ポート	TBD	—	—	V		IOH = -2.0 mA, VDD = 3.3V		
DO26		OSC2/CLKO	VDD - 0.7	—	—	V	IOH = -1.3 mA, VDD = 5V			
		(RC か EC 発振モード)	TBD	—	—	V		IOH = -2.0 mA, VDD = 3.3V		
DO50	Cosc2	出力ピンの容量付加仕様 ⁽²⁾	—	—	15	pF	OSC1 を駆動するために外部クロックを使うときは HS モード			
DO56	Cio	全 I/O ピンと OSC2 ピン						50	pF	RC か EC 発振モードで
DO58	CB	SCL、SDA						400	pF	I ² C モードで

凡例：TBD = 将来決定

注1：“Typ” 欄のデータは、記載のない限り 5V、25°C における値です。パラメータは設計ガイド用のみでテストは実施していない

2: これらのパラメータは特性値であって製品テストは実施していない

表 21-10: DC 特性：プログラムと EEPROM

DC 特性			標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
パラメータ No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件
D130	EP	プログラムフラッシュメモリ ⁽²⁾	10K	100K	—	E/W	V _{MIN} = 最低動作電圧
D131	VPR	セル書き換え耐性					
D132	VEB	読み出し時 VDD	V _{MIN}	—	5.5	V	
D133	VPEW	バルク イレーズ時 VDD	4.5	—	5.5	V	
D134	TPEW	イレーズ / 書き込み時 VDD	3.0	—	5.5	V	
D134	TPEW	イレーズ / 書き込みサイクル時間	—	2	—	ms	
D135	TRETD	特性保持時間	40	100	—	年	他の仕様は満たしているものとする
D136	TEB	ICSP ブロック イレーズ時間	—	4	—	ms	行イレーズ
D137	IPEW	プログラミング時の IDD	—	10	30	mA	
D138	IEB	プログラミング時の IDD	—	10	30	mA	

注1：“Typ” 欄のデータは、記載のない限り 5V、25°C における値です。

2: これらのパラメータは特性値であって製品テストは実施していない

dsPIC30F1010/202X

21.2 AC 特性とタイミングパラメータ

本章に含まれる情報は dsPIC30F AC 特性とタイミングのパラメータです。

表 21-11: 温度と電圧の仕様 – AC

AC 特性	標準動作条件 : 3.3V と 5.0V ($\pm 10\%$)
	(特記のない限り)
	動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
	拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
	動作電圧 V_{DD} の範囲は第 21 章の DC 特性に記述された範囲とする

図 21-1: デバイスタイミング仕様に対する負荷条件

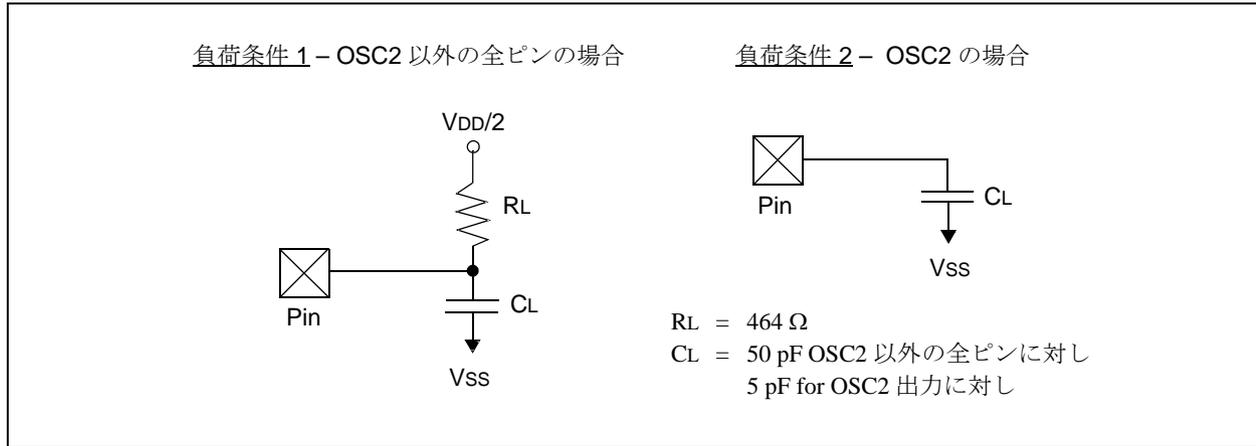


図 21-2: 外部クロックタイミング

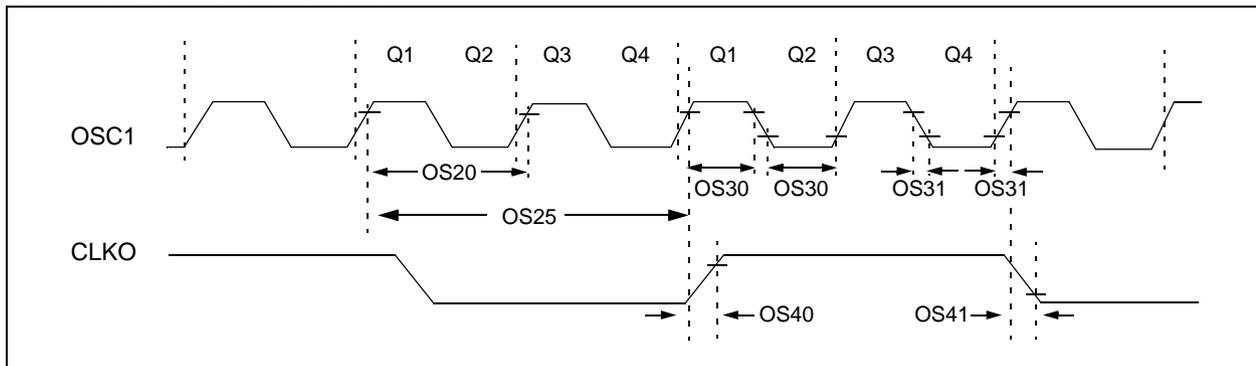


表 21-12: 外部クロックタイミングの必要条件

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
パラメータ No.	記号	特性	Min	Typ ⁽¹⁾	Max	単位	条件
OS10	FIN	外部 CLKI 周波数 ⁽²⁾ (外部クロックはECモードでのみ可能)	6 6	— —	15.00 15.00	MHz MHz	EC 32x PLL 付き EC
		発振周波数 ⁽²⁾	6 6	— —	15.00 15.00	MHz MHz	HS 内蔵 FRC
OS20	TOSC	Tosc = 1/Fosc ⁽³⁾	16.5	—	DC	ns	
OS25	Tcy	命令サイクルタイム ⁽²⁾⁽⁴⁾	33	—	DC	ns	
OS30	TosL、 TosH	(OSC1) への外部クロック ⁽²⁾ High または Low 時間	.45 x Tosc	—	—	ns	EC
OS31	TosR、 TosF	(OSC1) への外部クロック ⁽²⁾ 立上りと立下り時間	—	—	20	ns	EC
OS40	TckR	CLKO 立上り時間 ⁽²⁾⁽⁵⁾	—	6	10	ns	
OS41	TckF	CLKO 立下り時間 ⁽²⁾⁽⁵⁾	—	6	10	ns	

注 1: “Typ” 欄のデータは、記載のない限り 5V、25℃における値です。パラメータは設計ガイド用のみでテストは実施していない

2: これらのパラメータは特性値であって製品テストは実施していない

3: PLL が無効のときは、発振周波数 (Fosc) は FIN に等しい。PLL が有効のときの Fosc は 4 x FIN に等しい

4: 命令サイクル周期 (Tcy) は、入力発振器のタイムベースの 2 倍に等しくなる。すべての規定値は標準動作条件で、特定の発振タイプにおいて、デバイスがコード実行しているときの特性データに基づいている。この規定制限値を超えると、不安定な発振動作や、期待と異なる消費電流となることがある。全デバイスで OSC1/CLKI ピンに “Min” 値の外部クロックを適用したときの動作をテストしている。外部クロック入力を使うときには、“Max” サイクルタイム限界は、全デバイスで “DC” (クロックなし) となる

5: 計測は EC モードで実施されています。CLKO 信号は OSC2 ピンで計測されている

dsPIC30F1010/202X

表 21-13: PLL クロックタイミング仕様 (VDD = 3.0 と 5.0V)

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C					
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
OS50	FPLLI	PLL 入力周波数範囲 ⁽²⁾	6	—	15	MHz	PLL x32 付き EC、HS モード
OS51	FSYS	オンチップ PLL 出力 ⁽²⁾	192	—	480	MHz	PLL x32 付き EC、HS モード
OS52	TLOC	PLL スタートアップ時間 (ロック時間)	—	20	50	μs	
OS53	DCLK	CLKO 安定度 (ジッタ)	—	—	1	%	100 ms 周期以上で計測

注 1: これらのパラメータは特性値であって製品テストは実施していない

注 2: “Typ” 欄のデータは、記載のない限り 5V、25°C における値です。パラメータは設計ガイド用のみでテストは実施していない

表 21-14: 内蔵クロックタイミング例

クロック 発振モード	F _{IN} (MHz) ⁽¹⁾	T _{CY} (μsec) ⁽²⁾	MIPS ⁽³⁾ PLL なし	MIPS ⁽⁴⁾ PLL x32 付き
EC	10	0.2	5.0	20
	15	0.133	7.5	30
HS	10	0.2	5.0	20
	15	0.133	7.5	30

注 1: 発振器ポストスケーラを 1 分周と仮定

注 2: 命令実行サイクルタイム: T_{CY} = 1/MIPS

注 3: PLL なしの際の命令実行周波数: MIPS = F_{IN}/2 (命令サイクルごとに 2 Q クロック必要なため)

注 4: PLL 付きの際の命令実行周波数: MIPS = (F_{IN} * 2)

表 21-15: AC 特性 : 内蔵 RC の精度

AC 特性		標準動作条件 : 3.3V と 5.0V ($\pm 10\%$) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
パラメータ No.	特性	Min	Typ	Max	単位	条件	
内蔵 FRC 精度 @ FRC 周波数 = 6.4 MHz ⁽¹⁾							
	FRC	-0.06	—	+0.06	%	+25 °C	VDD = 3.0-3.6V
		-0.06	—	+0.06	%	+25 °C	VDD = 4.5-5.5V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	VDD = 3.0-3.6V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	VDD = 4.5-5.5V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	VDD = 4.5-5.5V
内蔵 FRC 精度 @ FRC 周波数 = 9.7 MHz ⁽¹⁾							
	FRC	-0.06	—	+0.06	%	+25 °C	VDD = 3.0-3.6V
		-0.06	—	+0.06	%	+25 °C	VDD = 4.5-5.5V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	VDD = 3.0-3.6V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	VDD = 4.5-5.5V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	VDD = 4.5-5.5V
内蔵 FRC 精度 @ FRC 周波数 = 14.55 MHz ⁽¹⁾							
	FRC	-0.06	—	+0.06	%	+25 °C	VDD = 3.0-3.6V
		-0.06	—	+0.06	%	+25 °C	VDD = 4.5-5.5V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	VDD = 3.0-3.6V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	VDD = 4.5-5.5V
		-1	—	+1	%	$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	VDD = 4.5-5.5V

注 1: 周波数較正は 25 °C、5V で実施。TUN ビットは温度ドリフトを補正するために使う

dsPIC30F1010/202X

表 21-16: AC 特性 : 内蔵 RC ジッタ

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C					
パラメータ No.	特性	Min	Typ	Max	単位	条件	
内蔵 FRC ジッタ @ FRC 周波数 = 6.4 MHz ⁽¹⁾							
	FRC	-1	—	+1	%	+25 °C	VDD = 3.0-3.6V
		-1	—	+1	%	+25 °C	VDD = 4.5-5.5V
		-1	—	+1	%	-40 °C ≤ TA ≤ +85 °C	VDD = 3.0-3.6V
		-1	—	+1	%	-40 °C ≤ TA ≤ +85 °C	VDD = 4.5-5.5V
		-1	—	+1	%	-40 °C ≤ TA ≤ +125 °C	VDD = 4.5-5.5V
内蔵 FRC ジッタ @ FRC 周波数 = 9.7 MHz ⁽¹⁾							
	FRC	-1	—	+1	%	+25 °C	VDD = 3.0-3.6V
		-1	—	+1	%	+25 °C	VDD = 4.5-5.5V
		-1	—	+1	%	-40 °C ≤ TA ≤ +85 °C	VDD = 3.0-3.6V
		-1	—	+1	%	-40 °C ≤ TA ≤ +85 °C	VDD = 4.5-5.5V
		-1	—	+1	%	-40 °C ≤ TA ≤ +125 °C	VDD = 4.5-5.5V
内蔵 FRC ジッタ @ FRC 周波数 = 14.55 MHz ⁽¹⁾							
	FRC	-1	—	+1	%	+25 °C	VDD = 3.0-3.6V
		-1	—	+1	%	+25 °C	VDD = 4.5-5.5V
		-1	—	+1	%	-40 °C ≤ TA ≤ +85 °C	VDD = 3.0-3.6V
		-1	—	+1	%	-40 °C ≤ TA ≤ +85 °C	VDD = 4.5-5.5V
		-1	—	+1	%	-40 °C ≤ TA ≤ +125 °C	VDD = 4.5-5.5V

注 1: 周波数較正は 25 °C、5V で実施。TUN ビットは温度ドリフトを補正するために使う

図 21-3: CLKO と I/O のタイミング特性

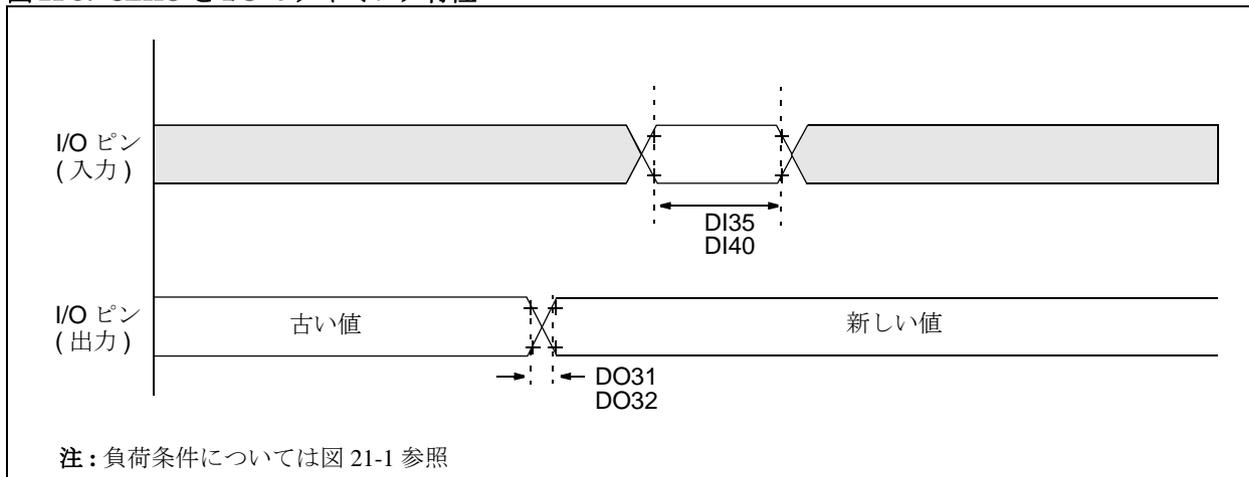


表 21-17: CLKO と I/O タイミング要件

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C					
パラメータ No.	記号	特性 (1)(2)	Min	Typ ⁽³⁾	Max	単位	条件
DO31	TioR	ポート出力立ち上がり時間	—	10	25	ns	—
DO32	TioF	ポート出力立ち下り時間	—	10	25	ns	—
DI35	TINP	INTx ピン High または Low 時間 (出力)	20	—	—	ns	—
DI40	TRBP	CNx High または Low 時間 (入力)	2 TCY	—	—	ns	—

注 1: これらのパラメータは非同期のイベント時でどの内部クロック エッジとも関係していない

2: これらのパラメータは特性値であって製品テストは実施していない

3: “Typ” 欄のデータは、記載のない限り 5V、25°C における値

dsPIC30F1010/202X

図 21-4: リセット、ウォッチドッグ タイマ、発振器スタートアップ タイマ、パワーアップ タイマ タイミング特性

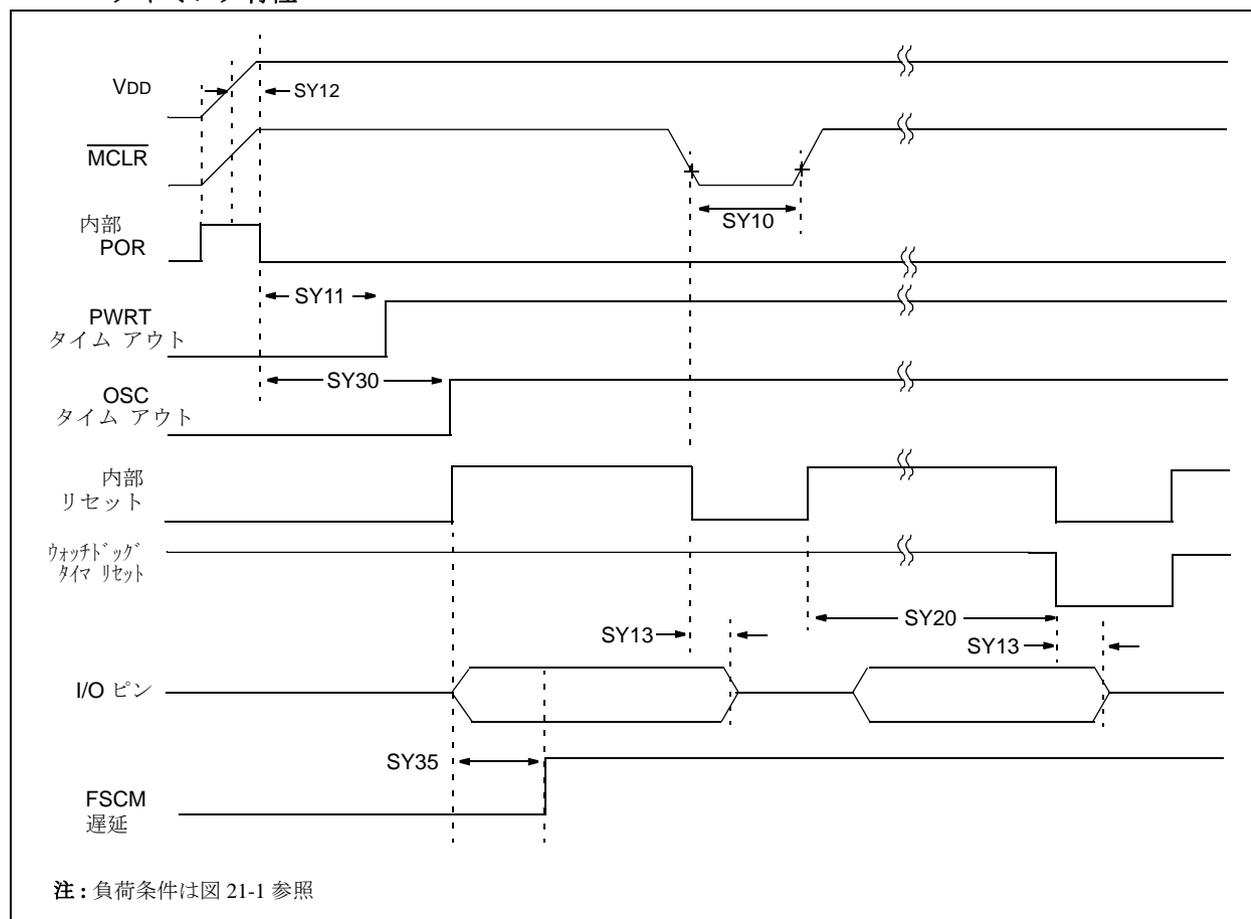


表 21-18: リセット、ウォッチドッグタイマ、発振器スタートアップタイマ、パワーアップタイマ
ブラウンアウトリセットタイミング要件

AC 特性			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq \text{Ta} \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq \text{Ta} \leq +125^{\circ}\text{C}$				
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
SY10	TmCL	MCLR パルス幅 (low)	2	—	—	μs	-40 °C ~ +125 °C
SY11	TPWRT	パワーアップ タイマ周期	0.75 1.5 3 6 12 24 48 96	1 2 4 8 16 32 64 128	1.25 2.5 5 10 20 40 80 160	ms	-40 °C ~ +125 °C ユーザー プログラマブル
SY12	TPOR	パワーオン リセット遅延	3	10	30	μs	-40 °C ~ +125 °C
SY13	TioZ	MCLR Low またはウォッチドッグ タイマ リセットから I/O ハイインピーダンスまで	—	0.8	1.0	μs	
SY20	TWDT1	ウォッチドッグ タイマ タイムアウト周期 (プリスケアラなし)	1.4	2.1	2.8	ms	VDD = 5V、-40 °C ~ +125 °C
	TWDT2		1.4	2.1	2.8	ms	VDD = 3.3V、-40 °C ~ +125 °C
SY30	TOST	発振器スタートアップタイマ周期	—	1024 ToSC	—	—	ToSC = OSC1 周期
SY35	TfSCM	フェールセーフクロック モニタ遅延	—	500	—	μs	-40 °C ~ +125 °C

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。

dsPIC30F1010/202X

図 21-5: バンドギャップスタートアップタイム特性

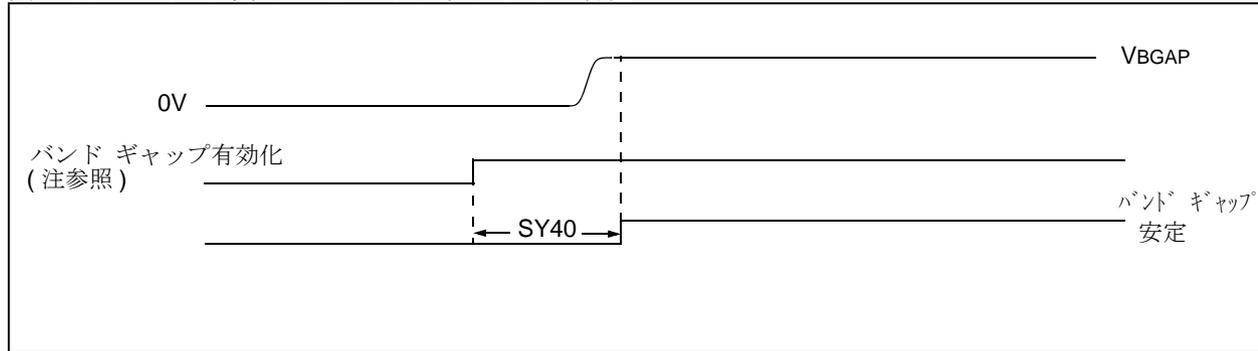


表 21-19: バンドギャップスタートアップタイム要件

AC 特性			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
SY40	TBGAP	バンドギャップスタートアップ時間	—	40	65	μs	バンドギャップが有効化されてから、バンドギャップが安定になるまでの時間として定義 RCON<13> ステータス ビット

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25 °Cにおける値です。

図 21-6: タイマ外部クロック タイミング 特性

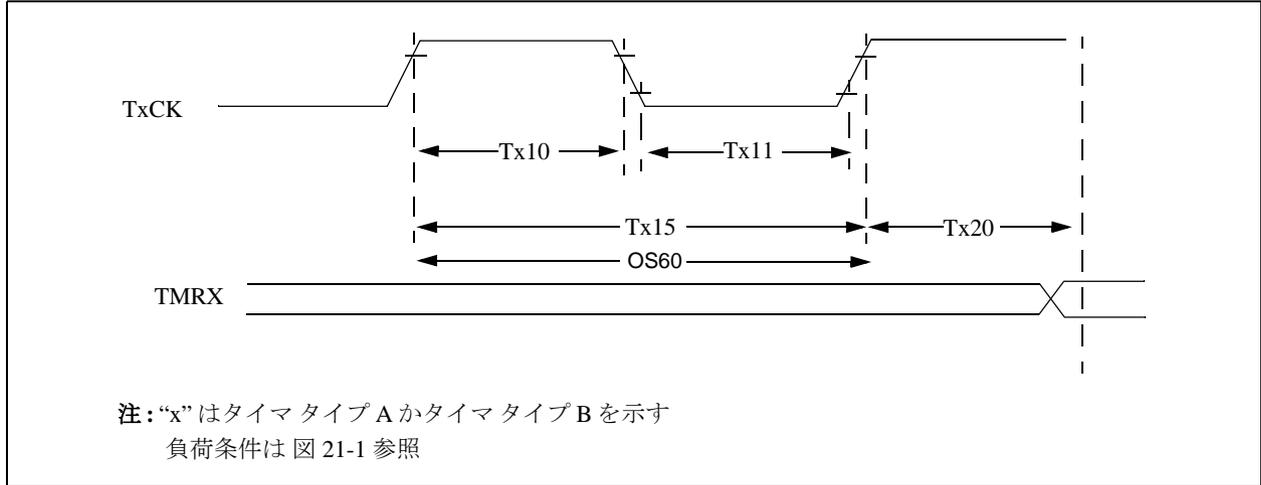


表 21-20: タイマ 1 外部クロック タイミング要件

AC 特性		標準動作条件：3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C						
パラメータ No.	記号	特性		Min	Typ	Max	単位	条件
TA10	TtxH	TxCK High 時間	同期あり、プリスケアラなし	0.5 Tcy + 20	—	—	ns	パラメータ TA15 も満たす必要あり
			同期あり、プリスケアラあり	10	—	—	ns	
			非同期	10	—	—	ns	
TA11	TtxL	TxCK Low 時間	同期あり、プリスケアラなし	0.5 Tcy + 20	—	—	ns	パラメータ TA15 も満たす必要あり
			同期あり、プリスケアラあり	10	—	—	ns	
			非同期	10	—	—	ns	
TA15	TtxP	TxCK 入力周期	同期あり、プリスケアラなし	Tcy + 10	—	—	ns	N = プリスケール値 (1, 8, 64, 256)
			同期あり、プリスケアラあり	20 ns または (Tcy + 40)/N の大きい方	—	—	—	
			非同期	20	—	—	ns	
OS60	Ft1	SOSC1/T1CK 発振器入力周波数範囲 (TCS (T1CON<1>) ビットのセットで発振器は有効化)		DC	—	50	kHz	
TA20	TCKEXTMRL	外部 TxCK クロックエッジからタイマ増分までの時間		0.5 Tcy		1.5 Tcy	—	

dsPIC30F1010/202X

表 21-21: タイマ 2 外部クロック タイミング要件

AC 特性			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$					
パラメータ No.	記号	特性	Min	Typ	Max	単位	条件	
TB10	TtxH	TxCK High 時間	同期あり、プリスケアラなし	$0.5 \text{ Tcy} + 20$	—	—	ns	パラメータ TB15 も満たす必要あり
			同期あり、プリスケアラあり	10	—	—	ns	
TB11	TtxL	TxCK Low 時間	同期あり、プリスケアラなし	$0.5 \text{ Tcy} + 20$	—	—	ns	パラメータ TB15 も満たす必要あり
			同期あり、プリスケアラあり	10	—	—	ns	
TB15	TtxP	TxCK 入力周期	同期あり、プリスケアラなし	$\text{Tcy} + 10$	—	—	ns	N = プリスケール値 (1, 8, 64, 256)
			同期あり、プリスケアラあり	20 ns または $(\text{Tcy} + 40)/\text{N}$ の大きい方	—	—		
TB20	TCKEXTMRL	外部 TxCK クロックエッジからタイマ増分までの時間	0.5 Tcy	—	1.5 Tcy	—		

表 21-22: タイマ 3 外部クロック タイミング要件

AC 特性			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$					
パラメータ No.	記号	特性	Min	Typ	Max	単位	条件	
TC10	TtxH	TxCK High 時間	同期あり	$0.5 \text{ Tcy} + 20$	—	—	ns	パラメータ TC15 も満たす必要あり
TC11	TtxL	TxCK Low 時間	同期あり	$0.5 \text{ Tcy} + 20$	—	—	ns	パラメータ TC15 も満たす必要あり
TC15	TtxP	TxCK 入力周期	同期あり、プリスケアラなし	$\text{Tcy} + 10$	—	—	ns	N = プリスケール値 (1, 8, 64, 256)
			同期あり、プリスケアラあり	20 ns または $(\text{Tcy} + 40)/\text{N}$ の大きい方	—	—		
TC20	TCKEXTMRL	外部 TxCK クロックエッジからタイマ増分までの時間	0.5 Tcy	—	1.5 Tcy	—		

図 21-7: 入力キャプチャ (CAPx) タイミング特性

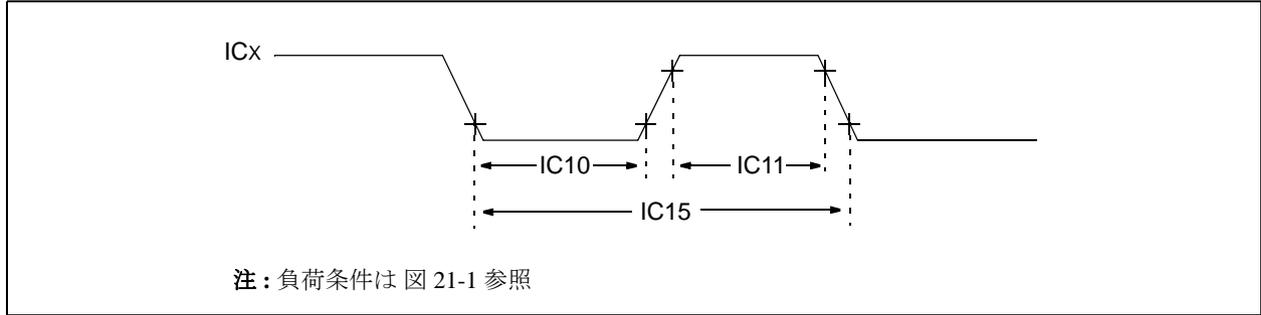


表 21-23: 入力キャプチャ タイミング要件

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C					
パラメータ No.	記号	特性 ⁽¹⁾		Min	Max	単位	条件
IC10	TccL	ICx 入力 Low 時間	プリスケアラなし	0.5 Tcy + 20	—	ns	
			プリスケアラあり	10	—	ns	
IC11	TccH	ICx 入力 High 時間	プリスケアラなし	0.5 Tcy + 20	—	ns	
			プリスケアラあり	10	—	ns	
IC15	TccP	ICx 入力周期		(2 Tcy + 40) / N	—	ns	N = プリスケール値 (1, 4, 16)

注 1: これらのパラメータは特性値であって製品テストは実施していない

図 21-8: 出力コンペア モジュール (OCx) タイミング特性

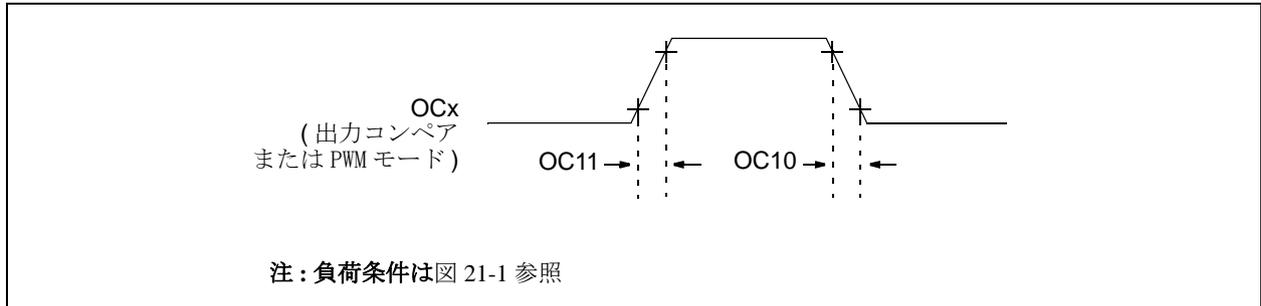


表 21-24: 出力コンペア モジュール タイミング要件

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C					
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
OC10	TccF	OCx 出力立ち下り時間	—	—	—	ns	パラメータ D032 参照
OC11	TccR	OCx 出力立ち上り時間	—	—	—	ns	パラメータ D031 参照

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25°Cにおける値です。パラメータは設計ガイド用のみでテストは実施していない。

dsPIC30F1010/202X

図 21-9: OC/PWM モジュール タイミング特性

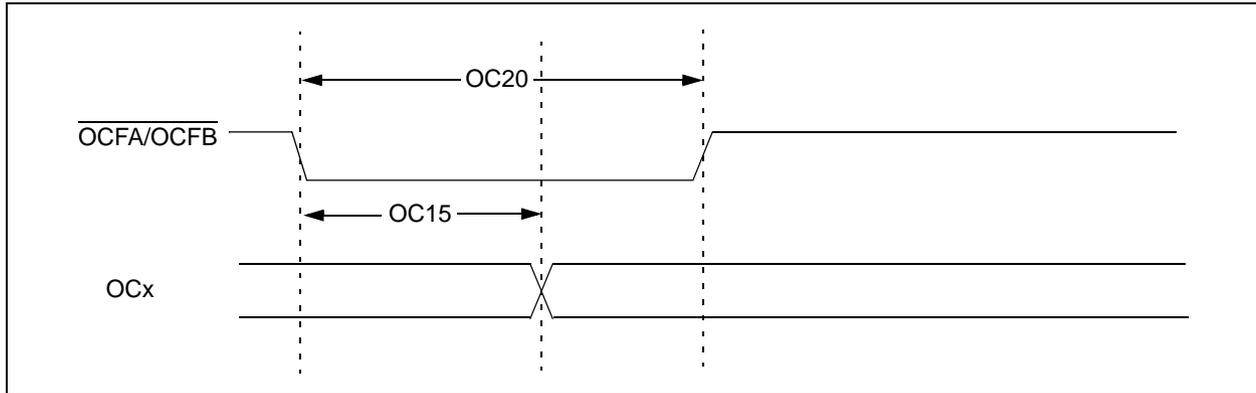


表 21-25: 単純 OC/PWM モード タイミング要件

AC 特性				標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件	パラメータ No.
OC15	TFD	フォルト入力から PWM I/O 変化まで	—	—	25	ns	VDD = 3.3V	-40 °C ~ +85 °C
					TBD	ns	VDD = 5V	
OC20	TFLT	フォルト入力パルス幅	—	—	50	ns	VDD = .33V	-40 °C ~ +85 °C
					TBD	ns	VDD = 5V	

凡例: TBD = 将来決定

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

図 21-10: 電源用 PWM モジュール フォルト タイミング特性

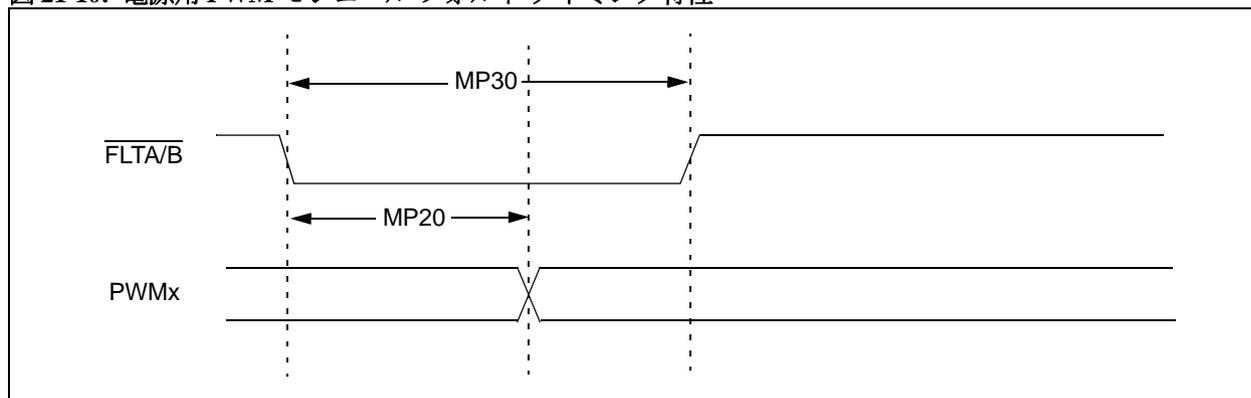


図 21-11: 電源用 PWM モジュール タイミング特性

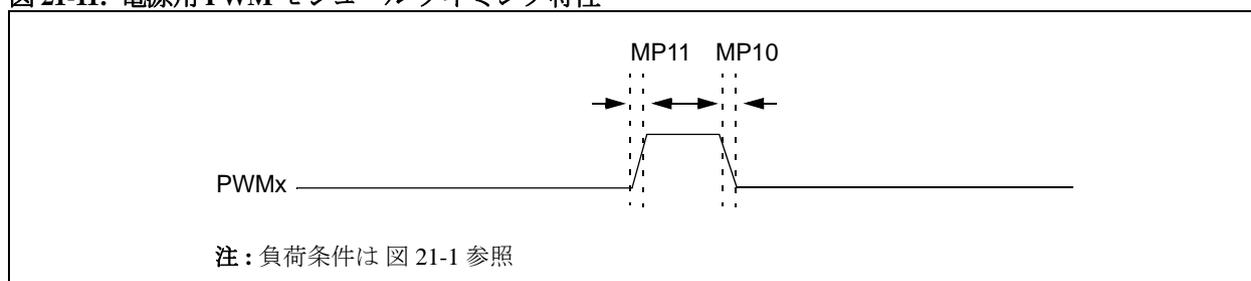


表 21-26: 電源用 PWM モジュール タイミング要件

AC 特性		標準動作条件: 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
MP10	TfPWM	PWM 出力立ち下り時間	—	10	25	ns	VDD = 5V
MP11	TrPWM	PWM 出力立ち上り時間	—	10	25	ns	VDD = 5V
MP12	TfPWM	PWM 出力立ち下り時間	—	TBD	TBD	ns	VDD = 3.3V
MP13	TrPWM	PWM 出力立ち上り時間	—	TBD	TBD	ns	VDD = 3.3V
MP20	TFD	フォルトピン↓から PWM I/O 変化まで	—	—	TBD	ns	VDD = 3.3V
			—	—	25	ns	VDD = 5V
MP30	TFH	最小パルス幅	—	—	TBD	ns	VDD = 3.3V
			—	—	50	ns	VDD = 5V

凡例: TBD = 将来決定

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25°C における値です。パラメータは設計ガイド用のみでテストは実施していない。

dsPIC30F1010/202X

図 21-12: SPI モジュール マスター モード (CKE = 0) タイミング特性

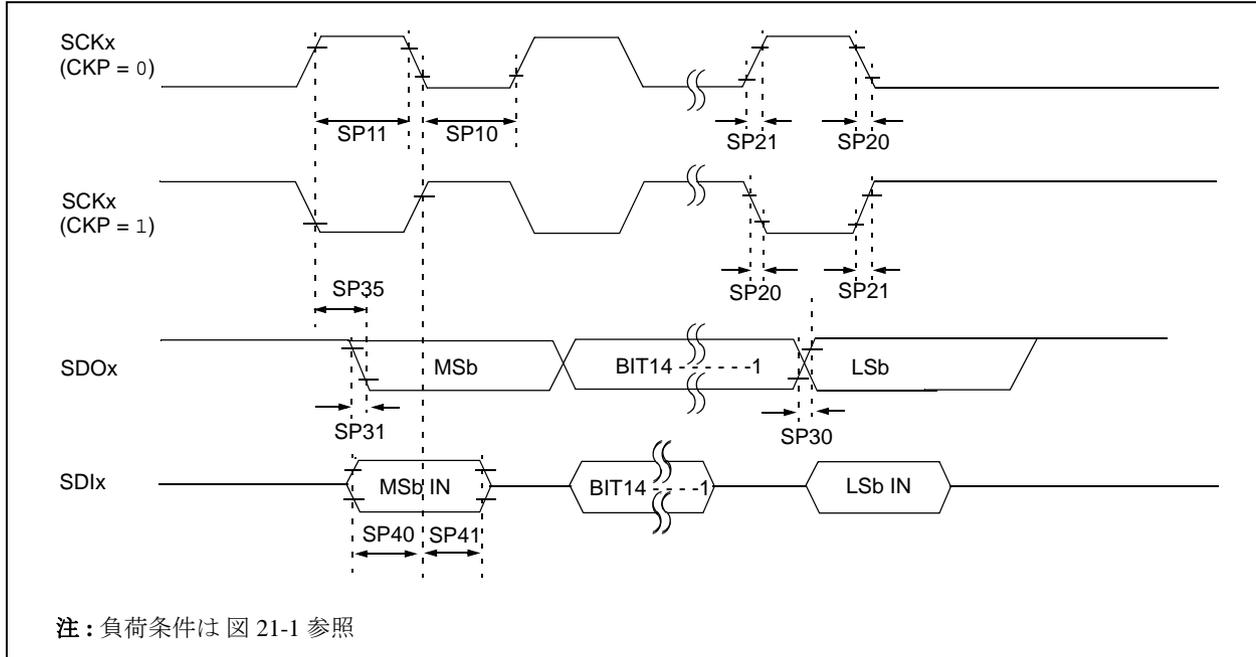


表 21-27: SPI マスター モード (CKE = 0) タイミング要件

AC 特性		標準動作条件: 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C					
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
SP10	TscL	SCKx 出力 Low 時間 ⁽³⁾	Tcy/2	—	—	ns	—
SP11	TscH	SCKx 出力 High 時間 ⁽³⁾	Tcy/2	—	—	ns	—
SP20	TscF	SCKx 出力立ち下り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D032 参照
SP21	TscR	SCKx 出力立ち上り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D031 参照
SP30	TdoF	SDOx データ出力立ち下り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D032 参照
SP31	TdoR	SDOx データ出力立ち上り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D031 参照
SP35	Tsch2doV、 TscL2doV	SDOx データ出力 SCKx エッジ後 変化するまで	—	—	30	ns	—
SP40	TdiV2scH、 TdiV2scL	SCKx エッジに対する SDIx データ 入力のセットアップ時間	20	—	—	ns	—
SP41	Tsch2diL、 TscL2diL	SCKx エッジに対する SDIx データ の必要保持時間	20	—	—	ns	—

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25°Cにおける値です。パラメータは設計ガイド用のみでテストは実施していない

3: SCKxの最小クロック周期は 100 ns。したがって、マスターモードで生成されるクロックは、この規格を超えてはならない

4: すべての SPI ピンには 50 pF の負荷を仮定

図 21-13: SPI モジュール マスター モード (CKE = 1) タイミング要件

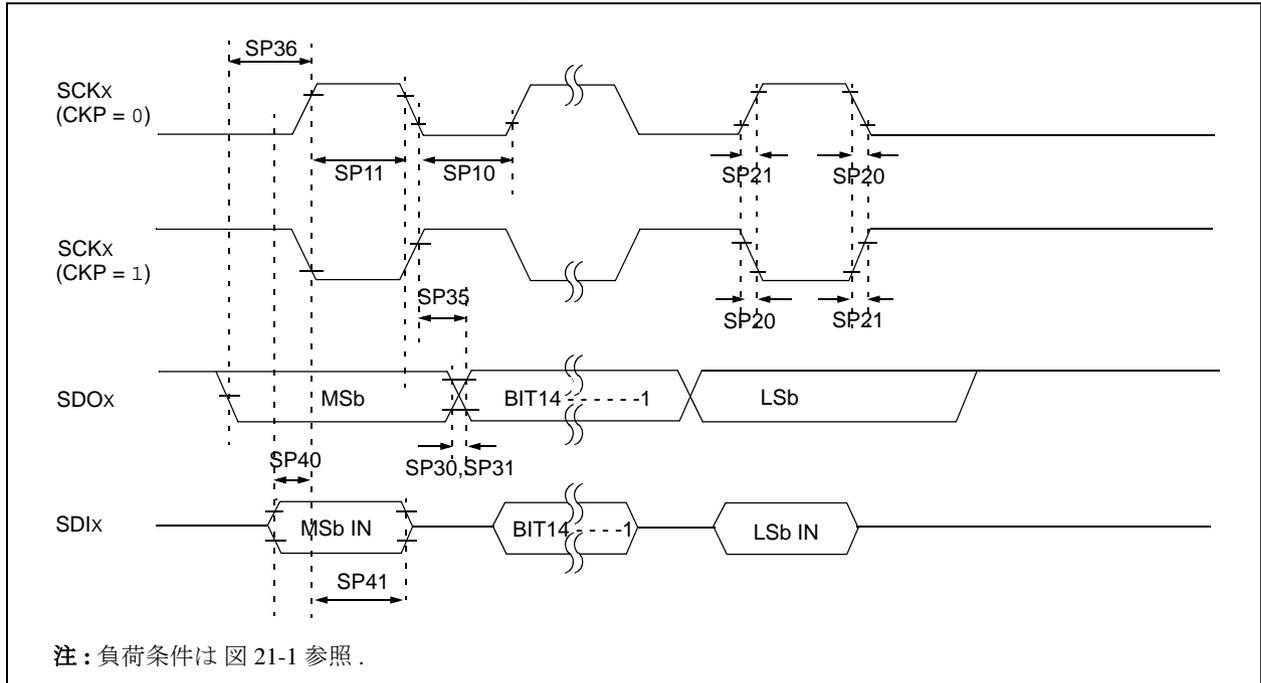


表 21-28: SPI モジュール マスタ モード (CKE = 1) タイミング要件

AC 特性			標準動作条件: 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ Ta ≤ +85°C 拡張品 -40°C ≤ Ta ≤ +125°C				
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
SP10	TscL	SCKx 出力 Low 時間 ⁽³⁾	Tcy / 2	—	—	ns	—
SP11	TscH	SCKx 出力 High 時間 ⁽³⁾	Tcy / 2	—	—	ns	—
SP20	TscF	SCKx 出力立ち下り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D032 参照
SP21	TscR	SCKx 出力立ち上り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D031 参照
SP30	TdoF	SDOx データ出力立ち下り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D032 参照
SP31	TdoR	SDOx データ出力立ち上り時間 ⁽⁴⁾	—	—	—	ns	パラメータ D031 参照
SP35	TscH2doV、 TscL2doV	SCKx エッジから SDOx データ出力有効までの時間	—	—	30	ns	—
SP36	TdoV2sc、 TdoV2scL	SCKx エッジに対する SDOx データ出力セットアップ時間	30	—	—	ns	—
SP40	TdiV2scH、 TdiV2scL	SCKx エッジに対する SDIx データ入力セットアップ時間	20	—	—	ns	—
SP41	TscH2diL、 TscL2diL	SCKx エッジに対する SDIx データ保持必要時間	20	—	—	ns	—

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25°C における値です。パラメータは設計ガイド用のみでテストは実施していない

3: SCKx の最小クロック周期は 100 ns。したがって、マスターモードで生成されるクロックは、この規格を超えてはならない

4: すべての SPI ピンには 50 pF の負荷を仮定

dsPIC30F1010/202X

図 21-14: SPI モジュール スレーブ モード (CKE = 0) タイミング特性

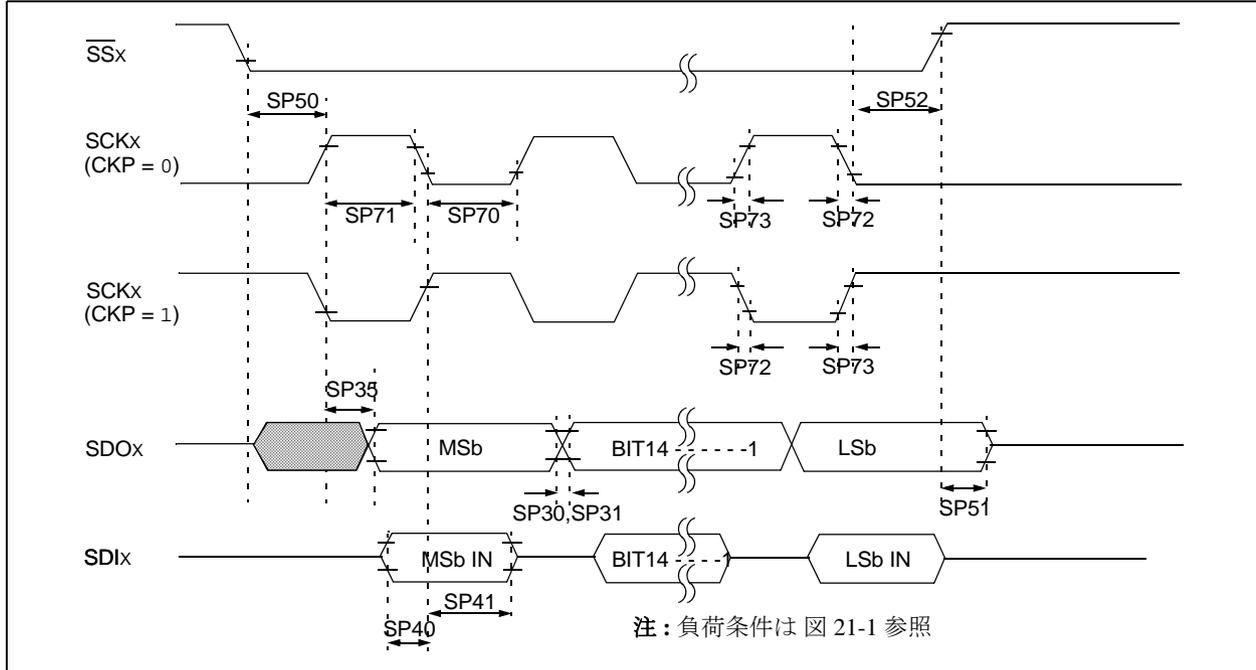


表 21-29: SPI モジュール スレーブ モード (CKE = 0) タイミング要件

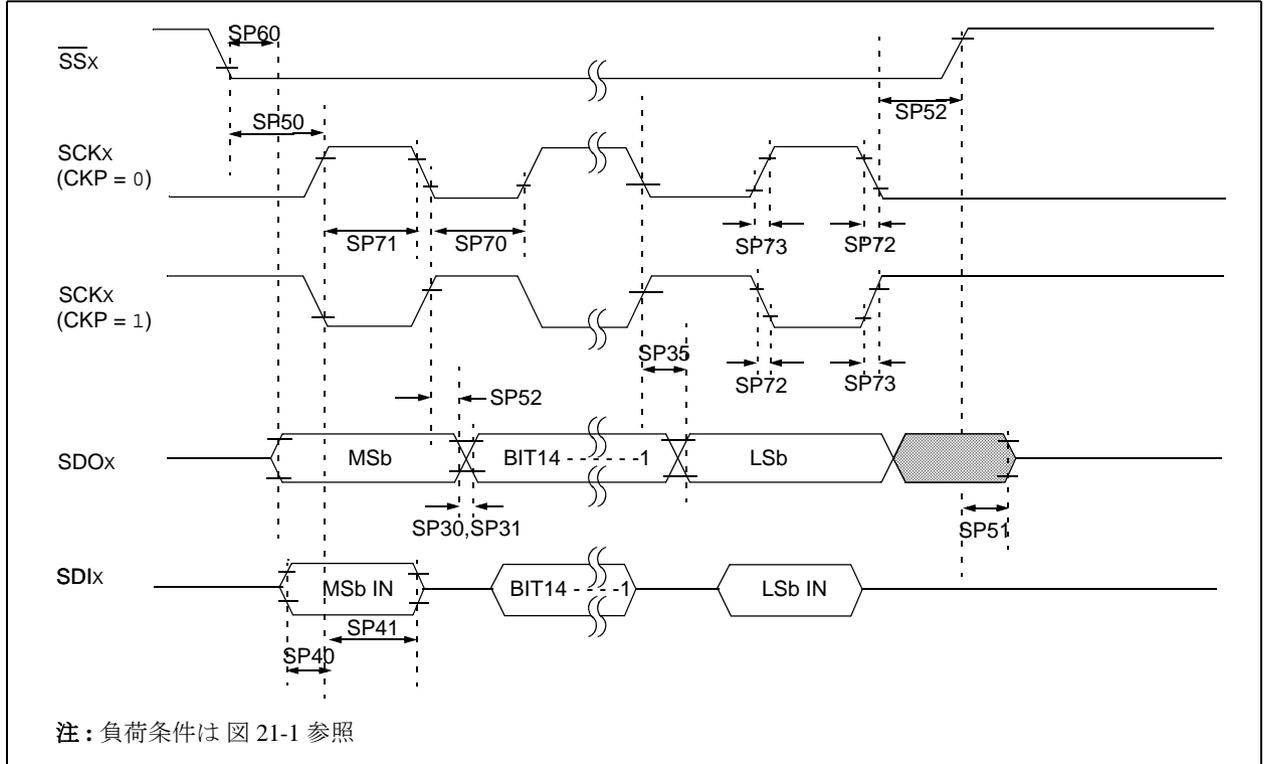
AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 拡張品 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
SP70	TscL	SCKx 入力 Low 時間	30	—	—	ns	—
SP71	TscH	SCKx 入力 High 時間	30	—	—	ns	—
SP72	TscF	SCKx 入力立ち下り時間 ⁽³⁾	—	10	25	ns	—
SP73	TscR	SCKx 入力立ち上り時間 ⁽³⁾	—	10	25	ns	—
SP30	TdoF	SDOx データ出力立ち下り時間 ⁽³⁾	—	—	—	ns	パラメータ D032 参照
SP31	TdoR	SDOx データ出力立ち上り時間 ⁽³⁾	—	—	—	ns	パラメータ D031 参照
SP35	TscH2doVT scL2doV	SCKx エッジから SDOx データ出力有効までの時間	—	—	30	ns	—
SP40	TdiV2scH, TdiV2scL	SCKx エッジに対する SDIx データセットアップ時間	20	—	—	ns	—
SP41	TscH2diL, TscL2diL	SCKx エッジに対する SDIx データ保持必要時間	20	—	—	ns	—
SP50	TssL2scH, TssL2scL	SSx ↓ から SCKx ↑ または SCKx 入力まで	120	—	—	ns	—
SP51	TssH2doZ	SSx ↑ から SDOx 出力ハイインピーダンスになるまで ⁽³⁾	10	—	50	ns	—
SP52	TscH2ssH TscL2ssH	SCK エッジから SSx まで	1.5 Tcy + 40	—	—	ns	—

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

3: すべての SPI ピンには 50 pF の負荷を仮定

図 21-15: SPI モジュール スレーブ モード (CKE = 1) タイミング特性



dsPIC30F1010/202X

表 21-30: SPI モジュール スレーブ モード (CKE = 1) タイミング要件

AC CHARACTERISTICS			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40°C ≤ TA ≤ +85°C 拡張品 -40°C ≤ TA ≤ +125°C				
パラメータ No.	記号	特性 ⁽¹⁾	Min	Typ ⁽²⁾	Max	単位	条件
SP70	TscL	SCKx 入力 Low 時間	30	—	—	ns	—
SP71	TscH	SCKx 入力 High 時間	30	—	—	ns	—
SP72	TscF	SCKx 入力立ち下り時間 ⁽³⁾	—	10	25	ns	—
SP73	TscR	SCKx 入力立ち上り時間 ⁽³⁾	—	10	25	ns	—
SP30	TdoF	SDOx データ出力立ち下り時間 ⁽³⁾	—	—	—	ns	パラメータ D032 参照
SP31	TdoR	SDOx データ出力立ち上り時間 ⁽³⁾	—	—	—	ns	パラメータ D031 参照
SP35	TscH2doV、 TscL2doV	SCKx エッジから SDOx データ変化までの時間	—	—	30	ns	—
SP40	TdiV2scH、 TdiV2scL	SCKx エッジに対する SDIx データ入力のセットアップ時間	20	—	—	ns	—
SP41	TscH2diL、 TscL2diL	SCKx に対する SDIx データ保持必要時間	20	—	—	ns	—
SP50	TssL2scH、 TssL2scL	SSx ↓ から SCKx ↓ または SCKx ↑ 入力まで	120	—	—	ns	—
SP51	TssH2doZ	SSx ↑ から SDOx 出力ハイインピーダンスまでの時間 ⁽⁴⁾	10	—	50	ns	—
SP52	TscH2ssH TscL2ssH	SCKx から SSx ↑ までの時間	1.5 TCY + 40	—	—	ns	—
SP60	TssL2doV	SSx から SDOx データ出力変化までの時間	—	—	50	ns	—

注 1: これらのパラメータは特性値であって製品テストは実施していない

2: “Typ” 欄のデータは、記載のない限り 5V、25 °C における値です。パラメータは設計ガイド用のみでテストは実施していない

3: SCKx の最小クロック周期は 100 ns。したがって、マスターモードで生成されるクロックは、この規格を超えてはならない

4: すべての SPI ピンには 50 pF の負荷を仮定

図 21-16: I²C™ バス スタート/ストップビット タイミング特性 (マスター モード)

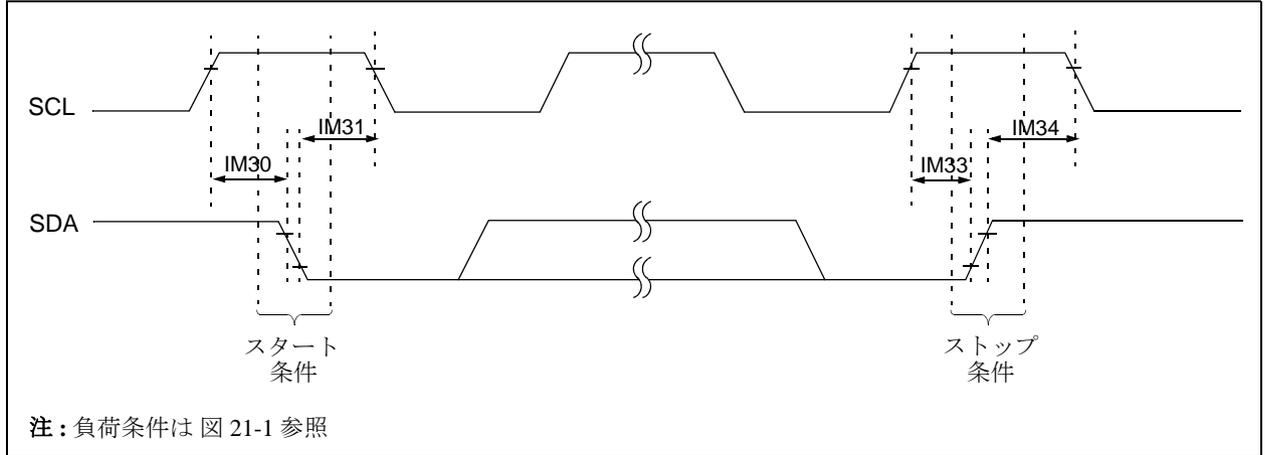
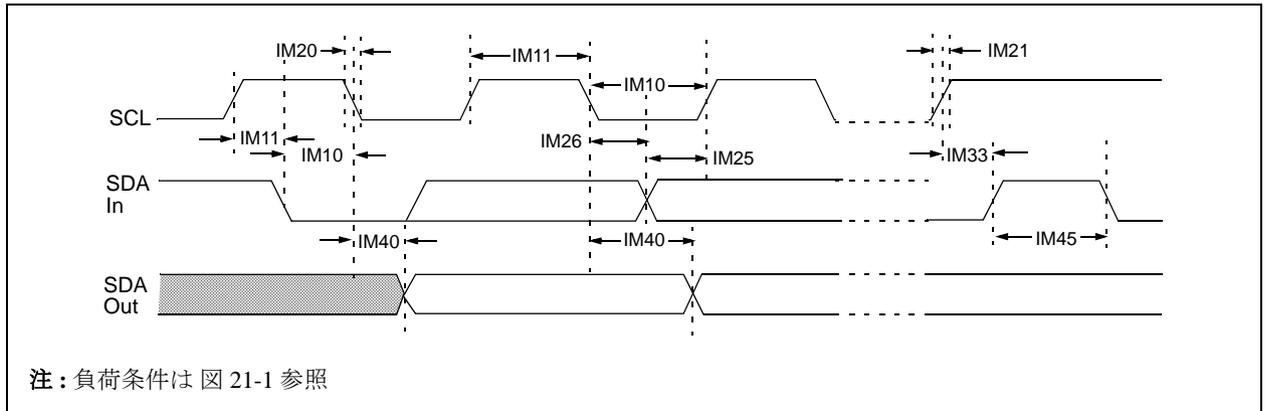


図 21-17: I²C™ バス データタイミング特性 (マスター モード)



dsPIC30F1010/202X

表 21-31: I²C™ バス データ タイミング要件 (マスター モード)

AC 特性			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C 拡張品 -40 °C ≤ TA ≤ +125 °C				
パラメータ No.	記号	特性	Min ⁽¹⁾	Max	単位	条件	
IM10	TLO:SCL	クロック Low 時間	100 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	—
			400 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	—
			1 MHz モード ⁽²⁾	T _{CY} / 2 (BRG + 1)	—	μs	—
IM11	THI:SCL	クロック High 時間	100 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	—
			400 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	—
			1 MHz モード ⁽²⁾	T _{CY} / 2 (BRG + 1)	—	μs	—
IM20	TF:SCL	SDA _x と SCL _x の立ち下り時間	100 kHz モード	—	300	ns	C _B は 10 ~ 400 pF と規定されている。
			400 kHz モード	20 + 0.1 C _B	300	ns	
			1 MHz モード ⁽²⁾	—	100	ns	
IM21	TR:SCL	SDA _x と SCL _x の立ち上り時間	100 kHz モード	—	1000	ns	C _B は 10 ~ 400 pF と規定されている。
			400 kHz モード	20 + 0.1 C _B	300	ns	
			1 MHz モード ⁽²⁾	—	300	ns	
IM25	TSU:DAT	データ入力セットアップ時間	100 kHz モード	250	—	ns	—
			400 kHz モード	100	—	ns	
			1 MHz モード ⁽²⁾	TBD	—	ns	
IM26	THD:DAT	データ入力保持時間	100 kHz モード	0	—	ns	—
			400 kHz モード	0	0.9	μs	
			1 MHz モード ⁽²⁾	TBD	—	ns	
IM30	TSU:STA	スタート条件セットアップ時間	100 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	リピートスタート条件にのみ関連
			400 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	
			1 MHz モード ⁽²⁾	T _{CY} / 2 (BRG + 1)	—	μs	
IM31	THD:STA	スタート条件保持時間	100 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	この周期後に最初のクロックパルスが生成される
			400 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	
			1 MHz モード ⁽²⁾	T _{CY} / 2 (BRG + 1)	—	μs	
IM33	TSU:STO	ストップ条件セットアップ時間	100 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	—
			400 kHz モード	T _{CY} / 2 (BRG + 1)	—	μs	
			1 MHz モード ⁽²⁾	T _{CY} / 2 (BRG + 1)	—	μs	
IM34	THD:STO	ストップ条件保持時間	100 kHz モード	T _{CY} / 2 (BRG + 1)	—	ns	—
			400 kHz モード	T _{CY} / 2 (BRG + 1)	—	ns	
			1 MHz モード ⁽²⁾	T _{CY} / 2 (BRG + 1)	—	ns	
IM40	TAA:SCL	クロックから出力有効までの時間	100 kHz モード	—	3500	ns	—
			400 kHz モード	—	1000	ns	
			1 MHz モード ⁽²⁾	—	—	ns	
IM45	TBF:SDA	バスフリー時間	100 kHz モード	4.7	—	μs	バスが新たな転送が始まる前にフリーでなければならない時間
			400 kHz モード	1.3	—	μs	
			1 MHz モード ⁽²⁾	TBD	—	μs	
IM50	C _B	バス容量負荷	—	400	pF	—	

凡例 : TBD = 将来決定

注 1: BRG は I²C™ ポーレート ジェネレータ用の値です。「dsPIC30F Family Reference Manual」(DS70046) の “Inter-Integrated Circuit™ (I²C)” を参照

2: 全 I²C™ ピンの最大容量 = 10 pF とする (1 MHz モードのみに対して)

図 21-18: I²C™ バス スタート/ストップ ビット タイミング特性 (スレーブ モード)

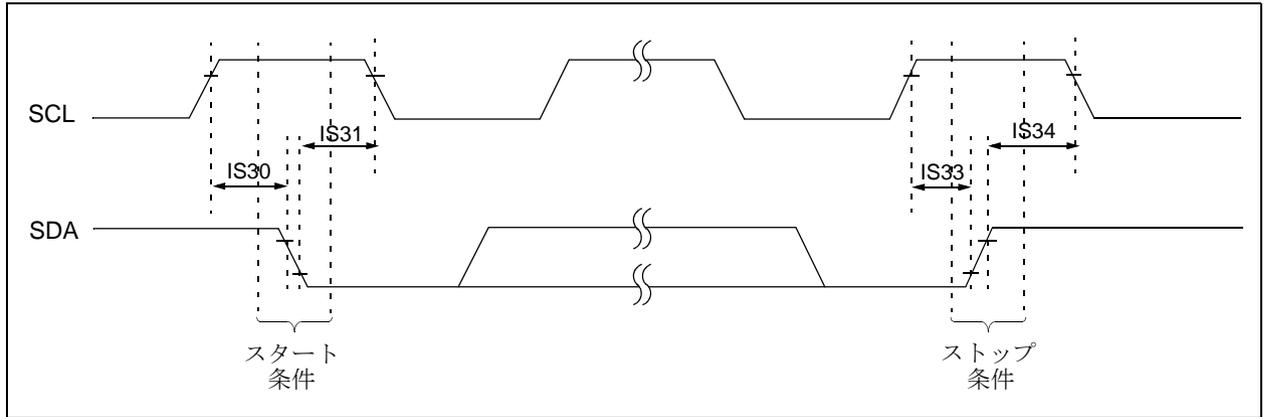
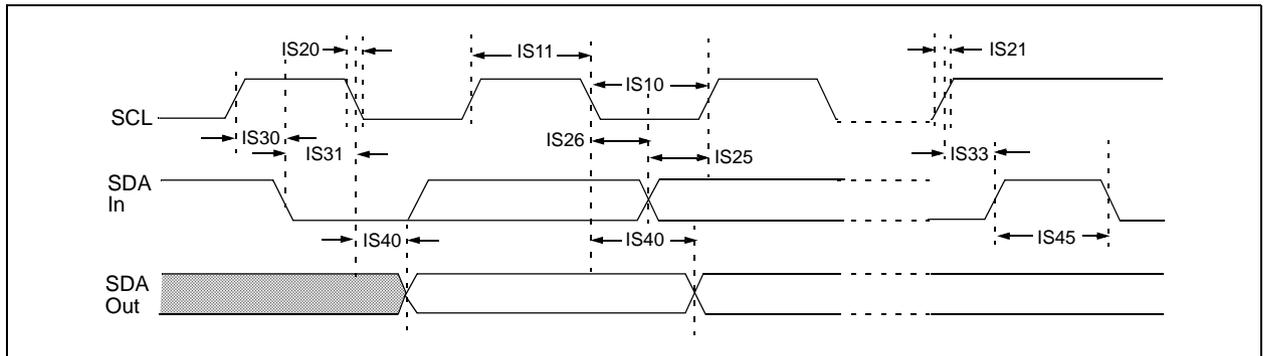


図 21-19: I²C™ バス データ タイミング特性 (スレーブ モード)



dsPIC30F1010/202X

表 21-32: I²C™ バス データ タイミング要件 (スレーブ モード)

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C 拡張品 -40 °C ≤ TA ≤ +125 °C					
パラメータ No.	記号	特性	Min	Max	単位	条件	
IS10	TLO:SCL	クロック Low 時間	100 kHz モード	4.7	—	ms	デバイスは最小 1.5 MHz で動作させなければならない
			400 kHz モード	1.3	—	ms	デバイスは最小 10 MHz で動作させなければならない
			1 MHz モード (1)	0.5	—	ms	—
IS11	THI:SCL	クロック High 時間	100 kHz モード	4.0	—	ms	デバイスは最小 1.5 MHz で動作させなければならない
			400 kHz モード	0.6	—	ms	デバイスは最小 10 MHz で動作させなければならない
			1 MHz モード (1)	0.5	—	ms	—
IS20	TF:SCL	SDAx と SCLx の立ち下り時間	100 kHz モード	—	300	ns	Cb は 10 ~ 400 pF と規定されている。
			400 kHz モード	20 + 0.1 Cb	300	ns	
			1 MHz モード (1)	—	100	ns	
IS21	Tr:SCL	SDAx と SCLx の立ち上り時間	100 kHz モード	—	1000	ns	Cb は 10 ~ 400 pF と規定されている。
			400 kHz モード	20 + 0.1 Cb	300	ns	
			1 MHz モード (1)	—	300	ns	
IS25	TSU:DAT	データ入力セットアップ時間	100 kHz モード	250	—	ns	—
			400 kHz モード	100	—	ns	
			1 MHz モード (1)	100	—	ns	
IS26	THD:DAT	データ入力保持時間	100 kHz モード	0	—	ns	—
			400 kHz モード	0	0.9	ms	
			1 MHz モード (1)	0	0.3	ms	
IS30	TSU:STA	スタート条件セットアップ時間	100 kHz モード	4.7	—	ms	リピートスタート条件にのみ関連
			400 kHz モード	0.6	—	ms	
			1 MHz モード (1)	0.25	—	ms	
IS31	THD:STA	スタート条件保持時間	100 kHz モード	4.0	—	ms	この周期後に最初のクロックパルスが生成される
			400 kHz モード	0.6	—	ms	
			1 MHz モード (1)	0.25	—	ms	
IS33	TSU:STO	ストップ条件セットアップ時間	100 kHz モード	4.7	—	ms	—
			400 kHz モード	0.6	—	ms	
			1 MHz モード (1)	0.6	—	ms	
IS34	THD:STO	ストップ条件保持時間	100 kHz モード	4000	—	ns	—
			400 kHz モード	600	—	ns	
			1 MHz モード (1)	250	—	ns	
IS40	TAA:SCL	クロックから出力有効までの時間	100 kHz モード	0	3500	ns	—
			400 kHz モード	0	1000	ns	
			1 MHz モード (1)	0	350	ns	
IS45	TBF:SDA	バスフリー時間	100 kHz モード	4.7	—	ms	バスが新たな転送が始まる前にフリーでなければならない時間
			400 kHz モード	1.3	—	ms	
			1 MHz モード (1)	0.5	—	ms	
IS50	Cb	バス容量負荷	—	400	pF	—	

注 1: 全 I²C™ ピンの最大容量 = 10 pF とする (1 MHz モードのみに対して)

表 21-33: 10 ビット高速 A/D モジュール仕様

AC 特性		標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り) 動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C 拡張品 -40 °C ≤ TA ≤ +125 °C					
パラメータ No.	記号	特性	Min.	Typ	Max.	単位	条件
デバイス供給電源							
AD01	AVDD	供給モジュール VDD	VDD - 0.3 と 2.7 の大 きい方		VDD + 0.3 と 5.5 の小 さい方	V	—
AD02	AVSS	供給モジュール VSS	VSS - 0.3		VSS + 0.3	V	—
アナログ入力							
AD10	V _{INH} - V _{VINL}	フルスケール入力範囲	VSS		VDD	V	—
AD11	V _{IN}	絶対入力電圧	AVSS - 0.3		AVDD + 0.3	V	—
AD12	—	リーク電流	—	±0.001	±0.244	mA	V _{VINL} = AVSS = 0V、 AVDD = 5V ソースインピーダンス = 1 kΩ
AD13	—	リーク電流	—	±0.001	±0.244	mA	V _{VINL} = AVSS = 0V、 AVDD = 3.3V ソースインピーダンス = 1 kΩ
AD17	R _{IN}	アナログ電圧源の推奨インピーダンス	—		1K	Ω	—
DC 精度							
AD20	Nr	分解能	10 データ ビット			bits	—
AD21	INL	積分非直線性	—	±0.5	< ±1	LSB	V _{VINL} = AVSS = 0V AVDD = 5V
AD21A	INL	積分非直線性	—	±0.5	< ±1	LSB	V _{VINL} = AVSS = 0V AVDD = 3.3V
AD22	DNL	微分非直線性	—	±0.5	< ±1	LSB	V _{VINL} = AVSS = 0V AVDD = 5V
AD22A	DNL	微分非直線性	—	±0.5	< ±1	LSB	V _{VINL} = AVSS = 0V AVDD = 3.3V
AD23	GERR	ゲインエラー	—	±0.75	< ±4.0	LSB	V _{VINL} = AVSS = 0V AVDD = 5V
AD23A	GERR	ゲインエラー	—	±0.75	< ±3.0	LSB	V _{VINL} = AVSS = 0V AVDD = 3.3V

注 1: サンプル容量は次第にチャージが減るので、10 kHz 以下のクロック レートでは特に高温のときに直線性性能に影響を与える
 2: 入力電圧が上昇するとき、A/D 変換結果が減少することはなくコード欠落もない

dsPIC30F1010/202X

表 21-33: 10 ビット高速 A/D モジュール仕様 (CONTINUED)

AC 特性			標準動作条件 : 3.3V と 5.0V (±10%) (特記のない限り)				
			動作温度 工業用品 -40 °C ≤ TA ≤ +85 °C				
			拡張品 -40 °C ≤ TA ≤ +125 °C				
パラメータ No.	記号	特性	Min.	Typ	Max.	単位	条件
AD24	E _{OFF}	オフセットエラー	—	±0.75	<±2.0	LSB	V _{INL} = AV _{SS} = V _{SS} = 0V、AV _{DD} = V _{DD} = 5V
AD24A	E _{OFF}	オフセットエラー	—	±0.75	<±2.0	LSB	V _{INL} = AV _{SS} = V _{SS} = 0V、AV _{DD} = V _{DD} = 3.3V
AD25	—	単調性 ⁽²⁾	—	—	—	—	保証値
動的性能							
AD30	THD	全高調波歪	-77	-73	-68	dB	—
AD31	SINAD	信号対ノイズ比	—	58	—	dB	—
AD32	SFDR	スプリアスなしのダイナミックレンジ	—	-73	—	dB	—
AD33	F _{NYQ}	入力信号バンド幅	—	—	0.5	MHz	—
AD34	ENOB	有効ビット数	—	9.4	—	bits	—

注 1: サンプル容量は次第にチャージが減るので、10 kHz 以下のクロック レートでは特に高温のときに直線性性能に影響を与える

2: 入力電圧が上昇するとき、A/D 変換結果が減少することはなくコード欠落もない

図 21-20: 入力ごとの A/D 変換タイミング

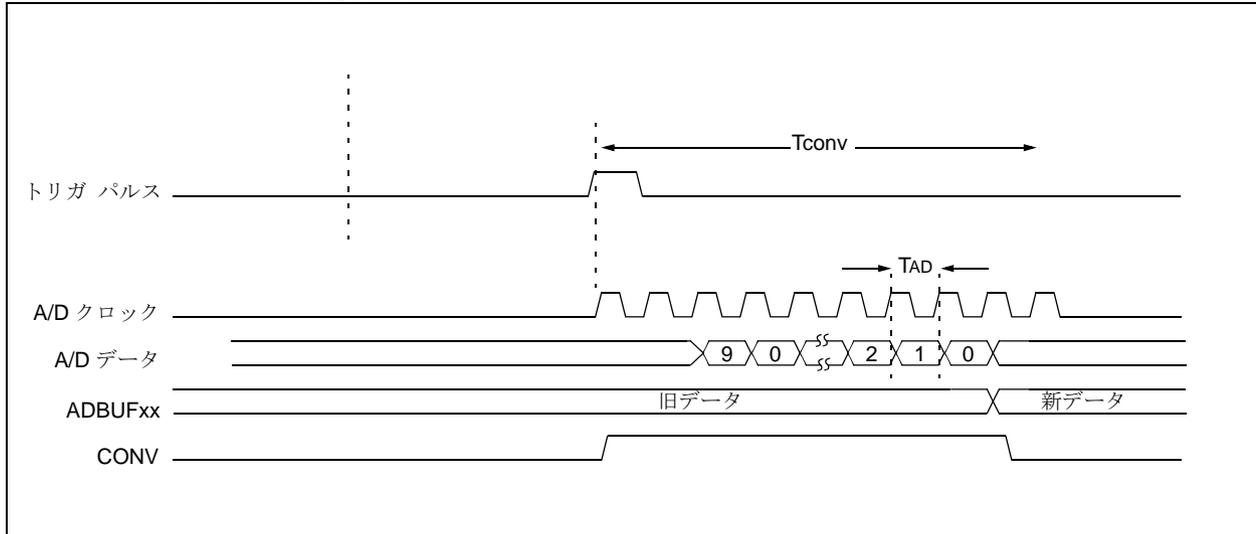


表 21-34: コンパレータ動作条件

記号	特性	Min	Typ	Max	単位	コメント
VDD	電圧範囲	3.0	—	3.6	V	動作範囲 3.0 V-3.6V
VDD	電圧範囲	4.5	—	5.5	V	動作範囲 4.5 V-5.5 V
TEMP	温度範囲	-40	—	105	°C	この周囲温度では接合部温度は 125 °C を超えられる

表 21-35: コンパレータの AC と DC 仕様

標準動作条件 (特記のない限り) 動作温度 : -40 °C ≤ TA ≤ +105 °C						
記号	特性	Min	Typ	Max	単位	コメント
VIOFF	入力オフセット電圧		±5	±15	mV	
VICM	コモンモード入力電圧範囲	0		VDD - 1.5	V	
VGAIN	オープンループゲイン	90			db	
CMRR	コモンモード除去比	70			db	
TRESP	大信号応答		20	30	ns	V- 入力を AVDD/2 に保持して V+ 入力に 100mv を加える。遅延はアナログ入力ピンから PWM 出力ピンまでを計る

表 21-36: DAC DC 仕様

標準動作条件 (特記のない限り) 動作温度 : -40 °C ≤ TA ≤ +105 °C						
記号	特性	Min	Typ	Max	単位	コメント
CVRSRC	入力リファレンス電圧	0		AVDD - 1.6	V	
CVRES	分解能		10		Bits	
INL	伝送機能精度	—	—	±1	LSB	AVDD = 5 V, DACREF = (AVDD/2) V
DNL	積分非直線性エラー	—	—	±0.8	LSB	
	微分非直線性エラー	—	—	±2	LSB	
	オフセットエラー ゲインエラー	—	—	±2.0	LSB	

凡例 : TBD = 将来決定

表 21-37: DAC AC 仕様

標準動作条件 (特記のない限り) 動作温度 : -40 °C ≤ TA ≤ +105 °C						
記号	特性	Min	Typ	Max	単位	コメント
TSET	セトリングタイム			2.0	µs	レンジ = 1 (ハイレンジ) で cmref<9:0> 変化を 0x1FF ~ 0x300 で測定

dsPIC30F1010/202X

ノート:

第 22 章 パッケージ マーキング情報

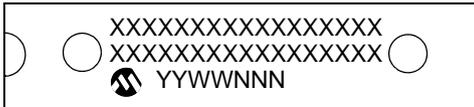
28 リード QFN-S



例



28 リード PDIP (Skinny DIP)



例



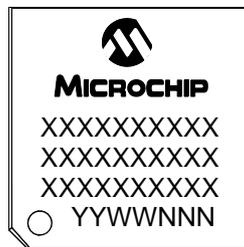
28 リード SOIC



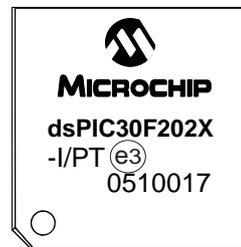
例



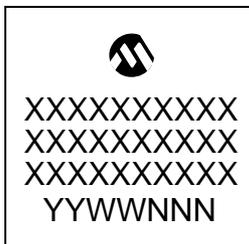
44 リード TQFP



例



44 リード QFN



例

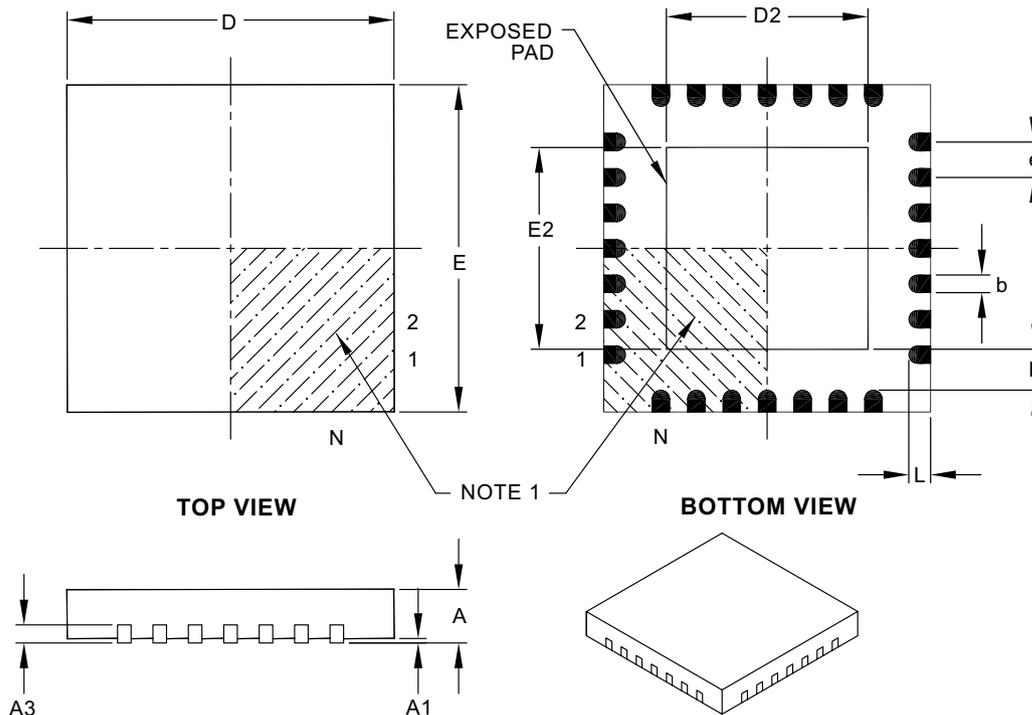


凡例： XX...X カスタマ仕様情報
 Y 年コード (カレンダー年の下位 1 桁目)
 YY 年コード (カレンダー年の下位 2 桁目)
 WW 週コード (1 月 1 日を週 '01' とする)
 NNN 英数字のトレース用コード
 (e3) 錫メッキ (Sn) に関する鉛フリー JEDEC 区別コード
 * 本パッケージは鉛フリーです。鉛フリー JEDEC 区別 () はパッケージの外観から見えるようにしています。

dsPIC30F1010/202X

28-Lead Plastic Quad Flat, No Lead Package (MM) - 6x6x0.9 mm Body (QFN-S) With 0.40 mm Contact Length

注: 最新のパッケージ図は、<http://www.microchip.com/packaging> にある the Microchip Packaging Specification をご覧ください。



Dimension	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	28		
Pitch	e	0.65 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	6.00 BSC		
Exposed Pad Width	E2	3.65	3.70	4.70
Overall Length	D	6.00 BSC		
Exposed Pad Length	D2	3.65	3.70	4.70
Contact Width	b	0.23	0.38	0.43
Contact Length §	L	0.30	0.40	0.50
Contact-to-Exposed Pad §	K	0.20	—	—

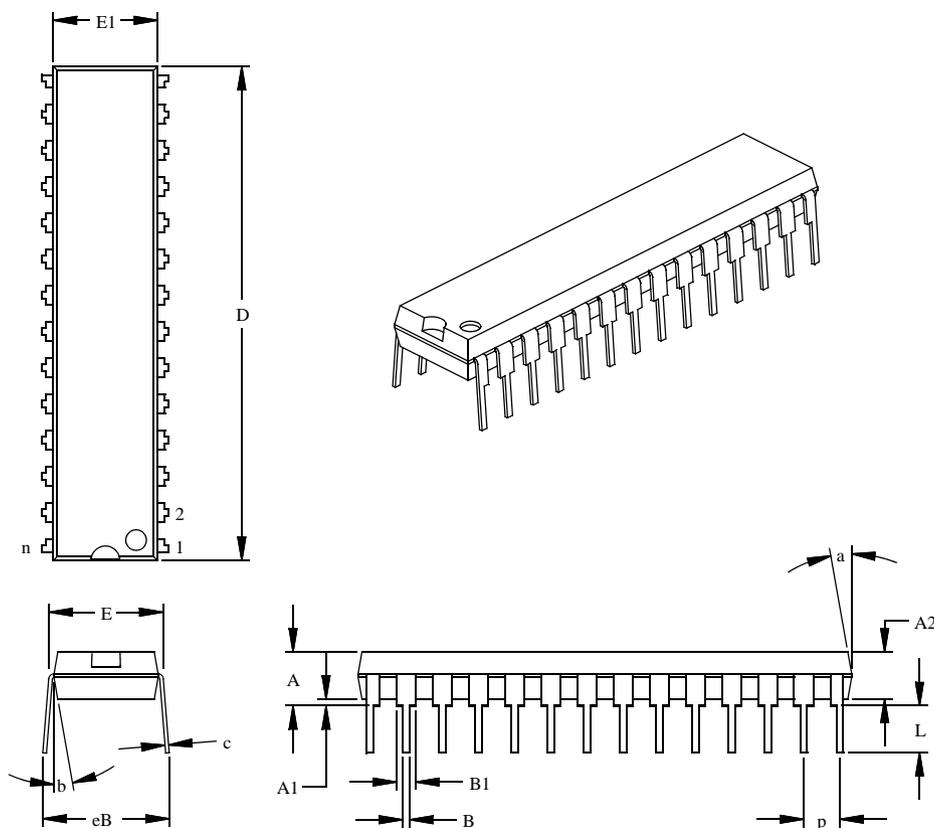
Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic
- Package is saw singulated
- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing No. C04-124, Sept. 8, 2006

28-Lead Skinny Plastic Dual In-line (SP) – 300 mil Body (PDIP)

注：最新のパッケージ図は、<http://www.microchip.com/packaging> にある the Microchip Packaging Specification をご覧ください。



単位		インチ*			ミリメートル		
寸法限界		MIN	NOM	MAX	MIN	NOM	MAX
ピン数	n	28			28		
ピッチ	p		.100			2.54	
上面から実装面まで	A	.140	.150	.160	3.56	3.81	4.06
モールドパッケージ厚	A2	.125	.130	.135	3.18	3.30	3.43
底面から実装面まで	A1	.015			0.38		
肩間幅	E	.300	.310	.325	7.62	7.87	8.26
モールドパッケージ幅	E1	.275	.285	.295	6.99	7.24	7.49
全長	D	1.345	1.365	1.385	34.16	34.67	35.18
実装面から先端	L	.125	.130	.135	3.18	3.30	3.43
リード厚	c	.008	.012	.015	0.20	0.29	0.38
リード上部幅	B1	.040	.053	.065	1.02	1.33	1.65
リード下部幅	B	.016	.019	.022	0.41	0.48	0.56
全実装幅	eB	.320	.350	.430	8.13	8.89	10.92
モールド抜き角頂部	a	5	10	15	5	10	15
モールド抜き角底部	b	5	10	15	5	10	15

* 制御パラメータ

§ 有意文字

注：

D と E1 の寸法はモールドのはみ出しや突出部を含みません。モールドのはみ出しや突出部は側面から .010" (0.254mm) 未満です。

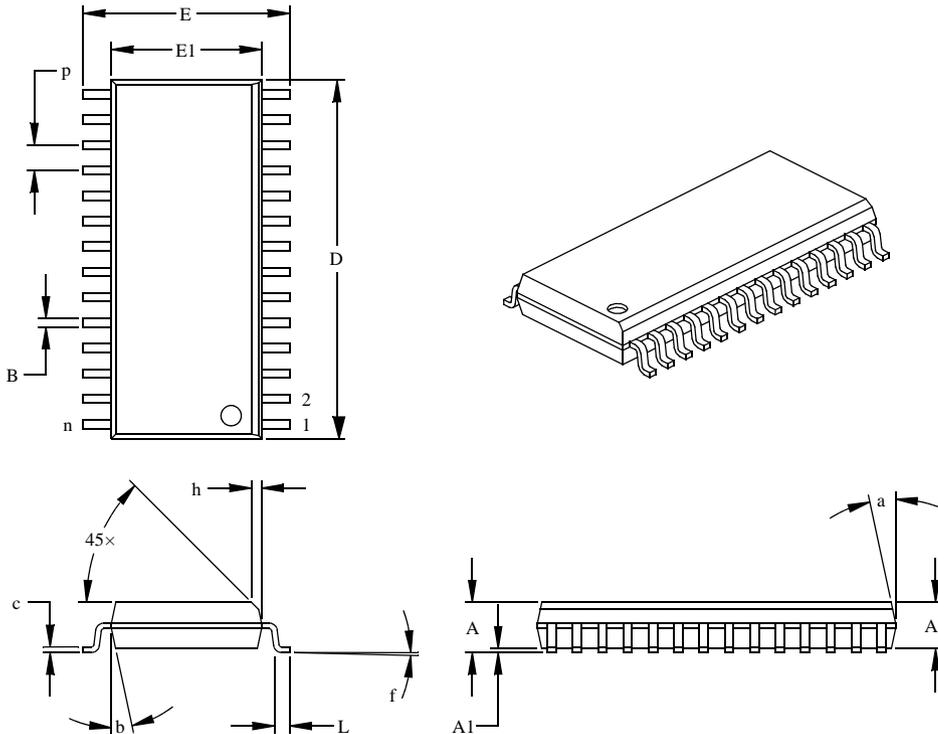
JEDEC 準拠：MO-095

Drawing No. C04-070

dsPIC30F1010/202X

28-Lead Plastic Small Outline (SO) – Wide, 300 mil Body (SOIC)

注：最新のパッケージ図は、<http://www.microchip.com/packaging> にある the Microchip Packaging Specification をご覧下さい。



単位		インチ*			ミリメートル		
寸法限界		MIN	NOM	MAX	MIN	NOM	MAX
ピン数	n	28			28		
ピッチ	P		.050			1.27	
全高	A	.093	.099	.104	2.36	2.50	2.64
モールドパッケージ厚	A2	.088	.091	.094	2.24	2.31	2.39
スタンドオフ	A1	§ .004	.008	.012	0.10	0.20	0.30
全幅	E	.394	.407	.420	10.01	10.34	10.67
モールドパッケージ幅	E1	.288	.295	.299	7.32	7.49	7.59
全長	D	.695	.704	.712	17.65	17.87	18.08
面取り長	h	.010	.020	.029	0.25	0.50	0.74
足長	L	.016	.033	.050	0.41	0.84	1.27
足角上部	f	0	4	8	0	4	8
リード厚	c	.009	.011	.013	0.23	0.28	0.33
リード幅	B	.014	.017	.020	0.36	0.42	0.51
モールド抜き角頂部	a	0	12	15	0	12	15
モールド抜き角底部	b	0	12	15	0	12	15

* 制御パラメータ

§ 有意文字

注：

D と E1 の寸法はモールドのはみ出しや突出部を含みません。モールドのはみ出しや突出部は側面から .010" (0.254mm) 未満です。

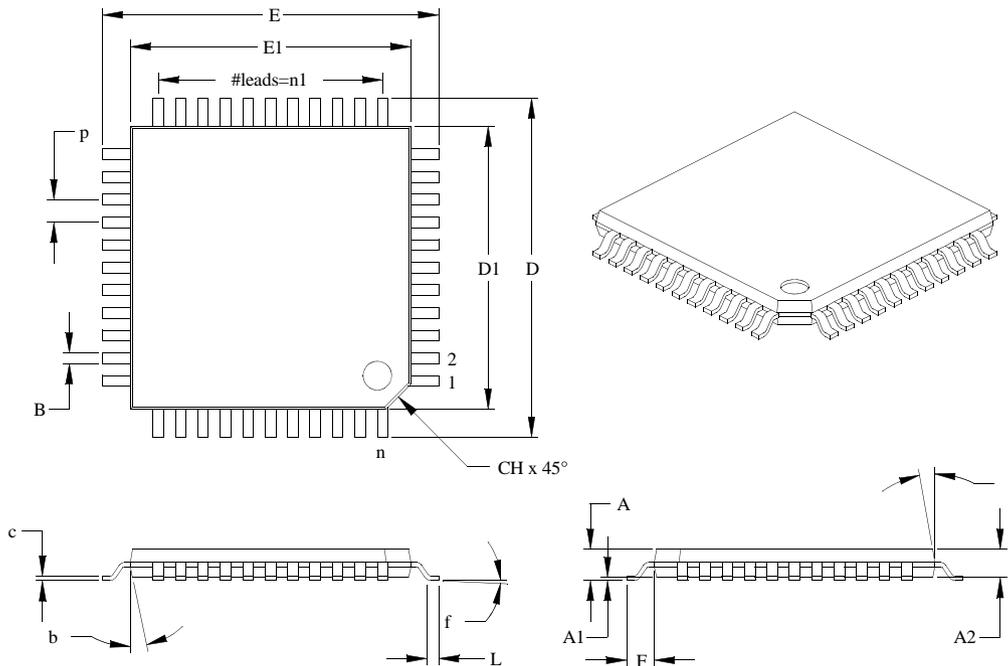
JEDEC E 準拠：MS-013

Drawing No. C04-052

dsPIC30F1010/202X

44-Lead Plastic Thin Quad Flatpack (PT) 10x10x1 mm Body, 1.0/0.10 mm Lead Form (TQFP)

注：最新のパッケージ図は、<http://www.microchip.com/packaging> にある the Microchip Packaging Specification をご覧下さい。



単位		インチ			ミリメートル*		
寸法限界		MIN	NOM	MAX	MIN	NOM	MAX
ピン数	n	44			44		
ピッチ	p	.031			0.80		
端面あたりピン数	n1	11			11		
全高	A	.039	.043	.047	1.00	1.10	1.20
モールドパッケージ厚	A2	.037	.039	.041	0.95	1.00	1.05
スタンドオフ	A1	.002	.004	.006	0.05	0.10	0.15
足長	L	.018	.024	.030	0.45	0.60	0.75
パターン (参考)	F	.039 REF.			1.00 REF.		
足角	f	0	3.5	7	0	3.5	7
全幅	E	.463	.472	.482	11.75	12.00	12.25
全長	D	.463	.472	.482	11.75	12.00	12.25
モールドパッケージ幅	E1	.390	.394	.398	9.90	10.00	10.10
モールドパッケージ長	D1	.390	.394	.398	9.90	10.00	10.10
リード厚	c	.004	.006	.008	0.09	0.15	0.20
リード幅	B	.012	.015	.017	0.30	0.38	0.44
1ピン角面取り	CH	.025	.035	.045	0.64	0.89	1.14
モールド抜き角頂部	a	5	10	15	5	10	15
モールド抜き角底部	b	5	10	15	5	10	15

*制御パラメータ

注：

D と E1 の寸法はモールドのみ出しや突出部を含みません。モールドのみ出しや突出部は側面から .010" (0.254mm) 未満です。

REF: 参考寸法、通常誤差なし、情報提供目的のみ

ASME Y14.5M 参照

JEDEC 準拠: MS-026

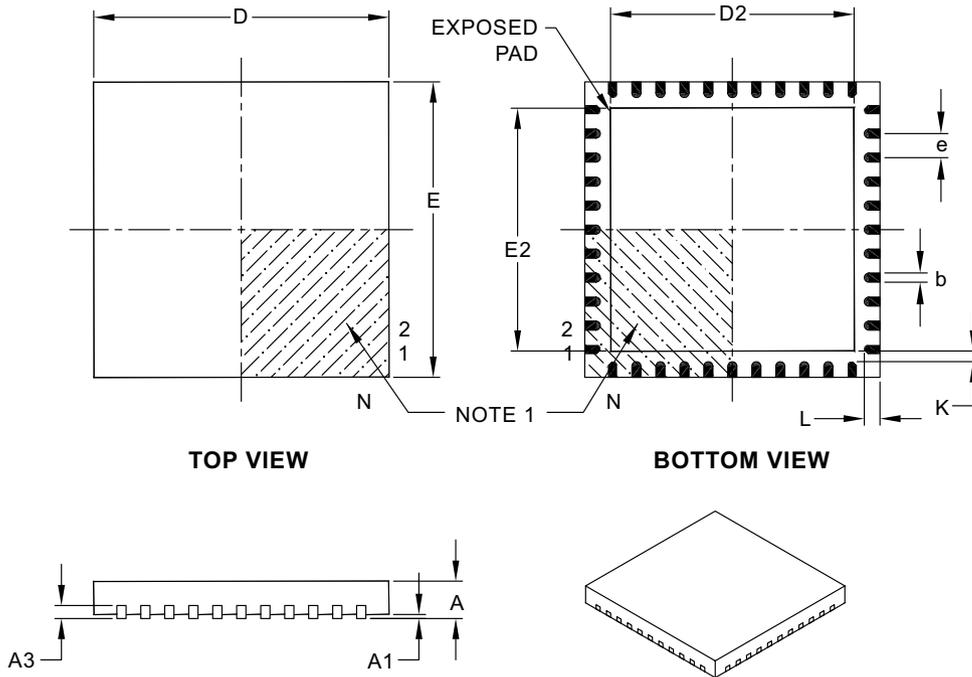
Drawing No. C04-076

Revised 07-22-05

dsPIC30F1010/202X

44-Lead Plastic Quad Flat, No Lead Package (ML) - 8x8 mm Body (QFN)

注：最新のパッケージ図は、<http://www.microchip.com/packaging> にある the Microchip Packaging Specification をご覧下さい。



Dimension	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	44		
Pitch	e	0.65 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	8.00 BSC		
Exposed Pad Width	E2	6.30	6.45	6.80
Overall Length	D	8.00 BSC		
Exposed Pad Length	D2	6.30	6.45	6.80
Contact Width	b	0.25	0.30	0.38
Contact Length \S	L	0.30	0.40	0.50
Contact-to-Exposed Pad \S	K	0.20	—	—

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- \S Significant Characteristic
- Package is saw singulated
- Dimensioning and tolerancing per ASME Y14.5M
 BSC: Basic Dimension. Theoretically exact value shown without tolerances.
 REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing No. C04-103, Sept. 8, 2006

マイクロチップ ウェブ サイト

マイクロチップは WWW サイト www.microchip.com でオンラインサポートを行っています。本ウェブ サイトはファイルや情報をいち早く顧客に提供する手段として用いられています。ご使用のブラウザでアクセスでき、ウェブサイトには下記情報が含まれます。

- **製品サポート** – データシートとエラッタ、アプリケーションノートとサンプルプログラム、設計リソース、ユーザーガイド、ハードウェア サポート文書、最新リリース ソフトウェア、保管ソフトウェア
- **一般的技術サポート** – 頻繁な質問と回答 (FAQ)、技術支援要請、オンラインディスカッショングループ、マイクロチップ コンサルタント プログラム メンバーリスト
- **マイクロチップのビジネス** – 製品選択と注文ガイド、最新マイクロチップ プレスリリース、セミナーとイベントのリスト、マイクロチップの営業オフィス、代理店、工場代理人のリスト

顧客への変更通知サービス

マイクロチップの顧客通知サービスは、顧客がマイクロチップ製品の最新情報を保つ手助けをします。加入者は、指定した製品ファミリーや興味のある開発ツールに関する変更、更新、リビジョン、エラッタがあるときは常に E メール通知を受け取ることができます。

登録には、マイクロチップのウェブサイトにアクセスして、**Customer Change Notification** をクリックし、登録指示に従うだけです。

顧客サポート

マイクロチップ製品のユーザーは、いくつかのチャネルを介して支援を受けられます。

- 代理店または代理人
- 地域の営業オフィス
- フィールドアプリケーション エンジニア (FAE)
- 技術支援

顧客が技術サポートを得るには、代理店か代理人、フィールドアプリケーション エンジニア (FAE) に連絡します。地域の営業オフィスでも顧客の手助けをします。営業オフィスと場所のリストが、本文書の最後に記載されています。

技術サポートはウェブ サイト <http://support.microchip.com> を介しても得られます。

dsPIC30F1010/202X

読者の意見

当社は、皆様にマイクロチップ製品をご活用いただけるよう、最良の文書を提供したいと考えております。文書の構成、明快さ、対象、その他、文書をより良くするためのご意見がおありの場合には、(480) 792-4150 の技術出版マネージャ宛に、そのご意見を FAX にてお送り下さい。

下記情報と本文書に関するご意見を、ご記入いただいております。

To: Technical Publications Manager Total Pages Sent _____
RE: Reader Response
From: 氏名 _____
会社名 _____
住所 _____
市 / 県 / 郵便番号 / 国 _____
電話: (_____) _____ - _____ FAX: (_____) _____ - _____

アプリケーション (オプション):

回答が必要ですか? Y N

デバイス dsPIC30F1010/202X 文書番号: DS70178C_JP

質問:

1. 本文書で最も良い点は何ですか?

2. 本文書はどうすればあなたのハード、ソフト開発ニーズに合うようになりますか?

3. 本文書の構成は容易に探せるものですか? そうでなければなぜですか?

4. 本文書の構造や内容を良くするには、何を追加すれば良いと思いますか?

5. 全体の便利さを損なわずに本文書から削除できるものは何でしょうか?

6. 誤りや間違った情報がありますか (何がどこに)?

7. 本文書はどうすれば改善されますか?

付録 A: 改版履歴

レビジョン A (2006 年 6 月)

- 本文書の初版リリース

レビジョン B (2006 年 8 月)

本レビジョンでは下記改版

第 5 章「割り込み」更新し INTTREG レジスタを含める。

デバイス コンフィギュレーション レジスタを更新し FBS ブート コード セグメントと、FOSCEL 発振器 選択コンフィギュレーション レジスタを追加 (**18.10 「デバイス コンフィギュレーション レジスタ」** 参照)

電気的特性更新

- IDLE パラメータ DC43f 最大値を 87 mA とする (表 21-6 参照)

誤字訂正

- dsPIC30F1010/2020 ポートレジスタ (表 6-1 参照)
 - TRISA SFR ビット 9 を “TRISA9” に修正
 - TRISD SFR リセット状態を “0000 0000 0000 0011” に修正
- dsPIC30F2023 ポートレジスタ (表 6-2 参照)
 - TRISA SFR ビット 0 を “未使用” に修正
 - PORTA SFR ビット 0 を “未使用” に修正
 - LATA SFR ビット 0 を “未使用” に修正
 - TRISD SFR ビット 0 を “TRISD0” に修正
 - PORTD SFR ビット 0 を “RD0” に修正
 - LATD SFR ビット 0 を “LATD0” に修正
 - TRISD SFR リセット状態を “0000 0000 0000 0011” に修正
- dsPIC30F1010/202X CNEN1 SFR リセット状態を “0000 0000 0000 0000” に修正 (表 6-3 参照)
- PWMCONx (レジスタ 12-5 参照)
 - ビット 13 説明を “TRGSTAT” に修正
 - ビット 10 説明を “TRGIEN” に修正
- ALTDTRx (レジスタ 12-9 参照)
 - ビット 15-14 を “未使用” に
- ADCPC1 (レジスタ 16-6 参照)
 - TRGSRC2<4:0> のビット 4 を含める

レビジョン C (2006 年 11 月)

本レビジョンでは下記改版

RC、EC、HS クリスタル動作周波数を工業品と拡張温度品として更新

改定 SPI 章の動作周波数を更新 (**第 13 章 「シリアル周辺インターフェース (SPI)」** 参照)

発振器コンフィギュレーションを改定 (**18.3 「発振器コンフィギュレーション」** 参照)

電気的特性を更新

- 供給電圧パラメータ DC11 の最小値を 3.0V に変更 (表 21-4 参照)
- 動作電流 (IDD) (表 21-5 参照)
- アイドル電流 (IDLE) (表 21-6 参照)
- I/O ピン入力仕様 (表 21-8 参照)
- I/O ピン出力仕様 (表 21-9 参照)
- 外部クロック タイミング (図 21-2 と表 21-12 参照)
- PLL クロック タイミング (表 21-13 参照)
- 内蔵 RC 精度 (表 21-15 参照)
- パワー アップ タイマ周期 (表 21-18 参照)

dsPIC30F1010/202X

ノート:

索引

A

A/D	169
アナログポートの構成	188
A/D 変換ペア制御レジスタ #1 (ADCPC1)	175
A/D 変換ペア制御レジスタ #2 (ADCPC2)	177
A/D 変換ペア制御レジスタ #0 (ADCPC0)	179
A/D 制御レジスタ (ADCON)	171
A/D ポート構成レジスタ (ADPCFG)	174
A/D ステータスレジスタ (ADSTAT)	173
AC 温度に対する電圧仕様	240
AC 特性	240
負荷条件	240
ADC レジスタ マップ	190

B

C

CLKO と I/O タイミング	
特性	245
要件	245
C コンパイラ	
MPLAB C18	228
MPLAB C30	228

D

DC 特性	
I/O ピン出力仕様	239
I/O ピン入力仕様	238
アイドル電流 (Idle)	235
省電力時電流 (I _{pd})	237
動作電流 (I _{DD})	233
プログラムと EEPROM	239
DSP エンジン	23
乗算器	25
dsPIC30F2020 ブロック図	13

E

F

I

I/O ピン仕様	
出力	239
入力	239
I/O ポート	77
パラレル I/O (PIO)	77
I ² C	153
I ² C マスタモード	
クロック調停	158
受信	157
送信	157
ポーレートジェネレータ	158
マルチマスタ通信、バス衝突と調停	158
I ² C レジスタマップ	159
I ² C10 ビットスレープモード動作	155
受信	155
送信	155
I ² C7 ビットスレープモード動作	155
受信	155
送信	155
I ² C モジュール	
アドレス	155
バスデータタイミング特性	

スレープモード	261
マスタモード	259
バスデータタイミング要件	
スレープモード	262
マスタモード	260
バススタート/ストップビットタイミング特性	
マスタモード	259
スレープモード	261
CPU がスレープかアイドルモード中の動作	158
IPMI サポート	157
一斉呼び出しアドレスサポート	157
機能動作説明	153
種々のモード	153
スロープ制御	157
ソフトウェア制御のクロックストレッチ (STREN = 1)	156
ピン構成	153
プログラマ用モデル	153
マスタサポート	157
マスタ動作	157
レジスタ	153
割り込み	156

Inter-Integrated Circuit、I²C 参照

L

M

MPLAB ASM30 アセンブラ、リンカ、ライブラリアン	228
MPLAB ICD 2 インサーキットデバッグ	229
MPLAB ICE 2000 高性能汎用インサーキット	
エミュレータ	229
MPLAB PM3 デバイス プログラマ	229
MPLAB REAL ICE インサーキット	
エミュレータシステム	229
MPLAB 統合開発環境ソフトウェア	227
MPLINK オブジェクトリンカ / MPLIB オブジェクトライブラリアン	228

N

NVM レジスタ マップ	85
--------------	----

O

OC/PWM モジュール タイミング特性	252
----------------------	-----

P

PICSTART Plus 開発用プログラマ	230
PLL クロック タイミング仕様	242
POR、パワー オンリセット参照	
PWM I/O 制御レジスタ (IOCONx)	116
PWM フェーズシフトレジスタ (PHASEx)	114
PWM 制御レジスタ (PWMCONx)	112
PWM 代替デッドタイムレジスタ (ALTDTRx)	115
PWM タイムベース制御レジスタ (PTCON)	110
PWM デッドタイムレジスタ (DTRx)	114
PWM トリガ比較値レジスタ (TRIGx)	119
PWM トリガ制御レジスタ (TRGCONx)	115
PWM フォルト電流制限制御レジスタ (FCLCONx)	117
PWM マスタデューティサイクルレジスタ (MDC)	112

R

RCON レジスタの初期状態 ケース 1	213
RCON レジスタの初期状態 ケース 2	213
RTSP 動作	82

dsPIC30F1010/202X

S

SPI	
マスタ、フレーム マスタ接続.....	147
マスタ/スレーブ接続.....	147
スレーブ、フレーム マスタ接続.....	148
スレーブ、フレーム スレーブ接続.....	148
SPI モジュール	
タイミグ特性	
スレーブ モード (CKE = 1).....	256, 257
マスタ モード (CKE = 0).....	254
マスタ モード (CKE = 1).....	255
タイミグ要件	
スレーブ モード (CKE = 0).....	256
スレーブ モード (CKE = 1).....	258
マスタ モード (CKE = 0).....	254
マスタ モード (CKE = 1).....	255
SPII レジスタ マップ.....	152
STATUS レジスタ.....	20

T

U

UART	
ボーレートジェネレータ (BRG).....	162
UART の有効化と設定.....	162
IrDA	
組み込みエンコーダとデコーダ.....	163
受信	
8ビットか9ビットデータモード.....	163
送信	
8ビットデータモード.....	163
9ビットデータモード.....	163
ブレークと同期シーケンス.....	163
UART1 ステータスと制御レジスタ (U1STA).....	166
UART1 モードレジスタ (U1MODE).....	164
UART1 レジスタ マップ.....	168
UnitID 配置.....	197

W

WWW アドレス.....	273
WWW、オンラインサポート.....	8

あ

アセンブラ	
MPASM アセンブラ.....	228
アドレス生成ユニット.....	41
アナログ コンパレータ制御レジスタ マップ.....	195
アナログ ポート ピンの構成.....	78
アイドル電流 (IDLE).....	235
インサーキットシリアルプログラミング (ICSP).....	197
インサーキットデバッグ.....	217
ウォッチドッグタイマ	
タイミグ特性.....	246
タイミグ要件.....	247
ウォッチドッグタイマ (WDT).....	197, 214
有効化と無効化.....	214
動作.....	214
営業所とサポート拠点.....	282
エラーツ.....	8
オペコード表記に使われる記号.....	220
温度と電圧の仕様	
AC.....	240

か

開発サポート.....	227
外部クロック タイミグ特性	
タイプ A、B、C タイマ.....	249
外部クロック タイミグ要件.....	241
タイプ A タイマ.....	249
タイプ B タイマ.....	250
タイプ C タイマ.....	250
外部クロック入力.....	207
外部割り込み要求.....	51
コアアーキテクチャ	
概要.....	19
コアレジスタマップ.....	37, 38
高速コンテキスト回避.....	51
コード保護.....	197
コード例	
書き込みラッチのロード.....	84
プログラミングシーケンスの起動.....	84
プログラムメモリの行消去.....	83
顧客サポート.....	273
顧客通知サービス.....	273
顧客変更通知サービス.....	273
コンパレータ制御レジスタ x (CMPCONx).....	193
コンパレータ用 DAC 制御レジスタ x (CMPDACx).....	194

さ

式	
I ² C.....	158
UART ボーレート BRGH = 0 のとき.....	162
UART ボーレート BRGH = 1 のとき.....	162
デバイスと SPI クロック速度の関係.....	148
システム統合.....	197
システム統合レジスタ マップ (dsPIC30F202X).....	218
自動クロックストレッチ.....	156
10ビットアドレス指定 (STREN = 1).....	156
7ビットアドレス指定 (STREN = 1).....	156
受信モード.....	156
送信モード.....	156
主タイムベースレジスタ (PTPER).....	111
出力コンペアモジュール.....	101
タイミグ特性.....	251
タイミグ要件.....	251

出力コンペアの動作 CPU がアイドル モード中	103	スリープ モード	261
出力コンペア レジスタ マップ	105	マスタ モード	259
出力コンペアのスリープ モード中の動作	103	SPI モジュール	
出力コンペア割り込み	104	スリープ モード (CKE = 0)	256
省電力時電流 (IPD)	237	スリープ モード (CKE = 1)	257
省電力モード	214	マスタ モード (CKE = 0)	254
アイドル	215	マスタ モード (CKE = 1)	255
スリープ	214	ウォッチドッグタイマ	246
省電力モード (スリープとアイドル)	197	外部クロック	240
シリアル周辺インターフェース (SPI)	145	出力コンペア モジュール	251
スリープからのウェイク アップ	197	タイプ A、B、C タイマ用外付けクロック	249
スリープとアイドルからのウェイク アップ	51	入力キャプチャ (CAPX)	251
制御レジスタ	82	発振器スタートアップタイマ	246
NVMADR	82	パワーアップタイマ	246
NVMADRU	82	バンドギャップ スタートアップタイム	248
NVMCON	82	モータ制御用 PWM モジュール	253
NVMKEY	82	モータ制御用 PWM モジュールフォルト	253
製品識別システム	283	リセット	246
ソフトウェア シミュレータ (MPLAB SIM)	228	タイミング要件	
ソフトウェア スタック ポインタ、フレーム ポインタ	20	CLKO と I/O	245
CALL スタック フレーム	37	I ² C バス データ (スリープ モード)	262
		I ² C バス データ (マスタ モード)	260
		SPI モジュール	
た		スリープ モード (CKE = 0)	256
代替ベクタ テーブル	51	スリープ モード (CKE = 1)	258
タイマ 1 レジスタ マップ	90	マスタ モード (CKE = 0)	254
タイマ 1 モジュール	87	マスタ モード (CKE = 1)	255
16 ビット タイマ モード	87	外部クロック	241
16 ビット同期カウンタ モード	87	出力コンペア モジュール	251
16 ビット非同期カウンタ モード	87	タイプ A タイマ外部クロック	249
16 ビット同期カウンタ モード	87	タイプ B タイマ外部クロック	250
ゲート動作	88	タイプ C タイマ外部クロック	250
スリープ モード中の動作	88	単純 OC/PWM モード	252
プリスケラ	88	入力キャプチャ	251
割り込み	89	発振器スタートアップタイマ	247
タイマ 2 とタイマ 3 選択モード	102	パワーアップタイマ	247
タイマ 2/3 モジュール	91	バンドギャップ スタートアップタイム	248
16 ビット タイマ モード	91	ブラウンアウト リセット	247
32 ビット タイマ モード	91	モータ制御 PWM モジュール	253
32 ビット同期カウンタ モード	91	リセット	247
ADC イベント トリガ	94	ウォッチドッグタイマ	247
ゲート動作	94	タイミング特性	
スリープ モード中の動作	94	PLL クロック	242
タイマプリスケラ	94	単純 OC/PWM モード タイミング要件	252
割り込み	94	単純 PWM モード	102
タイマ 2/3 レジスタ マップ	95	周期	103
タイミング図		単純キャプチャ イベント モード	
PWM 出力	104	CPU がアイドル モード時の入力キャプチャ	99
パワーアップのタイムアウト シーケンス		キャプチャ バッファ動作	98
(MCLR を V _{DD} に接続しない)、ケース 1	211	キャプチャプリスケラ	98
パワーアップのタイムアウト シーケンス		タイマ 2 とタイマ 3 選択モード	98
(MCLR を V _{DD} に接続しない)、ケース 2	212	ホールセンサモード	98
パワーアップのタイムアウト シーケンス		単純出力コンペア一致モード	102
(MCLR を V _{DD} に接続)	211	データアキュムレータと加算/減算器	25
タイミング図、タイミング特性を参照		オーバーフローと飽和	25
タイミング図と仕様 DC 特性 - 内蔵 RC 精度	242	書き戻し	26
タイミング特性		データ空間書き込み飽和	27
A/D Conversion		まるめロジック	26
変換 10 ビット 高速 (CHPS = 01、		データアドレス空間	33
SIMSAM = 0、ASAM = 0、SSRC = 000)	264	MCU と DSP (MAC クラス) 命令	35
CLKO と I/O	245	空間	36
OC/PWM モジュール	252	ソフトウェア スタック	37
I ² C バス データ		ニア データ空間	37
スリープ モード	261	配置	36
マスタ モード	259	配置 (図)	36
I ² C バス スタート/ストップ ビット			

移動とアキュムレータ命令	42
基本モードのサポート	41
その他の命令	42
ファイルレジスタ命令	41
メモリ構成	29
モジュロアドレッシング	43
W アドレスレジスタ選択	43
開始と終了アドレス	43
適用法	45
動作例	44

や

ら

リーダー部ブランキング制御レジスタ (LEBCONx)	120
リセット	197, 209
リセットシーケンス	49
リセット要因	49
リセットタイミング特性	246
リセットタイミング要件	247
リセット	
POR	211
POR、遅いクリスタルスタートアップタイム	212
POR、FSCM と PWRT が無いときの動作	212
リニアフィードバックシフトレジスタ (LFSR)	202
レジスタ	
ADCON	171
ADCPC@	179
ADCPC0	175
ADCPC1	177
ADPCFG	174
ADSTAT	173
ALTDTRx	115
CMPCONx	193
CMPDACx	194
DTRx	114
FCLCONx	117
FOSC	204
FOSCSEL	203
IEC1	61
IEC2	62
IFS1	57
IFS2	58
IFSO	55
INTCON1	52
INTCON2	54
INTTREG	74
IOCONx	116
IPC0	63
IPC1	64
IPC10	73
IPC2	65
IPC3	66
IPC4	67
IPC5	68
IPC6	69
IPC7	70
IPC8	71
IPC9	72
LEBCONx	120
LFSR	202
MDC	112
OSCCON	199
OSCTUN	201
OSCTUN2	202

PHASEx	114
PTCON	110
PTPER	111
PWMCONx	112
SEVTCMP	111
SPIxCON1 (SPIx Control 1)	150
SPIxCON2 (SPIx Control 2)	151
SPIxSTAT (SPIx Status and Control)	149
TRGCONx	115
TRIGx	119
U1MODE	164
U1STA	166

レジスタマップ

ADC レジスタ	190
I ² C レジスタ	159
NVM レジスタ	85
SPI レジスタ	152
UART1 レジスタ	168
アナログコンパレータ制御レジスタ	195
コアレジスタ	38
システム統合レジスタ (dsPIC30F202X)	218
出力コンペアレジスタ	105
タイマ1レジスタ	90
タイマ2/3レジスタ	95
デバイスコンフィギュレーションレジスタ	218
電源用PWMレジスタ	142
入力キャプチャレジスタ	100
入力変化通知レジスタ	80
ポートレジスタ (dsPIC30F1010/2020)	79
ポートレジスタ (dsPIC30F2023)	80
割り込み制御レジスタ	75

わ

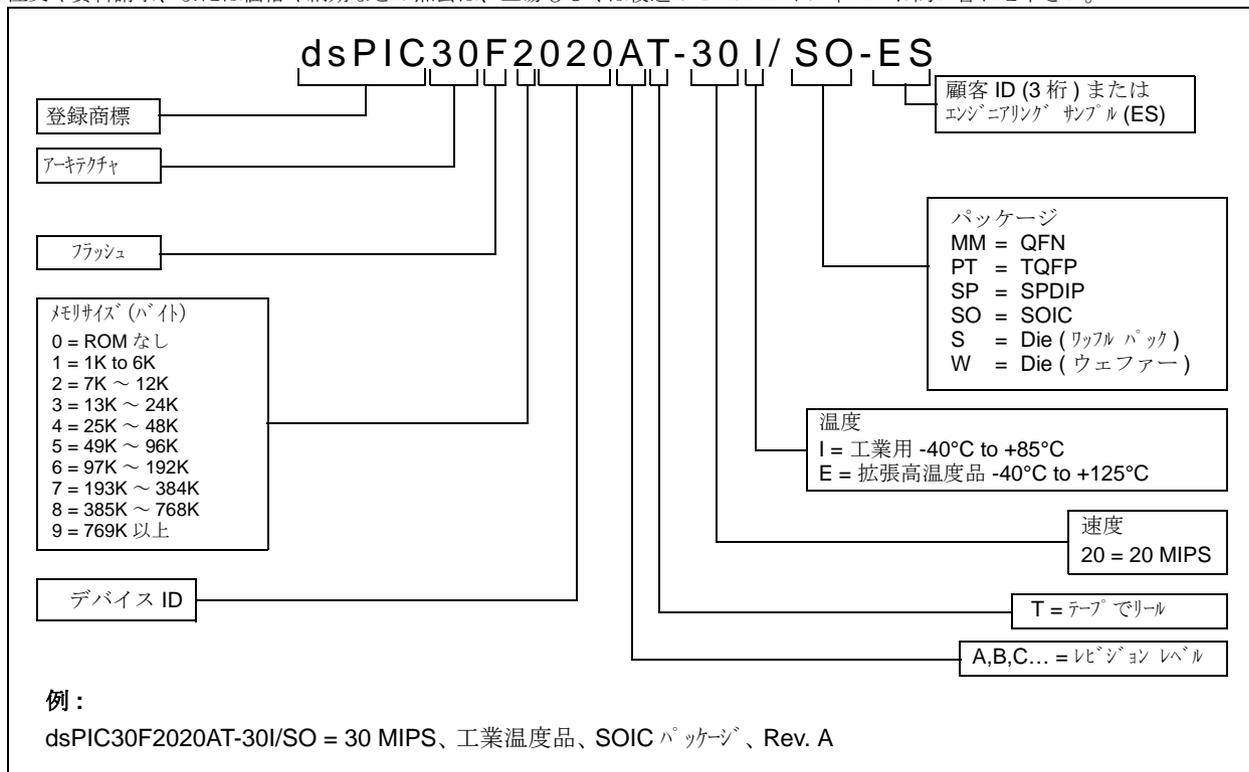
割り込み	47
トラップ	49
割り込みシーケンス	51
割り込みスタックフレーム	51
割り込み制御とステータスレジスタ (INTTREG)	74
割り込み制御レジスタ1 (INTCON1)	52
割り込み制御レジスタ2 (INTCON2)	54
割り込み制御レジスタマップ	75
割り込み有効化制御レジスタ1 (IEC1)	61
割り込み有効化制御レジスタ2 (IEC2)	62
割り込みフラグステータスレジスタ0 (IFS0)	55
割り込みフラグステータスレジスタ r1 (IFS1)	57
割り込みフラグステータスレジスタ2 (IFS2)	58
割り込み優先順位	48
割り込み優先順位制御レジスタ0 (IPC0)	63
割り込み優先順位制御レジスタ1 (IPC1)	64
割り込み優先順位制御レジスタ10 (IPC10)	73
割り込み優先順位制御レジスタ2 (IPC2)	65
割り込み優先順位制御レジスタ3 (IPC3)	66
割り込み優先順位制御レジスタ4 (IPC4)	67
割り込み優先順位制御レジスタ5 (IPC5)	68
割り込み優先順位制御レジスタ6 (IPC6)	69
割り込み優先順位制御レジスタ7 (IPC7)	70
割り込み優先順位制御レジスタ8 (IPC8)	71
割り込み優先順位制御レジスタ9 (IPC9)	72

dsPIC30F1010/202X

ノート:

製品識別システム

注文や資料請求、または価格や納期などの照会は、工場もしくは後述のセールス オフィスへお問い合わせ下さい。



世界各国の営業所およびサポート

アメリカ合衆国

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
テクニカル サポート :
<http://support.microchip.com>
ウェブ サイト アドレス :
www.microchip.com

アトランタ Atlanta
Alpharetta, GA
Tel: 770-640-0034
Fax: 770-640-0307

ボストン Boston
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ Chicago
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス Dallas
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト Detroit
Farmington Hills, MI
Tel: 248-538-2250
Fax: 248-538-2260

コーコモ Kokomo
Kokomo, IN
Tel: 765-864-8360
Fax: 765-864-8387

ロサンゼルス Los Angeles
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

サンタクララ Santa Clara
Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

トロント Toronto
Mississauga, Ontario,
Canada
Tel: 905-673-0699
Fax: 905-673-6509

アジア/パシフィック アジア パシフィック営業所

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

オーストラリア - シドニー
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8676-6200
Fax: 86-28-8676-6599

中国 - 福州
Tel: 86-591-8750-3506
Fax: 86-591-8750-3521

中国 - 香港特別行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 青島
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深川
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 順徳
Tel: 86-757-2839-5507
Fax: 86-757-2839-5571

中国 - 武漢
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7250
Fax: 86-29-8833-7256

アジア/パシフィック

インド - バンガロール
Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

インド - ニューデリー
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プーナ
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 - 横浜
Tel: 81-45-471-6166
Fax: 81-45-471-6122

韓国 - クミ
Tel: 82-54-473-4301
Fax: 82-54-473-4302

韓国 - ソウル
Tel: 82-2-554-7200
Fax: 82-2-558-5932 or
82-2-558-5934

マレーシア - ペナン
Tel: 60-4-646-8870
Fax: 60-4-646-5086

フィリピン - マニラ
Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール
Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹
Tel: 886-3-572-9526
Fax: 886-3-572-6459

台湾 - 高雄
Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾 - 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

タイ - バンコク
Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ベルス
Tel: 43-7242-2244-3910
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

オランダ - ドリュウネン
Tel: 31-416-690399
Fax: 31-416-690340

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 - ウォーキングム
Tel: 44-118-921-5869
Fax: 44-118-921-5820