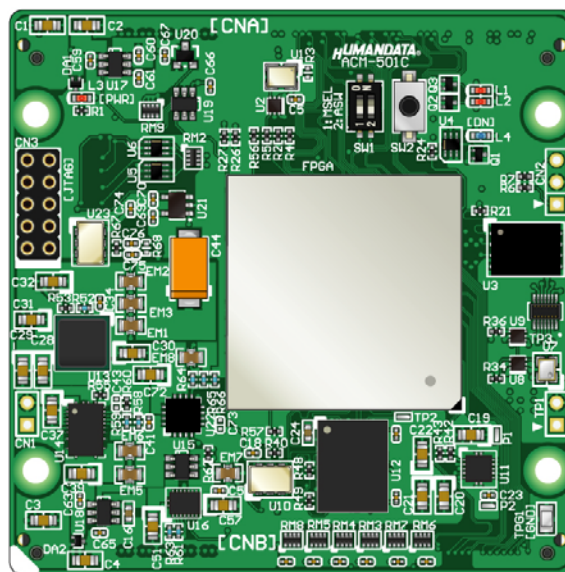




Cyclone10 GX FPGA ボード  
ACM-501L  
ユーザーズマニュアル  
Ver.1.0



ヒューマンデータ



# 目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 製品概要.....	4
4.1 各部の名称.....	4
4.2 ブロック図.....	5
4.3 電源入力.....	5
4.4 I/O 用電源.....	6
4.5 クロック.....	6
4.6 設定スイッチ.....	6
4.7 汎用スイッチ.....	6
4.8 汎用 LED.....	6
4.9 デバッグ用 I/F.....	7
5. FPGA コンフィギュレーション.....	7
5.1 JTAG/バウンダリスキャン.....	8
5.2 コンフィグ ROM アクセスファイル(jic ファイル)の作成.....	8
5.3 コンフィグ ROM アクセス.....	9
6. サポートページ.....	10
7. お問い合わせについて.....	10


● はじめに

この度は Cyclone10 GX FPGA ボード ACM-501L シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-501L は、Intel 社の高性能 FPGA Cyclone10 GX シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 <b>禁止</b>	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 <b>注意</b>	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2023/03/30	1.0	・ 初版

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-501L	1
付属品	1
ユーザ登録はがき	1

## 2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

### 3. 仕様

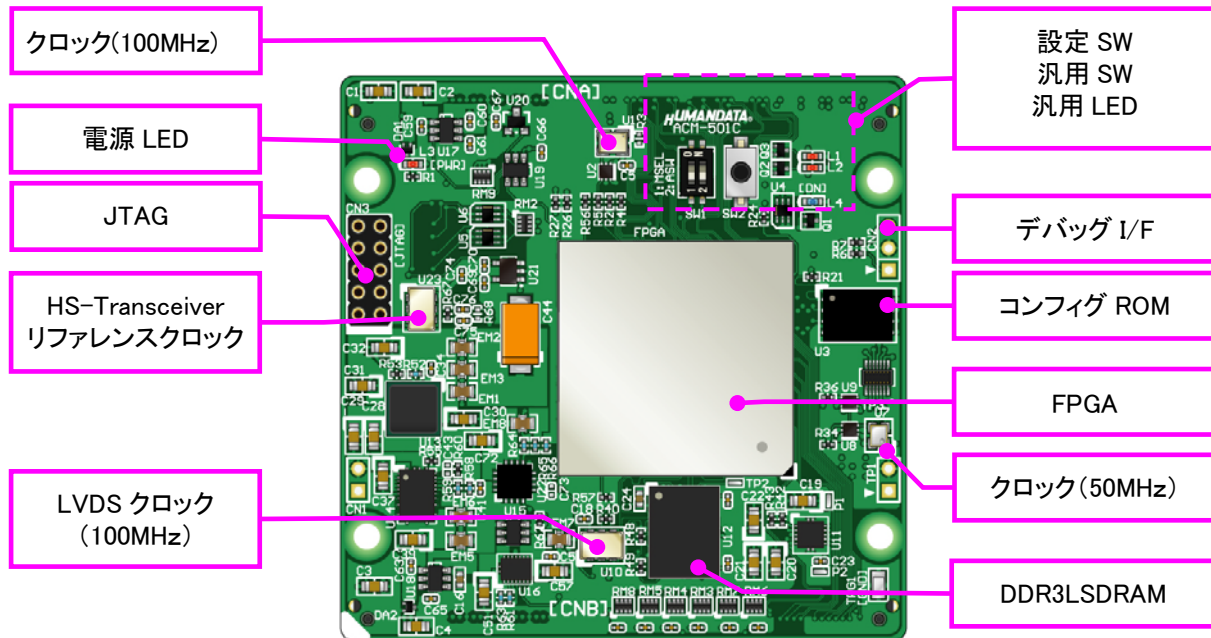
製品型番	ACM-501L-105	ACM-501L-150	ACM-501L-220
搭載 FPGA	10CX105YF672I5G	10CX150YF672I5G	10CX220YF672I5G
電源	DC 3.3[V] + I/O 電源		
ユーザ I/O ※1	128 本 (CNA:64, CNB:64)		
コンフィグ ROM	MT25QU256ABA1EW9-0SIT		
DDR3L SDRAM	MT41K512M8DA-107:P (Micron, 512Mx8)		
オンボードクロック	50MHz, 100MHz (CMOS), 100MHz (LVDS) (外部供給可能)		
HS-Transceiver リファレンスクロック	125MHz (LVDS)		
汎用 LED	2		
汎用スイッチ	2 (Push x 1, DIP x 1bit)		
リセット信号	コンフィグ用リセット信号 (typ. 240ms)		
I/O コネクタ	ERF8-070-05.0-L-DV-K-TR (Samtec Inc.)		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ		
ステータス LED	POWER (赤), DONE (青)		
基板寸法	65 x 65 [mm]		
質量	約 34 [g]		
付属品	DIL10 ロングピンヘッダ x1 ERM8-070-05.0-L-DV-K-TR (Samtec Inc.) x2		

※ これらの部品や仕様は変更となる場合がございます

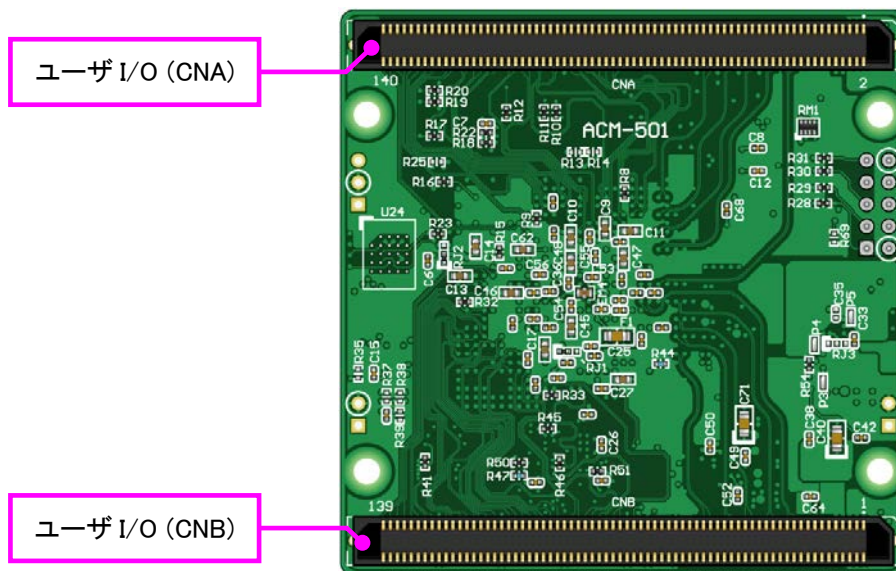
※1 ユーザ I/O で使用可能な電圧範囲は「4.4 I/O 用電源」を参照ください

## 4. 製品概要

### 4.1 各部の名称

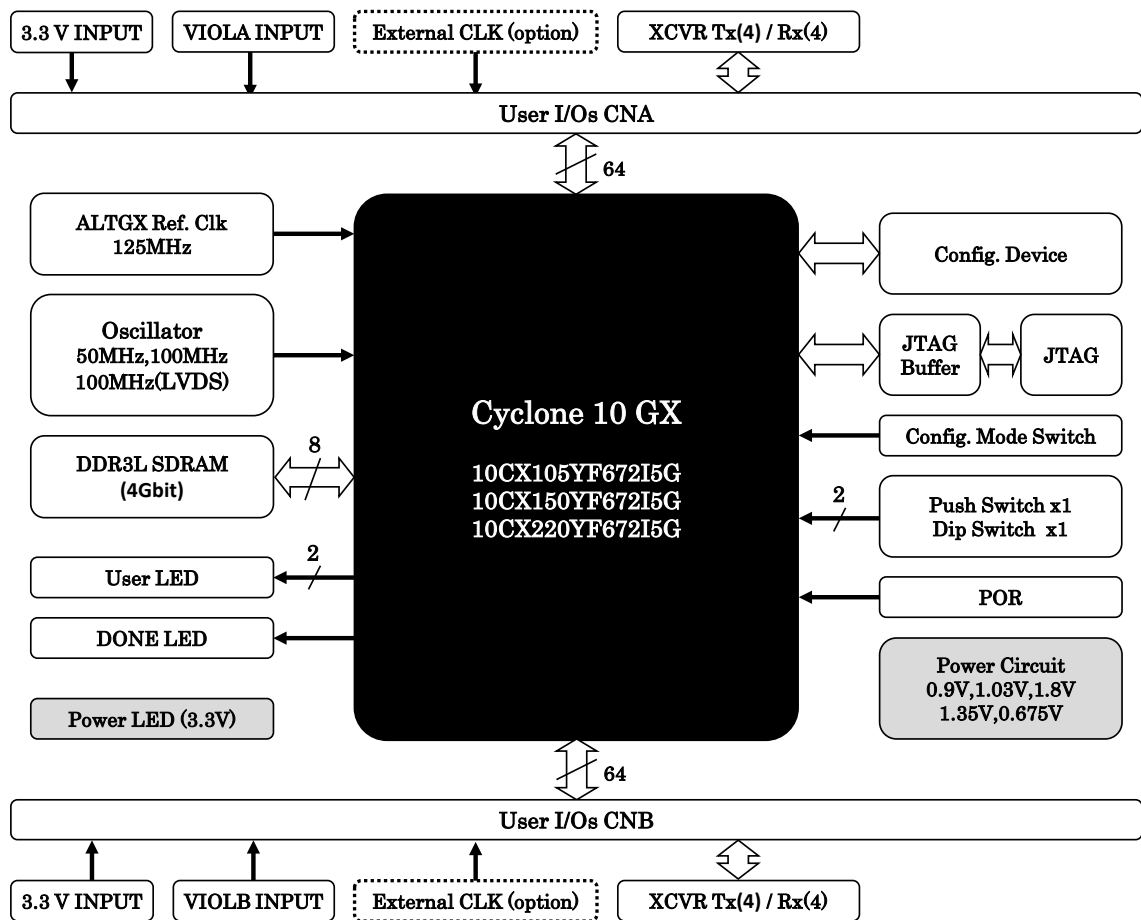


部品面



はんだ面

## 4.2 ブロック図



ACM-501 Rev.B

## 4.3 電源入力

電源は CNA/CNB の V33A より 3.3V を供給してください。FPGA で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

I/O 用電源については次項をご覧ください。



#### 4.4 I/O 用電源

FPGA の I/O Bank は Bank GroupA、Bank GroupB にグループ化されています。  
CNA/CNB 各コネクタの VIOL\*から任意の電圧を必ず供給してください。

コネクタ	Net Label	電圧範囲
CNA	VIOLA	1.2-1.8V
CNB	VIOLB	1.2-1.8V ※1

※1 RJ2 の実装位置を変更することにより、BANK-2L を 3.0V I/O として使用することができます

詳しくは FPGA のデータシートや回路図などを参照してください。

#### 4.5 クロック

オンボードクロックとして 50MHz(U7)/100MHz(U1)を搭載しています。  
ユーザ I/O コネクタより外部クロックを入力することも可能です。  
詳しくは回路図を参照してください。

#### 4.6 設定スイッチ

FPGA のコンフィギュレーションモードを変更できます。

SW1

コンフィギュレーションモード	1	2
	MSEL	ASW
PS (Passive Serial)	ON	X
AS (Active Serial)	OFF	X

※ON=Low, X=Don't Care

#### 4.7 汎用スイッチ

SW1[2]とSW2 を汎用用途に使用できます。プルアップされていますので ON または Push にて Low 入力となります。



#### 4.8 汎用 LED

L1, L2 を汎用用途に使用できます。Hi 出力で点灯します。

#### 4.9 デバッグ用 I/F

CN2 の 1,3 番ピンは直列抵抗を介して FPGA に直接接続されています。汎用用途に使用できます。2 番ピンは GND です。



### 5. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA のコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

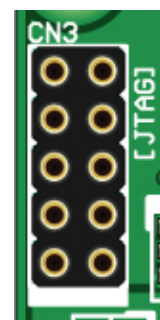
コンフィギュレーション完了後に DONE LED が点灯します。

ケーブル接続時は誤接続に注意してください。

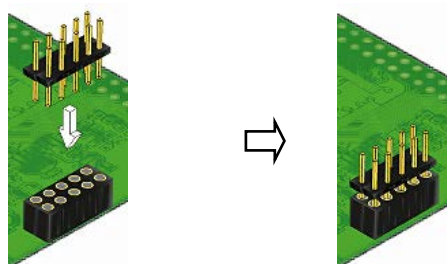
ピン配置は次表のとおりです。

CN3

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



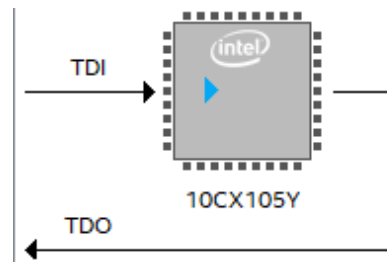
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

## 5.1 JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。FPGA 内蔵コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



## 5.2 コンフィグ ROM アクセスファイル(jic ファイル)の作成

コンフィギュレーション ROM へ書き込むためには jic(JTAG Indirect Configuration)ファイルが必要となります。Quartus Prime 17.1 を使用した作成手順を以下に示します。

- (1) 【File】 から、【 Convert Programming Files.. 】 をクリックします
- (2) 設定画面にて必要な項目を設定します
  - 【Programming File type】 : JTAG Indirect Configuration File (.jic)
  - 【Configuration device】 : MT25QU256
  - 【Mode】 : Active Serial (x4 には対応していません)

※ jic ファイル作成時【MT25QU256】が選択できない場合 ini 変数を使用することにより実現できます。

プロジェクトディレクトリ内の quartus.ini ファイルに次の変数を追加します。

```
pgm_allow_mt25q = on
```

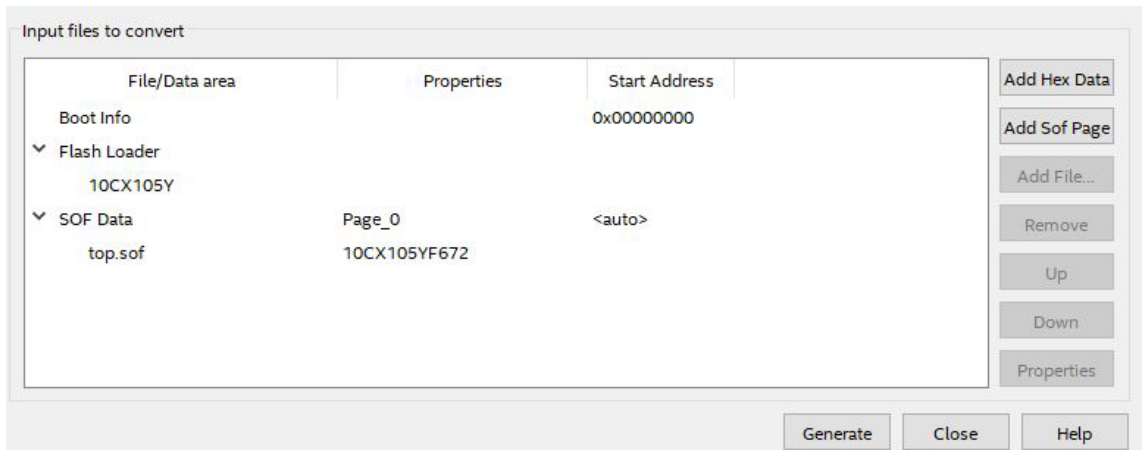
quartus.ini ファイルが無い場合、テキストエディタを使用して変数を追加した quartus.ini を作成し、プロジェクトディレクトリまたは

<Quartus Prime インストールディレクトリ>%bin64 に保存します。

変数を追加した後にプロジェクトを開くと MT25Q デバイスが選択できます。

詳しくは Intel 社の KDB を参照してください。

- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File...】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします

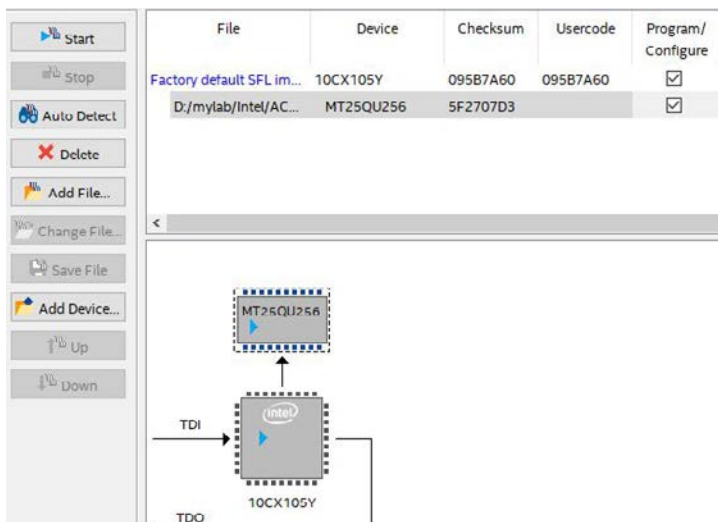


- (7) 【Generate】をクリックします

### 5.3 コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは設定スイッチ（SW1）により AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 実行したい項目にチェックを入れ、【Start】をクリックします



## 6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/acm-501L/index.html>

[https://www.hdl.co.jp/support\\_c.html](https://www.hdl.co.jp/support_c.html)

- 回路図
- ピン割付表
- 外形寸法図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

## 7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

### おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

---

## **Cyclone10 GX FPGA ボード**

ACM-501L シリーズ  
ユーザーズマニュアル

2023/03/30 Ver.1.0

---

### **有限会社ヒューマンデータ**

〒567-0034  
大阪府茨木市中穂積 1-2-10  
茨木ビル

TEL : 072-620-2002

FAX : 072-620-2003

URL : <https://www.hdl.co.jp> (Japan)

<https://www2.hdl.co.jp/en/> (Global)

---