

## 16ビットシリアル - パラレル変換 IC

### ■ 概要

NJU3716A は、16ビットのシリアルデータをパラレルに変換するシリパラ変換用ICで、2.4~5.5Vで動作するMPUの出力ポート拡張器として最適です。

MPUとの接続は4本の信号線で可能で、MPUの出力ポートを有効に使用することが可能です。

DATA端子からのシリアル入力は5MHzまで動作可能で、入力されたデータはシリアル入力パラレル出力のシフトレジスタ、パラレルデータラッチ回路及び、出力ドライバを介し出力されます。

さらに、DATA端子からのシリアルデータは、シフトレジスタを介してSO端子より出力されますので、カスケード接続により、ビット数の増加が図れます。

入力回路にはシュミット回路を用いた事によりノイズに強く、また出力回路は各々25mAの駆動能力を持っていることにより、LEDの駆動その他に幅広く応用できます。

### ■ 外形

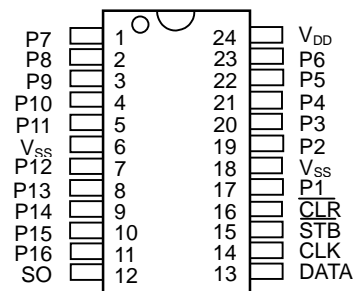


NJU3716AVC2

### ■ 特長

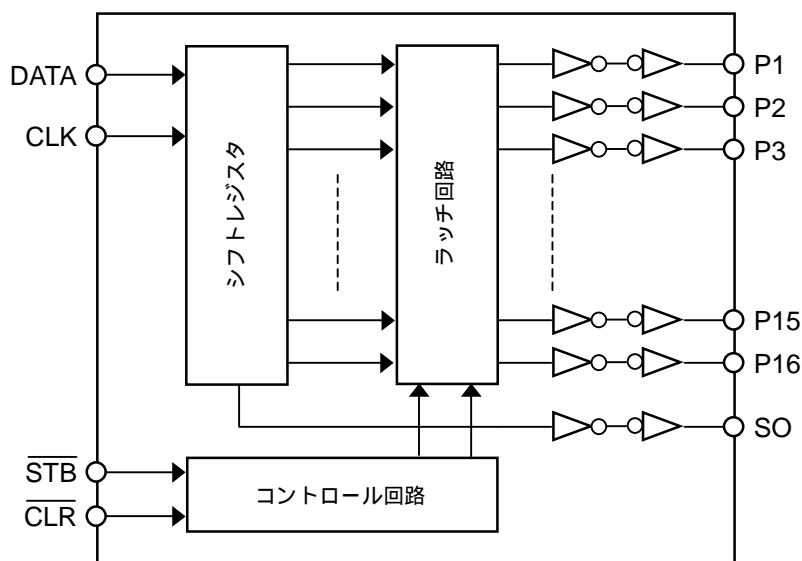
- 16ビットシリアル入力パラレル出力
- カスケード接続
- ヒステリシス入力 typ.0.5V@5V
- 動作電源電圧 2.4 ~ 5.5V
- 最大動作周波数 5MHz
- 出力電流 25mA @5V、5mA @3V
- C-MOS 構造
- 外形 SSOP24-C2

### ■ 端子配列



NJU3716AVC2

### ■ ブロック図



## ■ 端子説明

No.	記号	I/O	機能
1	P7	0	パラレル変換データ出力端子
2	P8	0	
3	P9	0	
4	P10	0	
5	P11	0	
6	V <sub>SS</sub>	-	GND
7	P12	0	パラレル変換データ出力端子
8	P13	0	
9	P14	0	
10	P15	0	
11	P16	0	
12	S0	0	シリアルデータ出力端子
13	DATA	I	シリアルデータ入力端子
14	CLK	I	クロック信号入力端子
15	STB	I	ストロブ信号入力端子
16	CLR	I	クリアー信号入力端子
17	P1	0	パラレル変換データ出力端子
18	V <sub>SS</sub>	-	GND
19	P2	0	パラレル変換データ出力端子
20	P3	0	
21	P4	0	
22	P5	0	
23	P6	0	
24	V <sub>DD</sub>	-	電源接続端子 (2.4 ~ 5.5V)

## ■ 機能説明

### リセット

CLR 端子を“L”に設定すると全てのラッチがリセットされ、全てのパラレル出力は“L”となります。

CLR 端子は通常“H”の設定とします。

### データ転送

STB 端子を“H”に設定し、CLK 端子に与えるクロックの立上りに同期して、DATA 端子に入力されるシリアルデータが順次シフトレジスタに取り込まれます。



必要なシリアルデータが取り込まれた後 STB 端子を“L”にする事により、その時のシフトレジスタの内容がラッチ回路に転送されます。

なお、STB 端子が“L”の状態では CLK 端子よりクロックを入力しますと、シフトレジスタのデータが順次シフトしますので、クロック信号には気をつける必要があります。

### カスケード接続

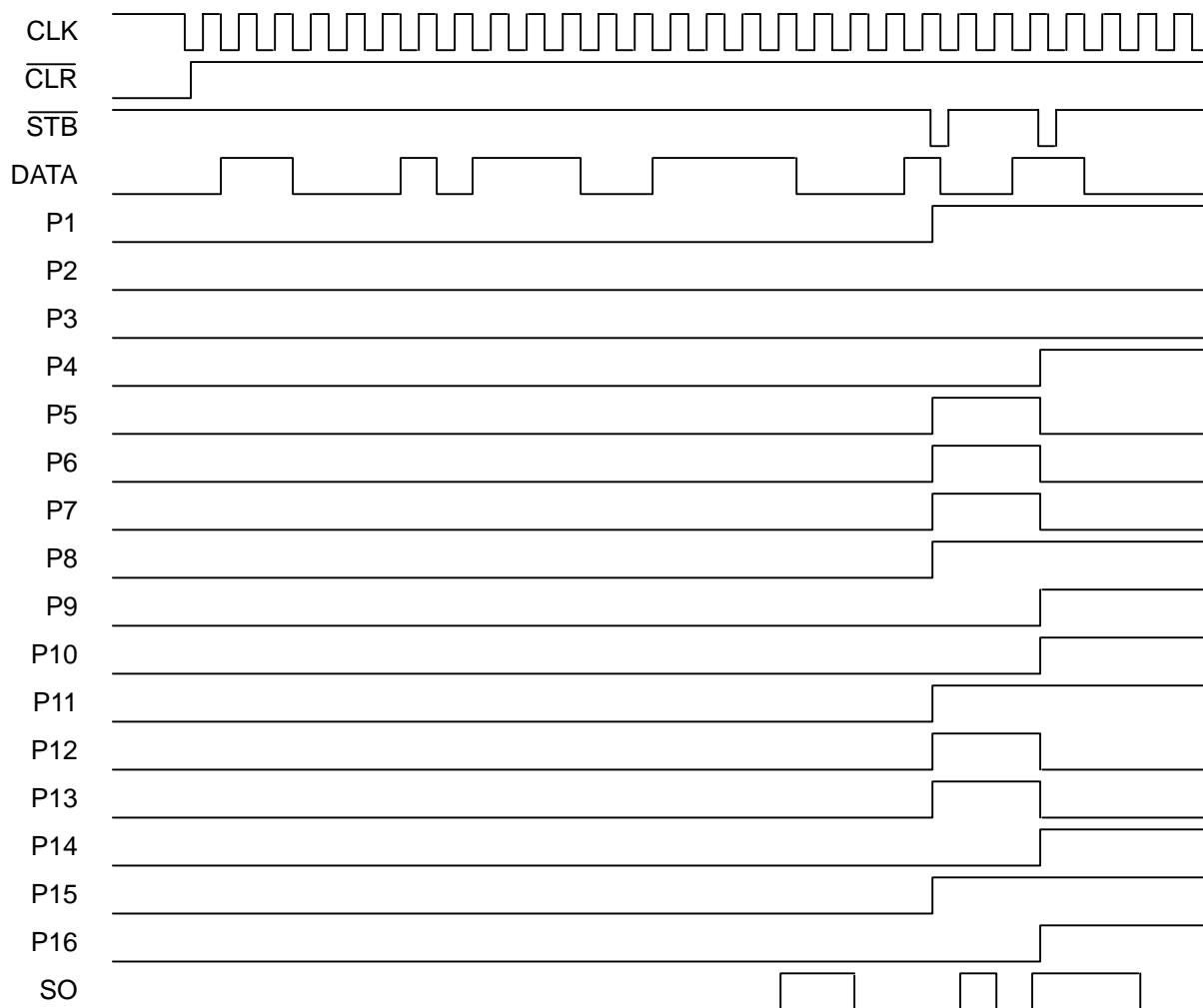
SO 端子からは CLR、STB 端子に関係なく、DATA 端子のシリアル入力データがシフトレジスタを介して出力されます。

また、入力の 4 端子にはノイズ対策の為にシュミット・トリガー構造を採用し、ヒステリシスを持たせています。

CLK	STB	CLR	動作内容
X	X	L	ラッチ回路の内容が全てリセットされ(シフトレジスタの内容は変化しません)、パラレル出力は全て“L”となります。
	H	H	DATA 端子のシリアルデータがシフトレジスタに取り込まれます。この時、ラッチ回路の内容は変化しません。
L	L	H	シフトレジスタの内容がラッチ回路に転送され、ラッチ回路の内容がパラレル出力から出力されます。
H			
	L	H	STB=“L”、CLR=“H”の状態では CLK が入力されると、シフトレジスタの内容がシフトし、これに従ってラッチ回路の内容も換わります。

(注1) X : Don't care

## ■ タイムチャート



## ■ 絶対最大定格

(Ta=25 )

項 目	記 号	定 格	単 位
電源電圧範囲	V <sub>DD</sub>	-0.5 ~ +7.0	V
入力電圧範囲	V <sub>I</sub>	V <sub>SS</sub> -0.5 ~ V <sub>DD</sub> +0.5	V
出力電圧範囲	V <sub>O</sub>	V <sub>SS</sub> -0.5 ~ V <sub>DD</sub> +0.5	V
出力電流	I <sub>O</sub>	± 25	mA
出力短絡電流 (SO 端子) (注5)	I <sub>OS</sub>	V <sub>O</sub> =7V, V <sub>I</sub> =0V	10 (max)
		V <sub>O</sub> =0V, V <sub>I</sub> =7V	-10 (max)
出力短絡電流 (P1 ~ P16 端子) (注5)	I <sub>OSD</sub>	V <sub>O</sub> =7V, V <sub>I</sub> =0V	20 (max)
		V <sub>O</sub> =0V, V <sub>I</sub> =7V	-20 (max)
許容損失	P <sub>D</sub>	705 (SSOP) (注6)	mW
動作温度範囲	Topr	-25 ~ +85	°C
保存温度範囲	Tstg	-65 ~ +150	°C

(注2) 電圧は全て V<sub>SS</sub>=0V を基準とした値です。

(注3) 絶対最大定格を超えて IC を使用した場合、IC の永久破壊となることがあります。また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えると IC の誤動作の原因になると共に、IC の信頼性に悪影響を及ぼすことがあります。

(注4) 安定して動作させるために、V<sub>DD</sub>-V<sub>SS</sub> 間にデカップリングコンデンサを挿入してください。

(注5) 1 端子 1 秒間、V<sub>DD</sub>=7V、V<sub>SS</sub>=0V。

(注6) EIA/JEDEC 仕様基板 (76.2 × 114.3 × 1.6mm、2 層、FR-4) 基板実装時。

## ■ DC 電気的特性

(特記無き場合 V<sub>DD</sub>=2.4 ~ 5.5V, V<sub>SS</sub>=0V, Ta=25 )

項 目	記号	条 件	MIN	TYP	MAX	単 位
動作電源電圧	V <sub>DD</sub>		2.4	-	5.5	V
電源電流	I <sub>DD</sub>	V <sub>IH</sub> =V <sub>DD</sub> , V <sub>IL</sub> =V <sub>SS</sub>	-	-	0.1	mA
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> =-0.4mA	SO 端子	-	V <sub>DD</sub> -0.4	V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> =+3.2mA			V <sub>SS</sub>	0.4
高レベル入力電圧	V <sub>IH</sub>		0.7V <sub>DD</sub>	-	V <sub>DD</sub>	V
低レベル入力電圧	V <sub>IL</sub>		V <sub>SS</sub>	-	0.3V <sub>DD</sub>	V
入力リーク電流	I <sub>LI</sub>	V <sub>I</sub> =0 ~ V <sub>DD</sub>	-10	-	10	uA
高レベル出力電圧 (注7)	V <sub>OHD</sub>	V <sub>DD</sub> =5V	P1 ~ P16 端子	I <sub>OH</sub> =-25mA	V <sub>DD</sub> -1.5	V <sub>DD</sub>
				I <sub>OH</sub> =-15mA	V <sub>DD</sub> -1.0	V <sub>DD</sub>
		V <sub>DD</sub> =3V	P1 ~ P16 端子	I <sub>OH</sub> =-10mA	V <sub>DD</sub> -0.5	V <sub>DD</sub>
				I <sub>OH</sub> =-5mA	V <sub>DD</sub> -0.5	V <sub>DD</sub>
低レベル出力電圧 (注7)	V <sub>OLD</sub>	V <sub>DD</sub> =5V	P1 ~ P16 端子	I <sub>OL</sub> =+25mA	V <sub>SS</sub>	1.5
				I <sub>OL</sub> =+15mA	V <sub>SS</sub>	0.8
		V <sub>DD</sub> =3V	P1 ~ P16 端子	I <sub>OL</sub> =+10mA	V <sub>SS</sub>	0.4
				I <sub>OL</sub> =+5mA	V <sub>SS</sub>	0.5

(注7) 条件中の電流値は、1 端子に対する規定であり、使用時に許容損失を超えない事。

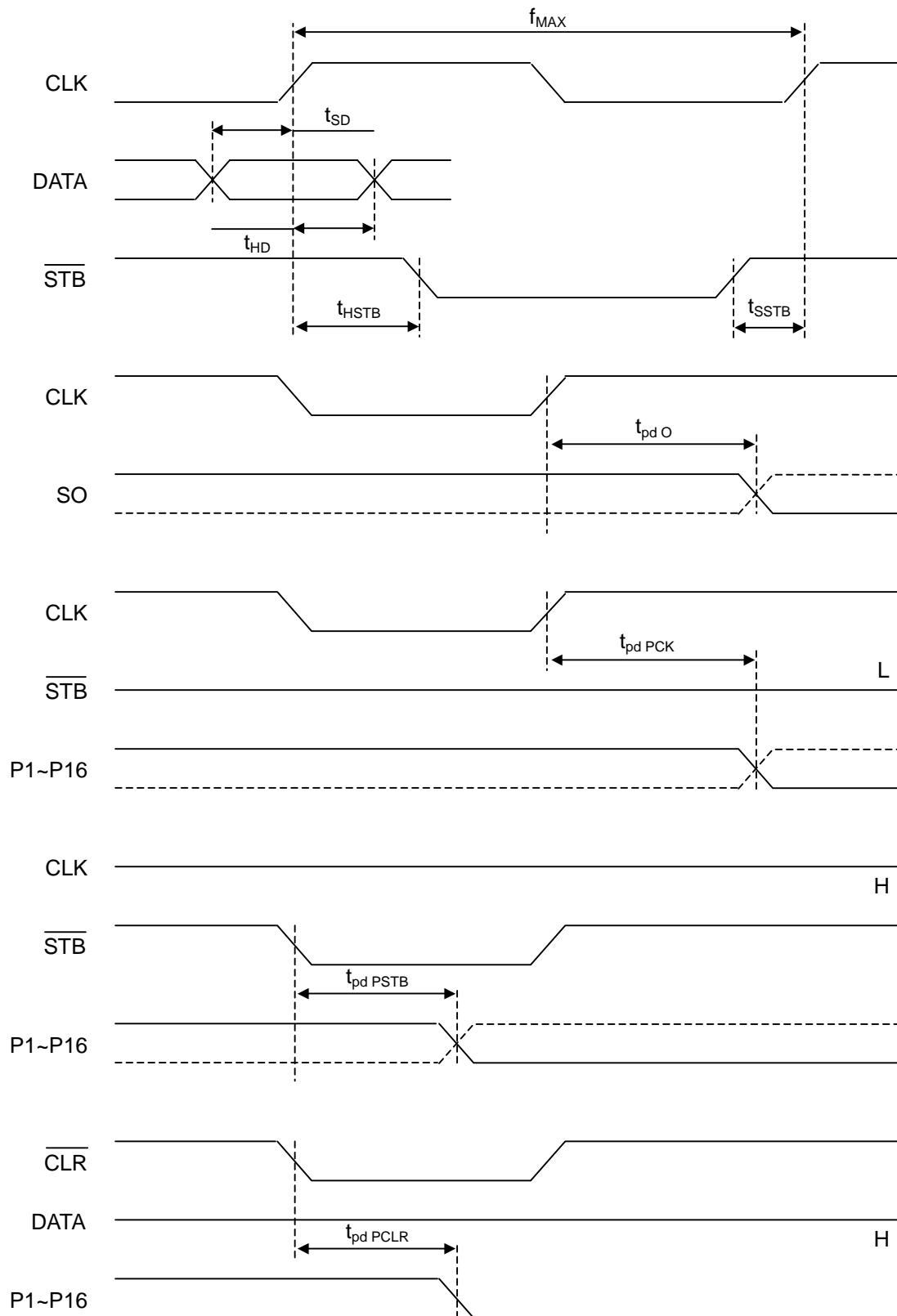
## ■ スイッチング特性

(特記無き場合  $V_{DD}=2.4 \sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=25$  )

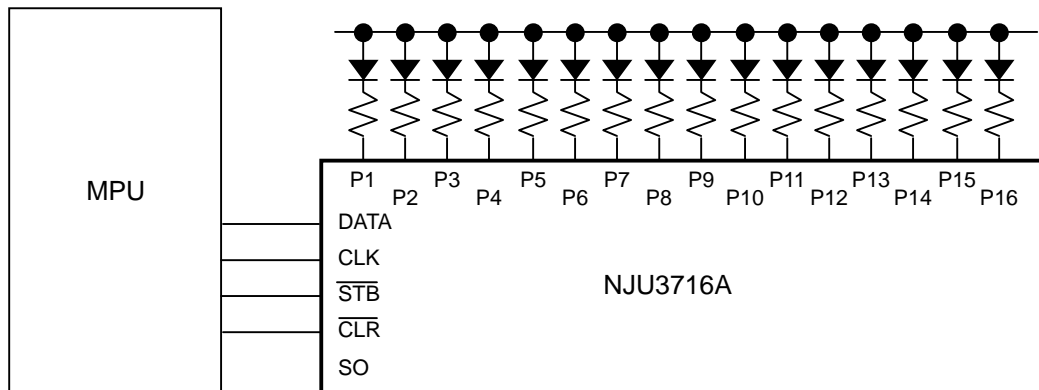
項目	記号	条件	MIN	TYP	MAX	単位
セットアップ時間	$t_{SD}$	DATA-CLK	20	-	-	ns
ホールド時間	$t_{HD}$	CLK-DATA	20	-	-	ns
セットアップ時間	$t_{SSTB}$	$\overline{STB}$ -CLK	30	-	-	ns
ホールド時間	$t_{HSTB}$	CLK- $\overline{STB}$	30	-	-	ns
出力遅延時間	$t_{pdO}$	CLK-SO	-	-	70	ns
	$t_{pdPCK}$	CLK-P1 ~ P16	-	-	100	ns
	$t_{pdPSTB}$	$\overline{STB}$ -P1 ~ P16	-	-	80	ns
	$t_{pdPCLR}$	$\overline{CLR}$ -P1 ~ P16	-	-	80	ns
最大動作周波数	$f_{MAX}$		5	-	-	MHz

(注8)  $C_{OUT}=50pF$ 。

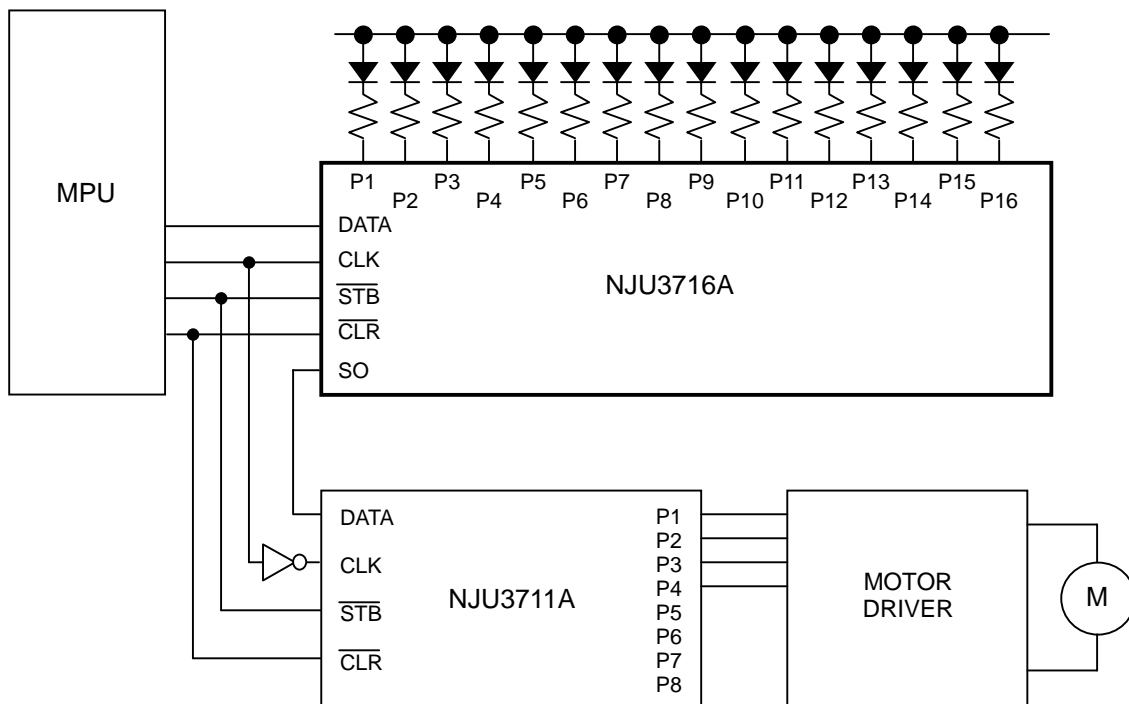
## ■ スイッチング特性測定波形



## ■ 応用回路例 1



## ■ 応用回路例 2 (NJU3711A との組み合わせ)



### <注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。