

RX71M グループ

ルネサスマイクロコンピュータ

R01DS0249JJ0110

Rev.1.10

2017.12.28

240MHz、32ビットRX MCU、FPU内蔵、480 DMIPS、
最大4Mバイトフラッシュメモリ、512KバイトSRAM、IEEE1588対応Ether MAC、バッテリーチャージ付USB2.0
ハイスピード、SD Host I/F (オプション)、Quad SPI、CANなど多種多様な通信機能、12ビットA/Dコンバー
タ、RTC、暗号機能 (オプション)、音源用シリアルI/F、CMOSカメラI/F

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 240MHz
- 480DMIPS の性能 (240MHz 動作時)
- 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 2種類の積和演算器 (メモリ間、レジスタ間)
- 32ビット乗算器 (最速1クロックで実行)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- JTAG および FINE (1線式) の2種類のデバッグインタフェース

■消費電力低減機能

- 2.7V ~ 3.6V 動作の単一電源
- 全周辺機能サポート時、0.2mA/MHz (Typ.) の消費電力
- 専用電源で動作可能な RTC
- 4種類の低消費電力モード

■内蔵コードフラッシュメモリ

- 最大 4M バイトまでをサポート
- 120MHz 以下もしくは AFU ヒット時はウェイトなし、120MHz より速く AFU ミス時は1ウェイト
- オンボードおよびオフボードによるユーザ書き込み
- Back Ground Operation (BGO) によるプログラミング / イレース

■内蔵データフラッシュメモリ

- 64K バイト (100k 回イレース可能)
- Back Ground Operation (BGO) によるプログラミング / イレース

■内蔵 SRAM

- 512K バイト SRAM (ノーウェイト、ただし、ICLK が 120MHz より速い場合は 0004 0000h ~ 0007 FFFFh の 256K バイトは1ウェイト)
- 32K バイト ECC 付き RAM (シングルエラー訂正 / ダブルエラー検出)
- 8K バイト スタンバイ RAM (ディープソフトウェアスタンバイモード時、バックアップ可能)

■データ転送機能

- DMAC : 8ch 内蔵
- DTC
- EXDMAC : 2ch 内蔵
- イーサネットコントローラ専用 DMAC : 3ch (176/177pin)、2ch (100/144/145pin)

■リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 24MHz
- 内部 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■リアルタイムクロック内蔵

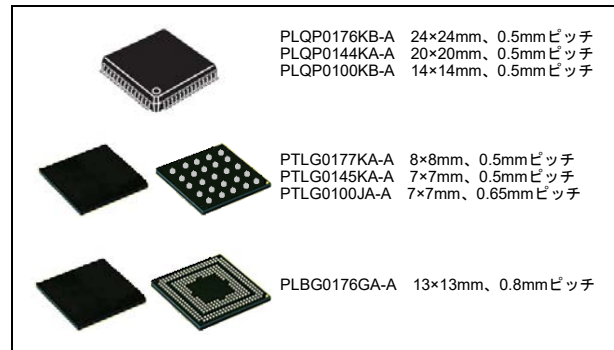
- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- 時間キャプチャ機能 (イベント端子入力で時間をキャプチャ)

■独立ウォッチドッグタイマ内蔵

- 120kHz (LOCO の 1/2) クロック動作

■IEC60730 対応機能内蔵

- 発振停止検出、周波数測定機能、CRC、IWDTa、A/D 自己診断など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット内蔵



■多種多様な通信機能を内蔵

- IEEE1588 対応 Ether-MAC を内蔵 (176、177pin は 2ch)
- バッテリーチャージ付USB2.0ハイスピードホスト/ファンクション/OTG (1ch) PHY 内蔵 (176、177pin のみ)
- USB2.0 フルスピード ホスト/ファンクション/OTG (1ch) PHY 内蔵 (1ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (最大 3ch)
- 多彩な機能に対応した SCIg、h (最大 9ch) 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIFA (最大 4ch)
- I²C バスインタフェース 最大 1Mbps 転送 (最大 2ch)
- RSPIa (2ch) に加え 4 線式の QSPI (1ch) を搭載
- CMOS カメラ I/F 用のパラレルデータキャプチャユニット (PDC) を内蔵 (100 ピン版を除く)
- SD Host I/F (オプション: 1ch) SD メモリ /SDIO 1 or 4 ビット SD バスをサポート
- MMCIF 転送バス幅 1/4/8 ビットをサポート

■外部アドレス空間

- 高速動作バス @60MHz (max)
- 8 つの CS 領域をサポート
- エリアごとに 8/16/32 ビットバス空間を選択可能
- 独立した SDRAM 空間 (128M バイト)

■最大 29 本の拡張タイマ機能

- 16 ビット TPUa、MTU3a、GPTA : インプットキャプチャ、アウトプットコンペア、PWM 波形出力
- 8 ビット TMRa (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■12 ビット A/D コンバータ内蔵

- 12 ビット ×2 ユニットの (ユニット 0 : 8ch、ユニット 1 : 21ch)
- 自己診断機能
- アナログ入力断線検出機能

■12 ビット D/A コンバータ内蔵 : 2ch

- 内蔵オペアンプ出力 / スルー出力選択可能

■チップ内部の温度を計測可能な温度センサを内蔵

■暗号機能 (オプション)

- AES (鍵長 128/192/256 ビット)
- DES (鍵長 56 ビット (DES)、3 × 56 ビット (T-DES))
- SHA (SHA-1 (128)、SHA-2 (224/256)、HMAC (160/224/256))

■最大 127 本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■動作周囲温度

- 40℃ ~ +85℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数、およびコードフラッシュメモリ容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 9)

分類	モジュール/機能	説明
CPU	中央演算処理装置	- 最大動作周波数：240MHz 32ビットRX CPU (RXv2) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×10本 - アキュムレータ：72ビット×2本 - 基本命令：75種類 - 浮動小数点演算命令：11種類 - DSP機能命令：23種類 - アドレッシングモード：11種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - バレルシフタ：32ビット
	FPU	- 単精度浮動小数点数(32ビット) - IEEE754に準拠したデータタイプ、および例外
メモリ	コードフラッシュメモリ	- 容量：2M/2.5M/3M/4Mバイト 120MHz以下の場合にはノーウェイトアクセス、120MHzより速い場合は1ウェイトアクセス - AFUにヒットしている命令/オペランドは240MHzノーウェイトアクセス可能 - オンボードプログラミング：4種類 - オフボードプログラミング(パラレルライターモード) - Trusted Memory (TM)機能による、ブロック8, 9に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	- 容量：64Kバイト - プログラム/イレース回数：100000回
	RAM	- 容量：512Kバイト 0000 0000h～0003 FFFFh (256Kバイト)：240MHz ノーウェイトアクセス 0004 0000h～0007 FFFFh (256Kバイト)：120MHz以下の場合にはノーウェイトアクセス、120MHzより速い場合は1ウェイトアクセス - SED (シングルエラー検出)
	ユニークID	12バイト長のデバイス固有のID
	ECC付きRAM (ECCRAM)	- 容量：32Kバイト 120MHz以下の場合には1ウェイトアクセス、120MHzより速い場合はリード2ウェイトアクセス、ライト3ウェイトアクセス - SEC-DED (シングルエラー訂正/ダブルエラー検出)
	スタンバイRAM	- 容量：8Kバイト - PCLKB同期：60MHz max, 2サイクルアクセス

表 1.1 仕様概要 (2 / 9)

分類	モジュール/機能	説明
動作モード		- リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ユーザブートモード - レジスタ設定による動作モードの選択 シングルチップモード、ユーザブートモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード - エンディアン選択可能
クロック	クロック発生回路	- メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ - 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 - メインクロック発振停止検出：あり - システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：240MHz max MTU3, GPT, RSPI, SCIFA, USB, ETHERC, EPTPC, EDMAC, AESの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max S12AD(ユニット0)のADCLKはPCLKC同期：60MHz max S12AD(ユニット1)のADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：60MHz max - 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして通信可能
リセット		9種類のリセットを内蔵 - RES#端子リセット：RES#端子がLowで発生 - パワーオンリセット：RES#端子がHighで、VCC = AVCC0 = AVCC1の上昇時発生 - 電圧監視0リセット：VCC = AVCC0 = AVCC1の下降時発生 - 電圧監視1リセット：VCC = AVCC0 = AVCC1の下降時発生 - 電圧監視2リセット：VCC = AVCC0 = AVCC1の下降時発生 - ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 - 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0 = AVCC1が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		VCC = AVCC0 = AVCC1端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生 - 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：3レベルから選択可(2.94V, 2.87V, 2.80V) - 電圧検出回路1, 2 電圧検出レベル：3レベルから選択可(2.99V, 2.92V, 2.85V) デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 - リセット解除タイミング2種類選択可 内部割り込み要求可能 - 上昇検知/下降検知選択可 - マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	- モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	バッテリーバックアップ機能	VCC端子が低下したとき、VBATT端子からのバッテリー電源で時計動作(RTC)が可能

表 1.1 仕様概要 (3 / 9)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUA)	- 周辺機能割り込み：要因数298 - 外部割り込み：要因数16 (IRQ0～IRQ15 端子) - ソフトウェア割り込み：要因数2 - ノンマスカブル割り込み：要因数7 16レベルの割り込み優先順位を設定可能 - 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(128要因は固定ベクタ。残り157要因から128ベクタを選択)
外部バス拡張		- 外部アドレス空間を8つのエリア (CS0～CS7) に分割して管理 各エリアの領域：16Mバイト (CS0～CS7) エリアごとにチップセレクト (CS0#～CS7#) 出力可能 エリアごとに8ビットバス空間/16ビットバス空間/32ビットバス空間を選択可能 エリアごとにエンディアンを設定可能 (データのみ) - SDRAM インタフェース接続可能 - バス形式：セパレートバス、マルチプレクスバス - ウェイト制御可能 - ライトバッファ機能
DMA	DMA コントローラ (DMACAa)	8チャンネル - 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	EXDMA コントローラ (EXDMACa)	2チャンネル - 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード - EDACKn 信号によるシングルアドレス転送が可能 - 起動要因：ソフトウェアトリガ、外部DMA転送要求 (EDREQn)、周辺機能割り込み
	データトランスファコントローラ (DTCa)	- 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	177ピンTFLGA、176ピンLFBGA、176ピンLFQFP 入出力：127 入力：1 プルアップ抵抗：127 オープンドレイン出力：127 5Vトレラント：19 145ピンTFLGA、144ピンLFQFP 入出力：111 入力：1 プルアップ抵抗：111 オープンドレイン出力：111 5Vトレラント：18 100ピンTFLGA、100ピンLFQFP 入出力：78 入力：1 プルアップ抵抗：78 オープンドレイン出力：78 5Vトレラント：17
	イベントリンクコントローラ (ELC)	- 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 119種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 - 周辺機能のイベントで出力端子の状態を変更可能 (ポートB、E) - 入力端子の変化で周辺機能が連動可能 (ポートB、E)

表 1.1 仕様概要 (4 / 9)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPUa)	• (16ビット×6チャンネル)×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード(2相エンコーダ入力)、カスケード接続動作(32ビット×2チャンネル)をサポート • PPGの出力トリガを生成可能 • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子におけるデジタルフィルタ機能 • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3a)	• 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウンタクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル0は14種類、チャンネル2は12種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル5は10種類) • インพุットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インพุットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 43種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイ機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード: 16ビットモード(チャンネル1, 2)/32ビットモード(チャンネル1, 2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インพุットキャプチャ、外部カウンタクロック端子におけるデジタルフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート
	ポートアウトプットイネーブル3 (POE3a)	• MTU3/GPT波形出力端子のハイインピーダンス制御 • POE0, POE4, POE8, POE10, POE11の5つの入力端子による起動 • 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出)による起動 • 発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能

表 1.1 仕様概要 (5 / 9)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTA)	16ビット×4チャンネル - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波)が選択可能 - チャンネルごとに4種類のカウンタクロック (PCLKA/1, PCLKA/4, PCLKA/8, PCLKA/16) から選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - それぞれのカウンタを同期動作可能 - 同期動作のモード(同時または任意のタイミングでずらす(位相シフトに対応)) - PWM動作の際にデッドタイム生成が可能 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 - 外部/内部トリガによりカウントスタート/クリア/ストップ可能 - 内部トリガ要因として、内蔵コンパレータ出力、ソフトウェア、コンペアマッチ - インプットキャプチャ、外部トリガ端子におけるデジタルフィルタ機能 - ELCによるイベントリンク機能をサポート
	プログラマブルパルスジェネレータ (PPG)	(4ビット×4グループ) × 2ユニット - MTU3、またはTPUからの出力をトリガとしてパルスを出力 - 最大32本のパルス出力
	8ビットタイマ (TMRb)	(8ビット×2チャンネル) × 2ユニット 7種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192) と外部クロックを選択可能 - 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 - A/Dコンバータの変換開始トリガを生成可能 - SCI5, SCI6, SCI12のボーレートクロック生成可能 - ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	(16ビット×2チャンネル) × 2ユニット 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 - ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW (CMTW)	(32ビット×1チャンネル) × 2ユニット - コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 - コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 - ELCによるイベントリンク機能をサポート
	リアルタイムクロック (RTCd)	- クロックソース：メインクロック、サブクロック - 時計カウント/秒単位の32ビットバイナリカウントを選択可能 - 時計/カレンダー機能 - 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み - バッテリーバックアップ動作 3値タイムキャプチャ機能 - ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTa)	14ビット×1チャンネル 6種類のカウンタクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	14ビット×1チャンネル - カウンタクロック：IWDT専用オンチップオシレータ - IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 - ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) - ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (6 / 9)

分類	モジュール/機能	説明
通信機能	イーサネットコントローラ (ETHERC)	2チャンネル - イーサネット/IEEE802.3 フレームの送受信 10Mbps および 100Mbps 転送への対応 - 全二重モードおよび半二重モード対応 - IEEE802.3u 規格の MII (Media Independent Interface) および RMII (Reduced MediaIndependent Interface) に対応 - Magic Packet™ (注1) の検出および Wake-On-LAN (WOL) 信号の出力 - IEEE802.3x 規格のフロー制御準拠 - マルチキャストフレームのフィルタリング機能をサポート - フレームデータを 2チャンネル間でカッスルーによりダイレクト転送可能
	イーサネットコントローラ用 PTP コントローラ (EPTPCa)	- イーサネットコントローラ (ETHERC) に接続することで IEEE1588 規格に準拠 - タイムスタンプの一致により、MTU3、GPT のカウント動作開始が可能
	イーサネットコントローラ用 DMA コントローラ (EDMACa)	3チャンネル (各 EDMAC は、ラウンドロビン方式で優先順位を決定) ETHERC 用：2チャンネル、EPTPC 用：1チャンネル - ディスクリプタ管理方式による CPU 負荷の軽減 - 送信 FIFO：2K バイト、受信 FIFO：4K バイト
	USB2.0 FS ホスト/ファンクションモジュール (USBb)	- USB2.0 FS に対応した UDC (USB Device Controller) および トランシーバを内蔵 1ポート - USBバージョン 2.0 準拠 - 転送スピード：フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ) - セルフパワーモードおよびバスパワードを選択可能 - OTG (On-The-Go) に対応 (ロースピードは未対応) - 通信バッファとして 2K バイトの RAM を内蔵 - 外付け Pull-Up 抵抗、Pull-Down 抵抗が不要
	バッテリーチャージ付 USB2.0 HS ホスト/ファンクションモジュール (USBAA)	- USB2.0 HS に対応した UDC (USB Device Controller) および トランシーバを内蔵 1ポート (177/176 ピン版のみ) - USBバージョン 2.0 準拠 - 転送スピード：ハイスピード (480Mbps)、フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ) - セルフパワーモードおよびバスパワードを選択可能 - OTG (On-The-Go) に対応 (ロースピードは未対応) - 通信バッファとして 8.5K バイトの RAM を内蔵 - 外付け Pull-Up 抵抗、Pull-Down 抵抗が不要
	シリアルコミュニケーションインタフェース (SCIg, SCIH)	9チャンネル：(SCIg：8チャンネル + SCIH：1チャンネル) - SCIg シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSB ファースト/MSB ファーストを選択可能 TMR からの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易 I2C サポート 簡易 SPI サポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート ELC によるイベントリンク機能をサポート (SCI5のみ) - SCIH (SCIg に以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LIN フォーマットをサポート
	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	4チャンネル - シリアル通信方式：調歩同期式/クロック同期式 - 内蔵ボーレートジェネレータで任意のビットレートを選択可能 - LSB ファースト/MSB ファーストを選択可能 - 送信部、受信部ともに 16 バイトの FIFO バッファ構造による連続送信、受信が可能 - ビットレートモジュレーション機能をサポート - 倍速モードをサポート

表 1.1 仕様概要 (7 / 9)

分類	モジュール/機能	説明
通信機能	I ² Cバス インタフェース (R/IICa)	2チャンネル(チャンネル0のみFM+に対応可能) - 通信フォーマット - I²Cバスフォーマット/SMBusフォーマット - マルチマスタ対応 - 最大転送レート: 1Mbps (チャンネル0) - ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	3チャンネル - ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 32メールボックス/チャンネル
	シリアルペリフェラル インタフェース(RSPIa)	2チャンネル - RSPI転送機能 - MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 - マスタ/スレーブモードでのシリアル通信が可能 - データフォーマット - MSBファースト/LSBファーストの切り替え可能 - 転送ビット長を8~16, 20, 24, 32ビットに変更可能 - 送信/受信バッファは128ビット - 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) - バッファ構成 - 送信/受信バッファ構成はダブルバッファ - マスタ受信時、RSPCKは受信バッファフルで自動停止可能 - ELCによるイベントリンク機能をサポート
	クワッドシリアルペリ フェラルインタフェース (QSPI)	1チャンネル - マルチI/O (Single/Dual/Quad)対応のシリアルフラッシュメモリと接続可能 - プログラマブルなビット長、クロック極性、クロック位相を選択可能 - 転送をシーケンシャルに実行可能 - MSBファースト/LSBファーストの選択可能
シリアルサウンドインタフェース (SSI)		2チャンネル - 全二重通信可能(チャンネル0のみ) - 多様なシリアルオーディオフォーマットをサポート - マスタ/スレーブ機能をサポート - ビットクロック周波数を4種類(16fs, 32fs, 48fs, 64fs)から選択可能 8/16/18/20/22/24ビットデータフォーマットをサポート - 送受信用8段FIFO内蔵 - データ転送停止時にSSIWSを停止するかしないかを選択可能
サンプリングレートコンバータ (SRC)		1チャンネル - データ形式: ステレオ32ビット(L/R各16ビット)、モノラル16ビット - 入力サンプリングレート: 8kHz/11.025kHz/12kHz/16kHz/22.05kHz/24kHz/32kHz/44.1kHz/48kHz - 出力サンプリングレート: 32kHz/44.1kHz/48kHz/8kHz (注2)/16kHz (注2)
SDホストインタフェース(SDHI) (注4)		1チャンネル - 転送スピード: ハイスピードモード(15MB/s)、デフォルトスピードモード(10.0MB/s) - SDメモリ/I/Oカードインタフェース(1ビット/4ビットSDバス) - SD Specifications - Part 1: Physical Layer Specification Ver.3.01 準拠(DDR未対応) - Part E1: SDIO Specification Ver. 3.00 - エラーチェック機能: CRC7 (コマンド)、CRC16 (データ) - 割り込み要因: カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み - DMA転送要因: SD_BUFライト、SD_BUFリード - カード検出機能、ライトプロテクトをサポート
MMCホストインタフェース(MMCIF)		1チャンネル - 転送スピード: ハイスピードモード(30MB/s)、バックワードコンパチブルモード(25MB/s) - JEDEC STANDARD JESD84-A441 準拠(DDR未対応) - Multi Media Card (MMC)とのインタフェース - データバス: 1ビット/4ビット/8ビットMMCモードに対応 - 割り込み要因: カード検出割り込み、エラー/タイムアウト割り込み、通常動作割り込み - DMA転送要求: CE_DATAライト、CE_DATAリード - カード検出機能、ブートオペレーション、High Priority Interrupt (HPI)をサポート

表 1.1 仕様概要 (8 / 9)

分類	モジュール/機能	説明
パラレルデータキャプチャユニット (PDC)		1チャンネル - 外部8ビットデータを水平同期信号、垂直同期信号に同期して取り込み 1フレーム画像から切り出したい画像サイズを設定可能
12ビットA/Dコンバータ (S12ADC)		12ビット×2ユニット(ユニット0: 8チャンネル、ユニット1: 21チャンネル) - 分解能: 12ビット(12ビット/10ビット/8ビットの分解能切り替え可能) - 変換時間 1チャンネル当たり(0.48μs)(12ビット変換モード) 1チャンネル当たり(0.45μs)(10ビット変換モード) 1チャンネル当たり(0.42μs)(8ビット変換モード) - 動作モード - スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) - グループA優先制御動作(グループスキャンモードのみ) - サンプル&ホールド機能 - ユニット共通のサンプル&ホールド回路を搭載 - 上記に加え、チャンネル専用サンプル&ホールド回路を3チャンネル搭載(ユニット0のみ) - サンプリング可変機能 - チャンネルごとにサンプリング時間が設定可能 - デジタルコンペア機能 - 方式: 大小比較、またはウィンドウ比較 - 手段: 2つの変換結果を比較、または比較レジスタと変換結果を比較 - 自己診断機能 - 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0: VREFL0, VREFH0 × 1/2, VREFH0, ユニット1: AVSS1, AVCC1 × 1/2, AVCC1) - ダブルトリガモード(A/D変換データ二重化機能) - アナログ入力断線検出機能 3種類のA/D変換開始方法 - ソフトウェアトリガ、タイマ(MTU3, GPT, TMR, TPU)のトリガ、外部トリガ - ELCによるイベントリンク機能をサポート
12ビットD/Aコンバータ (R12DA)		2チャンネル - 分解能: 12ビット - 出力電圧: 0.2V ~ AVCC1 - 0.2V (AMP出力)/0V ~ AVCC1 (スルー出力) - AMP出力/スルー出力を切り替え可能 - ELCによるイベントリンク機能をサポート
温度センサ		1チャンネル - 相対精度: ±1°C - 温度を電圧に変換し12ビットA/Dコンバータ(ユニット1)でデジタル化
セーフティ	メモリプロテクションユニット (MPU)	- プロテクションエリア: 0000 0000h ~ FFFF FFFFh範囲内で最大8エリアを設定可能 - 最小保護単位: 16バイト - 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 - 設定エリア外へのアクセス検出時、アドレス例外が発生
	Trusted Memory (TM)機能	- コードフラッシュメモリのブロック8, 9に対するプログラムのリード防止機能 - TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRC)	8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ - LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止機能	メインクロック発振停止検出: あり
	クロック周波数精度測定回路(CAC)	メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路(DOC)	16ビットのデータを比較/加算/減算する機能

表 1.1 仕様概要 (9 / 9)

分類	モジュール/機能	説明
暗号機能	AESa (注3)	- 鍵長 : 128/192/256 ビット - CBC/ECB/CFB/OFB/CTR/CMACの動作モードをサポート - 演算処理速度 : 22サイクル@128ビット鍵長 26サイクル@192ビット鍵長 30サイクル@256ビット鍵長 - FIPS PUB 197 準拠
	DES (注3)	- 鍵長 : 56 ビット (DES)/ 3 × 56 ビット (T-DES) - DES, Triple-DESをサポート - ECB/CBCの動作モードをサポート - 演算処理速度 : 6サイクル@シングルDES 14サイクル@トリプルDES - FIPS PUB 46-3 準拠 - FIPS PUB 81 準拠
	SHAa (注3)	- SHA-1 (128)、SHA-2 (224/256)、HMAC (160/224/256) - 演算処理速度 : 50サイクル@SHA-1 42サイクル@SHA-224 42サイクル@SHA-256 - FIPS PUB 180-1,2 SHA 準拠 - FIPS PUB 198 HMAC 準拠
	真性乱数発生器 (RNG) (注3)	- 乱数ビット長 : 16 ビット - 乱数生成後、乱数生成割り込みが発生 - 乱数生成時間 : 3.6ms (typ)
動作周波数		240MHz max
電源電圧		VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, $2.7 \leq VREFH0 \leq AVCC0$, VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V, VBATT = 2.0 ~ 3.6V
動作周囲温度		Dバージョン : -40 ~ +85°C Gバージョン : -40 ~ +105°C (計画中)
パッケージ		177ピンTFLGA (PTLG0177KA-A) 176ピンLFBGA (PLBG0176GA-A) 176ピンLFQFP (PLQP0176KB-A) 145ピンTFLGA (PTLG0145KA-A) 144ピンLFQFP (PLQP0144KA-A) 100ピンTFLGA (PTLG0100JA-A) 100ピンLFQFP (PLQP0100KB-A)
オンチップデバッキングシステム		- E1エミュレータ (JTAGおよびFINEインタフェース) - E20エミュレータ (JTAGインタフェース)

注1. Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。

注2. 入力サンプリングレート44.1kHz選択時のみ設定可能です。

注3. 暗号機能の内蔵有無で型名が異なります。

注4. SDHIの内蔵有無で型名が異なります。

表 1.2 パッケージ別機能比較一覧 (1 / 2)

機能		RX71Mグループ		
パッケージ		177ピン 176ピン	145ピン 144ピン	100ピン
外部バス	外部バス幅	32ビット	16ビット	
	SDRAMエリアコントローラ	有		サポートなし
DMA	DMAコントローラ	ch0 ～ 7		
	データトランスファコントローラ	有		
	EXDMAコントローラ	ch0, 1		
タイマ	16ビットタイマパルスユニット	ch0 ～ 5		
	マルチファンクションタイマパルスユニット3	ch0 ～ 8		
	汎用PWMタイマ	ch0 ～ 3		
	ポートアウトプットイネーブル3	有		
	プログラマブルパルスジェネレータ	ch0, 1		
	8ビットタイマ	ch0 ～ 3		
	コンペアマッチタイマ	ch0 ～ 3		
	コンペアマッチタイマW	ch0, 1		
	リアルタイムクロック	有		
	ウォッチドッグタイマ	有		
	独立ウォッチドッグタイマ	有		
	通信機能	イーサネットコントローラ	ch0, 1	ch0
イーサネットコントローラ用PTPコントローラ		有		
イーサネットコントローラ用DMACコントローラ		ch0, 1 (ETHERC), ch2 (EPTPC)	ch0 (ETHERC), ch2 (EPTPC)	
USB2.0 FS ホスト/ファンクションモジュール		ch0		
バッテリーチャージ付USB2.0 HS ホスト/ファンクションモジュール		有	サポートなし	
シリアルコミュニケーションインタフェース(SCI _g)		ch0 ～ 7		ch0 ～ 3, 5, 6
シリアルコミュニケーションインタフェース(SCI _h)		ch12		
FIFO内蔵シリアルコミュニケーションインタフェース		ch8 ～ 11		ch8, 9
I ² Cバスインタフェース		ch0, 2		
シリアルペリフェラルインタフェース		ch0, 1		
CANモジュール		ch0 ～ 2		ch0, 1
クアドシリアルペリフェラルインタフェース		ch0		
シリアルサウンドインタフェース		ch0, 1		
サンプリングレートコンバータ		有		
SDホストインタフェース		ch0		
MMCホストインタフェース		ch0		
パラレルデータキャプチャユニット		有		サポートなし
12ビットA/Dコンバータ		AN000 ～ 007 (ユニット0：8本) AN100 ～ 120 (ユニット1：21本)		AN000 ～ 007 (ユニット0：8本) AN100 ～ 113 (ユニット1：14本)
12ビットD/Aコンバータ		ch0,1		ch1
温度センサ		有		
CRC演算器		有		
データ演算回路		有		
クロック周波数精度測定回路		有		
AES		有		

表 1.2 パッケージ別機能比較一覧 (2 / 2)

機能	RX71Mグループ		
パッケージ	177ピン 176ピン	145ピン 144ピン	100ピン
DES	有		
SHA	有		
RNG	有		
イベントリンクコントローラ	有		

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	パッケージ	コードフラッシュ メモリ容量	RAM容量	データフラッシュ メモリ容量	動作周波数 (max)	暗号	SDHI
RX71M	R5F571MLCDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MFCDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MLCDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MFCDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MLCDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有

表 1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	SDHI
RX71M	R5F571MFCDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MLCDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MFCDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MLCDLC	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDL	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDLC	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDL	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDLC	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDL	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDLC	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDL	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDLC	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDL	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDLC	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDL	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MFCDL	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDL	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDL	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDL	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MLCDLK	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDLK	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDLK	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDLK	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDLK	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDLK	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDLK	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDLK	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDLK	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDLK	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDLC	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDLK	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有

表 1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	SDHI
RX71M	R5F571MFCDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MLCDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MLDDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MLGDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MLHDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MJCDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MJDDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MJGDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MJHDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MGCDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MGDDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MGGDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MGHDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	240MHz	有	有
	R5F571MFCDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	サポート無し
	R5F571MFDDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	サポート無し	有
	R5F571MFGDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	サポート無し
	R5F571MFHDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	240MHz	有	有

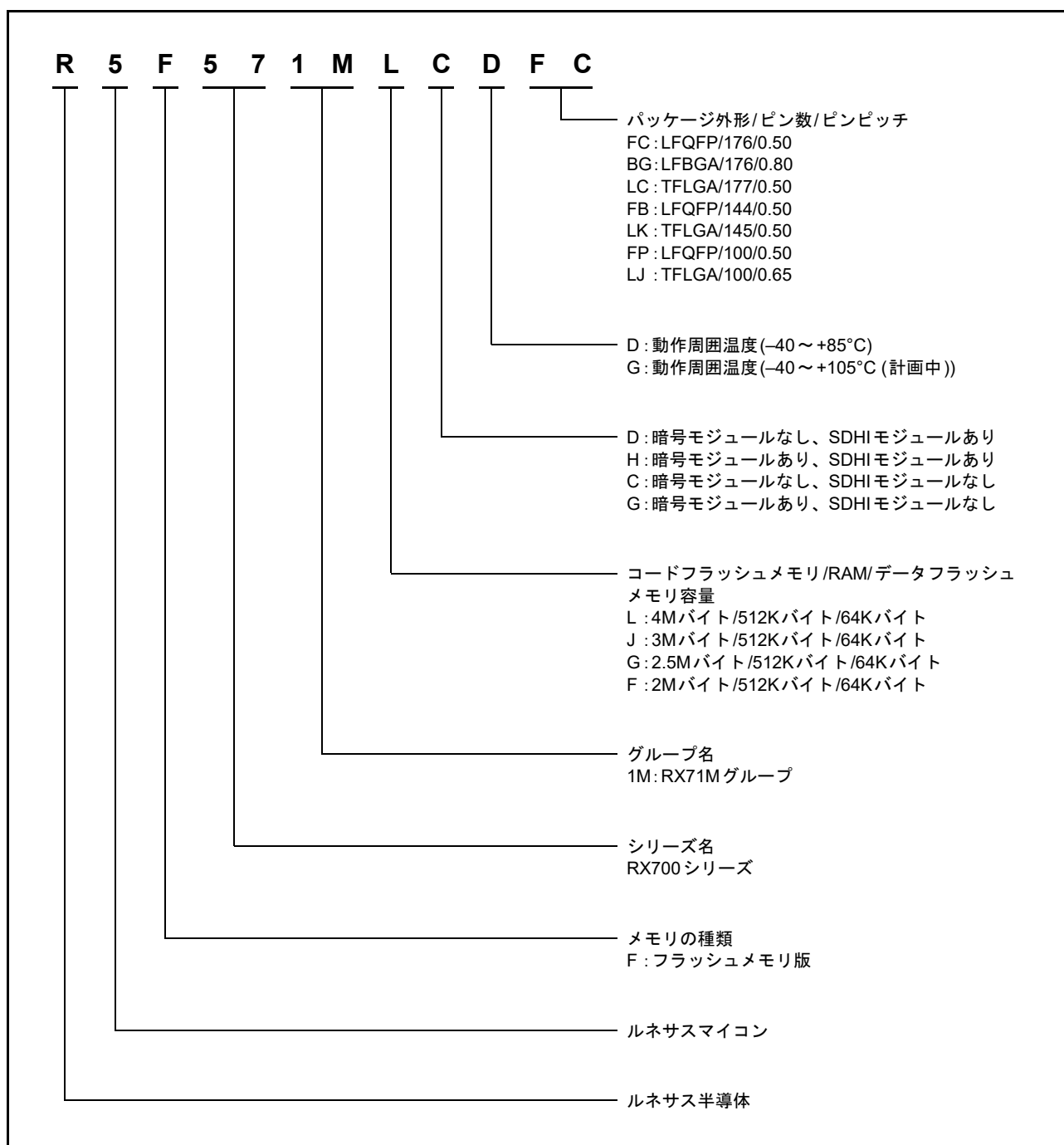


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

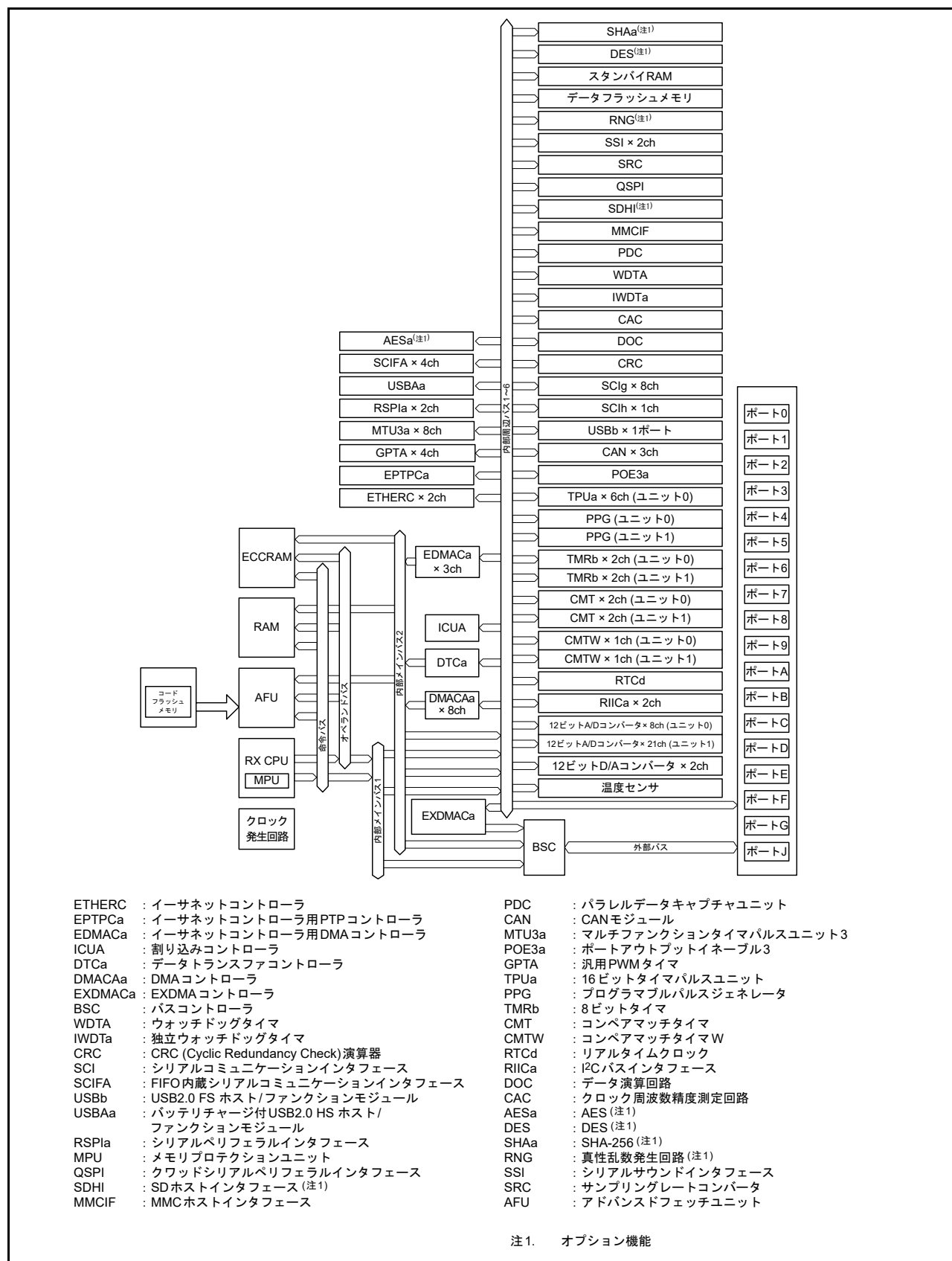


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 8)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	0.22μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子接続端子。EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM 専用のクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCIN	入力	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
	UB	入力	USB ブートモード、またはユーザブートモードイネーブル端子
	UPSEL	入力	USB ブートモード時の電源供給方式を選択 Lowでセルフパワー、Highでバスパワーを選択
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用端子。EMLE 端子を High にするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	トレースデータと同期をとるためのクロックを出力します
	TRCLK	出力	
	TRSYNC	出力	TRDATA0～TRDATA3 端子からの出力が有効データであることを示します
	TRDATA0～TRDATA3	出力	トレース情報を出力します
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D31	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 8)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#～WR3#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0, D15～D8, D23～D16, D31～D24) のいずれかが有効であることを示すストロブ信号
	BC0#～BC3#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0, D15～D8, D23～D16, D31～D24) のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS7#	出力	CS 領域選択信号
	CKE	出力	SDRAM クロックイネーブル信号
	SDCS#	出力	SDRAM チップセレクト信号
	RAS#	出力	SDRAM ロウアドレスストロブ信号
	CAS#	出力	SDRAM カラムアドレスストロブ信号
	WE#	出力	SDRAM ライトイネーブル端子
	DQM0～DQM3	出力	SDRAM 入出力データマスキネーブル信号
EXDMA コントローラ	EDREQ0, EDREQ1	入力	外部 DMA 転送要求端子
	EDACK0, EDACK1	出力	シングルアドレス転送アクリッジ信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ15	入力	割り込み要求端子
マルチファンクション イマパルスユニット 3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5 のインพุットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6～TGRD6 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7～TGRD7 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	TGRA8～TGRD8 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
ポートアウトプット イネーブル 3	POE0#, POE4#, POE8#, POE10#, POE11#	入力	MTU または GPT をハイインピーダンス状態にする要求信号を入力

表 1.4 端子機能一覧 (3 / 8)

分類	端子名	入出力	機能
汎用PWM タイマ	GTIOC0A-A/GTIOC0A-B/ GTIOC0A-C/GTIOC0A-D/ GTIOC0A-E, GTIOC0B-A/GTIOC0B-B/ GTIOC0B-C/GTIOC0B-D/ GTIOC0B-E	入出力	GPT0.GTGRA, GPT0.GTGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1A-A/GTIOC1A-B/ GTIOC1A-C/GTIOC1A-D/ GTIOC1A-E, GTIOC1B-A/GTIOC1B-B/ GTIOC1B-C/GTIOC1B-D/ GTIOC1B-E	入出力	GPT1.GTGRA, GPT1.GTGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2A-A/GTIOC2A-B/ GTIOC2A-C/GTIOC2A-D/ GTIOC2A-E, GTIOC2B-A/GTIOC2B-B/ GTIOC2B-C/GTIOC2B-D/ GTIOC2B-E	入出力	GPT2.GTGRA, GPT2.GTGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3A-D/GTIOC3A-E, GTIOC3B-D/GTIOC3B-E	入出力	GPT3.GTGRA, GPT3.GTGRB のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTETRG-B/GTETRG-C/ GTETRG-D	入力	GPT0～GPT3用の外部トリガ入力端子
16ビットタイマ パルスユニット	TIOCA0, TIOCB0, TIOCC0, TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1, TIOCB1	入出力	TGRA1, TGRB1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2, TIOCB2	入出力	TGRA2, TGRB2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3, TIOCB3, TIOCC3, TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4, TIOCB4	入出力	TGRA4, TGRB4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5, TIOCB5	入出力	TGRA5, TGRB5 のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA, TCLKB, TCLKC, TCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
プログラマブルパルス ジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子

表 1.4 端子機能一覧 (4 / 8)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期式モード/クロック同期式モード		
	SCK0～SCK7	入出力	クロック入出力端子
	RXD0～RXD7	入力	受信データ入力端子
	TXD0～TXD7	出力	送信データ出力端子
	CTS0#～CTS7#	入力	送受信開始制御用入力端子
	RTS0#～RTS7#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0～SSCL7	入出力	I ² Cクロック入出力端子
	SSDA0～SSDA7	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0～SCK7	入出力	クロック入出力端子
	SMISO0～SMISO7	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI7	入出力	マスタ送出データ入出力端子
	SS0#～SS7#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
FIFO内蔵シリアルコ ミュニケーションインタ フェース (SCIFA)	SCK8～SCK11	入出力	クロック入出力端子
	RXD8～RXD11	入力	受信データ入力端子
	TXD8～TXD11	出力	送信データ出力端子
	CTS8#～CTS11#	入力	送受信開始制御用入力端子
	RTS8#～RTS11#	出力	送受信開始制御用出力端子
I ² Cバスインタフェース	SCL0[FM+], SCL2	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0[FM+], SDA2	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (5 / 8)

分類	端子名	入出力	機能
イーサネットコントローラ	REF50CK0, REF50CK1	入力	50MHz基準クロック。RMIIモード時の送受信信号タイミング参照信号
	RMII0_CRSDV, RMII1_CRSDV	入力	RMIIモード時、キャリア検出信号。有効な受信データがRMII_RXD1～0上にあることを示す信号
	RMII0_TXD0, RMII0_TXD1, RMII1_TXD0, RMII1_TXD1	出力	RMIIモード時、2ビットの送信データ
	RMII0_RXD0, RMII0_RXD1, RMII1_RXD0, RMII1_RXD1	入力	RMIIモード時、2ビットの受信データ
	RMII0_TXDEN, RMII1_TXDEN	出力	RMIIモード時、データ送信イネーブル信号
	RMII0_RXER, RMII1_RXER	入力	RMIIモード時、データ受信中にエラーが発生したことを示す信号
	ET0_CRSDV, ET1_CRSDV	入力	キャリア検出/受信データ有効端子
	ET0_RXD3, ET1_RXD3	入力	有効な受信データがET_ERXD3～0上にあることを示す信号
	ET0_EXOUT, ET1_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA, ET1_LINKSTA	入力	PHY-LSIからのリンク状態を入力
	ET0_ETXD0～ET0_ETXD3, ET1_ETXD0～ET1_ETXD3	出力	MIIの4ビット送信データ
	ET0_ERXD0～ET0_ERXD3, ET1_ERXD0～ET1_ERXD3	入力	MIIの4ビット受信データ
	ET0_TXEN, ET1_TXEN	出力	送信許可端子。ET_ETXD3～0上に送信データが準備できたことを示す信号
	ET0_TXER, ET1_TXER	出力	送信エラー端子。送信中のエラーをPHY-LSIに通知する信号
	ET0_RXER, ET1_RXER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号
	ET0_TXCLK, ET1_TXCLK	入力	送信クロック端子。ET_TXEN, ET_ETXD3～0, ET_TXERのタイミング参照信号
	ET0_RXCLK, ET1_RXCLK	入力	受信クロック端子。ET_RXD3, ET_ERXD3～0, ET_RXERのタイミング参照信号
	ET0_COL, ET1_COL	入力	衝突検出信号
	ET0_WOL, ET1_WOL	出力	Magic Packet受信を示す信号
	ET0_MDC, ET1_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号
	ET0_MDIO, ET1_MDIO	入出力	本MCUとPHY-LSIとの間で管理情報を交換するための双方向信号

表 1.4 端子機能一覧 (6 / 8)

分類	端子名	入出力	機能
USB2.0 ホスト/ファンクションモジュール	VCC_USB, VCC_USBA	入力	電源端子
	VSS_USB, VSS1_USBA, VSS2_USBA	入力	グランド端子
	AVCC_USBA	入力	USBA用のアナログ電源端子
	AVSS_USBA	入力	USBA用のアナロググランド端子。PVSS_USBA端子とショートしてください
	PVSS_USBA	入力	USBA用のPLL 回路のグランド端子。AVSS_USBA端子とショートしてください
	USBA_RREF	入出力	USBAの基準電流源端子。2.2k Ω ($\pm 1\%$)を介してAVSS_USBA端子に接続してください
	USB0_DP, USBA_DP	入出力	USBバスのD+データ
	USB0_DM, USBA_DM	入出力	USBバスのD-データ
	USB0_EXICEN, USBA_EXICEN	出力	OTG 電源ICに接続
	USB0_ID, USBA_ID	入力	OTG 電源ICに接続
	USB0_VBUSEN, USBA_VBUSEN	出力	USB用VBUSパワーイネーブル端子
	USB0_OVRCURA/ USB0_OVRCURB, USBA_OVRCURA/ USBA_OVRCURB	入力	USB用オーバカレント端子
	USB0_VBUS, USBA_VBUS	入力	USBケーブルの接続/切断検出入力端子
CANモジュール	CRX0, CRX1-DS, CRX2	入力	入力端子
	CTX0 ~ CTX2	出力	出力端子
シリアルペリフェラルインタフェース	RSPCKA-A/RSPCKA-B/ RSPCKB-A/RSPCKB-B	入出力	クロック入出力端子
	MOSIA-A/MOSIA-B/ MOSIB-A/MOSIB-B	入出力	マスタ送出データ入出力端子
	MISOA-A/MISOA-B/ MISOB-A/MISOB-B	入出力	スレーブ送出データ入出力端子
	SSLA0-A/SSLA0-B/ SSLB0-A/SSLB0-B	入出力	スレーブセレクト入出力端子
	SSLA1-A/SSLA1-B/ SSLB1-A/SSLB1-B ~ SSLA3-A/SSLA3-B/ SSLB3-A/SSLB3-B	出力	スレーブセレクト出力端子
クワッドシリアルペリフェラルインタフェース	QSPCLK-A/-B	出力	QSPIのクロック出力端子
	QSSL-A/-B	出力	QSPIのスレーブ出力端子
	QMO-A/-B, QIO0-A/-B	入出力	マスタ送出データ/データ0
	QMI-A/-B, QIO1-A/-B	入出力	マスタ入力データ/データ1
	QIO2-A/-B, QIO3-A/-B	入出力	データ2、データ3
シリアルサウンドインタフェース	SSISCK0, SSISCK1	入出力	SSIシリアルビットクロック端子
	SSIWS0, SSIWS1	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_MCLK	入力	オーディオ用のマスタクロック端子

表 1.4 端子機能一覧 (7 / 8)

分類	端子名	入出力	機能
MMCホストインタフェース	MMC_CLK-A/MMC_CLK-B	出力	MMCクロック端子
	MMC_CMD-A/ MMC_CMD-B	入出力	コマンド/レスポンス端子
	MMC_D7-A/MMC_D7-B～ MMC_D0-A/MMC_D0-B	入出力	送信データ/受信データ信号
	MMC_CD-A/MMC_CD-B	入力	カード検出端子
	MMC_RES#-A/ MMC_RES#-B	出力	MMCリセット出力端子
SDホストインタフェース	SDHI_CLK-A/SDHI_CLK-B	出力	SDクロック出力端子
	SDHI_CMD-A/ SDHI_CMD-B	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3-A/SDHI_D3-B～ SDHI_D0-A/SDHI_D0-B	入出力	SDデータバス端子
	SDHI_CD-A/SDHI_CD-B	入力	SDカード検出端子
	SDHI_WP-A/SDHI_WP-B	入力	SDライトプロテクト信号
パラレルデータキャプチャユニット	PIXCLK	入力	画像転送用クロック端子
	VSNC	入力	垂直同期信号端子
	HSYNC	入力	水平同期信号端子
	PIXD0～PIXD7	入力	8ビット画像データ端子
	PCKO	出力	ドットクロック用出力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
12ビットA/Dコンバータ	AN000～AN007, AN100～AN120	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ANEX0	出力	拡張アナログ出力端子
	ANEX1	入力	拡張アナログ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ(ユニット0)のアナログ電源端子。電源供給元から分岐させて、VCCと接続してください
	AVSS0	入力	12ビットA/Dコンバータ(ユニット0)のアナロググランド端子。グランド供給元から分岐させて、VSSと接続してください
	VREFH0	入力	12ビットA/Dコンバータ(ユニット0)の基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータ(ユニット0)の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	AVCC1	入力	12ビットA/Dコンバータ(ユニット1)とD/Aコンバータのアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCCと接続してください
	AVSS1	入力	12ビットA/Dコンバータ(ユニット1)とD/Aコンバータのアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSSと接続してください

表 1.4 端子機能一覧 (8 / 8)

分類	端子名	入出力	機能
I/Oポート	P00～P03, P05, P07	入出力	6ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子 (176ピン版はP50～P53のみ)
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P83, P86, P87	入出力	6ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF0～PF5	入出力	6ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PJ3, PJ5	入出力	2ビットの入出力端子

注. 端子名については、以下の注意事項があります。詳細は、「1.5 ピン配置図」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。RSPI、QSPI、SDHI、MMCについては、電気的特性のACタイミングを各グループで測定しています。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。
- RIICの端子名に[FM+]が付加されている端子は、ファストモードプラスに対応しています。

1.5 ピン配置図

図 1.3 ～図 1.9 にピン配置図を示します。また、表 1.5 ～表 1.10 に機能別端子一覧を示します。

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	VSS	VCC	PC1	15
14	PE1	PE0	VSS	PE7	PG3	PA0	PA1	PA2	PA7	VCC	PB1	PB5	P73	P75	P74	14
13	P63	P64	PE4	VCC	PG2	PG4	PG6	PA3	VSS	P71	PB3	PB7	PC0	PC2	P76	13
12	P60	VSS	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12
11	PD6	PG1	VCC	P61	RX71M グループ PTLG0177KA-A (177 ピン TFLGA) (上面透視図)							P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7								PC5	PC7	P83	VSS	10
9	VCC	P96	PD3	PD5								P50	P51	P52	P53	9
8	P94	PD1	PD2	VSS								VCC_USB USBA	VSS1_USB USBA	P10	P11	8
7	VSS	P92	PD0	P95								USBA_ RREF	VSS2_USB USBA	USBA_ DM	USBA_ DP	7
6	VCC	P91	P90	P93	NC							AVCC_ USB USBA	VSS_ USB	AVSS_ USB USBA	PVSS_ USB USBA	6
5	P46	P47	P45	P44								VCC_ USB	P12	USB0_ DP	USB0_ DM	5
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P13	4
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD/ FINED	RES#	P34	PF2	PF0	P24	P22	P87	P16	3
2	AVCC0	P07	AVCC1	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2
1	AVSS0	P05	AVSS1	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	VCC	VSS	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA)」をご確認ください。

図 1.3 ピン配置図 (177 ピン TFLGA)

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	VSS	VCC	PC1	15
14	PE1	PE0	VSS	PE7	PG3	PA0	PA1	PA2	PA7	VCC	PB1	PB5	P73	P75	P74	14
13	P63	P64	PE4	VCC	PG2	PG4	PG6	PA3	VSS	P71	PB3	PB7	PC0	PC2	P76	13
12	P60	VSS	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12
11	PD6	PG1	VCC	P61	RX71M グループ PLBG0176GA-A (176 ピン LFBGA) (上面透視図)							P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7								PC5	PC7	P83	VSS	10
9	VCC	P96	PD3	PD5								P50	P51	P52	P53	9
8	P94	PD1	PD2	VSS								VCC_ USB A	VSS1_ USB A	P10	P11	8
7	VSS	P92	PD0	P95								USBA_ RREF	VSS2_ USB A	USBA_ DM	USBA_ DP	7
6	VCC	P91	P90	P93								AVCC_ USB A	VSS_ USB	AVSS_ USB A	PVSS_ USB A	6
5	P46	P47	P45	P44								VCC_ USB	P12	USB0_ DP	USB0_ DM	5
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P13	4
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD/ FINED	RES#	P34	PF2	PF0	P24	P22	P87	P16	3
2	AVCC0	P07	AVCC1	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2
1	AVSS0	P05	AVSS1	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	VCC	VSS	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA)」をご確認ください。

図 1.4 ピン配置図 (176 ピン LFBGA)

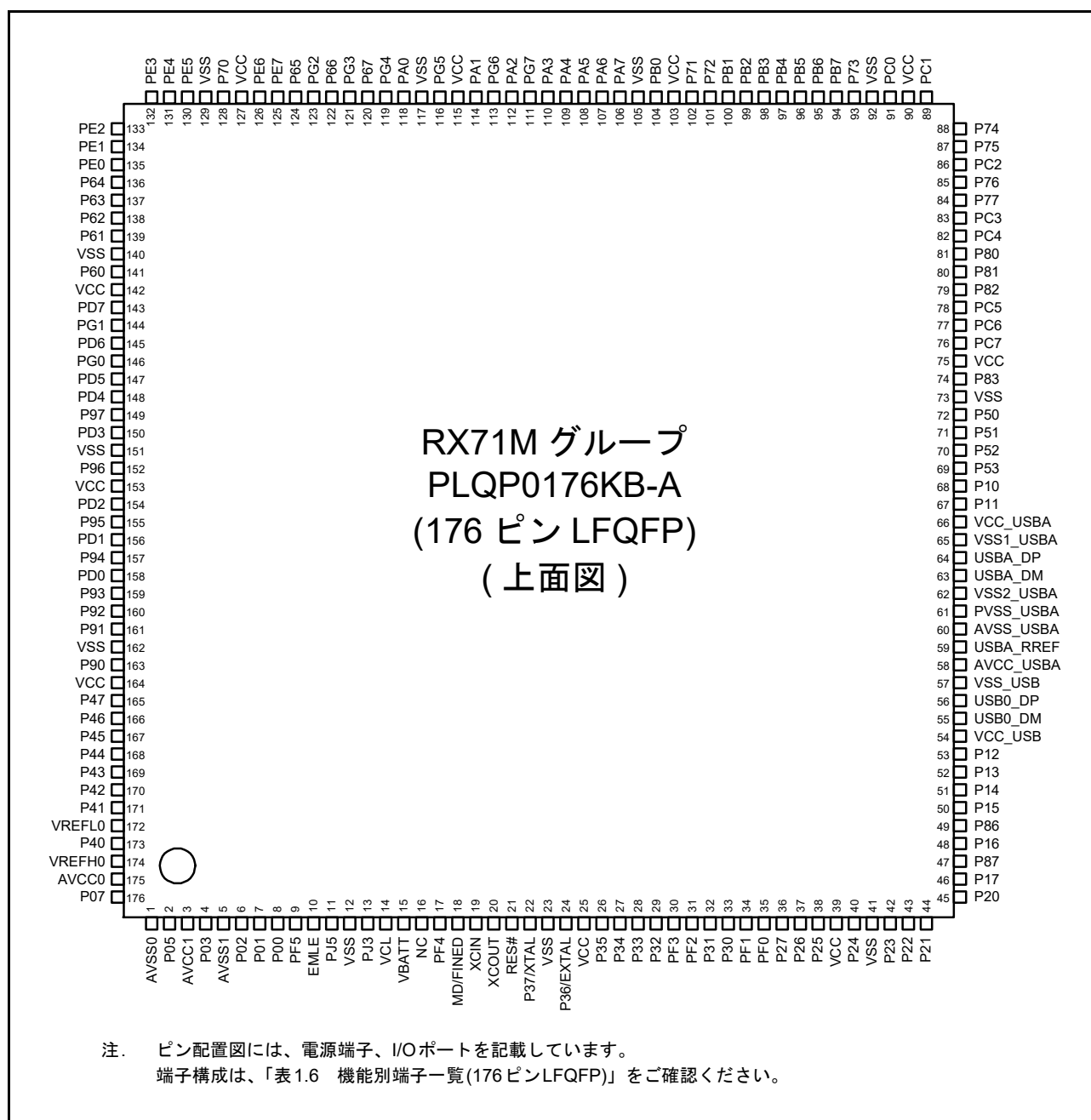


図 1.5 ピン配置図 (176 ピン LQFP)

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	PE3	PE4	VSS	PE6	P67	PA2	PA4	PA7	PB1	PB5	VSS	VCC	P74	13
12	PE1	PE2	P70	PE5	P65	PA1	VCC	PB0	PB2	PB6	P73	PC1	P75	12
11	P62	P61	PE0	VCC	P66	VSS	PA6	P71	PB4	PB7	PC2	PC0	PC3	11
10	VSS	VCC	P63	PE7	PA0	PA3	PA5	P72	PB3	P76	PC4	P77	P82	10
9	PD6	PD4	PD7	P64	RX71M グループ PTLG0145KA-A (145 ピン TFLGA) (上面透視図)					P80	PC5	P81	PC7	9
8	PD2	PD0	PD3	P60						VCC	P83	PC6	VSS	8
7	P92	P91	PD1	PD5						P51	P52	P50	P55	7
6	P90	P47	VSS	P93						P53	P56	VSS_USB	USB0_DP	6
5	P45	P43	P46	VCC	P44					P54	P13	VCC_USB	USB0_DM	5
4	P42	VREFL0	P41	P01	EMLE	VBATT	BSCANP	P35	P30	P15	P24	P12	P14	4
3	P40	P05	VREFH0	P03	PJ5	PJ3	MD/ FINED	VSS	P32	P31	P16	P86	P87	3
2	P07	AVCC0	P02	PF5	VCL	XCOUT	RES#	VCC	P33	P26	P23	P17	P20	2
1	AVSS0	AVCC1	AVSS1	P00	VSS	XCIN	XTAL	EXTAL	P34	P27	P25	P22	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.7 機能別端子一覧(145ピンTFLGA)」をご確認ください。

図 1.6 ピン配置図 (145 ピン TFLGA)

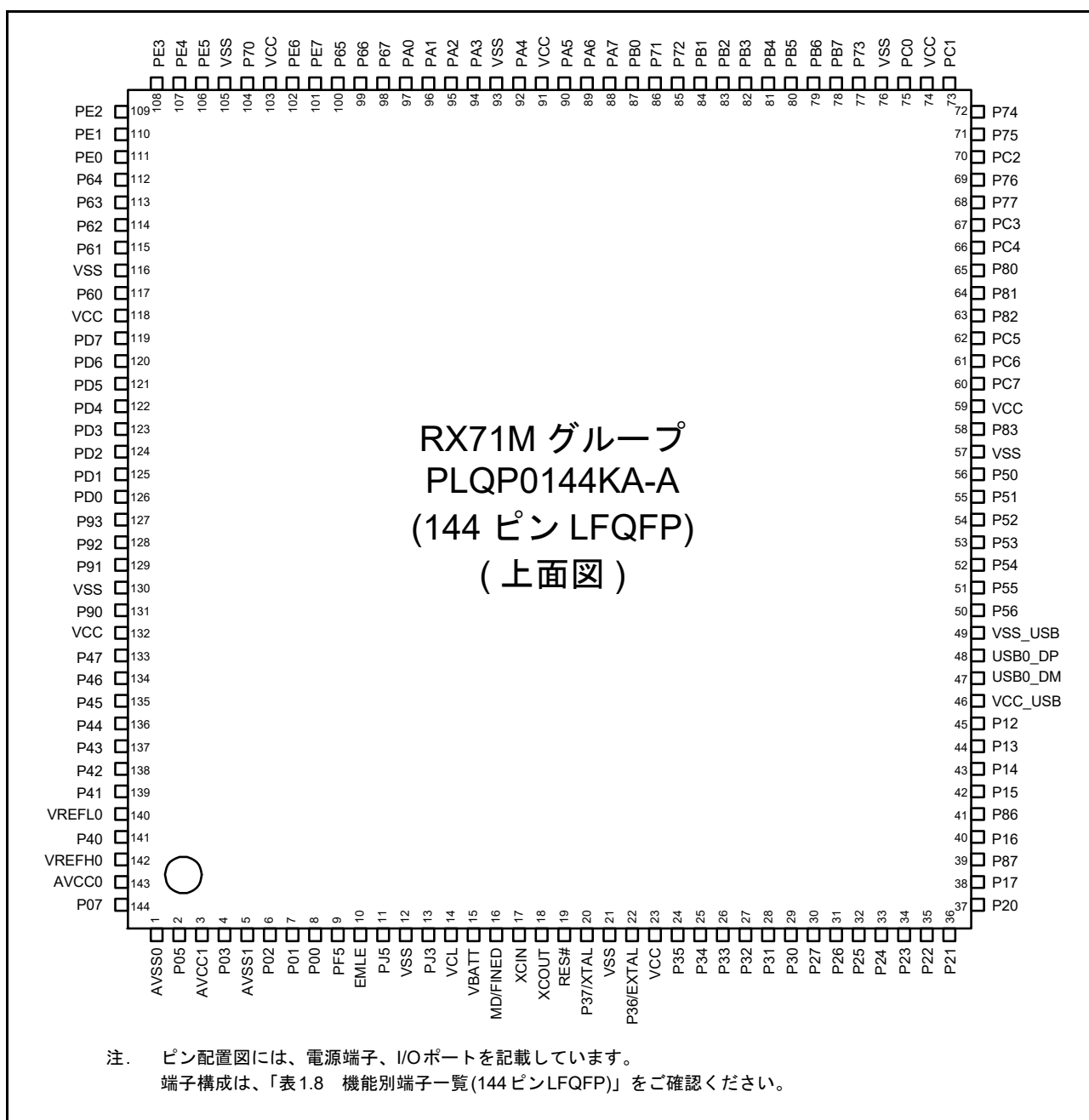


図 1.7 ピン配置図 (144 ピン LQFP)

RX71M グループ
PTLG0100JA-A (100 ピン TFLGA)
(上面透視図)

	A	B	C	D	E	F	G	H	J	K	
10	PE2	PE3	PE4	PA0	PA3	VSS	VCC	PB7	PC1	PC2	10
9	PE1	PD7	PE5	PA1	PA5	PA7	PB1	PB6	PC0	PC3	9
8	PE0	PD6	PD5	PE7	PA4	PB0	PB4	PC6	PC4	PC5	8
7	PD4	PD3	PD2	PE6	PA6	PB2	PB5	PC7	P50	P51	7
6	PD0	PD1	P47	P46	PA2	PB3	P52	P54	VCC_ USB	USB0_ DP	6
5	P43	P44	P42	P45	P41	P12	P53	P55	VSS_ USB	USB0_ DM	5
4	VREFL0	P40	VREFH0	VBATT	P34	P32	P27	P15	P13	P14	4
3	P07	AVCC0	PJ3	MD/ FINED	RES#	P35	P30	P16	P17	P20	3
2	AVCC1	AVSS0	AVSS1	XCOUT	VSS	VCC	P31	P25	P21	P22	2
1	P05	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P26	P24	P23	1
	A	B	C	D	E	F	G	H	J	K	

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.9 機能別端子一覧(100ピンTFLGA)」をご確認ください。

図 1.8 ピン配置図 (100 ピン TFLGA)

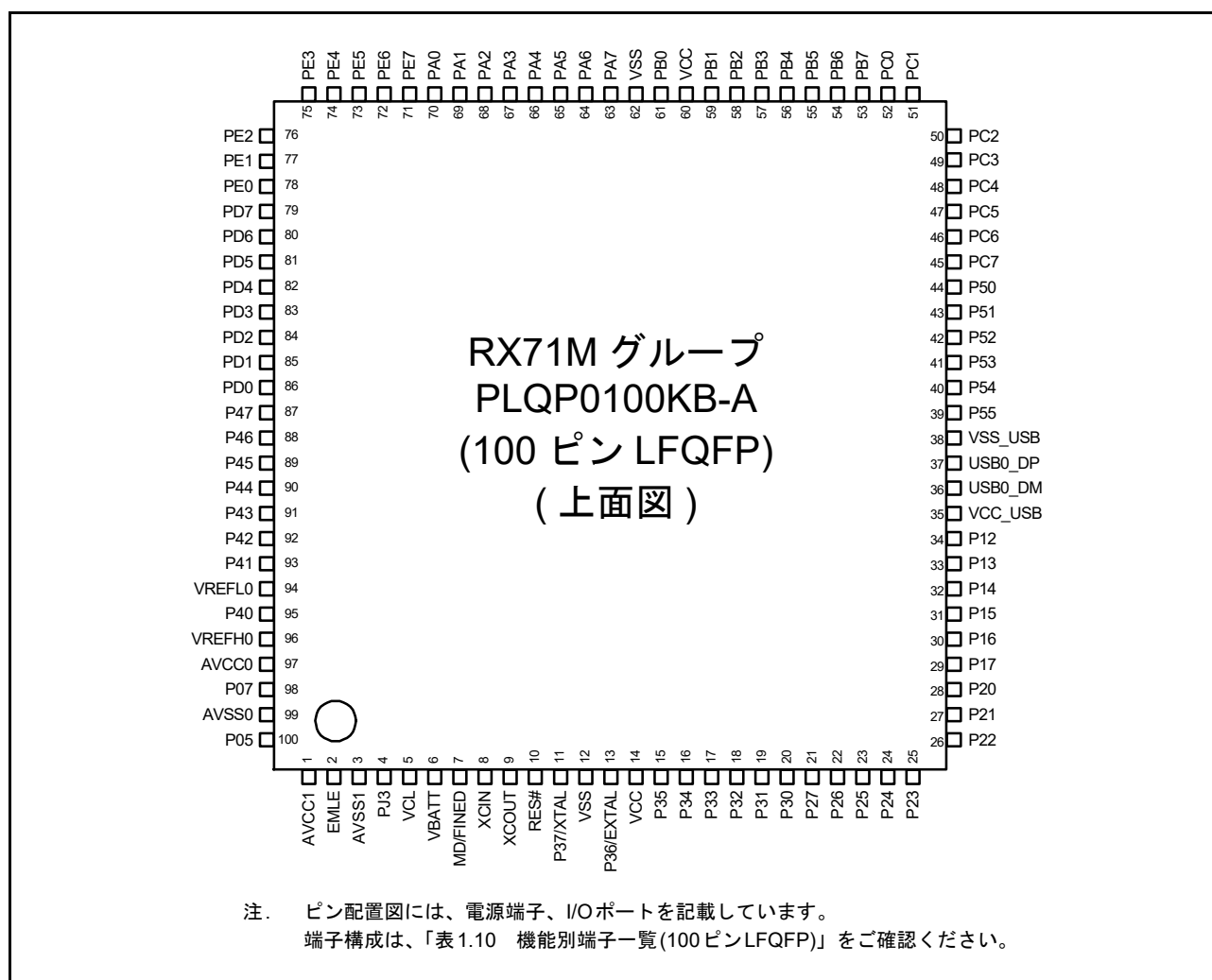


図 1.9 ピン配置図 (100 ピン LFQFP)

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (1 / 8)

ピン 番号	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
A1	AVSS0							
A2	AVCC0							
A3	VREFL0							
A4		P42					IRQ10- DS	AN002
A5		P46					IRQ14- DS	AN006
A6	VCC							
A7	VSS							
A8		P94	A20/D20		ET1_ERXD0/ RMII1_RXD0			
A9	VCC							
A10		P97	A23/D23		ET1_ERXD3			
A11		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
A12		P60	CS0#		ET1_TX_EN/ RMII1_TXD_EN			
A13		P63	CS3#/CAS#					
A14		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOS12/ SSDA12/TXDX12/ SIOX12/SSLB2-B	MMC_D5-B		ANEX1
A15		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B	MMC_D6-B	IRQ7-DS	AN100
B1		P05					IRQ13	DA1
B2		P07					IRQ15	ADTRG0#
B3		P40					IRQ8-DS	AN000
B4		P41					IRQ9-DS	AN001
B5		P47					IRQ15- DS	AN007
B6		P91	A17/D17		ET1_COL/SCK7			AN115
B7		P92	A18/D18	POE4#	ET1_CRS/ RMII1_CRS_DV/ RXD7/SMISO7/ SSCL7			AN116
B8		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
B9		P96	A22/D22		ET1_ERXD2			
B10		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
B11		PG1	D25		ET1_RX_ER/ RMII1_RX_ER			
B12	VSS							
B13		P64	CS4#/WE#					

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (2 / 8)

ピン 番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
B14		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12/SSLB1-B	MMC_D4-B		ANEX0
B15		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ ET0_ERXD3	MMC_D7-B		AN101
C1	AVSS1							
C2	AVCC1							
C3	VREFH0							
C4		P43					IRQ11- DS	AN003
C5		P45					IRQ13- DS	AN005
C6		P90	A16/D16		ET1_RX_DV/ TXD7/SMOSI7/ SSDA7			AN114
C7		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
C8		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2_B	IRQ2	AN110
C9		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
C10		PG0	D24		ET1_RX_CLK/ REF50CK1			
C11	VCC							
C12		P62	CS2#/RAS#					
C13		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2/ SSLB0-B			AN102
C14	VSS							
C15		P70	SDCLK					
D1		P01		TMC10	RXD6/SMISO6/ SSCL6		IRQ9	AN119
D2		P02		TMC11	SCK6		IRQ10	AN120
D3		P03					IRQ11	DA0
D4		P00		TMR10	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
D5		P44					IRQ12- DS	AN004
D6		P93	A19/D19	POE0#	ET1_LINKSTA/ CTS7#/RTS7#/SS7#			AN117
D7		P95	A21/D21		ET1_ERXD1/ RMII1_RXD1			
D8	VSS							
D9		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (3 / 8)

ピン 番号	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
D10		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
D11		P61	CS1#/SDCS#					
D12		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0/ RSPCKB-B		IRQ5	AN103
D13	VCC							
D14		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1	MISOB-B	MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
D15		P65	CS5#/CKE					
E1		PJ5		POE8#	CTS2#/RTS2#/SS2#			
E2	EMLE							
E3		PF5					IRQ4	
E4	VSS							
E5 (注1)								
E12		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1	MOSIB-B	MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
E13	TRDATA0	PG2	D26		ET1_TX_CLK			
E14	TRDATA1	PG3	D27		ET1_ETXD0/ RMII1_TXD0			
E15		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
F1	VBATT							
F2	VCL							
F3		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
F4	BSCANP							
F12		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
F13	TRSYNC	PG4	D28		ET1_ETXD1/ RMII1_TXD1			
F14		PA0	A0/BC0#/ DQM2	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
F15	VSS							
G1	XCIN							
G2	XCOUT							
G3	MD/FINED							
G4	TRST#	PF4						
G12	TRCLK	PG5	D29		ET1_ETXD2			
G13	TRDATA2	PG6	D30		ET1_ETXD3			

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (4 / 8)

ピン 番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
G14		PA1	A1/DQM3	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
G15	VCC							
H1	XTAL	P37						
H2	VSS							
H3	RES#							
H4	UPSEL	P35					NMI	
H12		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
H13		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ ET0_MDIO		IRQ6-DS	
H14		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
H15	TRDATA3	PG7	D31		ET1_TX_ER			
J1	EXTAL	P36						
J2	VCC							
J3		P34		MTIOC0A/TMC13/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
J4	TMS	PF3						
J12		PA5	A5	MTIOC6B/ GTIOC0A-C/ TIOCB1/PO21	RSPCKA-B/ ET0_LINKSTA			
J13	VSS							
J14		PA7	A7	TIOCB2/PO23	MISOA-B/ ET0_WOL			
J15		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
K1		P33	EDREQ1	MTIOC0D/TIOCD0/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/ SMISO0/SSCL6/ SSCL0/CRX0	PCKO	IRQ3-DS	
K2		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOU/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYNC	IRQ2-DS	
K3	TDI	PF2			RXD1/SMISO1/ SSCL1			
K4	TCK	PF1			SCK1			
K12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (5 / 8)

ピン 番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
K13		P71	A18/CS1#		ET0_MDIO			
K14	VCC							
K15		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
L1		P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/ SS1#/ET1_MDC/ SSLB0-A		IRQ1-DS	
L2		P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/ET1_MDIO/ MISOB-A		IRQ0-DS	
L3	TDO	PF0			TXD1/SMOSI1/ SSDA1			
L4		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDA1	HSYNC		ADTRG0#
L12		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
L13		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
L14		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
L15		P72	A19/CS2#		ET0_MDC			
M1		P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/ET1_WOL/ RSPCKB-A			
M2		P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ ET1_EXOUT/ MOSIB-A			
M3		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
M4		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
M5	VCC_USB							
M6	AVCC_USBA							
M7	USBA_RREF							
M8	VCC_USBA							
M9		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A			
M10		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (6 / 8)

ピン 番号	電源	I/Oポート	バス	タイマ	通信	メモリIF カメラIF	割り込み	S12ADC, R12DA
177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御		EXDMAC SDRAMC	(MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	(QSPI, SDHI, MMCIF, PDC)		
M11		P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
M12		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
M13		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
M14		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
M15		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
N1	VCC							
N2		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
N3		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ USBA_OVRCURB/ AUDIO_MCLK	PIXD6		
N4		P15		MTIOC0B/MTCLKB/ GTETRQ-B/ TIOCB2/TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/ USBA_VBUSEN/ SSIWS1	PIXD0	IRQ5	
N5		P12	WR3#/BC3#	MTIC5U/TMC11	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
N6	VSS_USB							
N7	VSS2_USBA							
N8	VSS1_USBA							
N9		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A			
N10	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	
N11		P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
N12		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
N13		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
N14		P73	CS3#	PO16	ET0_WOL			
N15	VSS							
P1	VSS							

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (7 / 8)

ピン 番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
P2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	PIXD3	IRQ7	ADTRG1#
P3		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
P4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/(RTS1#/ SS1#)/CTX1/ USB0_OVRCURA		IRQ4	
P5					USB0_DP			
P6	AVSS_USBA							
P7					USBA_DM			
P8		P10	ALE	MTIC5W/TMRI3	USBA_OVRCURA		IRQ0	
P9		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A			
P10		P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/(ET0_CRS/ RMII0_CRS_DV/ SCK10			
P11		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMC12/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
P12		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-D/TMC11/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/QMI-A		
P13		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
P14		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
P15	VCC							
R1		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMC10/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ USBA_EXICEN/ SSIWS0	PIXD5	IRQ9	
R2		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ USBA_ID/ SSIRXD0	PIXD4	IRQ8	
R3		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUNT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
R4		P13	WR2#/BC2#	MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]		IRQ3	ADTRG1#

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (8 / 8)

ピン 番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
R5					USB0_DM			
R6	PVSS_USBA							
R7					USBA_DP			
R8		P11		MTIC5V/TMC13	SCK2/USBA_VBUS/ USBA_VBUSEN		IRQ1	
R9		P53 (注2)	BCLK					
R10	VSS							
R11	VCC							
R12		P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
R13		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
R14		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			
R15		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	

注1. 176ピンLFBGAには、E5ピンはありません。

注2. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.6 機能別端子一覧(176ピンLQFP) (1 / 8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
1	AVSS0							
2		P05					IRQ13	DA1
3	AVCC1							
4		P03					IRQ11	DA0
5	AVSS1							
6		P02		TMCI1	SCK6		IRQ10	AN120
7		P01		TMCI0	RXD6/SMISO6/ SSCL6		IRQ9	AN119
8		P00		TMRI0	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
9		PF5					IRQ4	
10	EMLE							
11		PJ5		POE8#	CTS2#/RTS2#/SS2#			
12	VSS							
13		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
14	VCL							
15	VBATT							
16	NC							
17	TRST#	PF4						
18	MD/FINED							
19	XCIN							
20	XCOUT							
21	RES#							
22	XTAL	P37						
23	VSS							
24	EXTAL	P36						
25	VCC							
26	UPSEL	P35					NMI	
27		P34		MTIOC0A/TMCI3/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
28		P33	EDREQ1	MTIOC0D/TIOC0D/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/ SMISO0/SSCL6/ SSCL0/CRX0	PCKO	IRQ3-DS	
29		P32		MTIOC0C/TIOC0C/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYNC	IRQ2-DS	
30	TMS	PF3						
31	TDI	PF2			RXD1/SMISO1/ SSCL1			
32		P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/ SS1#/ET1_MDC/ SSLB0-A		IRQ1-DS	

表 1.6 機能別端子一覧(176ピンLQFP) (2 / 8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
33		P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/ET1_MDIO/ MISOB-A		IRQ0-DS	
34	TCK	PF1			SCK1			
35	TDO	PF0			TXD1/SMOSI1/ SSDA1			
36		P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/ET1_WOL/ RSPCKB-A			
37		P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ ET1_EXOUT/ MOSIB-A			
38		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ SSIDATA1	HSYNC		ADTRG0#
39	VCC							
40		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
41	VSS							
42		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
43		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ USBA_OVRCURB/ AUDIO_MCLK	PIXD6		
44		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ USBA_EXICEN/ SSIWS0	PIXD5	IRQ9	
45		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ USBA_ID/ SSIRXD0	PIXD4	IRQ8	
46		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	PIXD3	IRQ7	ADTRG1#
47		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
48		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#

表 1.6 機能別端子一覧(176ピンLFQFP) (3 / 8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
49		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
50		P15		MTIOC0B/MTCLKB/ GTETR-G-B/ TIOCB2/TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/ USBA_VBUSEN/ SSIWS1	PIXD0	IRQ5	
51		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
52		P13	WR2#/BC2#	MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]		IRQ3	ADTRG1#
53		P12	WR3#/BC3#	MTIC5U/TMC1	RXD2/SMISO2/ SSCL2/ SCL0[FM+]		IRQ2	
54	VCC_USB							
55					USB0_DM			
56					USB0_DP			
57	VSS_USB							
58	AVCC_USBA							
59	USBA_RREF							
60	AVSS_USBA							
61	PVSS_USBA							
62	VSS2_USBA							
63					USBA_DM			
64					USBA_DP			
65	VSS1_USBA							
66	VCC_USBA							
67		P11		MTIC5V/TMC13	SCK2/USBA_VBUS/ USBA_VBUSEN		IRQ1	
68		P10	ALE	MTIC5W/TMRI3	USBA_OVRCURA		IRQ0	
69		P53 (注1)	BCLK					
70		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A			
71		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A			
72		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A			
73	VSS							
74		P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
75	VCC							
76	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	

表 1.6 機能別端子一覧(176ピンLFQFP) (4 / 8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
77		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
78		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
79		P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
80		P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
81		P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
82		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-D/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/QMI-A		
83		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
84		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
85		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
86		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
87		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
88		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			
89		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
90	VCC							
91		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
92	VSS							
93		P73	CS3#	PO16	ET0_WOL			
94		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
95		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
96		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			

表 1.6 機能別端子一覧(176ピンLQFP) (5 / 8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
97		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
98		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
99		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
100		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCIO/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
101		P72	A19/CS2#		ET0_MDC			
102		P71	A18/CS1#		ET0_MDIO			
103	VCC							
104		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
105	VSS							
106		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
107		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
108		PA5	A5	MTIOC6B/ GTIOC0A-C/ TIOCB1/PO21	RSPCKA-B/ ET0_LINKSTA			
109		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
110		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ ET0_MDIO		IRQ6-DS	
111	TRDATA3	PG7	D31		ET1_TX_ER			
112		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
113	TRDATA2	PG6	D30		ET1_ETXD3			
114		PA1	A1/DQM3	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
115	VCC							
116	TRCLK	PG5	D29		ET1_ETXD2			
117	VSS							

表 1.6 機能別端子一覧(176ピンLFQFP) (6 / 8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
118		PA0	A0/BC0#/ DQM2	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
119	TRSYNC	PG4	D28		ET1_ETXD1/ RMII1_TXD1			
120		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
121	TRDATA1	PG3	D27		ET1_ETXD0/ RMII1_TXD0			
122		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
123	TRDATA0	PG2	D26		ET1_TX_CLK			
124		P65	CS5#/CKE					
125		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1	MISOB-B	MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
126		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1	MOSIB-B	MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
127	VCC							
128		P70	SDCLK					
129	VSS							
130		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0/ RSPCKB-B		IRQ5	AN103
131		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2/ SSLB0-B			AN102
132		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ ET0_ERXD3	MMC_D7-B		AN101
133		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B	MMC_D6-B	IRQ7-DS	AN100
134		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B	MMC_D5-B		ANEX1
135		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12/SSLB1-B	MMC_D4-B		ANEX0
136		P64	CS4#/WE#					
137		P63	CS3#/CAS#					
138		P62	CS2#/RAS#					
139		P61	CS1#/SDCS#					
140	VSS							
141		P60	CS0#		ET1_TX_EN/ RMII1_TXD_EN			
142	VCC							
143		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107

表 1.6 機能別端子一覧(176ピンLFQFP) (7 / 8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
144		PG1	D25		ET1_RX_ER/ RMII1_RX_ER			
145		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
146		PG0	D24		ET1_RX_CLK/ REF50CK1			
147		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
148		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
149		P97	A23/D23		ET1_ERXD3			
150		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
151	VSS							
152		P96	A22/D22		ET1_ERXD2			
153	VCC							
154		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2_B	IRQ2	AN110
155		P95	A21/D21		ET1_ERXD1/ RMII1_RXD1			
156		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
157		P94	A20/D20		ET1_ERXD0/ RMII1_RXD0			
158		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
159		P93	A19/D19	POE0#	ET1_LINKSTA/ CTS7#/RTS7#/SS7#			AN117
160		P92	A18/D18	POE4#	ET1_CRS/ RMII1_CRS_DV/ RXD7/SMISO7/ SSCL7			AN116
161		P91	A17/D17		ET1_COL/SCK7			AN115
162	VSS							
163		P90	A16/D16		ET1_RX_DV/ TXD7/SMOSI7/ SSDA7			AN114
164	VCC							
165		P47					IRQ15- DS	AN007
166		P46					IRQ14- DS	AN006
167		P45					IRQ13- DS	AN005
168		P44					IRQ12- DS	AN004

表 1.6 機能別端子一覧(176ピンLFQFP) (8 / 8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
169		P43					IRQ11- DS	AN003
170		P42					IRQ10- DS	AN002
171		P41					IRQ9-DS	AN001
172	VREFL0							
173		P40					IRQ8-DS	AN000
174	VREFH0							
175	AVCC0							
176		P07					IRQ15	ADTRG0#

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.7 機能別端子一覧(145ピンTFLGA) (1 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
A1	AVSS0							
A2		P07					IRQ15	ADTRG0#
A3		P40					IRQ8-DS	AN000
A4		P42					IRQ10-DS	AN002
A5		P45					IRQ13-DS	AN005
A6		P90	A16		TXD7/SMOSI7/ SSDA7			AN114
A7		P92	A18	POE4#	RXD7/SMISO7/ SSCL7			AN116
A8		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
A9		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
A10	VSS							
A11		P62	CS2#/RAS#					
A12		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B	MMC_D5-B		ANEX1
A13		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3/	MMC_D7-B		AN101
B1	AVCC1							
B2	AVCC0							
B3		P05					IRQ13	DA1
B4	VREFL0							
B5		P43					IRQ11-DS	AN003
B6		P47					IRQ15-DS	AN007
B7		P91	A17		SCK7			AN115
B8		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
B9		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
B10	VCC							
B11		P61	CS1#/SDCS#					
B12		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B	MMC_D6-B	IRQ7-DS	AN100
B13		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2/ SSLB0-B			AN102
C1	AVSS1							
C2		P02		TMCI1	SCK6		IRQ10	AN120

表 1.7 機能別端子一覧(145ピンTFLGA) (2 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
C3	VREFH0							
C4		P41					IRQ9-DS	AN001
C5		P46					IRQ14-DS	AN006
C6	VSS							
C7		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
C8		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
C9		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
C10		P63	CS3#/CAS#					
C11		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12/SSLB1-B	MMC_D4-B		ANEX0
C12		P70	SDCLK					
C13	VSS							
D1		P00		TMRI0	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
D2		PF5					IRQ4	
D3		P03					IRQ11	DA0
D4		P01		TMCIO	RXD6/SMISO6/ SSCL6		IRQ9	AN119
D5	VCC							
D6		P93	A19	POE0#	CTS7#/RTS7#/SS7#			AN117
D7		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
D8		P60	CS0#					
D9		P64	CS4#/WE#					
D10		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1	MISOB-B	MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
D11	VCC							
D12		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0/ RSPCKB-B		IRQ5	AN103
D13		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1	MOSIB-B	MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
E1	VSS							
E2	VCL							
E3		PJ5		POE8#	CTS2#/RTS2#/SS2#			
E4	EMLE							
E5		P44					IRQ12-DS	AN004

表 1.7 機能別端子一覧(145ピンTFLGA) (3 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
E10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
E11		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
E12		P65	CS5#/CKE					
E13		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
F1	XCIN							
F2	XCOUT							
F3		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
F4	VBATT							
F10		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
F11	VSS							
F12		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
F13		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
G1	XTAL	P37						
G2	RES							
G3	MD/FINED							
G4	BSCANP							
G10		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			
G11		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
G12	VCC							
G13		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
H1	EXTAL	P36						
H2	VCC							
H3	VSS							
H4	UPSEL	P35					NMI	
H10		P72	A19/CS2#		ET0_MDC			
H11		P71	A18/CS1#		ET0_MDIO			

表 1.7 機能別端子一覧(145ピンTFLGA) (4 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
H12		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
H13		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
J1	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
J2		P33	EDREQ1	MTIOC0D/TIOCD0/ TMR3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0	PCKO	IRQ3-DS	
J3		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCCOUT/RTCCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYNC	IRQ2-DS	
J4	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS	
J10		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
J11		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
J12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
J13		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
K1	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB-A			
K2	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A			
K3	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS	
K4		P15		MTIOC0B/MTCLKB/ GTETRG-B/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1	PIXD0	IRQ5	
K5	TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET0_LINKSTA			
K6		P53 (注1)	BCLK					
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A			

表 1.7 機能別端子一覧(145ピンTFLGA) (5 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
K8	VCC							
K9	TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
K10		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
K11		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
K12		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
K13		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMR11/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
L1		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1	HSYNC		ADTRG0#
L2		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
L3		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
L4		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMR11/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
L5		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
L6		P56	EDACK1	MTIOC3C/TIOCA1				
L7		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A			
L8	TRCLK	P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
L9		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMR12/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
L10		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-G-D/TMC11/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/ QMI-A		
L11		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
L12		P73	CS3#	PO16	ET0_WOL			
L13	VSS							

表 1.7 機能別端子一覧(145ピンTFLGA) (6 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
M1		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK	PIXD6		
M2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	PIXD3	IRQ7	ADTRG1#
M3		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
M4		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
M5	VCC_USB							
M6	VSS_USB							
M7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A			
M8		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
M9	TRDATA1	P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
M10		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
M11		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
M12		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
M13	VCC							
N1		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0	PIXD5	IRQ9	
N2		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0	PIXD4	IRQ8	
N3		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
N4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
N5					USB0_DM			
N6					USB0_DP			
N7	TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
N8	VSS							

表 1.7 機能別端子一覧(145ピンTFLGA) (7 / 7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
N9	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	
N10	TRSYNC	P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
N11		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
N12		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
N13		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.8 機能別端子一覧(144ピンLFQFP) (1 / 7)

ピン 番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
1	AVSS0							
2		P05					IRQ13	DA1
3	AVCC1							
4		P03					IRQ11	DA0
5	AVSS1							
6		P02		TMCI1	SCK6		IRQ10	AN120
7		P01		TMCI0	RXD6/SMISO6/ SSCL6		IRQ9	AN119
8		P00		TMRI0	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
9		PF5					IRQ4	
10	EMLE							
11		PJ5		POE8#	CTS2#/RTS2#/SS2#			
12	VSS							
13		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
14	VCL							
15	VBATT							
16	MD/FINED							
17	XCIN							
18	XCOUT							
19	RES							
20	XTAL	P37						
21	VSS							
22	EXTAL	P36						
23	VCC							
24	UPSEL	P35					NMI	
25	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
26		P33	EDREQ1	MTIOC0D/TIOC0D/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0	PCKO	IRQ3-DS	
27		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYNC	IRQ2-DS	
28	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS	
29	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS	
30	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB-A			

表 1.8 機能別端子一覧(144ピンLQFP) (2 / 7)

ピン 番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
31	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A			
32		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1	HSYNC		ADTRG0#
33		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
34		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
35		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK	PIXD6		
36		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0	PIXD5	IRQ9	
37		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0	PIXD4	IRQ8	
38		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	PIXD3	IRQ7	ADTRG1#
39		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
40		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
41		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
42		P15		MTIOC0B/MTCLKB/ GTETRQ-B/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1	PIXD0	IRQ5	
43		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
44		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
45		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
46	VCC_USB							

表 1.8 機能別端子一覧(144ピンLQFP) (3 / 7)

ピン 番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
47					USB0_DM			
48					USB0_DP			
49	VSS_USB							
50		P56	EDACK1	MTIOC3C/TIOCA1				
51	TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
52	TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMC11	CTS2#/RTS2#/ SS2#/CTX1/ ET0_LINKSTA			
53		P53(注1)	BCLK					
54		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A			
55		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A			
56		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A			
57	VSS							
58	TRCLK	P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
59	VCC							
60	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMC12/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
62		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMR12/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
63	TRSYNC	P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
64	TRDATA1	P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
65	TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETRG-D/TMC11/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/QMI-A		
67		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
68		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
69		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		

表 1.8 機能別端子一覧(144ピンLFQFP) (4 / 7)

ピン 番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
70		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
71		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
72		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			
73		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
74	VCC							
75		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
76	VSS							
77		P73	CS3#	PO16	ET0_WOL			
78		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
79		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
80		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMR11/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
81		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
82		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
83		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
84		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMC10/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
85		P72	A19/CS2#		ET0_MDC			
86		P71	A18/CS1#		ET0_MDIO			
87		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
88		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
89		PA6	A6	MTIC5V/MTCLKB/ GTETR-G-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			

表 1.8 機能別端子一覧(144ピンLFQFP) (5 / 7)

ピン 番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
90		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			
91	VCC							
92		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
93	VSS							
94		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
95		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
96		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
97		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
98		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
99		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
100		P65	CS5#/CKE					
101		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1	MISOB-B	MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
102		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1	MOSIB-B	MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
103	VCC							
104		P70	SDCLK					
105	VSS							
106		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0/ RSPCKB-B		IRQ5	AN103
107		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2/ SSLB0-B			AN102
108		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3/	MMC_D7-B		AN101
109		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B	MMC_D6-B	IRQ7-DS	AN100
110		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B	MMC_D5-B		ANEX1
111		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12/SSLB1-B	MMC_D4-B		ANEX0
112		P64	CS4#/WE#					

表 1.8 機能別端子一覧(144ピンLQFP) (6 / 7)

ピン 番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
113		P63	CS3#/CAS#					
114		P62	CS2#/RAS#					
115		P61	CS1#/SDCS#					
116	VSS							
117		P60	CS0#					
118	VCC							
119		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
120		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
121		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
122		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
123		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
124		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
125		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
126		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
127		P93	A19	POE0#	CTS7#/RTS7#/SS7#			AN117
128		P92	A18	POE4#	RXD7/SMISO7/ SSCL7			AN116
129		P91	A17		SCK7			AN115
130	VSS							
131		P90	A16		TXD7/SMOSI7/ SSDA7			AN114
132	VCC							
133		P47					IRQ15- DS	AN007
134		P46					IRQ14- DS	AN006
135		P45					IRQ13- DS	AN005
136		P44					IRQ12- DS	AN004
137		P43					IRQ11- DS	AN003
138		P42					IRQ10- DS	AN002
139		P41					IRQ9-DS	AN001

表 1.8 機能別端子一覧(144ピンLFQFP) (7 / 7)

ピン 番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
140	VREFL0							
141		P40					IRQ8-DS	AN000
142	VREFH0							
143	AVCC0							
144		P07					IRQ15	ADTRG0#

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.9 機能別端子一覧(100ピンTFLGA) (1 / 5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
A1	P05						IRQ13	DA1
A2	AVCC1							
A3		P07					IRQ15	ADTRG0#
A4	VREFL0							
A5		P43					IRQ11-DS	AN003
A6		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
A7		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
A8		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12/SSLB1-B	MMC_D4-B		ANEX0
A9		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B	MMC_D5-B		ANEX1
A10		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B	MMC_D6-B	IRQ7-DS	AN100
B1	EMLE							
B2	AVSS0							
B3	AVCC0							
B4		P40					IRQ8-DS	AN000
B5		P44					IRQ12-DS	AN004
B6		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
B7		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
B8		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
B9		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1/QMI-B	IRQ7	AN107
B10		PE3	D11[A11/ D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3	MMC_D7-B		AN101
C1	VCL							
C2	AVSS1							
C3		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/SS6#/ SS0#			
C4	VREFH0							
C5		P42					IRQ10-DS	AN002
C6		P47					IRQ15-DS	AN007

表 1.9 機能別端子一覧(100ピンTFLGA) (2 / 5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
C7		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
C8		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
C9		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0/ RSPCKB-B		IRQ5	AN103
C10		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2/ SSLB0-B			AN102
D1	XCIN							
D2	XCOUT							
D3	MD/FINED							
D4	VBATT							
D5		P45					IRQ13-DS	AN005
D6		P46					IRQ14-DS	AN006
D7		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1	MOSIB-B	MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
D8		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1	MISOB-B	MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
D9		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
D10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
E1	XTAL	P37						
E2	VSS							
E3	RES#							
E4	TRST#	P34		MTIOC0A/TMC13/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
E5		P41					IRQ9-DS	AN001
E6		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
E7		PA6	A6	MTIC5V/MTCLKB/ GTETRGC-TIOCA2/ TMC13/PO22/ POE10#	CTS5#/RTS5#/SS5#/ MOSIA-B/ ET0_EXOUT			
E8		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
E9		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			

表 1.9 機能別端子一覧(100ピンTFLGA) (3 / 5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
E10		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
F1	EXTAL	P36						
F2	VCC							
F3	UPSEL	P35					NMI	
F4		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS	
F5		P12		TMC11	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
F6		PB3	A11	MTIOC0A/ MTIOC4A/TIOC0D3/ TCLKD/TMO0/ PO27/POE11#	SCK6/ET0_RX_ER/ RMII0_RX_ER			
F7		PB2	A10	TIOCC3/TCLKC/ PO26	CTS6#/RTS6#SS6#/ ET0_RX_CLK/ REF50CK0			
F8		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD6/SMISO6/ SSCL6/ET0_ERXD1/ RMII0_RXD1		IRQ12	
F9		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
F10	VSS							
G1		P33	EDREQ1	MTIOC0D/TIOC0D/ TMR13/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS	
G2	TMS	P31		MTIOC4D/TMC12/ PO9/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0-A		IRQ1-DS	
G3	TDI	P30		MTIOC4B/TMR13/ PO8/RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS	
G4	TCK	P27	CS7#	MTIOC2B/TMC13/ PO7	SCK1/RSPCKB-A			
G5		P53 (注1)	BCLK					
G6		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A			
G7		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMR11/PO29/POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
G8		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
G9		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMC10/PO25	TXD6/SMOSI6/ SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
G10	VCC							
H1	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A			

表 1.9 機能別端子一覧(100ピンTFLGA) (4 / 5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
H2		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1			ADTRG0#
H3		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
H4		P15		MTIOC0B/MTCLKB/ GTETR-G/TIOCB2/ TCLKB/TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1		IRQ5	
H5		P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
H6		P54	ALE/ EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1/ET0_LINKSTA			
H7	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL		IRQ14	
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3		IRQ13	
H9		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
H10		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
J1		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1			
J2		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0		IRQ9	
J3		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0		IRQ7	ADTRG1#
J4		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
J5	VSS_USB							
J6	VCC_USB							
J7		P50	WR0#/ WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A			
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-G/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK			
J9		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1-A/ ET0_ERXD3		IRQ14	

表 1.9 機能別端子一覧(100ピンTFLGA) (5 / 5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
J10		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
K1		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOC3D/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0			
K2		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK			
K3		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0		IRQ8	
K4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/ USB0_OVRCURA		IRQ4	
K5					USB0_DM			
K6					USB0_DP			
K7		P51	WR1#/ BC1#/ WAIT#		SCK2/SSLB2-A			
K8		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2			
K9		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER			
K10		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV			

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.10 機能別端子一覧(100ピンLFQFP) (1 / 5)

ピン 番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
1	AVCC1							
2	EMLE							
3	AVSS1							
4		PJ3	EDACK1	MTIOC3C	ET0_EXOUT CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
5	VCL							
6	VBATT							
7	MD/FINED							
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15	UPSEL	P35					NMI	
16	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
17		P33	EDREQ1	MTIOC0D/TIOC0D/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS	
18		P32		MTIOC0C/TIOC0C/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS	
19	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0-A		IRQ1-DS	
20	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/MISOB-A		IRQ0-DS	
21	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/RSPCKB-A			
22	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A			
23		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1			ADTRG0#
24		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1			
25		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOC03/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0			

表 1.10 機能別端子一覧(100ピンLFQFP) (2 / 5)

ピン 番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
26		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK			
27		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMC10/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0		IRQ9	
28		P20		MTIOC1A/TIOCB3/ TMR10/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0		IRQ8	
29		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0		IRQ7	ADTRG1#
30		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOU	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
31		P15		MTIOC0B/MTCLKB/ GTETRGA-B/ TIOCB2/TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1		IRQ5	
32		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMR12/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
33		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
34		P12		TMC11	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
35	VCC_USB							
36					USB0_DM			
37					USB0_DP			
38	VSS_USB							
39		P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
40		P54	ALE/EDACK0	MTIOC4B/TMC11	CTS2#/RTS2#/ SS2#/CTX1/ ET0_LINKSTA			
41		P53 (注1)	BCLK					
42		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3-A			
43		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2-A			
44		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1-A			

表 1.10 機能別端子一覧(100ピンLQFP) (3 / 5)

ピン 番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
45	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL		IRQ14	
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3		IRQ13	
47		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2			
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETRG-D/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK			
49		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER			
50		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV			
51		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
52		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
53		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
54		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
55		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
56		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
57		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK6/ET0_RX_ER/ RMII0_RX_ER			
58		PB2	A10	TIOCC3/TCLKC/ PO26	CTS6#/RTS6#SS6#/ ET0_RX_CLK/ REF50CK0			
59		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
60	VCC							
61		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD6/SMISO6/ SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
62	VSS							
63		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			

表 1.10 機能別端子一覧(100ピンLFQFP) (4 / 5)

ピン 番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
64		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
65		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			
66		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
67		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
68		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
69		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
70		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
71		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1	MISOB-B	MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
72		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1	MOSIB-B	MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
73		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0/ RSPCKB-B		IRQ5	AN103
74		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2/ SSLB0-B			AN102
75		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3	MMC_D7-B		AN101
76		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B	MMC_D6-B	IRQ7-DS	AN100
77		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B	MMC_D5-B		ANEX1
78		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12/SSLB1-B	MMC_D4-B		ANEX0
79		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/ QMI-B	IRQ7	AN107
80		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106

表 1.10 機能別端子一覧(100ピンLFQFP) (5 / 5)

ピン 番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
81		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
82		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
83		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
84		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
85		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
86		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
87		P47					IRQ15- DS	AN007
88		P46					IRQ14- DS	AN006
89		P45					IRQ13- DS	AN005
90		P44					IRQ12- DS	AN004
91		P43					IRQ11- DS	AN003
92		P42					IRQ10- DS	AN002
93		P41					IRQ9-DS	AN001
94	VREFL0							
95		P40					IRQ8-DS	AN000
96	VREFH0							
97	AVCC0							
98		P07					IRQ15	ADTRG0#
99	AVSS0							
100	P05						IRQ13	DA1

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。



図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本(R0 ~ R15)あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

(2) 例外テーブルレジスタ (EXTB)

例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

(3) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

(4) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(5) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(6) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(7) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(8) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(9) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット Ej で例外処理を許可 (Ej = "1") した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = "0") した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです。(j = X, U, Z, O, V)

2.3 アキュムレータ

アキュムレータ (ACC0、ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ～ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ～ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ～ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ～ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット (b95 ～ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ～ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ～ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ～ b0) のデータをそれぞれ読み出します。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

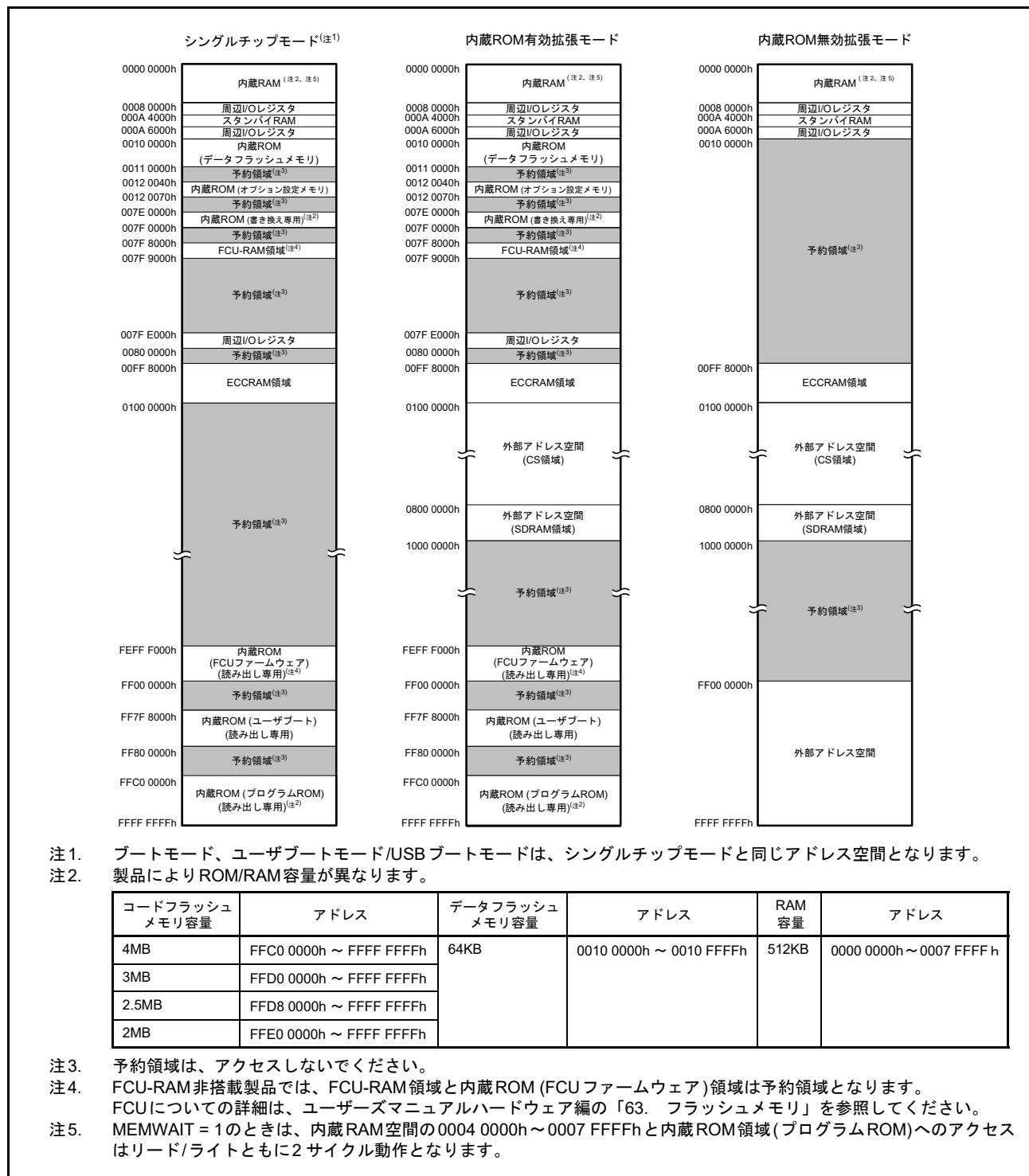


図 3.1 各動作モードのメモリマップ

3.2 外部アドレス空間

外部アドレス空間は、CS# 端子 (CS0 ~ CS7) と SDRAM 領域 (SDCS) に分割されています。CS 領域は、CSn# 端子 (n = 0 ~ 7) から出力される CSn# 信号によって最大 8 つの CS 領域 (CS0 ~ CS7) に分割できます。

図 3.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS7)、SDRAM 領域 (SDCS) とアドレスの対応を示します。

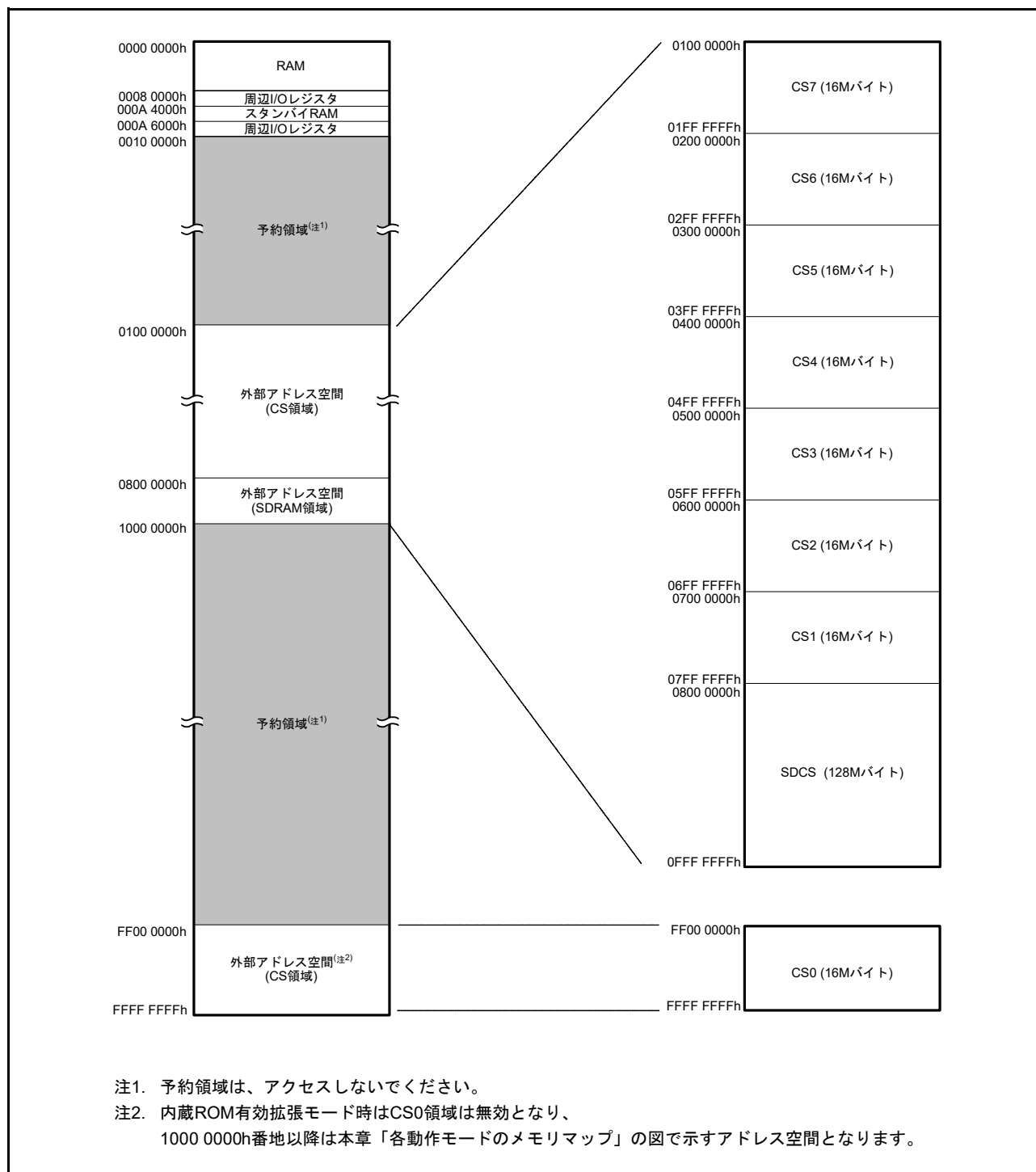


図 3.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERn.IENj ビット) のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

I/O レジスタアクセスサイクル数 = 内部メインバス 1 のバスサイクル数 +
分周クロック同期化サイクル数 +
内部周辺バス 1 ～ 6 のバスサイクル数

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK, BCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $ICLK \geq PCLK$ (または $FCLK$) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、表 4.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、 $ICLK < PCLK$ (または $FCLK$) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 4.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 4.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

(5) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

4.1 I/Oレジスタアドレス一覧(アドレス順)

表4.1 I/Oレジスタアドレス一覧(1 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK		動作モード
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		動作モード
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		動作モード
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		消費電力低減機能
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		消費電力低減機能
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		消費電力低減機能
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		消費電力低減機能
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		クロック発生回路
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK		クロック発生回路
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		クロック発生回路
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		クロック発生回路
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		クロック発生回路
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		クロック発生回路
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		クロック発生回路
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK		クロック発生回路
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		クロック発生回路
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		クロック発生回路
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		クロック発生回路
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		クロック発生回路
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		クロック発生回路
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		クロック発生回路
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		クロック発生回路
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK		消費電力低減機能
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		消費電力低減機能
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		クロック発生回路
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK		クロック発生回路
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		リセット
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		リセット
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		LVDA
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		LVDA
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		LVDA
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		LVDA
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		RAM

表4.1 I/O レジスタアドレス一覧 (2 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合	
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		RAM
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPPCR	8	8	2ICLK		RAM
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		RAM
0008 12C0h	ECCRAM	ECCRAM動作モード制御レジスタ	ECCRAMMODE	8	8	2ICLK		RAM
0008 12C1h	ECCRAM	ECCRAM2ビットエラーステータスレジスタ	ECCRAM2STS	8	8	2ICLK		RAM
0008 12C2h	ECCRAM	ECCRAM1ビットエラー情報更新許可レジスタ	ECCRAM1STSEN	8	8	2ICLK		RAM
0008 12C3h	ECCRAM	ECCRAM1ビットエラーステータスレジスタ	ECCRAM1STS	8	8	2ICLK		RAM
0008 12C4h	ECCRAM	ECCRAMプロテクトレジスタ	ECCRAMPCR	8	8	2ICLK		RAM
0008 12C8h	ECCRAM	ECCRAM2ビットエラーアドレスキャプチャレジスタ	ECCRAM2ECAD	32	32	2ICLK		RAM
0008 12CCh	ECCRAM	ECCRAM1ビットエラーアドレスキャプチャレジスタ	ECCRAM1ECAD	32	32	2ICLK		RAM
0008 12D0h	ECCRAM	ECCRAMプロテクトレジスタ2	ECCRAMPCR2	8	8	2ICLK		RAM
0008 12D4h	ECCRAM	ECCRAMテスト制御レジスタ	ECCRAMTEST	8	8	2ICLK		RAM
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		バス
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		バス
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		バス
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		バス
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		バス
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACa
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACa
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACa
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACa
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACa
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACa
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACa
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		DMACa
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACa
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACa
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACa
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACa
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACa
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACa
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACa
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACa
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACa
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACa
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACa
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACa
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACa
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACa
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACa
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACa
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACa
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACa
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACa
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACa
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACa
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACa

表4.1 I/O レジスタアドレス一覧 (3 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合	
0008 209Ch	DMAC2	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 209Dh	DMAC2	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 209Eh	DMAC2	DMA ステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 209Fh	DMAC2	DMAC 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 20C0h	DMAC3	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACAa
0008 20C4h	DMAC3	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACAa
0008 20C8h	DMAC3	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACAa
0008 20CCh	DMAC3	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACAa
0008 20D0h	DMAC3	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK		DMACAa
0008 20D3h	DMAC3	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACAa
0008 20D4h	DMAC3	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACAa
0008 20DCh	DMAC3	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 20DDh	DMAC3	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 20DEh	DMAC3	DMA ステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 20DFh	DMAC3	DMAC 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 2100h	DMAC4	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACAa
0008 2104h	DMAC4	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACAa
0008 2108h	DMAC4	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACAa
0008 210Ch	DMAC4	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACAa
0008 2110h	DMAC4	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK		DMACAa
0008 2113h	DMAC4	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACAa
0008 2114h	DMAC4	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACAa
0008 211Ch	DMAC4	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 211Dh	DMAC4	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 211Eh	DMAC4	DMA ステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 211Fh	DMAC4	DMAC 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 2140h	DMAC5	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACAa
0008 2144h	DMAC5	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACAa
0008 2148h	DMAC5	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACAa
0008 214Ch	DMAC5	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACAa
0008 2150h	DMAC5	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK		DMACAa
0008 2153h	DMAC5	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACAa
0008 2154h	DMAC5	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACAa
0008 215Ch	DMAC5	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 215Dh	DMAC5	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 215Eh	DMAC5	DMA ステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 215Fh	DMAC5	DMAC 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 2180h	DMAC6	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACAa
0008 2184h	DMAC6	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACAa
0008 2188h	DMAC6	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACAa
0008 218Ch	DMAC6	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACAa
0008 2190h	DMAC6	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK		DMACAa
0008 2193h	DMAC6	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACAa
0008 2194h	DMAC6	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACAa
0008 219Ch	DMAC6	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 219Dh	DMAC6	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 219Eh	DMAC6	DMA ステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 219Fh	DMAC6	DMAC 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 21C0h	DMAC7	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACAa
0008 21C4h	DMAC7	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACAa
0008 21C8h	DMAC7	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACAa

表4.1 I/O レジスタアドレス一覧 (4 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
0008 21CCh	DMAC7	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACAa
0008 21D0h	DMAC7	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK		DMACAa
0008 21D3h	DMAC7	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACAa
0008 21D4h	DMAC7	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACAa
0008 21DCh	DMAC7	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 21DDh	DMAC7	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 21DEh	DMAC7	DMA ステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 21DFh	DMAC7	DMAC 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 2200h	DMAC	DMAC モジュール起動レジスタ	DMAST	8	8	2ICLK		DMACAa
0008 2204h	DMAC	DMAC74 割り込みステータスモニタレジスタ	DMIST	8	8	2ICLK		DMACAa
0008 2400h	DTC	DTC コントロールレジスタ	DTCCR	8	8	2ICLK		DTCa
0008 2404h	DTC	DTC ベクタベースレジスタ	DTCVBR	32	32	2ICLK		DTCa
0008 2408h	DTC	DTC アドレスモードレジスタ	DTCADMOD	8	8	2ICLK		DTCa
0008 240Ch	DTC	DTC モジュール起動レジスタ	DTCST	8	8	2ICLK		DTCa
0008 240Eh	DTC	DTC ステータスレジスタ	DTCSTS	16	16	2ICLK		DTCa
0008 2800h	EXDMAC0	EXDMA 転送元アドレスレジスタ	EDMSAR	32	32	1~2BCLK		EXDMACa
0008 2804h	EXDMAC0	EXDMA 転送先アドレスレジスタ	EDMDAR	32	32	1~2BCLK		EXDMACa
0008 2808h	EXDMAC0	EXDMA 転送カウントレジスタ	EDMCRA	32	32	1~2BCLK		EXDMACa
0008 280Ch	EXDMAC0	EXDMA ブロック転送カウントレジスタ	EDMCRB	16	16	1~2BCLK		EXDMACa
0008 2810h	EXDMAC0	EXDMA 転送モードレジスタ	EDMTMD	16	16	1~2BCLK		EXDMACa
0008 2812h	EXDMAC0	EXDMA 出力設定レジスタ	EDMOMD	8	8	1~2BCLK		EXDMACa
0008 2813h	EXDMAC0	EXDMA 割り込み設定レジスタ	EDMINT	8	8	1~2BCLK		EXDMACa
0008 2814h	EXDMAC0	EXDMA アドレスモードレジスタ	EDMAMD	32	32	1~2BCLK		EXDMACa
0008 2818h	EXDMAC0	EXDMA オフセットレジスタ	EDMOFR	32	32	1~2BCLK		EXDMACa
0008 281Ch	EXDMAC0	EXDMA 転送許可レジスタ	EDMCNT	8	8	1~2BCLK		EXDMACa
0008 281Dh	EXDMAC0	EXDMA ソフトウェア起動レジスタ	EDMREQ	8	8	1~2BCLK		EXDMACa
0008 281Eh	EXDMAC0	EXDMA ステータスレジスタ	EDMSTS	8	8	1~2BCLK		EXDMACa
0008 2820h	EXDMAC0	EXDMA 外部要求センスモードレジスタ	EDMRMD	8	8	1~2BCLK		EXDMACa
0008 2821h	EXDMAC0	EXDMA 外部要求フラグレジスタ	EDMERF	8	8	1~2BCLK		EXDMACa
0008 2822h	EXDMAC0	EXDMA 周辺要求フラグレジスタ	EDMPRF	8	8	1~2BCLK		EXDMACa
0008 2840h	EXDMAC1	EXDMA 転送元アドレスレジスタ	EDMSAR	32	32	1~2BCLK		EXDMACa
0008 2844h	EXDMAC1	EXDMA 転送先アドレスレジスタ	EDMDAR	32	32	1~2BCLK		EXDMACa
0008 2848h	EXDMAC1	EXDMA 転送カウントレジスタ	EDMCRA	32	32	1~2BCLK		EXDMACa
0008 284Ch	EXDMAC1	EXDMA ブロック転送カウントレジスタ	EDMCRB	16	16	1~2BCLK		EXDMACa
0008 2850h	EXDMAC1	EXDMA 転送モードレジスタ	EDMTMD	16	16	1~2BCLK		EXDMACa
0008 2852h	EXDMAC1	EXDMA 出力設定レジスタ	EDMOMD	8	8	1~2BCLK		EXDMACa
0008 2853h	EXDMAC1	EXDMA 割り込み設定レジスタ	EDMINT	8	8	1~2BCLK		EXDMACa
0008 2854h	EXDMAC1	EXDMA アドレスモードレジスタ	EDMAMD	32	32	1~2BCLK		EXDMACa
0008 285Ch	EXDMAC1	EXDMA 転送許可レジスタ	EDMCNT	8	8	1~2BCLK		EXDMACa
0008 285Dh	EXDMAC1	EXDMA ソフトウェア起動レジスタ	EDMREQ	8	8	1~2BCLK		EXDMACa
0008 285Eh	EXDMAC1	EXDMA ステータスレジスタ	EDMSTS	8	8	1~2BCLK		EXDMACa
0008 2860h	EXDMAC1	EXDMA 外部要求センスモードレジスタ	EDMRMD	8	8	1~2BCLK		EXDMACa
0008 2861h	EXDMAC1	EXDMA 外部要求フラグレジスタ	EDMERF	8	8	1~2BCLK		EXDMACa
0008 2862h	EXDMAC1	EXDMA 周辺要求フラグレジスタ	EDMPRF	8	8	1~2BCLK		EXDMACa
0008 2A00h	EXDMAC	EXDMAC モジュール起動レジスタ	EDMAST	8	8	1~2BCLK		EXDMACa
0008 2BE0h	EXDMAC	クラスタバッファレジスタ 0	CLSBR0	32	32	1~2BCLK		EXDMACa
0008 2BE4h	EXDMAC	クラスタバッファレジスタ 1	CLSBR1	32	32	1~2BCLK		EXDMACa
0008 2BE8h	EXDMAC	クラスタバッファレジスタ 2	CLSBR2	32	32	1~2BCLK		EXDMACa
0008 2BECh	EXDMAC	クラスタバッファレジスタ 3	CLSBR3	32	32	1~2BCLK		EXDMACa
0008 2BF0h	EXDMAC	クラスタバッファレジスタ 4	CLSBR4	32	32	1~2BCLK		EXDMACa
0008 2BF4h	EXDMAC	クラスタバッファレジスタ 5	CLSBR5	32	32	1~2BCLK		EXDMACa

表4.1 I/O レジスタアドレス一覧 (5 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合	
0008 2BF8h	EXDMAC	クラスバッファレジスタ 6	CLSBR6	32	32	1 ~ 2BCLK		EXDMACa
0008 2BFCh	EXDMAC	クラスバッファレジスタ 7	CLSBR7	32	32	1 ~ 2BCLK		EXDMACa
0008 3002h	BSC	CS0 モードレジスタ	CS0MOD	16	16	1 ~ 2BCLK		バス
0008 3004h	BSC	CS0 ウェイト制御レジスタ 1	CS0WCR1	32	32	1 ~ 2BCLK		バス
0008 3008h	BSC	CS0 ウェイト制御レジスタ 2	CS0WCR2	32	32	1 ~ 2BCLK		バス
0008 3012h	BSC	CS1 モードレジスタ	CS1MOD	16	16	1 ~ 2BCLK		バス
0008 3014h	BSC	CS1 ウェイト制御レジスタ 1	CS1WCR1	32	32	1 ~ 2BCLK		バス
0008 3018h	BSC	CS1 ウェイト制御レジスタ 2	CS1WCR2	32	32	1 ~ 2BCLK		バス
0008 3022h	BSC	CS2 モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK		バス
0008 3024h	BSC	CS2 ウェイト制御レジスタ 1	CS2WCR1	32	32	1 ~ 2BCLK		バス
0008 3028h	BSC	CS2 ウェイト制御レジスタ 2	CS2WCR2	32	32	1 ~ 2BCLK		バス
0008 3032h	BSC	CS3 モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK		バス
0008 3034h	BSC	CS3 ウェイト制御レジスタ 1	CS3WCR1	32	32	1 ~ 2BCLK		バス
0008 3038h	BSC	CS3 ウェイト制御レジスタ 2	CS3WCR2	32	32	1 ~ 2BCLK		バス
0008 3042h	BSC	CS4 モードレジスタ	CS4MOD	16	16	1 ~ 2BCLK		バス
0008 3044h	BSC	CS4 ウェイト制御レジスタ 1	CS4WCR1	32	32	1 ~ 2BCLK		バス
0008 3048h	BSC	CS4 ウェイト制御レジスタ 2	CS4WCR2	32	32	1 ~ 2BCLK		バス
0008 3052h	BSC	CS5 モードレジスタ	CS5MOD	16	16	1 ~ 2BCLK		バス
0008 3054h	BSC	CS5 ウェイト制御レジスタ 1	CS5WCR1	32	32	1 ~ 2BCLK		バス
0008 3058h	BSC	CS5 ウェイト制御レジスタ 2	CS5WCR2	32	32	1 ~ 2BCLK		バス
0008 3062h	BSC	CS6 モードレジスタ	CS6MOD	16	16	1 ~ 2BCLK		バス
0008 3064h	BSC	CS6 ウェイト制御レジスタ 1	CS6WCR1	32	32	1 ~ 2BCLK		バス
0008 3068h	BSC	CS6 ウェイト制御レジスタ 2	CS6WCR2	32	32	1 ~ 2BCLK		バス
0008 3072h	BSC	CS7 モードレジスタ	CS7MOD	16	16	1 ~ 2BCLK		バス
0008 3074h	BSC	CS7 ウェイト制御レジスタ 1	CS7WCR1	32	32	1 ~ 2BCLK		バス
0008 3078h	BSC	CS7 ウェイト制御レジスタ 2	CS7WCR2	32	32	1 ~ 2BCLK		バス
0008 3802h	BSC	CS0 制御レジスタ	CS0CR	16	16	1 ~ 2BCLK		バス
0008 380Ah	BSC	CS0 リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK		バス
0008 3812h	BSC	CS1 制御レジスタ	CS1CR	16	16	1 ~ 2BCLK		バス
0008 381Ah	BSC	CS1 リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK		バス
0008 3822h	BSC	CS2 制御レジスタ	CS2CR	16	16	1 ~ 2BCLK		バス
0008 382Ah	BSC	CS2 リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK		バス
0008 3832h	BSC	CS3 制御レジスタ	CS3CR	16	16	1 ~ 2BCLK		バス
0008 383Ah	BSC	CS3 リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK		バス
0008 3842h	BSC	CS4 制御レジスタ	CS4CR	16	16	1 ~ 2BCLK		バス
0008 384Ah	BSC	CS4 リカバリサイクル設定レジスタ	CS4REC	16	16	1 ~ 2BCLK		バス
0008 3852h	BSC	CS5 制御レジスタ	CS5CR	16	16	1 ~ 2BCLK		バス
0008 385Ah	BSC	CS5 リカバリサイクル設定レジスタ	CS5REC	16	16	1 ~ 2BCLK		バス
0008 3862h	BSC	CS6 制御レジスタ	CS6CR	16	16	1 ~ 2BCLK		バス
0008 386Ah	BSC	CS6 リカバリサイクル設定レジスタ	CS6REC	16	16	1 ~ 2BCLK		バス
0008 3872h	BSC	CS7 制御レジスタ	CS7CR	16	16	1 ~ 2BCLK		バス
0008 387Ah	BSC	CS7 リカバリサイクル設定レジスタ	CS7REC	16	16	1 ~ 2BCLK		バス
0008 3880h	BSC	CS リカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK		バス
0008 3C00h	BSC	SDC 制御レジスタ	SDCCR	8	8	1 ~ 2BCLK		バス
0008 3C01h	BSC	SDC モードレジスタ	SDCMOD	8	8	1 ~ 2BCLK		バス
0008 3C02h	BSC	SDRAM アクセスモードレジスタ	SDAMOD	8	8	1 ~ 2BCLK		バス
0008 3C10h	BSC	SDRAM セルフリフレッシュ制御レジスタ	SDSELF	8	8	1 ~ 2BCLK		バス
0008 3C14h	BSC	SDRAM リフレッシュ制御レジスタ	SDRFCR	16	16	1 ~ 2BCLK		バス
0008 3C16h	BSC	SDRAM オートリフレッシュ制御レジスタ	SDRFEN	8	8	1 ~ 2BCLK		バス
0008 3C20h	BSC	SDRAM 初期化シーケンス制御レジスタ	SDICR	8	8	1 ~ 2BCLK		バス
0008 3C24h	BSC	SDRAM 初期化レジスタ	SDIR	16	16	1 ~ 2BCLK		バス

表4.1 I/O レジスタアドレス一覧 (6 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 3C40h	BSC	SDRAMアドレスレジスタ	SDADR	8	8	1~2BCLK		バス
0008 3C44h	BSC	SDRAMタイミングレジスタ	SDTR	32	32	1~2BCLK		バス
0008 3C48h	BSC	SDRAMモードレジスタ	SDMOD	16	16	1~2BCLK		バス
0008 3C50h	BSC	SDRAMステータスレジスタ	SDSR	8	8	1~2BCLK		バス
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		MPU
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		MPU
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		MPU
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		MPU
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		MPU
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		MPU
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		MPU
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		MPU
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		MPU
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		MPU
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		MPU
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		MPU
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		MPU
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		MPU
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		MPU
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		MPU
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		MPU
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		MPU
0008 6508h	MPU	メモリプロテクションエラーステータスクリア レジスタ	MPECLR	32	32	1ICLK		MPU
0008 650Ch	MPU	メモリプロテクションエラーステータスレジ スタ	MPESTS	32	32	1ICLK		MPU
0008 6514h	MPU	データメモリプロテクションエラーアドレ スレジスタ	MPDEA	32	32	1ICLK		MPU
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		MPU
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK		MPU
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK		MPU
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		MPU
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		MPU
0008 6610h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	32	32	1ICLK		クロック発 生回路
0008 7010h~ 0008 70FFh	ICU	割り込み要求レジスタ 016~割り込み要求レ ジスタ 255	IR016~ IR255	8	8	2ICLK		ICUA
0008 711Ah~ 0008 71FFh	ICU	DTC 転送要求許可レジスタ 026~DTC 転送要求 許可レジスタ 255	DTICER026~ DTICER255	8	8	2ICLK		ICUA
0008 7202h~ 0008 721Fh	ICU	割り込み要求許可レジスタ 02~割り込み要求許 可レジスタ 1F	IER02~ IER1F	8	8	2ICLK		ICUA
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		ICUA
0008 72E1h	ICU	ソフトウェア割り込み2起動レジスタ	SWINT2R	8	8	2ICLK		ICUA
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		ICUA
0008 7300h~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ 000~割 り込み要因プライオリティレジスタ 255	IPR000~ IPR255	8	8	2ICLK		ICUA
0008 7400h	ICU	DMAC 起動要因選択レジスタ 0	DMRSR0	8	8	2ICLK		ICUA
0008 7404h	ICU	DMAC 起動要因選択レジスタ 1	DMRSR1	8	8	2ICLK		ICUA
0008 7408h	ICU	DMAC 起動要因選択レジスタ 2	DMRSR2	8	8	2ICLK		ICUA
0008 740Ch	ICU	DMAC 起動要因選択レジスタ 3	DMRSR3	8	8	2ICLK		ICUA
0008 7410h	ICU	DMAC 起動要因選択レジスタ 4	DMRSR4	8	8	2ICLK		ICUA
0008 7414h	ICU	DMAC 起動要因選択レジスタ 5	DMRSR5	8	8	2ICLK		ICUA
0008 7418h	ICU	DMAC 起動要因選択レジスタ 6	DMRSR6	8	8	2ICLK		ICUA
0008 741Ch	ICU	DMAC 起動要因選択レジスタ 7	DMRSR7	8	8	2ICLK		ICUA
0008 7500h~ 0008 750Fh	ICU	IRQ コントロールレジスタ 0~IRQ コントロ ールレジスタ 15	IRQCR0~ IRQCR15	8	8	2ICLK		ICUA

表4.1 I/O レジスタアドレス一覧 (7 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 7520h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK		ICUA
0008 7521h	ICU	IRQ端子デジタルフィルタ許可レジスタ1	IRQFLTE1	8	8	2ICLK		ICUA
0008 7528h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK		ICUA
0008 752Ah	ICU	IRQ端子デジタルフィルタ設定レジスタ1	IRQFLTC1	16	16	2ICLK		ICUA
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK		ICUA
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK		ICUA
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		ICUA
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		ICUA
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		ICUA
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		ICUA
0008 7600h	ICU	グループBE0 割り込み要求レジスタ	GRPBE0	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7630h	ICU	グループBL0 割り込み要求レジスタ	GRPBL0	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7634h	ICU	グループBL1 割り込み要求レジスタ	GRPBL1	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7640h	ICU	グループBE0 割り込み要求許可レジスタ	GENBE0	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7670h	ICU	グループBL0 割り込み要求許可レジスタ	GENBL0	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7674h	ICU	グループBL1 割り込み要求許可レジスタ	GENBL1	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7680h	ICU	グループBE0 割り込みクリアレジスタ	GCRBE0	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7700h	ICU	選択型割り込みB 要求レジスタ0	PIBR0	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7701h	ICU	選択型割り込みB 要求レジスタ1	PIBR1	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7702h	ICU	選択型割り込みB 要求レジスタ2	PIBR2	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7703h	ICU	選択型割り込みB 要求レジスタ3	PIBR3	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7704h	ICU	選択型割り込みB 要求レジスタ4	PIBR4	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7705h	ICU	選択型割り込みB 要求レジスタ5	PIBR5	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7706h	ICU	選択型割り込みB 要求レジスタ6	PIBR6	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7707h	ICU	選択型割り込みB 要求レジスタ7	PIBR7	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7708h	ICU	選択型割り込みB 要求レジスタ8	PIBR8	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7709h	ICU	選択型割り込みB 要求レジスタ9	PIBR9	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 770Ah	ICU	選択型割り込みB 要求レジスタA	PIBRA	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7780h	ICU	選択型割り込みB 要因選択レジスタX128	SLIBXR128	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7781h	ICU	選択型割り込みB 要因選択レジスタX129	SLIBXR129	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7782h	ICU	選択型割り込みB 要因選択レジスタX130	SLIBXR130	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7783h	ICU	選択型割り込みB 要因選択レジスタX131	SLIBXR131	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7784h	ICU	選択型割り込みB 要因選択レジスタX132	SLIBXR132	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7785h	ICU	選択型割り込みB 要因選択レジスタX133	SLIBXR133	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7786h	ICU	選択型割り込みB 要因選択レジスタX134	SLIBXR134	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7787h	ICU	選択型割り込みB 要因選択レジスタX135	SLIBXR135	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7788h	ICU	選択型割り込みB 要因選択レジスタX136	SLIBXR136	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7789h	ICU	選択型割り込みB 要因選択レジスタX137	SLIBXR137	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 778Ah	ICU	選択型割り込みB 要因選択レジスタX138	SLIBXR138	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 778Bh	ICU	選択型割り込みB 要因選択レジスタX139	SLIBXR139	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 778Ch	ICU	選択型割り込みB 要因選択レジスタX140	SLIBXR140	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 778Dh	ICU	選択型割り込みB 要因選択レジスタX141	SLIBXR141	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 778Eh	ICU	選択型割り込みB 要因選択レジスタX142	SLIBXR142	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 778Fh	ICU	選択型割り込みB 要因選択レジスタX143	SLIBXR143	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7790h	ICU	選択型割り込みB 要因選択レジスタ144	SLIBR144	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7791h	ICU	選択型割り込みB 要因選択レジスタ145	SLIBR145	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7792h	ICU	選択型割り込みB 要因選択レジスタ146	SLIBR146	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7793h	ICU	選択型割り込みB 要因選択レジスタ147	SLIBR147	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7794h	ICU	選択型割り込みB 要因選択レジスタ148	SLIBR148	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7795h	ICU	選択型割り込みB 要因選択レジスタ149	SLIBR149	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7796h	ICU	選択型割り込みB 要因選択レジスタ150	SLIBR150	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA

表 4.1 I/O レジスタアドレス一覧 (8 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
0008 7797h	ICU	選択型割り込みB 要因選択レジスタ 151	SLIBR151	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7798h	ICU	選択型割り込みB 要因選択レジスタ 152	SLIBR152	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7799h	ICU	選択型割り込みB 要因選択レジスタ 153	SLIBR153	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 779Ah	ICU	選択型割り込みB 要因選択レジスタ 154	SLIBR154	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 779Bh	ICU	選択型割り込みB 要因選択レジスタ 155	SLIBR155	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 779Ch	ICU	選択型割り込みB 要因選択レジスタ 156	SLIBR156	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 779Dh	ICU	選択型割り込みB 要因選択レジスタ 157	SLIBR157	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 779Eh	ICU	選択型割り込みB 要因選択レジスタ 158	SLIBR158	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 779Fh	ICU	選択型割り込みB 要因選択レジスタ 159	SLIBR159	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A0h	ICU	選択型割り込みB 要因選択レジスタ 160	SLIBR160	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A1h	ICU	選択型割り込みB 要因選択レジスタ 161	SLIBR161	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A2h	ICU	選択型割り込みB 要因選択レジスタ 162	SLIBR162	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A3h	ICU	選択型割り込みB 要因選択レジスタ 163	SLIBR163	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A4h	ICU	選択型割り込みB 要因選択レジスタ 164	SLIBR164	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A5h	ICU	選択型割り込みB 要因選択レジスタ 165	SLIBR165	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A6h	ICU	選択型割り込みB 要因選択レジスタ 166	SLIBR166	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A7h	ICU	選択型割り込みB 要因選択レジスタ 167	SLIBR167	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A8h	ICU	選択型割り込みB 要因選択レジスタ 168	SLIBR168	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77A9h	ICU	選択型割り込みB 要因選択レジスタ 169	SLIBR169	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77AAh	ICU	選択型割り込みB 要因選択レジスタ 170	SLIBR170	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77ABh	ICU	選択型割り込みB 要因選択レジスタ 171	SLIBR171	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77ACH	ICU	選択型割り込みB 要因選択レジスタ 172	SLIBR172	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77ADh	ICU	選択型割り込みB 要因選択レジスタ 173	SLIBR173	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77AEh	ICU	選択型割り込みB 要因選択レジスタ 174	SLIBR174	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77AFh	ICU	選択型割り込みB 要因選択レジスタ 175	SLIBR175	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B0h	ICU	選択型割り込みB 要因選択レジスタ 176	SLIBR176	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B1h	ICU	選択型割り込みB 要因選択レジスタ 177	SLIBR177	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B2h	ICU	選択型割り込みB 要因選択レジスタ 178	SLIBR178	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B3h	ICU	選択型割り込みB 要因選択レジスタ 179	SLIBR179	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B4h	ICU	選択型割り込みB 要因選択レジスタ 180	SLIBR180	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B5h	ICU	選択型割り込みB 要因選択レジスタ 181	SLIBR181	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B6h	ICU	選択型割り込みB 要因選択レジスタ 182	SLIBR182	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B7h	ICU	選択型割り込みB 要因選択レジスタ 183	SLIBR183	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B8h	ICU	選択型割り込みB 要因選択レジスタ 184	SLIBR184	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77B9h	ICU	選択型割り込みB 要因選択レジスタ 185	SLIBR185	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77BAh	ICU	選択型割り込みB 要因選択レジスタ 186	SLIBR186	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77BBh	ICU	選択型割り込みB 要因選択レジスタ 187	SLIBR187	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77BCh	ICU	選択型割り込みB 要因選択レジスタ 188	SLIBR188	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77BDh	ICU	選択型割り込みB 要因選択レジスタ 189	SLIBR189	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77BEh	ICU	選択型割り込みB 要因選択レジスタ 190	SLIBR190	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77BFh	ICU	選択型割り込みB 要因選択レジスタ 191	SLIBR191	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C0h	ICU	選択型割り込みB 要因選択レジスタ 192	SLIBR192	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C1h	ICU	選択型割り込みB 要因選択レジスタ 193	SLIBR193	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C2h	ICU	選択型割り込みB 要因選択レジスタ 194	SLIBR194	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C3h	ICU	選択型割り込みB 要因選択レジスタ 195	SLIBR195	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C4h	ICU	選択型割り込みB 要因選択レジスタ 196	SLIBR196	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C5h	ICU	選択型割り込みB 要因選択レジスタ 197	SLIBR197	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C6h	ICU	選択型割り込みB 要因選択レジスタ 198	SLIBR198	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C7h	ICU	選択型割り込みB 要因選択レジスタ 199	SLIBR199	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C8h	ICU	選択型割り込みB 要因選択レジスタ 200	SLIBR200	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77C9h	ICU	選択型割り込みB 要因選択レジスタ 201	SLIBR201	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA

表 4.1 I/O レジスタアドレス一覧 (9 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
0008 77CAh	ICU	選択型割り込みB 要因選択レジスタ 202	SLIBR202	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77CBh	ICU	選択型割り込みB 要因選択レジスタ 203	SLIBR203	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77CCh	ICU	選択型割り込みB 要因選択レジスタ 204	SLIBR204	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77CDh	ICU	選択型割り込みB 要因選択レジスタ 205	SLIBR205	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77CEh	ICU	選択型割り込みB 要因選択レジスタ 206	SLIBR206	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 77CFh	ICU	選択型割り込みB 要因選択レジスタ 207	SLIBR207	8	8	2ICLK ~ 1PCLKB	2ICLK	ICUA
0008 7830h	ICU	グループA0 割り込み要求レジスタ	GRPAL0	32	32	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7834h	ICU	グループA1 割り込み要求レジスタ	GRPAL1	32	32	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7870h	ICU	グループA0 割り込み要求許可レジスタ	GENAL0	32	32	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7874h	ICU	グループA1 割り込み要求許可レジスタ	GENAL1	32	32	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7900h	ICU	選択型割り込みA 要求レジスタ 0	PIAR0	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7901h	ICU	選択型割り込みA 要求レジスタ 1	PIAR1	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7902h	ICU	選択型割り込みA 要求レジスタ 2	PIAR2	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7903h	ICU	選択型割り込みA 要求レジスタ 3	PIAR3	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7904h	ICU	選択型割り込みA 要求レジスタ 4	PIAR4	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7905h	ICU	選択型割り込みA 要求レジスタ 5	PIAR5	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7906h	ICU	選択型割り込みA 要求レジスタ 6	PIAR6	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7907h	ICU	選択型割り込みA 要求レジスタ 7	PIAR7	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7908h	ICU	選択型割り込みA 要求レジスタ 8	PIAR8	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7909h	ICU	選択型割り込みA 要求レジスタ 9	PIAR9	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 790Ah	ICU	選択型割り込みA 要求レジスタ A	PIARA	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 790Bh	ICU	選択型割り込みA 要求レジスタ B	PIARB	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D0h	ICU	選択型割り込みA 要因選択レジスタ 208	SLIAR208	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D1h	ICU	選択型割り込みA 要因選択レジスタ 209	SLIAR209	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D2h	ICU	選択型割り込みA 要因選択レジスタ 210	SLIAR210	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D3h	ICU	選択型割り込みA 要因選択レジスタ 211	SLIAR211	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D4h	ICU	選択型割り込みA 要因選択レジスタ 212	SLIAR212	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D5h	ICU	選択型割り込みA 要因選択レジスタ 213	SLIAR213	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D6h	ICU	選択型割り込みA 要因選択レジスタ 214	SLIAR214	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D7h	ICU	選択型割り込みA 要因選択レジスタ 215	SLIAR215	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D8h	ICU	選択型割り込みA 要因選択レジスタ 216	SLIAR216	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79D9h	ICU	選択型割り込みA 要因選択レジスタ 217	SLIAR217	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79DAh	ICU	選択型割り込みA 要因選択レジスタ 218	SLIAR218	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79DBh	ICU	選択型割り込みA 要因選択レジスタ 219	SLIAR219	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79DCh	ICU	選択型割り込みA 要因選択レジスタ 220	SLIAR220	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79DDh	ICU	選択型割り込みA 要因選択レジスタ 221	SLIAR221	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79DEh	ICU	選択型割り込みA 要因選択レジスタ 222	SLIAR222	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79DFh	ICU	選択型割り込みA 要因選択レジスタ 223	SLIAR223	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E0h	ICU	選択型割り込みA 要因選択レジスタ 224	SLIAR224	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E1h	ICU	選択型割り込みA 要因選択レジスタ 225	SLIAR225	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E2h	ICU	選択型割り込みA 要因選択レジスタ 226	SLIAR226	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E3h	ICU	選択型割り込みA 要因選択レジスタ 227	SLIAR227	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E4h	ICU	選択型割り込みA 要因選択レジスタ 228	SLIAR228	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E5h	ICU	選択型割り込みA 要因選択レジスタ 229	SLIAR229	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E6h	ICU	選択型割り込みA 要因選択レジスタ 230	SLIAR230	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E7h	ICU	選択型割り込みA 要因選択レジスタ 231	SLIAR231	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E8h	ICU	選択型割り込みA 要因選択レジスタ 232	SLIAR232	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79E9h	ICU	選択型割り込みA 要因選択レジスタ 233	SLIAR233	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79EAh	ICU	選択型割り込みA 要因選択レジスタ 234	SLIAR234	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79EBh	ICU	選択型割り込みA 要因選択レジスタ 235	SLIAR235	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79ECh	ICU	選択型割り込みA 要因選択レジスタ 236	SLIAR236	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA

表4.1 I/O レジスタアドレス一覧 (10 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 79EDh	ICU	選択型割り込みA 要因選択レジスタ 237	SLIAR237	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79EEh	ICU	選択型割り込みA 要因選択レジスタ 238	SLIAR238	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79EFh	ICU	選択型割り込みA 要因選択レジスタ 239	SLIAR239	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F0h	ICU	選択型割り込みA 要因選択レジスタ 240	SLIAR240	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F1h	ICU	選択型割り込みA 要因選択レジスタ 241	SLIAR241	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F2h	ICU	選択型割り込みA 要因選択レジスタ 242	SLIAR242	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F3h	ICU	選択型割り込みA 要因選択レジスタ 243	SLIAR243	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F4h	ICU	選択型割り込みA 要因選択レジスタ 244	SLIAR244	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F5h	ICU	選択型割り込みA 要因選択レジスタ 245	SLIAR245	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F6h	ICU	選択型割り込みA 要因選択レジスタ 246	SLIAR246	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F7h	ICU	選択型割り込みA 要因選択レジスタ 247	SLIAR247	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F8h	ICU	選択型割り込みA 要因選択レジスタ 248	SLIAR248	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79F9h	ICU	選択型割り込みA 要因選択レジスタ 249	SLIAR249	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79FAh	ICU	選択型割り込みA 要因選択レジスタ 250	SLIAR250	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79FBh	ICU	選択型割り込みA 要因選択レジスタ 251	SLIAR251	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79FCh	ICU	選択型割り込みA 要因選択レジスタ 252	SLIAR252	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79FDh	ICU	選択型割り込みA 要因選択レジスタ 253	SLIAR253	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79FEh	ICU	選択型割り込みA 要因選択レジスタ 254	SLIAR254	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 79FFh	ICU	選択型割り込みA 要因選択レジスタ 255	SLIAR255	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUA
0008 7A00h	ICU	選択型割り込み要因選択レジスタ書き込み保護 レジスタ	SLIPRCR	8	8	2ICLK ~ 1PCLKA/B	2ICLK	ICUA
0008 7A01h	ICU	EXDMAC 起動割り込み選択レジスタ	SELEXDR	8	8	2ICLK ~ 1PCLKA/B	2ICLK	ICUA
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8020h	WDT	WDT リフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	WDTA
0008 8022h	WDT	WDT コントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK	WDTA
0008 8024h	WDT	WDT ステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK	WDTA
0008 8026h	WDT	WDT リセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK	WDTA
0008 8030h	IWDT	IWDT リフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa
0008 8032h	IWDT	IWDT コントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK	IWDTa
0008 8034h	IWDT	IWDT ステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK	IWDTa
0008 8036h	IWDT	IWDT リセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCTPR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa
0008 8040h	DA	D/A データレジスタ 0	DADR0	16	16	2 ~ 3PCLKB	2ICLK	R12DA
0008 8042h	DA	D/A データレジスタ 1	DADR1	16	16	2 ~ 3PCLKB	2ICLK	R12DA
0008 8044h	DA	D/A 制御レジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK	R12DA
0008 8045h	DA	DADrm フォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK	R12DA
0008 8046h	DA	D/A A/D 同期スタート制御レジスタ	DAADSCR	8	8	2 ~ 3PCLKB	2ICLK	R12DA
0008 8048h	DA	D/A 出力アンプ制御レジスタ	DAAMPCR	8	8	2 ~ 3PCLKB	2ICLK	R12DA

表4.1 I/O レジスタアドレス一覧 (11 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 8100h	TPUA	タイマスタートレジスタ	TSTR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8101h	TPUA	タイマシンクロレジスタ	TSYR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2～3PCLKB	2ICLK	TPUa
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2～3PCLKB	2ICLK	TPUa
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2～3PCLKB	2ICLK	TPUa
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TPUa
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLKB	2ICLK	TPUa
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLKB	2ICLK	TPUa
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLKB	2ICLK	TPUa
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLKB	2ICLK	TPUa
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2～3PCLKB	2ICLK	TPUa
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TPUa
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLKB	2ICLK	TPUa
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLKB	2ICLK	TPUa
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2～3PCLKB	2ICLK	TPUa
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TPUa
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLKB	2ICLK	TPUa
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLKB	2ICLK	TPUa
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2～3PCLKB	2ICLK	TPUa
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2～3PCLKB	2ICLK	TPUa
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2～3PCLKB	2ICLK	TPUa
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TPUa
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLKB	2ICLK	TPUa
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLKB	2ICLK	TPUa
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLKB	2ICLK	TPUa
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLKB	2ICLK	TPUa
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2～3PCLKB	2ICLK	TPUa
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2～3PCLKB	2ICLK	TPUa

表4.1 I/O レジスタアドレス一覧 (12 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TPUa
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLKB	2ICLK	TPUa
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLKB	2ICLK	TPUa
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2～3PCLKB	2ICLK	TPUa
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2～3PCLKB	2ICLK	TPUa
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TPUa
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLKB	2ICLK	TPUa
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLKB	2ICLK	TPUa
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2～3PCLKB	2ICLK	PPG
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	PPG
0008 81E8h	PPG0	ネクストデータラインレジスタH	NDERH	8	8	2～3PCLKB	2ICLK	PPG
0008 81E9h	PPG0	ネクストデータラインレジスタL	NDERL	8	8	2～3PCLKB	2ICLK	PPG
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2～3PCLKB	2ICLK	PPG
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2～3PCLKB	2ICLK	PPG
0008 81ECh	PPG0	ネクストデータレジスタH(注1)	NDRH	8	8	2～3PCLKB	2ICLK	PPG
0008 81EDh	PPG0	ネクストデータレジスタL(注2)	NDRL	8	8	2～3PCLKB	2ICLK	PPG
0008 81EEh	PPG0	ネクストデータレジスタH(注1)	NDRH2	8	8	2～3PCLKB	2ICLK	PPG
0008 81EFh	PPG0	ネクストデータレジスタL(注2)	NDRL2	8	8	2～3PCLKB	2ICLK	PPG
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2～3PCLKB	2ICLK	PPG
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2～3PCLKB	2ICLK	PPG
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	PPG
0008 81F8h	PPG1	ネクストデータラインレジスタH	NDERH	8	8	2～3PCLKB	2ICLK	PPG
0008 81F9h	PPG1	ネクストデータラインレジスタL	NDERL	8	8	2～3PCLKB	2ICLK	PPG
0008 81FAh	PPG1	アウトプットデータレジスタH	PODRH	8	8	2～3PCLKB	2ICLK	PPG
0008 81FBh	PPG1	アウトプットデータレジスタL	PODRL	8	8	2～3PCLKB	2ICLK	PPG
0008 81FCh	PPG1	ネクストデータレジスタH(注3)	NDRH	8	8	2～3PCLKB	2ICLK	PPG
0008 81FDh	PPG1	ネクストデータレジスタL(注4)	NDRL	8	8	2～3PCLKB	2ICLK	PPG
0008 81FEh	PPG1	ネクストデータレジスタH(注3)	NDRH2	8	8	2～3PCLKB	2ICLK	PPG
0008 81FFh	PPG1	ネクストデータレジスタL(注4)	NDRL2	8	8	2～3PCLKB	2ICLK	PPG
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	TMR
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	TMR
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TMR
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	TMR
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	TMR
0008 820Dh	TMR1	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	TMR
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR

表4.1 I/O レジスタアドレス一覧 (13 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	TMR
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	TMR
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	TMR
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	TMR
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	TMR
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	TMR
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	TMR
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	TMR
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	TMR
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	TMR
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	TMR
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	TMR
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	TMR
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	TMR
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	TMR
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	TMR
0008 821Dh	TMR3	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	TMR
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK	CRC
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	2ICLK	CRC
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	2ICLK	CRC
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	RIICa
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	RIICa
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	RIICa
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	RIICa
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	RIICa
0008 8340h	RIIC2	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8341h	RIIC2	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8342h	RIIC2	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8343h	RIIC2	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8344h	RIIC2	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	RIICa
0008 8345h	RIIC2	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8346h	RIIC2	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8347h	RIIC2	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8348h	RIIC2	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8349h	RIIC2	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 834Ah	RIIC2	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	RIICa

表4.1 I/O レジスタアドレス一覧 (14 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 834Bh	RIIC2	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLKB	2ICLK	RIICa
0008 834Ch	RIIC2	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLKB	2ICLK	RIICa
0008 834Dh	RIIC2	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLKB	2ICLK	RIICa
0008 834Eh	RIIC2	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLKB	2ICLK	RIICa
0008 834Fh	RIIC2	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLKB	2ICLK	RIICa
0008 8350h	RIIC2	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2～3PCLKB	2ICLK	RIICa
0008 8351h	RIIC2	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2～3PCLKB	2ICLK	RIICa
0008 8352h	RIIC2	I ² Cバス送信データレジスタ	ICDRT	8	8	2～3PCLKB	2ICLK	RIICa
0008 8353h	RIIC2	I ² Cバス受信データレジスタ	ICDRR	8	8	2～3PCLKB	2ICLK	RIICa
0008 8500h	MMCIF	コマンド設定レジスタ	CECMDSET	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8508h	MMCIF	アーギュメントレジスタ	CEARG	32	32	2～3PCLKB	2ICLK	MMCIF
0008 850Ch	MMCIF	自動CMD12アーギュメントレジスタ	CEARGCMD12	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8510h	MMCIF	コマンド制御レジスタ	CECMDCTRL	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8514h	MMCIF	転送ブロック設定レジスタ	CEBLOCKSET	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8518h	MMCIF	クロックコントロールレジスタ	CECLKCTRL	32	32	2～3PCLKB	2ICLK	MMCIF
0008 851Ch	MMCIF	バッファアクセス設定レジスタ	CEBUFACC	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8520h	MMCIF	レスポンスレジスタ3	CERESP3	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8524h	MMCIF	レスポンスレジスタ2	CERESP2	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8528h	MMCIF	レスポンスレジスタ1	CERESP1	32	32	2～3PCLKB	2ICLK	MMCIF
0008 852Ch	MMCIF	レスポンスレジスタ0	CERESP0	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8530h	MMCIF	自動CMD12レスポンスレジスタ	CERESPCMD12	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8534h	MMCIF	データレジスタ	CEDATA	32	32	2～3PCLKB	2ICLK	MMCIF
0008 853Ch	MMCIF	Boot Operation設定レジスタ	CEBOOT	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8540h	MMCIF	割り込みステータスフラグレジスタ	CEINT	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8544h	MMCIF	割り込み要求許可レジスタ	CEINTEN	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8548h	MMCIF	ステータスレジスタ1	CEHOSTSTS1	32	32	2～3PCLKB	2ICLK	MMCIF
0008 854Ch	MMCIF	ステータスレジスタ2	CEHOSTSTS2	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8570h	MMCIF	MMC検出/ポート制御レジスタ	CEDETECT	32	32	2～3PCLKB	2ICLK	MMCIF
0008 8574h	MMCIF	特殊モード設定レジスタ	CEADDMODE	32	32	2～3PCLKB	2ICLK	MMCIF
0008 857Ch	MMCIF	バージョンレジスタ	CEVERSION	32	32	2～3PCLKB	2ICLK	MMCIF
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9004h	S12AD	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9008h	S12AD	A/D変換値加算/平均回数選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	S12ADC
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	S12ADC
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9014h	S12AD	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	S12ADC
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	S12ADC
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	S12ADC
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	S12ADC
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLKB	2ICLK	S12ADC
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2～3PCLKB	2ICLK	S12ADC

表4.1 I/O レジスタアドレス一覧 (15 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 9066h	S12AD	A/D サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9073h	S12AD	A/D サンプリグステートレジスタ 1	ADSSTR1	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9074h	S12AD	A/D サンプリグステートレジスタ 2	ADSSTR2	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9075h	S12AD	A/D サンプリグステートレジスタ 3	ADSSTR3	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9076h	S12AD	A/D サンプリグステートレジスタ 4	ADSSTR4	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9077h	S12AD	A/D サンプリグステートレジスタ 5	ADSSTR5	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9078h	S12AD	A/D サンプリグステートレジスタ 6	ADSSTR6	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9079h	S12AD	A/D サンプリグステートレジスタ 7	ADSSTR7	8	8	2~3PCLKB	2ICLK	S12ADC
0008 907Ah	S12AD	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	S12ADC
0008 907Ch	S12AD	A/D サンプル&ホールド動作モード選択レジスタ	ADSHMSR	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9080h	S12AD	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9084h	S12AD	A/D データ二重化レジスタ A	ADDBLDRA	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9086h	S12AD	A/D データ二重化レジスタ B	ADDBLDRB	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9090h	S12AD	A/D コンペアコントロールレジスタ	ADCMPCR	8	8	2~3PCLKB	2ICLK	S12ADC
0008 9094h	S12AD	A/D コンペアチャネル選択レジスタ 0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9098h	S12AD	A/D コンペアレベルレジスタ 0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 909Ch	S12AD	A/D コンペアデータレジスタ 0	ADCMPCR0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 909Eh	S12AD	A/D コンペアデータレジスタ 1	ADCMPCR1	16	16	2~3PCLKB	2ICLK	S12ADC
0008 90A0h	S12AD	A/D コンペアステータスレジスタ 0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9100h	S12AD1	A/D コントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9104h	S12AD1	A/D チャネル選択レジスタ A0	ADANSA0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9106h	S12AD1	A/D チャネル選択レジスタ A1	ADANSA1	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9108h	S12AD1	A/D 変換値加算/平均モード選択レジスタ 0	ADADS0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 910Ah	S12AD1	A/D 変換値加算/平均モード選択レジスタ 1	ADADS1	16	16	2~3PCLKB	2ICLK	S12ADC
0008 910Ch	S12AD1	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	S12ADC
0008 910Eh	S12AD1	A/D コントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9110h	S12AD1	A/D 開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9112h	S12AD1	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9114h	S12AD1	A/D チャネル選択レジスタ B0	ADANSB0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9116h	S12AD1	A/D チャネル選択レジスタ B1	ADANSB1	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9118h	S12AD1	A/D データ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 911Ah	S12AD1	A/D 温度センサデータレジスタ	ADTSDR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 911Ch	S12AD1	A/D 内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	2ICLK	S12ADC
0008 911Eh	S12AD1	A/D 自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9120h	S12AD1	A/D データレジスタ 0	ADDR0	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9122h	S12AD1	A/D データレジスタ 1	ADDR1	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9124h	S12AD1	A/D データレジスタ 2	ADDR2	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9126h	S12AD1	A/D データレジスタ 3	ADDR3	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9128h	S12AD1	A/D データレジスタ 4	ADDR4	16	16	2~3PCLKB	2ICLK	S12ADC
0008 912Ah	S12AD1	A/D データレジスタ 5	ADDR5	16	16	2~3PCLKB	2ICLK	S12ADC
0008 912Ch	S12AD1	A/D データレジスタ 6	ADDR6	16	16	2~3PCLKB	2ICLK	S12ADC
0008 912Eh	S12AD1	A/D データレジスタ 7	ADDR7	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9130h	S12AD1	A/D データレジスタ 8	ADDR8	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9132h	S12AD1	A/D データレジスタ 9	ADDR9	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9134h	S12AD1	A/D データレジスタ 10	ADDR10	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9136h	S12AD1	A/D データレジスタ 11	ADDR11	16	16	2~3PCLKB	2ICLK	S12ADC
0008 9138h	S12AD1	A/D データレジスタ 12	ADDR12	16	16	2~3PCLKB	2ICLK	S12ADC
0008 913Ah	S12AD1	A/D データレジスタ 13	ADDR13	16	16	2~3PCLKB	2ICLK	S12ADC
0008 913Ch	S12AD1	A/D データレジスタ 14	ADDR14	16	16	2~3PCLKB	2ICLK	S12ADC

表4.1 I/O レジスタアドレス一覧 (16 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 913Eh	S12AD1	A/D データレジスタ 15	ADDR15	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9140h	S12AD1	A/D データレジスタ 16	ADDR16	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9142h	S12AD1	A/D データレジスタ 17	ADDR17	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9144h	S12AD1	A/D データレジスタ 18	ADDR18	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9146h	S12AD1	A/D データレジスタ 19	ADDR19	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9148h	S12AD1	A/D データレジスタ 20	ADDR20	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9160h	S12AD1	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9161h	S12AD1	A/D サンプリングステートレジスタ L	ADSSTRL	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9170h	S12AD1	A/D サンプリングステートレジスタ T	ADSSTRT	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9171h	S12AD1	A/D サンプリングステートレジスタ O	ADSSTRO	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9173h	S12AD1	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9174h	S12AD1	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9175h	S12AD1	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9176h	S12AD1	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9177h	S12AD1	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9178h	S12AD1	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9179h	S12AD1	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 917Ah	S12AD1	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9180h	S12AD1	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9184h	S12AD1	A/D データ二重化レジスタ A	ADDBLDRA	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9186h	S12AD1	A/D データ二重化レジスタ B	ADDBLDRB	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9190h	S12AD1	A/D コンペアコントロールレジスタ	ADCMPPCR	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9192h	S12AD1	A/D コンペアチャネル選択拡張レジスタ	ADCMPANSE R	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9193h	S12AD1	A/D コンペアレベル拡張レジスタ	ADCMPLE R	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9194h	S12AD1	A/D コンペアチャネル選択レジスタ 0	ADCMPANSR 0	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9196h	S12AD1	A/D コンペアチャネル選択レジスタ 1	ADCMPANSR 1	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9198h	S12AD1	A/D コンペアレベルレジスタ 0	ADCMP LR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 919Ah	S12AD1	A/D コンペアレベルレジスタ 1	ADCMP LR1	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 919Ch	S12AD1	A/D コンペアデータレジスタ 0	ADCMPDR 0	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 919Eh	S12AD1	A/D コンペアデータレジスタ 1	ADCMPDR 1	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 91A0h	S12AD1	A/D コンペアステータスレジスタ 0	ADCMP SR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 91A2h	S12AD1	A/D コンペアステータスレジスタ 1	ADCMP SR1	16	16	2 ~ 3PCLKB	2ICLK	S12ADC
0008 91A4h	S12AD1	A/D コンペアステータス拡張レジスタ	ADCMP SER	8	8	2 ~ 3PCLKB	2ICLK	S12ADC
0008 9E00h	QSPI	QSPI 制御レジスタ	SPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E01h	QSPI	QSPI スレーブセレクト極性レジスタ	SSLP	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E02h	QSPI	QSPI 端子制御レジスタ	SPPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E03h	QSPI	QSPI ステータスレジスタ	SPSR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E04h	QSPI	QSPI データレジスタ	SPDR	32	8, 16, 32	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E08h	QSPI	QSPI シーケンス制御レジスタ	SPSCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E09h	QSPI	QSPI シーケンスステータスレジスタ	SPSSR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E0Ah	QSPI	QSPI ビットレートレジスタ	SPBR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E0Bh	QSPI	QSPI データ制御レジスタ	SPDCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E0Ch	QSPI	QSPI クロック遅延レジスタ	SPCKD	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E0Dh	QSPI	QSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E0Eh	QSPI	QSPI 次アクセス遅延レジスタ	SPND	8	8	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E10h	QSPI	QSPI コマンドレジスタ 0	SPCMD0	16	16	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E12h	QSPI	QSPI コマンドレジスタ 1	SPCMD1	16	16	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E14h	QSPI	QSPI コマンドレジスタ 2	SPCMD2	16	16	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI
0008 9E16h	QSPI	QSPI コマンドレジスタ 3	SPCMD3	16	16	4 ~ 5PCLKB	2 ~ 3ICLK	QSPI

表4.1 I/O レジスタアドレス一覧 (17 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 9E18h	QSPI	QSPIバッファ制御レジスタ	SPBFCR	8	8	4～5PCLKB	2～3ICLK	QSPI
0008 9E1Ah	QSPI	QSPIバッファデータカウントセットレジスタ	SPBDCR	16	16	4～5PCLKB	2～3ICLK	QSPI
0008 9E1Ch	QSPI	QSPI転送データ長倍数設定レジスタ0	SPBMUL0	32	32	4～5PCLKB	2～3ICLK	QSPI
0008 9E20h	QSPI	QSPI転送データ長倍数設定レジスタ1	SPBMUL1	32	32	4～5PCLKB	2～3ICLK	QSPI
0008 9E24h	QSPI	QSPI転送データ長倍数設定レジスタ2	SPBMUL2	32	32	4～5PCLKB	2～3ICLK	QSPI
0008 9E28h	QSPI	QSPI転送データ長倍数設定レジスタ3	SPBMUL3	32	32	4～5PCLKB	2～3ICLK	QSPI
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A006h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A009h	SCI0	I ² Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Ah	SCI0	I ² Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Bh	SCI0	I ² Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Ch	SCI0	I ² Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Dh	SCI0	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Eh	SCI0	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Fh	SCI0	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A00Eh	SCI0	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	SCIg, SCIlh
0008 A010h	SCI0	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A011h	SCI0	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A010h	SCI0	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	SCIg, SCIlh
0008 A012h	SCI0	モジュレーションデュリティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	SCIg, SCIlh
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	SCIg, SCIlh
0008 A032h	SCI1	モジュレーションデュリティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIg, SCIlh

表4.1 I/O レジスタアドレス一覧 (18 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A046h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A049h	SCI2	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Ah	SCI2	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Bh	SCI2	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Ch	SCI2	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Eh	SCI2	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Fh	SCI2	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A04Eh	SCI2	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIf
0008 A050h	SCI2	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A051h	SCI2	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A050h	SCI2	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIf
0008 A052h	SCI2	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A066h	SMCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A069h	SCI3	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Ah	SCI3	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Bh	SCI3	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Ch	SCI3	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Eh	SCI3	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Fh	SCI3	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A06Eh	SCI3	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIf
0008 A070h	SCI3	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A071h	SCI3	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A070h	SCI3	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIf
0008 A072h	SCI3	モジュレーションデュリティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A086h	SMCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A089h	SCI4	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A08Ah	SCI4	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIg, SCIf
0008 A08Bh	SCI4	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIg, SCIf

表4.1 I/O レジスタアドレス一覧 (19 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 A08Ch	SCI4	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A08Eh	SCI4	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A08Fh	SCI4	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A08Eh	SCI4	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIlh
0008 A090h	SCI4	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A091h	SCI4	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A090h	SCI4	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIlh
0008 A092h	SCI4	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIlh
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIlh
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIlh
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	SCIg, SCIlh
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	SCIg, SCIlh

表4.1 I/O レジスタアドレス一覧 (20 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E6h	SMCI7	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0E9h	SCI7	I ² Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0EAh	SCI7	I ² Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0EBh	SCI7	I ² Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0ECh	SCI7	I ² Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0EEh	SCI7	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0EFh	SCI7	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0EEh	SCI7	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	SCIg, SCIf
0008 A0F0h	SCI7	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0F1h	SCI7	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A0F0h	SCI7	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	SCIg, SCIf
0008 A0F2h	SCI7	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	SCIg, SCIf
0008 A500h	SSI0	制御レジスタ	SSICR	32	32	2～3PCLKB	2ICLK	SSI
0008 A504h	SSI0	ステータスレジスタ	SSISR	32	32	2～3PCLKB	2ICLK	SSI
0008 A510h	SSI0	FIFO制御レジスタ	SSIFCR	32	32	2～3PCLKB	2ICLK	SSI
0008 A514h	SSI0	FIFOステータスレジスタ	SSIFSR	32	32	2～3PCLKB	2ICLK	SSI
0008 A518h	SSI0	送信FIFOデータレジスタ	SSIFTDR	32	32	2～3PCLKB	2ICLK	SSI
0008 A51Ch	SSI0	受信FIFOデータレジスタ	SSIFRDR	32	32	2～3PCLKB	2ICLK	SSI
0008 A520h	SSI0	TDMモードレジスタ	SSITDMR	32	32	2～3PCLKB	2ICLK	SSI
0008 A540h	SSI1	制御レジスタ	SSICR	32	32	2～3PCLKB	2ICLK	SSI
0008 A544h	SSI1	ステータスレジスタ	SSISR	32	32	2～3PCLKB	2ICLK	SSI
0008 A550h	SSI1	FIFO制御レジスタ	SSIFCR	32	32	2～3PCLKB	2ICLK	SSI
0008 A554h	SSI1	FIFOステータスレジスタ	SSIFSR	32	32	2～3PCLKB	2ICLK	SSI
0008 A558h	SSI1	送信FIFOデータレジスタ	SSIFTDR	32	32	2～3PCLKB	2ICLK	SSI
0008 A55Ch	SSI1	受信FIFOデータレジスタ	SSIFRDR	32	32	2～3PCLKB	2ICLK	SSI
0008 A560h	SSI1	TDMモードレジスタ	SSITDMR	32	32	2～3PCLKB	2ICLK	SSI
0008 AC00h	SDHI	コマンドレジスタ	SDCMD	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC08h	SDHI	アークメントレジスタ	SDARG	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC10h	SDHI	データストップレジスタ	SDSTOP	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC14h	SDHI	ブロックカウントレジスタ	SDBLKCNT	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC18h	SDHI	レスポンスレジスタ10	SDRSP10	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC20h	SDHI	レスポンスレジスタ32	SDRSP32	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC28h	SDHI	レスポンスレジスタ54	SDRSP54	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC30h	SDHI	レスポンスレジスタ76	SDRSP76	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC38h	SDHI	SDステータスレジスタ1	SDSTS1	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC3Ch	SDHI	SDステータスレジスタ2	SDSTS2	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC40h	SDHI	SD割り込みマスクレジスタ1	SDIMSK1	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC44h	SDHI	SD割り込みマスクレジスタ2	SDIMSK2	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC48h	SDHI	SDHIクロックコントロールレジスタ	SDCLKCR	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC4Ch	SDHI	転送データサイズレジスタ	SDSIZE	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC50h	SDHI	カードアクセスオプションレジスタ	SDOPT	32	32	2～3PCLKB	2ICLK	SDHI
0008 AC58h	SDHI	SDエラーステータスレジスタ1	SDERSTS1	32	32	2～3PCLKB	2ICLK	SDHI

表4.1 I/O レジスタアドレス一覧 (21 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 AC5Ch	SDHI	SDエラーステータスレジスタ2	SDERSTS2	32	32	2~3PCLKB	2ICLK	SDHI
0008 AC60h	SDHI	SDバッファレジスタ	SDBUFR	32	32	2~3PCLKB	2ICLK	SDHI
0008 AC68h	SDHI	SDIOモードコントロールレジスタ	SDIOMD	32	32	2~3PCLKB	2ICLK	SDHI
0008 AC6Ch	SDHI	SDIOステータスレジスタ	SDIOSTS	32	32	2~3PCLKB	2ICLK	SDHI
0008 AC70h	SDHI	SDIO割り込みマスクレジスタ	SDIOIMSK	32	32	2~3PCLKB	2ICLK	SDHI
0008 ADB0h	SDHI	DMA転送許可レジスタ	SDDMAEN	32	32	2~3PCLKB	2ICLK	SDHI
0008 ADC0h	SDHI	SDHIソフトウェアリセットレジスタ	SDRST	32	32	2~3PCLKB	2ICLK	SDHI
0008 ADC4h	SDHI	バージョンレジスタ	SDVER	32	32	2~3PCLKB	2ICLK	SDHI
0008 ADE0h	SDHI	スワップコントロールレジスタ	SDSWAP	32	32	2~3PCLKB	2ICLK	SDHI
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	CAC
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK	CAC
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK	CAC
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK	CAC
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK	CAC
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK	CAC
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK	CAC
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK	CAC
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	DOC
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK	DOC
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK	DOC
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	ELC
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2~3PCLKB	2ICLK	ELC
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK	ELC
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK	ELC
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK	ELC
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK	ELC
0008 B10Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8	2~3PCLKB	2ICLK	ELC
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK	ELC
0008 B10Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8	2~3PCLKB	2ICLK	ELC
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK	ELC
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK	ELC
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK	ELC
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK	ELC
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK	ELC
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK	ELC
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK	ELC
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK	ELC
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK	ELC
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK	ELC
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK	ELC
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK	ELC
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK	ELC
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK	ELC
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK	ELC
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK	ELC
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	ELC
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK	ELC
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK	ELC
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK	ELC
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK	ELC
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK	ELC

表4.1 I/O レジスタアドレス一覧 (22 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK	ELC
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK	ELC
0008 B131h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8	2~3PCLKB	2ICLK	ELC
0008 B133h	ELC	イベントリンク設定レジスタ35	ELSR35	8	8	2~3PCLKB	2ICLK	ELC
0008 B134h	ELC	イベントリンク設定レジスタ36	ELSR36	8	8	2~3PCLKB	2ICLK	ELC
0008 B135h	ELC	イベントリンク設定レジスタ37	ELSR37	8	8	2~3PCLKB	2ICLK	ELC
0008 B136h	ELC	イベントリンク設定レジスタ38	ELSR38	8	8	2~3PCLKB	2ICLK	ELC
0008 B139h	ELC	イベントリンク設定レジスタ41	ELSR41	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Ah	ELC	イベントリンク設定レジスタ42	ELSR42	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Bh	ELC	イベントリンク設定レジスタ43	ELSR43	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Ch	ELC	イベントリンク設定レジスタ44	ELSR44	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Fh	ELC	イベントリンクオプション設定レジスタF	ELOPF	8	8	2~3PCLKB	2ICLK	ELC
0008 B141h	ELC	イベントリンクオプション設定レジスタH	ELOPH	8	8	2~3PCLKB	2ICLK	ELC
0008 B142h	ELC	イベントリンクオプション設定レジスタI	ELOPI	8	8	2~3PCLKB	2ICLK	ELC
0008 B143h	ELC	イベントリンクオプション設定レジスタJ	ELOPJ	8	8	2~3PCLKB	2ICLK	ELC
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIh
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	SCIh
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	SCIh
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	SCIh
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	SCIh
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK	SCIh
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK	SCIh
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK	SCIh
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK	SCIh
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK	SCIh
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK	SCIh
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK	SCIh

表4.1 I/O レジスタアドレス一覧 (23 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 B32Ah	SCI12	Control Field 0コンペアイネーブルレジスタ	CF0CR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B32Eh	SCI12	Control Field 1コンペアイネーブルレジスタ	CF1CR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2～3PCLKB	2ICLK	SCIh
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2～3PCLKB	2ICLK	SCIh
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2～3PCLKB	2ICLK	SCIh
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート

表4.1 I/Oレジスタアドレス一覧 (24 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C081h	PORT0	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C088h	PORT4	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C089h	PORT4	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C08Dh	PORT6	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C091h	PORT8	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	I/Oポート

表4.1 I/O レジスタアドレス一覧 (25 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
0008 C094h	PORTA	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C095h	PORTA	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C096h	PORTB	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C097h	PORTB	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C098h	PORTC	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C099h	PORTC	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C09Eh	PORTF	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C09Fh	PORTF	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0A0h	PORTG	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0A1h	PORTG	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0A4h	PORTJ	オーブンドレイン制御レジスタ 0	ODR0	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0A5h	PORTJ	オーブンドレイン制御レジスタ 1	ODR1	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0D0h	PORTG	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C0F0h	PORTG	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK	I/O ポート
0008 C100h	MPC	CS 出力許可レジスタ	PFCSE	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C102h	MPC	CS 出力端子選択レジスタ 0	PFCSS0	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C103h	MPC	CS 出力端子選択レジスタ 1	PFCSS1	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C104h	MPC	アドレス出力許可レジスタ 0	PFAOE0	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C105h	MPC	アドレス出力許可レジスタ 1	PFAOE1	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C106h	MPC	外部バス制御レジスタ 0	PFBCR0	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C107h	MPC	外部バス制御レジスタ 1	PFBCR1	8	8	2 ~ 3PCLKB	2ICLK	MPC

表4.1 I/O レジスタアドレス一覧 (26 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C10Eh	MPC	イーサネット制御レジスタ	PFENET	8	8	2～3PCLKB	2ICLK	MPC
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2～3PCLKB	2ICLK	MPC
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C176h	MPC	P66端子機能制御レジスタ	P66PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C177h	MPC	P67端子機能制御レジスタ	P67PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2～3PCLKB	2ICLK	MPC

表4.1 I/O レジスタアドレス一覧 (27 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C17Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C17Fh	MPC	P77 端子機能制御レジスタ	P77PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C180h	MPC	P80 端子機能制御レジスタ	P80PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C181h	MPC	P81 端子機能制御レジスタ	P81PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C182h	MPC	P82 端子機能制御レジスタ	P82PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C183h	MPC	P83 端子機能制御レジスタ	P83PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C186h	MPC	P86 端子機能制御レジスタ	P86PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C187h	MPC	P87 端子機能制御レジスタ	P87PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C188h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C189h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C18Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C18Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C18Ch	MPC	P94 端子機能制御レジスタ	P94PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C18Dh	MPC	P95 端子機能制御レジスタ	P95PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C18Eh	MPC	P96 端子機能制御レジスタ	P96PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C18Fh	MPC	P97 端子機能制御レジスタ	P97PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C190h	MPC	PA0 端子機能制御レジスタ	PA0PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C191h	MPC	PA1 端子機能制御レジスタ	PA1PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C192h	MPC	PA2 端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C193h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C194h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C195h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C196h	MPC	PA6 端子機能制御レジスタ	PA6PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C197h	MPC	PA7 端子機能制御レジスタ	PA7PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C198h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C199h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C19Ah	MPC	PB2 端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C19Bh	MPC	PB3 端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C19Ch	MPC	PB4 端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C19Dh	MPC	PB5 端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C19Eh	MPC	PB6 端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C19Fh	MPC	PB7 端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A0h	MPC	PC0 端子機能制御レジスタ	PC0PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A1h	MPC	PC1 端子機能制御レジスタ	PC1PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A2h	MPC	PC2 端子機能制御レジスタ	PC2PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A3h	MPC	PC3 端子機能制御レジスタ	PC3PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A4h	MPC	PC4 端子機能制御レジスタ	PC4PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A5h	MPC	PC5 端子機能制御レジスタ	PC5PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A6h	MPC	PC6 端子機能制御レジスタ	PC6PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A7h	MPC	PC7 端子機能制御レジスタ	PC7PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A8h	MPC	PD0 端子機能制御レジスタ	PD0PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1A9h	MPC	PD1 端子機能制御レジスタ	PD1PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1AAh	MPC	PD2 端子機能制御レジスタ	PD2PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1ABh	MPC	PD3 端子機能制御レジスタ	PD3PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1ACh	MPC	PD4 端子機能制御レジスタ	PD4PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1ADh	MPC	PD5 端子機能制御レジスタ	PD5PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1AEh	MPC	PD6 端子機能制御レジスタ	PD6PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1AFh	MPC	PD7 端子機能制御レジスタ	PD7PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1B0h	MPC	PE0 端子機能制御レジスタ	PE0PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1B1h	MPC	PE1 端子機能制御レジスタ	PE1PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC
0008 C1B2h	MPC	PE2 端子機能制御レジスタ	PE2PFS	8	8	2 ~ 3PCLKB	2ICLK	MPC

表4.1 I/O レジスタアドレス一覧 (28 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C1B3h	MPC	PE3 端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1B4h	MPC	PE4 端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1B5h	MPC	PE5 端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1B6h	MPC	PE6 端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1B7h	MPC	PE7 端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1B8h	MPC	PF0 端子機能制御レジスタ	PF0PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1B9h	MPC	PF1 端子機能制御レジスタ	PF1PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1BAh	MPC	PF2 端子機能制御レジスタ	PF2PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1BDh	MPC	PF5 端子機能制御レジスタ	PF5PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C0h	MPC	PG0 端子機能制御レジスタ	PG0PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C1h	MPC	PG1 端子機能制御レジスタ	PG1PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C2h	MPC	PG2 端子機能制御レジスタ	PG2PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C3h	MPC	PG3 端子機能制御レジスタ	PG3PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C4h	MPC	PG4 端子機能制御レジスタ	PG4PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C5h	MPC	PG5 端子機能制御レジスタ	PG5PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C6h	MPC	PG6 端子機能制御レジスタ	PG6PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1C7h	MPC	PG7 端子機能制御レジスタ	PG7PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1D3h	MPC	PJ3 端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1D5h	MPC	PJ5 端子機能制御レジスタ	PJ5PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C283h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ1	DPSIER1	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C285h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ3	DPSIER3	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C287h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ1	DPSIFR1	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C289h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ3	DPSIFR3	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C28Bh	SYSTEM	ディープスタンバイインタラプトエッジレジスタ1	DPSIEGR1	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C28Dh	SYSTEM	ディープスタンバイインタラプトエッジレジスタ3	DPSIEGR3	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	リセット
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK	リセット
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	クロック発生回路
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4~5PCLKB	2~3ICLK	クロック発生回路
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPOR	8	8	2ICLK		Flash
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C2A0h~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0~ ディープスタンバイバックアップレジスタ31	DPSBKR0~ DPSBKR31	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能
0008 C400h	RTC	64Hz カウンタ	R64CNT	8	8	2~3PCLKB	2ICLK	RTCd
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	2ICLK	RTCd

表4.1 I/O レジスタアドレス一覧 (29 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2～3PCLKB	2ICLK	RTCd
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2～3PCLKB	2ICLK	RTCd
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2～3PCLKB	2ICLK	RTCd
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2～3PCLKB	2ICLK	RTCd
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2～3PCLKB	2ICLK	RTCd
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2～3PCLKB	2ICLK	RTCd
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2～3PCLKB	2ICLK	RTCd
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2～3PCLKB	2ICLK	RTCd
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2～3PCLKB	2ICLK	RTCd
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2～3PCLKB	2ICLK	RTCd
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2～3PCLKB	2ICLK	RTCd
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2～3PCLKB	2ICLK	RTCd
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2～3PCLKB	2ICLK	RTCd
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2～3PCLKB	2ICLK	RTCd
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2～3PCLKB	2ICLK	RTCd
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2～3PCLKB	2ICLK	RTCd
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2～3PCLKB	2ICLK	RTCd
0008 C428h	RTC	RTCコントロールレジスタ4	RCR4	8	8	2～3PCLKB	2ICLK	RTCd
0008 C42Ah	RTC	周波数レジスタH	RFRH	16	16	2～3PCLKB	2ICLK	RTCd
0008 C42Ch	RTC	周波数レジスタL	RFRL	16	16	2～3PCLKB	2ICLK	RTCd
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2～3PCLKB	2ICLK	RTCd
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2～3PCLKB	2ICLK	RTCd
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C452h	RTC	BCNT0キャプチャレジスタ0	BCNT0CP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C454h	RTC	BCNT1キャプチャレジスタ0	BCNT1CP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C456h	RTC	BCNT2キャプチャレジスタ0	BCNT2CP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C45Ah	RTC	BCNT3キャプチャレジスタ0	BCNT3CP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2～3PCLKB	2ICLK	RTCd
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C462h	RTC	BCNT0キャプチャレジスタ1	BCNT0CP1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C464h	RTC	BCNT1キャプチャレジスタ1	BCNT1CP1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2～3PCLKB	2ICLK	RTCd
0008 C466h	RTC	BCNT2キャプチャレジスタ1	BCNT2CP1	8	8	2～3PCLKB	2ICLK	RTCd

表4.1 I/O レジスタアドレス一覧 (30 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK	RTCd
0008 C46Ah	RTC	BCNT3キャプチャレジスタ1	BCNT3CP1	8	8	2~3PCLKB	2ICLK	RTCd
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK	RTCd
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C472h	RTC	BCNT0キャプチャレジスタ2	BCNT0CP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C474h	RTC	BCNT1キャプチャレジスタ2	BCNT1CP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C476h	RTC	BCNT2キャプチャレジスタ2	BCNT2CP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C47Ah	RTC	BCNT3キャプチャレジスタ2	BCNT3CP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK	RTCd
0008 C4C0h	POE3	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2~3PCLKB	2ICLK	POE3
0008 C4C2h	POE3	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2~3PCLKB	2ICLK	POE3
0008 C4C4h	POE3	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2~3PCLKB	2ICLK	POE3
0008 C4C6h	POE3	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	16	2~3PCLKB	2ICLK	POE3
0008 C4C8h	POE3	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2~3PCLKB	2ICLK	POE3
0008 C4CAh	POE3	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK	POE3
0008 C4CBh	POE3	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK	POE3
0008 C4CCh	POE3	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2~3PCLKB	2ICLK	POE3
0008 C4CEh	POE3	ポートアウトブッティネーブルコントロールレジスタ3	POECR3	16	16	2~3PCLKB	2ICLK	POE3
0008 C4D0h	POE3	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2~3PCLKB	2ICLK	POE3
0008 C4D2h	POE3	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16	2~3PCLKB	2ICLK	POE3
0008 C4D4h	POE3	ポートアウトブッティネーブルコントロールレジスタ6	POECR6	16	16	2~3PCLKB	2ICLK	POE3
0008 C4D6h	POE3	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16	2~3PCLKB	2ICLK	POE3
0008 C4D8h	POE3	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16	2~3PCLKB	2ICLK	POE3
0008 C4DAh	POE3	アクティブレベルレジスタ1	ALR1	16	16	2~3PCLKB	2ICLK	POE3
0008 C4DCh	POE3	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	2ICLK	POE3
0008 C4E0h	POE3	GPT0端子選択レジスタ	G0SELR	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E1h	POE3	GPT1端子選択レジスタ	G1SELR	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E2h	POE3	GPT2端子選択レジスタ	G2SELR	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E3h	POE3	GPT3端子選択レジスタ	G3SELR	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E4h	POE3	MTU0端子選択レジスタ1	M0SELR1	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E5h	POE3	MTU0端子選択レジスタ2	M0SELR2	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E6h	POE3	MTU3端子選択レジスタ	M3SELR	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E7h	POE3	MTU4端子選択レジスタ1	M4SELR1	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E8h	POE3	MTU4端子選択レジスタ2	M4SELR2	8	8	2~3PCLKB	2ICLK	POE3
0008 C4E9h	POE3	MTU/GPT端子機能選択レジスタ	MGSELR	8	8	2~3PCLKB	2ICLK	POE3
0008 C500h	TEMPS	温度センサコントロールレジスタ	TSCR	8	8	2~3PCLKB	2ICLK	TEMPS
0008 C5C0h	DA	D/A A/D 同期ユニット選択レジスタ	DAADUSR	8	8	2~3PCLKB	2ICLK	R12DA
0009 0200h~ 0009 03FFh	CAN0	メールボックスレジスタ0~メールボックスレジスタ31	MB0~MB31	128	8, 16, 32 (注6)	2~3PCLKB	2ICLK	CAN
0009 0400h~ 0009 041Fh	CAN0	マスクレジスタ0~マスクレジスタ7	MKR0~ MKR7	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0820h~ 0009 083Fh	CAN0	メッセージ制御レジスタ0~メッセージ制御レジスタ31	MCTL0~ MCTL31	8	8	2~3PCLKB	2ICLK	CAN

表4.1 I/O レジスタアドレス一覧 (31 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0009 0840h	CAN0	制御レジスタ	CTLR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 0842h	CAN0	ステータスレジスタ	STR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 0844h	CAN0	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0848h	CAN0	受信FIFO制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK	CAN
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK	CAN
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK	CAN
0009 0851h	CAN0	チャネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK	CAN
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK	CAN
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK	CAN
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	16	2~3PCLKB	2ICLK	CAN
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	CAN
0009 1200h~ 0009 13FFh	CAN1	メールボックスレジスタ0~メールボックスレジスタ31	MB0~MB31	128	8, 16, 32 (注6)	2~3PCLKB	2ICLK	CAN
0009 1400h~ 0009 141Fh	CAN1	マスクレジスタ0~マスクレジスタ7	MKR0~ MKR7	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 1420h	CAN1	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 1424h	CAN1	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 1428h	CAN1	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 142Ch	CAN1	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 1820h~ 0009 183Fh	CAN1	メッセージ制御レジスタ0~メッセージ制御レジスタ31	MCTL0~ MCTL31	8	8	2~3PCLKB	2ICLK	CAN
0009 1840h	CAN1	制御レジスタ	CTLR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 1842h	CAN1	ステータスレジスタ	STR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 1844h	CAN1	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 1848h	CAN1	受信FIFO制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 1849h	CAN1	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 184Ah	CAN1	送信FIFO制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 184Bh	CAN1	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 184Ch	CAN1	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK	CAN
0009 184Dh	CAN1	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK	CAN
0009 184Eh	CAN1	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK	CAN
0009 184Fh	CAN1	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK	CAN
0009 1850h	CAN1	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK	CAN
0009 1851h	CAN1	チャネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK	CAN
0009 1852h	CAN1	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK	CAN
0009 1853h	CAN1	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK	CAN
0009 1854h	CAN1	タイムスタンプレジスタ	TSR	16	16	2~3PCLKB	2ICLK	CAN
0009 1856h	CAN1	アクセプタンスフィルタサポートレジスタ	AFSR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 1858h	CAN1	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	CAN
0009 2200h~ 0009 23FFh	CAN2	メールボックスレジスタ0~メールボックスレジスタ31	MB0~MB31	128	8, 16, 32 (注6)	2~3PCLKB	2ICLK	CAN
0009 2400h~ 0009 241Fh	CAN2	マスクレジスタ0~マスクレジスタ7	MKR0~ MKR7	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 2420h	CAN2	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 2424h	CAN2	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 2428h	CAN2	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 242Ch	CAN2	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2~3PCLKB	2ICLK	CAN

表4.1 I/O レジスタアドレス一覧 (32 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
0009 2820h ~ 0009 283Fh	CAN2	メッセージ制御レジスタ0～メッセージ制御レジスタ31	MCTL0 ~ MCTL31	8	8	2～3PCLKB	2ICLK	CAN
0009 2840h	CAN2	制御レジスタ	CTLR	16	8, 16	2～3PCLKB	2ICLK	CAN
0009 2842h	CAN2	ステータスレジスタ	STR	16	8, 16	2～3PCLKB	2ICLK	CAN
0009 2844h	CAN2	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2～3PCLKB	2ICLK	CAN
0009 2848h	CAN2	受信FIFO制御レジスタ	RFCR	8	8	2～3PCLKB	2ICLK	CAN
0009 2849h	CAN2	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2～3PCLKB	2ICLK	CAN
0009 284Ah	CAN2	送信FIFO制御レジスタ	TFCR	8	8	2～3PCLKB	2ICLK	CAN
0009 284Bh	CAN2	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2～3PCLKB	2ICLK	CAN
0009 284Ch	CAN2	エラー割り込み許可レジスタ	EIER	8	8	2～3PCLKB	2ICLK	CAN
0009 284Dh	CAN2	エラー割り込み要因判定レジスタ	EIFR	8	8	2～3PCLKB	2ICLK	CAN
0009 284Eh	CAN2	受信エラーカウントレジスタ	RECR	8	8	2～3PCLKB	2ICLK	CAN
0009 284Fh	CAN2	送信エラーカウントレジスタ	TECR	8	8	2～3PCLKB	2ICLK	CAN
0009 2850h	CAN2	エラーコード格納レジスタ	ECSR	8	8	2～3PCLKB	2ICLK	CAN
0009 2851h	CAN2	チャネルサーチサポートレジスタ	CSSR	8	8	2～3PCLKB	2ICLK	CAN
0009 2852h	CAN2	メールボックスサーチステータスレジスタ	MSSR	8	8	2～3PCLKB	2ICLK	CAN
0009 2853h	CAN2	メールボックスサーチモードレジスタ	MSMR	8	8	2～3PCLKB	2ICLK	CAN
0009 2854h	CAN2	タイムスタンプレジスタ	TSR	16	8, 16	2～3PCLKB	2ICLK	CAN
0009 2856h	CAN2	アクセプタンスフィルタサポートレジスタ	AFSR	16	8, 16	2～3PCLKB	2ICLK	CAN
0009 2858h	CAN2	テスト制御レジスタ	TCR	8	8	2～3PCLKB	2ICLK	CAN
0009 4200h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16	2～3PCLKB	2ICLK	CMTW
0009 4204h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16	2～3PCLKB	2ICLK	CMTW
0009 4208h	CMTW0	タイマI/O コントロールレジスタ	CMWIOR	16	16	2～3PCLKB	2ICLK	CMTW
0009 4210h	CMTW0	タイマカウンタ	CMWCNT	32	32	2～3PCLKB	2ICLK	CMTW
0009 4214h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2～3PCLKB	2ICLK	CMTW
0009 4218h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32	2～3PCLKB	2ICLK	CMTW
0009 421Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32	2～3PCLKB	2ICLK	CMTW
0009 4220h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2～3PCLKB	2ICLK	CMTW
0009 4224h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2～3PCLKB	2ICLK	CMTW
0009 4280h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16	2～3PCLKB	2ICLK	CMTW
0009 4284h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16	2～3PCLKB	2ICLK	CMTW
0009 4288h	CMTW1	タイマI/O コントロールレジスタ	CMWIOR	16	16	2～3PCLKB	2ICLK	CMTW
0009 4290h	CMTW1	タイマカウンタ	CMWCNT	32	32	2～3PCLKB	2ICLK	CMTW
0009 4294h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2～3PCLKB	2ICLK	CMTW
0009 4298h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32	2～3PCLKB	2ICLK	CMTW
0009 429Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32	2～3PCLKB	2ICLK	CMTW
0009 42A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2～3PCLKB	2ICLK	CMTW
0009 42A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2～3PCLKB	2ICLK	CMTW
0009 8000h ~ 0009 D6BFh	SRC	フィルタ係数テーブル0～フィルタ係数テーブル55	SRFCSTR0 ～ SRFCSTR55	32	32	4～5PCLKB	2～3ICLK	SRC
0009 DFF0h	SRC	入力データレジスタ	SRCID	32	32	5～6PCLKB	2～3ICLK	SRC
0009 DFF4h	SRC	出力データレジスタ	SRCOD	32	32	5～6PCLKB	2～3ICLK	SRC
0009 DFF8h	SRC	入力データ制御レジスタ	SRCIDCTRL	16	16	4～5PCLKB	2～3ICLK	SRC
0009 DFFAh	SRC	出力データ制御レジスタ	SRCODCTRL	16	16	4～5PCLKB	2～3ICLK	SRC
0009 DFFCh	SRC	制御レジスタ	SRCCTRL	16	16	4～5PCLKB	2～3ICLK	SRC
0009 DFFEh	SRC	ステータスレジスタ	SRCSTAT	16	16	4～5PCLKB	2～3ICLK	SRC
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3～4PCLKB	2ICLK	USBb
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の整数切り 上げ以上 (注5)	USBb

表4.1 I/O レジスタアドレス一覧 (33 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
000A 0008h	USB0	デバイスステートコントロールレジスタ 0	DVSTCTR0	16	16	9PCLKB 以上	1+9×(ICLK/PCLKB の 周波数比)の整数切り 上げ以上 (注5)	USBb
000A 0014h	USB0	CFIFO ポートレジスタ	CFIFO	16	8, 16	3 ~ 4PCLKB	2ICLK	USBb
000A 0018h	USB0	D0FIFO ポートレジスタ	D0FIFO	16	8, 16	3 ~ 4PCLKB	2ICLK	USBb
000A 001Ch	USB0	D1FIFO ポートレジスタ	D1FIFO	16	8, 16	3 ~ 4PCLKB	2ICLK	USBb
000A 0020h	USB0	CFIFO ポート選択レジスタ	CFIFOSEL	16	16	3 ~ 4PCLKB	2ICLK	USBb
000A 0022h	USB0	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	16	3 ~ 4PCLKB	2ICLK	USBb
000A 0028h	USB0	D0FIFO ポート選択レジスタ	D0FIFOSEL	16	16	3 ~ 4PCLKB	2ICLK	USBb
000A 002Ah	USB0	D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	16	3 ~ 4PCLKB	2ICLK	USBb
000A 002Ch	USB0	D1FIFO ポート選択レジスタ	D1FIFOSEL	16	16	3 ~ 4PCLKB	2ICLK	USBb
000A 002Eh	USB0	D1FIFO ポートコントロールレジスタ	D1FIFOCTR	16	16	3 ~ 4PCLKB	2ICLK	USBb
000A 0030h	USB0	割り込み許可レジスタ 0	INTENB0	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0032h	USB0	割り込み許可レジスタ 1	INTENB1	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0040h	USB0	割り込みステータスレジスタ 0	INTSTS0	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0042h	USB0	割り込みステータスレジスタ 1	INTSTS1	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0050h	USB0	USB アドレスレジスタ	USBADDR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0054h	USB0	USB リクエストタイプレジスタ	USBREQ	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0056h	USB0	USB リクエストバリュレジスタ	USBVAL	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb

表4.1 I/O レジスタアドレス一覧 (34 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
000A 0058h	USB0	USB リクエストインデックスレジスタ	USBINDX	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 005Ah	USB0	USB リクエストレンゲスレジスタ	USBLENG	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 005Ch	USB0	DCP コンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 005Eh	USB0	DCP マックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0060h	USB0	DCP コントロールレジスタ	DCPCTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0090h	USB0	パイプ1トランザクションカウンタインヘリブル レジスタ	PIPE1TRE	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0094h	USB0	パイプ2トランザクションカウンタインヘリブル レジスタ	PIPE2TRE	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb

表4.1 I/O レジスタアドレス一覧 (35 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
000A 0096h	USB0	パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0098h	USB0	パイプ3 トランザクションカウンタインエーブル レジスタ	PIPE3TRE	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 009Ah	USB0	パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 009Ch	USB0	パイプ4 トランザクションカウンタインエーブル レジスタ	PIPE4TRE	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 009Eh	USB0	パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00A0h	USB0	パイプ5 トランザクションカウンタインエーブル レジスタ	PIPE5TRE	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00A2h	USB0	パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレ ジスタ	DEVADD0	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレ ジスタ	DEVADD1	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレ ジスタ	DEVADD2	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレ ジスタ	DEVADD3	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレ ジスタ	DEVADD4	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレ ジスタ	DEVADD5	16	16	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 00F0h	USB0	PHYクロスポイント調整レジスタ	PHYSLEW	32	32	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0400h	USB	ディーブスタンバイUSB トランシーバ制御/端 子モニタレジスタ	DPUSR0R	32	32	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0404h	USB	ディーブスタンバイUSBサスペンド/レジュール 割り込みレジスタ	DPUSR1R	32	32	9PCLKB 以上	1+9×(ICLK/ PCLKBの周波数 比)の周波数 (注5)	USBb
000A 0500h	PDC	PDC 制御レジスタ0	PCCR0	32	32	2～3PCLKB	2ICLK	PDC
000A 0504h	PDC	PDC 制御レジスタ1	PCCR1	32	32	2～3PCLKB	2ICLK	PDC
000A 0508h	PDC	PDC ステータスレジスタ	PCSR	32	32	2～3PCLKB	2ICLK	PDC
000A 050Ch	PDC	PDC 端子モニタレジスタ	PCMONR	32	32	2～3PCLKB	2ICLK	PDC
000A 0510h	PDC	PDC 受信データレジスタ	PCDR	32	32	2～3PCLKB	2ICLK	PDC
000A 0514h	PDC	垂直方向キャプチャレジスタ	VCR	32	32	2～3PCLKB	2ICLK	PDC
000A 0518h	PDC	水平方向キャプチャレジスタ	HCR	32	32	2～3PCLKB	2ICLK	PDC
000C 0000h	EDMAC0	EDMAC モードレジスタ	EDMR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0008h	EDMAC0	EDMAC送信要求レジスタ	EDTRR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0010h	EDMAC0	EDMAC受信要求レジスタ	EDRRR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0018h	EDMAC0	送信ディスクリプタリスト先頭アドレスレジ スタ	TDLAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0020h	EDMAC0	受信ディスクリプタリスト先頭アドレスレジ スタ	RDLAR	32	32	4～5PCLKA	2～3ICLK	EDMACa

表4.1 I/O レジスタアドレス一覧 (36 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 0028h	EDMAC0	ETHERC/EDMACステータスレジスタ	EESR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0030h	EDMAC0	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0038h	EDMAC0	ETHERC/EDMAC送受信ステータスコピー指示レジスタ	TRSCER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0040h	EDMAC0	ミスドフレームカウンタレジスタ	RMFCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0048h	EDMAC0	送信FIFOしきい値指定レジスタ	TFTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0050h	EDMAC0	FIFO容量指定レジスタ	FDR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0058h	EDMAC0	受信方式制御レジスタ	RMCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0064h	EDMAC0	送信FIFOアンダフローカウンタ	TFUCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0068h	EDMAC0	受信FIFOオーバフローカウンタ	RFOCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 006Ch	EDMAC0	個別出力信号設定レジスタ	IOSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0070h	EDMAC0	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0078h	EDMAC0	受信データバディंग挿入設定レジスタ	RPADIR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 007Ch	EDMAC0	送信割り込み設定レジスタ	TRIMD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 00C8h	EDMAC0	受信バッファライトアドレスレジスタ	RBWAR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 00CCh	EDMAC0	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 00D4h	EDMAC0	送信バッファリードアドレスレジスタ	TBRAR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 00D8h	EDMAC0	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0100h	ETHERC0	ETHERCモードレジスタ	ECMR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0108h	ETHERC0	受信フレーム長上限レジスタ	RFLR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0110h	ETHERC0	ETHERCステータスレジスタ	ECSR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0118h	ETHERC0	ETHERC割り込み許可レジスタ	ECSIPR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0120h	ETHERC0	PHY部インタフェースレジスタ	PIR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0128h	ETHERC0	PHY部ステータスレジスタ	PSR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0140h	ETHERC0	乱数生成カウンタ上限値設定レジスタ	RDMLR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0150h	ETHERC0	Interpacket Gap設定レジスタ	IPGR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0154h	ETHERC0	自動PAUSEフレーム設定レジスタ	APR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0158h	ETHERC0	手動PAUSEフレーム設定レジスタ	MPR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0160h	ETHERC0	受信PAUSEフレームカウンタ	RFCF	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0164h	ETHERC0	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0168h	ETHERC0	PAUSEフレーム再送回数カウンタ	TPAUSECR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 016Ch	ETHERC0	ブロードキャストフレーム受信回数設定レジスタ	BCFR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01C0h	ETHERC0	MACアドレス上位設定レジスタ	MAHR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01C8h	ETHERC0	MACアドレス下位設定レジスタ	MALR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01D0h	ETHERC0	送信リトライオーバーカウンタレジスタ	TROCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01D4h	ETHERC0	遅延衝突検出カウンタレジスタ	CDCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01D8h	ETHERC0	キャリア消失カウンタレジスタ	LCCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01DCh	ETHERC0	キャリア未検出カウンタレジスタ	CNDCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01E4h	ETHERC0	CRCエラーフレーム受信カウンタレジスタ	CEFCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01E8h	ETHERC0	フレーム受信エラーカウンタレジスタ	FRECR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01ECh	ETHERC0	ショートフレーム受信カウンタレジスタ	TSFR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01F0h	ETHERC0	ロングフレーム受信カウンタレジスタ	TLFR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01F4h	ETHERC0	端数ビットフレーム受信カウンタレジスタ	RFCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 01F8h	ETHERC0	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	32	13 ~ 14PCLKA	2 ~ 7ICLK	ETHERC
000C 0200h	EDMAC1	EDMACモードレジスタ	EDMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0208h	EDMAC1	EDMAC送信要求レジスタ	EDTRR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0210h	EDMAC1	EDMAC受信要求レジスタ	EDRRR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0218h	EDMAC1	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0220h	EDMAC1	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa
000C 0228h	EDMAC1	ETHERC/EDMACステータスレジスタ	EESR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	EDMACa

表4.1 I/O レジスタアドレス一覧 (37 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
000C 0230h	EDMAC1	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0238h	EDMAC1	ETHERC/EDMAC送受信ステータスコピー指示レジスタ	TRSCER	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0240h	EDMAC1	ミスドフレームカウンタレジスタ	RMFCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0248h	EDMAC1	送信FIFOしきい値指定レジスタ	TFTR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0250h	EDMAC1	FIFO容量指定レジスタ	FDR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0258h	EDMAC1	受信方式制御レジスタ	RMCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0264h	EDMAC1	送信FIFOアンダフローカウンタ	TFUCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0268h	EDMAC1	受信FIFOオーバフローカウンタ	RFOCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 026Ch	EDMAC1	個別出力信号設定レジスタ	IOSR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0270h	EDMAC1	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0278h	EDMAC1	受信データバディंग挿入設定レジスタ	RPADIR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 027Ch	EDMAC1	送信割り込み設定レジスタ	TRIMD	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 02C8h	EDMAC1	受信バッファライトアドレスレジスタ	RBWAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 02CCh	EDMAC1	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 02D4h	EDMAC1	送信バッファリードアドレスレジスタ	TBRAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 02D8h	EDMAC1	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0300h	ETHERC1	ETHERCモードレジスタ	ECMR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0308h	ETHERC1	受信フレーム長上限レジスタ	RFLR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0310h	ETHERC1	ETHERCステータスレジスタ	ECSR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0318h	ETHERC1	ETHERC割り込み許可レジスタ	ECSIPR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0320h	ETHERC1	PHY部インタフェースレジスタ	PIR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0328h	ETHERC1	PHY部ステータスレジスタ	PSR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0340h	ETHERC1	乱数生成カウンタ上限値設定レジスタ	RDMLR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0350h	ETHERC1	Interpacket Gap設定レジスタ	IPGR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0354h	ETHERC1	自動PAUSEフレーム設定レジスタ	APR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0358h	ETHERC1	手動PAUSEフレーム設定レジスタ	MPR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0360h	ETHERC1	受信PAUSEフレームカウンタ	RFCF	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0364h	ETHERC1	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0368h	ETHERC1	PAUSEフレーム再送回数カウンタ	TPAUSECR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 036Ch	ETHERC1	ブロードキャストフレーム受信回数設定レジスタ	BCFR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03C0h	ETHERC1	MACアドレス上位設定レジスタ	MAHR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03C8h	ETHERC1	MACアドレス下位設定レジスタ	MALR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03D0h	ETHERC1	送信リトライオーバーカウンタレジスタ	TROCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03D4h	ETHERC1	遅延衝突検出カウンタレジスタ	CDCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03D8h	ETHERC1	キャリア消失カウンタレジスタ	LCCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03DCh	ETHERC1	キャリア未検出カウンタレジスタ	CNDCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03E4h	ETHERC1	CRCエラーフレーム受信カウンタレジスタ	CEFCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03E8h	ETHERC1	フレーム受信エラーカウンタレジスタ	FRECR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03ECh	ETHERC1	ショートフレーム受信カウンタレジスタ	TSFR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03F0h	ETHERC1	ロングフレーム受信カウンタレジスタ	TLFR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03F4h	ETHERC1	端数ビットフレーム受信カウンタレジスタ	RFCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 03F8h	ETHERC1	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	32	13～14PCLKA	2～7ICLK	ETHERC
000C 0400h	PTPEDMAC	EDMACモードレジスタ	EDMR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0408h	PTPEDMAC	EDMAC送信要求レジスタ	EDTRR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0410h	PTPEDMAC	EDMAC受信要求レジスタ	EDRRR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0418h	PTPEDMAC	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0420h	PTPEDMAC	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0428h	PTPEDMAC	PTP用EDMACステータスレジスタ	EESR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0430h	PTPEDMAC	PTP/EDMACステータス割り込み許可レジスタ	EESIPR	32	32	4～5PCLKA	2～3ICLK	EDMACa

表4.1 I/O レジスタアドレス一覧 (38 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 0440h	PTPEDMAC	ミスドフレームカウンタレジスタ	RMFCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0448h	PTPEDMAC	送信FIFOしきい値指定レジスタ	TFTR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0450h	PTPEDMAC	FIFO容量指定レジスタ	FDR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0458h	PTPEDMAC	受信方式制御レジスタ	RMCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0464h	PTPEDMAC	送信FIFOアンダフローカウンタ	TFUCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0468h	PTPEDMAC	受信FIFOオーバフローカウンタ	RFOCR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0470h	PTPEDMAC	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0478h	PTPEDMAC	受信データバディング挿入設定レジスタ	RPADIR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 047Ch	PTPEDMAC	送信割り込み設定レジスタ	TRIMD	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 04C8h	PTPEDMAC	受信バッファライトアドレスレジスタ	RBWAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 04CCh	PTPEDMAC	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 04D4h	PTPEDMAC	送信バッファリードアドレスレジスタ	TBRAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 04D8h	PTPEDMAC	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	32	4～5PCLKA	2～3ICLK	EDMACa
000C 0500h	EPTPC	PTPリセットレジスタ	PTRSTR	32	32	3～4PCLKA	2～3ICLK	EPTPCa
000C 0504h	EPTPC	STCAクロック選択レジスタ	STCSELR	32	32	3～4PCLKA	2～3ICLK	EPTPCa
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 120Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1214h	MTU	タイマ周期データレジスタA	TCRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	5～6PCLKA	2～3ICLK	MTU3a

表4.1 I/O レジスタアドレス一覧 (39 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1298h	MTU8	ノイズフィルタコントロールレジスタ8	NFCR8	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	5～6PCLKA	2～3ICLK	MTU3a

表4.1 I/O レジスタアドレス一覧 (40 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 1390h	MTU1	タイマインพุットキャプチャコントロールレジスタ	TICCR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1391h	MTU1	タイマモードレジスタ3	TMDR3	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1394h	MTU1	タイマコントロールレジスタ2	TCR2	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタ	TGRALW	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタ	TGRBLW	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1404h	MTU2	タイマインタラプティネブルレジスタ	TIER	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 140Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1600h	MTU8	タイマコントロールレジスタ	TCR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1601h	MTU8	タイマモードレジスタ1	TMDR1	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1602h	MTU8	タイマI/OコントロールレジスタH	TIORH	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1603h	MTU8	タイマI/OコントロールレジスタL	TIORL	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1604h	MTU8	タイマインタラプティネブルレジスタ	TIER	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1606h	MTU8	タイマコントロールレジスタ2	TCR2	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1608h	MTU8	タイマカウンタ	TCNT	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 160Ch	MTU8	タイマジェネラルレジスタA	TGRA	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 1610h	MTU8	タイマジェネラルレジスタB	TGRB	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 1614h	MTU8	タイマジェネラルレジスタC	TGRC	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 1618h	MTU8	タイマジェネラルレジスタD	TGRD	32	32	5~6PCLKA	2~3ICLK	MTU3a
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A08h	MTU6	タイマインタラプティネブルレジスタ	TIER	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A09h	MTU7	タイマインタラプティネブルレジスタ	TIER	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A0Ah	MTU	タイマアウトプットマスタインネブルレジスタB	TOERB	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	5~6PCLKA	2~3ICLK	MTU3a
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	5~6PCLKA	2~3ICLK	MTU3a
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16	5~6PCLKA	2~3ICLK	MTU3a

表4.1 I/O レジスタアドレス一覧 (41 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1C85h	MTU5	タイマコントロールレジスタ2	TCR2U	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1C95h	MTU5	タイマコントロールレジスタ2	TCR2V	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	5～6PCLKA	2～3ICLK	MTU3a
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1CA5h	MTU5	タイマコントロールレジスタ2	TCR2W	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	5～6PCLKA	2～3ICLK	MTU3a

表4.1 I/O レジスタアドレス一覧 (42 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	5～6PCLKA	2～3ICLK	MTU3a
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2002h	GPT	ノイズフィルタ制御レジスタ	NFCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタート/ストップ制御レジスタ	GTHSCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリア制御レジスタ	GTHCCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 200Ah	GPT	汎用PWMタイマハードウェアストップクリア要因セレクトレジスタ	GTHPSR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ	GTSYNC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2100h	GPT0	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2102h	GPT0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2104h	GPT0	汎用PWMタイマ制御レジスタ	GTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2106h	GPT0	汎用PWMタイマバッファファイナールレジスタ	GTBER	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2108h	GPT0	汎用PWMタイマカウント方向レジスタ	GTUDC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 210Ah	GPT0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 210Ch	GPT0	汎用PWMタイマステータスレジスタ	GTST	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 210Eh	GPT0	汎用PWMタイマカウンタ	GTCNT	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2110h	GPT0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2112h	GPT0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2114h	GPT0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2116h	GPT0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2118h	GPT0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 211Ah	GPT0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 211Ch	GPT0	汎用PWMタイマ周期設定レジスタ	GTPR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 211Eh	GPT0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2120h	GPT0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2124h	GPT0	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2126h	GPT0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 212Ch	GPT0	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 212Eh	GPT0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2134h	GPT0	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2136h	GPT0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2138h	GPT0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 213Ah	GPT0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 213Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 213Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2142h	GPT0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2180h	GPT1	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16	4～5PCLKA	2～3ICLK	GPTA

表4.1 I/O レジスタアドレス一覧 (43 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 2182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2184h	GPT1	汎用PWMタイマ制御レジスタ	GTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2186h	GPT1	汎用PWMタイマバッファファイナブルレジスタ	GTBER	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2188h	GPT1	汎用PWMタイマカウンタ方向レジスタ	GTUDC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 218Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間 引き設定レジスタ	GTITC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 218Ch	GPT1	汎用PWMタイマステータスレジスタ	GTST	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 218Eh	GPT1	汎用PWMタイマカウンタ	GTCNT	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 219Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 219Ch	GPT1	汎用PWMタイマ周期設定レジスタ	GTPR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 219Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジ スタ	GTPDBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21A4h	GPT1	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21A8h	GPT1	A/D変換開始要求タイミングダブルバッファレ ジスタA	GTADTDBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21ACh	GPT1	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21B0h	GPT1	A/D変換開始要求タイミングダブルバッファレ ジスタB	GTADTDBRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21B4h	GPT1	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21B6h	GPT1	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21B8h	GPT1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21BAh	GPT1	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタ U	GTDBU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタ D	GTDBD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジ スタ	GTSOS	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 21C2h	GPT1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2200h	GPT2	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2204h	GPT2	汎用PWMタイマ制御レジスタ	GTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2206h	GPT2	汎用PWMタイマバッファファイナブルレジスタ	GTBER	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2208h	GPT2	汎用PWMタイマカウンタ方向レジスタ	GTUDC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 220Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間 引き設定レジスタ	GTITC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 220Ch	GPT2	汎用PWMタイマステータスレジスタ	GTST	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 220Eh	GPT2	汎用PWMタイマカウンタ	GTCNT	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 221Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 221Ch	GPT2	汎用PWMタイマ周期設定レジスタ	GTPR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 221Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジ スタ	GTPDBR	16	16	4～5PCLKA	2～3ICLK	GPTA

表4.1 I/O レジスタアドレス一覧 (44 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 2224h	GPT2	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2226h	GPT2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2228h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 222Ch	GPT2	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 222Eh	GPT2	A/D変換開始要求タイミングバッファレジスタB	GTADTB RB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2230h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2234h	GPT2	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2236h	GPT2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2238h	GPT2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 223Ah	GPT2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 223Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 223Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2242h	GPT2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2280h	GPT3	汎用PWMタイマI/O制御レジスタ	GTIOR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2284h	GPT3	汎用PWMタイマ制御レジスタ	GTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2286h	GPT3	汎用PWMタイマバッファファイナールレジスタ	GTBER	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2288h	GPT3	汎用PWMタイマカウント方向レジスタ	GTUDC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 228Ah	GPT3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 228Ch	GPT3	汎用PWMタイマステータスレジスタ	GTST	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 228Eh	GPT3	汎用PWMタイマカウンタ	GTCNT	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 2298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ	GTPR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22A4h	GPT3	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22A6h	GPT3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22A8h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22ACh	GPT3	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22AEh	GPT3	A/D変換開始要求タイミングバッファレジスタB	GTADTB RB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22B0h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲート制御レジスタ	GTONCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22B6h	GPT3	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 22C2h	GPT3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16	4～5PCLKA	2～3ICLK	GPTA
000C 4000h	EPTPC	MINT割り込み要求ステータスレジスタ	MIESR	32	32	5～6PCLKA	2～3ICLK	EPTPCa

表4.1 I/O レジスタアドレス一覧 (45 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 4004h	EPTPC	MINT 割り込み要求許可レジスタ	MIEIPR	32	32	5 ~ 6PCLKA	2 ~ 3ICLK	EPTPCa
000C 4010h	EPTPC	ELC 出力/IPLS 割り込み要求許可レジスタ	ELIPPR	32	32	5 ~ 6PCLKA	2 ~ 3ICLK	EPTPCa
000C 4014h	EPTPC	ELC 出力/IPLS 割り込み許可自動クリア設定レジスタ	ELIPACR	32	32	5 ~ 6PCLKA	2 ~ 3ICLK	EPTPCa
000C 4040h	EPTPC	STCA ステータスレジスタ	STSR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4044h	EPTPC	STCA ステータス通知許可レジスタ	STIPR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4050h	EPTPC	STCA クロック周波数設定レジスタ	STCFR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4054h	EPTPC	STCA 動作モードレジスタ	STMR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4058h	EPTPC	Sync メッセージ受信タイムアウトレジスタ	SYNTOR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4060h	EPTPC	IPLS 割り込み要求タイム選択レジスタ	IPSELR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4064h	EPTPC	MINT 割り込み要求タイム選択レジスタ	MITSELR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4068h	EPTPC	ELC 出力タイム選択レジスタ	ELTSELR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 406Ch	EPTPC	時刻同期チャネル選択レジスタ	STCHSELR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4080h	EPTPC	スレープ時刻同期スタートレジスタ	SYNSTARTR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4084h	EPTPC	ローカルクロック初期値ロード指示レジスタ	LCIVLDR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4090h	EPTPC	同期外れ検出しきい値レジスタ	SYNTDARU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4094h	EPTPC	同期外れ検出しきい値レジスタ	SYNTDARL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4098h	EPTPC	同期検出しきい値レジスタ	SYNTDBRU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 409Ch	EPTPC	同期検出しきい値レジスタ	SYNTDBRL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 40B0h	EPTPC	ローカルタイムカウンタ初期値レジスタ	LCIVRU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 40B4h	EPTPC	ローカルタイムカウンタ初期値レジスタ	LCIVRM	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 40B8h	EPTPC	ローカルタイムカウンタ初期値レジスタ	LCIVRL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4124h	EPTPC	ワースト 10 値取得指示レジスタ	GETW10R	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4128h	EPTPC	プラス側傾き制限値レジスタ	PLIMITRU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 412Ch	EPTPC	プラス側傾き制限値レジスタ	PLIMITRM	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4130h	EPTPC	プラス側傾き制限値レジスタ	PLIMITRL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4134h	EPTPC	マイナス側傾き制限値レジスタ	MLIMITRU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4138h	EPTPC	マイナス側傾き制限値レジスタ	MLIMITRM	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 413Ch	EPTPC	マイナス側傾き制限値レジスタ	MLIMITRL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4140h	EPTPC	統計情報表示指示レジスタ	GETINFOR	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4170h	EPTPC	ローカルタイムカウンタ	LCCVRU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4174h	EPTPC	ローカルタイムカウンタ	LCCVRM	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4178h	EPTPC	ローカルタイムカウンタ	LCCVRL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4210h	EPTPC	プラス側傾きワースト 10 値レジスタ	PW10VRU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4214h	EPTPC	プラス側傾きワースト 10 値レジスタ	PW10VRM	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4218h	EPTPC	プラス側傾きワースト 10 値レジスタ	PW10VRL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 42D0h	EPTPC	マイナス側傾きワースト 10 値レジスタ	MW10RU	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 42D4h	EPTPC	マイナス側傾きワースト 10 値レジスタ	MW10RM	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 42D8h	EPTPC	マイナス側傾きワースト 10 値レジスタ	MW10RL	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4300h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRU0	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4304h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL0	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4308h	EPTPC	タイマ周期設定レジスタ 0	TCYCRO	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 430Ch	EPTPC	タイマパルス幅設定レジスタ 0	TMPLSR0	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4310h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRU1	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4314h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL1	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4318h	EPTPC	タイマ周期設定レジスタ 1	TCYCR1	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 431Ch	EPTPC	タイマパルス幅設定レジスタ 1	TMPLSR1	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4320h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRU2	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4324h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL2	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4328h	EPTPC	タイマ周期設定レジスタ 2	TCYCR2	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 432Ch	EPTPC	タイマパルス幅設定レジスタ 2	TMPLSR2	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa
000C 4330h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRU3	32	32	8 ~ 43PCLKA	2 ~ 22ICLK	EPTPCa

表4.1 I/O レジスタアドレス一覧 (46 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 4334h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL3	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4338h	EPTPC	タイマ周期設定レジスタ3	TMCYCR3	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 433Ch	EPTPC	タイマパルス幅設定レジスタ3	TMPLSR3	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4340h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRU4	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4344h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL4	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4348h	EPTPC	タイマ周期設定レジスタ4	TMCYCR4	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 434Ch	EPTPC	タイマパルス幅設定レジスタ4	TMPLSR4	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4350h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRU5	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4354h	EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL5	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4358h	EPTPC	タイマ周期設定レジスタ5	TMCYCR5	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 435Ch	EPTPC	タイマパルス幅設定レジスタ5	TMPLSR5	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 437Ch	EPTPC	タイマスタートレジスタ	TMSTARTR	32	32	8～43PCLKA	2～22ICLK	EPTPCa
000C 4400h	EPTPC	PRC-TCステータスレジスタ	PRSR	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4404h	EPTPC	PRC-TCステータス通知許可レジスタ	PRIPR	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4410h	EPTPC	チャンネル0 自局MAC アドレスレジスタ	PRMACRU0	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4414h	EPTPC	チャンネル0 自局MAC アドレスレジスタ	PRMACRL0	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4418h	EPTPC	チャンネル1 自局MAC アドレスレジスタ	PRMACRU1	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 441Ch	EPTPC	チャンネル1 自局MAC アドレスレジスタ	PRMACRL1	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4420h	EPTPC	パケット送信抑制制御レジスタ	TRNDISR	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4430h	EPTPC	中継モードレジスタ	TRNMR	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4434h	EPTPC	カッスル-転送開始しきい値レジスタ	TRNCTTDR	32	32	9～10PCLKA	2～5ICLK	EPTPCa
000C 4800h	EPTPC0	SYNFPステータスレジスタ	YSR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4804h	EPTPC0	SYNFP ステータス通知許可レジスタ	SYIPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4810h	EPTPC0	SYNFP MAC アドレスレジスタ	SYMACRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4814h	EPTPC0	SYNFP MAC アドレスレジスタ	SYMACRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4818h	EPTPC0	SYNFP LLC-CTL 値レジスタ	SYLLCCTLR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 481Ch	EPTPC0	SYNFP 自局IP アドレスレジスタ	SYIPADDRR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4840h	EPTPC0	SYNFP 仕様・バージョン設定レジスタ	SYSPVRR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4844h	EPTPC0	SYNFP ドメイン番号設定レジスタ	SYDOMR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4850h	EPTPC0	アナウンスメッセージフラグフィールド設定レジスタ	ANFR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4854h	EPTPC0	Sync メッセージフラグフィールド設定レジスタ	SYNFR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4858h	EPTPC0	Delay_Req メッセージフラグフィールド設定レジスタ	DYRQFR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 485Ch	EPTPC0	Delay_Resp メッセージフラグフィールド設定レジスタ	DYRPFR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4860h	EPTPC0	SYNFP 自局クロックID レジスタ	SYCIDRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4864h	EPTPC0	SYNFP 自局クロックID レジスタ	SYCIDRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4868h	EPTPC0	SYNFP 自局ポート番号レジスタ	SYPNUMR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4880h	EPTPC0	SYNFP レジスタ値ロード指示レジスタ	SYRVLDR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4890h	EPTPC0	SYNFP 受信フィルタレジスタ1	SYRFL1R	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4894h	EPTPC0	SYNFP 受信フィルタレジスタ2	SYRFL2R	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4898h	EPTPC0	SYNFP 送信許可レジスタ	SYTRENr	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48A0h	EPTPC0	マスタクロックID レジスタ	MTCIDU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48A4h	EPTPC0	マスタクロックID レジスタ	MTCIDL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48A8h	EPTPC0	マスタクロックポート番号レジスタ	MTPID	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48C0h	EPTPC0	SYNFP 送信間隔設定レジスタ	SYTLIR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48C4h	EPTPC0	SYNFP 受信 logMessageInterval 値表示レジスタ	SYRLIR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48C8h	EPTPC0	offsetFromMaster 値レジスタ	OFMRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48CCh	EPTPC0	offsetFromMaster 値レジスタ	OFMRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48D0h	EPTPC0	meanPathDelay 値レジスタ	MPDRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48D4h	EPTPC0	meanPathDelay 値レジスタ	MPDRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 48E0h	EPTPC0	grandmasterPriority フィールド設定レジスタ	GMPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa

表4.1 I/O レジスタアドレス一覧 (47 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 48E4h	EPTPC0	grandmasterClockQuality フィールド設定レジスタ	GMCQR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 48E8h	EPTPC0	grandmasterIdentity フィールド設定レジスタ	GMIDRU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 48ECh	EPTPC0	grandmasterIdentity フィールド設定レジスタ	GMIDRL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 48F0h	EPTPC0	currentUtcOffset/timeSource フィールド設定レジスタ	CUOTSR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 48F4h	EPTPC0	stepsRemoved フィールド設定レジスタ	SRR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4900h	EPTPC0	PTP-primary メッセージ宛先MAC アドレス設定レジスタ	PPMACRU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4904h	EPTPC0	PTP-primary メッセージ宛先MAC アドレス設定レジスタ	PPMACRL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4908h	EPTPC0	PTP-pdelay メッセージ用MAC アドレス設定レジスタ	PDMACRU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 490Ch	EPTPC0	PTP-pdelay メッセージ用MAC アドレス設定レジスタ	PDMACRL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4910h	EPTPC0	PTP メッセージEtherType 設定レジスタ	PETYPER	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4920h	EPTPC0	PTP-primary メッセージ宛先IP アドレス設定レジスタ	PPIPR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4924h	EPTPC0	PTP-pdelay メッセージ宛先IP アドレス設定レジスタ	PDIPR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4928h	EPTPC0	Event メッセージ用TOS 設定レジスタ	PETOSR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 492Ch	EPTPC0	General メッセージ用TOS 設定レジスタ	PGTOSR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4930h	EPTPC0	PTP-primary メッセージ用TTL 設定レジスタ	PPTTLR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4934h	EPTPC0	PTP-pdelay メッセージ用TTL 設定レジスタ	PDTTLR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4938h	EPTPC0	Event メッセージ用UDP 宛先ポート番号設定レジスタ	PEUDPR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 493Ch	EPTPC0	General メッセージ用UDP 宛先ポート番号設定レジスタ	PGUDPR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4940h	EPTPC0	フレーム受信フィルタ設定レジスタ	FFLTR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4960h	EPTPC0	フレーム受信フィルタ用MACアドレス0設定レジスタ	FMAC0RU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4964h	EPTPC0	フレーム受信フィルタ用MACアドレス0設定レジスタ	FMAC0RL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4968h	EPTPC0	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 496Ch	EPTPC0	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 49C0h	EPTPC0	非対称遅延値設定レジスタ	DASYMRU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 49C4h	EPTPC0	非対称遅延値設定レジスタ	DASYMRL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 49C8h	EPTPC0	タイムスタンプ遅延値設定レジスタ	TSLATR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 49CCh	EPTPC0	SYNFP 動作設定レジスタ	SYCONF	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 49D0h	EPTPC0	SYNFP フレームフォーマット設定レジスタ	SYFORMR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 49D4h	EPTPC0	レスポンスメッセージ受信タイムアウトレジスタ	RSTOUTR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C00h	EPTPC1	SYNFP ステータスレジスタ	SYSR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C04h	EPTPC1	SYNFP ステータス通知許可レジスタ	SYIPR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C10h	EPTPC1	SYNFP MAC アドレスレジスタ	SYMACRU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C14h	EPTPC1	SYNFP MAC アドレスレジスタ	SYMACRL	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C18h	EPTPC1	SYNFP LLC-CTL 値レジスタ	SYLLCCTLR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C1Ch	EPTPC1	SYNFP 自局IP アドレスレジスタ	SYIPADDRR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C40h	EPTPC1	SYNFP 仕様・バージョン設定レジスタ	SYSPVRR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C44h	EPTPC1	SYNFP ドメイン番号設定レジスタ	SYDOMR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C50h	EPTPC1	アナウンスメッセージフラグフィールド設定レジスタ	ANFR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C54h	EPTPC1	Sync メッセージフラグフィールド設定レジスタ	SYNFR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C58h	EPTPC1	Delay_Req メッセージフラグフィールド設定レジスタ	DYRQFR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C5Ch	EPTPC1	Delay_Resp メッセージフラグフィールド設定レジスタ	DYRPFR	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C60h	EPTPC1	SYNFP 自局クロックID レジスタ	SYCIDRU	32	32	9~211PCLKA	2~106ICLK	EPTPCa
000C 4C64h	EPTPC1	SYNFP 自局クロックID レジスタ	SYCIDRL	32	32	9~211PCLKA	2~106ICLK	EPTPCa

表4.1 I/O レジスタアドレス一覧 (48 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000C 4C68h	EPTPC1	SYNFP 自局ポート番号レジスタ	SYPNUMR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4C80h	EPTPC1	SYNFP レジスタ値ロード指示レジスタ	SYRVLDR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4C90h	EPTPC1	SYNFP 受信フィルタレジスタ1	SYRFL1R	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4C94h	EPTPC1	SYNFP 受信フィルタレジスタ2	SYRFL2R	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4C98h	EPTPC1	SYNFP 送信許可レジスタ	SYTRENr	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CA0h	EPTPC1	マスタクロックIDレジスタ	MTCIDU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CA4h	EPTPC1	マスタクロックIDレジスタ	MTCIDL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CA8h	EPTPC1	マスタクロックポート番号レジスタ	MTPID	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CC0h	EPTPC1	SYNFP 送信間隔設定レジスタ	SYTLIR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CC4h	EPTPC1	SYNFP 受信 logMessageInterval 値表示レジスタ	SYRLIR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CC8h	EPTPC1	offsetFromMaster 値レジスタ	OFMRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CCCh	EPTPC1	offsetFromMaster 値レジスタ	OFMRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CD0h	EPTPC1	meanPathDelay 値レジスタ	MPDRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CD4h	EPTPC1	meanPathDelay 値レジスタ	MPDRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CE0h	EPTPC1	grandmasterPriority フィールド設定レジスタ	GMPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CE4h	EPTPC1	grandmasterClockQuality フィールド設定レジスタ	GMCQR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CE8h	EPTPC1	grandmasterIdentity フィールド設定レジスタ	GMIDRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CECh	EPTPC1	grandmasterIdentity フィールド設定レジスタ	GMIDRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CF0h	EPTPC1	currentUtcOffset/timeSource フィールド設定レジスタ	CUOTSR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4CF4h	EPTPC1	stepsRemoved フィールド設定レジスタ	SRR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D00h	EPTPC1	PTP-primary メッセージ用宛先MAC アドレス設定レジスタ	PPMACRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D04h	EPTPC1	PTP-primary メッセージ用宛先MAC アドレス設定レジスタ	PPMACRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D08h	EPTPC1	PTP-pdelay メッセージ用MAC アドレス設定レジスタ	PDMACRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D0Ch	EPTPC1	PTP-pdelay メッセージ用MAC アドレス設定レジスタ	PDMACRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D10h	EPTPC1	PTP メッセージEtherType 設定レジスタ	PETYPER	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D20h	EPTPC1	PTP-primary メッセージ用宛先IP アドレス設定レジスタ	PPIPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D24h	EPTPC1	PTP-pdelay メッセージ用宛先IP アドレス設定レジスタ	PDIPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D28h	EPTPC1	Event メッセージ用TOS 設定レジスタ	PETOSR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D2Ch	EPTPC1	General メッセージ用TOS 設定レジスタ	PGTOSR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D30h	EPTPC1	PTP-primary メッセージ用TTL 設定レジスタ	PPTTLR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D34h	EPTPC1	PTP-pdelay メッセージ用TTL 設定レジスタ	PDTTLR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D38h	EPTPC1	Event メッセージ用UDP 宛先ポート番号設定レジスタ	PEUDPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D3Ch	EPTPC1	General メッセージ用UDP 宛先ポート番号設定レジスタ	PGUDPR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D40h	EPTPC1	フレーム受信フィルタ設定レジスタ	FFLTR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D60h	EPTPC1	フレーム受信フィルタ用MACアドレス0設定レジスタ	FMAC0RU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D64h	EPTPC1	フレーム受信フィルタ用MACアドレス0設定レジスタ	FMAC0RL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D68h	EPTPC1	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4D6Ch	EPTPC1	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4DC0h	EPTPC1	非対称遅延値設定レジスタ	DASYMRU	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4DC4h	EPTPC1	非対称遅延値設定レジスタ	DASYMRL	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4DC8h	EPTPC1	タイムスタンプ遅延値設定レジスタ	TSLATR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4DCCh	EPTPC1	SYNFP 動作設定レジスタ	SYCONFR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4DD0h	EPTPC1	SYNFP フレームフォーマット設定レジスタ	SYFORMR	32	32	9～211PCLKA	2～106ICLK	EPTPCa
000C 4DD4h	EPTPC1	レスポンスメッセージ受信タイムアウトレジスタ	RSTOUTR	32	32	9～211PCLKA	2～106ICLK	EPTPCa

表4.1 I/O レジスタアドレス一覧 (49 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000D 0000h	SCIFA8	シリアルモードレジスタ	SMR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0002h	SCIFA8	ビットレートレジスタ	BRR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0002h	SCIFA8	モジュレーションデューティレジスタ	MDDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0004h	SCIFA8	シリアルコントロールレジスタ	SCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0006h	SCIFA8	トランスミットFIFO データレジスタ	FTDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0008h	SCIFA8	シリアルステータスレジスタ	FSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 000Ah	SCIFA8	レシーブFIFO データレジスタ	FRDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 000Ch	SCIFA8	FIFO コントロールレジスタ	FCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 000Eh	SCIFA8	FIFO データ数レジスタ	FDR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0010h	SCIFA8	シリアルポートレジスタ	SPTR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0012h	SCIFA8	ラインステータスレジスタ	LSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0014h	SCIFA8	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0016h	SCIFA8	FIFO トリガコントロールレジスタ	FTCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0020h	SCIFA9	シリアルモードレジスタ	SMR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0022h	SCIFA9	ビットレートレジスタ	BRR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0022h	SCIFA9	モジュレーションデューティレジスタ	MDDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0024h	SCIFA9	シリアルコントロールレジスタ	SCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0026h	SCIFA9	トランスミットFIFO データレジスタ	FTDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0028h	SCIFA9	シリアルステータスレジスタ	FSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 002Ah	SCIFA9	レシーブFIFO データレジスタ	FRDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 002Ch	SCIFA9	FIFO コントロールレジスタ	FCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 002Eh	SCIFA9	FIFO データ数レジスタ	FDR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0030h	SCIFA9	シリアルポートレジスタ	SPTR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0032h	SCIFA9	ラインステータスレジスタ	LSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0034h	SCIFA9	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0036h	SCIFA9	FIFO トリガコントロールレジスタ	FTCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0040h	SCIFA10	シリアルモードレジスタ	SMR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0042h	SCIFA10	ビットレートレジスタ	BRR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0042h	SCIFA10	モジュレーションデューティレジスタ	MDDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0044h	SCIFA10	シリアルコントロールレジスタ	SCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0046h	SCIFA10	トランスミットFIFO データレジスタ	FTDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0048h	SCIFA10	シリアルステータスレジスタ	FSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 004Ah	SCIFA10	レシーブFIFO データレジスタ	FRDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 004Ch	SCIFA10	FIFO コントロールレジスタ	FCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 004Eh	SCIFA10	FIFO データ数レジスタ	FDR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0050h	SCIFA10	シリアルポートレジスタ	SPTR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0052h	SCIFA10	ラインステータスレジスタ	LSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0054h	SCIFA10	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0056h	SCIFA10	FIFO トリガコントロールレジスタ	FTCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0060h	SCIFA11	シリアルモードレジスタ	SMR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0062h	SCIFA11	ビットレートレジスタ	BRR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0062h	SCIFA11	モジュレーションデューティレジスタ	MDDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0064h	SCIFA11	シリアルコントロールレジスタ	SCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0066h	SCIFA11	トランスミットFIFO データレジスタ	FTDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 0068h	SCIFA11	シリアルステータスレジスタ	FSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 006Ah	SCIFA11	レシーブFIFO データレジスタ	FRDR	8	8	3~4PCLKB	2ICLK	SCIFA
000D 006Ch	SCIFA11	FIFO コントロールレジスタ	FCR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 006Eh	SCIFA11	FIFO データ数レジスタ	FDR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0070h	SCIFA11	シリアルポートレジスタ	SPTR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0072h	SCIFA11	ラインステータスレジスタ	LSR	16	16	3~4PCLKB	2ICLK	SCIFA
000D 0074h	SCIFA11	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKB	2ICLK	SCIFA

表4.1 I/O レジスタアドレス一覧 (50 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合	
000D 0076h	SCIFA11	FIFO トリガコントロールレジスタ	FTCR	16	16	3 ~ 4PCLKB	2ICLK	SCIFA
000D 0100h	RSPI0	RSPI 制御レジスタ	SPCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0101h	RSPI0	RSPI スレーブセレクト極性レジスタ	SSLP	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0102h	RSPI0	RSPI 端子制御レジスタ	SPPCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0103h	RSPI0	RSPI ステータスレジスタ	SPSR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0104h	RSPI0	RSPI データレジスタ	SPDR	32	16, 32	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0108h	RSPI0	RSPI シーケンス制御レジスタ	SPSCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0109h	RSPI0	RSPI シーケンスステータスレジスタ	SPSSR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 010Ah	RSPI0	RSPI ビットレートレジスタ	SPBR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 010Bh	RSPI0	RSPI データコントロールレジスタ	SPDCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 010Ch	RSPI0	RSPI クロック遅延レジスタ	SPCKD	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 010Dh	RSPI0	RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 010Eh	RSPI0	RSPI 次アクセス遅延レジスタ	SPND	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 010Fh	RSPI0	RSPI 制御レジスタ 2	SPCR2	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0110h	RSPI0	RSPI コマンドレジスタ 0	SPCMD0	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0112h	RSPI0	RSPI コマンドレジスタ 1	SPCMD1	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0114h	RSPI0	RSPI コマンドレジスタ 2	SPCMD2	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0116h	RSPI0	RSPI コマンドレジスタ 3	SPCMD3	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0118h	RSPI0	RSPI コマンドレジスタ 4	SPCMD4	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 011Ah	RSPI0	RSPI コマンドレジスタ 5	SPCMD5	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 011Ch	RSPI0	RSPI コマンドレジスタ 6	SPCMD6	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 011Eh	RSPI0	RSPI コマンドレジスタ 7	SPCMD7	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0120h	RSPI1	RSPI 制御レジスタ	SPCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0121h	RSPI1	RSPI スレーブセレクト極性レジスタ	SSLP	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0122h	RSPI1	RSPI 端子制御レジスタ	SPPCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0123h	RSPI1	RSPI ステータスレジスタ	SPSR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0124h	RSPI1	RSPI データレジスタ	SPDR	32	32	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0128h	RSPI1	RSPI シーケンス制御レジスタ	SPSCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0129h	RSPI1	RSPI シーケンスステータスレジスタ	SPSSR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 012Ah	RSPI1	RSPI ビットレートレジスタ	SPBR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 012Bh	RSPI1	RSPI データコントロールレジスタ	SPDCR	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 012Ch	RSPI1	RSPI クロック遅延レジスタ	SPCKD	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 012Dh	RSPI1	RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 012Eh	RSPI1	RSPI 次アクセス遅延レジスタ	SPND	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 012Fh	RSPI1	RSPI 制御レジスタ 2	SPCR2	8	8	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0130h	RSPI1	RSPI コマンドレジスタ 0	SPCMD0	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0132h	RSPI1	RSPI コマンドレジスタ 1	SPCMD1	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0134h	RSPI1	RSPI コマンドレジスタ 2	SPCMD2	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0136h	RSPI1	RSPI コマンドレジスタ 3	SPCMD3	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0138h	RSPI1	RSPI コマンドレジスタ 4	SPCMD4	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 013Ah	RSPI1	RSPI コマンドレジスタ 5	SPCMD5	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 013Ch	RSPI1	RSPI コマンドレジスタ 6	SPCMD6	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 013Eh	RSPI1	RSPI コマンドレジスタ 7	SPCMD7	16	16	3 ~ 4PCLKA	2ICLK	RSPIa
000D 0400h	USBA	システムコンフィギュレーションコントロール レジスタ	SYSCFG	16	16	3 ~ 4PCLKB	2ICLK	USBAa
000D 0402h	USBA	CPU バスウェイトレジスタ	BUSWAIT	16	16	3 ~ 4PCLKB	2ICLK	USBAa
000D 0404h	USBA	システムコンフィギュレーションステータス レジスタ	SYSSTS0	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0406h	USBA	PLL ステータスレジスタ	PLLSTA	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa

表4.1 I/O レジスタアドレス一覧 (51 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合	
000D 0408h	USBA	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0414h	USBA	CFIFO ポートレジスタ	CFIFO	32	8, 16, 32	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0418h	USBA	D0FIFO ポートレジスタ	D0FIFO	32	8, 16, 32	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 041Ch	USBA	D1FIFO ポートレジスタ	D1FIFO	32	8, 16, 32	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0420h	USBA	CFIFO ポート選択レジスタ	CFIFOSEL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0422h	USBA	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0428h	USBA	D0FIFO ポート選択レジスタ	D0FIFOSEL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 042Ah	USBA	D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 042Ch	USBA	D1FIFO ポート選択レジスタ	D1FIFOSEL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 042Eh	USBA	D1FIFO ポートコントロールレジスタ	D1FIFOCTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0430h	USBA	割り込み許可レジスタ0	INTENB0	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0432h	USBA	割り込み許可レジスタ1	INTENB1	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0436h	USBA	BRDY 割り込み許可レジスタ	BRDYENB	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0438h	USBA	NRDY 割り込み許可レジスタ	NRDYENB	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 043Ah	USBA	BEMP 割り込み許可レジスタ	BEMPENB	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 043Ch	USBA	SOF 出力コンフィギュレーションレジスタ	SOFCFG	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 043Eh	USBA	PHY 設定レジスタ	PHYSET	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa

表4.1 I/O レジスタアドレス一覧 (52 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合	
000D 0440h	USBA	割り込みステータスレジスタ0	INTSTS0	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0442h	USBA	割り込みステータスレジスタ1	INTSTS1	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0446h	USBA	BRDY 割り込みステータスレジスタ	BRDYSTS	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0448h	USBA	NRDY 割り込みステータスレジスタ	NRDYSTS	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 044Ah	USBA	BEMP 割り込みステータスレジスタ	BEMPSTS	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 044Ch	USBA	フレームナンバーレジスタ	FRMNUM	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0450h	USBA	USB アドレスレジスタ	USBADDR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0454h	USBA	USB リクエストタイプレジスタ	USBREQ	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0456h	USBA	USB リクエストバリュレジスタ	USBVAL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0458h	USBA	USB リクエストインデックスレジスタ	USBINDX	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 045Ah	USBA	USB リクエストレンゲスレジスタ	USBLENG	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 045Ch	USBA	DCP コンフィギュレーションレジスタ	DCPCFG	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 045Eh	USBA	DCP マックスパケットサイズレジスタ	DCPMAXP	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0460h	USBA	DCP コントロールレジスタ	DCPCTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0464h	USBA	パイプウィンドウ選択レジスタ	PIPESEL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0468h	USBA	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 046Ah	USBA	パイプバッファ指定レジスタ	PIPEBUF	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) ×(ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa

表4.1 I/O レジスタアドレス一覧 (53 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLKの 場合	ICLK < PCLKの 場合	
000D 046Ch	USBA	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 046Eh	USBA	パイプ周期制御レジスタ	PIPEPERI	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0470h	USBA	パイプ1 コントロールレジスタ	PIPE1CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0472h	USBA	パイプ2 コントロールレジスタ	PIPE2CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0474h	USBA	パイプ3 コントロールレジスタ	PIPE3CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0476h	USBA	パイプ4 コントロールレジスタ	PIPE4CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0478h	USBA	パイプ5 コントロールレジスタ	PIPE5CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 047Ah	USBA	パイプ6 コントロールレジスタ	PIPE6CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 047Ch	USBA	パイプ7 コントロールレジスタ	PIPE7CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 047Eh	USBA	パイプ8 コントロールレジスタ	PIPE8CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0480h	USBA	パイプ9 コントロールレジスタ	PIPE9CTR	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0490h	USBA	パイプ1 トランザクションカウンタ許可レジスタ	PIPE1TRE	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0492h	USBA	パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0494h	USBA	パイプ2 トランザクションカウンタ許可レジスタ	PIPE2TRE	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0496h	USBA	パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0498h	USBA	パイプ3 トランザクションカウンタ許可レジスタ	PIPE3TRE	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 049Ah	USBA	パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa

表4.1 I/O レジスタアドレス一覧 (54 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合	
000D 049Ch	USBA	パイプ4 トランザクションカウンタ許可レジスタ	PIPE4TRE	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 049Eh	USBA	パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04A0h	USBA	パイプ5 トランザクションカウンタ許可レジスタ	PIPE5TRE	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04A2h	USBA	パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04D0h	USBA	デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04D2h	USBA	デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04D4h	USBA	デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04D6h	USBA	デバイスアドレス3 コンフィギュレーションレジスタ	DEVADD3	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04D8h	USBA	デバイスアドレス4 コンフィギュレーションレジスタ	DEVADD4	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 04DAh	USBA	デバイスアドレス5 コンフィギュレーションレジスタ	DEVADD5	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0500h	USBA	ローパワーコントロールレジスタ	LPCTRL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0502h	USBA	ローパワーステータスレジスタ	LPSTS	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0540h	USBA	Battery Charging コントロールレジスタ	BCCTRL	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0544h	USBA	ファンクションL1コントロールレジスタ1	PL1CTRL1	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0546h	USBA	ファンクションL1コントロールレジスタ2	PL1CTRL2	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0548h	USBA	ホストL1コントロールレジスタ1	HL1CTRL1	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 054Ah	USBA	ホストL1コントロールレジスタ2	HL1CTRL2	16	16	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKAの 周波数比)の整数 切り上げ以上 (注5)	USBAa

表 4.1 I/O レジスタアドレス一覧 (55 / 55)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合	
000D 0560h	USBA	ディープスタンバイ USB トランシーバ制御/端 子モニタレジスタ	DPUSR0R	32	32	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKA の 周波数比)の整数 切り上げ以上 (注5)	USBAa
000D 0564h	USBA	ディープスタンバイ USB サスペンド/レジュ ーム割り込みレジスタ	DPUSR1R	32	32	(3+BUSWAIT) PCLKA 以上	1+(3+BUSWAIT) $\times$ (ICLK/PCLKA の 周波数比)の整数 切り上げ以上 (注5)	USBAa

- 注 1. PPG0.PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガ設定値が同一の場合は、PPG0.NDRH のアドレスは 0008 81ECh となります。出力トリガが異なる場合は、パルス出力グループ 2 に対応する PPG0.NDRH のアドレスは 0008 81EEh、出力グループ 3 に対応する PPG0.NDRH は 0008 81ECh となります。
- 注 2. PPG0.PCR の設定により、パルス出力グループ 0 とパルス出力グループ 1 の出力トリガ設定値が同一の場合は、PPG0.NDRL のアドレスは 0008 81EDh となります。出力トリガが異なる場合は、パルス出力グループ 0 に対応する PPG0.NDRL のアドレスは 0008 81EFh、出力グループ 1 に対応する PPG0.NDRL は 0008 81EDh となります。
- 注 3. PPG1.PCR の設定により、パルス出力グループ 6 とパルス出力グループ 7 の出力トリガ設定値が同一の場合は、PPG1.NDRH のアドレスは 0008 81FCh となります。出力トリガが異なる場合は、パルス出力グループ 6 に対応する PPG1.NDRH のアドレスは 0008 81FEh、出力グループ 7 に対応する PPG1.NDRH は 0008 81FCh となります。
- 注 4. PPG1.PCR の設定により、パルス出力グループ 4 とパルス出力グループ 5 の出力トリガ設定値が同一の場合は、PPG1.NDRL のアドレスは 0008 81FDh となります。出力トリガが異なる場合は、パルス出力グループ 4 に対応する PPG1.NDRL のアドレスは 0008 81FFh、出力グループ 5 に対応する PPG1.NDRL は 0008 81FDh となります。
- 注 5. USB 動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。
- 注 6. 32 ビットでアクセスする場合、番地の末尾は 0h、4h、8h または Ch にしてください。16 ビットでアクセスする場合、番地の末尾は 0h、2h、4h、6h、8h、Ah、Ch または Eh にしてください。

5. 電気的特性

5.1 絶対最大定格

表 5.1 絶対最大定格

条件 : VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V

項目		記号	定格値	単位
電源電圧		VCC, VCC_USB	-0.3 ~ +4.6	V
V _{BATT} 電源電圧		V _{BATT}	-0.3 ~ +4.6	V
入力電圧(5Vトレラント対応ポート(注1)以外)		V _{in}	-0.3 ~ VCC + 0.3	V
入力電圧(5Vトレラント対応ポート(注1))		V _{in}	-0.3 ~ VCC + 4.6 (最大 5.8)	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧		AVCC0, AVCC1 (注2)	-0.3 ~ +4.6	V
USBA電源電圧		VCC_USBA (注2)	-0.3 ~ +4.6	V
USBAアナログ電源電圧		AVCC_USBA (注2)	-0.3 ~ +4.6	V
アナログ入力電圧		V _{AN}	-0.3 ~ AVCC + 0.3	V
ジャンクション温度	Dバージョン	T _j	-40 ~ +105	°C
	Gバージョン		-40 ~ +125 (計画中)	
保存温度		T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. ポート07とポート11~17、ポート20, 21、ポート30~33、ポート67、ポートC0~C3は、5Vトレラント対応です。

注2. AVCC0, AVCC1, VCC_USBはVCCに、AVSS0, AVSS1, VSS_USBはVSSに接続してください。

A/Dのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。
USBAを使用しない場合、VCC_USBA, AVCC_USBAはVCCに、VSS1_USBA, VSS2_USBA, PVSS_USBA, AVSS_USBA端子はVSSにそれぞれ接続し開放しないでください。

表 5.2 推奨動作条件

項目		記号	min	typ	max	単位
電源電圧		VCC	2.7	—	3.6	V
		VSS	—	0	—	V
V _{BATT} 電源電圧		V _{BATT}	2.0	—	3.6	V
リファレンス電源電圧		VREFH0	2.7	—	AVCC0	V
		VREFL0	—	0	—	V
アナログ電源電圧		AVCC0, AVCC1	—	VCC	—	V
		AVSS0, AVSS1	—	0	—	V
USB電源電圧		VCC_USB	—	VCC	—	V
		VSS_USB	—	0	—	V
USBA電源電圧		VCC_USBA	3.0	—	3.6	V
		VSS1_USBA, VSS2_USBA	—	0	—	V
USBAアナログ電源電圧		AVCC_USBA	3.0	—	3.6	V
		AVSS_USBA, PVSS_USBA	—	0	—	V
動作温度	Dバージョン	T _{opr}	-40	—	85	°C
	Gバージョン	T _{opr}	-40	—	105 (計画中)	°C

5.2 DC 特性

表 5.3 DC特性(1)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	IRQ入力端子 (注1)	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V
	MTU入力端子 (注1)	V_{IL}	-0.3	—	$V_{CC} \times 0.2$	
	GPT入力端子 (注1)	ΔV_T	$V_{CC} \times 0.06$	—	—	
	POE3入力端子 (注1)					
	TPU入力端子 (注1)					
	TMR入力端子 (注1)					
	CMTW入力端子 (注1)					
	RTC入力端子 (注1)					
	SCI入力端子 (注1)					
	ADTRG#入力端子 (注1)					
	QSPI入力端子 (注1)					
	RES#, NMI, TCK					
5Vトレラント対応ポート (注2)	RIIC入力端子 (SMBusを除く)	V_{IH}	$V_{CC} \times 0.7$	—	$V_{CC} + 3.6$ (最大 5.8)	
		V_{IL}	-0.3	—	$V_{CC} \times 0.3$	
		ΔV_T	$V_{CC} \times 0.05$	—	—	
	5Vトレラント対応ポート (注2)	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 3.6$ (最大 5.8)	
		V_{IL}	-0.3	—	$V_{CC} \times 0.2$	
	5Vトレラント対応ポート以外 その他の入力端子 (注3)	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	
入力Highレベル 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IH}	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V
		V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	
			2.3	—	$V_{CC} + 0.3$	
			$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$	
			2.1	—	$V_{CC} + 0.3$	
	RIIC (SMBus)					
入力Lowレベル 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IL}	-0.3	—	$V_{CC} \times 0.1$	V
		V_{IL}	-0.3	—	$V_{CC} \times 0.2$	
			-0.3	—	$V_{CC} \times 0.3$	
			-0.3	—	0.8	
	RIIC (SMBus)					

注1. 5Vトレラント対応のポートで兼用している端子は該当しません。

注2. ポート07とポート11～17、ポート20, 21、ポート30～33、ポート67、ポートC0～C3は、5Vトレラント対応です。

注3. P32, P31, P30に関して V_{BATT} 電源選択時は下記範囲で入力してください。

$V_{IH} \min = V_{BATT} \times 0.8$, $\max = V_{BATT} + 0.3$, $V_{IL} \min = -0.3$, $\max = V_{BATT} \times 0.2$ ($V_{BATT} = 2.0 \sim 3.6V$)

表 5.4 DC 特性 (2)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RIIC 端子、ETHERC 出力端子を除く)	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
	RIIC 出力端子	—	—	0.4		$I_{OL} = 3.0mA$
		—	—	0.6		$I_{OL} = 6.0mA$
	RIIC 出力端子 (P12, P13 のチャンネル 0 のみ)	V_{OL}	—	0.4	V	$I_{OL} = 15.0mA$ (ICFER.FMPE = 1)
		—	0.4	—		$I_{OL} = 20.0mA$ (ICFER.FMPE = 1)
	ETHERC 出力端子	V_{OL}	—	0.4	V	$I_{OL} = 1.0mA$
入力リーク電流	RES#, MD 端子、EMLE (注1)、BSCANP (注1)、NMI	$ I_{in} $	—	1.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5V トレラント対応ポート以外	$ I_{TSI} $	—	1.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
	5V トレラント対応ポート	—	—	5.0		$V_{in} = 0V$ $V_{in} = 5.5V$
入力プルアップ MOS 電流	ポート 0~2、 ポート 30~34、36、37、 ポート 4~G、 ポート J3、J5	I_p	-300	—	-10	μA $V_{CC} = 2.7 \sim 3.6V$ $V_{in} = 0V$
入力プルダウン MOS 電流	EMLE, BSCANP	I_p	10	—	300	μA $V_{in} = V_{CC}$
入力容量	全入力端子 (ポート 03, 05、ポート 12, 13, 16, 17, EMLE, BSCANP, USB0_DP, USB0_DM, USBA_DP, USBA_DM 以外)	C_{in}	—	—	8	pF $V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	ポート 03, 05、ポート 12, 13, 16, 17, EMLE, BSCANP, USB0_DP, USB0_DM, USBA_DP, USBA_DM		—	—	16	

注 1. EMLE 端子、BSCANP 端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表5.5 DC特性(3)

条件: VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 2.7 ~ 3.6V, $2.7 \leq VREFH0 \leq AVCC0$,
VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
 $T_a = T_{opr}$

項目				記号	min	typ	max	単位	測定条件				
消費電流 (注1)	高速動作モード	最大動作 (注2)		I _{CC} (注3)	—	—	220	mA	ICLK = 240MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 60MHz PCLKD = 60MHz FCLK = 60MHz BCLK = 120MHz BCLK端子 = 60MHz				
		通常動作	周辺機能クロック供給状態 (注4)		—	52	—						
			周辺機能クロック停止状態 (注4)		—	28	—						
		Core mark動作	周辺機能クロック停止状態 (注4)		—	41	—						
			スリープモード時：周辺機能クロック供給状態 (注4)		—	37	108						
		全モジュールクロックストップモード時 (参考値)			—	15	80						
		BGO動作時の増加分 (注5)	データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		—	7	—						
			コードフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		—	10	—						
		低速動作モード1：周辺機能クロック停止状態 (注4)				—	4.4			—	μA	全クロック 1MHz	
		低速動作モード2：周辺機能クロック停止状態 (注4)				—	3			—		全クロック 32.768kHz	
	ソフトウェアスタンバイモード				—	1.9	59						
	ディープソフトウェアスタンバイモード	スタンバイ RAM, USB レジューム検出部 (USBbのみ) 電源供給あり		—	25	75	μA						
		スタンバイ RAM, USB レジューム検出部 (USBbのみ) 電源供給なし	パワーオンリセット回路 低消費電力機能無効 (注6)	—	12.5	26							
			パワーオンリセット回路 低消費電力機能有効 (注7)	—	3.1	13.5							
		RTC 動作時の増分	低 CL 水晶振動子使用時	—	0.6	—							
			標準 CL 水晶振動子使用時	—	2.0	—							
		VCCオフ時の RTC 動作 (バッテリーバックアップ機能により、RTC、サブクロック発振器のみ動作)		低 CL 水晶振動子使用時	—	0.9		—	V _{BATT} = 2.0V, VCC = 0V				
				—	1.6	—	V _{BATT} = 3.3V, VCC = 0V						
			標準 CL 水晶振動子使用時	—	1.7	—	V _{BATT} = 2.0V, VCC = 0V						
				—	3.3	—	V _{BATT} = 3.3V, VCC = 0V						

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO動作は除きます。

注3. I_{CC} は、下記の式にしたがって f (ICLK) に依存します。(ICLK:PCLKA:PCLKB/PCLKC/PCLKD:BCLK:BCLK端子 = 10:5:2.5:5:2.5 @EXTAL = 24MHz)

$I_{CC} \text{ max} = 0.47 \times f + 107$ (高速動作モード [最大動作] 時)

$I_{CC} \text{ typ} = 0.09 \times f + 7$ (高速動作モード [通常動作] 時)

$I_{CC} \text{ typ} = 0.50 \times f + 4$ (ICLK 1MHz max) (低速動作モード1時)

$I_{CC} \text{ max} = 0.14 \times f + 74$ (スリープ時)

注4. BGO動作は除きます。また、周辺機能のクロック供給、停止は、モジュールストップコントロールレジスタA~Dのビット設定による状態の違いのみになります。

注5. 周辺機能クロック停止状態は、FCLK=BCLK=PCLKA=PCLKB=PCLKC=PCLKD=BCLK端子=3.75MHz (64分周) に設定。コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ (プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレース実行した場合の増加分です。

注6. 低消費電力機能無効 DEEPCUT[1:0] = 01b

注7. 低消費電力機能有効 DEEPCUT[1:0] = 11b

表 5.6 DC 特性(4)

条件 : $V_{CC} = AVCC0 = AVCC1 = VREFH0 = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = VREFL0 = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
アナログ電源電流 (注1)	12ビットA/D変換中(ユニット0)		I _{CC}	—	0.7	1.1	mA	IAVCC0_AD
	12ビットA/D変換中(ユニット0) + チャンネル専用サンプル&ホールド(3ch分)			—	2.2	3.3	mA	IAVCC0_AD+SH
	12ビットA/D変換中(ユニット1)			—	0.7	1.1	mA	IAVCC1_AD
	12ビットA/D変換中(ユニット1) + 温度センサ			—	0.7	2.3	mA	IAVCC1_AD+TEMP
	D/A変換中 (1ユニット当り)	AMP出力なし		—	0.24	0.4	mA	IAVCC1_DA
		AMP出力あり		—	0.45	0.7	mA	
	A/D, D/A、温度センサ変換待機時(全ユニット)			—	0.9	1.6	mA	IAVCC0 + IAVCC1
	A/D, D/A、温度センサスタンバイ時(全ユニット)			—	1.3	5.0	μA	IAVCC0 + IAVCC1
リファレンス電源電流	12ビットA/D変換中(ユニット0)		I _{REFH}	—	70	120	μA	IVREFH0
	12ビットA/D変換待機時(ユニット0)			—	0.07	0.5	μA	IVREFH0
	12ビットA/Dスタンバイ時(ユニット0)			—	0.07	0.5	μA	IVREFH0
USB動作電流	ロースピード	USBb	I _{CCUSBLS}	—	3.5	6.5	mA	VCC_USB
		USBA		—	10.5	13.5	mA	VCC_USBA = AVCC_USBA (PHYSET.HSEB = 0)
		USBA		—	2.8	3.6	mA	VCC_USBA = AVCC_USBA (PHYSET.HSEB = 1)
	フルスピード	USBb	I _{CCUSBFS}	—	4.0	10.0	mA	VCC_USB
		USBA		—	14.0	22.0	mA	VCC_USBA = AVCC_USBA (PHYSET.HSEB = 0)
		USBA		—	6.5	13.0	mA	VCC_USBA = AVCC_USBA (PHYSET.HSEB = 1)
	ハイスピード	USBA	I _{CCUSBHS}	—	50.0	65.0	mA	VCC_USBA = AVCC_USBA
	スタンバイ時(ダイレクトパワーダウン)	USBA	I _{CCUSBSBY}	—	0.1	3.0	μA	VCC_USBA = AVCC_USBA
RAMスタンバイ電圧			V _{RAM}	2.7	—	—	V	
VCC立ち上がり勾配			SrVCC	8.4	—	20000	μs/V	
VCC立ち下がり勾配(注2)			SfVCC	8.4	—	—	μs/V	

注1. 12ビットAD(ユニット1)、D/Aは電源電流にリファレンス電流も含む値です。

注2. V_{BATT} を使用する場合に適用します。

表 5.7 熱抵抗値 (参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	PLQP0176KB-A	θ_{ja}	39.1	°C/W	JESD51-2 および JESD51-7 準拠
	PLQP0144KA-A		40.4		
	PLQP0100KB-A		41.3		
	PLBG0176GA-A		28.4		JESD51-2 および JESD51-9 準拠
	PTLG0177KA-A		27.7		
	PTLG0145KA-A		28.2		
	PTLG0100JA-A		20.6		
	PLQP0176KB-A	Ψ_{jt}	0.5	°C/W	JESD51-2 および JESD51-7 準拠
	PLQP0144KA-A		0.5		
	PLQP0100KB-A		0.5		
	PLBG0176GA-A		0.2		JESD51-2 および JESD51-9 準拠
	PTLG0177KA-A		0.2		
	PTLG0145KA-A		0.2		
	PTLG0100JA-A		0.2		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

表 5.8 出力許容電流

条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	2.0	mA
	全出力端子 (注2)	高駆動	I_{OL}	—	—	3.8	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	4.0	mA
	全出力端子 (注2)	高駆動	I_{OL}	—	—	7.6	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和		ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-2.0	mA
	全出力端子 (注2)	高駆動	I_{OH}	—	—	-3.8	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-4.0	mA
	全出力端子 (注2)	高駆動	I_{OH}	—	—	-7.6	mA
出力Highレベル許容電流 (総和)	全出力端子の総和		ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 5.8 の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

5.3 AC 特性

表 5.9 動作周波数 (高速動作モード)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)		f	—	—	240	MHz
	周辺モジュールクロック (PCLKA)			—	—	120	
	周辺モジュールクロック (PCLKB)			—	—	60	
	周辺モジュールクロック (PCLKC)			—	—	60	
	周辺モジュールクロック (PCLKD)			—	—	60	
	FlashIF クロック (FCLK)			— (注 1)	—	60	
	外部バスクロック (BCLK)	177～144 ピンのみ		—	—	120	
		100 ピンのみ		—	—	60	
	BCLK 端子出力	177～144 ピンのみ		—	—	60	
		100 ピンのみ		—	—	30	
	SDRAM クロック (SDCLK)	177～144 ピンのみ		—	—	60	
	SDCLK 端子出力	177～144 ピンのみ		—	—	60	

注 1. フラッシュメモリの書き換えを行う場合は、FCLK を 4MHz 以上としてください。

表 5.10 動作周波数 (低速動作モード 1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)		f	—	—	1	MHz
	周辺モジュールクロック (PCLKA)			—	—	1	
	周辺モジュールクロック (PCLKB)			—	—	1	
	周辺モジュールクロック (PCLKC) (注1)			—	—	1	
	周辺モジュールクロック (PCLKD) (注1)			—	—	1	
	FlashIF クロック (FCLK)			—	—	1	
	外部バスクロック (BCLK)	177～144 ピンのみ		—	—	1	
		100 ピンのみ		—	—	1	
	BCLK 端子出力	177～144 ピンのみ		—	—	1	
		100 ピンのみ		—	—	1	
	SDRAM クロック (SDCLK)	177～144 ピンのみ		—	—	1	
	SDCLK 端子出力	177～144 ピンのみ		—	—	1	

注 1. 12 ビット A/D コンバータを使用する場合、1MHz 以上の設定が必要です。

表 5.11 動作周波数 (低速動作モード2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$, $T_a = T_{opr}$

項目			記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)		f	32	—	264	kHz
	周辺モジュールクロック (PCLKA)			—	—	264	
	周辺モジュールクロック (PCLKB)			—	—	264	
	周辺モジュールクロック (PCLKC) (注1)			—	—	264	
	周辺モジュールクロック (PCLKD) (注1)			—	—	264	
	FlashIF クロック (FCLK)			32	—	264	
	外部バスクロック (BCLK)	177～144 ピンのみ		—	—	264	
		100 ピンのみ		—	—	264	
	BCLK 端子出力	177～144 ピンのみ		—	—	264	
		100 ピンのみ		—	—	264	
	SDRAM クロック (SDCLK)	177～144 ピンのみ		—	—	264	
	SDCLK 端子出力	177～144 ピンのみ		—	—	264	

注1. 12ビット A/D コンバータは使用できません。

5.3.1 リセットタイミング

表5.12 リセットタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	1	—	—	ms	図 5.1
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—	ms	図 5.2
	ソフトウェアスタンバイモード、 低速動作モード2	t _{RESWS}	0.3	—	—	ms	
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—	μs	
RES#解除後待機時間		t _{RESWT}	62	—	63	t _{Lcyc}	図 5.1
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセッ ト、ソフトウェアリセット)		t _{RESW2}	108	—	116	t _{Lcyc}	

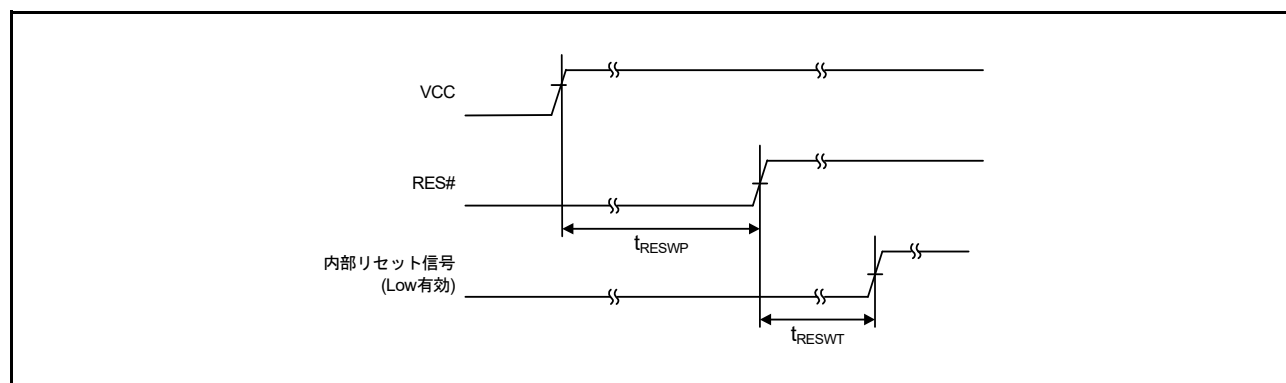


図 5.1 電源投入時リセット入力タイミング

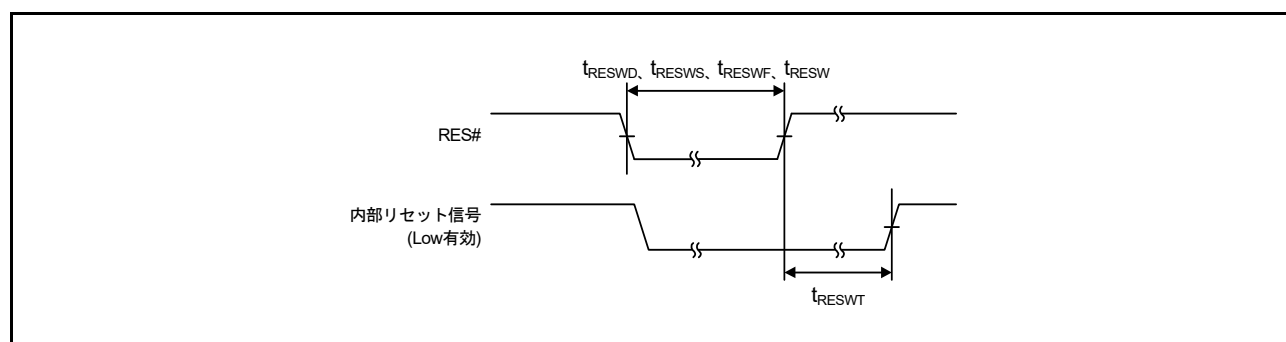


図 5.2 リセット入力タイミング

5.3.2 クロックタイミング

表5.13 BCLK端子出力、SDCLK端子出力クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	177～144ピン	t_{Bcyc}	16.6	—	—	ns	図5.3
	100ピン以下		33.2	—	—	ns	
BCLK端子出力Highレベルパルス幅		t_{CH}	3.3	—	—	ns	
BCLK端子出力Lowレベルパルス幅		t_{CL}	3.3	—	—	ns	
BCLK端子出力立ち上がり時間		t_{Cr}	—	—	5	ns	
BCLK端子出力立ち下がり時間		t_{Cf}	—	—	5	ns	
SDCLK端子出力サイクル時間	177～144ピン	t_{SDcyc}	16.6	—	—	ns	
SDCLK端子出力Highレベルパルス幅		t_{CH}	3.3	—	—	ns	
SDCLK端子出力Lowレベルパルス幅		t_{CL}	3.3	—	—	ns	
SDCLK端子出力立ち上がり時間		t_{Cr}	—	—	5	ns	
SDCLK端子出力立ち下がり時間		t_{Cf}	—	—	5	ns	

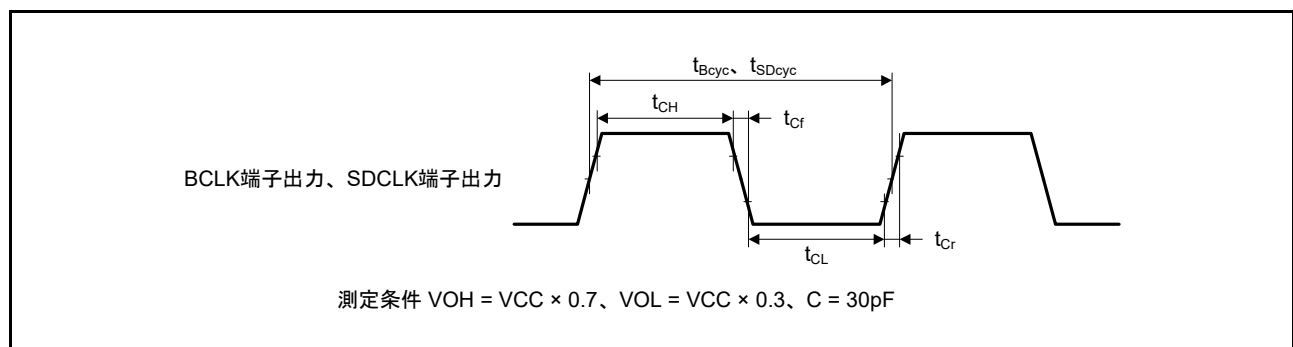


図 5.3 BCLK 端子出力、SDCLK 端子出力タイミング

表 5.14 EXTAL クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図 5.4
EXTAL 外部クロック入力パルス幅 High レベル	t_{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力パルス幅 Low レベル	t_{EXL}	15.83	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	5	ns	

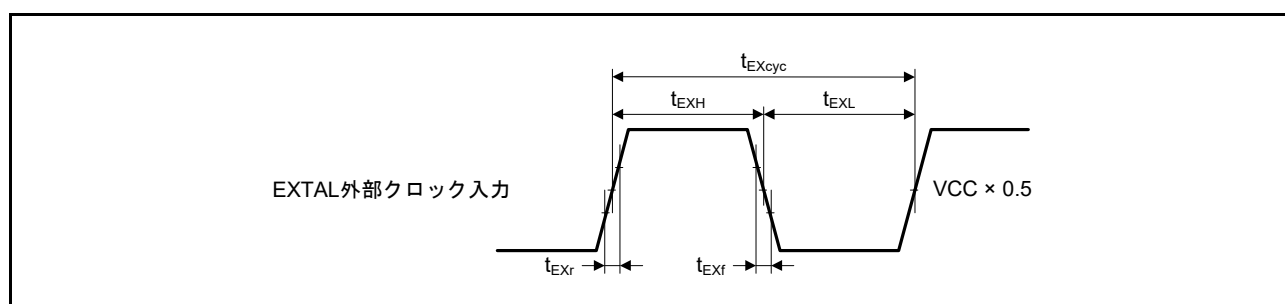


図 5.4 EXTAL 外部クロック入力タイミング

表 5.15 メインクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図 5.5
メインクロック発振安定時間(水晶)	$t_{MAINOSC}$	—	—	(注 1)	ms	
メインクロック発振安定待機時間(水晶)	$t_{MAINOSCWT}$	—	—	(注 2)	ms	

- 注 1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。
- 注 2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0] ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{MAINOSCWT} = [(MSTS[7:0] \text{ ビット} \times 32) + 10] / f_{LOCO}$

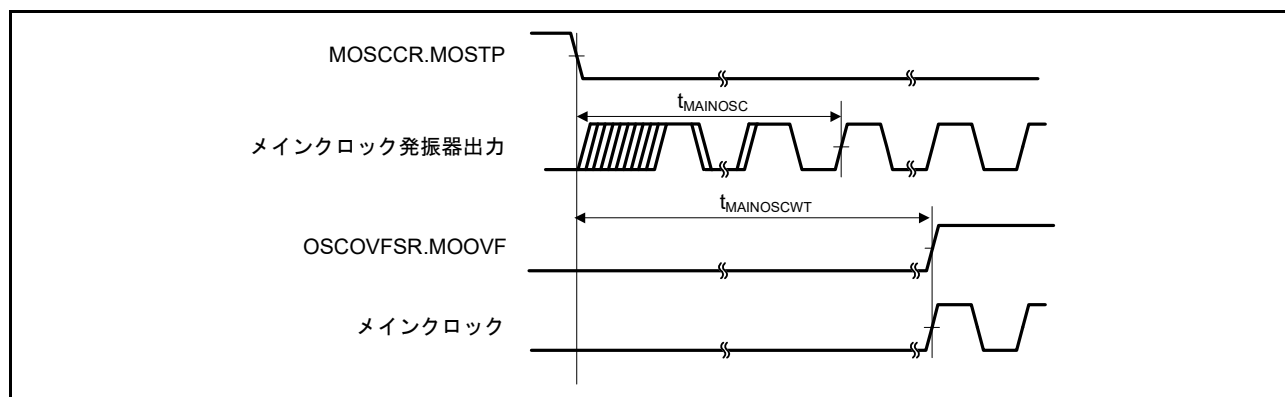


図 5.5 メインクロック発振開始タイミング

表 5.16 LOCO, IWDTC 専用低速クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCO クロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCO クロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	44	μs	図 5.6
IWDTC 専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26	μs	
IWDTC 専用低速クロック発振周波数	f_{ILOCO}	108	120	132	kHz	
IWDTC 専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図 5.7

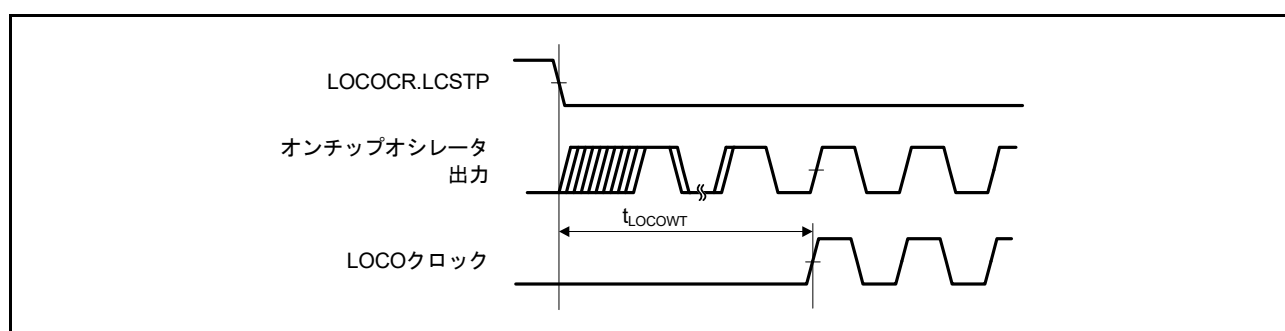


図 5.6 LOCO クロック発振開始タイミング

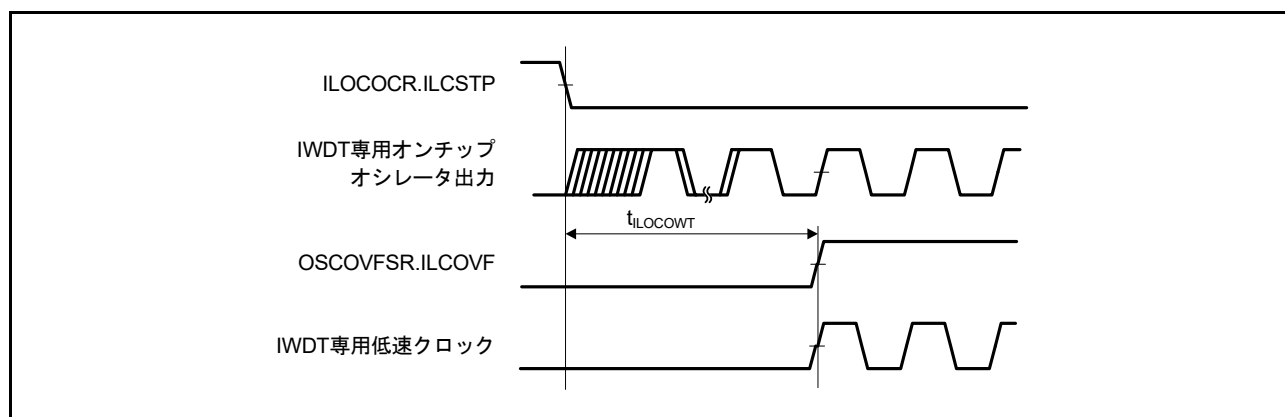


図 5.7 IWDTC 専用低速クロック発振開始タイミング

表5.17 HOCOクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f_{HOCO}	15.61	16	16.39	MHz	$-20^{\circ}\text{C} \leq T_a \leq 85^{\circ}\text{C}$
		17.56	18	18.44	MHz	
		19.52	20	20.48	MHz	
		15.52	16	16.48	MHz	$-40^{\circ}\text{C} \leq T_a < -20^{\circ}\text{C}$
		17.46	18	18.54	MHz	
		19.40	20	20.60	MHz	
HOCOクロック発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図 5.8
HOCOクロック電源安定時間	t_{HOCOP}	—	—	150	μs	図 5.9

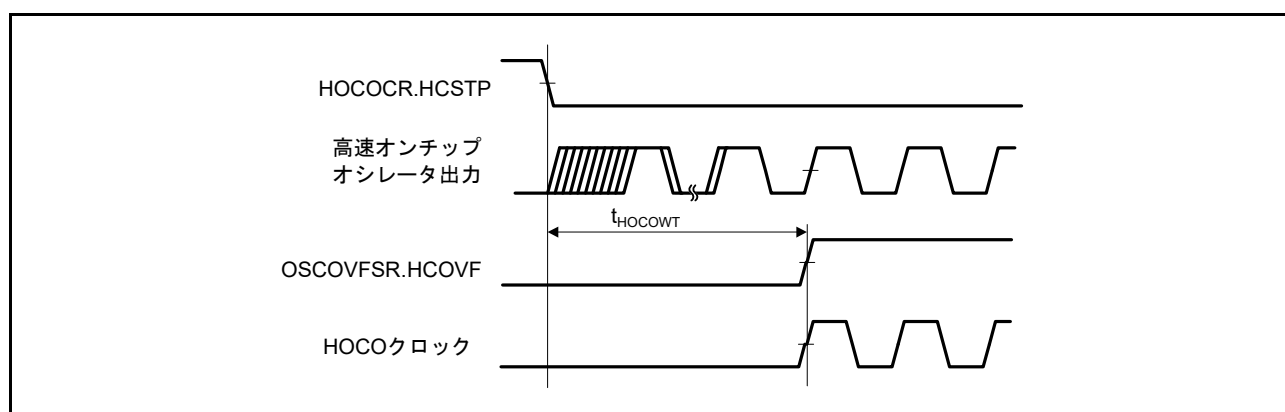


図 5.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

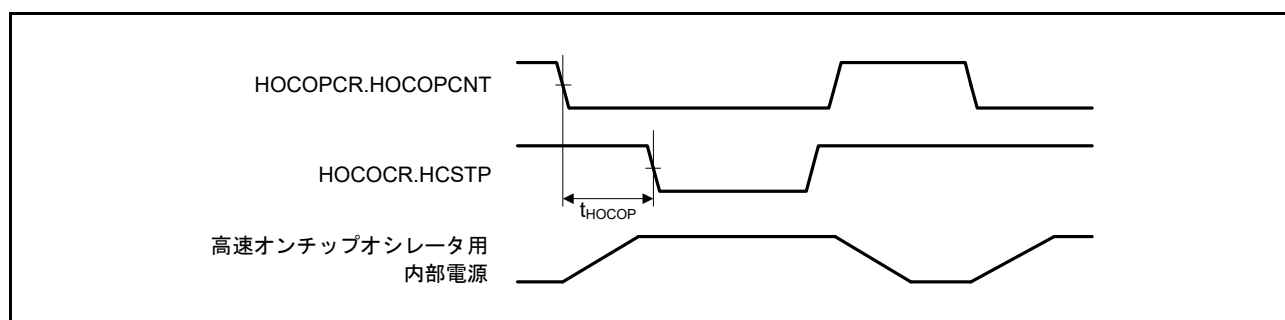


図 5.9 高速オンチップオシレータ電源制御タイミング

表 5.18 PLL クロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLL クロック 発振周波数	f_{PLL}	120	—	240	MHz	
PLL クロック 発振安定待機時間	t_{PLLWT}	—	259	320	μs	図 5.10

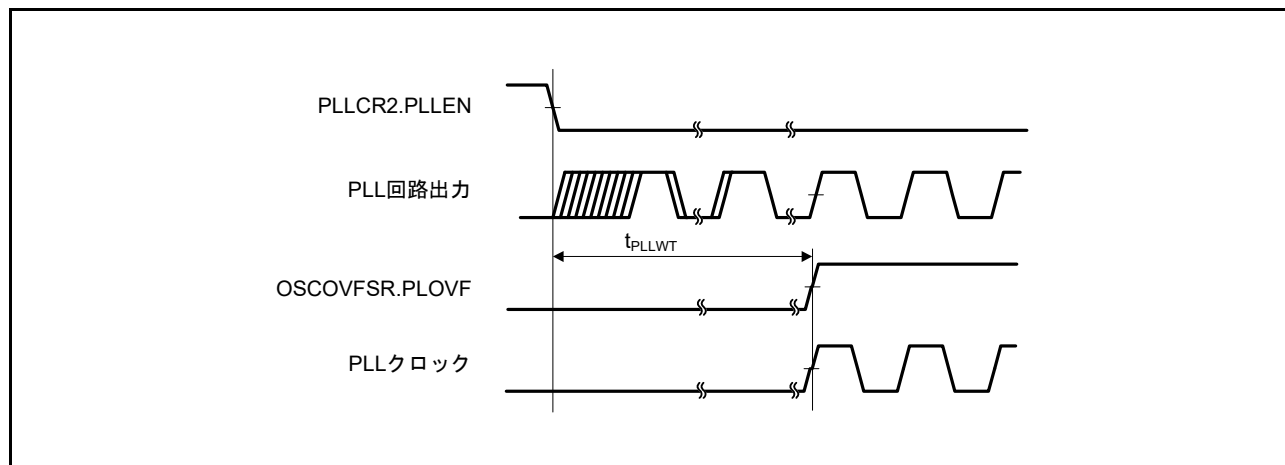


図 5.10 PLL クロック 発振開始タイミング

表 5.19 サブクロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$ 、 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
サブクロック 発振器 発振周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック 発振安定時間	t_{SUBOSC}	—	—	(注 1)	s	図 5.11
サブクロック 発振安定待機時間	$t_{SUBOSCWT}$	—	—	(注 2)	s	

注 1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. サブクロック 発振安定待機時間は、 $SOSCWTCSR.SSTS[7:0]$ ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{LOCO}$$

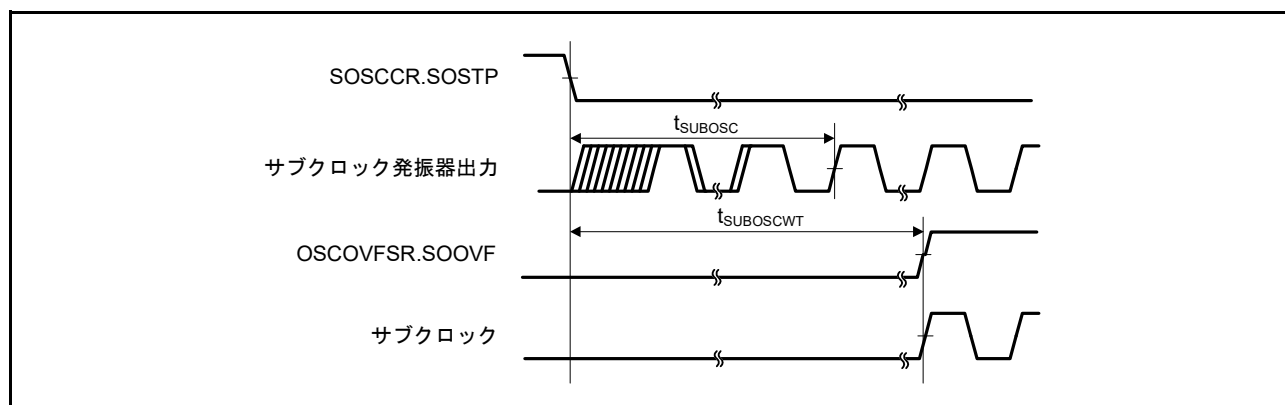


図 5.11 サブクロック 発振開始タイミング

5.3.3 低消費電力状態からの復帰タイミング

表 5.20 低消費電力状態からの復帰タイミング(1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100\mu s + 7/f_{ICLK} + 2n/f_{MAIN}$	μs	図 5.12
		メインクロック発振器、PLL 回路動作	t_{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100\mu s + 7/f_{ICLK} + 2n/f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}			352	$100\mu s + 7/f_{ICLK} + 2n/f_{EXMAIN}$		
		メインクロック発振器、PLL 回路動作	t_{SBYPE}			639	$100\mu s + 7/f_{ICLK} + 2n/f_{PLL}$		
	サブクロック発振器動作		t_{SBYSC}			$\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10/f_{FCLK}$	$100\mu s + 4/f_{ICLK} + 2n/f_{SUB}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}			454	$100\mu s + 7/f_{ICLK} + 2n/f_{HOCO}$		
		高速オンチップオシレータ動作、PLL 回路動作	t_{SBYPH}			741	$100\mu s + 7/f_{ICLK} + 2n/f_{PLL}$		
	低速オンチップオシレータ動作 (注4)		t_{SBYLO}			338	$100\mu s + 7/f_{ICLK} + 2n/f_{LOCO}$		

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。

注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は $t_{SBYOSCWT}$ の内、最も大きな値が選択されます。

注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注4. 本条件は、 $f_{ICLK}:f_{FCLK} = 1:1, 2:1, 4:1$ の場合に適用されます。

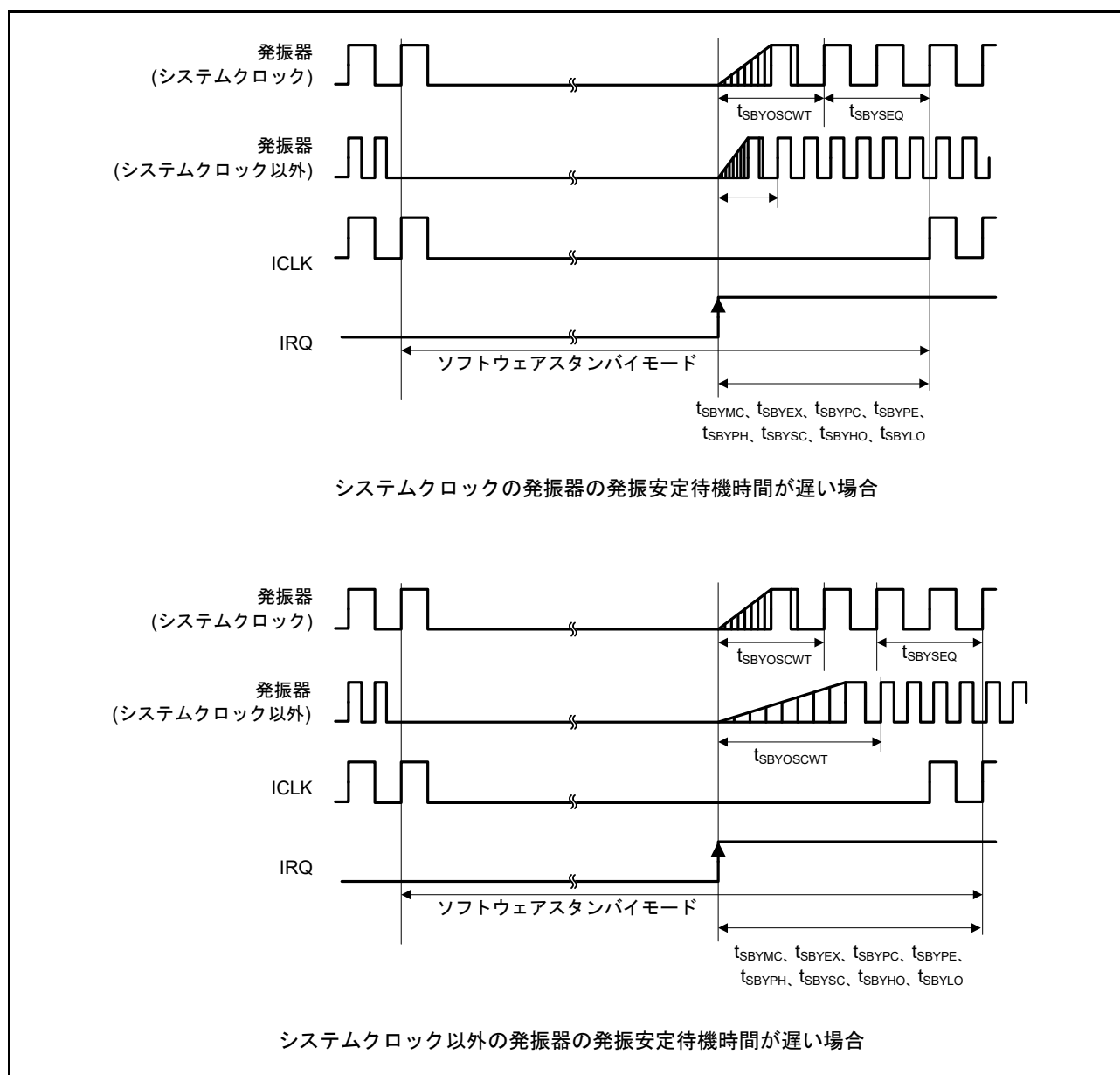


図 5.12 ソフトウェアスタンバイモード解除タイミング

表5.21 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図 5.13
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	31	—	32	t_{Lcyc}	

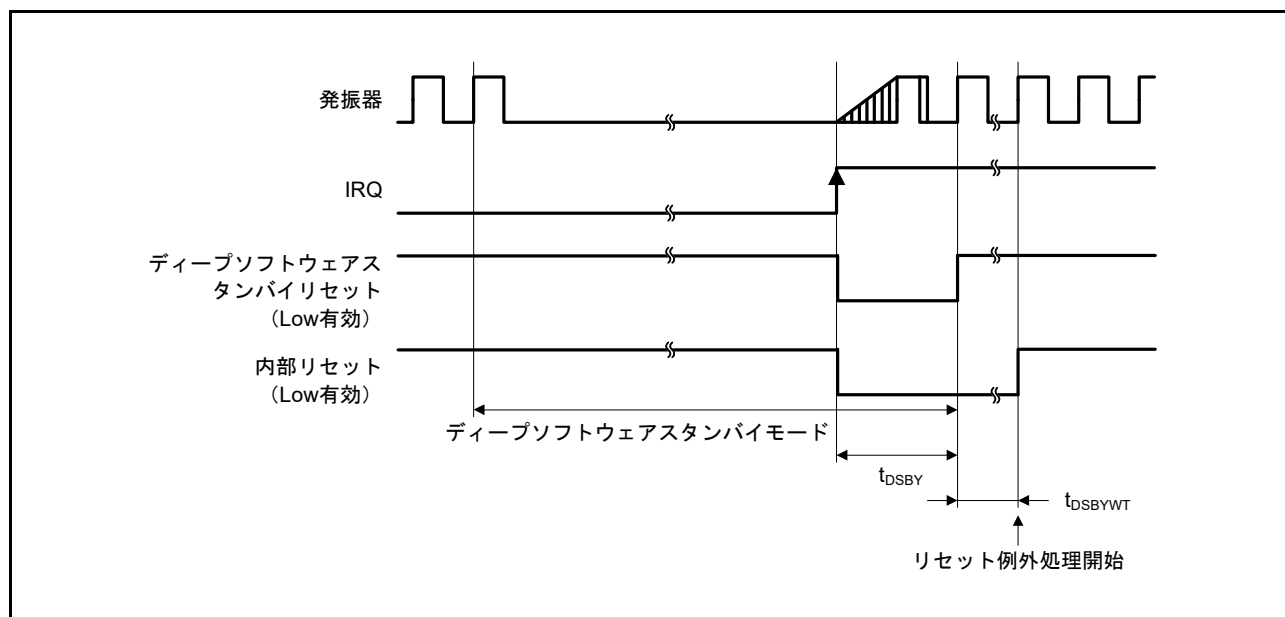


図 5.13 ディープソフトウェアスタンバイモード解除タイミング

5.3.4 制御信号タイミング

表5.22 制御信号タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PLCKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 5.14
		$t_{PBcyc} \times 2$	—	—	ns	$t_{PBcyc} \times 2 > 200ns$ 、図 5.14
IRQパルス幅	t_{IRQW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 5.15
		$t_{PBcyc} \times 2$	—	—	ns	$t_{PBcyc} \times 2 > 200ns$ 、図 5.15

注1. t_{PBcyc} : PCLKBの周期

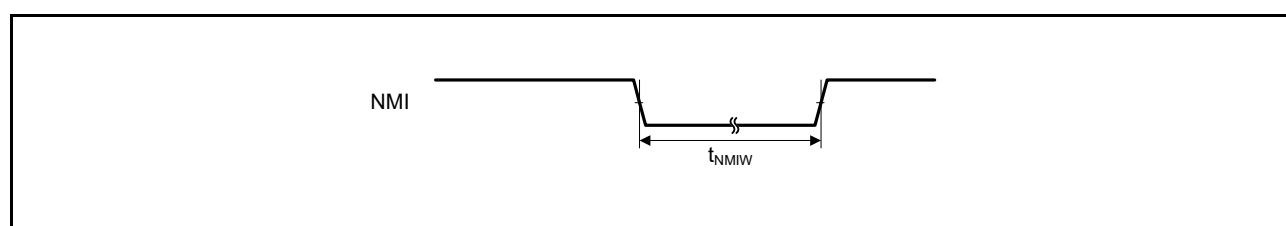


図 5.14 NMI 割り込み入力タイミング

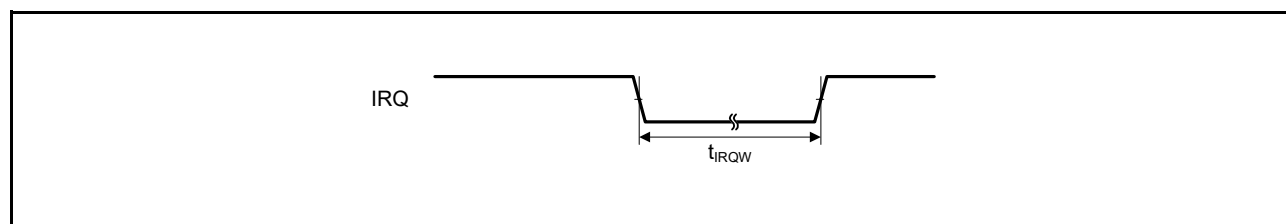


図 5.15 IRQ 割り込み入力タイミング

5.3.5 バスタイミング

表 5.23 バスタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $ICLK = 8 \sim 240MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	12.5	ns	図 5.16 ~ 図 5.21
バイトコントロール遅延時間	t_{BCD}	—	12.5	ns	
CS#遅延時間	t_{CSD}	—	12.5	ns	
ALE 遅延時間	t_{ALED}	—	12.5	ns	
RD#遅延時間	t_{RSD}	—	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	12.5	ns	
ライトデータ遅延時間	t_{WDD}	—	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	ns	図 5.22
WAIT#ホールド時間	t_{WTH}	0	—	ns	
アドレス遅延時間 2 (SDRAM)	t_{AD2}	1	12.5	ns	図 5.23
CS#遅延時間 2 (SDRAM)	t_{CSD2}	1	12.5	ns	
DQM遅延時間 (SDRAM)	t_{DQMD}	1	12.5	ns	
CKE 遅延時間 (SDRAM)	t_{CKED}	1	12.5	ns	
リードデータセットアップ時間 2 (SDRAM)	t_{RDS2}	10	—	ns	
リードデータホールド時間 2 (SDRAM)	t_{RDH2}	0	—	ns	
ライトデータ遅延時間 2 (SDRAM)	t_{WDD2}	—	12.5	ns	
ライトデータホールド時間 2 (SDRAM)	t_{WDH2}	1	—	ns	
WE#遅延時間 (SDRAM)	t_{WED}	1	12.5	ns	
RAS#遅延時間 (SDRAM)	t_{RASD}	1	12.5	ns	
CAS#遅延時間 (SDRAM)	t_{CASD}	1	12.5	ns	

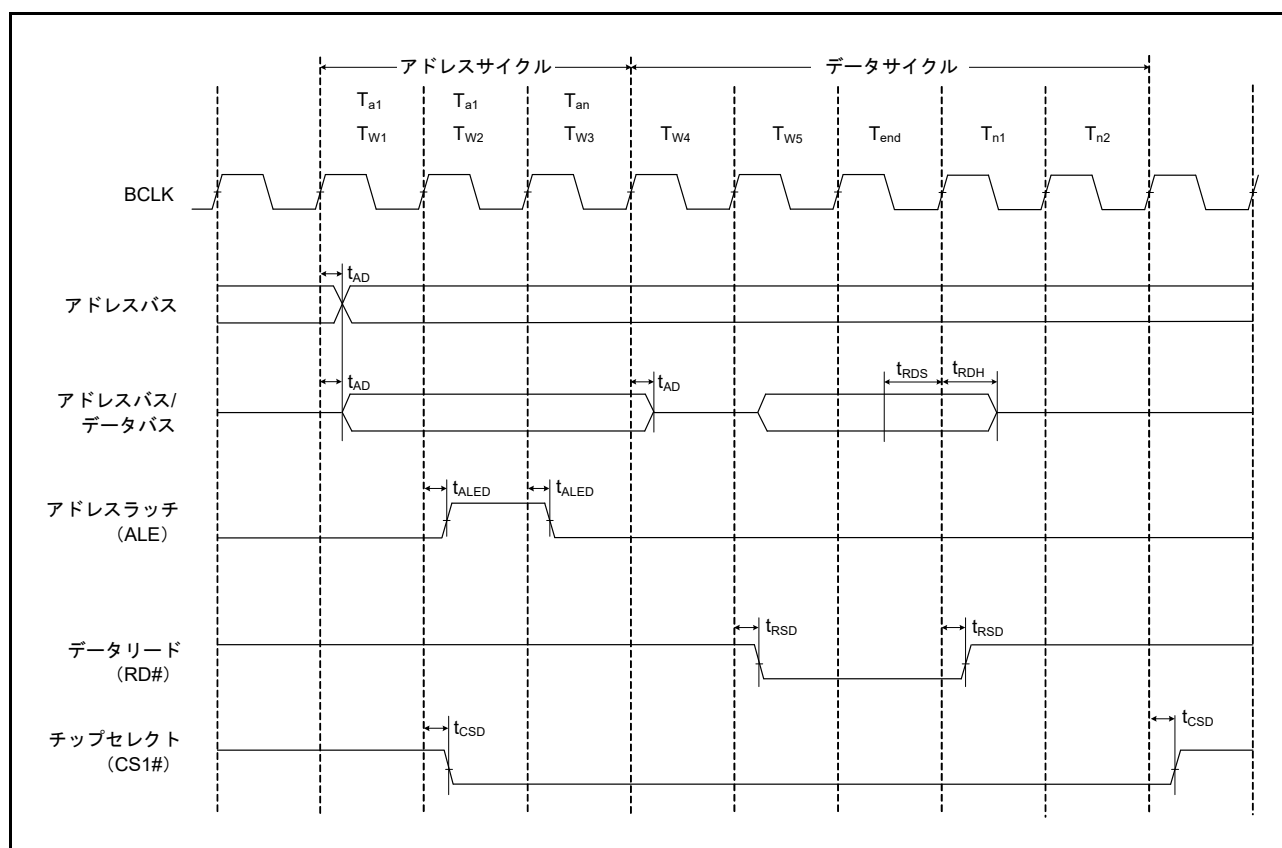


図 5.16 アドレス / データマルチプレクスバスのリードアクセスタイミング

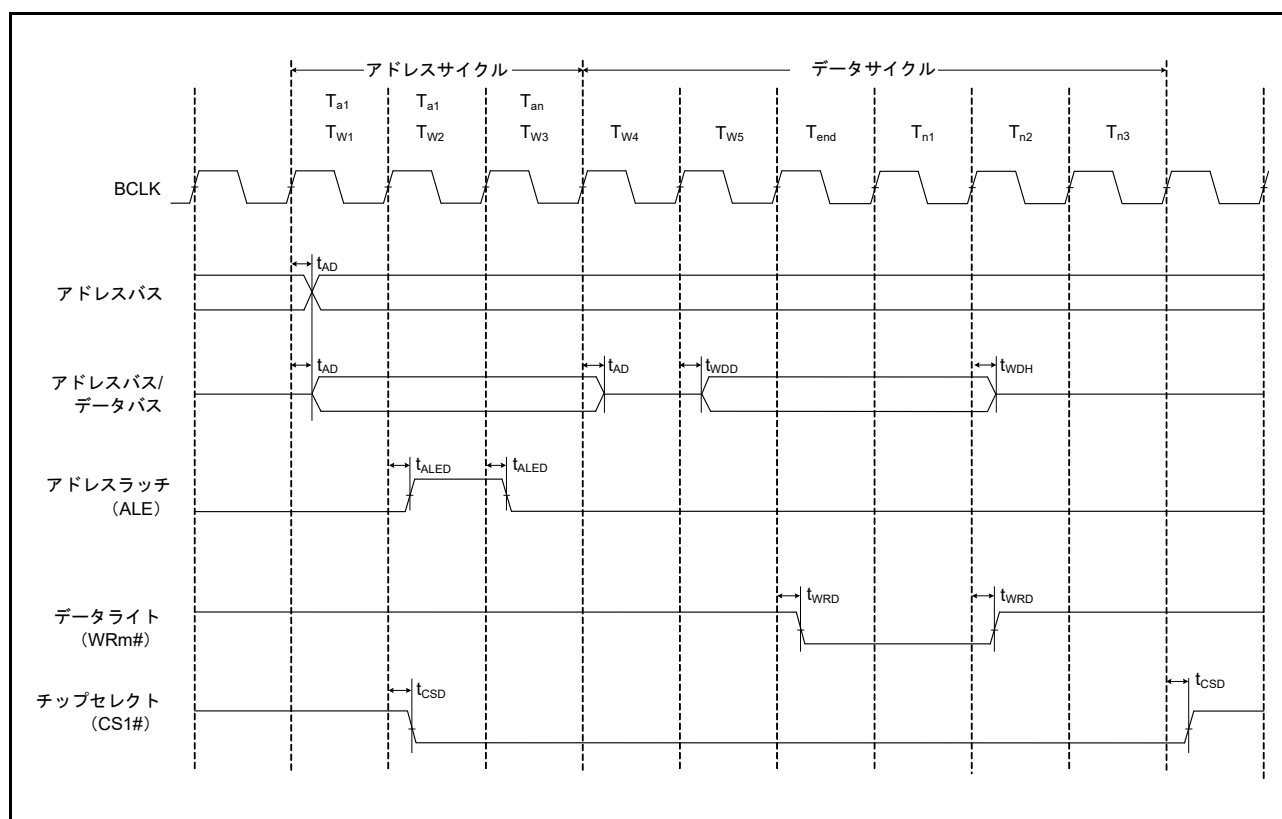


図 5.17 アドレス / データマルチプレクスバスのライトアクセスタイミング

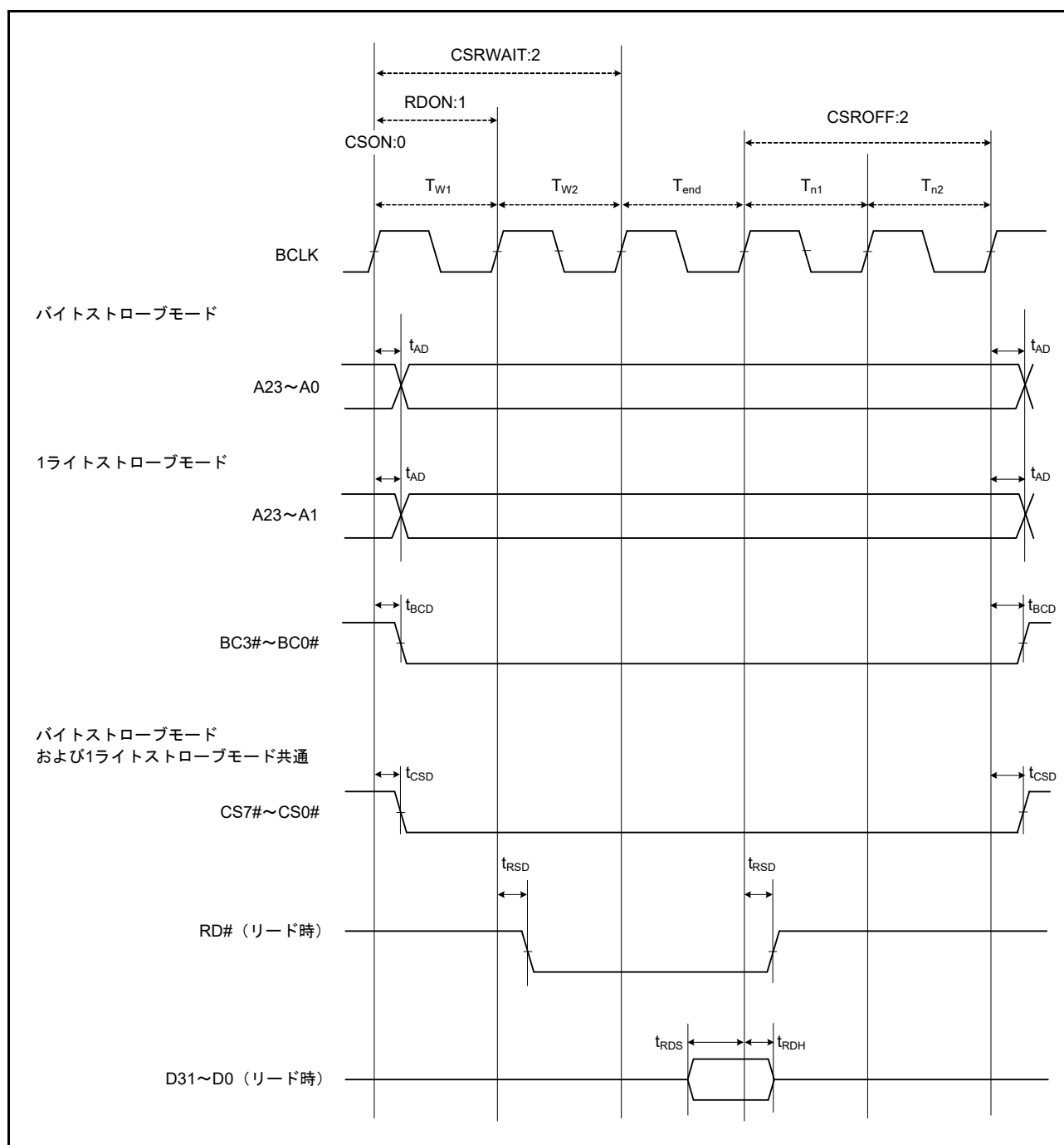


図 5.18 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

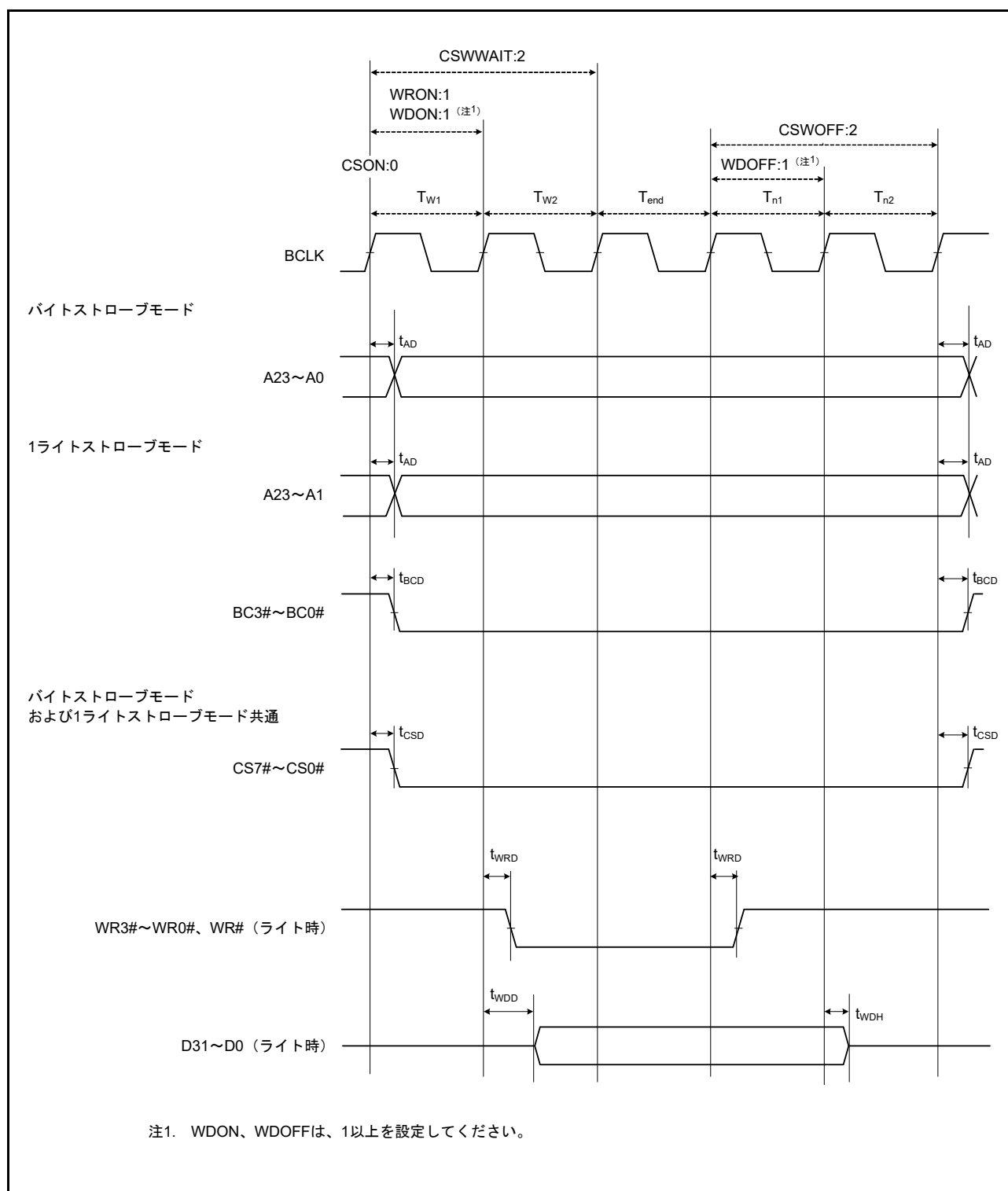


図 5.19 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

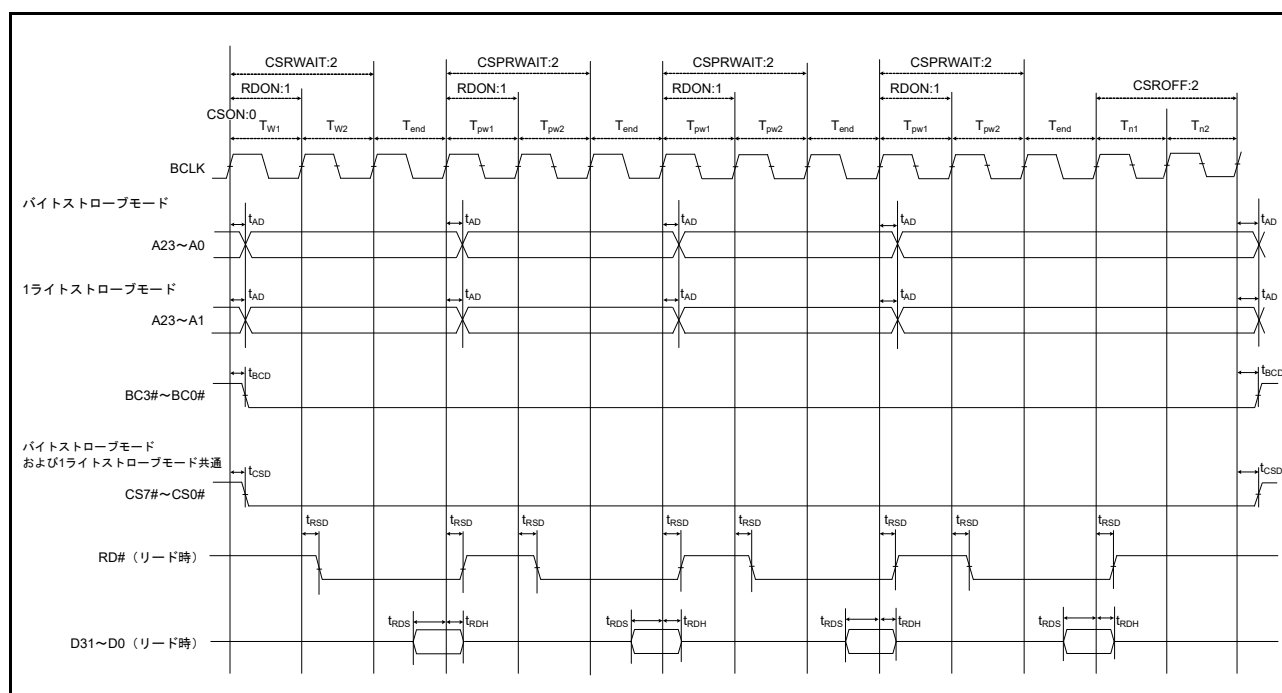


図 5.20 外部バスタイミング / ページリードサイクル (バスクロック同期)

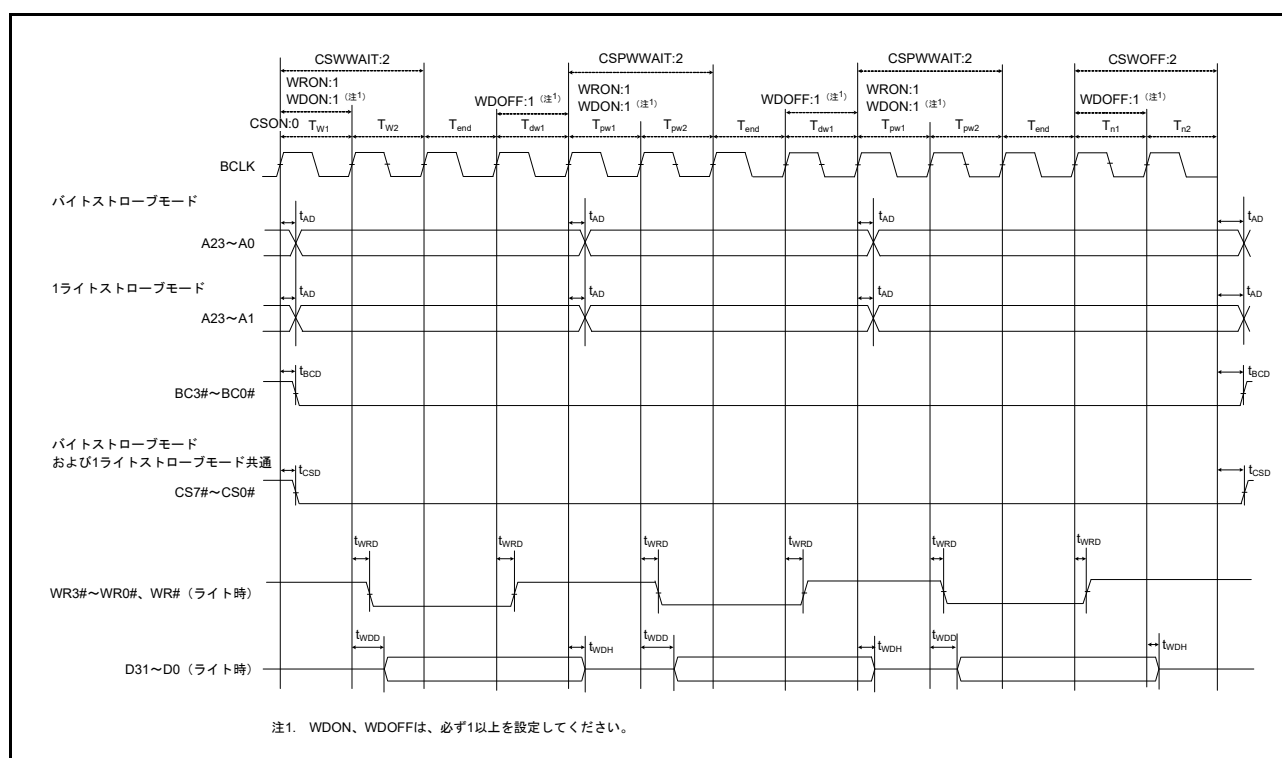


図 5.21 外部バスタイミング / ページライトサイクル (バスクロック同期)

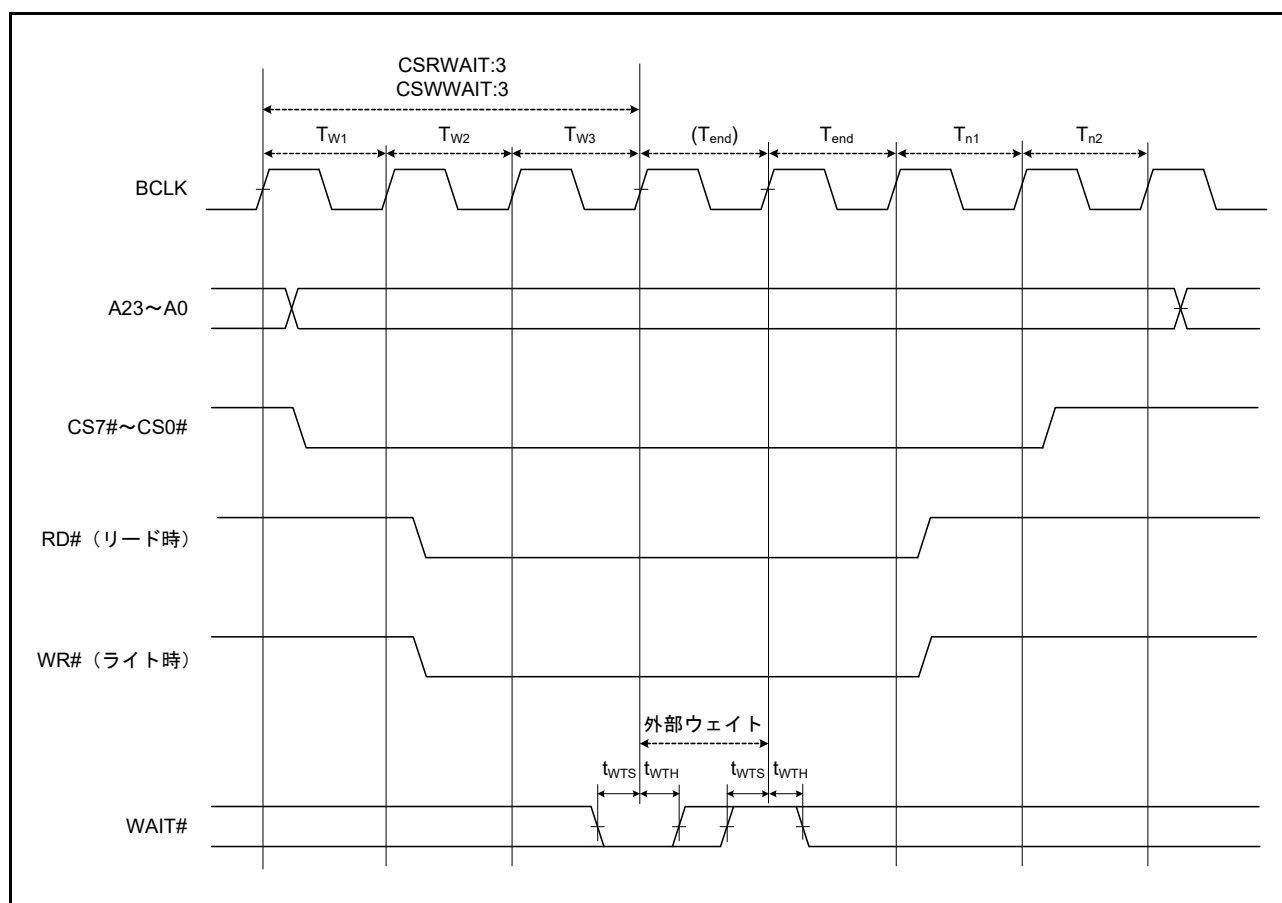


図 5.22 外部バスタイミング / 外部ウェイト制御

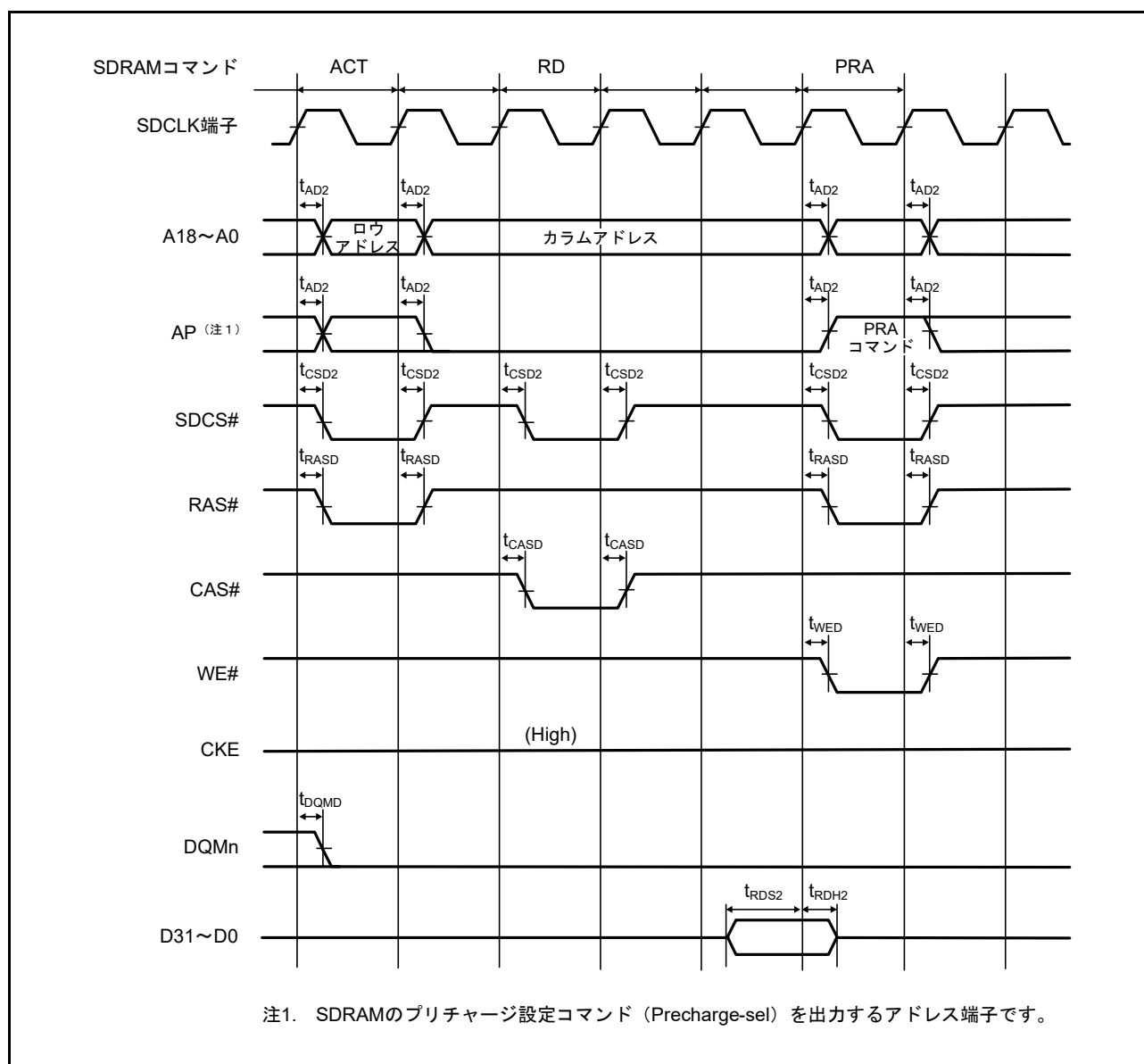


図 5.23 SDRAM 空間シングルリードバスタイミング

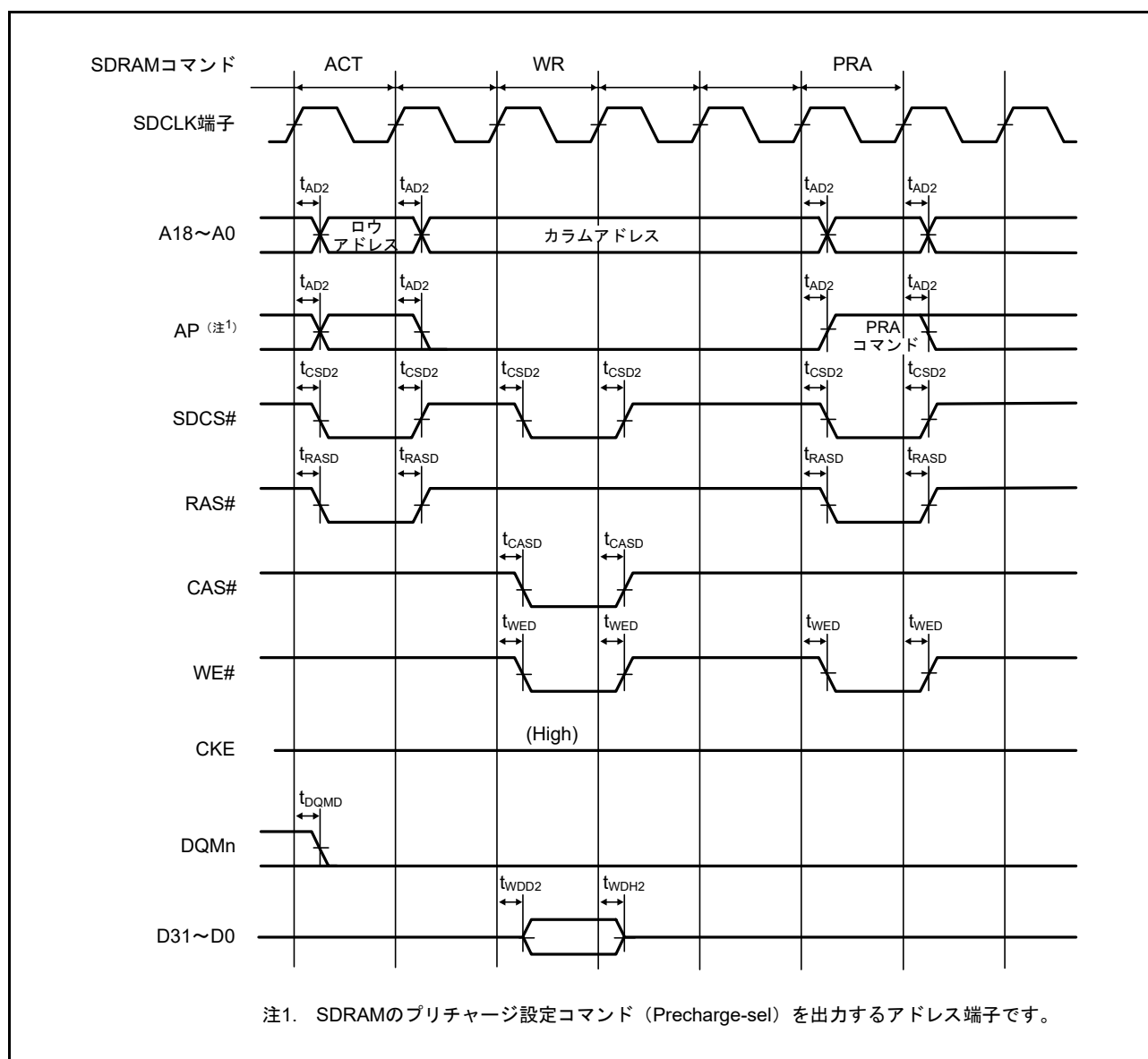
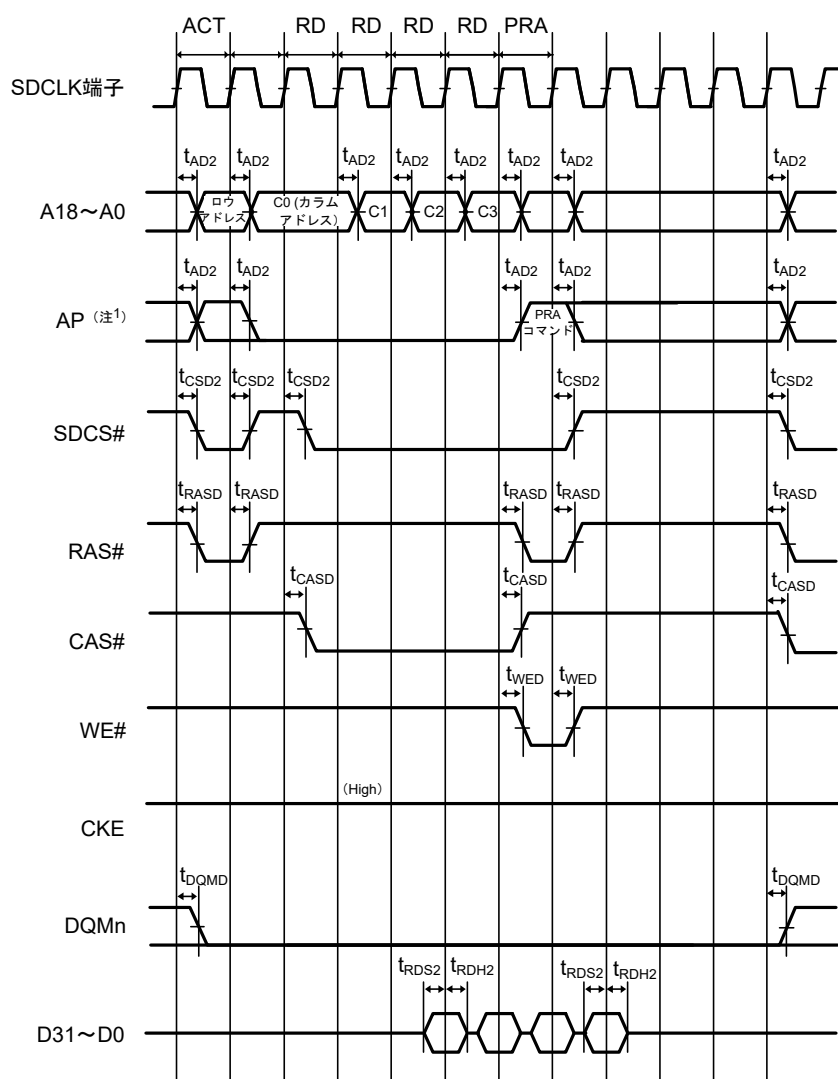
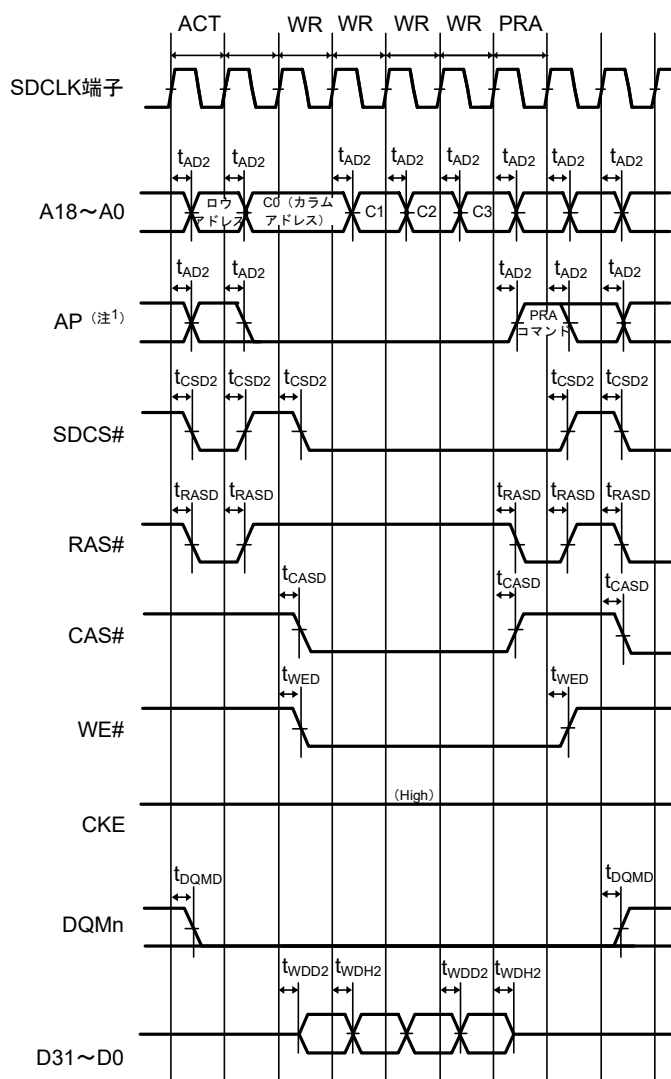


図 5.24 SDRAM 空間シングルライトバスタイミング



注1. SDRAMのプリチャージ設定コマンド (Precharge-sel) を出力するアドレス端子です。

図 5.25 SDRAM 空間複数リードバスタイミング



注1. SDRAMのプリチャージ設定コマンド (Precharge-sel) を出力するアドレス端子です。

図 5.26 SDRAM 空間複数ライトバスタイミング

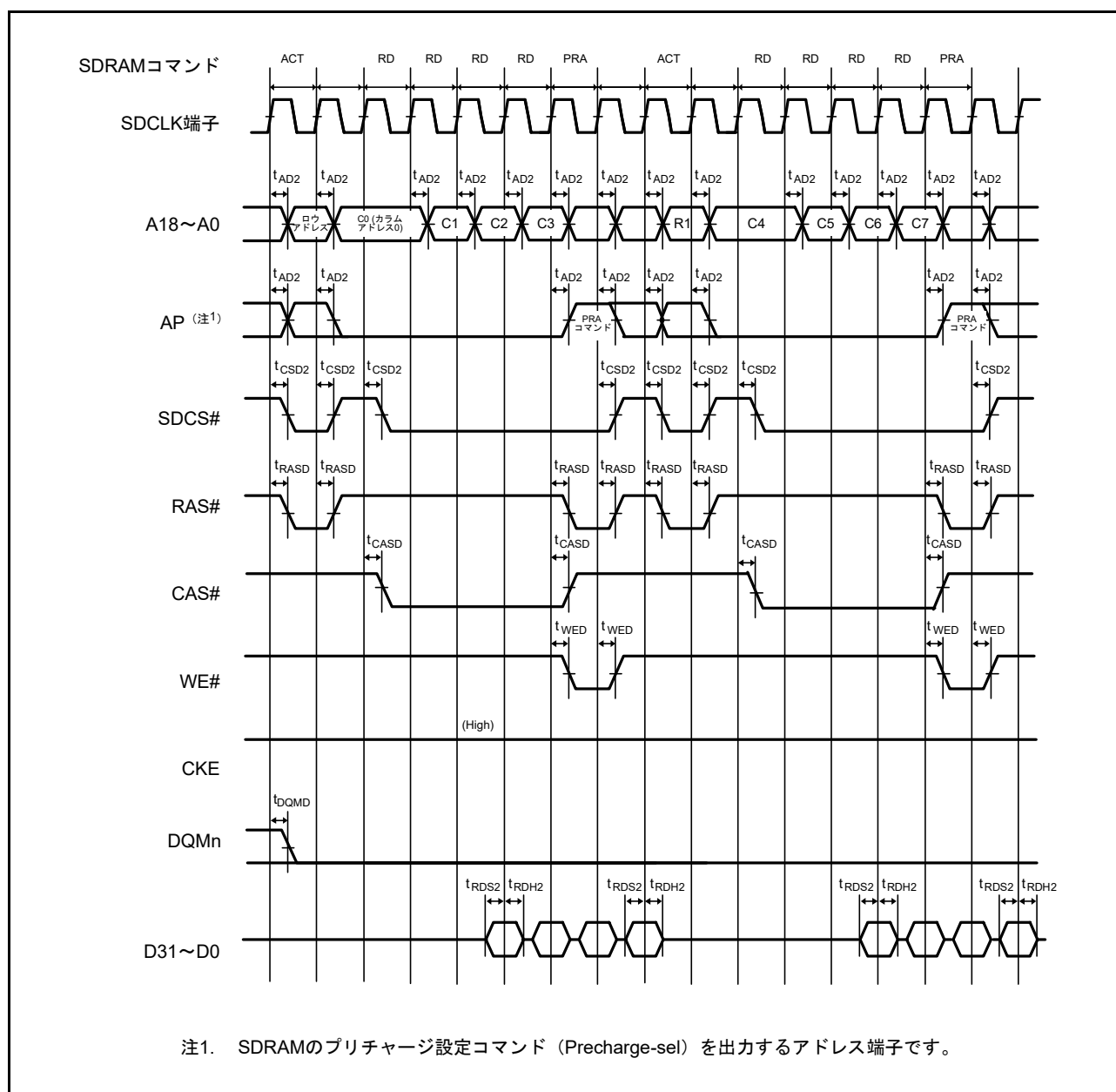
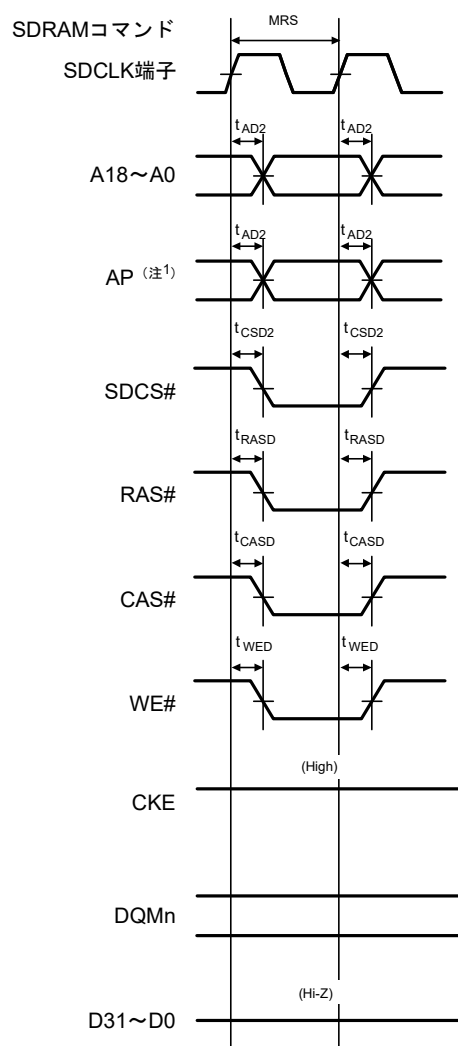


図 5.27 SDRAM 空間複数リード行またぎバスタイミング



注1. SDRAMのプリチャージ設定コマンド (Precharge-sel) を出力するアドレス端子です。

図 5.28 SDRAM 空間モードレジスタセットバスタイミング

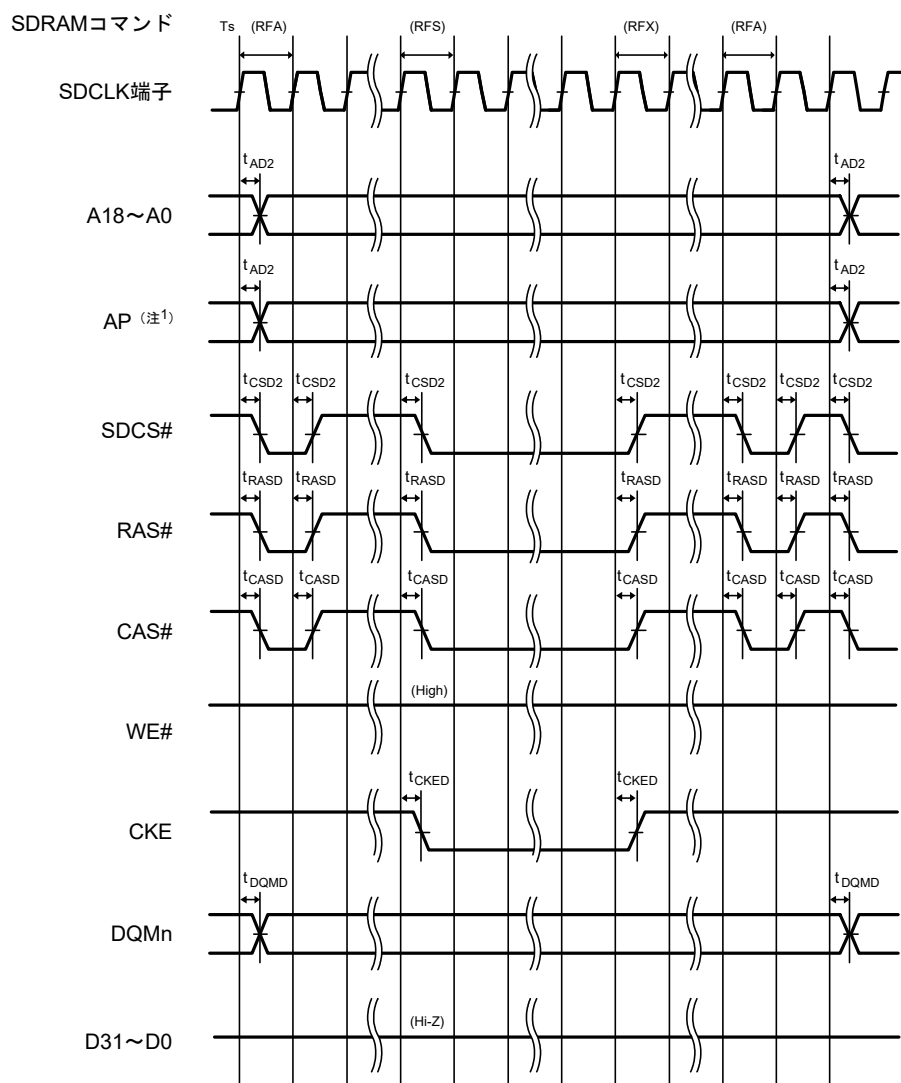


図 5.29 SDRAM 空間セルフリフレッシュバスタイミング

5.3.6 EXDMAC タイミング

表 5.24 EXDMAC タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $ICLK = 8 \sim 240MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	13	—	図 5.30
	EDREQ ホールド時間	t_{EDRQH}	2	—	
	EDACK 遅延時間	t_{EDACD}	—	13	図 5.31、 図 5.32

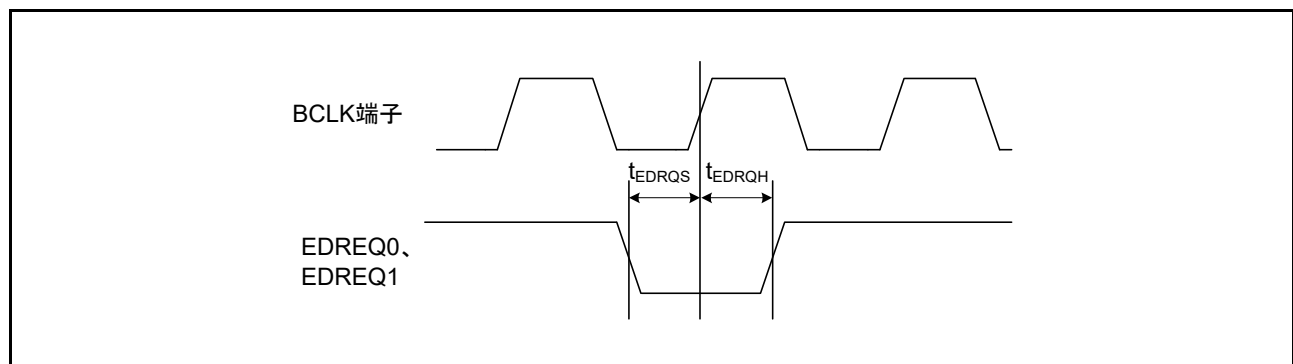


図 5.30 EDREQ0, EDREQ1 入カタイミング

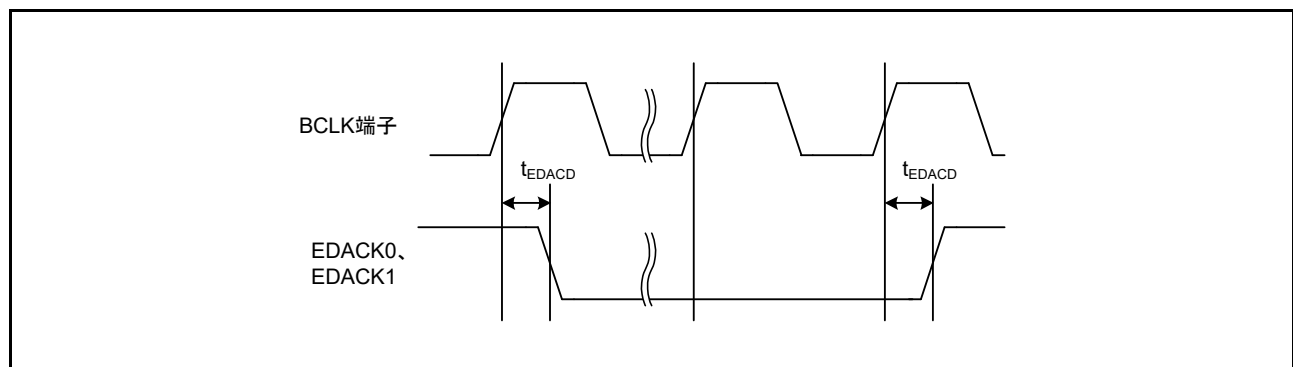


図 5.31 EDACK0, EDACK1 シングルアドレス転送タイミング (CS 領域)

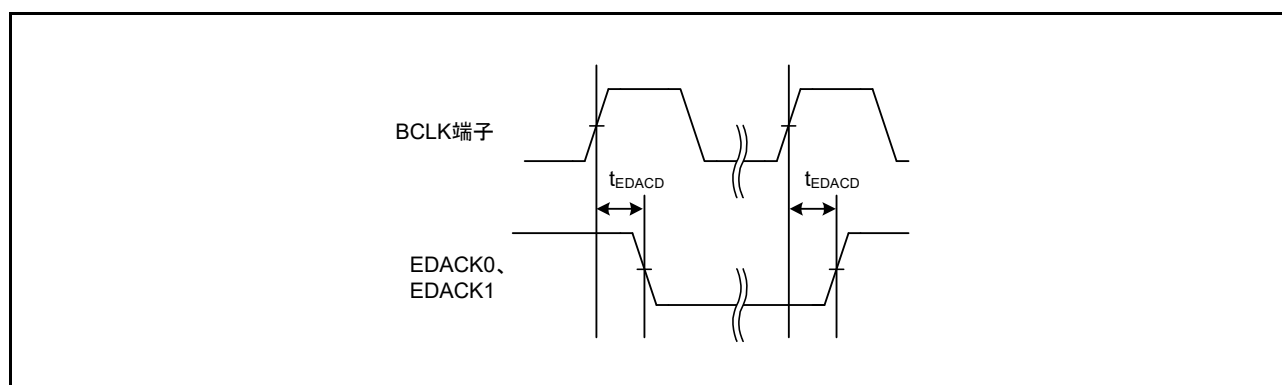


図 5.32 EDACK0, EDACK1 シングルアドレス転送タイミング (SDRAM 領域)

5.3.7 内蔵周辺モジュールタイミング

表5.25 I/Oポートタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図5.33

注1. t_{PBcyc} : PCLKBの周期

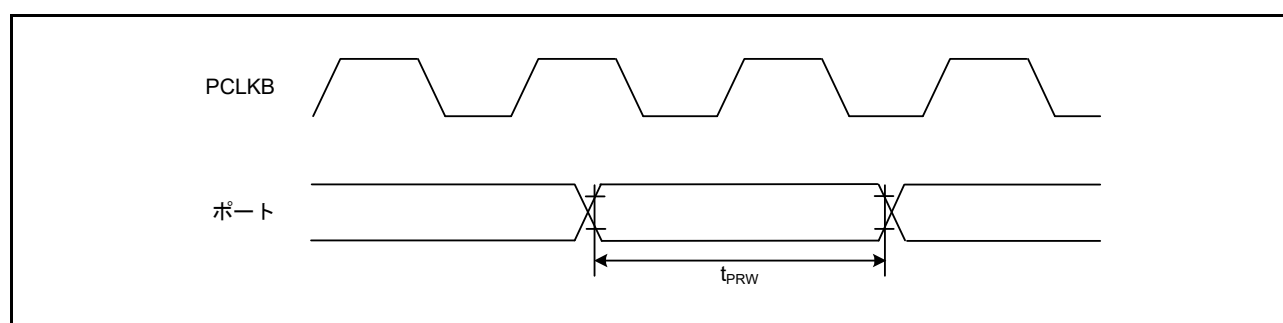


図 5.33 I/Oポート入力タイミング

表5.26 TPU タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	1.5	—	t_{PBcyc}	図5.34
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} , t_{TCKWL}	1.5	—	t_{PBcyc}	図5.35
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PBcyc} : PCLKBの周期

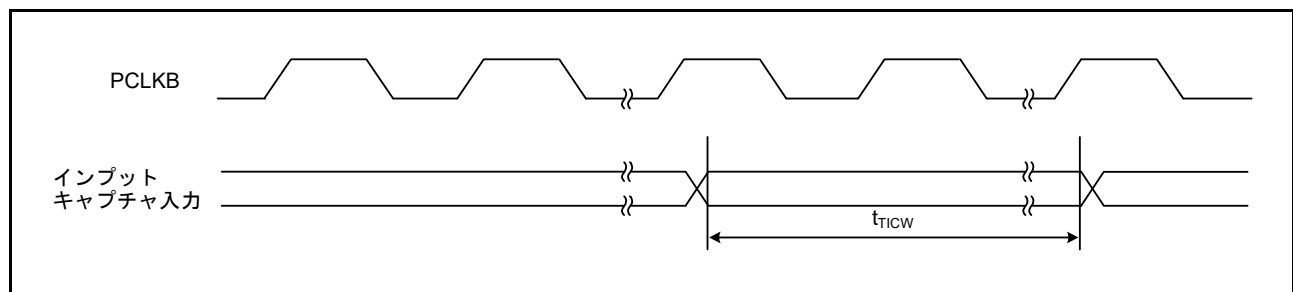


図 5.34 TPU インプットキャプチャ入力タイミング

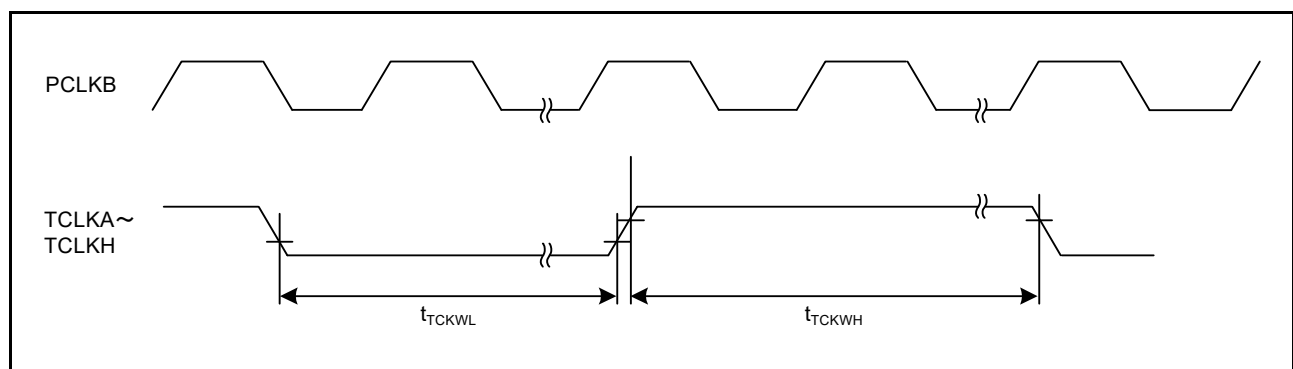


図 5.35 TPU クロック入力タイミング

表 5.27 TMR タイミング

条件: $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件: $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} , t_{TMCWL}	1.5	—	t_{PBcyc}	図 5.36
		両エッジ指定		2.5	—		

注 1. t_{PBcyc} : PCLKB の周期

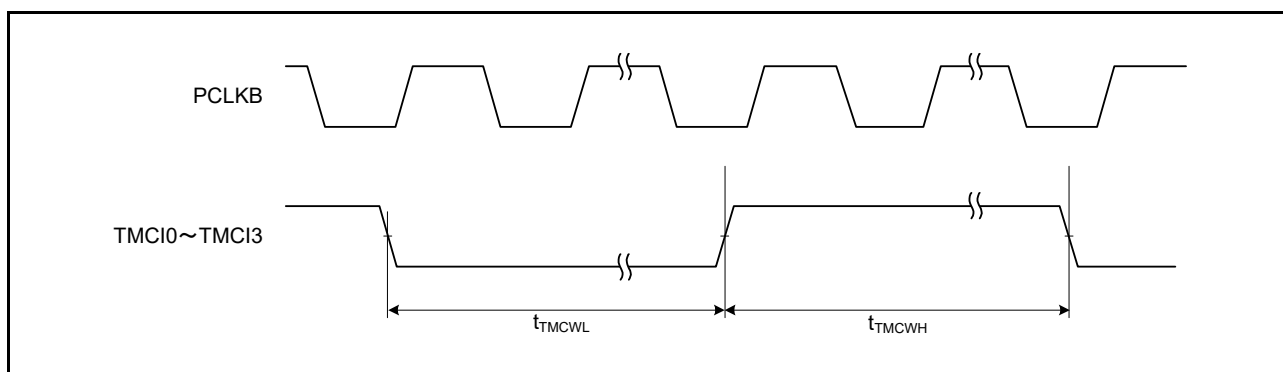


図 5.36 TMR クロック入力タイミング

表 5.28 CMTW タイミング

条件: $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件: $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力 パルス幅	単エッジ指定	$t_{CMTWTICW}$	1.5	—	t_{PBcyc}	図 5.37
		両エッジ指定		2.5	—		

注 1. t_{PBcyc} : PCLKB の周期

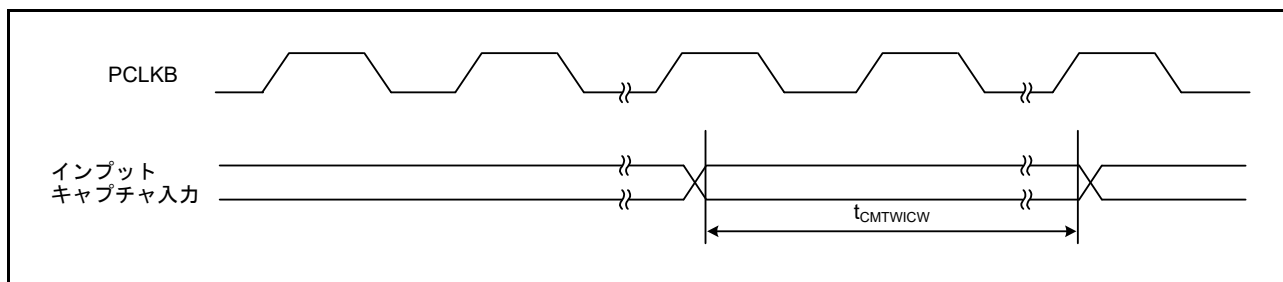


図 5.37 CMTW インプットキャプチャ入力タイミング

表5.29 MTU3 タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PAcyc}	図5.38
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	t_{PAcyc}	図5.39
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PAcyc} : PCLKAの周期

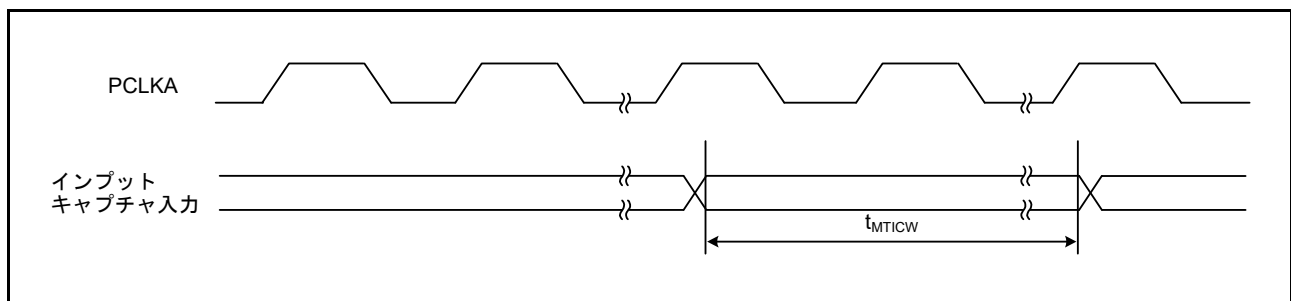


図 5.38 MTU3 インプットキャプチャ入力タイミング

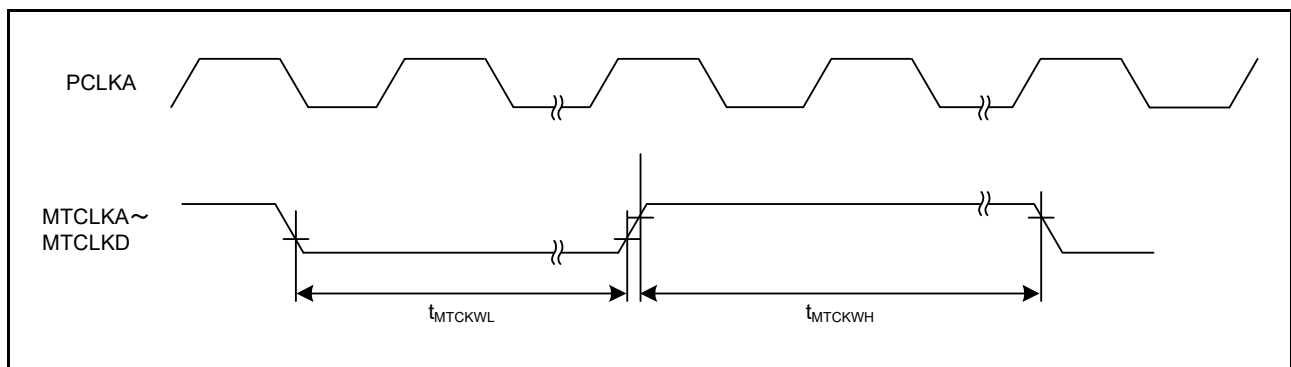


図 5.39 MTU3 クロック入力タイミング

表5.30 POE3 タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
POE	POE#入力パルス幅	t_{POEW}	1.5	—	t_{PBcyc}	図5.40

注1. t_{PBcyc} : PCLKBの周期

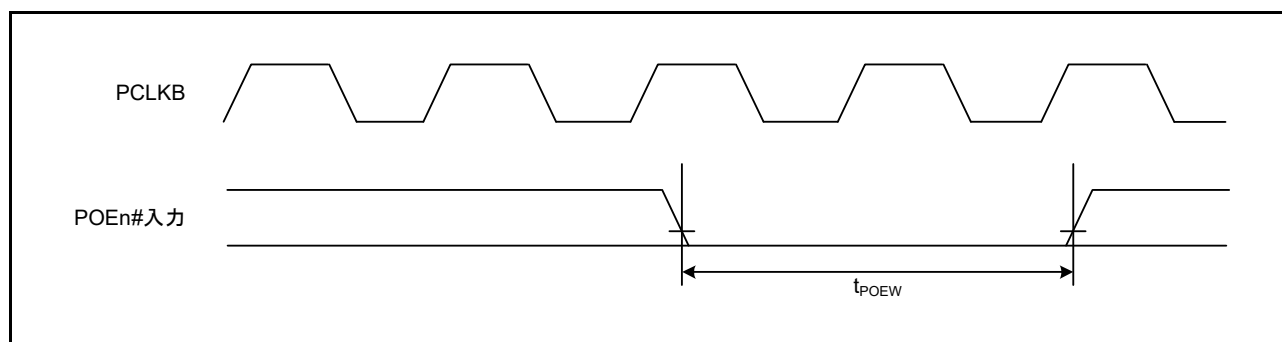


図 5.40 POE# 入力タイミング

表5.31 GPTタイミグ

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
GPT	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{GTICW}	3	—	t_{PAcyc}	図5.41
		両エッジ指定		5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PAcyc}	図5.42
		両エッジ指定		2.5	—		

注1. t_{PAcyc} : PCLKAの周期

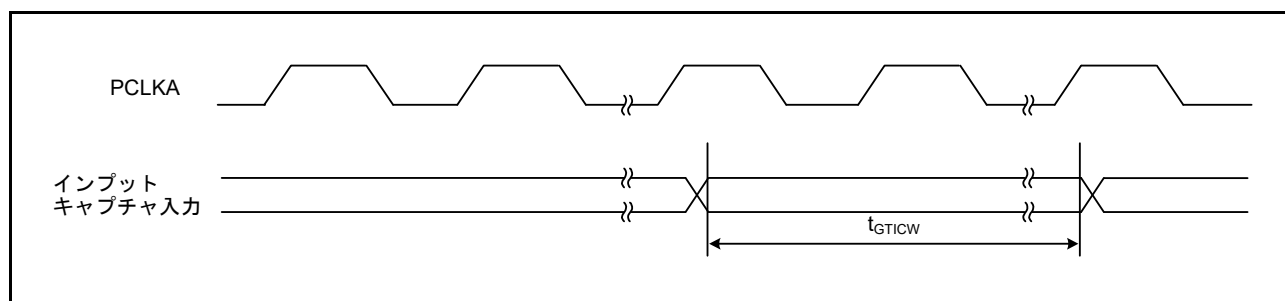


図 5.41 GPT インプットキャプチャ入力タイミング

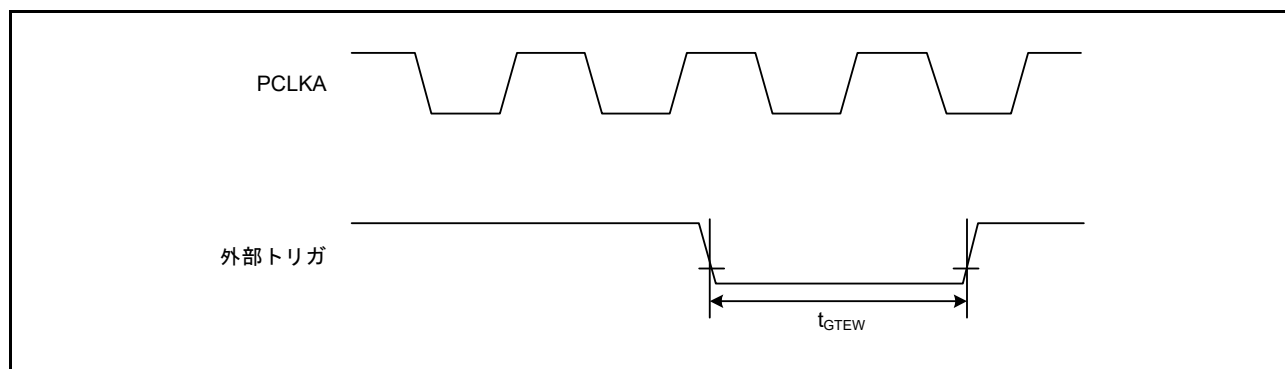


図 5.42 GPT 外部トリガ入力タイミング

表 5.32 A/D コンバータトリガタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/D コンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 5.43

注1. t_{PBcyc} : PCLKBの周期

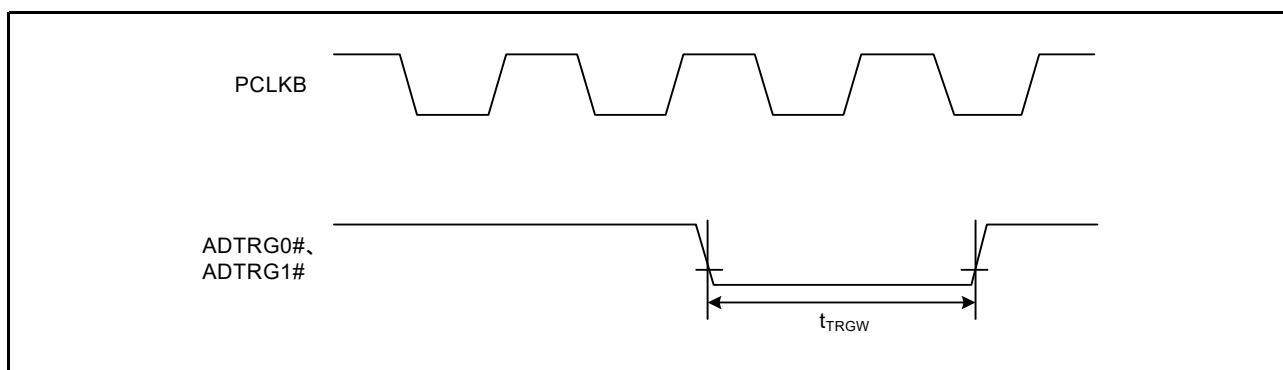


図 5.43 A/D コンバータトリガ入力タイミング

表 5.33 CAC タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目 (注1、注2)			記号	min (注1)	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leq t_{cac}$	t_{CACREF}	$4.5t_{cac} + 3t_{PBcyc}$	—	ns	
		$t_{PBcyc} > t_{cac}$		$5t_{cac} + 6.5t_{PBcyc}$	—		

注1. t_{PBcyc} : PCLKBの周期

注2. t_{CAC} : CAC カウントクロックソースの周期

表 5.34 SCI, SCIF タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min (注1)	max (注1)	単位 (注1)	測定条件
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PBcyc}	図 5.44
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{PBcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	送信データ遅延時間	クロック同期	t_{TXD}	—	28	ns	図 5.45
	受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns	
受信データホールド時間	クロック同期	t_{RXH}	5	—	ns		
SCIF	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PAcyc}	図 5.44
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期 (注3)	t_{Scyc}	8	—	t_{PAcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	送信データ遅延時間	マスタ	t_{TXD}	—	10	ns	図 5.45
		スレーブ		—	$4 \times t_{PAcyc} + 20$		
	受信データセットアップ時間	マスタ	t_{RXS}	$3 \times t_{PAcyc} + 20$	—	ns	
		スレーブ		$t_{PACYC} + 10$	—		
	受信データホールド時間	マスタ	t_{RXH}	$-3 \times t_{PACYC} + 5$	—	ns	
		スレーブ		$2 \times t_{PACYC} + 10$	—		

注1. t_{PBcyc} : PCLKBの周期、 t_{PAcyc} : PCLKAの周期

注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

注3. SEMR.ABCS0ビット = 1かつSEMR.BGDMビット = 1のとき

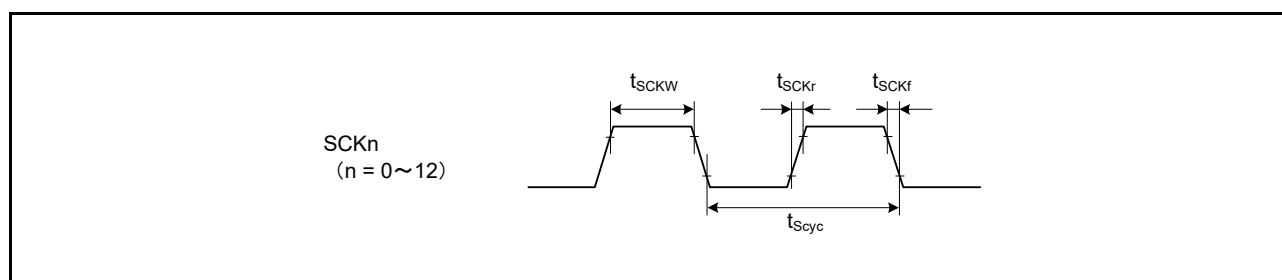


図 5.44 SCK クロック入力タイミング

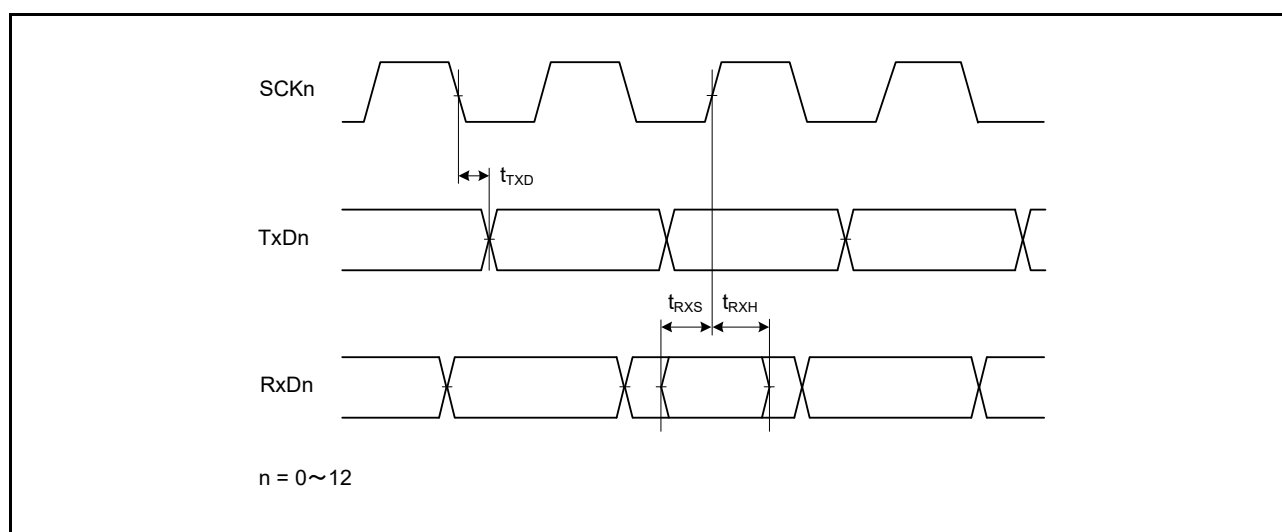


図 5.45 SCI 入出力タイミング / クロック同期式モード

表 5.35 RSPI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号 V	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)	
RSPI	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{pAcyc}	図5.46	
		スレーブ		8	4096			
	RSPCK クロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—			
	RSPCK クロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—			
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	$t_{SPCKr},$ t_{SPCKf}	—	5	ns		
		入力		—	1	μs		
	データ入力セットアップ時間	マスタ	t_{SU}	6	—	ns	図5.47 ~ 図5.52	
		スレーブ		$8.3 - t_{pAcyc}$	—			
	データ入力ホールド時間	マスタ	PCLKAを2 分周に設定	t_{HF}	0	—		ns
				t_H	t_{pAcyc}	—		
		スレーブ			$8.3 + 2 \times t_{pAcyc}$	—		
	SSL セットアップ時間	マスタ	t_{LEAD}	1	8	t_{SPcyc}		
		スレーブ		4	—	t_{pAcyc}		
	SSL ホールド時間	マスタ	t_{LAG}	1	8	t_{SPcyc}		
		スレーブ		4	—	t_{pAcyc}		
	データ出力遅延時間	マスタ	t_{OD}	—	6.3	ns		
		スレーブ		—	$3 \times t_{pAcyc} + 20$			
データ出力ホールド時間	マスタ	t_{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{pAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{pAcyc}$	ns			
	スレーブ		$4 \times t_{pAcyc}$	—				
MOSI, MISO 立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns			
	入力		—	1	μs			
SSL 立ち上がり/立ち下がり時間	出力	$t_{SSLr},$ t_{SSLf}	—	5	ns			
	入力		—	1	μs			
スレーブアクセス時間			t_{SA}	—	4	t_{pAcyc}	図5.51、 図5.52	
スレーブ出力開放時間			t_{REL}	—	3	t_{pAcyc}		

注 1. t_{pAcyc} : PCLKA の周期

注 2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。RSPI については、電気的特性の AC タイミングを各グループで測定しています。

表 5.36 簡易 SPI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t_{SPCyc}	4	65536	t_{PBcyc}	図 5.46
	SCK クロックサイクル入力 (スレーブ)		8	65536		
	SCK クロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCK クロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCK クロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図 5.47 ~ 図 5.52
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPCyc}	
	SS 入力ホールド時間	t_{LAG}	1	—	t_{SPCyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	16.6	ns	
	SS 入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{PBcyc}	図 5.51、図 5.52
	スレーブ出力開放時間	t_{REL}	—	5	t_{PBcyc}	

注 1. t_{PBcyc} : PCLKB の周期

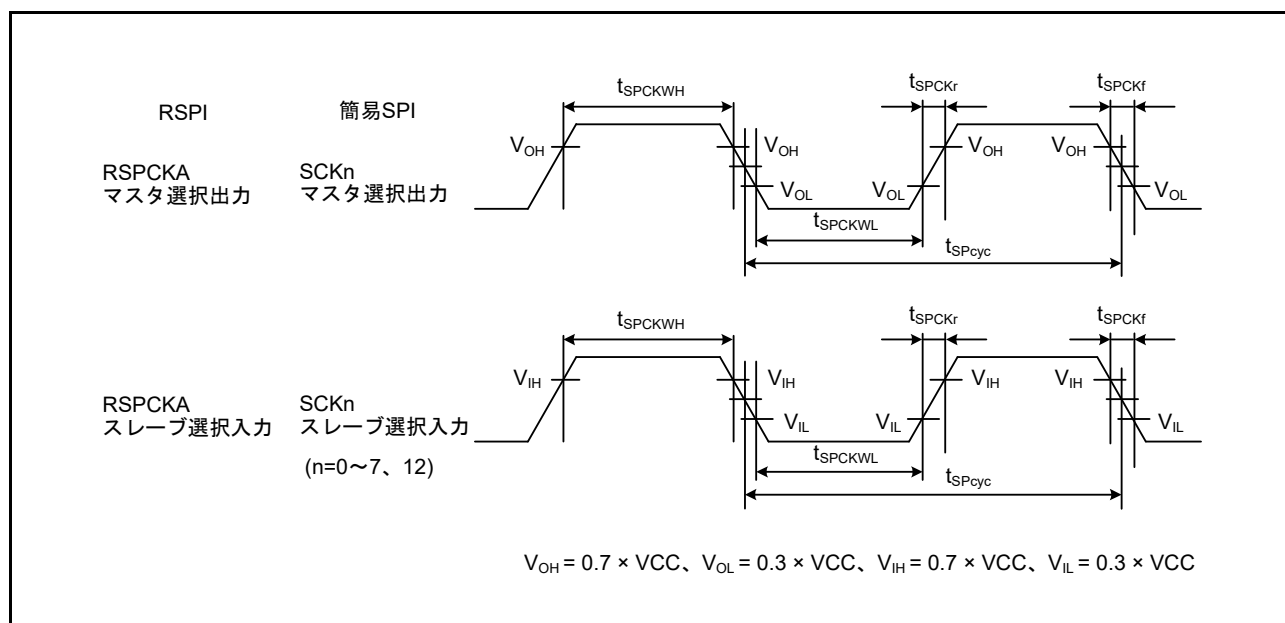


図 5.46 RSPI クロックタイミング/簡易 SPI クロックタイミング

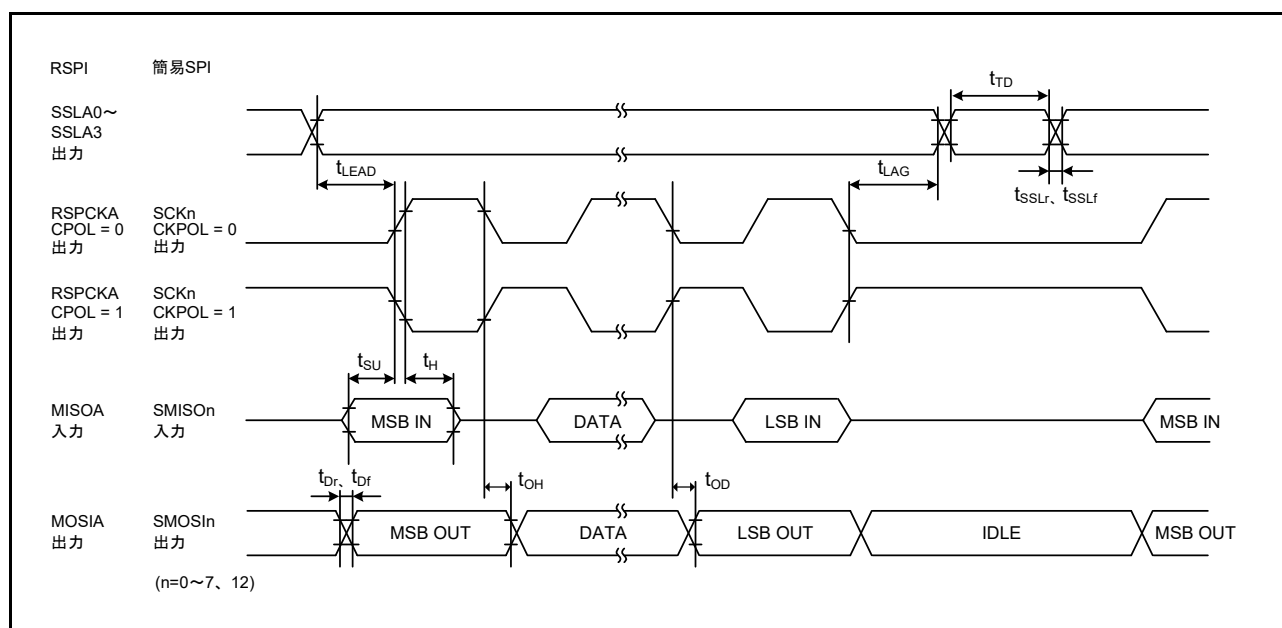


図 5.47 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

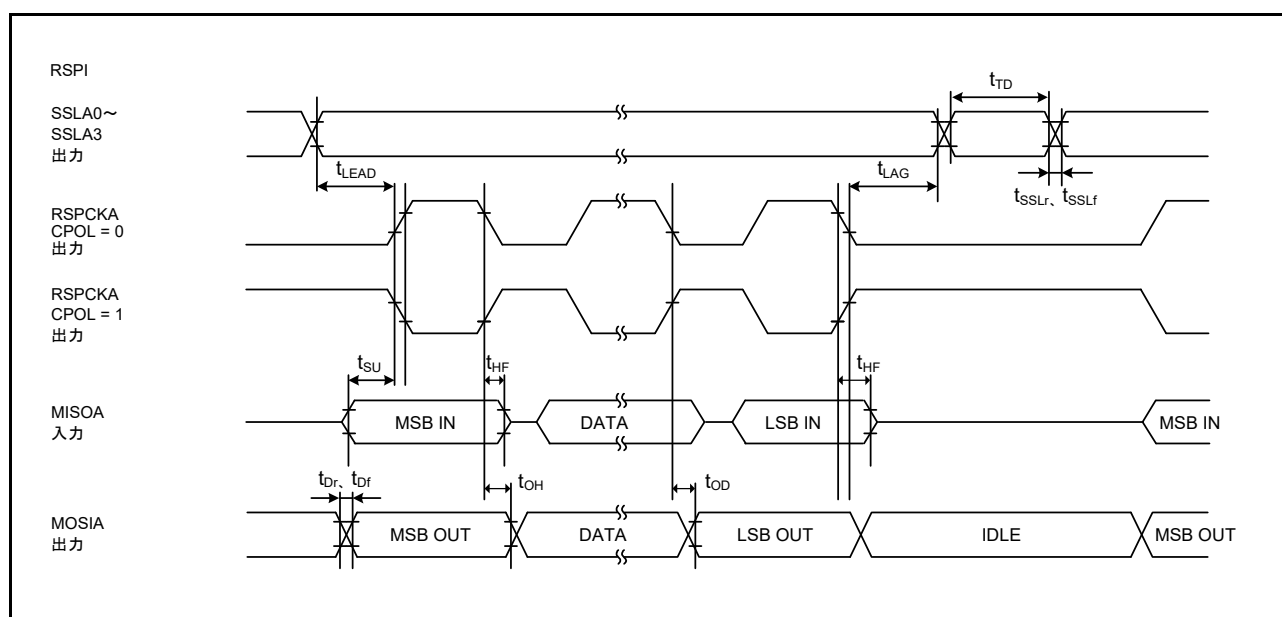


図 5.48 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

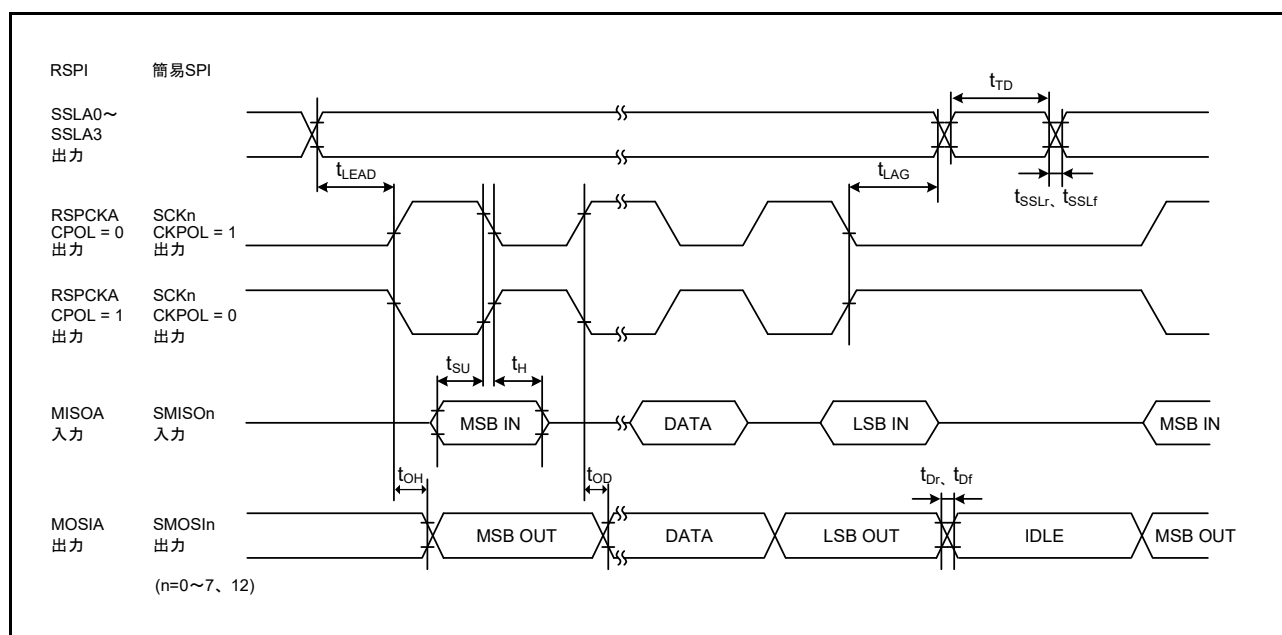


図 5.49 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

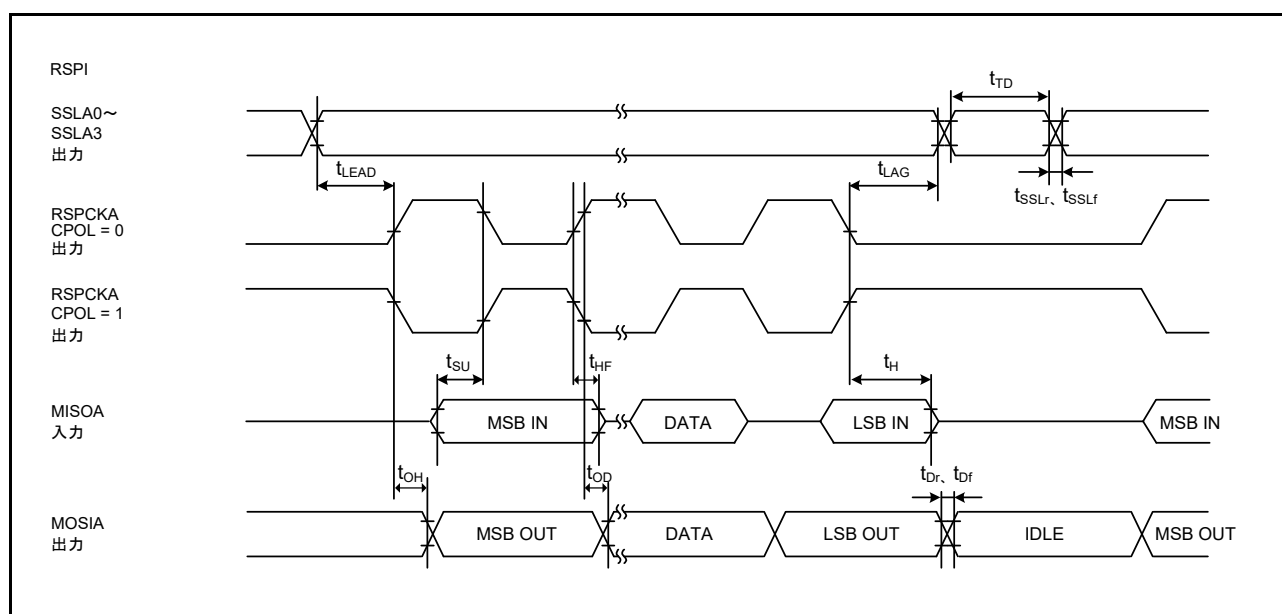


図 5.50 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

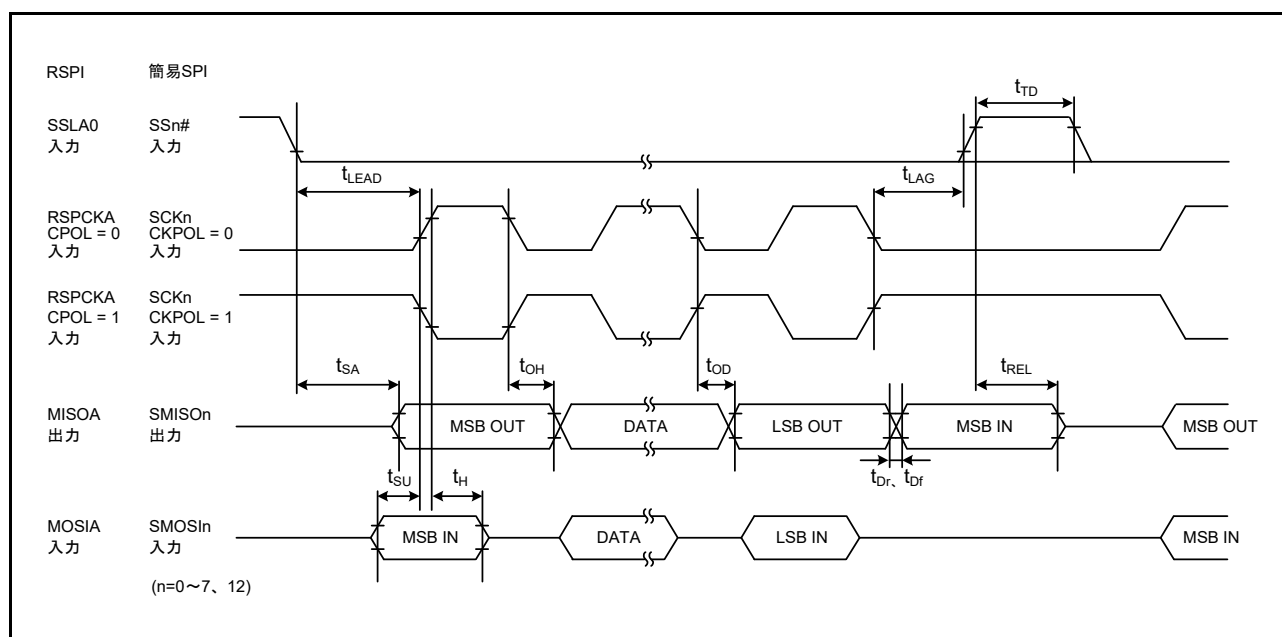


図 5.51 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

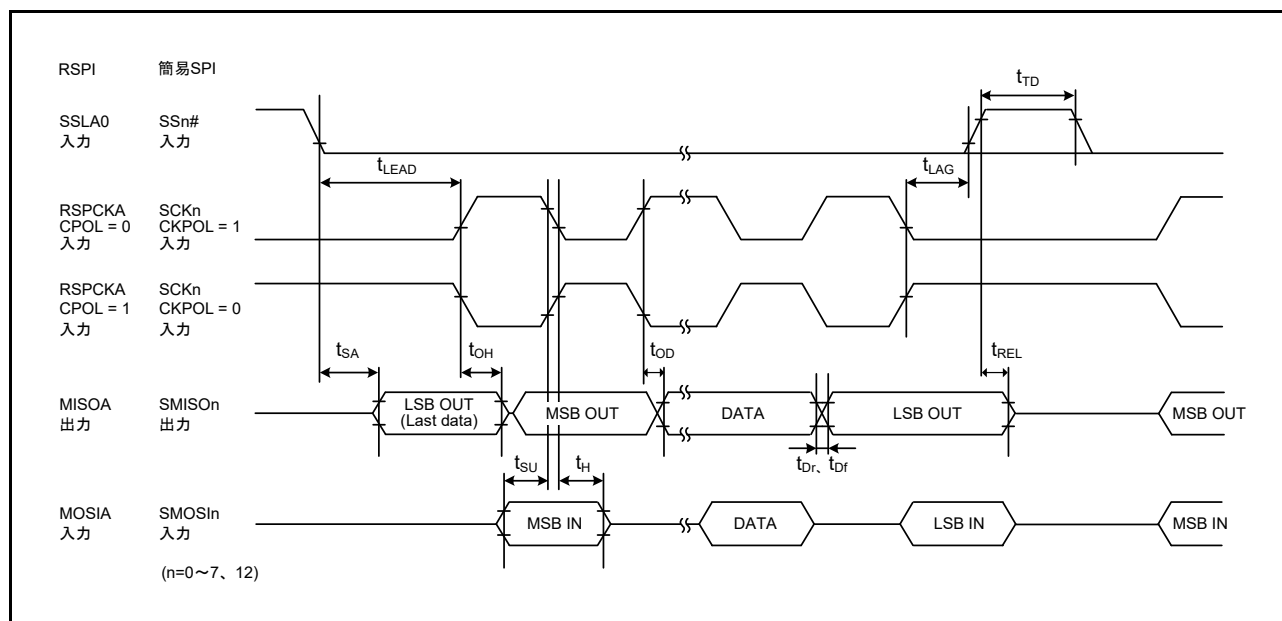


図 5.52 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI タイミング (スレーブ、CKPH = 0)

表 5.37 QSPI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件 (注2)
QSPI	QSPCLKクロックサイクル	t _{QScyc}	2	4080	t _{PBcyc}	図 5.53
	データ入力セットアップ時間	t _{Su}	6.5	—	ns	図 5.54、 図 5.55
	データ入力ホールド時間	t _{IH}	5	—	ns	
	SSセットアップ時間	t _{LEAD}	1.5	8.5	t _{QScyc}	
	SSホールド時間	t _{LAG}	1	8	t _{QScyc}	
	データ出力遅延時間	t _{OD}	—	10.0	ns	
	データ出力ホールド時間	t _{OH}	−5	—	ns	
	連続転送遅延時間	t _{TD}	1	8	t _{QScyc}	

注 1. t_{PBcyc} : PCLKB の周期

注 2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。QSPI については、電気的特性の AC タイミングを各グループで測定しています。

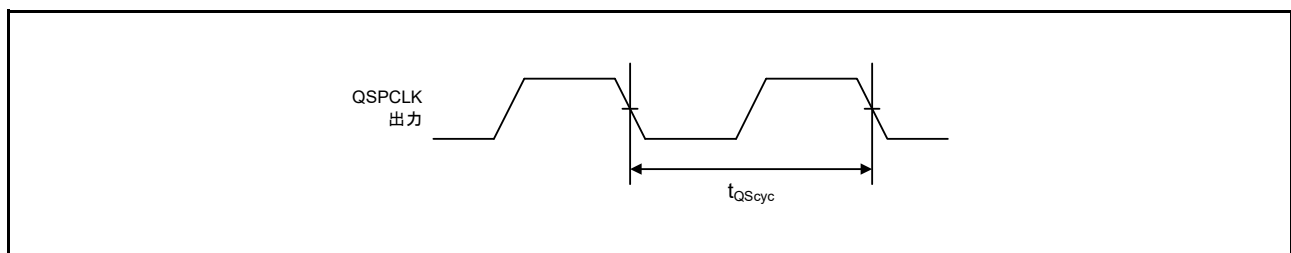


図 5.53 QSPI クロックタイミング

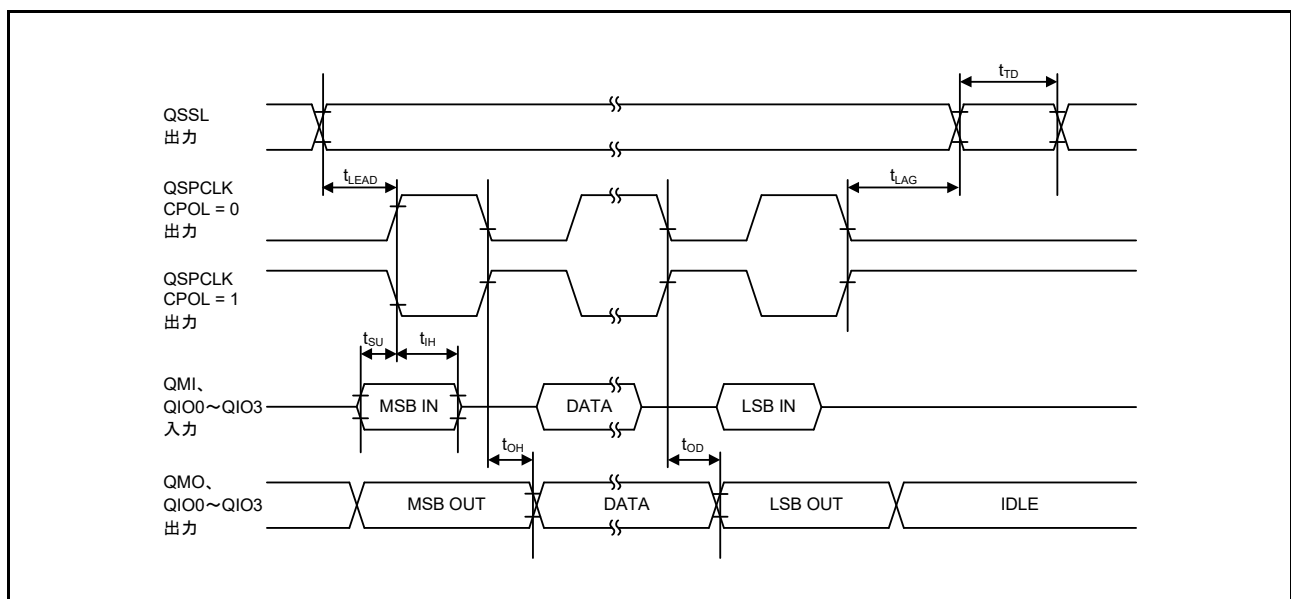


図 5.54 送受信タイミング (CPHA = 0)

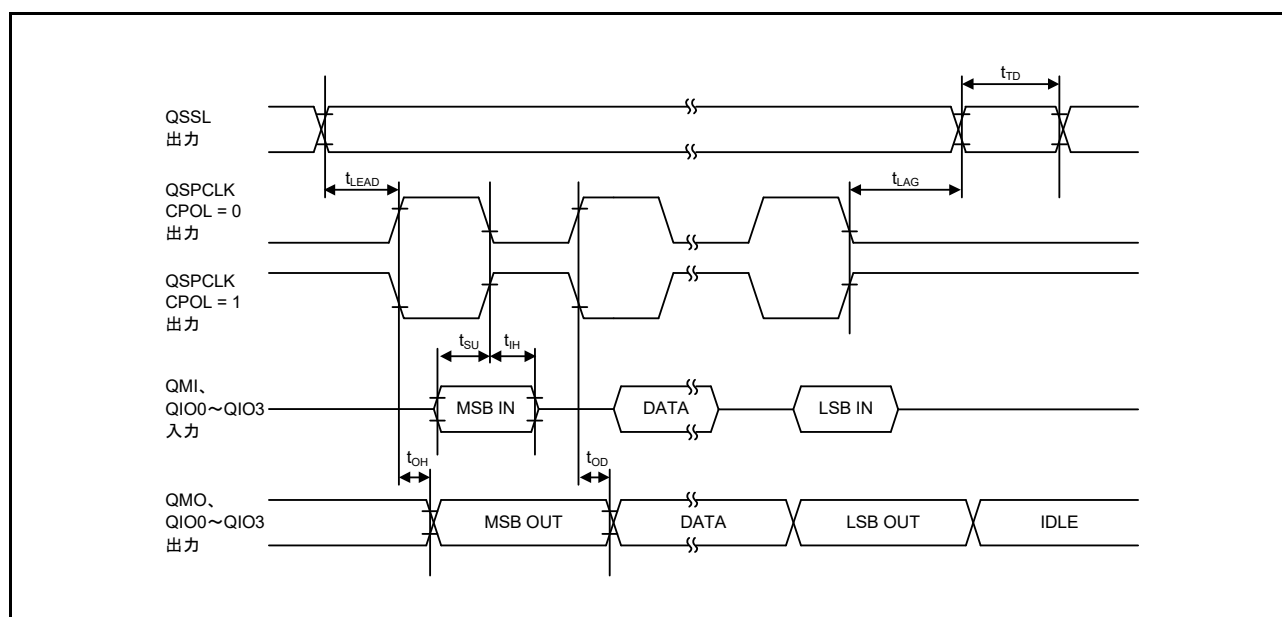


図 5.55 送受信タイミング (CPHA = 1)

表5.38 RIIC タイミング (1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min (注 1、注 2)	max	単位	測定条件
RIIC (Standard-mode, SMBus) ICFER.FMPE = 0	SCL 入力サイクル時間	t _{SCL}	6(12) × t _{II} Ccyc + 1300	—	ns	図 5.56
	SCL 入力 High パルス幅	t _{SCLH}	3(6) × t _{II} Ccyc + 300	—	ns	
	SCL 入力 Low パルス幅	t _{SCLL}	3(6) × t _{II} Ccyc + 300	—	ns	
	SCL, SDA 入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL, SDA 入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL, SDA 入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{II} Ccyc	ns	
	SDA 入力バスフリー時間	t _{BUF}	3(6) × t _{II} Ccyc + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{II} Ccyc + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{II} Ccyc + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C _b	—	400	pF	
	RIIC (Fast-mode) ICFER.FMPE = 0	SCL 入力サイクル時間	t _{SCL}	6(12) × t _{II} Ccyc + 600	—	
SCL 入力 High パルス幅		t _{SCLH}	3(6) × t _{II} Ccyc + 300	—	ns	
SCL 入力 Low パルス幅		t _{SCLL}	3(6) × t _{II} Ccyc + 300	—	ns	
SCL, SDA 入力立ち上がり時間		t _{Sr}	20 × (外付け プルアップ電圧 /5.5V)	300	ns	
SCL, SDA 入力立ち下がり時間		t _{Sf}	20 × (外付け プルアップ電圧 /5.5V)	300	ns	
SCL, SDA 入カスパイクパルス除去時間		t _{SP}	0	1(4) × t _{II} Ccyc	ns	
SDA 入力バスフリー時間		t _{BUF}	3(6) × t _{II} Ccyc + 300	—	ns	
開始条件入力ホールド時間		t _{STAH}	t _{II} Ccyc + 300	—	ns	
再送開始条件入力セットアップ時間		t _{STAS}	300	—	ns	
停止条件入力セットアップ時間		t _{STOS}	300	—	ns	
データ入力セットアップ時間		t _{SDAS}	t _{II} Ccyc + 50	—	ns	
データ入力ホールド時間		t _{SDAH}	0	—	ns	
SCL, SDA の容量性負荷		C _b	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。

表 5.39 RIIC タイミング (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min (注 1、注 2)	max	単位	測定条件
RIIC (Fast-mode+) ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 240$	—	ns	図 5.56
	SCL 入力 High パルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL 入力 Low パルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL, SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	開始条件入力ホールド時間	t_{STA}	$t_{IICcyc} + 120$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 20$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	550	pF	
簡易 IIC (Standard-mode)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	400	pF	
簡易 IIC (Fast-mode)	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL, SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期、 t_{PBcyc} : PCLKB の周期

注 1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注 2. C_b はバスラインの容量総計です。

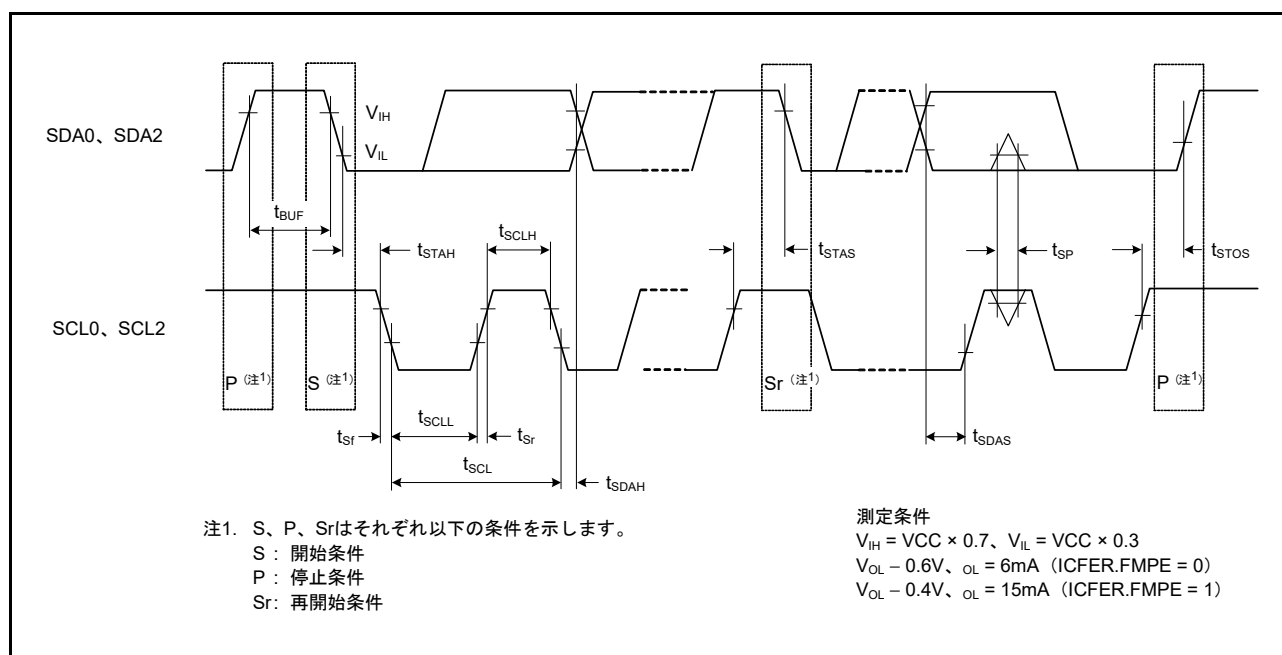


図 5.56 RIIC バスインタフェース入出力タイミング／簡易 IIC バスインタフェース入出力タイミング

表 5.40 シリアルサウンドインタフェースタイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
SSI AUDIO_CLK入力周波数	t_{AUDIO}	—	50	MHz	
出カクロック周期	t_O	150	64000	ns	図 5.57
入カクロック周期	t_I	150	64000	ns	
クロック High レベル	t_{HC}	60	—	ns	
クロック Low レベル	t_{LC}	60	—	ns	
クロック立ち上がり時間	t_{RC}	—	25	ns	
データ遅延時間	t_{DTR}	-5	25	ns	図 5.58、 図 5.59
セットアップ時間	t_{SR}	25	—	ns	
ホールド時間	t_{HTR}	25	—	ns	
WS 変化エッジ SSIDATA 出力遅延	t_{DTRW}	—	25	ns	図 5.60

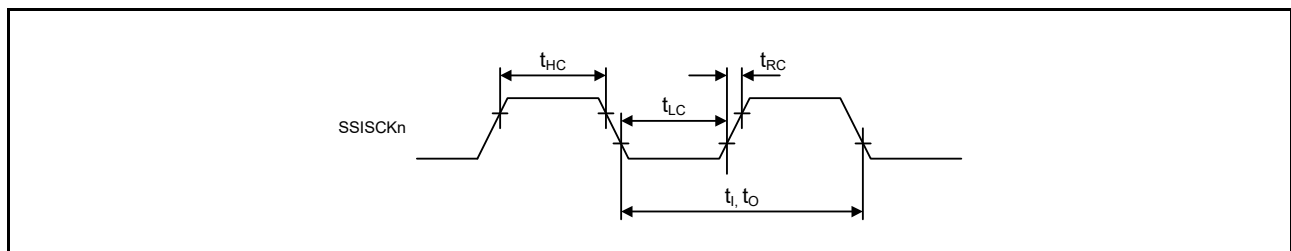


図 5.57 クロック入出力タイミング

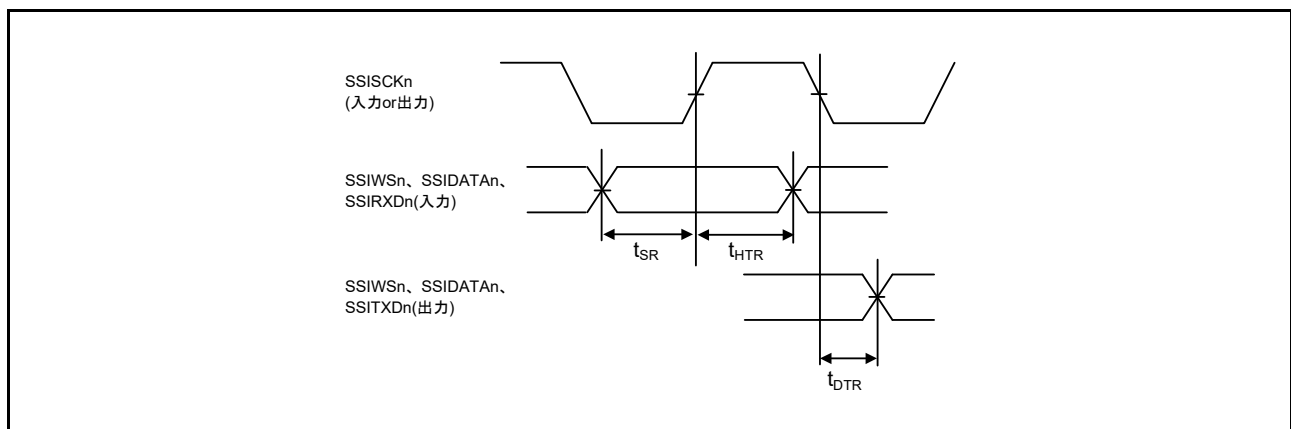


図 5.58 送受信タイミング (SSISCKn 立ち上がり同期)

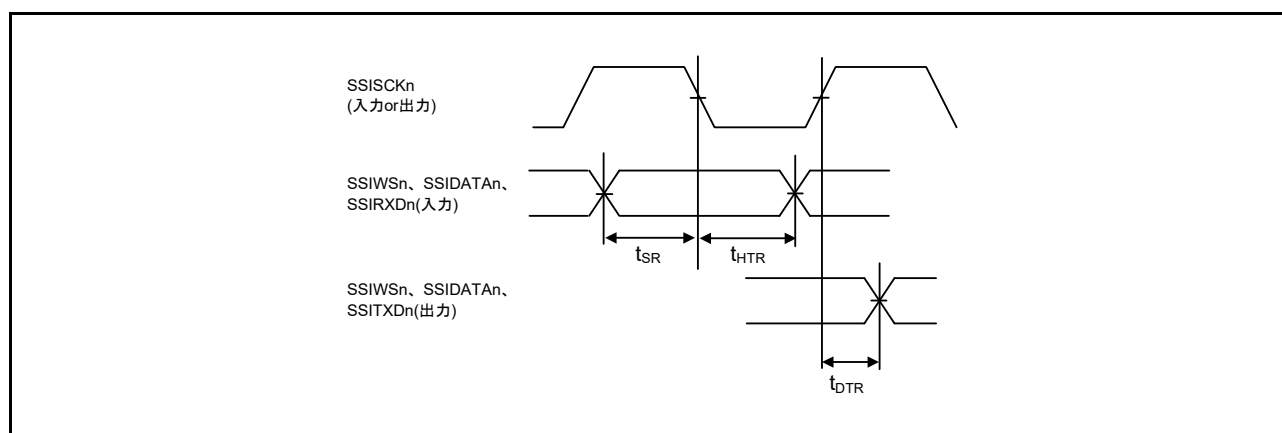


図 5.59 送受信タイミング (SSISCKn 立ち下がり同期)

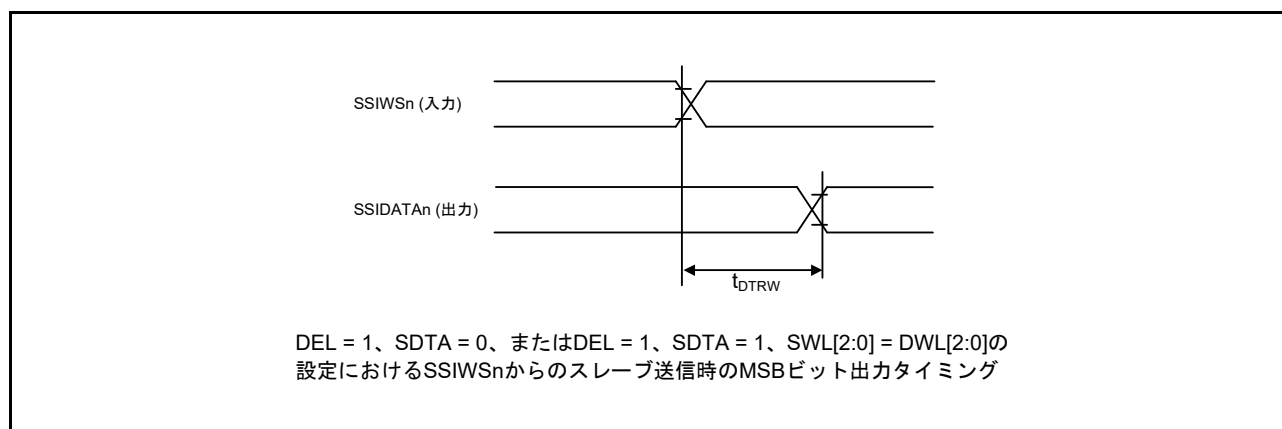


図 5.60 SSIWSn 変化エッジからの SSIDATA 出力遅延

表 5.41 MMCホストインタフェースタイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min (注1)	max	単位	測定条件 (注2)
MMCIF	MMC_CLKクロックサイクル	t_{MMCPP}	$2 \times t_{PBcyc}$	ns	図 5.61
	MMC_CLKクロック High レベル幅	t_{MMCWH}	6.5	ns	
	MMC_CLKクロック Low レベル幅	t_{MMCWL}	6.5	ns	
	MMC_CLKクロック立ち上がり時間	t_{MMCCH}	5	ns	
	MMC_CLKクロック立ち下がり時間	t_{MMCCL}	5	ns	
	MMC_CMD, MMC_D7~MMC_D0出力データ遅延 (データ転送モード)	t_{MMCODY}	-6.5	ns	
	MMC_CMD, MMC_D7~MMC_D0入力データセットアップ	t_{MMCISU}	8	ns	
	MMC_CMD, MMC_D7~MMC_D0入力データホールド	t_{MMCIH}	2	ns	

注1. t_{PBcyc} : PCLKBの周期

注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。MMCについては、電気的特性のACタイミングを各グループで測定しています。

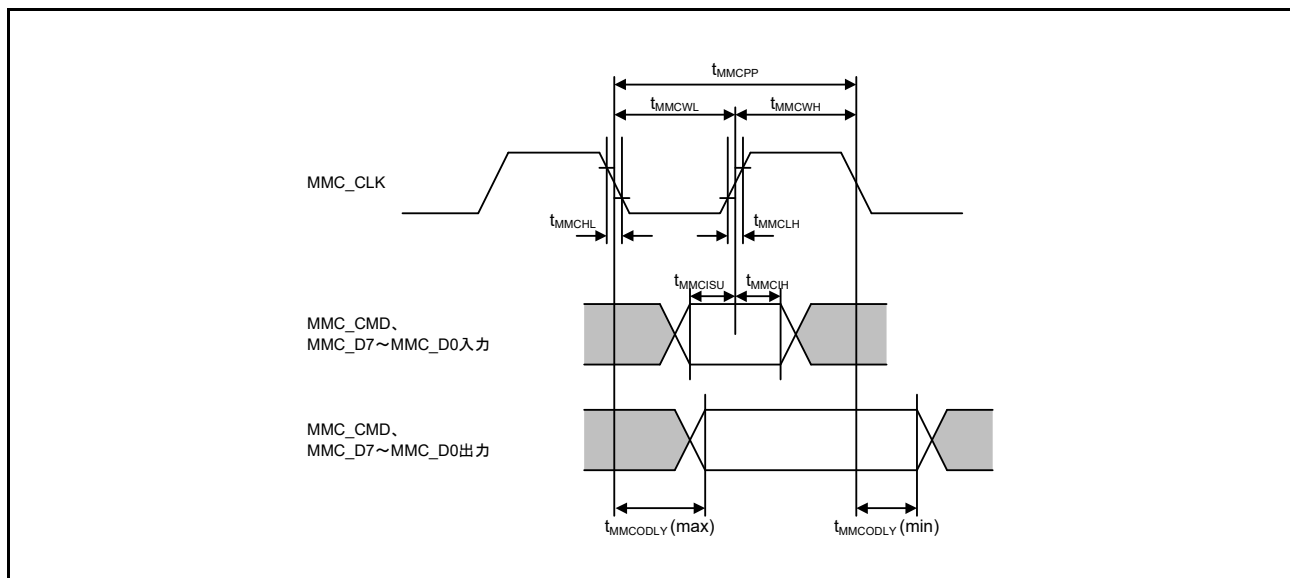


図 5.61 MMC インタフェース

表5.42 ETHERC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
ETHERC (RMII)	REF50CK サイクル時間	T _{ck}	20	—	ns	図 5.62 ~ 図 5.64
	REF50CK 周波数 Typ. 50MHz	—	—	50 + 100ppm	MHz	
	REF50CK デューティ	—	35	65	%	
	REF50CK 立ち上がり/立ち下がり時間	T _{ckr/ckf}	0.5	3.5	ns	
	RMII_xxxx (注1)出力遅延時間	T _{co}	2.5	15.0	ns	
	RMII_xxxx (注2)セットアップ時間	T _{su}	3	—	ns	
	RMII_xxxx (注2)ホールド時間	T _{hd}	1	—	ns	
	RMII_xxxx (注1、注2)立ち上がり/立ち下がり時間	T _r /T _f	0.5	5	ns	
	ET_WOL 出力遅延時間	t _{WOLd}	1	23.5	ns	図 5.66
ETHERC (MII)	ET_TX_CLK サイクル時間	t _{Tcyc}	40	—	ns	—
	ET_TX_EN 出力遅延時間	t _{TENd}	1	20	ns	図 5.67
	ET_ETXD0～ET_ETXD3出力遅延時間	t _{MTDd}	1	20	ns	
	ET_CRS セットアップ時間	t _{CRSs}	10	—	ns	
	ET_CRS ホールド時間	t _{CRSh}	10	—	ns	
	ET_COL セットアップ時間	t _{COLs}	10	—	ns	図 5.68
	ET_COL ホールド時間	t _{COLh}	10	—	ns	
	ET_RX_CLK サイクル時間	t _{TRcyc}	40	—	ns	—
	ET_RX_DV セットアップ時間	t _{RDVs}	10	—	ns	図 5.69
	ET_RX_DV ホールド時間	t _{RDVh}	10	—	ns	
	ET_ERXD0～ET_ERXD3 セットアップ時間	t _{MRDs}	10	—	ns	
	ET_ERXD0～ET_ERXD3ホールド時間	t _{MRDh}	10	—	ns	
	ET_RX_ER セットアップ時間	t _{RERs}	10	—	ns	図 5.70
	ET_RX_ER ホールド時間	t _{RESh}	10	—	ns	
	ET_WOL 出力遅延時間	t _{WOLd}	1	23.5	ns	図 5.71

注1. RMII_TXD_EN, RMII_TXD1, RMII_TXD0

注2. RMII_CRS_DV, RMII_RXD1, RMII_RXD0, RMII_RX_ER

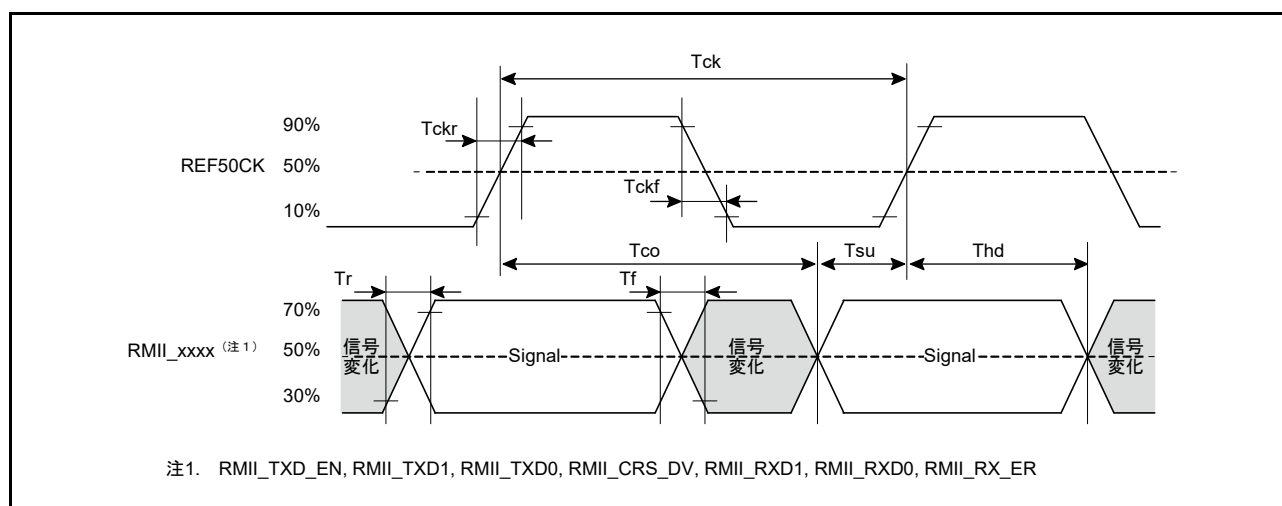


図 5.62 REF50CK と RMII 信号とのタイミング

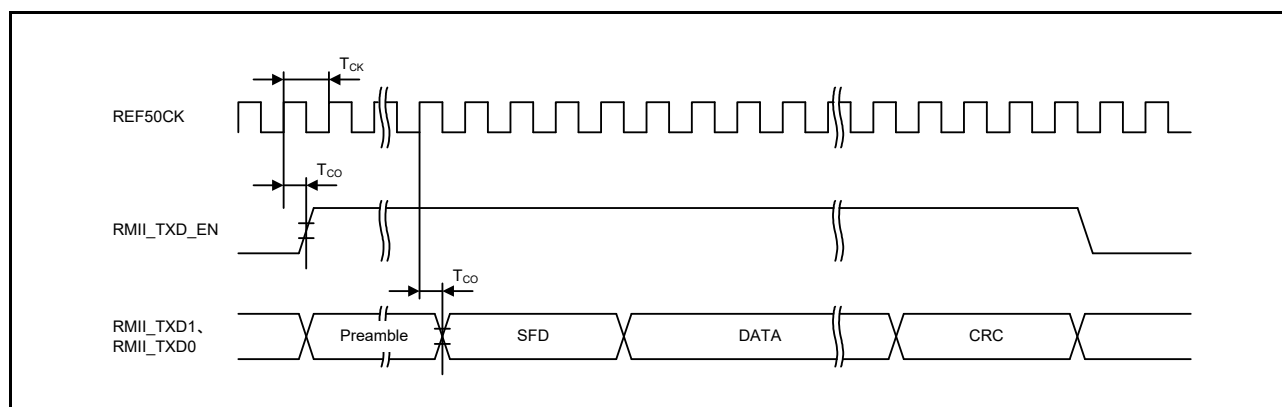


図 5.63 RMII 送信タイミング

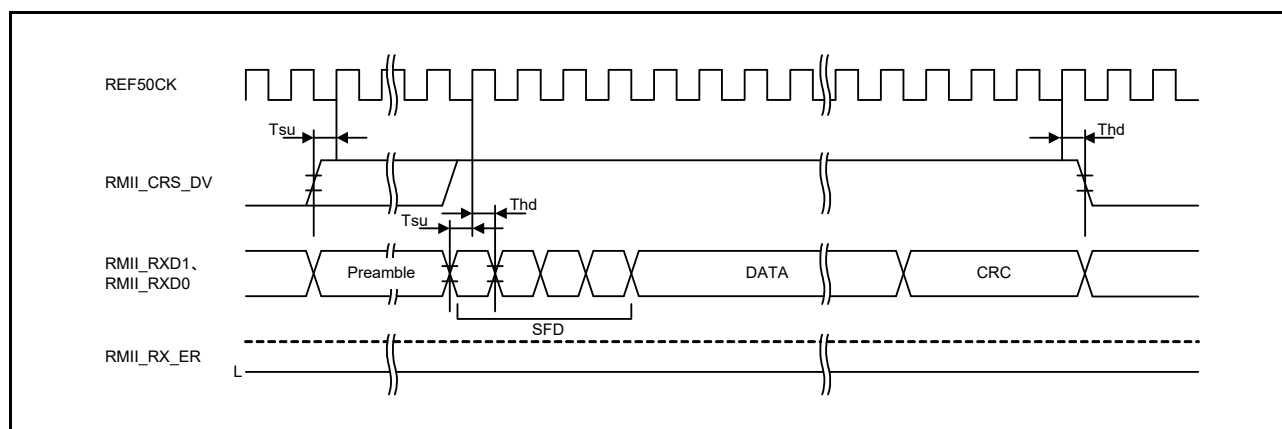


図 5.64 RMII 受信タイミング (正常動作時)

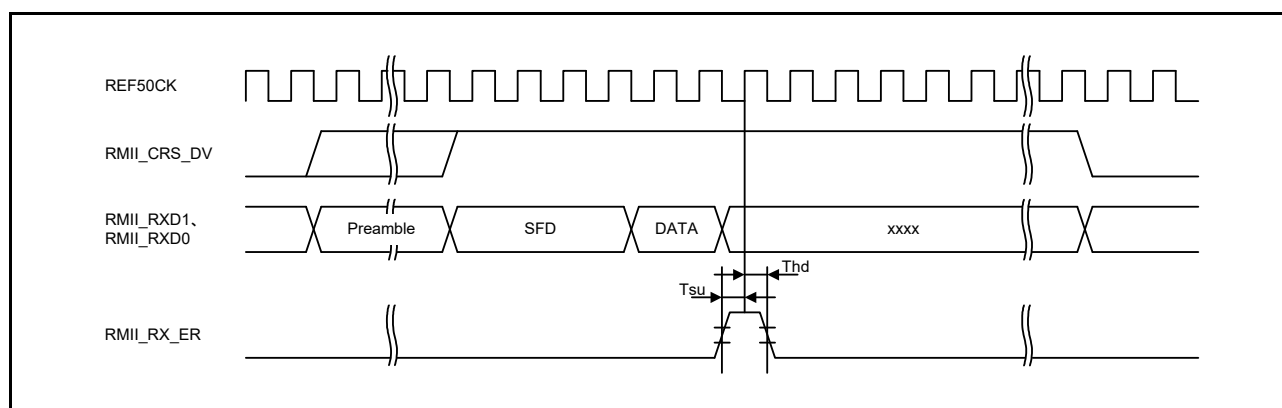


図 5.65 RMII 受信タイミング (エラー発生ケース)

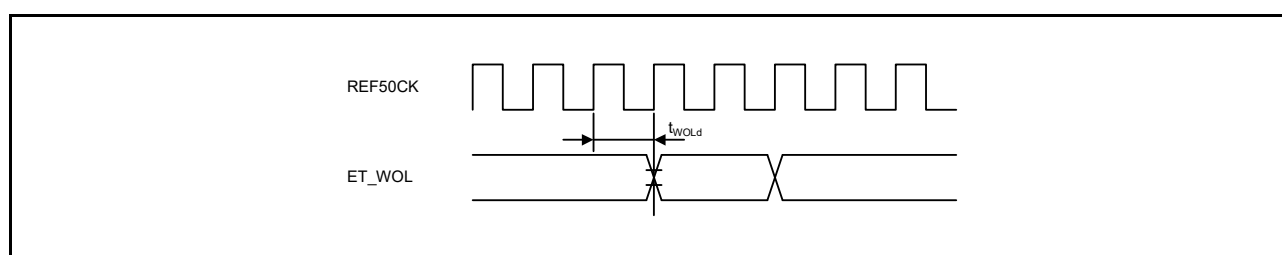


図 5.66 WOL 出力タイミング (RMII)

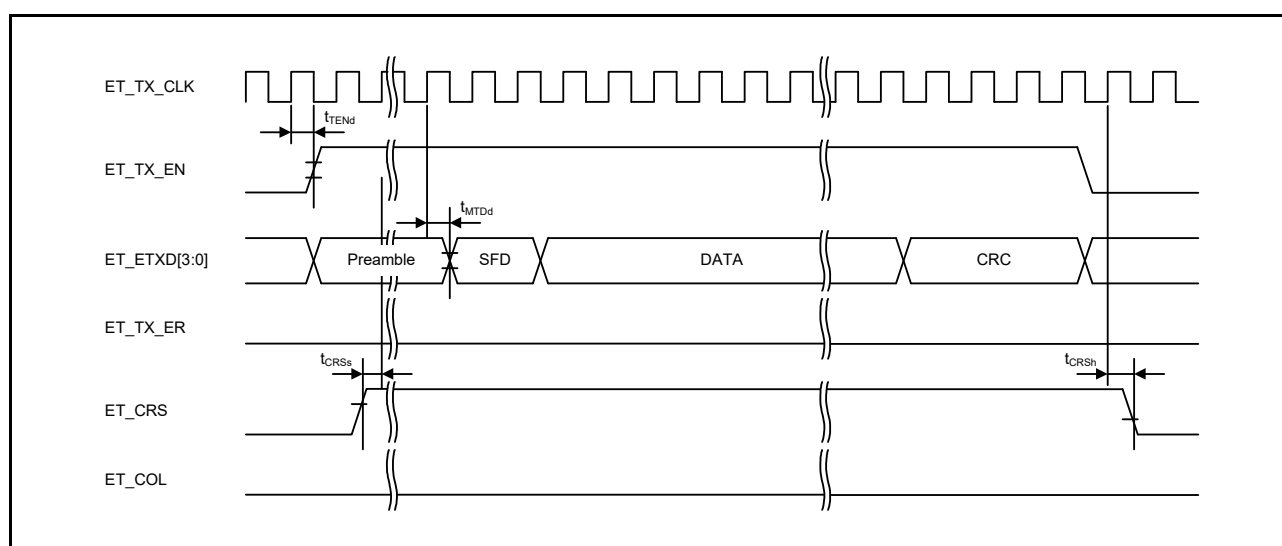


図 5.67 MII 送信タイミング (正常動作時)

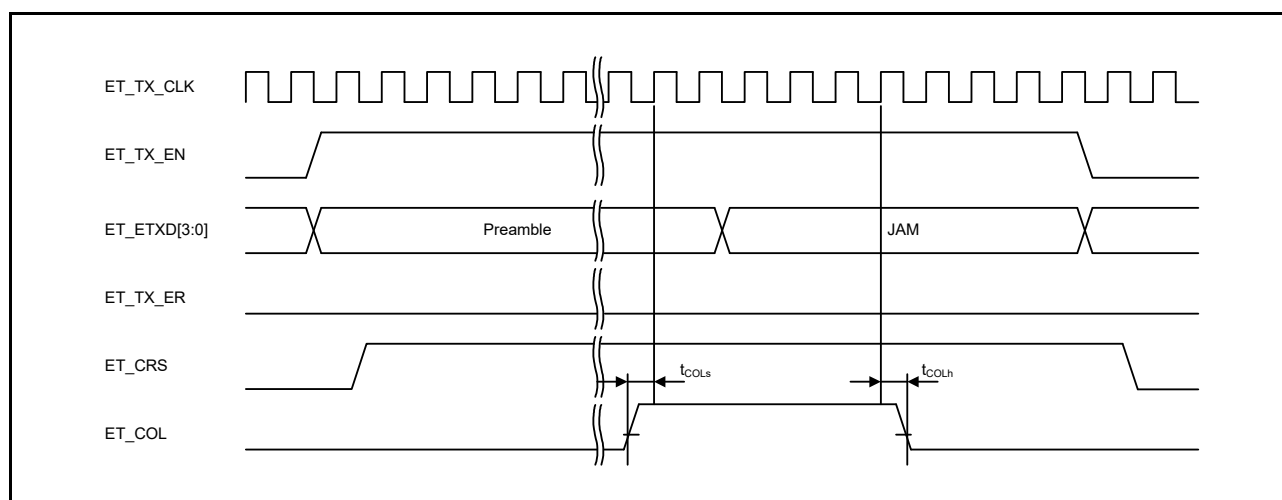


図 5.68 MII 送信タイミング (衝突発生ケース)

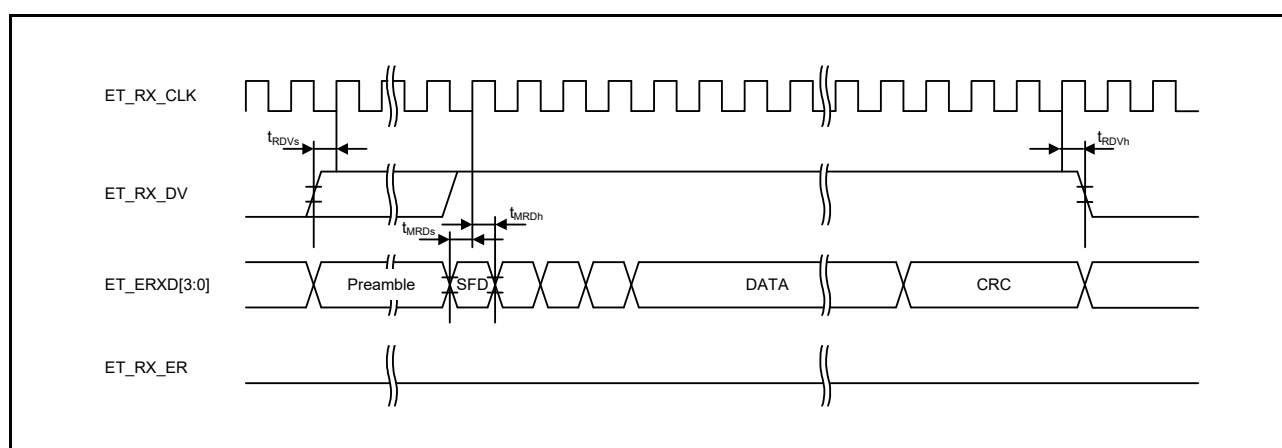


図 5.69 MII 受信タイミング (正常動作時)

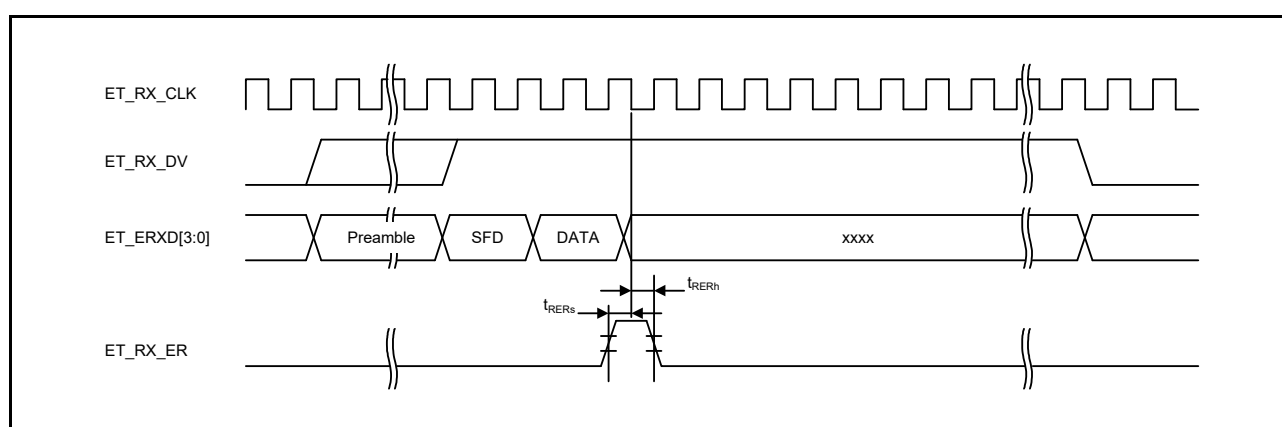


図 5.70 MII 受信タイミング (エラー発生ケース)

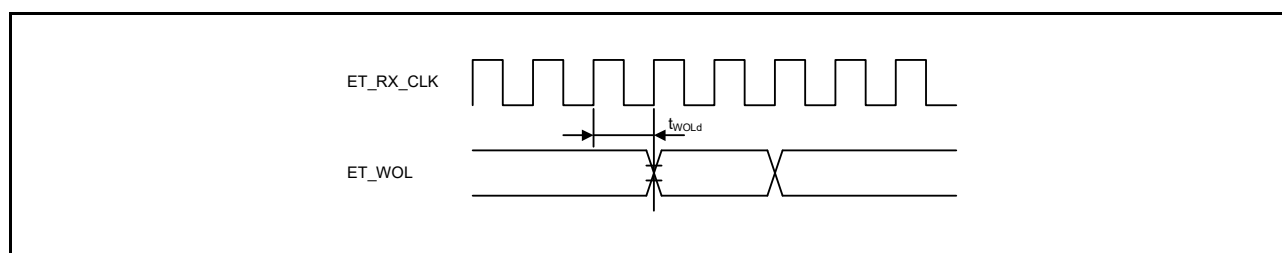


図 5.71 WOL 出力タイミング (MII)

表 5.43 PDC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	備考
PDC	PIXCLK入力サイクル時間	t_{PIXcyc}	37	—	図 5.72
	PIXCLK入力パルス幅 High レベル	t_{PIXH}	10	—	
	PIXCLK入力パルス幅 Low レベル	t_{PIXL}	10	—	
	PIXCLK立ち上がり時間	t_{PIXr}	—	5	
	PIXCLK立ち下がり時間	t_{PIXf}	—	5	
	PCKO出力サイクル時間	t_{PCKcyc}	$2 \times t_{PBcyc}$	—	図 5.73
	PCKO出力 High レベルパルス幅	t_{PCKH}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	
	PCKO出力 Low レベルパルス幅	t_{PCKL}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	
	PCKO立ち上がり時間	t_{PCKr}	—	5	
	PCKO立ち下がり時間	t_{PCKf}	—	5	
	VSYNV/HSYNC入力セットアップ時間	t_{SYNCS}	10	—	図 5.74
	VSYNV/HSYNC入力ホールド時間	t_{SYNCH}	5	—	
	PIXD 入力セットアップ時間	t_{PIXDS}	10	—	
	PIXD 入力ホールド時間	t_{PIXDH}	5	—	

注 1. t_{PBcyc} : PCLKBの周期

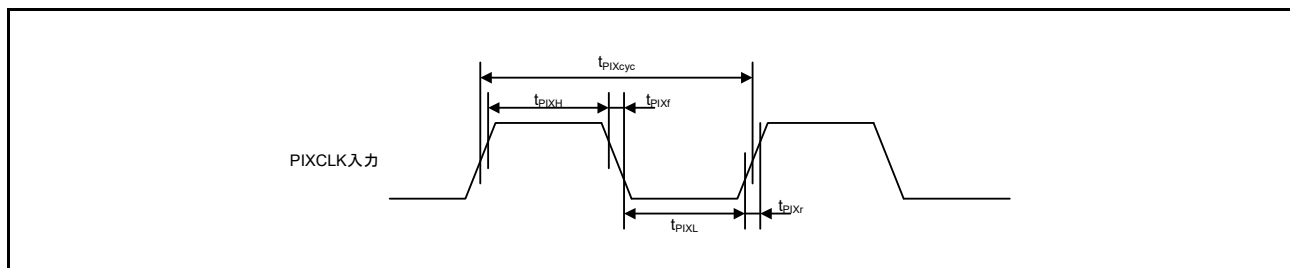


図 5.72 PDC 入力クロックタイミング

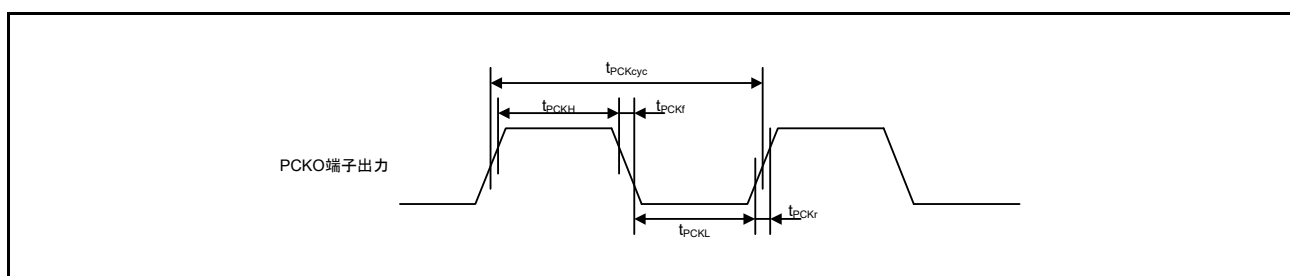


図 5.73 PDC 出力クロックタイミング

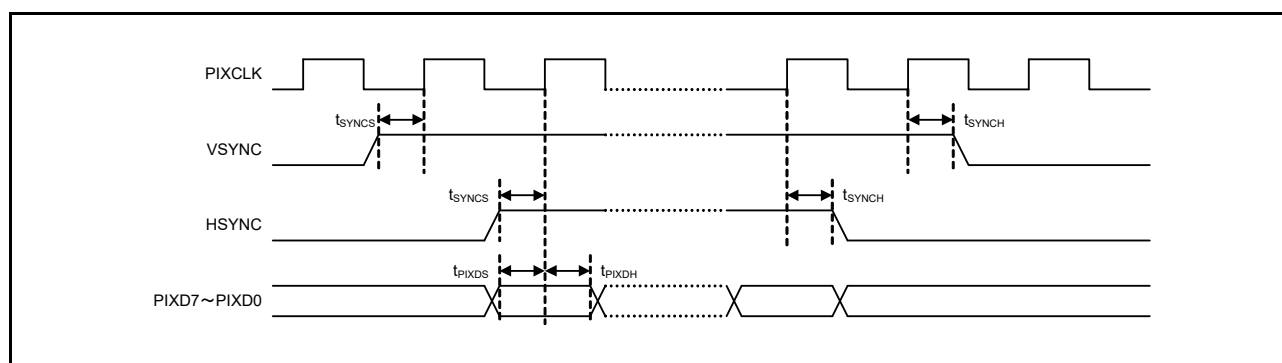


図 5.74 PDC AC タイミング

5.4 USB 特性

表 5.44 内蔵 USB ロースピード (Hostのみ) 特性 (DP, DM 端子特性)

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	V	
	入力 Low レベル電圧	V_{IL}	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	V	DP - DM
	差動共通モードレンジ	V_{CM}	0.8	—	2.5	V
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	$I_{OH} = -200\mu A$
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	図 5.75
	立ち上がり時間	t_{LR}	75	—	300	
	立ち下がり時間	t_{LF}	75	—	300	
	立ち上がり/立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%
プルアップ、プルダウン特性	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	$k\Omega$

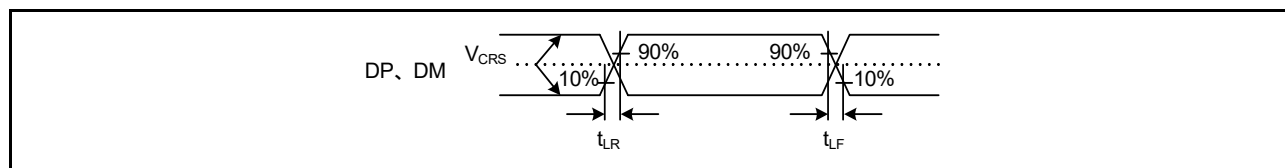


図 5.75 DP, DM 出力タイミング (ロースピード時)

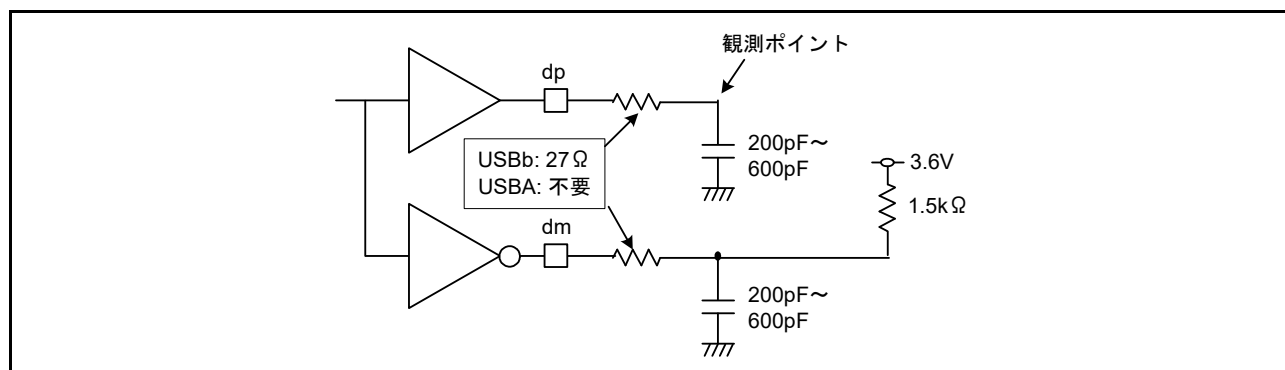


図 5.76 測定回路 (ロースピード時)

表 5.45 内蔵USBフルスピード特性(DP, DM端子特性)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	—	V
	入力Lowレベル電圧	V_{IL}	—	—	0.8	V
	差動入力感度	V_{DI}	0.2	—	—	V
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V
出力特性	出力Highレベル電圧	V_{OH}	2.8	—	3.6	V
	出力Lowレベル電圧	V_{OL}	0.0	—	0.3	V
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V
	立ち上がり時間	t_{FR}	4	—	20	ns
	立ち下がり時間	t_{FF}	4	—	20	ns
	立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%
	出力抵抗	Z_{DRV}	28	—	44	Ω
ブルアップ、ブルダウン特性	DPブルアップ抵抗 (ファンクション選択時)	R_{pu}	0.900	—	1.575	k Ω
			1.425	—	3.090	k Ω
	DP/DMブルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω

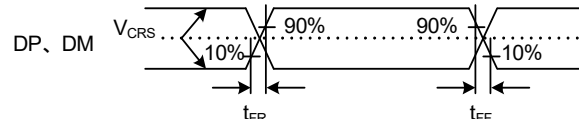


図 5.77 DP, DM 出力タイミング (フルスピード時)

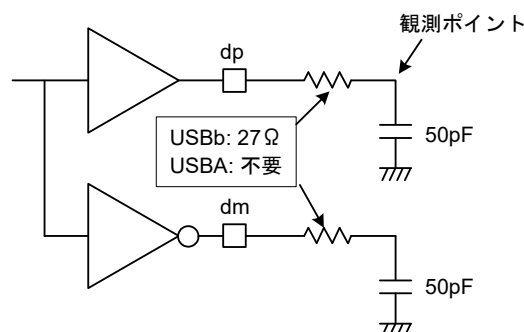


図 5.78 測定回路 (フルスピード時)

表 5.46 内蔵USBハイスピード特性(DP, DM端子特性)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0 \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目		記号	min	Typ	max	単位	測定条件
入力特性	スケルチ検出スレッシュホールド電圧 (差動電圧)	V _{HSSQ}	100	—	150	mV	図 5.79
	ディスコネクト検出感度	V _{HSDSC}	525	—	625	mV	図 5.80
	コモンモード電圧範囲	V _{HSCM}	−50	—	500	mV	
出力特性	アイドル状態	V _{HSOI}	−10	—	10	mV	
	出力Highレベル電圧	V _{HSOH}	360	—	440	mV	
	出力Lowレベル電圧	V _{HSOL}	−10	—	10	mV	
	Chirp J出力電圧 (差分)	V _{CHIRPJ}	700	—	1100	mV	
	Chirp K出力電圧 (差分)	V _{CHIRPK}	−900	—	−500	mV	
AC 特性	立ち上がり時間	t _{HSR}	500	—	—	ps	図 5.81
	立ち下がり時間	t _{HSF}	500	—	—	ps	
		出力抵抗	Z _{HSDRV}	40.5	—	49.5	Ω

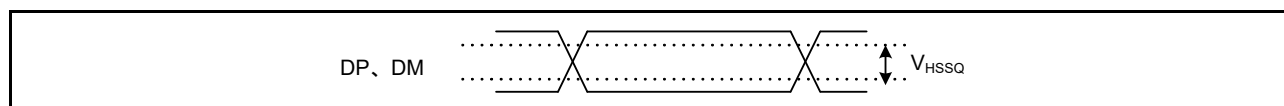


図 5.79 DP, DM スケルチ検出スレッシュホールド電圧 (ハイスピード時)

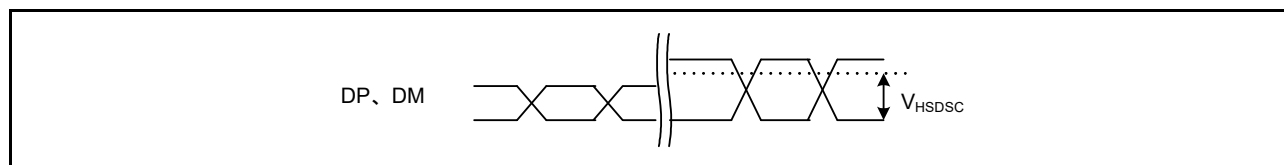


図 5.80 DP, DM ディスコネクト検出感度 (ハイスピード時)

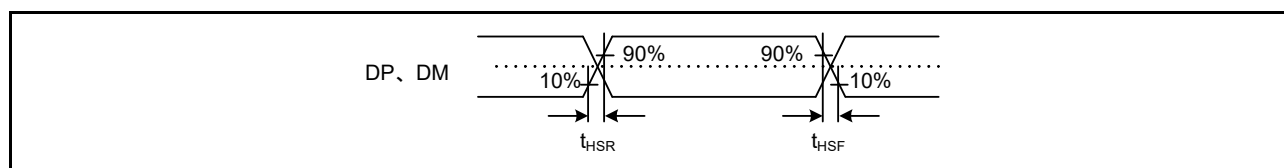


図 5.81 DP, DM 出力タイミング (ハイスピード時)

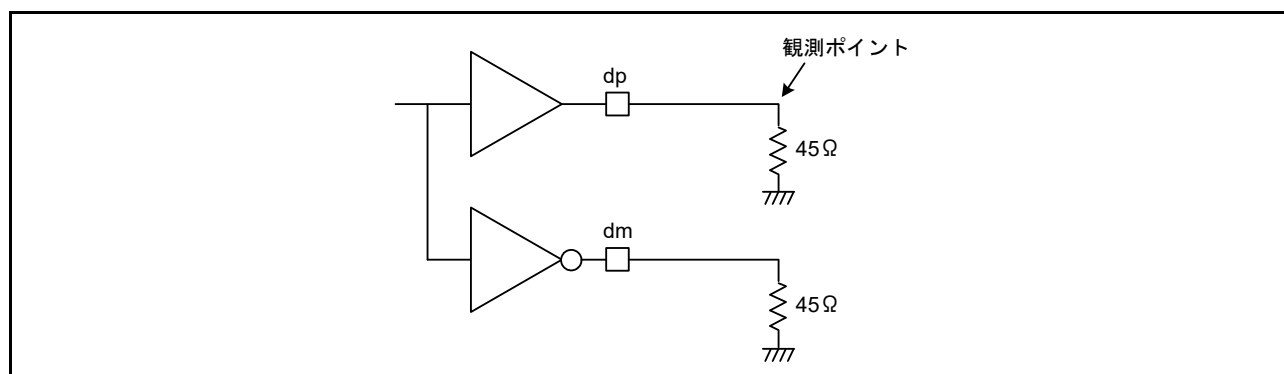


図 5.82 測定回路 (ハイスピード時)

表5.47 バッテリチャージ特性(USBAのみ)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	max	単位	備考
D+ シンク電流	I_{DP_SINK}	25	175	μA	
D- シンク電流	I_{DM_SINK}	25	175	μA	
DCD ソース電流	I_{DP_SRC}	7	13	μA	
データ検出電圧	V_{DAT_REF}	0.25	0.4	V	
D+ ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA
D- ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA

5.5 A/D 変換特性

表 5.48 12ビット A/D (ユニット0) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKB = PCLKC = 1MHz \sim 60MHz$, $T_a = T_{opr}$

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
アナログ入力容量		—	—	30	pF	
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN002)	変換時間 (注1) (PCLKC = 60MHz時) 許容信号源インピーダンス max = 1.0 k Ω	1.06 (0.40 + 0.25) (注2)	—	—	μs	- チャンネル専用サンプル ホールド回路のサンプリ ング24ステート - サンプリング15ステート
	オフセット誤差	—	± 1.5	± 3.5	LSB	AN000 ~ AN002 = 0.25V
	フルスケール誤差	—	± 1.5	± 3.5	LSB	AN000 ~ AN002 = VREFH0 - 0.25V
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	± 2.5	± 5.5	LSB	
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	
	INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB	
	サンプルホールド回路のホー ルド特性	—	—	20	μs	
	ダイナミックレンジ	0.25	—	VREFH0 - 0.25	V	
チャンネル専用サンプル ホールド回路未使用時 (AN000 ~ AN007)	変換時間 (注1) (PCLKC = 60MHz時) 許容信号源インピーダンス max = 1.0 k Ω	0.48 (0.267) (注2)	—	—	μs	サンプリング16ステート
	オフセット誤差	—	± 1.0	± 2.5	LSB	
	フルスケール誤差	—	± 1.0	± 2.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	± 2.0	± 4.5	LSB	
	DNL 微分非直線性誤差	—	± 0.5	± 1.5	LSB	
	INL 積分非直線性誤差	—	± 1.0	± 2.5	LSB	

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表5.49 12ビットA/D (ユニット1)変換特性

条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKB = PCLKD = 1MHz \sim 60MHz$, $T_a = T_{opr}$

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間 (注1) (PCLKD = 60MHz時)	許容信号源インピーダンス max = 1.0kΩ	0.88 (0.667) (注2)	—	—	μs	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	±2.0	±3.5	LSB	
フルスケール誤差		—	±2.0	±3.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±4.0	±6.0	LSB	
DNL 微分非直線性誤差		—	±1.5	±2.5	LSB	
INL 積分非直線性誤差		—	±2.0	±3.5	LSB	

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表5.50 A/D内部基準電圧特性

条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKB = PCLKD = 60MHz$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

5.6 D/A 変換特性

表 5.51 D/A 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
AMP 出力なし	絶対精度	—	—	± 6.0	LSB	負荷抵抗 2M Ω 10bit 換算
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	負荷抵抗 2M Ω
	RO 出力抵抗	—	7.5	—	k Ω	
	変換時間	—	—	3.0	μs	負荷容量 20pF
AMP 出力あり	負荷抵抗	5	—	—	k Ω	
	負荷容量	—	—	50	pF	
	出力電圧範囲	0.2	—	$AVCC1 - 0.2$	V	
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	
	INL 積分非直線性誤差	—	± 2.0	± 4.0	LSB	
	変換時間	—	—	4.0	μs	

5.7 温度センサ特性

表 5.52 温度センサ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^{\circ}C$	
温度傾斜	—	4.1	—	mV/ $^{\circ}C$	
出力電位 (@25 $^{\circ}C$)	—	1.24	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間 (注1)	4.15	—	—	μs	

注1. 12ビット A/D コンバータのサンプリング時間が本規格を満たすように S12AD1.ADSSTRT レジスタを設定してください。

5.8 パワーオンリセット回路、電圧検出回路特性

表 5.53 パワーオンリセット回路、電圧検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオン リセット(POR)	低消費電力機能無効(注1)	V _{POR}	2.5	2.6	2.7	V	図 5.83
		低消費電力機能有効(注2)		2.0	2.35	2.7		
	電圧検出回路(LVD0)	V _{det0_1}	2.84	2.94	3.04	図 5.84		
		V _{det0_2}	2.77	2.87	2.97			
		V _{det0_3}	2.70	2.80	2.90			
	電圧検出回路(LVD1)	V _{det1_1}	2.89	2.99	3.09	図 5.85		
		V _{det1_2}	2.82	2.92	3.02			
		V _{det1_3}	2.75	2.85	2.95			
	電圧検出回路(LVD2)	V _{det2_1}	2.89	2.99	3.09	図 5.86		
		V _{det2_2}	2.82	2.92	3.02			
		V _{det2_3}	2.75	2.85	2.95			
内部リセット時間	パワーオンリセット時間		t _{POR}	—	4.6	—	ms	図 5.83
	LVD0リセット時間		t _{LVD0}	—	0.70	—		図 5.84
	LVD1リセット時間		t _{LVD1}	—	0.57	—		図 5.85
	LVD2リセット時間		t _{LVD2}	—	0.57	—		図 5.86
最小VCC低下時間			t _{VOFF}	200	—	—	μs	図 5.83、 図 5.84
応答遅延時間			t _{det}	—	—	200	μs	図 5.83 ~ 図 5.86
LVD動作安定時間(LVD有効切り替え時)(注3)			T _{d(E-A)}	—	—	10	μs	図 5.85、 図 5.86
ヒステリシス幅(LVD1, LVD2)			V _{LVH}	—	80	—	mV	

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} , V_{det1} , V_{det2} のmin値を下回っている時間です。

注1. 低消費電力機能無効 DEEPCUT[1:0] = 00b、または01b

注2. 低消費電力機能有効 DEEPCUT[1:0] = 11b

注3. LVD1有効切り替え時のVCC = AVCC0 = AVCC1の電圧は、LVDLVLR.LVD1LVL[3:0]ビットで選択した電圧検出1レベル($V_{det1_1, 2, 3}$)のmax値に対し、80mV以上加算したレベルにしてください。また、同様にLVD2有効切り替え時のVCC = AVCC0 = AVCC1の電圧はLVDLVLR.LVD2LVL[3:0]ビットで選択した電圧検出2レベル($V_{det2_1, 2, 3}$)のmax値に対し、80mV以上加算したレベルにしてください。

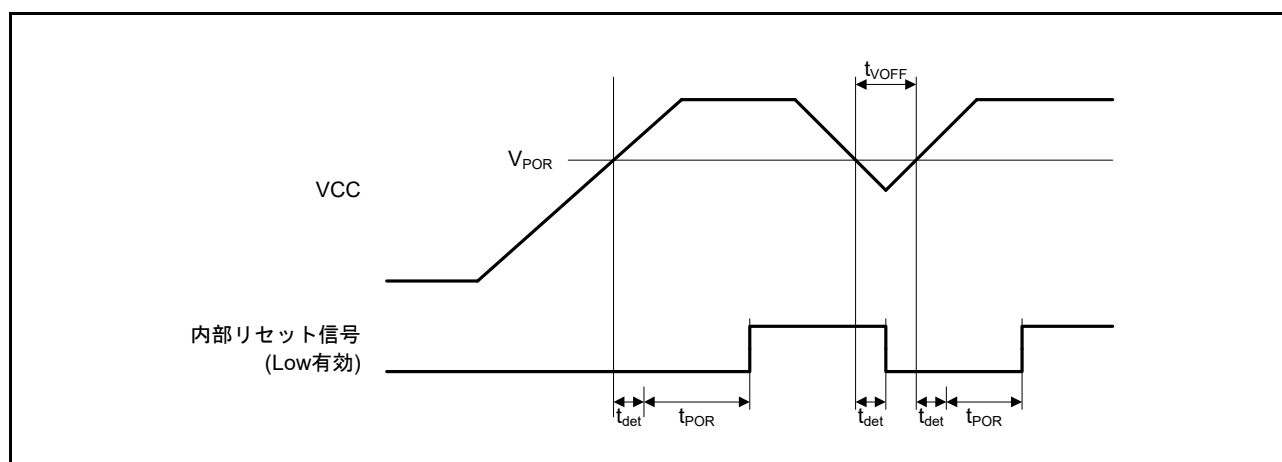
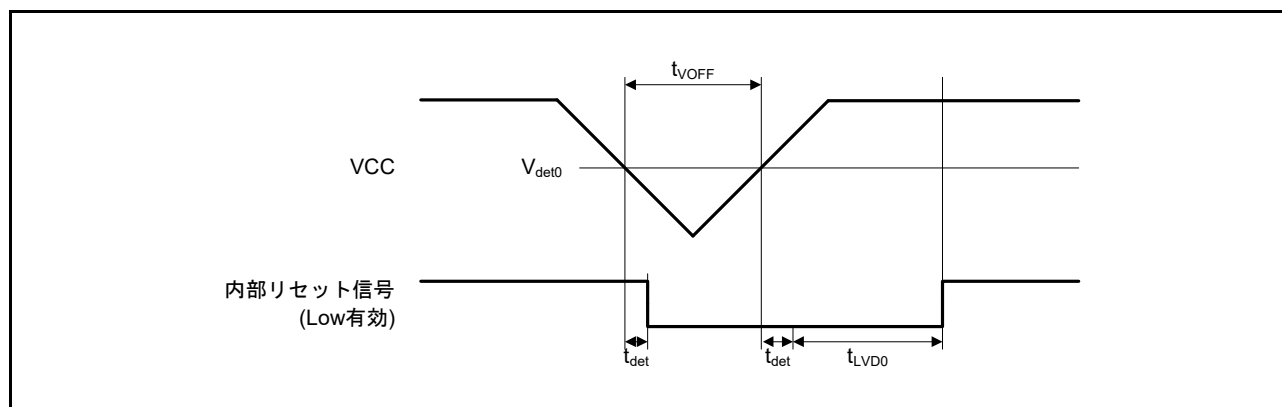
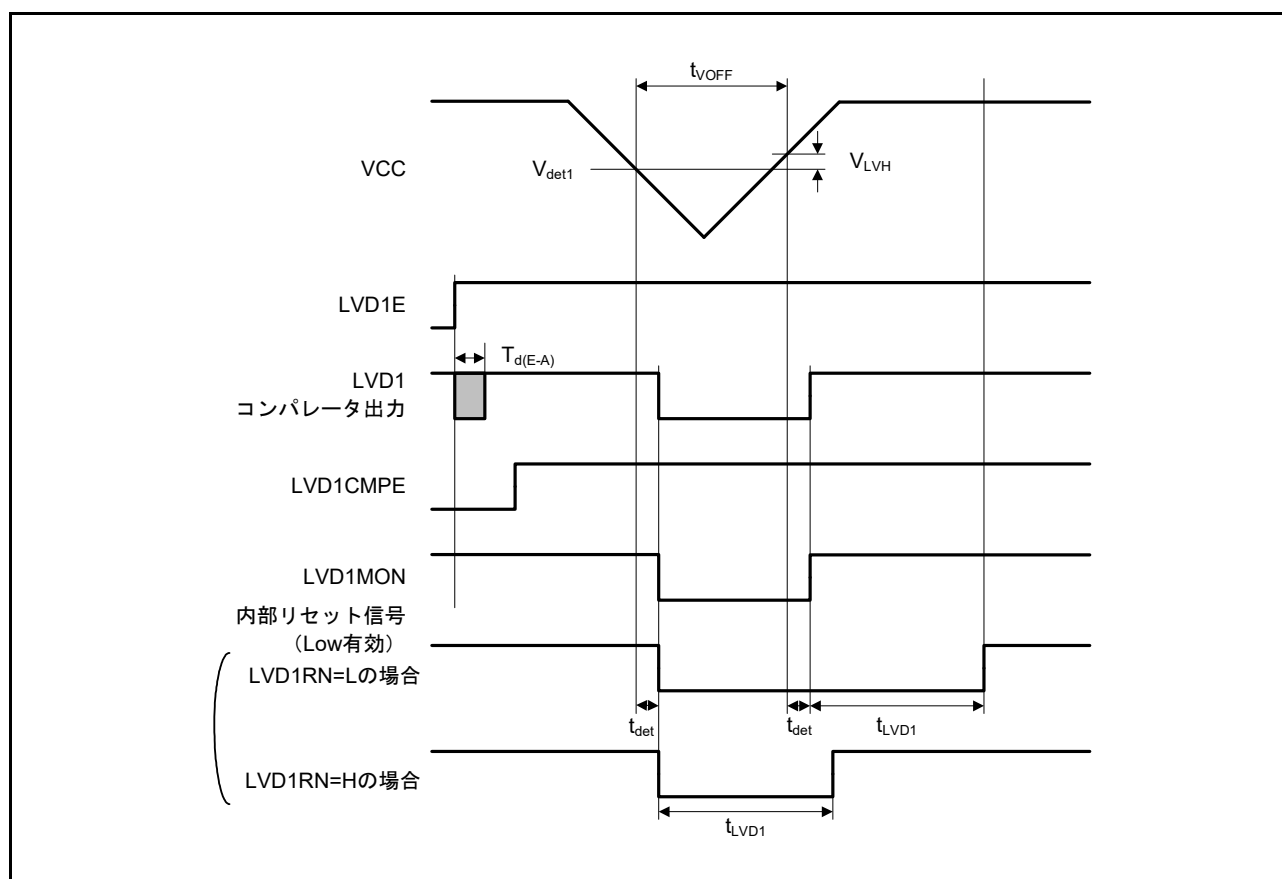
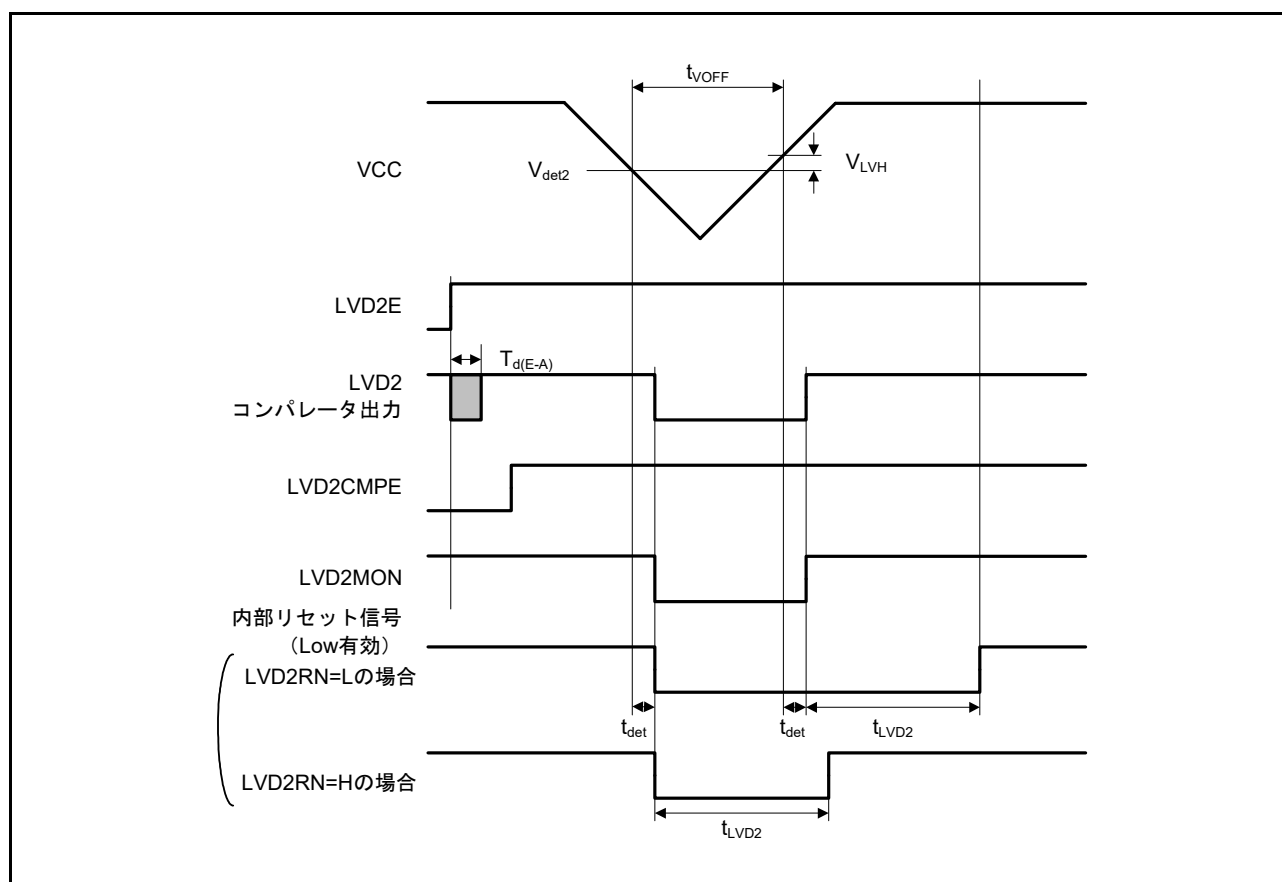


図 5.83 パワーオンリセットタイミング

図 5.84 電圧検出回路タイミング (V_{det0})

図 5.85 電圧検出回路タイミング (V_{det1})

図 5.86 電圧検出回路タイミング (V_{det2})

5.9 発振停止検出タイミング

表5.54 発振停止検出回路特性
条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.87

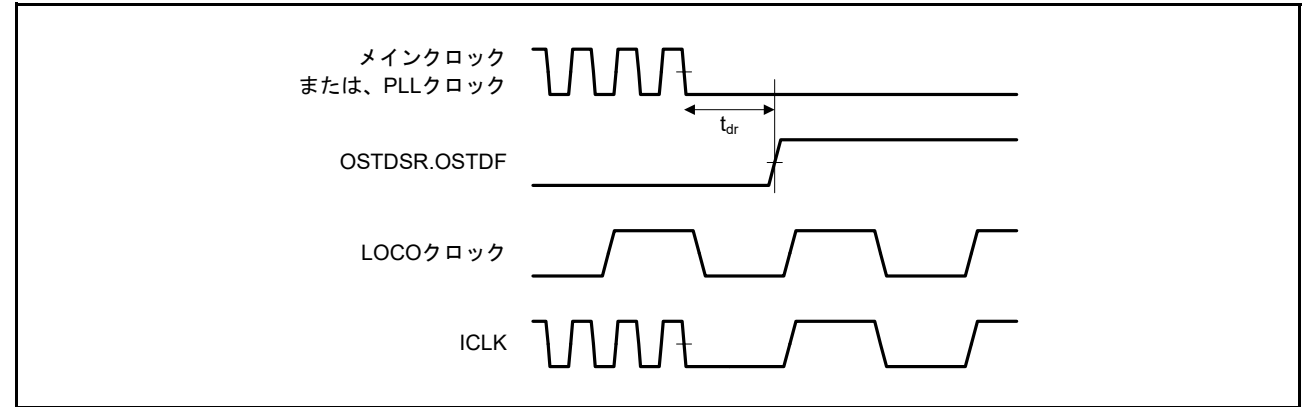


図 5.87 発振停止検出タイミング

5.10 バッテリバックアップ機能特性

表5.55 バッテリバックアップ機能特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	$V_{DETBATT}$	2.50	2.60	2.70	V	図 5.88
VCC電圧低下電源切り替え時 V_{BATT} 下限電圧	V_{BATTSW}	2.70	—	—	—	
切り替え可能VCCオフ期間	$t_{VOFFBATT}$	200	—	—	μs	

注. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル $V_{DETBATT}$ のmin値を下回っている時間です。

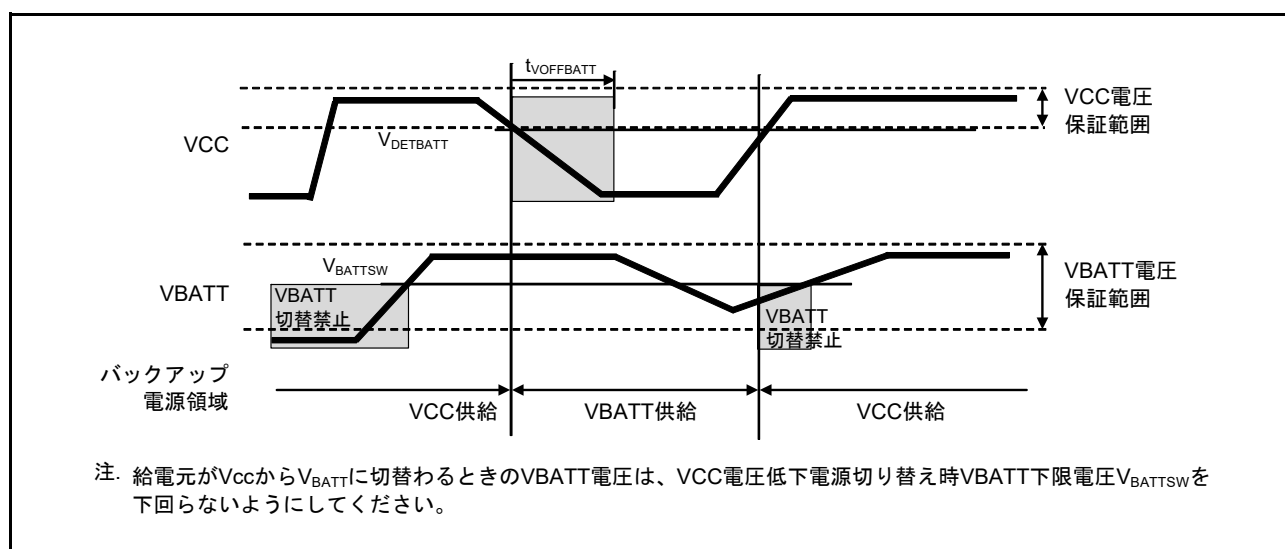


図 5.88 バッテリバックアップ機能特性

5.11 フラッシュメモリ特性

表5.56 コードフラッシュメモリ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$ プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 $N_{PEC} \leq 100$ 回のとき	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms
	8Kバイト	t_{P8K}	—	29	176	—	13	80	ms
	32Kバイト	t_{P32K}	—	116	704	—	52	320	ms
プログラム時間 $N_{PEC} > 100$ 回のとき	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2	ms
	8Kバイト	t_{P8K}	—	35	212	—	16	96	ms
	32Kバイト	t_{P32K}	—	140	848	—	64	384	ms
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	8Kバイト	t_{E8K}	—	71	216	—	39	120	ms
	32Kバイト	t_{E32K}	—	254	864	—	141	480	ms
イレーズ時間 $N_{PEC} > 100$ 回のとき	8Kバイト	t_{E8K}	—	85	260	—	47	144	ms
	32Kバイト	t_{E32K}	—	304	1040	—	169	576	ms
再プログラム/イレーズサイクル (注1)		N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回
プログラム中のサスペンド遅延時間		t_{SPD}	—	—	264	—	—	120	μs
イレーズ中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD1}	—	—	216	—	—	120	μs
イレーズ中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD2}	—	—	1.7	—	—	1.7	ms
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)		t_{SEED}	—	—	1.7	—	—	1.7	ms
強制終了コマンド		t_{FD}	—	—	32	—	—	20	μs
データ保持時間 (注3)		t_{DRP}	10	—	—	10	—	—	年
FCU リセット時間		t_{FCUR}	35	—	—	35	—	—	μs

注1. 再プログラム/イレーズサイクルの定義 : 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルが n 回 ($n = 1000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。例えば、8Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを32回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 書き換え後のすべての特性を保証する min 回数です (保証は1～min 値の範囲)。

注3. 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

表5.57 データフラッシュメモリ特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$
プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs
	64バイト	t_{DBC64}	—	—	280	—	—	100	μs
	2Kバイト	t_{DBC2K}	—	—	6169	—	—	2200	μs
再プログラム/イレーズサイクル (注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回
プログラム中のサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μs
イレーズ中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120	μs
イレーズ中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300	μs
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300	μs
強制終了コマンド		t_{FD}	—	—	32	—	—	20	μs
データ保持時間 (注3)		t_{DDRP}	10	—	—	10	—	—	年

注1. 再プログラム/イレーズサイクルの定義 : 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回 ($n = 100000$) の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを512回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です(保証は1～min値の範囲)。

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

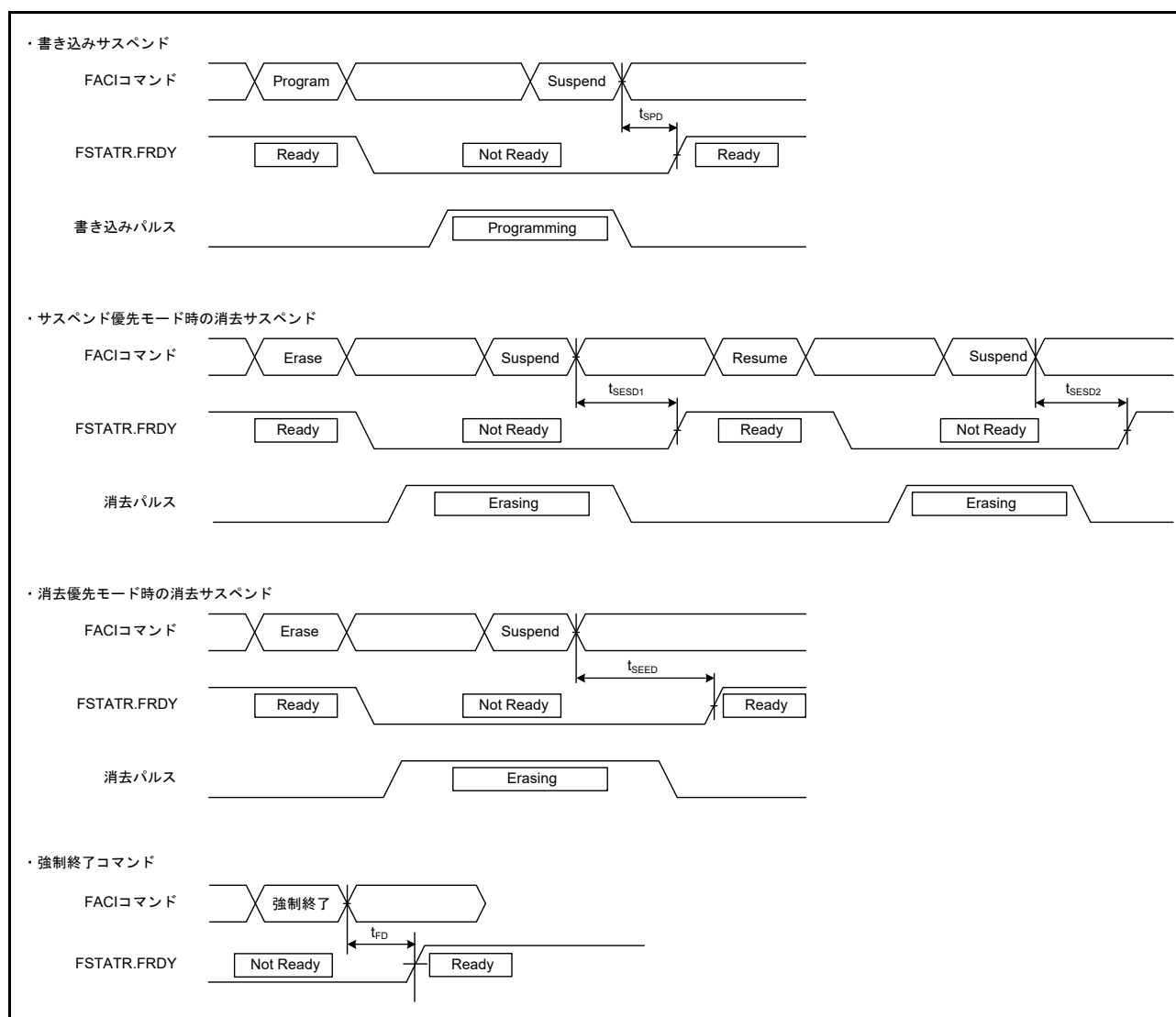


図 5.89 フラッシュメモリプログラム / イレーズサスペンドタイミング

5.12 バウンダリスキャン

表5.58 バウンダリスキャン特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 5.90
TCKクロック High レベルパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロック Low レベルパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST#パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図 5.91
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 5.92
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	40	ns	

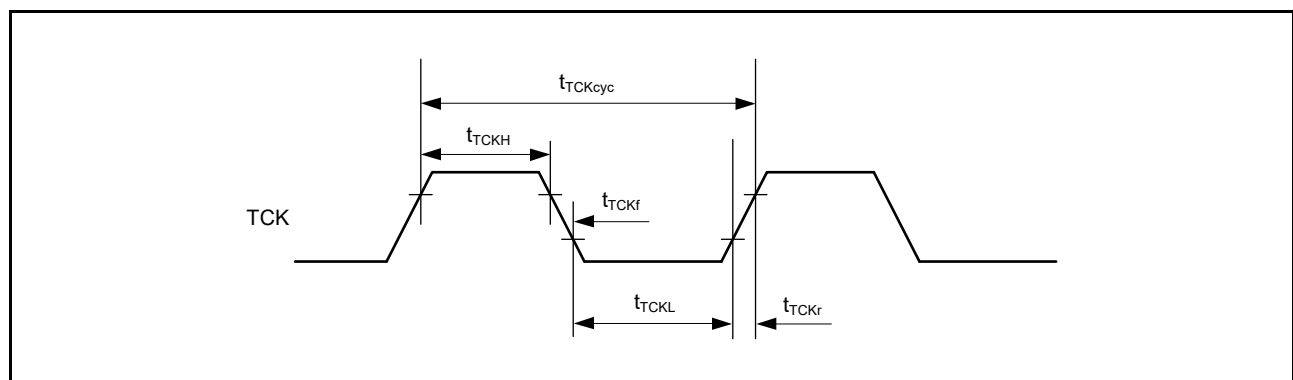


図 5.90 バウンダリスキャン TCK タイミング

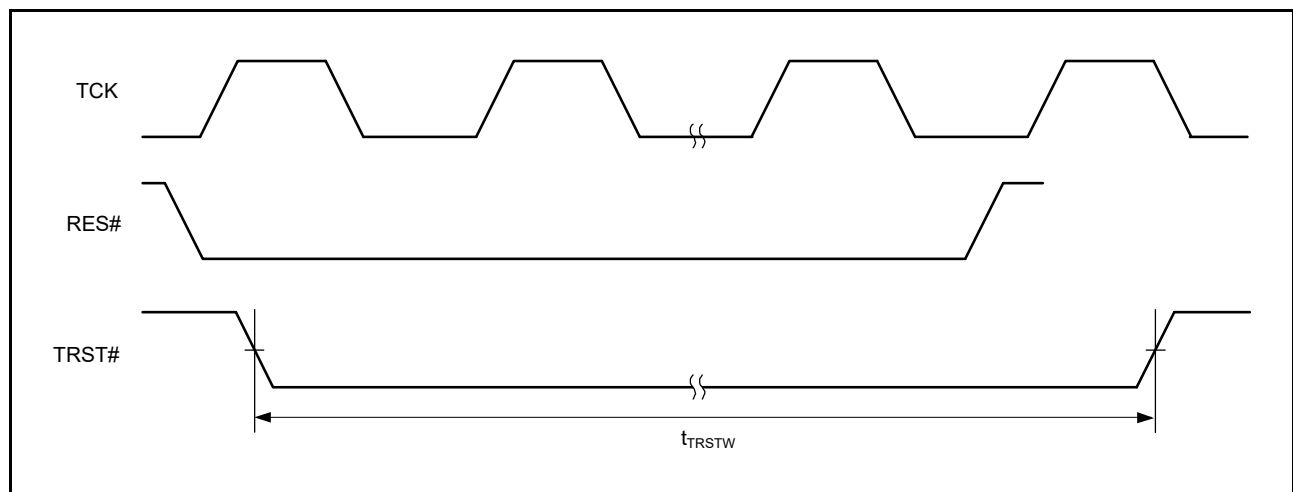


図 5.91 バウンダリスキャン TRST# タイミング

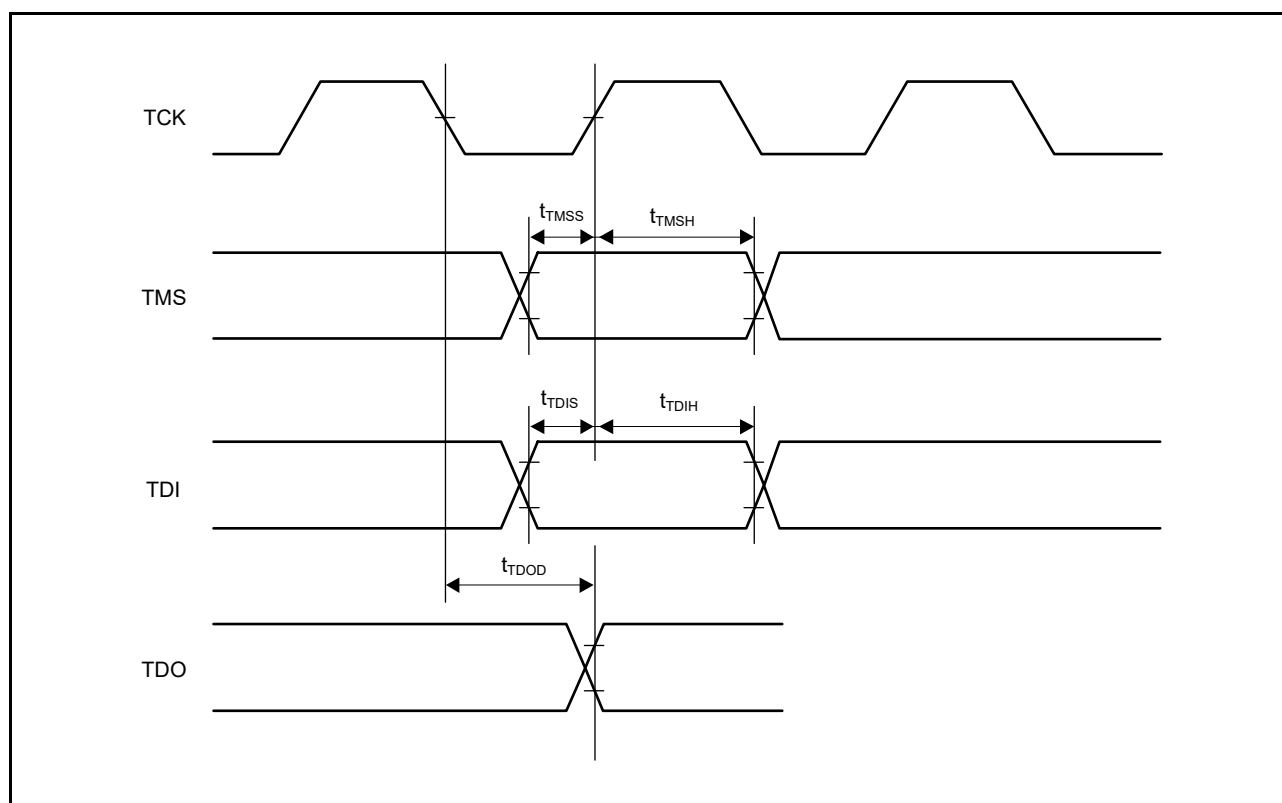


図 5.92 バウンダリスキャン入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

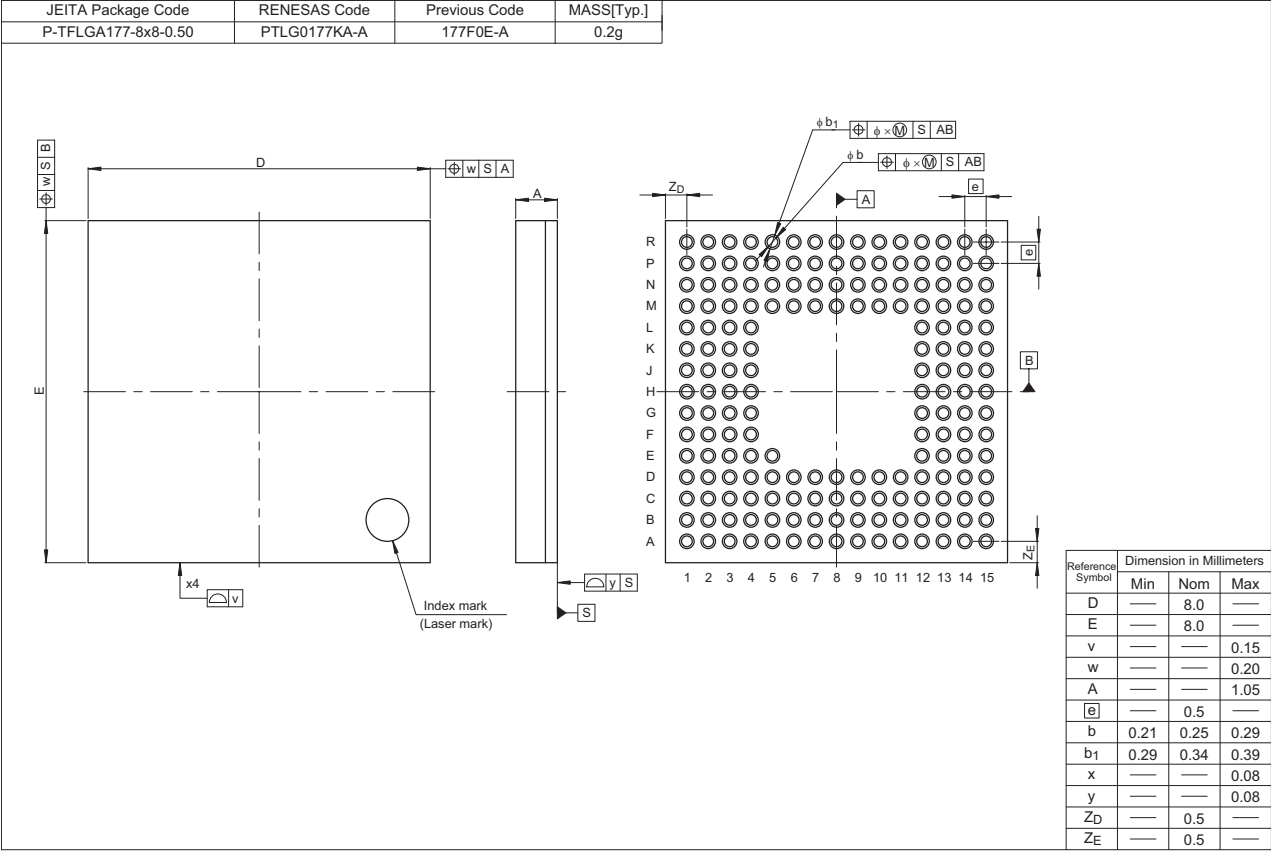


図 A. 177 ピン TFLGA (PTLG0177KA-A)

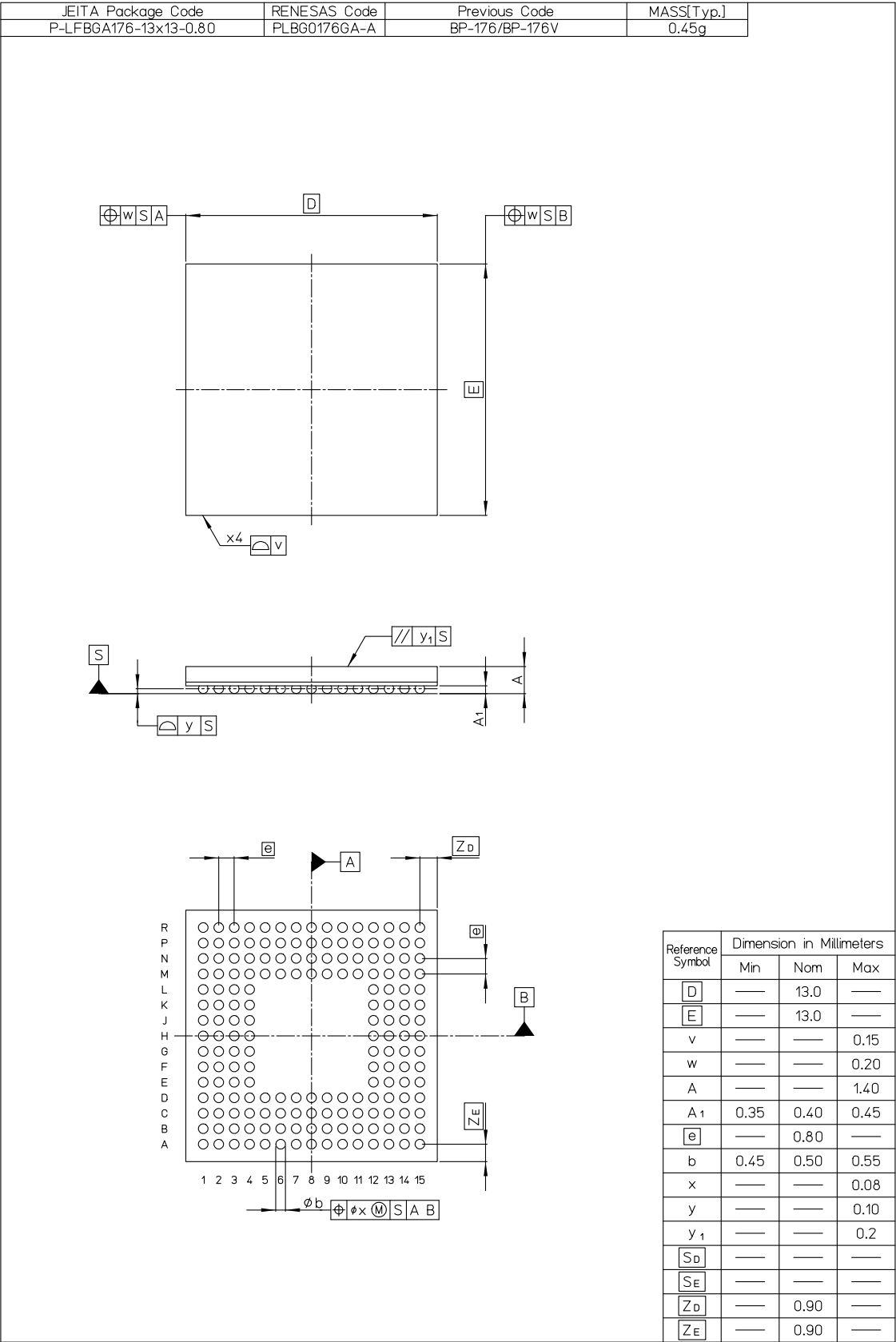


図 B. 176 ピン LFBGA (PLBG0176GA-A)

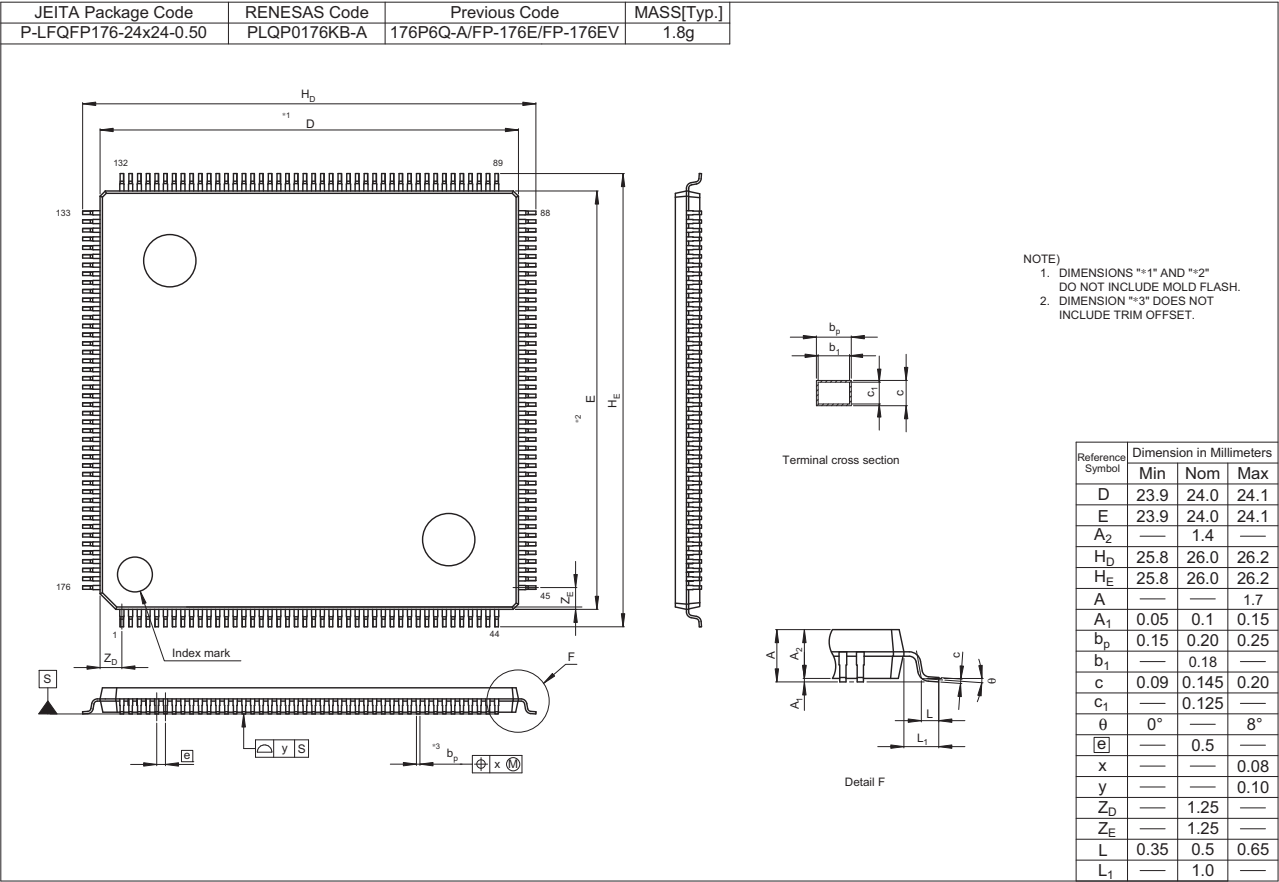


図 C. 176 ピン LQFP (PLQP0176KB-A)

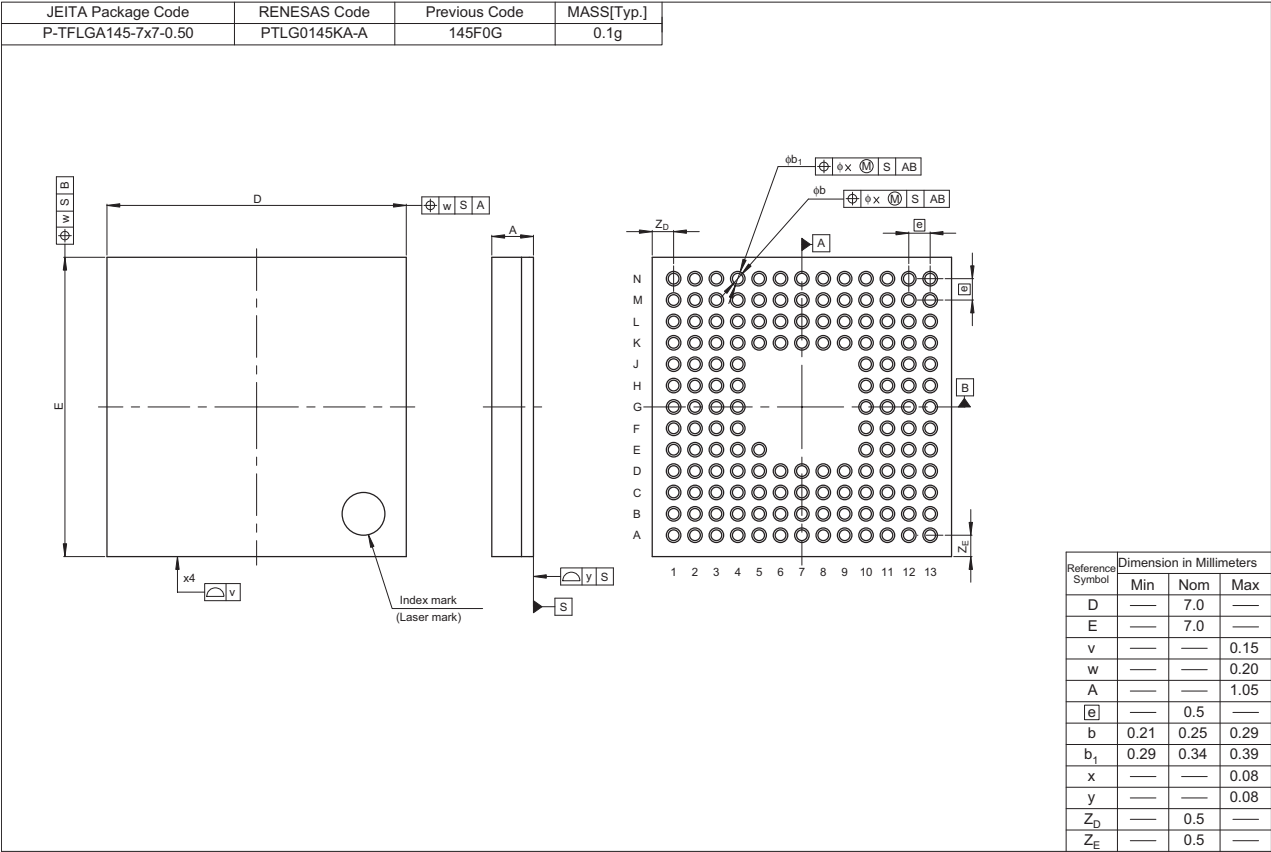


図 D. 145 ピン TFLGA (PTLG0145KA-A)

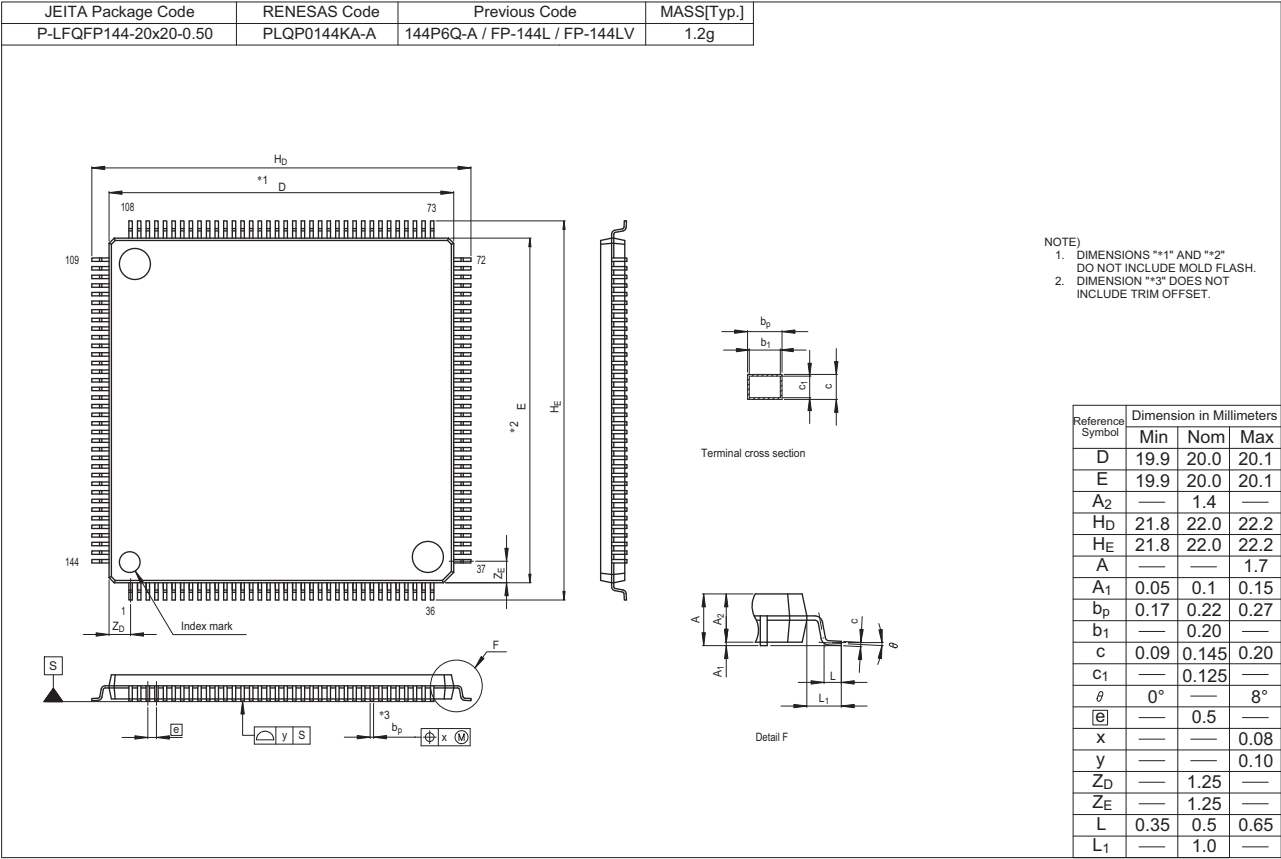


図 E. 144 ピン LQFP (PLQP0144KA-A)

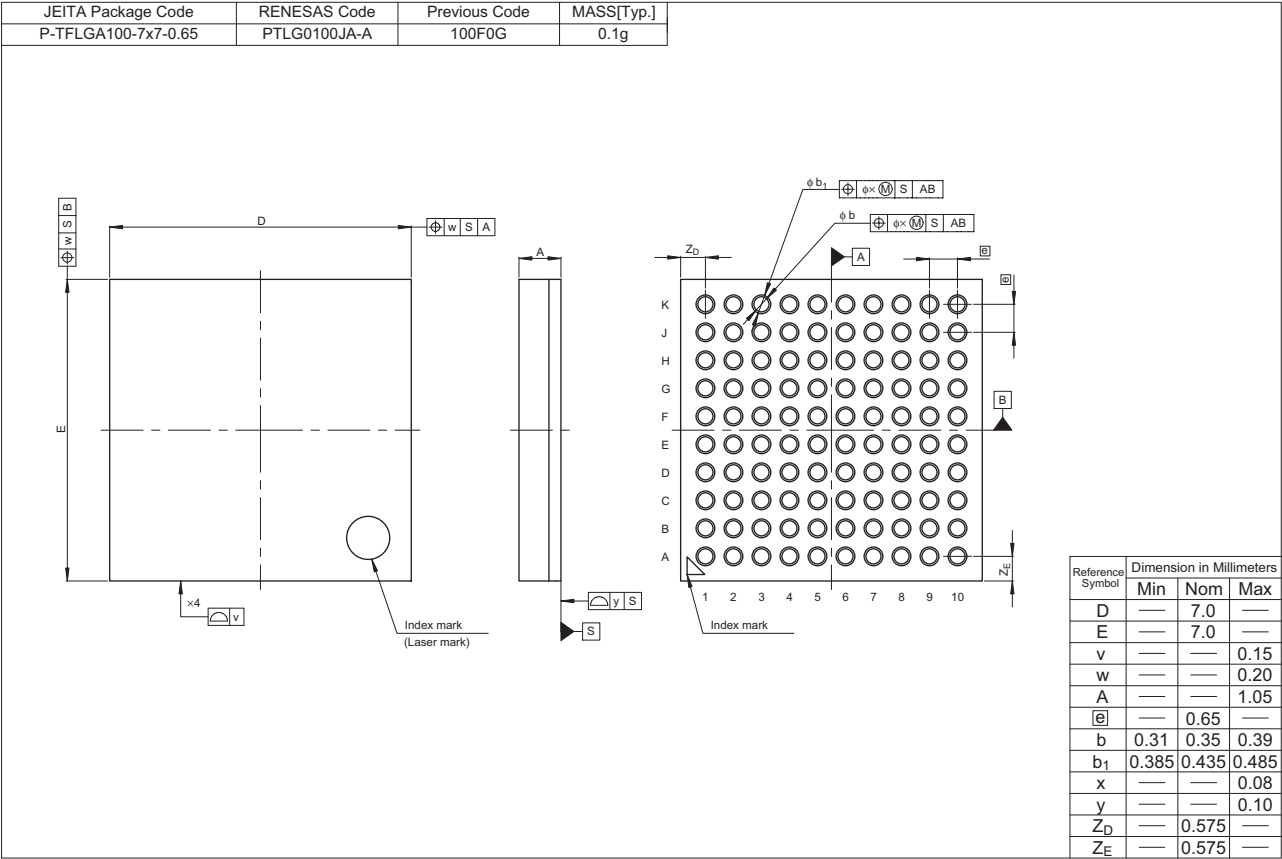


図 F. 100 ピン TFLGA (PTLG0100JA-A)

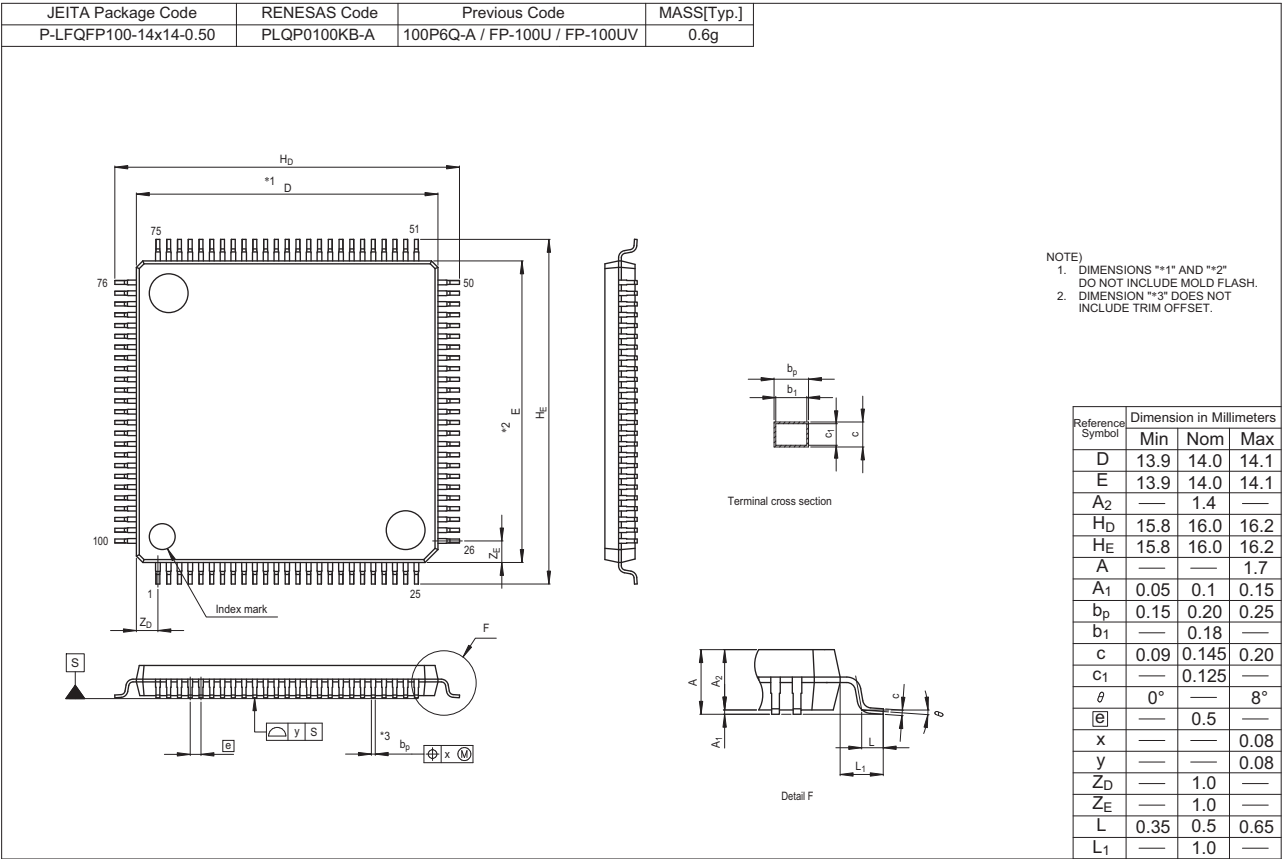


図 G. 100 ピン LQFP (PLQP0100KB-A)

改訂記録	RX71M グループ ユーザーズマニュアル データシート編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.01.15	—	初版発行	
1.10	2017.12.28	全体	【用語統一】 GPTa → GPTA 2重化 → 二重化 LQFP → LFQFP	
		特長		
		1	AESの鍵データ長を訂正	TN-RX*-A122A/J
		1. 概要		
		2	表 1.1 仕様概要 (1 / 9) 変更	TN-RX*-A127A/J
		5	表 1.1 仕様概要 (4 / 9) 変更	
		8	表 1.1 仕様概要 (7 / 9) 変更	
		10	表 1.1 仕様概要 (9 / 9) 変更	TN-RX*-A122A/J
		23	表 1.4 端子機能一覧 (6 / 8) 変更	
		50	表 1.7 機能別端子一覧 (145 ピン TFLGA) (2 / 7) 変更	TN-RX*-A122A/J
		56	表 1.8 機能別端子一覧 (144 ピン LFQFP) (1 / 7) 変更	
		60	表 1.8 機能別端子一覧 (144 ピン LFQFP) (5 / 7) 変更	
		64	表 1.9 機能別端子一覧 (100 ピン TFLGA) (2 / 5) 変更	
		71	表 1.10 機能別端子一覧 (100 ピン LFQFP) (4 / 5) 変更	
		4. I/O レジスタ		
		107	表 4.1 I/O レジスタアドレス一覧 (28 / 55) 0008 C296h 追加	
		109	表 4.1 I/O レジスタアドレス一覧 (30 / 55) 変更	TN-RX*-A152A/J
		110	表 4.1 I/O レジスタアドレス一覧 (31 / 55) 変更	
		129	表 4.1 I/O レジスタアドレス一覧 (50 / 55) RSPI のアクセスサイクル数 変更	
		134	表 4.1 I/O レジスタアドレス一覧 注記を追加	TN-RX*-A152A/J
		5. 電気的特性		
		135	表 5.1 絶対最大定格 変更	TN-RX*-A160A/J TN-RX*-A178A/J
		135	表 5.2 推奨動作条件 追加	TN-RX*-A178A/J
		136	表 5.3 DC 特性 (1) 変更	TN-RX*-A159A/J TN-RX*-A160A/J TN-RX*-A178A/J
		137	表 5.4 DC 特性 (2) 変更	TN-RX*-A159A/J
		140	表 5.7 熱抵抗値 (参考値) 追加	TN-RX*-A178A/J
		179	図 5.48 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定) 変更	TN-RX*-A159A/J
		203	表 5.52 温度センサ特性 変更	TN-RX*-A159A/J
		209	図 5.88 バッテリバックアップ機能特性 変更	
		210	表 5.56 コードフラッシュメモリ特性 変更	TN-RX*-A146A/J
		211	表 5.57 データフラッシュメモリ特性 変更	

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違くと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違ふ製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれかに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を生じさせるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じてても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.3.0-1 2016.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記どうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>