

RX130 グループ

ルネサスマイクロコンピュータ

R01DS0273JJ0100

Rev.1.00

2015.10.30

32MHz、32ビットRX MCU、50 DMIPS、最大128Kバイトフラッシュメモリ、最大36端子の静電容量式タッチセンサ、最大6本の通信機能、12ビットA/D、D/A、RTC IEC60730対応機能、1.8～5.5V動作

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 32MHz
50 DMIPS の性能 (32MHz 動作時)
- 32×32 → 64 ビット演算結果 (1 命令) のアキュムレータ
- 乗除算器 32×32 ビット (乗算命令は 1CPU クロック)
- 高速割り込み
- 5 段パイプラインの CISCO ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■ 消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- 3 種類の低消費電力モード
- ソフトウェアスタンバイ中でも動作可能なローパワータイマーを搭載
- 消費電流
高速動作モード: 96μA/MHz
ソフトウェアスタンバイモード: 0.37μA
- ソフトウェアスタンバイからの復帰時間: 4.8μs

■ 内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 10K/16K バイトの容量

■ DTC

- 4 種類の転送モード
- 割り込要因ごとに転送設定可能

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 8 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL 回路入力: 4MHz ~ 8MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 32MHz±1%
- IWDT 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

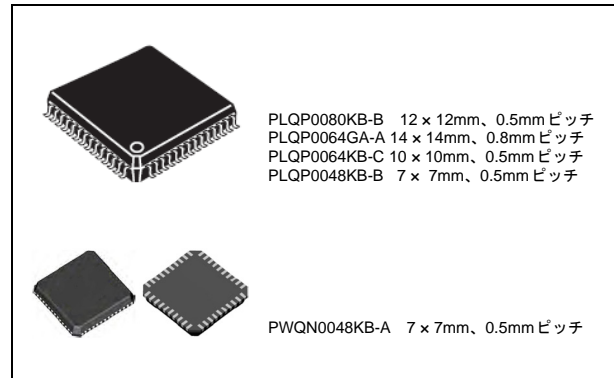
- 補正機能 (30 秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など



■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■ 最大 6 本の通信機能を内蔵

- 多彩な機能に対応した SCI (最大 4 チャンネル) 調歩同期式モード (ボーレート 0 ~ 255/255 の微調整可能) / クロック同期式モード / スマートカードインタフェースモード
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1 チャンネル)
- RSPI (1 チャンネル) 最大 16Mbps 転送

■ 最大 12 本の拡張タイマ機能

- 16 ビット MTU: インプットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6 チャンネル)
- 8 ビット TMR (4 チャンネル)
- 16 ビット CMT (2 チャンネル)

■ 12 ビット A/D コンバータ内蔵

- 最小 1.4μs 変換が可能
- 17 チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 変換結果コンペア機能内蔵
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵
- モータ制御に適したダブルトリガ (データ 2 重化) 機能

■ D/A コンバータ内蔵

- 2 チャンネル

■ 静電容量式タッチセンサ

- 自己容量方式: 1 端子 1 キー構成で最大 36 キーに対応
- 相互容量方式: 36 本の端子のマトリクス構成により最大 324 キーに対応

■ コンパレータ B

- 2 チャンネル

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動力切り替え機能

■ 温度センサ内蔵

■ ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■ 動作周囲温度

- -40 ~ + 85 °C
- -40 ~ + 105 °C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 に RX130 グループパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 RX130 グループパッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 4)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本 基本命令：73種類 可変長命令形式 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/128Kバイト ノーウェイトアクセス 書き換え方法：シリアルライタプログラミング（調歩同期式シリアル通信）、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：10K/16Kバイト ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回（typ）
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路（CAC）：あり システムクロック（ICLK）、周辺モジュールクロック（PCLK）、FlashIFクロック（FCLK）を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz 周辺モジュールはPCLK同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍（n:1, 2, 4, 8, 16, 32, 64）のみ設定可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAb）	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を14レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、低速動作モード

表 1.1 仕様概要 (2 / 4)

分類	モジュール/機能	説明
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：101 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数5 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDWT割り込み) 16レベルの割り込み優先順位を設定可能
DMA	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	80ピン/64ピン/48ピン <ul style="list-style-type: none"> 入出力：68/52/38 入力：1/1/1 プルアップ抵抗：68/52/38 オープンドレイン出力：47/35/26 5Vトレラント：4/2/2
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 47種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートBのイベントリンク動作が可能
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット2 (MTU2a)	<ul style="list-style-type: none"> (16ビット×6チャンネル) ×1ユニット 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) インプットキャプチャ機能 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 相補PWM出力モード リセット同期PWMモード 位相計数モード A/Dコンバータの変換開始トリガを生成可能
	ポートアウト プットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×1ユニット 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	独立ウォッチドッグ タイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDWT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイム クロック (RTCC)	<ul style="list-style-type: none"> クロックソース：サブクロックにて動作 カレンダーカウントモード/バイナリカウントモードを選択可能 割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み
	ローパワータイマ (LPT)	<ul style="list-style-type: none"> 16ビット×1チャンネル クロックソース：サブクロック、IWDWT専用低速オンチップオシレータ 2分周、4分周、8分周、16分周、32分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> (8ビット×2チャンネル) ×2ユニット 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能

表 1.1 仕様概要 (3 / 4)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIg, SCIh)	<ul style="list-style-type: none"> 4チャンネル (チャンネル1、5、6 : SCIg、チャンネル12 : SCIh) SCIg <ul style="list-style-type: none"> シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6、SCI12) スタートビット検出 : レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート ELCによるイベントリンク機能をサポート (チャンネル5のみ) SCIh (SCIgに以下の機能を付加) <ul style="list-style-type: none"> スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース (RIIa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPIa)	<ul style="list-style-type: none"> 1チャンネル 転送機能 <ul style="list-style-type: none"> MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADE)	<ul style="list-style-type: none"> 12ビット (1ユニット×17チャンネル) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.4μs (ADCLK = 32MHz動作時) 動作モード <ul style="list-style-type: none"> スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) サンプリング可変機能 <ul style="list-style-type: none"> チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 変換結果コンペア機能 A/D変換開始条件 <ul style="list-style-type: none"> ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC ELCによるイベントリンク機能をサポート 	
温度センサ (TEMPSA)	<ul style="list-style-type: none"> 1チャンネル 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	
D/Aコンバータ (DA)	<ul style="list-style-type: none"> 2チャンネル 分解能 : 8ビット 出力電圧 : 0V ~ AVCC0 	
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 <ul style="list-style-type: none"> $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能 	
コンパレータB (CMPBa)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 ウィンドウコンパレータ動作/基本コンパレータ動作の選択 	
静電容量式タッチセンサ (CTSUA)	検出端子36チャンネル	

表 1.1 仕様概要 (4 / 4)

分類	モジュール/機能	説明
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
ユニークID		マイコン個体ごとの32バイト長のIDコード
電源電圧/動作周波数		VCC = 1.8~2.4V : 8MHz、VCC = 2.4~2.7V : 16MHz、VCC = 2.7~5.5V : 32MHz
消費電流		3.1mA@32MHz
動作周囲温度		Dバージョン : -40~+85°C、Gバージョン : -40~+105°C
パッケージ		80ピンLFQFP (PLQP0080KB-B) 12×12mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10×10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14×14mm、0.8mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7×7mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KB-A) 7×7mm、0.5mmピッチ
オンチップデバッグシステム		E1エミュレータ (FINEインタフェース)

表 1.2 RX130グループパッケージ別機能比較一覧

モジュール/機能		RX130グループ		
		80ピン	64ピン	48ピン
割り込み	外部割り込み	NMI、IRQ0~IRQ7	NMI、IRQ0~IRQ2、IRQ4~IRQ7	NMI、IRQ0、IRQ1、IRQ4~IRQ7
DMA	データトランスファコントローラ	あり		
タイマ	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0~MTU5)		
	ポートアウトプットイネーブル2	POE0#~POE3#、POE8#		
	8ビットタイマ	2チャンネル×2ユニット		
	コンペマッパタイマ	2チャンネル×1ユニット		
	ローパワータイマ	1チャンネル		
	リアルタイムクロック	あり		なし
	独立ウォッチドッグタイマ	あり		
通信機能	シリアルコミュニケーションインタフェース (SCIg)	3チャンネル (SCI1、5、6)		
	シリアルコミュニケーションインタフェース (SCIh)	1チャンネル (SCI12)		
	I ² Cバスインタフェース	1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル		
静電容量式タッチセンサ	36チャンネル	32チャンネル	24チャンネル	
12ビットA/Dコンバータ	17チャンネル	14チャンネル	10チャンネル	
温度センサ	あり			
D/Aコンバータ	2チャンネル		なし	
CRC演算器	あり			
イベントリンクコントローラ	あり			
コンパレータB	2チャンネル			
パッケージ	80ピンLFQFP (0.5mm)	64ピンLQFP (0.8mm) 64ピンLFQFP (0.5mm)	48ピンLFQFP (0.5mm) 48ピンHWQFN (0.5mm)	

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度
RX130	R5F51305ADFN	R5F51305ADFN#30	PLQP0080KB-B	128Kバイト	16Kバイト	8Kバイト	32MHz	-40~85℃
	R5F51305ADFM	R5F51305ADFM#30	PLQP0064KB-C					
	R5F51305ADFK	R5F51305ADFK#30	PLQP0064GA-A					
	R5F51305ADFL	R5F51305ADFL#30	PLQP0048KB-B					
	R5F51305ADNE	R5F51305ADNE#U0	PWQN0048KB-A					
	R5F51303ADFN	R5F51303ADFN#30	PLQP0080KB-B	64Kバイト	10Kバイト			
	R5F51303ADFM	R5F51303ADFM#30	PLQP0064KB-C					
	R5F51303ADFK	R5F51303ADFK#30	PLQP0064GA-A					
	R5F51303ADFL	R5F51303ADFL#30	PLQP0048KB-B					
	R5F51303ADNE	R5F51303ADNE#U0	PWQN0048KB-A					
	R5F51305AGFN	R5F51305AGFN#30	PLQP0080KB-B	128Kバイト	16Kバイト			
	R5F51305AGFM	R5F51305AGFM#30	PLQP0064KB-C					
	R5F51305AGFK	R5F51305AGFK#30	PLQP0064GA-A					
	R5F51305AGFL	R5F51305AGFL#30	PLQP0048KB-B					
	R5F51305AGNE	R5F51305AGNE#U0	PWQN0048KB-A					
	R5F51303AGFN	R5F51303AGFN#30	PLQP0080KB-B	64Kバイト	10Kバイト			-40~105℃
	R5F51303AGFM	R5F51303AGFM#30	PLQP0064KB-C					
	R5F51303AGFK	R5F51303AGFK#30	PLQP0064GA-A					
	R5F51303AGFL	R5F51303AGFL#30	PLQP0048KB-B					
	R5F51303AGNE	R5F51303AGNE#U0	PWQN0048KB-A					

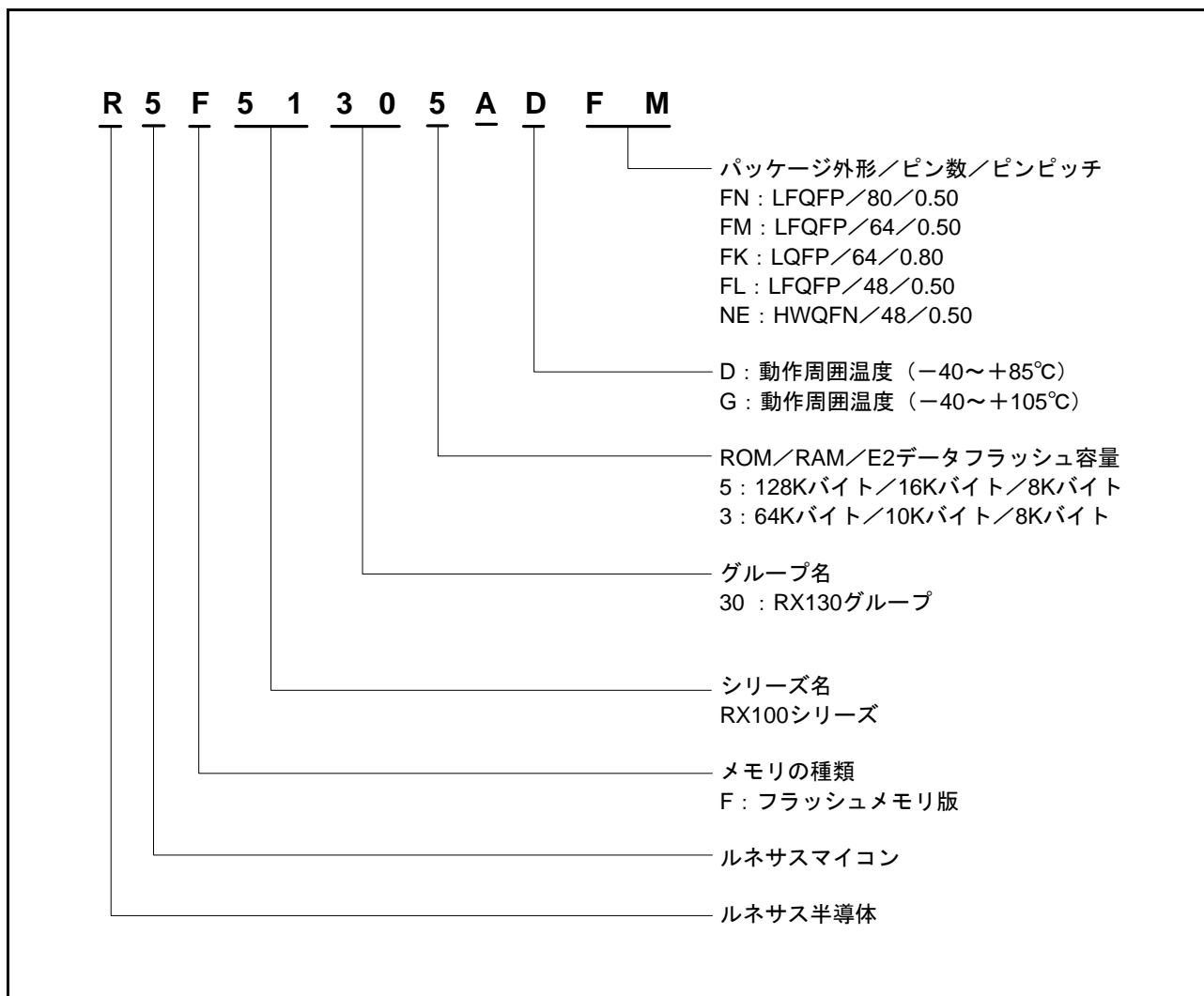


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

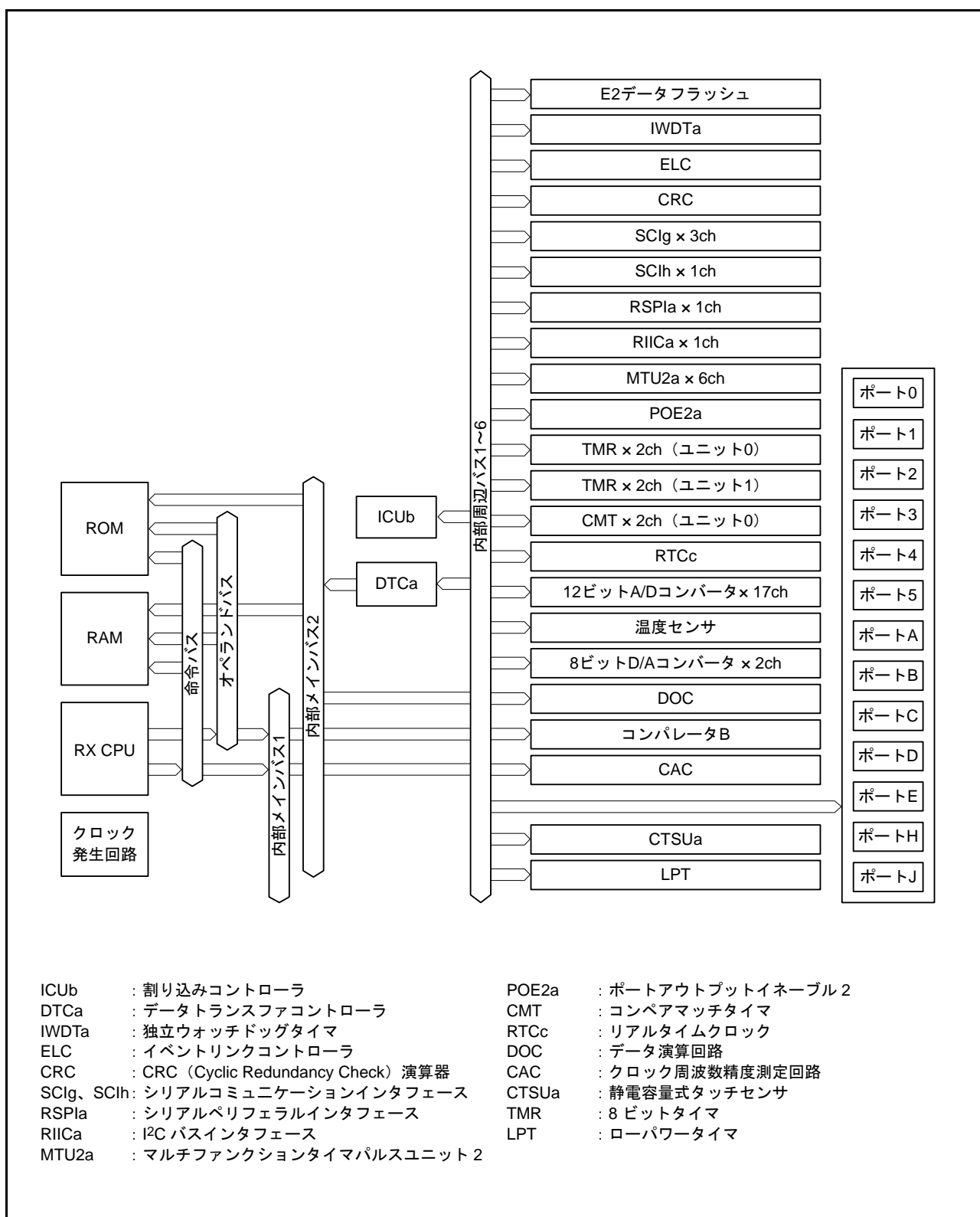


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCIN とXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0 ~ IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0 ~ TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3 ~ TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4 ~ TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプット イネーブル2	POE0# ~ POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
8ビットタイマ	TMO0 ~ TMO3	出力	コンペアマッチ出力端子
	TMCI0 ~ TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0 ~ TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5、SCK6	入出力	クロック入出力端子
	RXD1、RXD5、RXD6	入力	受信データ入力端子
	TXD1、TXD5、TXD6	出力	送信データ出力端子
	CTS1#、CTS5#、 CTS6#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#、RTS6#	出力	送受信開始制御用出力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 簡易 I ² C モード		
	SSCL1、SSCL5、 SSCL6	入出力	I ² C クロック入出力端子
	SSDA1、SSDA5、 SSDA6	入出力	I ² C データ入出力端子
	• 簡易 SPI モード		
	SCK1、SCK5、SCK6	入出力	クロック入出力端子
	SMISO1、SMISO5、 SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5、 SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#、SS5#、SS6#	入力	スレーブセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易 I ² C モード		
	SSCL12	入出力	I ² C クロック入出力端子
	SSDA12	入出力	I ² C データ入出力端子
	• 簡易 SPI モード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCI _f 受信データ入力端子
	TXDX12	出力	SCI _f 送信データ出力端子
	SIOX12	入出力	SCI _f 送受信データ入出力端子
I ² C バスインタフェース	SCL	入出力	I ² C バスインタフェースのクロック入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
	SDA	入出力	I ² C バスインタフェースのデータ入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビット A/D コンバータ	AN000～AN007、 AN016～AN021、 AN024～AN026	入力	A/D コンバータのアナログ入力端子
	ADTRG0#	入力	A/D 変換開始のための外部トリガ入力端子
D/A コンバータ	DA0、DA1	出力	D/A コンバータのアナログ出力端子
コンパレータ B	CMPB0、CMPB1	入力	コンパレータ B 用のアナログ端子
	CVREFB0、CVREFB1	入力	コンパレータ B 用のリファレンス電圧端子
	CMPOB0、CMPOB1	出力	コンパレータ B 用出力端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
CTSUS	TS0～TS35	入出力	静電容量計測端子（タッチ端子）
	TSCAP	—	内部電源安定用の平滑コンデンサ（10nF）を介してVSSに接続してください。コンデンサは端子近くに配置してください
アナログ電源	AVCC0	入力	12ビットA/DコンバータとD/Aコンバータのアナログ電源端子。12ビットA/DコンバータとD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/DコンバータとD/Aコンバータのアナロググランド端子。VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P03～P07	入出力	5ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20、P21、P26、P27	入出力	4ビットの入出力端子
	P30～P32、P34～P37	入出力	7ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P54、P55	入出力	2ビットの入出力端子
	PA0～PA6	入出力	7ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC2～PC7	入出力	6ビットの入出力端子
	PD0～PD2	入出力	3ビットの入出力端子
	PE0～PE5	入出力	6ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1、PJ6、PJ7	入出力	3ビットの入力端子

1.5 ピン配置図

図 1.3 ~ 図 1.6 にピン配置図を示します。また、表 1.5 ~ 表 1.7 に機能別端子一覧を示します。

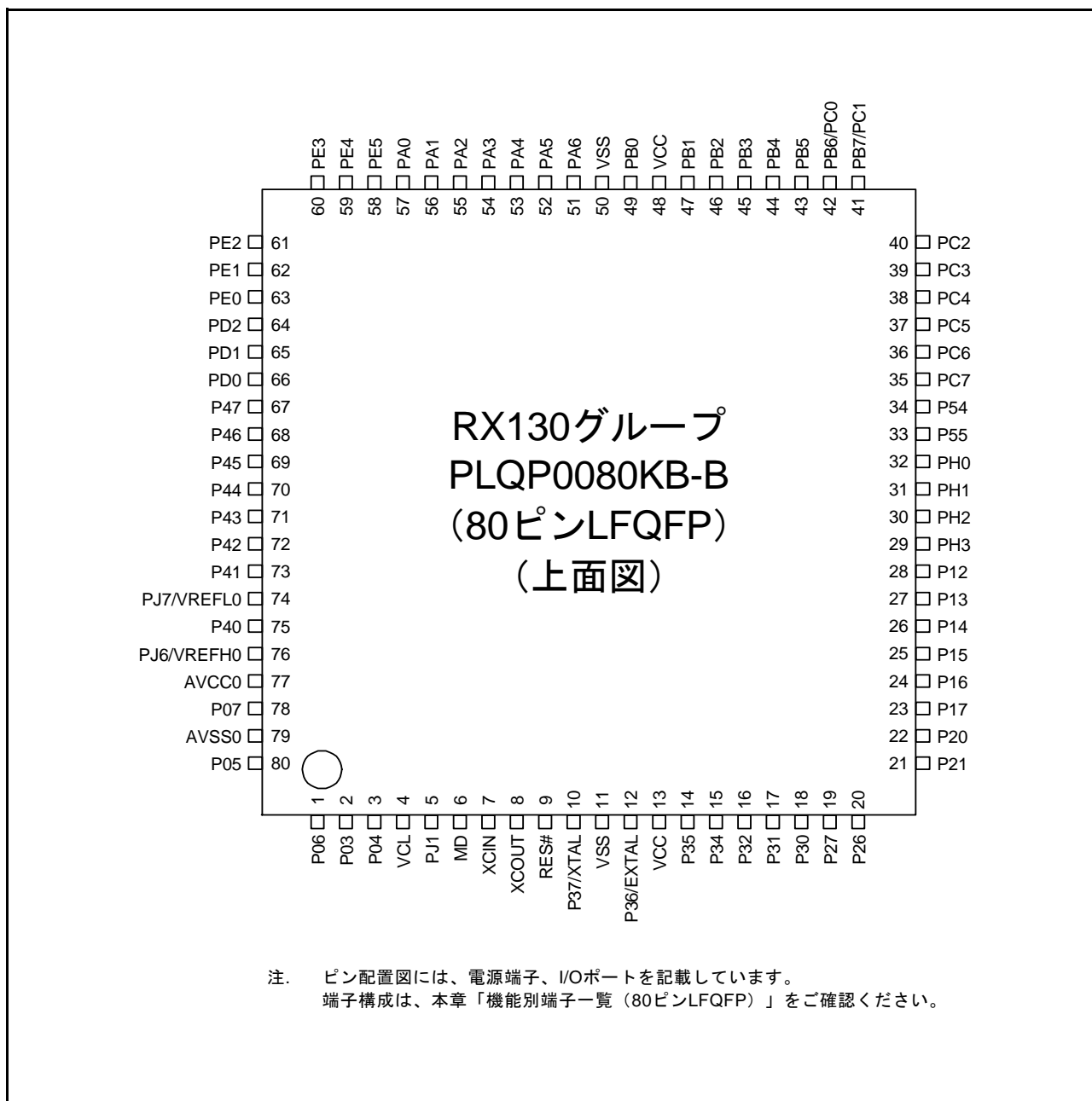


図 1.3 80ピンLQFPピン配置図

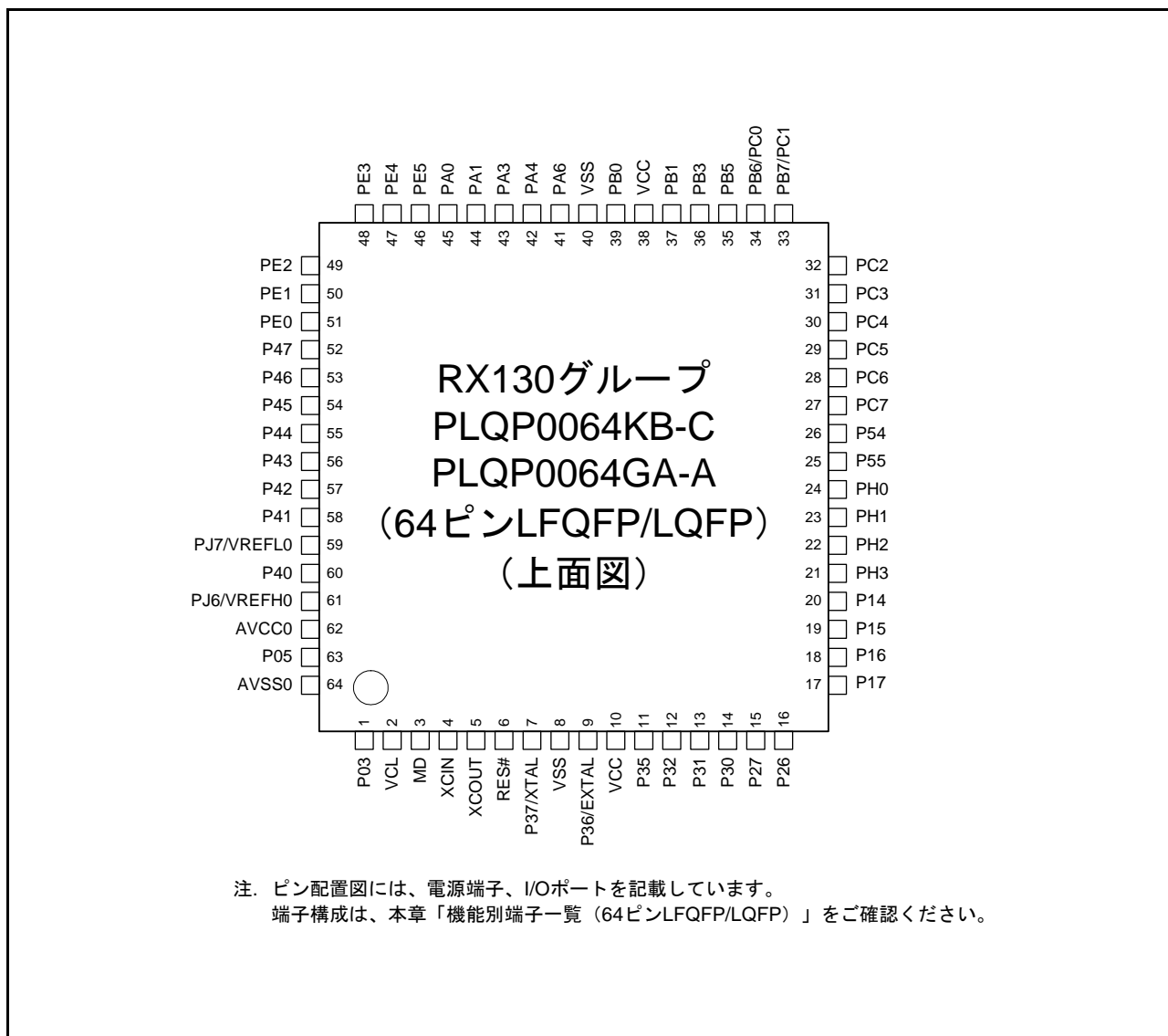


図 1.4 64ピンLQFP/LQFPピン配置図

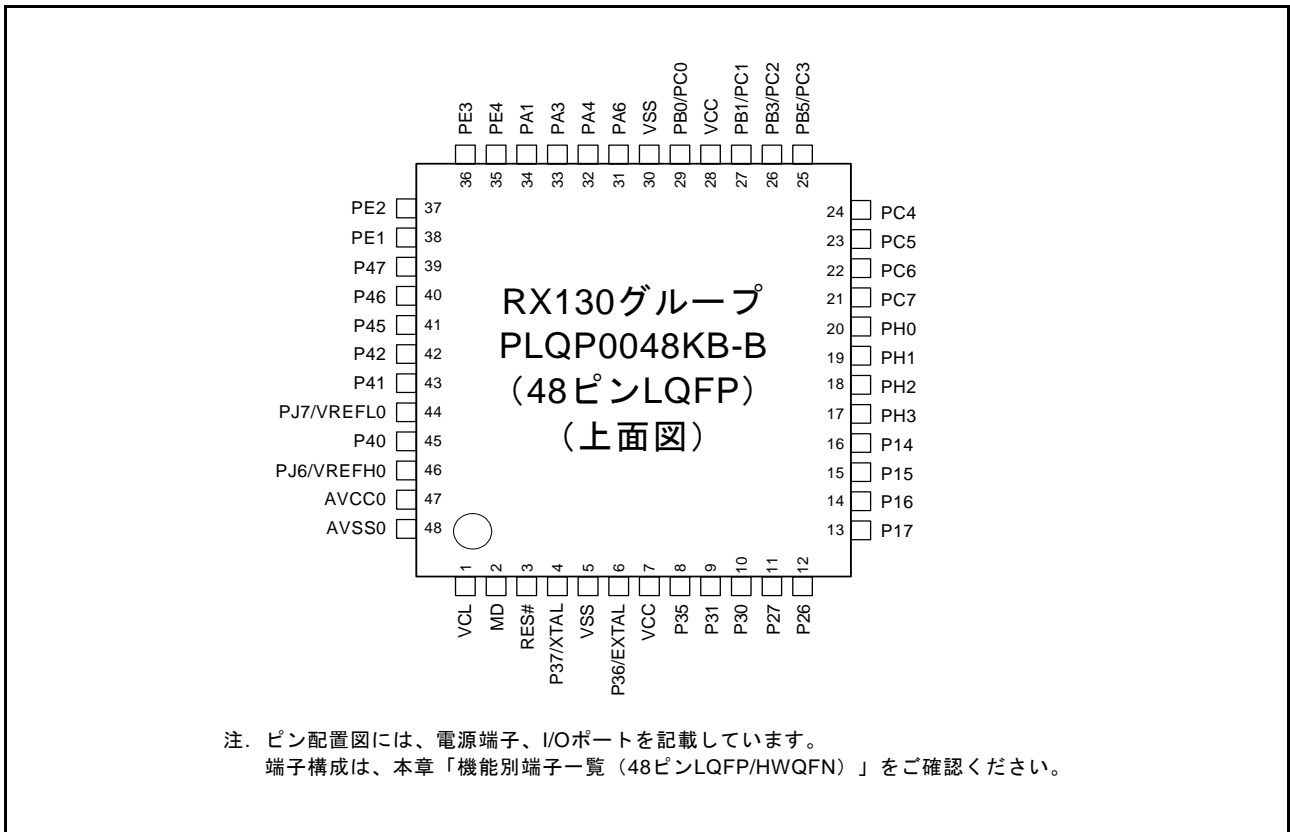


図 1.5 48 ピン LQFP ピン配置図

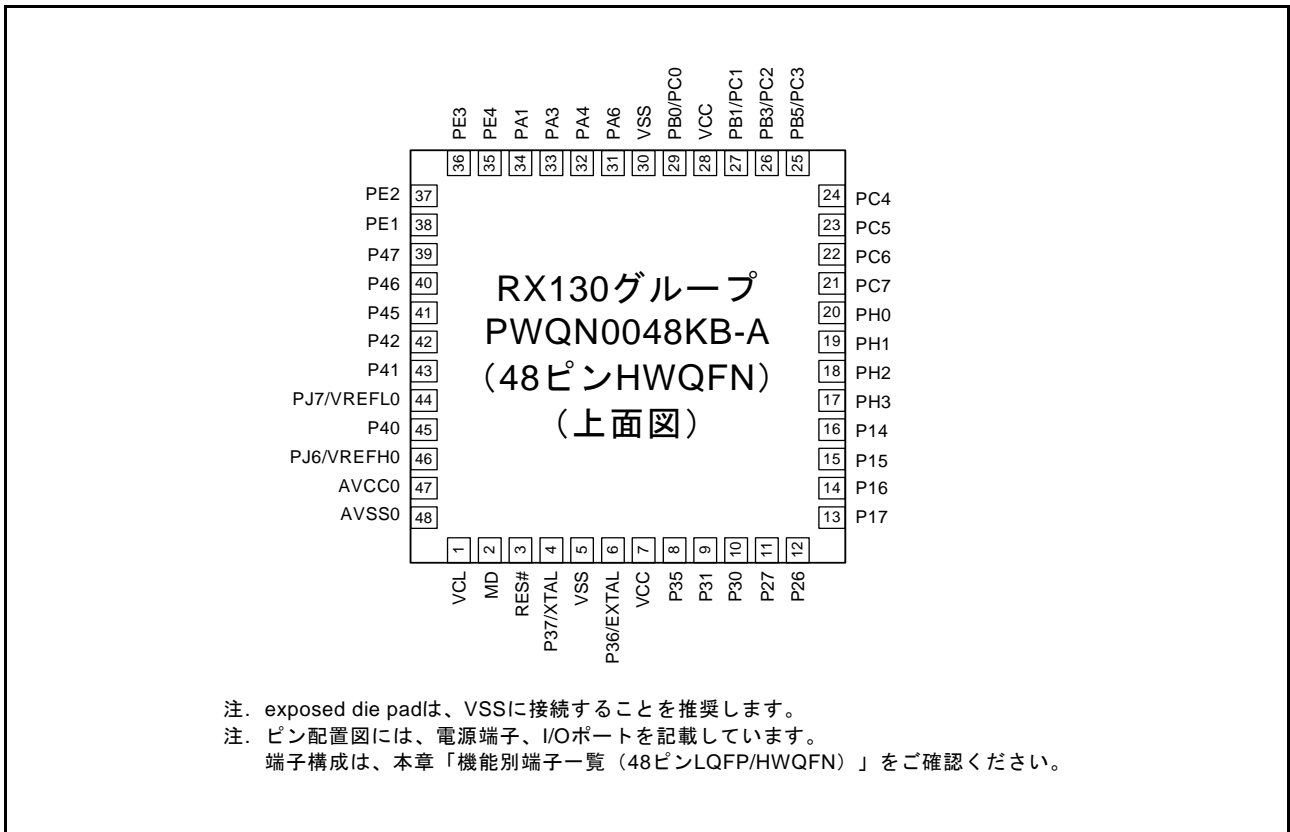


図 1.6 48 ピン HWQFN ピン配置図

表 1.5 機能別端子一覧 (80ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SClg、SCLh、RSPI、RIIC)	タッチ	その他
1		P06 (注2)				
2		P03 (注2)				DA0
3		P04 (注2)				
4	VCL					
5		PJ1	MTIOC3A			
6	MD					FINED
7	XCIN					
8	XCOUT					
9	RES#					
10	XTAL	P37				
11	VSS					
12	EXTAL	P36				
13	VCC					
14		P35				NMI
15		P34	MTIOC0A/TMCI3/POE2#	SCK6		IRQ4
16		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	TS0	IRQ2/RTCOUT
17		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	TS1	IRQ1
18		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	TS2	IRQ0
19		P27	MTIOC2B/TMCI3	SCK1	TS3	
20		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	TS4	
21		P21	MTIOC1B/TMCI0			
22		P20	MTIOC1A/TMRI0			
23	(5V tolerant)	P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA		IRQ7
24	(5V tolerant)	P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL		IRQ6/RTCOUT/ ADTRG0#
25		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	TS5	IRQ5
26		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	TS6	IRQ4
27	(5V tolerant)	P13	MTIOC0B/TMO3	SDA		IRQ3
28	(5V tolerant)	P12	TMCI1	SCL		IRQ2
29		PH3	TMCI0		TS7	
30		PH2	TMRI0		TS8	IRQ1
31		PH1	TMO0		TS9	IRQ0
32		PH0			TS10	CACREF
33		P55	MTIOC4D/TMO3		TS11	
34		P54	MTIOC4B/TMCI1		TS12	
35		PC7	MTIOC3A/TMO2/MTCLKB	MISOA	TS13	CACREF
36		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	TS14	
37		PC5	MTIOC3B/MTCLKD/TMRI2	RSPCKA	TS15	
38		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/SSLA0	TSCAP	
39		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	TS16	
40		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	TS17	
41		PB7/PC1 (注1)	MTIOC3B		TS18	
42		PB6/PC0 (注1)	MTIOC3D		TS19	
43		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE1#		TS20	
44		PB4			TS21	
45		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	TS22	

表 1.5 機能別端子一覧 (80ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SClg、SClh、RSPI、RIIC)	タッチ	その他
46		PB2		CTS6#/RTS6#/SS6#	TS23	
47		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD6/SMOSI6/SSDA6	TS24	IRQ4/CMPOB1
48	VCC					
49		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	TS25	
50	VSS					
51		PA6	MTIC5V/MTCLKB/TMC13/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	TS26	
52		PA5		RSPCKA	TS27	
53		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
54		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
55		PA2		RXD5/SMISO5/SSCL5/SSLA3	TS30	
56		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	TS31	
57		PA0	MTIOC4A	SSLA1	TS32	CACREF
58		PE5	MTIOC4C/MTIOC2B			IRQ5/AN021/CMPOB0
59		PE4	MTIOC4D/MTIOC1A		TS33	AN020/CMPA2/ CLKOUT
60		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	TS34	AN019/CLKOUT
61		PE2	MTIOC4A	RXD12/RXDX12/SMOSI12/SSCL12	TS35	IRQ7/AN018/CVREFB0
62		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12		AN017/CMPB0
63		PE0		SCK12		AN016
64		PD2	MTIOC4D	SCK6		IRQ2/AN026
65		PD1	MTIOC4B	RXD6/SMISO6/SSCL6		IRQ1/AN025
66		PD0		TXD6/SMOSI6/SSDA6		IRQ0/AN024
67		P47 (注2)				AN007
68		P46 (注2)				AN006
69		P45 (注2)				AN005
70		P44 (注2)				AN004
71		P43 (注2)				AN003
72		P42 (注2)				AN002
73		P41 (注2)				AN001
74	VREFL0	PJ7 (注2)				
75		P40 (注2)				AN000
76	VREFH0	PJ6 (注2)				
77	AVCC0					
78		P07 (注2)				ADTRG0#
79	AVSS0					
80		P05 (注2)				DA1

注1. PC0、PC1は、ポート切り替え機能選択時のみ有効です。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.6 機能別端子一覧 (64ピンLFQFP/LQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SClg、SClh、RSPI、RIIC)	タッチ	その他
1		P03 (注2)				DA0
2	VCL					
3	MD					FINED
4	XCIN					
5	XCOUT					
6	RES#					
7	XTAL	P37				
8	VSS					
9	EXTAL	P36				
10	VCC					
11		P35				NMI
12		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	TS0	IRQ2/RTCOUT
13		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	TS1	IRQ1
14		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	TS2	IRQ0
15		P27	MTIOC2B/TMCI3	SCK1	TS3	
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	TS4	
17	(5V tolerant)	P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA		IRQ7
18	(5V tolerant)	P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL		IRQ6/RTCOUT/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	TS5	IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	TS6	IRQ4
21		PH3	TMCI0		TS7	
22		PH2	TMRI0		TS8	IRQ1
23		PH1	TMO0		TS9	IRQ0
24		PH0			TS10	CACREF
25		P55	MTIOC4D/TMO3		TS11	
26		P54	MTIOC4B/TMCI1		TS12	
27		PC7	MTIOC3A/TMO2/MTCLKB	MISOA	TS13	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	TS14	
29		PC5	MTIOC3B/MTCLKD/TMRI2	RSPCKA	TS15	
30		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/SSLA0	TSCAP	
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	TS16	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	TS17	
33		PB7/PC1 (注1)	MTIOC3B		TS18	
34		PB6/PC0 (注1)	MTIOC3D		TS19	
35		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE1#		TS20	
36		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	TS22	
37		PB1	MTIOC0C/MTIOC4C/ TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4/CMPOB1
38	VCC					
39		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	TS25	
40	VSS					
41		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	TS26	
42		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
43		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
44		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	TS31	

表 1.6 機能別端子一覧 (64ピンLFQFP/LQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SClg、SCLh、RSPI、RIIC)	タッチ	その他
45		PA0	MTIOC4A	SSLA1	TS32	CACREF
46		PE5	MTIOC4C/MTIOC2B			IRQ5/AN021/CMPOB0
47		PE4	MTIOC4D/MTIOC1A		TS33	AN020/CMPA2/ CLKOUT
48		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	TS34	AN019/CLKOUT
49		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12	TS35	IRQ7/AN018/CVREFB0
50		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12		AN017/CMPB0
51		PE0		SCK12		AN016
52		P47 (注2)				AN007
53		P46 (注2)				AN006
54		P45 (注2)				AN005
55		P44 (注2)				AN004
56		P43 (注2)				AN003
57		P42 (注2)				AN002
58		P41 (注2)				AN001
59	VREFL0	PJ7 (注2)				
60		P40 (注2)				AN000
61	VREFH0	PJ6 (注2)				
62	AVCC0					
63		P05 (注2)				DA1
64	AVSS0					

注1. PC0、PC1は、ポート切り替え機能選択時のみ有効です。

注2. これら端子の入出力バッファの電源はAVCC0です。

表 1.7 機能別端子一覧 (48ピンLQFP/HWQFN) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SClg、SCLh、RSPI、RIIC)	タッチ	その他
1	VCL					
2	MD					FINED
3	RES#					
4	XTAL	P37				
5	VSS					
6	EXTAL	P36				
7	VCC					
8		P35				NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	TS1	IRQ1
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	TS2	IRQ0
11		P27	MTIOC2B/TMCI3	SCK1	TS3	
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	TS4	
13	(5V tolerant)	P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA		IRQ7
14	(5V tolerant)	P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL		IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	TS5	IRQ5
16		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	TS6	IRQ4
17		PH3	TMCI0		TS7	
18		PH2	TMRI0		TS8	IRQ1
19		PH1	TMO0		TS9	IRQ0
20		PH0			TS10	CACREF
21		PC7	MTIOC3A/TMO2/MTCLKB	MISOA	TS13	CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	TS14	
23		PC5	MTIOC3B/MTCLKD/TMRI2	RSPCKA	TS15	
24		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/SSLA0	TSCAP	
25		PB5/PC3 (注1)	MTIOC2A/MTIOC1B/ TMRI1/POE1#		TS20	
26		PB3/PC2 (注1)	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	TS22	
27		PB1/PC1 (注1)	MTIOC0C/MTIOC4C/ TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4/CMPOB1
28	VCC					
29		PB0/PC0 (注1)	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	TS25	
30	VSS					
31		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	TS26	
32		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
33		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
34		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	TS31	
35		PE4	MTIOC4D/MTIOC1A		TS33	AN020/CMPA2/ CLKOUT
36		PE3	MTIOC4B/POE8#	CTS12#/RTS12#	TS34	AN019/CLKOUT
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12	TS35	IRQ7/AN018/CVREFB0
38		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SSDA12		AN017/CMPB0
39		P47 (注2)				AN007
40		P46 (注2)				AN006
41		P45 (注2)				AN005
42		P42 (注2)				AN002
43		P41 (注2)				AN001
44	VREFL0	PJ7 (注2)				

表 1.7 機能別端子一覧 (48ピンLQFP/HWQFN) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SClg、SClh、RSPI、RIIC)	タッチ	その他
45		P40 (注2)				AN000
46	VREFH0	PJ6 (注2)				
47	AVCC0					
48	AVSS0					

注1. PC0～PC3は、ポート切り替え機能選択時のみ有効です。

注2. これら端子の入出力バッファの電源はAVCC0です。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

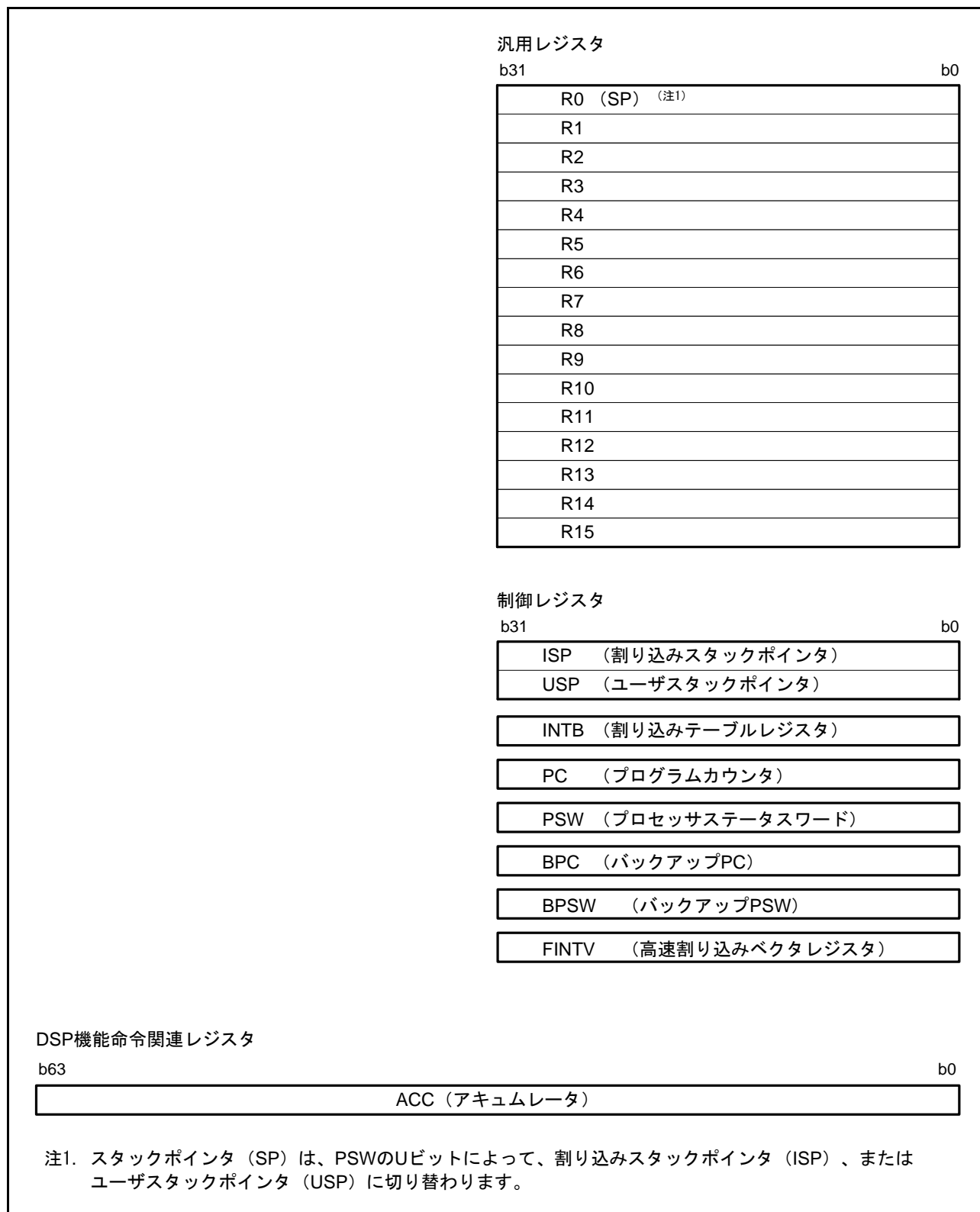


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

(3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.3 DSP 機能命令関連レジスタ

(1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32ビット (b63 ~ b32)、MVFACMI 命令で中央の 32ビット (b47 ~ b16) のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 にメモリマップを示します。

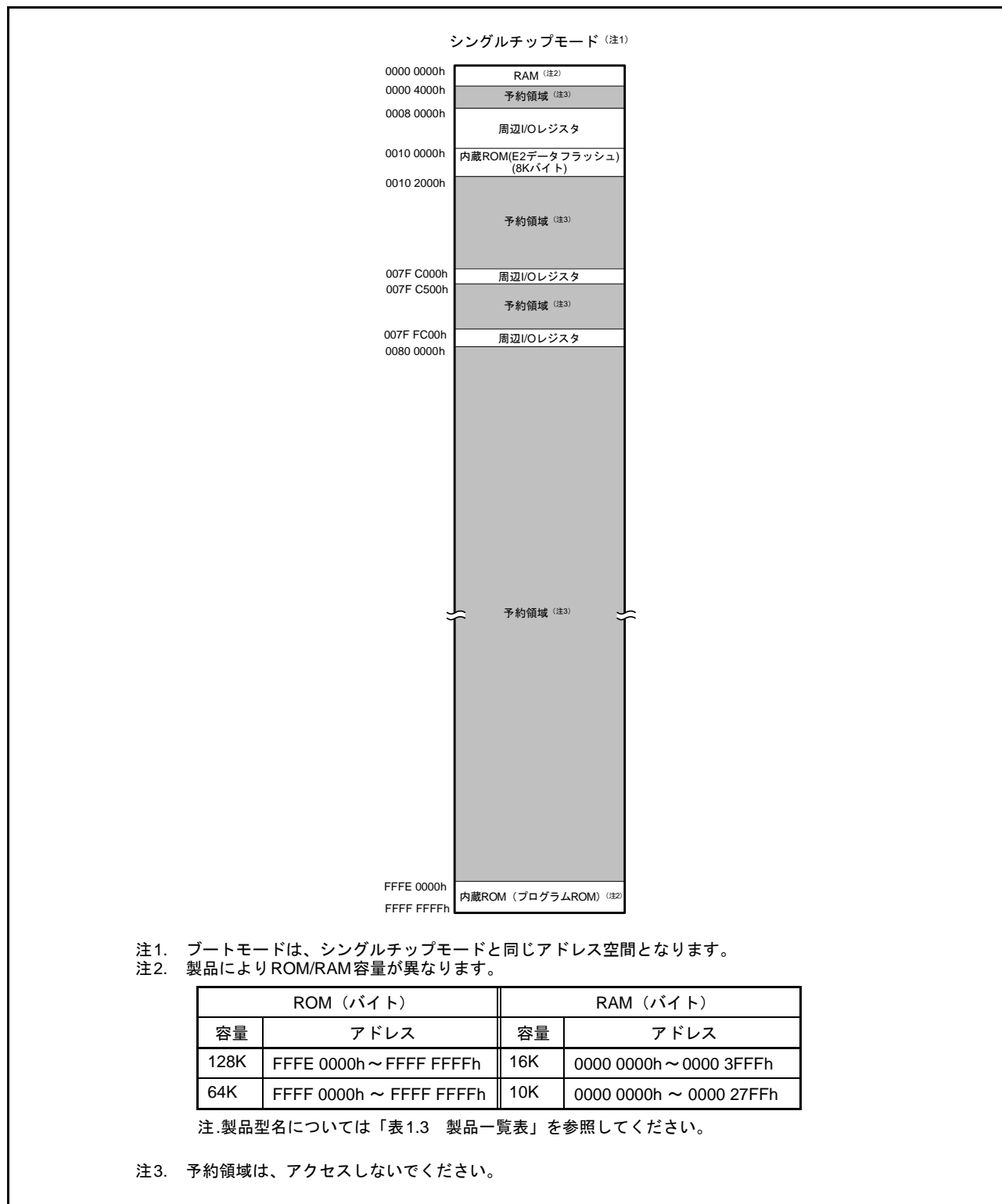


図 3.1 各動作モードのメモリマップ

4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```


- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 4.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～3、6のバスサイクル数}$$

内部周辺バス1～3、6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2、3、6に接続されている周辺機能のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK ）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 4.1 では 1PCLK （または FCLK ）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK ）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

注1. CPUからのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 4.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ）への書き込みは禁止です。

4.1 I/Oレジスタアドレス一覧（アドレス順）

表4.1 I/Oレジスタアドレス一覧（1 / 15）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK
0008 0060h	SYSTEM	低速オンチップオシレータトリミングレジスタ	LOCOTRR	8	8	3ICLK
0008 0064h	SYSTEM	IWDT専用オンチップオシレータトリミングレジスタ	ILOCOTRR	8	8	3ICLK
0008 0068h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	8	8	3ICLK
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3ICLK
0008 00B0h	LPT	ローパワータイマコントロールレジスタ1	LPTCR1	8	8	3ICLK
0008 00B1h	LPT	ローパワータイマコントロールレジスタ2	LPTCR2	8	8	3ICLK
0008 00B2h	LPT	ローパワータイマコントロールレジスタ3	LPTCR3	8	8	3ICLK
0008 00B4h	LPT	ローパワータイマ周期設定レジスタ	LPTPRD	16	16	3ICLK
0008 00B8h	LPT	ローパワータイマコンペアレジスタ0	LPCMR0	16	16	3ICLK
0008 00BCh	LPT	ローパワータイマスタンバイ復帰許可レジスタ	LPWUCR	16	16	3ICLK
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (2 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセス サイクル数
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 7010h ~0008 70FFh	ICU	割り込み要求レジスタ 016~255	IRn	8	8	2ICLK
0008 711Bh ~0008 71FFh	ICU	DTC起動許可レジスタ 027~255	DTCERn	8	8	2ICLK
0008 7202h ~0008 721Fh	ICU	割り込み要求許可レジスタ 02~1F	IERm	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h ~0008 73FFh	ICU	割り込み要因プライオリティレジスタ 000~255	IPRn	8	8	2ICLK
0008 7500h ~0008 7507h	ICU	IRQコントロールレジスタ 0~7	IRQCRi	8	8	2ICLK
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTRO	16	16	2~3PCLKB
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB
0008 80C0h	DA	D/A データレジスタ 0	DADR0	16	16	2~3PCLKB
0008 80C2h	DA	D/A データレジスタ 1	DADR1	16	16	2~3PCLKB
0008 80C4h	DA	D/A 制御レジスタ	DACR	8	8	2~3PCLKB
0008 80C5h	DA	DADRm フォーマット選択レジスタ	DADPR	8	8	2~3PCLKB
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2~3PCLKB
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCR	8	8	2~3PCLKB
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCR	8	8	2~3PCLKB
0008 8204h	TMR0	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB
0008 8205h	TMR1	タイムコンスタントレジスタ A	TCORA	8	8 (注1)	2~3PCLKB
0008 8206h	TMR0	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB
0008 8207h	TMR1	タイムコンスタントレジスタ B	TCORB	8	8 (注1)	2~3PCLKB
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2~3PCLKB
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2~3PCLKB
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (3 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセス サイクル数
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8214h	TMR2	タイムコンスタントレジスタ A	TCORA	8	8	2 ~ 3PCLKB
0008 8215h	TMR3	タイムコンスタントレジスタ A	TCORA	8	8 (注1)	2 ~ 3PCLKB
0008 8216h	TMR2	タイムコンスタントレジスタ B	TCORB	8	8	2 ~ 3PCLKB
0008 8217h	TMR3	タイムコンスタントレジスタ B	TCORB	8	8 (注1)	2 ~ 3PCLKB
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB
0008 830Ah	RIIC0	スレーブアドレスレジスタ L0	SARL0	8	8	2 ~ 3PCLKB
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2 ~ 3PCLKB
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2 ~ 3PCLKB
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2 ~ 3PCLKB
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2 ~ 3PCLKB
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2 ~ 3PCLKB
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB/2ICLK
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (4 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKB
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKB
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ~ 3PCLKB
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ~ 3PCLKB
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKB
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKB
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKB
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ~ 3PCLKB
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ~ 3PCLKB
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ~ 3PCLKB
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2 ~ 3PCLKB
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2 ~ 3PCLKB
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2 ~ 3PCLKB
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ~ 3PCLKB
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ~ 3PCLKB
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ~ 3PCLKB
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2 ~ 3PCLKB
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2 ~ 3PCLKB
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2 ~ 3PCLKB
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2 ~ 3PCLKB
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2 ~ 3PCLKB
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2 ~ 3PCLKB
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (5 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ~ 3PCLKB
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ~ 3PCLKB
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ~ 3PCLKB
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ~ 3PCLKB
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2 ~ 3PCLKB
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2 ~ 3PCLKB
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2 ~ 3PCLKB
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2 ~ 3PCLKB
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2 ~ 3PCLKB
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2 ~ 3PCLKB
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2 ~ 3PCLKB
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2 ~ 3PCLKB
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2 ~ 3PCLKB
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2 ~ 3PCLKB
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2 ~ 3PCLKB
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2 ~ 3PCLKB
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (6 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ~ 3PCLKB
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8、16	2 ~ 3PCLKB
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8、16	2 ~ 3PCLKB
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8、16	2 ~ 3PCLKB
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2 ~ 3PCLKB
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8、16	2 ~ 3PCLKB
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB
0008 900Ah	S12AD	A/D変換値加算モード選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSDR	16	16	2 ~ 3PCLKB
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADDRD	16	16	2 ~ 3PCLKB
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2 ~ 3PCLKB
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2 ~ 3PCLKB
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2 ~ 3PCLKB
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2 ~ 3PCLKB
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2 ~ 3PCLKB
0008 9042h	S12AD	A/Dデータレジスタ17	ADDR17	16	16	2 ~ 3PCLKB
0008 9044h	S12AD	A/Dデータレジスタ18	ADDR18	16	16	2 ~ 3PCLKB
0008 9046h	S12AD	A/Dデータレジスタ19	ADDR19	16	16	2 ~ 3PCLKB
0008 9048h	S12AD	A/Dデータレジスタ20	ADDR20	16	16	2 ~ 3PCLKB
0008 904Ah	S12AD	A/Dデータレジスタ21	ADDR21	16	16	2 ~ 3PCLKB
0008 9050h	S12AD	A/Dデータレジスタ24	ADDR24	16	16	2 ~ 3PCLKB
0008 9052h	S12AD	A/Dデータレジスタ25	ADDR25	16	16	2 ~ 3PCLKB
0008 9054h	S12AD	A/Dデータレジスタ26	ADDR26	16	16	2 ~ 3PCLKB
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2 ~ 3PCLKB
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB
0008 908Ah	S12AD	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2 ~ 3PCLKB
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ	ADWINMON	8	8	2 ~ 3PCLKB
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2 ~ 3PCLKB
0008 9092h	S12AD	A/Dコンペア機能ウィンドウA拡張入力選択レジスタ	ADCMPANSE R	8	8	2 ~ 3PCLKB
0008 9093h	S12AD	A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ	ADCMPLE R	8	8	2 ~ 3PCLKB
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0	ADCMPANSR 0	16	16	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (7 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 9096h	S12AD	A/Dコンペア機能ウィンドウAチャネル選択レジスタ1	ADCMANSR1	16	16	2~3PCLKB
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2~3PCLKB
0008 909Ah	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ1	ADCMPLR1	16	16	2~3PCLKB
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPLR0	16	16	2~3PCLKB
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPLR1	16	16	2~3PCLKB
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2~3PCLKB
0008 90A2h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1	ADCMPSR1	16	16	2~3PCLKB
0008 90A4h	S12AD	A/Dコンペア機能ウィンドウA拡張入力チャネルステータスレジスタ	ADCMPSER	8	8	2~3PCLKB
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMBNSR	8	8	2~3PCLKB
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2~3PCLKB
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2~3PCLKB
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMBSR	8	8	2~3PCLKB
0008 90B0h	S12AD	A/Dデータ格納バッファレジスタ0	ADBUF0	16	16	2~3PCLKB
0008 90B2h	S12AD	A/Dデータ格納バッファレジスタ1	ADBUF1	16	16	2~3PCLKB
0008 90B4h	S12AD	A/Dデータ格納バッファレジスタ2	ADBUF2	16	16	2~3PCLKB
0008 90B6h	S12AD	A/Dデータ格納バッファレジスタ3	ADBUF3	16	16	2~3PCLKB
0008 90B8h	S12AD	A/Dデータ格納バッファレジスタ4	ADBUF4	16	16	2~3PCLKB
0008 90BAh	S12AD	A/Dデータ格納バッファレジスタ5	ADBUF5	16	16	2~3PCLKB
0008 90BCh	S12AD	A/Dデータ格納バッファレジスタ6	ADBUF6	16	16	2~3PCLKB
0008 90BEh	S12AD	A/Dデータ格納バッファレジスタ7	ADBUF7	16	16	2~3PCLKB
0008 90C0h	S12AD	A/Dデータ格納バッファレジスタ8	ADBUF8	16	16	2~3PCLKB
0008 90C2h	S12AD	A/Dデータ格納バッファレジスタ9	ADBUF9	16	16	2~3PCLKB
0008 90C4h	S12AD	A/Dデータ格納バッファレジスタ10	ADBUF10	16	16	2~3PCLKB
0008 90C6h	S12AD	A/Dデータ格納バッファレジスタ11	ADBUF11	16	16	2~3PCLKB
0008 90C8h	S12AD	A/Dデータ格納バッファレジスタ12	ADBUF12	16	16	2~3PCLKB
0008 90CAh	S12AD	A/Dデータ格納バッファレジスタ13	ADBUF13	16	16	2~3PCLKB
0008 90CCh	S12AD	A/Dデータ格納バッファレジスタ14	ADBUF14	16	16	2~3PCLKB
0008 90CEh	S12AD	A/Dデータ格納バッファレジスタ15	ADBUF15	16	16	2~3PCLKB
0008 90D0h	S12AD	A/Dデータ格納バッファファイナールレジスタ	ADBUFEN	8	8	2~3PCLKB
0008 90D2h	S12AD	A/Dデータ格納バッファポインタレジスタ	ADBUFPTR	8	8	2~3PCLKB
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2~3PCLKB
0008 90DEh	S12AD	A/DサンプリングステートレジスタT	ADSSTRT	8	8	2~3PCLKB
0008 90DFh	S12AD	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2~3PCLKB
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB
0008 A023h	SCI1	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (8 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	2 ~ 3PCLKB
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	2 ~ 3PCLKB
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	2 ~ 3PCLKB
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	2 ~ 3PCLKB
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	2 ~ 3PCLKB
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	2 ~ 3PCLKB
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (9 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ ス サイクル数
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2 ~ 3PCLKB
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2 ~ 3PCLKB
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2 ~ 3PCLKB
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2 ~ 3PCLKB
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2 ~ 3PCLKB
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2 ~ 3PCLKB
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2 ~ 3PCLKB
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2 ~ 3PCLKB
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2 ~ 3PCLKB
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2 ~ 3PCLKB
0008 B109h	ELC	イベントリンク設定レジスタ8	ELSR8	8	8	2 ~ 3PCLKB
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2 ~ 3PCLKB
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2 ~ 3PCLKB
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2 ~ 3PCLKB
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2 ~ 3PCLKB
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2 ~ 3PCLKB
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2 ~ 3PCLKB
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2 ~ 3PCLKB
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2 ~ 3PCLKB
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2 ~ 3PCLKB
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2 ~ 3PCLKB
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2 ~ 3PCLKB
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2 ~ 3PCLKB
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2 ~ 3PCLKB
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2 ~ 3PCLKB
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2 ~ 3PCLKB
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2 ~ 3PCLKB
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2 ~ 3PCLKB
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2 ~ 3PCLKB
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2 ~ 3PCLKB
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2 ~ 3PCLKB
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB
0008 B303h	SCI12	トランスミッターデータレジスタ	TDR	8	8	2 ~ 3PCLKB
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (10 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセス サイクル数
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	16	2 ~ 3PCLKB
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	2 ~ 3PCLKB
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB
0008 B312h	SCI12	モジュレーションデュティレジスタ	MDDR	8	8	2 ~ 3PCLKB
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ~ 3PCLKB
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2 ~ 3PCLKB
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2 ~ 3PCLKB
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2 ~ 3PCLKB
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2 ~ 3PCLKB
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ~ 3PCLKB
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ~ 3PCLKB
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ~ 3PCLKB
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ~ 3PCLKB
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2 ~ 3PCLKB
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2 ~ 3PCLKB
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2 ~ 3PCLKB
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2 ~ 3PCLKB
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2 ~ 3PCLKB
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2 ~ 3PCLKB
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2 ~ 3PCLKB
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ~ 3PCLKB
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2 ~ 3PCLKB
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ~ 3PCLKB
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (1 1 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセス サイクル数
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時; 3 ~ 4PCLKB ライト時; 2 ~ 3PCLKB
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8	2 ~ 3PCLKB
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (1 2 / 1 5)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB
0008 C120h	PORT	ポート切り替えレジスタ B	PSRB	8	8	2 ~ 3PCLKB
0008 C121h	PORT	ポート切り替えレジスタ A	PSRA	8	8	2 ~ 3PCLKB
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2 ~ 3PCLKB
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2 ~ 3PCLKB
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2 ~ 3PCLKB
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2 ~ 3PCLKB
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2 ~ 3PCLKB
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2 ~ 3PCLKB
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2 ~ 3PCLKB
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2 ~ 3PCLKB
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2 ~ 3PCLKB
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2 ~ 3PCLKB
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2 ~ 3PCLKB
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2 ~ 3PCLKB
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2 ~ 3PCLKB
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2 ~ 3PCLKB
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2 ~ 3PCLKB
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2 ~ 3PCLKB
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2 ~ 3PCLKB
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2 ~ 3PCLKB
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2 ~ 3PCLKB
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2 ~ 3PCLKB
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2 ~ 3PCLKB
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2 ~ 3PCLKB
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (13 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2 ~ 3PCLKB
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2 ~ 3PCLKB
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2 ~ 3PCLKB
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2 ~ 3PCLKB
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2 ~ 3PCLKB
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2 ~ 3PCLKB
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2 ~ 3PCLKB
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2 ~ 3PCLKB
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2 ~ 3PCLKB
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2 ~ 3PCLKB
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2 ~ 3PCLKB
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2 ~ 3PCLKB
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2 ~ 3PCLKB
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2 ~ 3PCLKB
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2 ~ 3PCLKB
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2 ~ 3PCLKB
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2 ~ 3PCLKB
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2 ~ 3PCLKB
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2 ~ 3PCLKB
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2 ~ 3PCLKB
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2 ~ 3PCLKB
0008 C1D6h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8	2 ~ 3PCLKB
0008 C1D7h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8	2 ~ 3PCLKB
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ~ 5PCLKB
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4 ~ 5PCLKB
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4 ~ 5PCLKB
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4 ~ 5PCLKB
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4 ~ 5PCLKB
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2 ~ 3PCLKB
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2 ~ 3PCLKB
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2 ~ 3PCLKB
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2 ~ 3PCLKB
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2 ~ 3PCLKB
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2 ~ 3PCLKB
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2 ~ 3PCLKB
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2 ~ 3PCLKB
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2 ~ 3PCLKB
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2 ~ 3PCLKB
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (14 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセ スサイ クル数
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2 ~ 3PCLKB
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2 ~ 3PCLKB
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2 ~ 3PCLKB
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2 ~ 3PCLKB
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2 ~ 3PCLKB
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2 ~ 3PCLKB
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2 ~ 3PCLKB
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2 ~ 3PCLKB
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2 ~ 3PCLKB
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2 ~ 3PCLKB
0008 C418h	RTC	バイナリカウンタ0アラームイネーブルレジスタ	BCNT0AER	8	8	2 ~ 3PCLKB
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2 ~ 3PCLKB
0008 C41Ah	RTC	バイナリカウンタ1アラームイネーブルレジスタ	BCNT1AER	8	8	2 ~ 3PCLKB
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2 ~ 3PCLKB
0008 C41Ch	RTC	バイナリカウンタ2アラームイネーブルレジスタ	BCNT2AER	16	16	2 ~ 3PCLKB
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2 ~ 3PCLKB
0008 C41Eh	RTC	バイナリカウンタ3アラームイネーブルレジスタ	BCNT3AER	8	8	2 ~ 3PCLKB
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2 ~ 3PCLKB
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2 ~ 3PCLKB
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2 ~ 3PCLKB
0008 C42Eh	RTC	時計誤差補正レジスタ	RADJ	8	8	2 ~ 3PCLKB
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2 ~ 3PCLKB
0008 C581h	CMPB	コンパレータB制御レジスタ2	CPBCNT2	8	8	2 ~ 3PCLKB
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2 ~ 3PCLKB
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2 ~ 3PCLKB
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2 ~ 3PCLKB
0008 C585h	CMPB	コンパレータBモード選択レジスタ	CPBMD	8	8	2 ~ 3PCLKB
0008 C586h	CMPB	コンパレータBリファレンス入力電圧選択レジスタ	CPBREF	8	8	2 ~ 3PCLKB
0008 C587h	CMPB	コンパレータB出力制御レジスタ	CPBOCR	8	8	2 ~ 3PCLKB
000A 0900h	CTSU	CTSU制御レジスタ0	CTSUCR0	8	8	1 ~ 2PCLKB
000A 0901h	CTSU	CTSU制御レジスタ1	CTSUCR1	8	8	1 ~ 2PCLKB
000A 0902h	CTSU	CTSU同期ノイズ低減設定レジスタ	CTSUSDPRS	8	8	1 ~ 2PCLKB
000A 0903h	CTSU	CTSUセンサ安定待ち時間レジスタ	CTSUSST	8	8	1 ~ 2PCLKB
000A 0904h	CTSU	CTSU計測チャネルレジスタ0	CTSUMCH0	8	8	1 ~ 2PCLKB
000A 0905h	CTSU	CTSU計測チャネルレジスタ1	CTSUMCH1	8	8	1 ~ 2PCLKB
000A 0906h	CTSU	CTSUチャネル有効制御レジスタ0	CTSUCHAC0	8	8	1 ~ 2PCLKB
000A 0907h	CTSU	CTSUチャネル有効制御レジスタ1	CTSUCHAC1	8	8	1 ~ 2PCLKB
000A 0908h	CTSU	CTSUチャネル有効制御レジスタ2	CTSUCHAC2	8	8	1 ~ 2PCLKB
000A 0909h	CTSU	CTSUチャネル有効制御レジスタ3	CTSUCHAC3	8	8	1 ~ 2PCLKB
000A 090Ah	CTSU	CTSUチャネル有効制御レジスタ4	CTSUCHAC4	8	8	1 ~ 2PCLKB
000A 090Bh	CTSU	CTSUチャネル送受信制御レジスタ0	CTSUCHTRC 0	8	8	1 ~ 2PCLKB
000A 090Ch	CTSU	CTSUチャネル送受信制御レジスタ1	CTSUCHTRC 1	8	8	1 ~ 2PCLKB
000A 090Dh	CTSU	CTSUチャネル送受信制御レジスタ2	CTSUCHTRC 2	8	8	1 ~ 2PCLKB
000A 090Eh	CTSU	CTSUチャネル送受信制御レジスタ3	CTSUCHTRC 3	8	8	1 ~ 2PCLKB
000A 090Fh	CTSU	CTSUチャネル送受信制御レジスタ4	CTSUCHTRC 4	8	8	1 ~ 2PCLKB
000A 0910h	CTSU	CTSU高域ノイズ低減制御レジスタ	CTSUCLKC	8	8	1 ~ 2PCLKB
000A 0911h	CTSU	CTSUステータスレジスタ	CTSUST	8	8	1 ~ 2PCLKB
000A 0912h	CTSU	CTSU高域ノイズ低減スペクトラム拡散制御レジスタ	CTSUSSC	16	16	1 ~ 2PCLKB
000A 0914h	CTSU	CTSUセンサオフセットレジスタ0	CTSUSO0	16	16	1 ~ 2PCLKB

表 4.1 I/Oレジスタアドレス一覧 (15 / 15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセ スサイ ズ	アクセス サイクル数
000A 0916h	CTSU	CTSUセンサオフセットレジスタ1	CTSUSO1	16	16	1 ~ 2PCLKB
000A 0918h	CTSU	CTSUセンサカウンタ	CTSUSC	16	16	1 ~ 2PCLKB
000A 091Ah	CTSU	CTSUリファレンスカウンタ	CTSURC	16	16	1 ~ 2PCLKB
000A 091Ch	CTSU	CTSUエラーステータスレジスタ	CTSUERRS	16	16	1 ~ 2PCLKB
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2 ~ 3PCLK
007F C0ACh	TEMPS	温度センサ校正データレジスタ	TSCDRL	8	8	1 ~ 2PCLKB
007F C0ADh	TEMPS	温度センサ校正データレジスタ	TSCDRH	8	8	1 ~ 2PCLKB
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2 ~ 3PCLKB
007F C0B2h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2 ~ 3PCLKB
007F C0B4h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2 ~ 3PCLKB
007F C0B6h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2 ~ 3PCLKB
007F C0B7h	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2 ~ 3PCLKB
007F C0B8h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2 ~ 3PCLKB
007F C0BAh	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	8	8	2 ~ 3PCLKB
007F C0C0h	FLASH	プロテクト解除レジスタ	FPR	8	8	2 ~ 3PCLKB
007F C0C1h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2 ~ 3PCLKB
007F C0C2h	FLASH	フラッシュリードバッファレジスタL	FRBL	16	16	2 ~ 3PCLKB
007F C0C4h	FLASH	フラッシュリードバッファレジスタH	FRBH	16	16	2 ~ 3PCLKB
007F FF80h	FLASH	フラッシュ P/E モード制御レジスタ	FPMCR	8	8	2 ~ 3PCLKB
007F FF81h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2 ~ 3PCLKB
007F FF82h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2 ~ 3PCLKB
007F FF84h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	8	8	2 ~ 3PCLKB
007F FF85h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2 ~ 3PCLKB
007F FF86h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2 ~ 3PCLKB
007F FF88h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	8	8	2 ~ 3PCLKB
007F FF89h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2 ~ 3PCLKB
007F FF8Ah	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3PCLKB
007F FF8Bh	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3PCLKB
007F FF8Ch	FLASH	フラッシュライトバッファレジスタL	FWBL	16	16	2 ~ 3PCLKB
007F FF8Eh	FLASH	フラッシュライトバッファレジスタH	FWBH	16	16	2 ~ 3PCLKB
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3PCLKB

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表22.4に16ビットアクセスのレジスタ配置を示します。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	ポートP03~P07、 ポートP40~47、 ポートPJ6, PJ7		-0.3 ~ AVCC0+0.3	V
	上記以外のポート		-0.3 ~ VCC+0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007 使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN021、 AN024 ~ AN026 使用時		-0.3 ~ VCC+0.3	
動作温度 (注2)		T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

詳細は、「5.13.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れな
いでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣
化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は
発生しません。

注1. ポートP12、P13、P16、P17は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表5.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1、注2)		1.8	—	5.5	V
	VSS		—	0	—	
アナログ電源電圧	AVCC0 (注1、注2)		1.8	—	5.5	V
	AVSS0		—	0	—	
	VREFH0		1.8	—	AVCC0	
	VREFL0		—	0	—	

注1. AVCC0とVCCは、次の条件で使用してください。

VCC \geq 2.0Vの時：AVCC0とVCCは使用範囲内で独立して設定可能

VCC < 2.0Vの時：AVCC0=VCC

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

5.2 DC 特性

表5.3 DC特性 (1)

条件: $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポートP12, P13, P16, P17 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポートP14, P15, ポートP20, P21, P26, P27, ポートP30~P32, P34~P37, ポートP54, P55, ポートPA0~PA6, ポートPB0~PB7, ポートPC2~PC7, ポートPD0~PD2, ポートPE0~PE5, ポートPH0~PH3, ポートPJ1, RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポートP03~P07, ポートP40~P47, ポートPJ6, PJ7		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	RIIC入力端子 (SMBusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	ポートP03~P07, ポートP40~P47, ポートPJ6, PJ7		-0.3	—	$AVCC0 \times 0.2$		
	上記以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	ポートP12, P13, P16, P17 (5Vトレラント)		$VCC \times 0.05$	—	—		
	ポートP03~P07, ポートP40~P47, ポートPJ6, PJ7		$AVCC0 \times 0.1$	—	—		
	上記以外		$VCC \times 0.1$	—	—		
	入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—		
EXTAL (外部クロック入力)		$VCC \times 0.8$		—	$VCC + 0.3$		
RIIC入力端子 (SMBus)		2.1		—	$VCC + 0.3$		
MD		V_{IL}	-0.3	—	$VCC \times 0.1$		
EXTAL (外部クロック入力)			-0.3	—	$VCC \times 0.2$		
RIIC入力端子 (SMBus)			-0.3	—	0.8		

表5.4 DC特性 (2)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC < 2.7V$, $2.0V \leq AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポートP12, P13, P16, P17 (5Vトレラント)	V_{IH}	$VCC \times 0.8$	—	5.8	V	
	ポートP14~P15、 ポートP20, P21, P26, P27、 ポートP30~P32, P34~P37、 ポートP54, P55、 ポートPA0~PA6、 ポートPB0~PB7、 ポートPC2~PC7、 ポートPD0~PD2、 ポートPE0~PE5、 ポートPH0~PH3、ポートPJ1、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポートP03~P07、 ポートP40~P47、 ポートPJ6, PJ7		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	ポートP03~P07、 ポートP40~P47、 ポートPJ6, PJ7	V_{IL}	-0.3	—	$AVCC0 \times 0.2$		
	上記ポート以外		-0.3	—	$VCC \times 0.2$		
	ポートP03~P07、 ポートP40~P47、 ポートPJ6, PJ7	ΔV_T	$AVCC0 \times 0.01$	—	—		
	上記ポート以外		$VCC \times 0.01$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		

表5.5 DC特性 (3)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC \leq 5.5V$, $2.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD, ポートP35	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$, VCC
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$, 5.8V
	5Vトレラント対応ポート以外		—	—	0.2		$V_{in} = 0V$, VCC
入力容量	全入力端子 (ポートP35以外)	C_{in}	—	—	15	pF	$V_{in} = 0mV$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
	ポートP35		—	—	30		

表5.6 DC特性 (4)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC \leq 5.5V$, $2.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポートP35以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表5.7 DC特性 (5)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件				
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I _{CC}	3.1	—	mA				
				ICLK = 16MHz		2.1	—					
				ICLK = 8MHz		1.6	—					
			全周辺動作 通常動作 (注3)	ICLK = 32MHz		10.0	—					
				ICLK = 16MHz		5.7	—					
				ICLK = 8MHz		3.5	—					
			全周辺動作 最大動作 (注3)	ICLK = 32MHz		—	17.5					
				スリープモード		周辺動作なし (注2)	ICLK = 32MHz			1.6	—	
							ICLK = 16MHz			1.2	—	
		ICLK = 8MHz	1.1				—					
		全周辺動作 通常動作 (注3)	ICLK = 32MHz			5.3	—					
			ICLK = 16MHz	3.2	—							
			ICLK = 8MHz	2.0	—							
		ディープ スリープモード	周辺動作なし (注2)	ICLK = 32MHz	1.0	—						
				ICLK = 16MHz	0.9	—						
				ICLK = 8MHz	0.8	—						
			全周辺動作 通常動作 (注3)	ICLK = 32MHz	4.2	—						
				ICLK = 16MHz	2.5	—						
				ICLK = 8MHz	1.7	—						
		BGO動作時の増加分 (注5)					2.5			—		

項目					記号	typ (注4)	max	単位	測定条件			
消費電流 (注1)	中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	1.9	—	mA				
				ICLK = 8MHz		1.2	—					
				ICLK = 4MHz		0.6	—					
				ICLK = 1MHz		0.3	—					
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		4.6	—					
				ICLK = 8MHz		3.2	—					
				ICLK = 4MHz		2.0	—					
				ICLK = 1MHz		0.9	—					
		全周辺動作 最大動作 (注7)	ICLK = 12MHz	—		8.2						
		スリープモード	周辺動作なし (注6)	ICLK = 12MHz		I _{CC}	1.2			—	mA	
				ICLK = 8MHz			0.8			—		
				ICLK = 4MHz			0.3			—		
				ICLK = 1MHz			0.2			—		
				全周辺動作 通常動作 (注7)			ICLK = 12MHz			2.7		—
							ICLK = 8MHz			1.9		—
	ICLK = 4MHz				1.2		—					
	ICLK = 1MHz				0.7		—					
	ディープ スリープモード		周辺動作なし (注6)	ICLK = 12MHz	1.0		—					
				ICLK = 8MHz	0.7		—					
				ICLK = 4MHz	0.2		—					
				ICLK = 1MHz	0.1		—					
			全周辺動作 通常動作 (注7)	ICLK = 12MHz	2.3		—					
				ICLK = 8MHz	1.6		—					
				ICLK = 4MHz	1.0		—					
				ICLK = 1MHz	0.7		—					
	フラッシュメモリ書き換え時の増加分 (注5)						2.5	—				
	低速動作モード	通常動作モード	周辺動作なし (注8)	ICLK = 32.768kHz	I _{CC}	3.8	—	μA				
				全周辺動作 通常動作 (注10)		ICLK = 32.768kHz	10.9			—		
			全周辺動作 最大動作 (注10)	ICLK = 32.768kHz		—	29.2					
		スリープモード	周辺動作なし (注8)	ICLK = 32.768kHz		2.1	—					
			全周辺動作 通常動作 (注9)	ICLK = 32.768kHz		6.0	—					
ディープ スリープモード		周辺動作なし (注8)	ICLK = 32.768kHz	1.6		—						
		全周辺動作 通常動作 (注9)	ICLK = 32.768kHz	5.0		—						

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC=3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK=12MHzの時はPLL、ICLK=8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK=12MHzの時はPLL、ICLK=8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。
- 注10. MSTPCRA.MSTPA17(12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

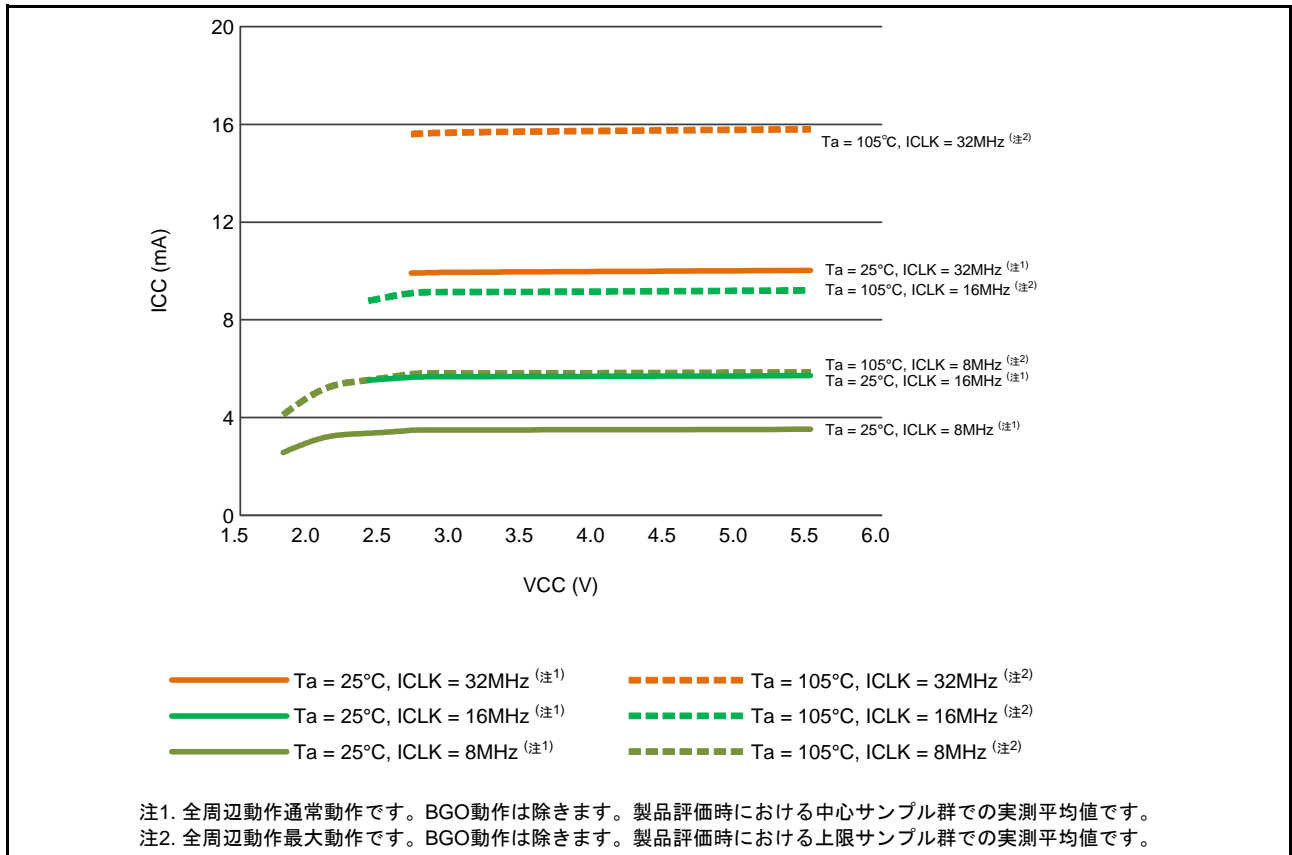


図 5.1 高速動作モードの電圧依存性（参考データ）

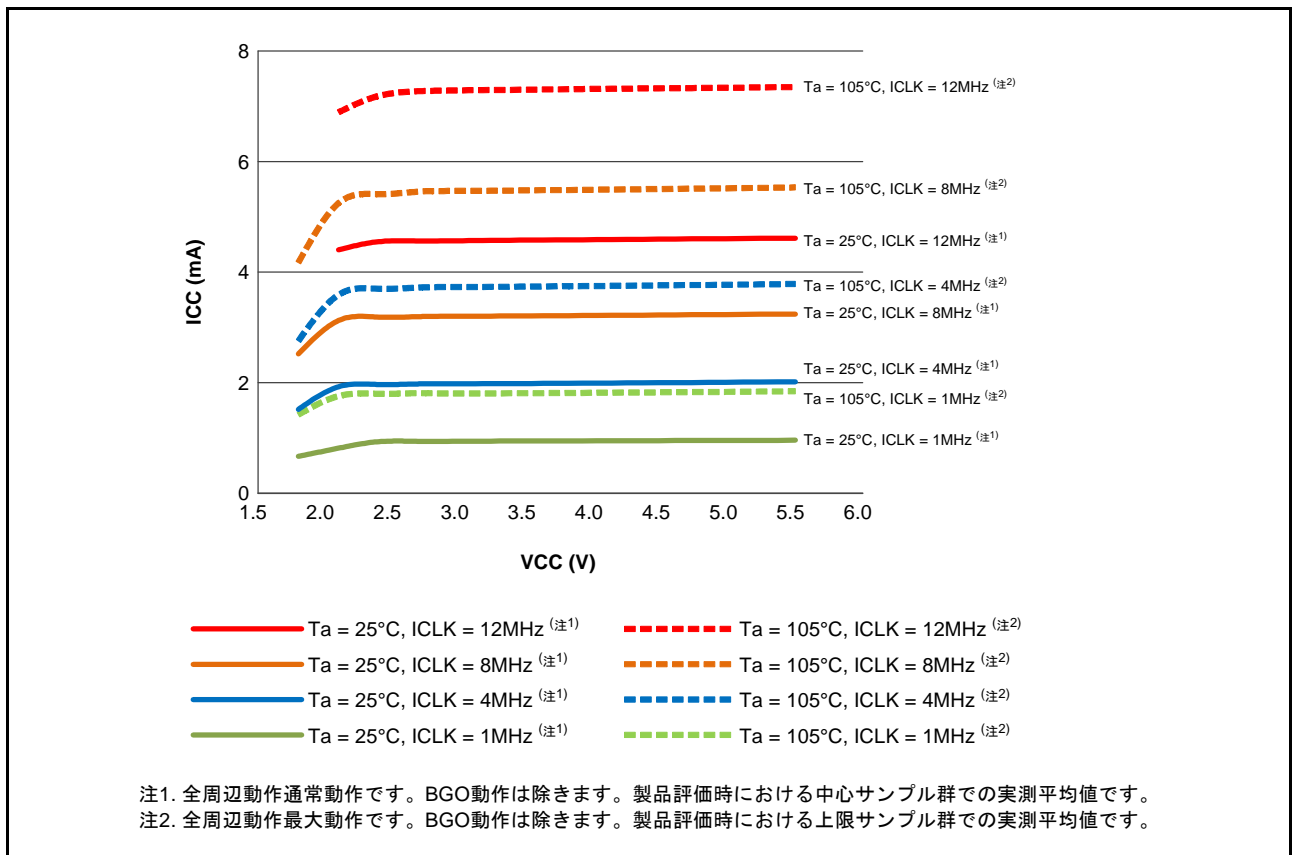


図 5.2 中速動作モードの電圧依存性 (参考データ)

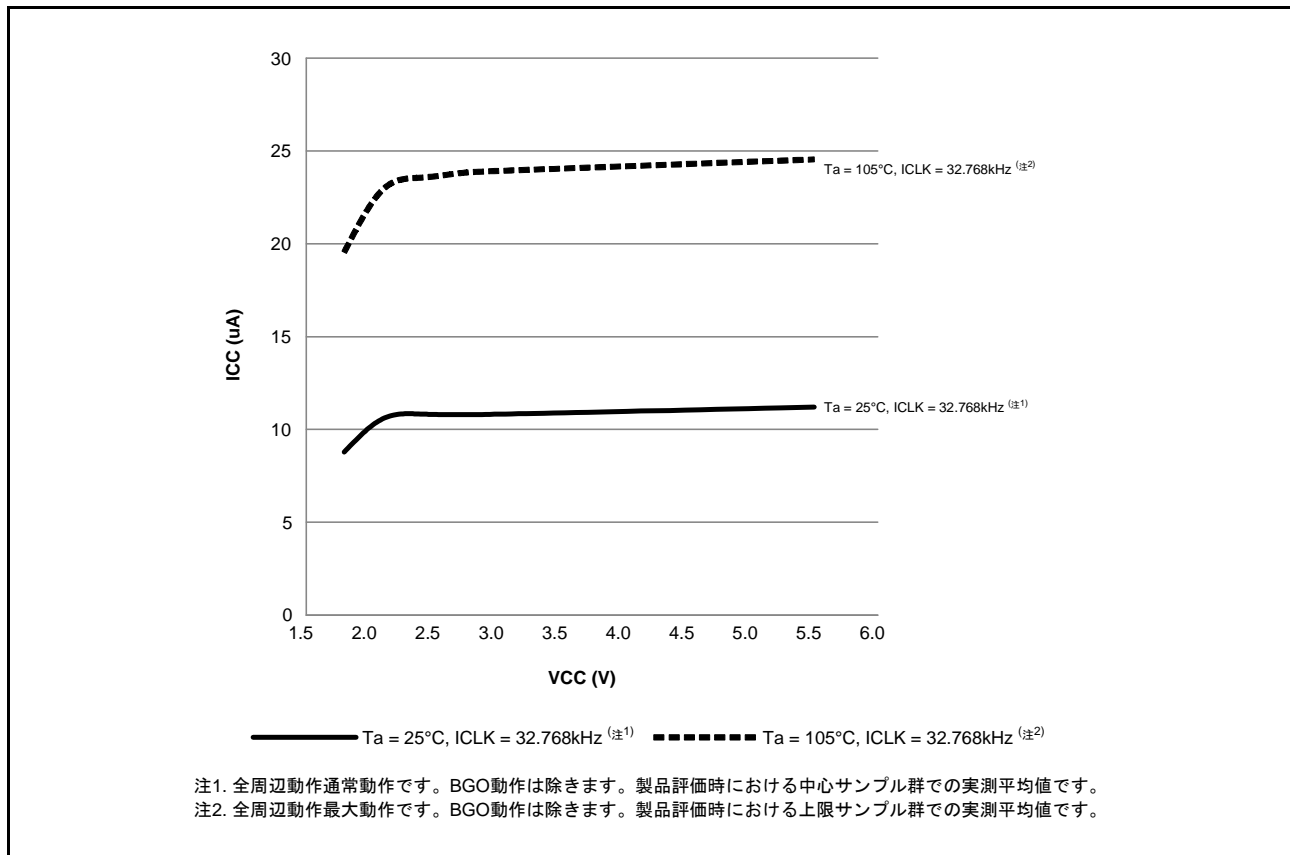


図 5.3 低速動作モードの電圧依存性 (参考データ)

表5.8 DC特性 (6)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC \leq 5.5V$, $2.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	I_{CC}	$T_a = 25^\circ C$	0.37	0.71	μA	RCR3.RTCDV[2:0]はドライブ能力低設定 RCR3.RTCDV[2:0]はドライブ能力標準設定 LPTCR1.LPCNTCKSELは、IWDT専用オン チップオンレータ選択時
			$T_a = 55^\circ C$	0.50	1.70		
			$T_a = 85^\circ C$	1.20	8.00		
			$T_a = 105^\circ C$	2.30	19.60		
	RTC動作の増加分 (注4)		0.40	—			
	ローパワータイマ動作の増加分		1.21	—			
	独立ウォッチドックタイマ動作 の増加分		0.37	—			

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVD、CMPBは動作停止です。

注3. $VCC = 3.3V$ の場合です。

注4. 発振回路を含みます。

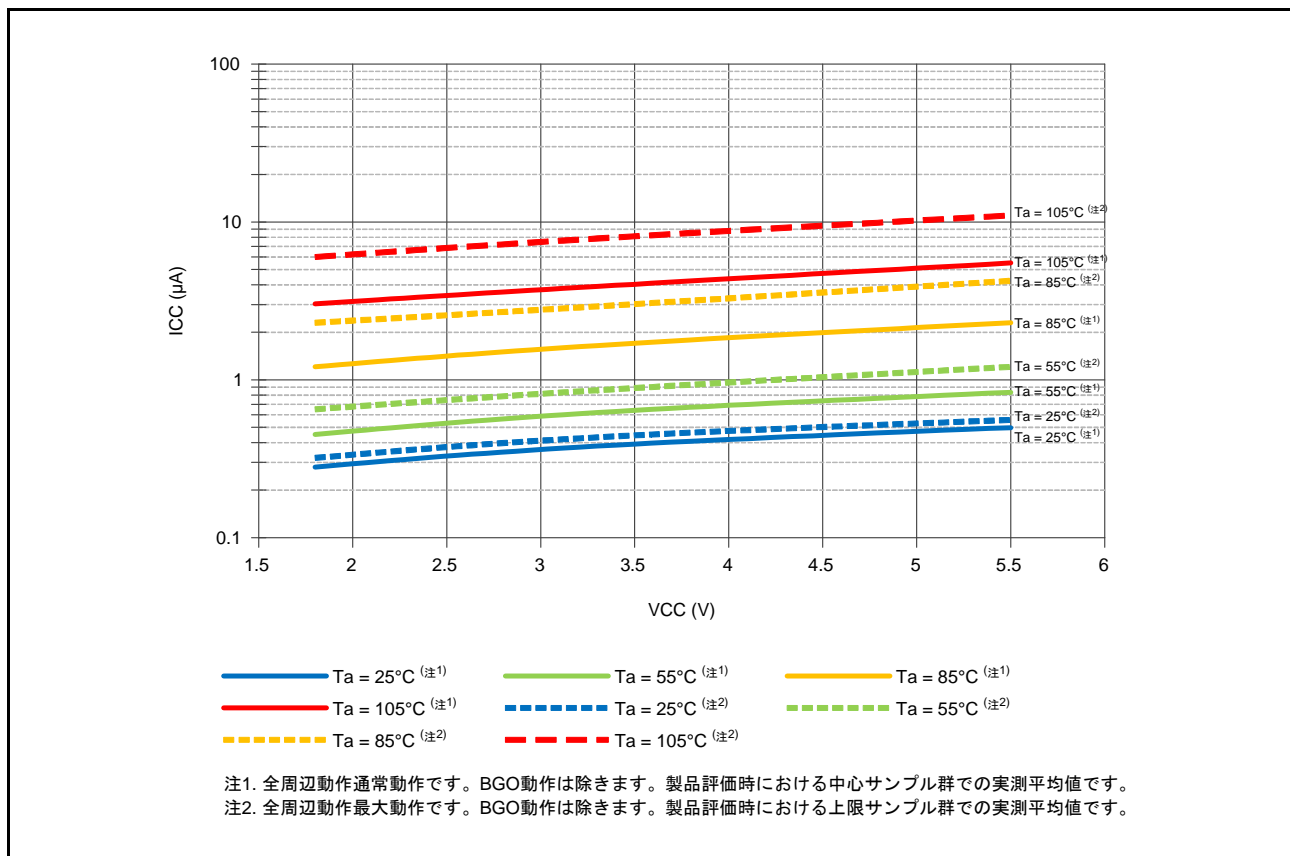


図 5.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

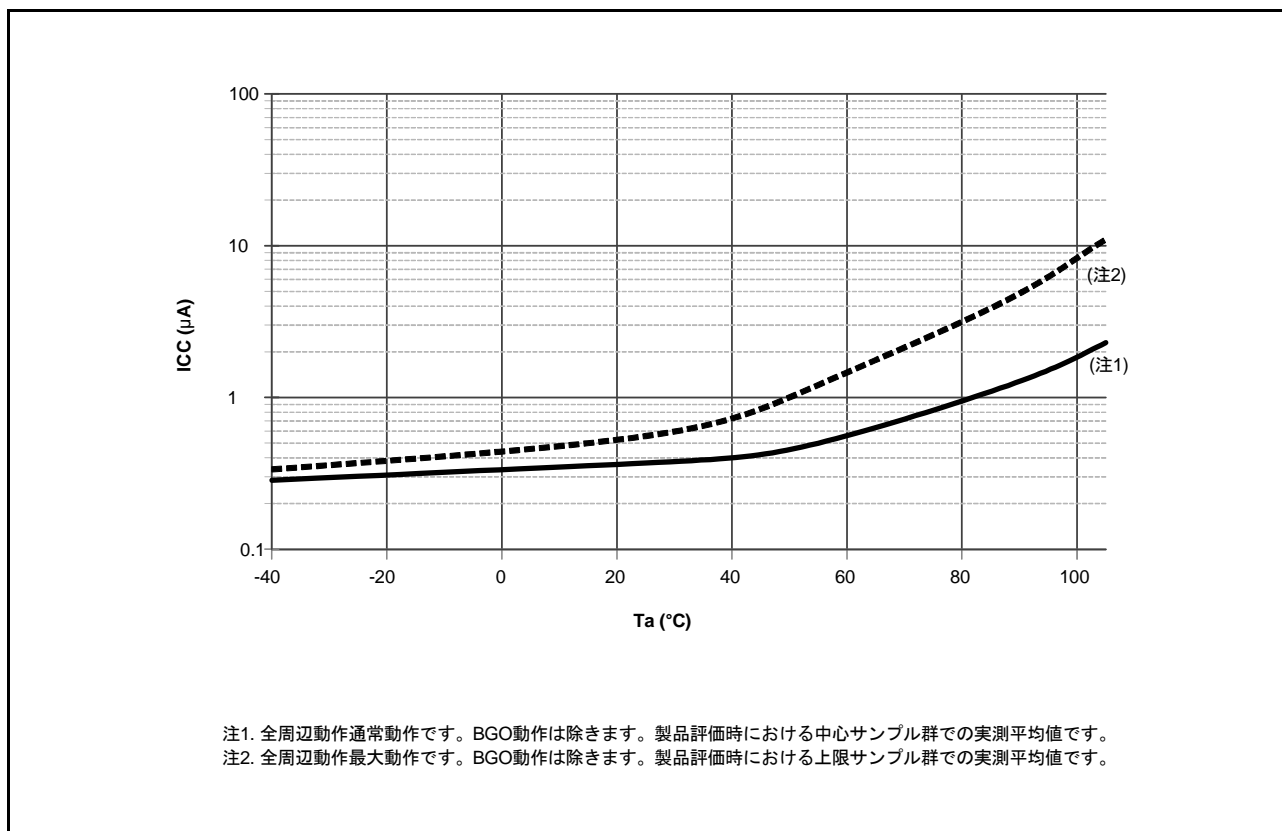


図 5.5 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 5.9 DC特性 (7)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	300	mW	Dバージョン
		—	105		Gバージョン

注. Gバージョンのディレーティングについては、当社営業及び販売店営業へお問い合わせください。
 なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。
 注1. チップ全体 (出力電流を含む) の総電力です。

表5.10 DC特性 (8)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注4)	max	単位	測定条件
アナログ電源電流	A/D変換中 (高速変換時)	I_{AVCC}	—	0.7	1.7	mA	
	A/D変換中 (低電流モード)		—	0.6	1.0		
	D/A変換中 (1チャンネル当り) (注1)		—	—	1.5		
	A/D、D/A変換待機時 (全ユニット)		—	—	0.4	μA	
リファレンス電源電流	A/D変換中 (高速変換時)	I_{REFH0}	—	25	150	μA	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
LVD0	—	I_{LVD}	—	0.1	—	μA	
LVD1, 2	1チャンネル当り		—	0.15	—	μA	
温度センサ (注3)	—	I_{TEMP}	—	75	—	μA	
コンパレータB動作電流 (注3)	ウィンドウ機能有効	I_{CMP} (注2)	—	12.5	28.6	μA	
	コンパレータ高速モード (1チャンネル当り)		—	3.2	16.2	μA	
	コンパレータ低速モード (1チャンネル当り)		—	1.7	4.4	μA	
CTSU動作電流	計測期間中 (CPUはスリープ) ベースクロック 2MHz 端子容量 50pF	I_{CTSU}	—	150	—	μA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. コンパレータBモジュールのみの消費電流です。

注3. 電源 (VCC) の消費電流です。

注4. $VCC = AVCC0 = 3.3V$ のとき。

表5.11 DC特性 (9)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.8	—	—	V	

表5.12 DC特性 (10)

条件: $0V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時 (注1)	$SrVCC$	0.02	—	20	ms/V	
	起動時間短縮時 (注2)		0.02	—	2		
	起動時電圧監視0リセット有効時 (注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS) = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01bを設定した場合です。

注3. OFS1.LVDAS = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表5.13 DC特性 (11)

条件： $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$
 電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 5.6 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 5.6 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 5.6 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

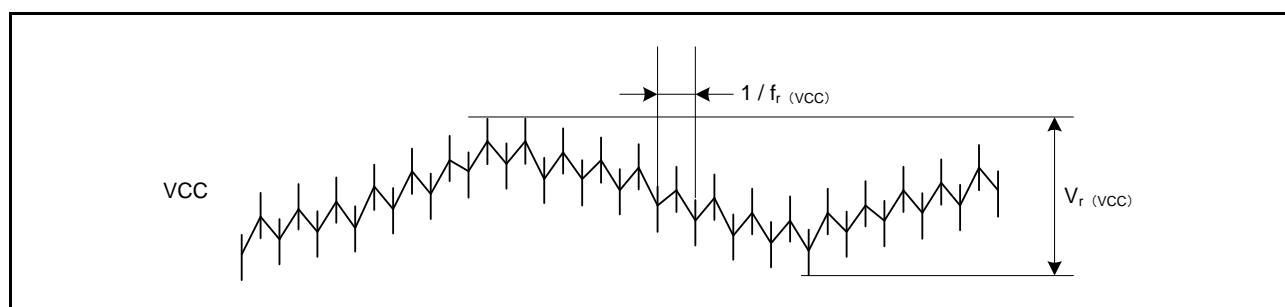


図 5.6 電源リップル波形

表5.14 DC特性 (12)

条件： $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量許容誤差	C_{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7 μF です。端子容量のばらつきは、上記の範囲内にしてください。

表5.15 出力許容電流値 (1)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目		記号	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	ポートP03～P07、ポートP40～P47、 ポートPJ6, PJ7の合計	ΣI_{OL}	40	mA	
	ポートP12～P17、ポートP20, P21, P26, P27、 ポートP30～P32, P34～P37、 ポートPH2, PH3、ポートPJ1の合計		40		
	ポートP54, P55、ポートPB0～PB7、ポートPC2～ PC7、ポートPH0, PH1の合計		40		
	ポートPA0～PA6、ポートPE0～PE5、 ポートPD0～PD2の合計		40		
	全出力端子の総和		80		
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7 の合計	ΣI_{OH}	-40	mA	
	ポートP12～P17、ポートP20, P21, P26, P27、 ポートP30～P32, P34～P37、 ポートPH2, PH3、ポートPJ1の合計		-40		
	ポートP54, P55、ポートPC2～PC7、 ポートPB0～PB7、ポートPH0, PH1の合計		-40		
	ポートPA0～PA6、ポートPD0～PD2、 ポートPE0～PE5の合計		-40		
	全出力端子の総和		-80		

注. 許容総消費電流は超えないようにしてください。

表5.16 出力許容電流値 (2)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP03～P07、ポートP40～P47、ポートP36, P37	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	ポートP03～P07、ポートP40～P47、 ポートPJ6, PJ7の合計	ΣI_{OL}	30	mA	
	ポートP12～P17、ポートP20, P21, P26, P27、 ポートP30～P32, P34～P37、 ポートPH2, PH3、ポートPJ1の合計		30		
	ポートP54, P55、ポートPB0～PB7、 ポートPC2～PC7、ポートPH0, PH1の合計		30		
	ポートPA0～PA6、ポートPD0～PD2、 ポートPE0～PE5の合計		30		
	全出力端子の総和		60		
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP03～P07、ポートP40～P47、ポートPJ6, PJ7	I_{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
出力Highレベル許容電流	ポートP03～P07、ポートP40～P47、 ポートPJ6, PJ7の合計	ΣI_{OH}	-30	mA	
	ポートP12～P17、ポートP20, P21, P26, P27、 ポートP30～P32, P34～P37、 ポートPH2, PH3、ポートPJ1の合計		-30		
	ポートP54, P55、ポートPB0～PB7、 ポートPC2～PC7、ポートPH0, PH1の合計		-30		
	ポートPA0～PA6、ポートPD0～PD2、 ポートPE0～PE5の合計		-30		
	全出力端子の総和		-60		

注. 許容総消費電流は超えないようにしてください。

表5.17 出力電圧値 (1)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC < 2.7V$ 、 $2.0V \leq AVCC0 < 2.7V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Lowレベル	全出力端子 (RIIC以外)	通常出力時	—	0.8	V	$I_{OL} = 0.5mA$	
		高駆動出力時				—	0.8
出力Highレベル	全出力端子	通常出力時	P03 ~ P07、 P40 ~ P47、 PJ6, PJ7	$AVCC0 - 0.5$	—	V	$I_{OH} = -0.5mA$
		高駆動出力時		$VCC - 0.5$	—	$I_{OH} = -1.0mA$	

表5.18 出力電圧値 (2)

条件: $2.7V \leq VCC < 4.0V$ 、 $2.7V \leq AVCC0 < 4.0V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Lowレベル	全出力端子 (RIIC以外)	通常出力時	—	0.8	V	$I_{OL} = 1.0mA$	
		高駆動出力時				—	0.8
	RIIC端子	スタンダードモード (通常出力時)	—	0.4		$I_{OL} = 3.0mA$	
		ファストモード (高駆動出力選択時)	—	0.4		$I_{OL} = 6.0mA$	
出力Highレベル	全出力端子	通常出力時	P03 ~ P07、 P40 ~ P47、 PJ6, PJ7	$AVCC0 - 0.8$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時		$VCC - 0.8$	—	$I_{OH} = -2.0mA$	

表5.19 出力電圧値 (3)

条件: $4.0V \leq VCC \leq 5.5V$ 、 $4.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Lowレベル	全出力端子 (RIIC以外)	通常出力時	—	0.8	V	$I_{OL} = 2.0mA$	
		高駆動出力時				—	0.8
	RIIC端子	スタンダードモード (通常出力時)	—	0.4		$I_{OL} = 3.0mA$	
		ファストモード (高駆動出力選択時)	—	0.6		$I_{OL} = 6.0mA$	
出力Highレベル	全出力端子	通常出力時	P03 ~ P07、 P40 ~ P47、 PJ6, PJ7	$AVCC0 - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時		$VCC - 0.8$	—	$I_{OH} = -4.0mA$	

5.2.1 標準 I/O 端子出力特性 (1)

図 5.7 ~ 図 5.11 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

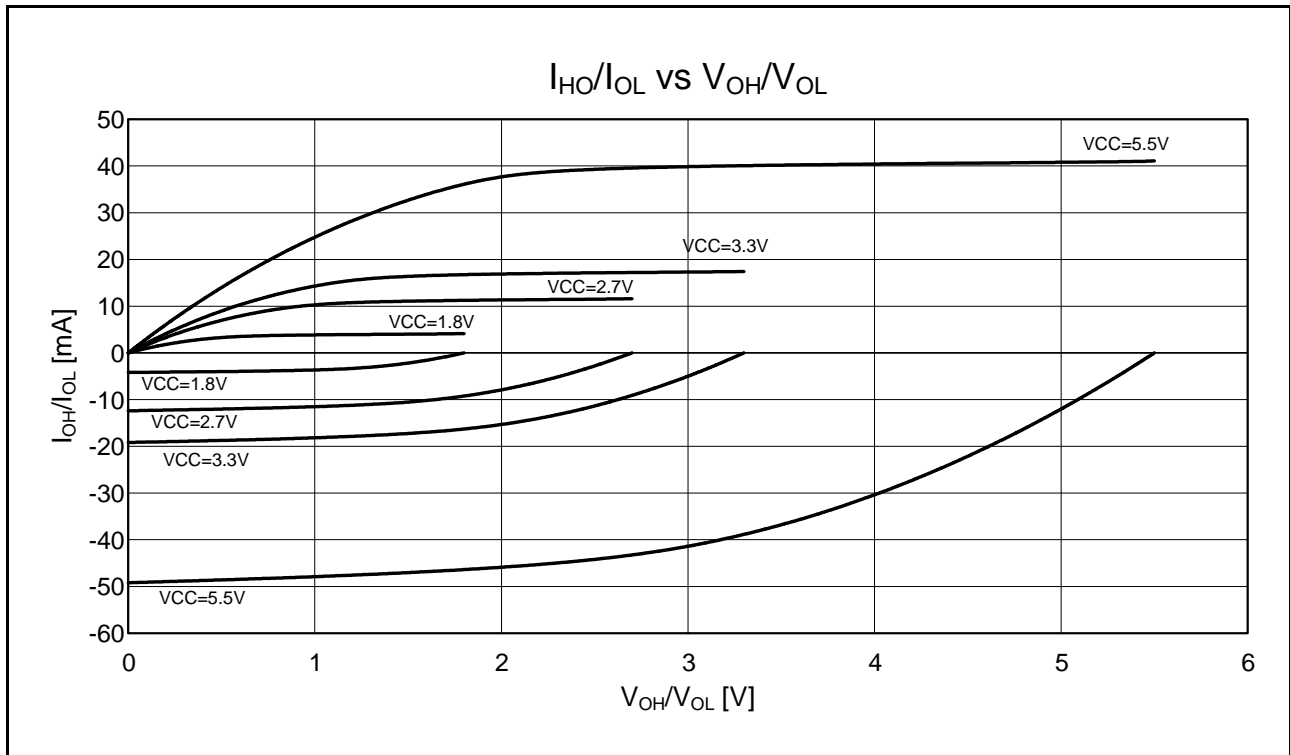


図 5.7 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25\text{ }^\circ\text{C}$ (参考データ)

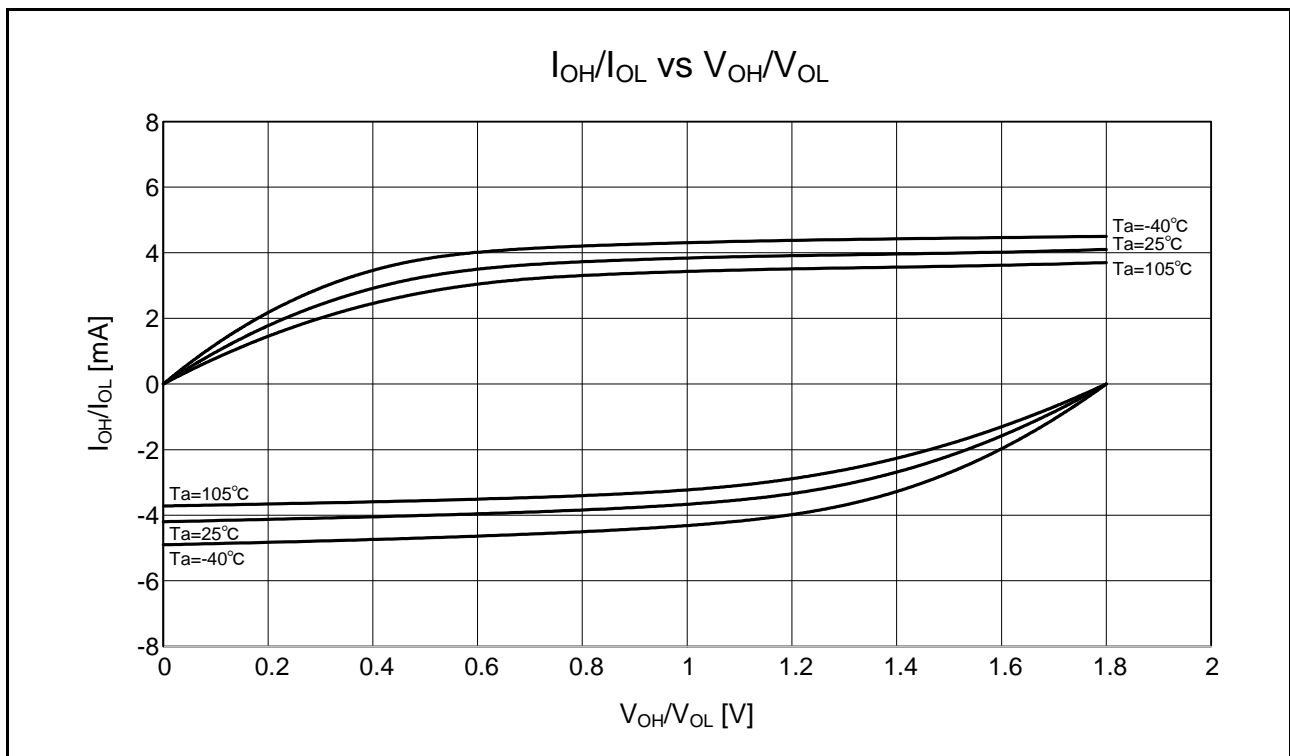


図 5.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

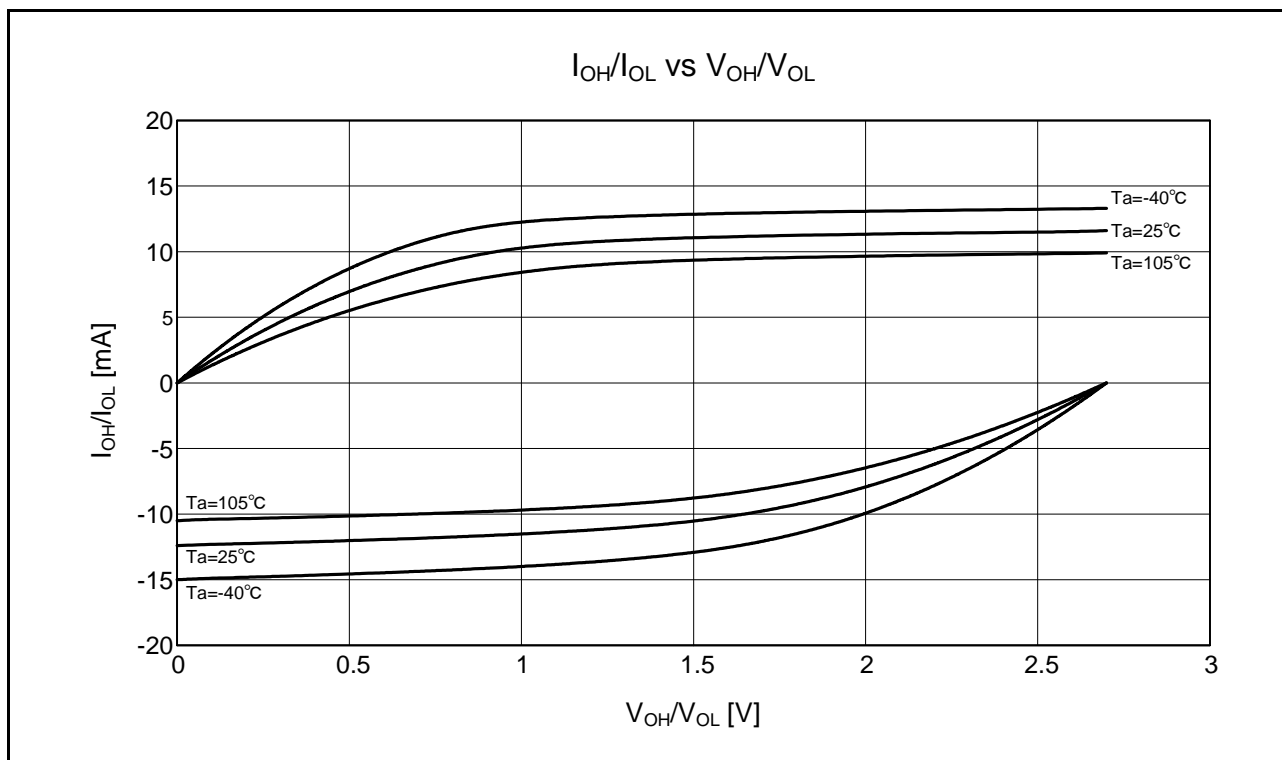


図 5.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 VCC = 2.7V (参考データ)

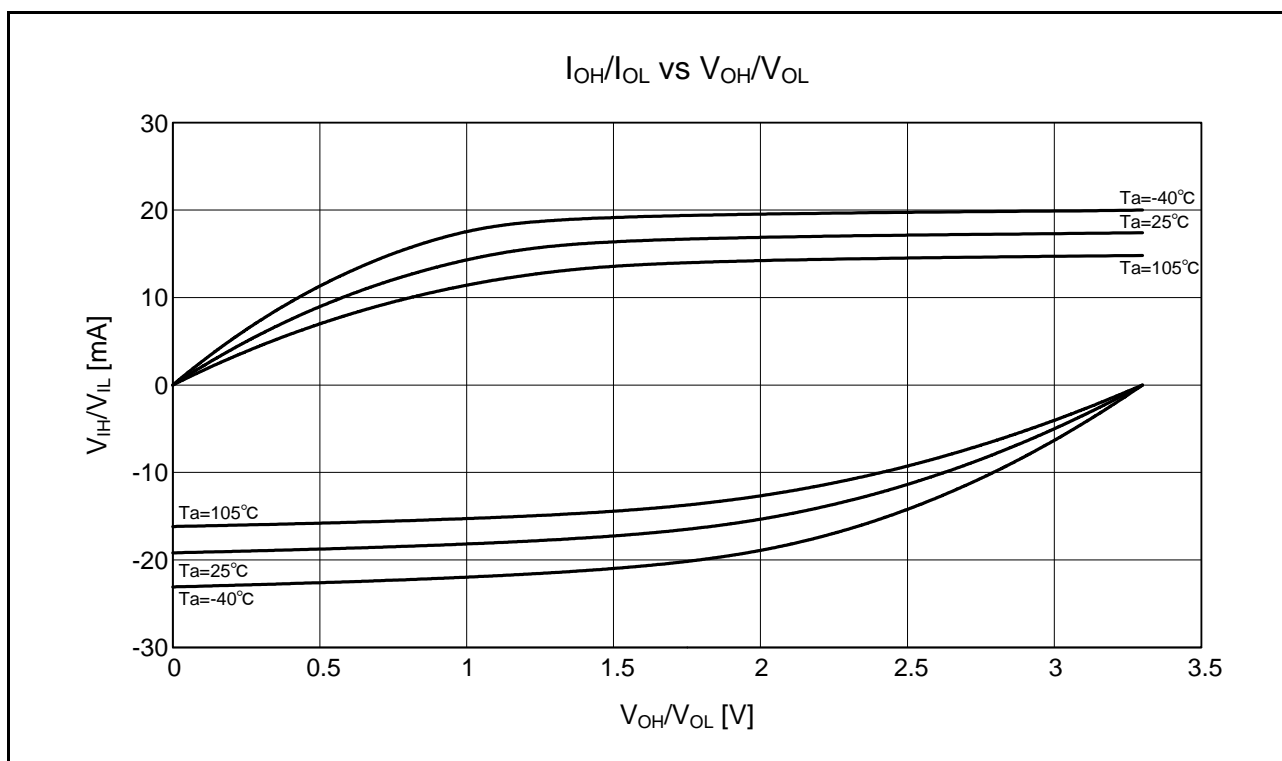


図 5.10 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 VCC = 3.3V (参考データ)

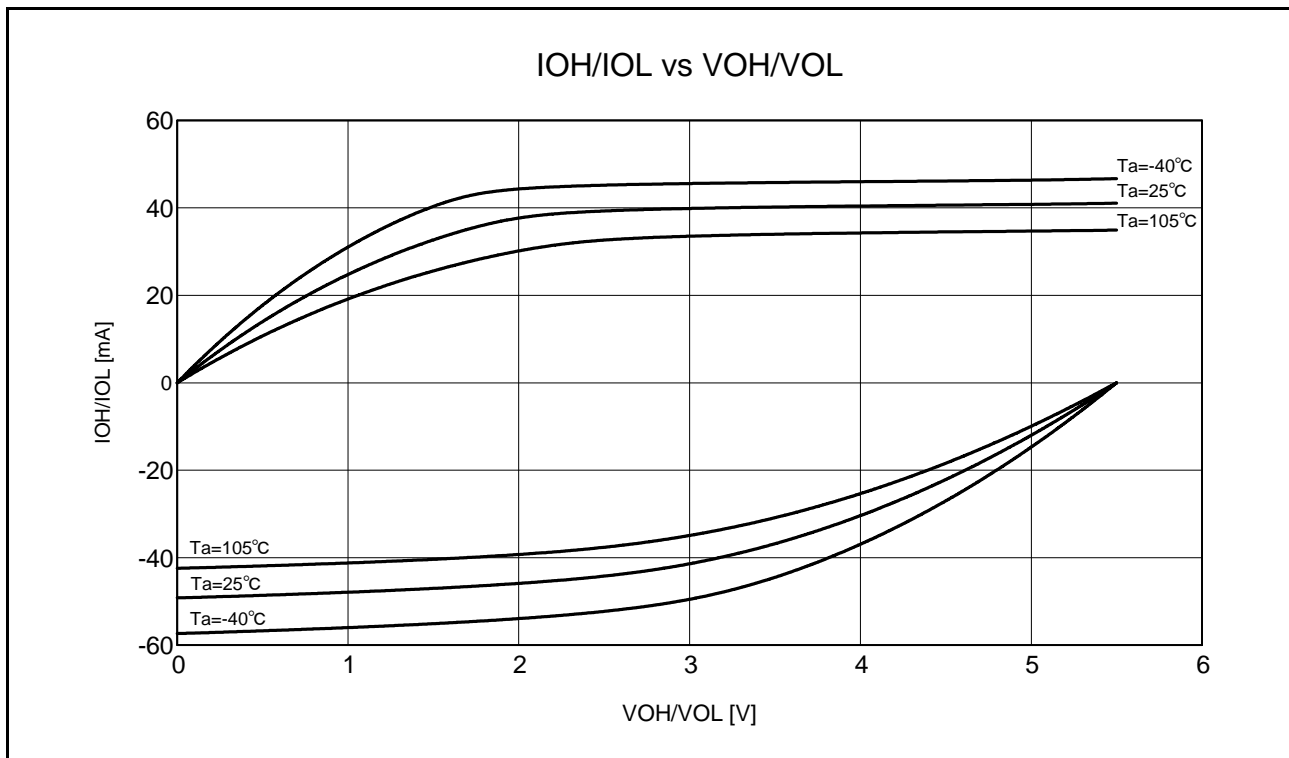


図 5.11 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

5.2.2 標準 I/O 端子出力特性 (2)

図 5.12 ~ 図 5.16 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

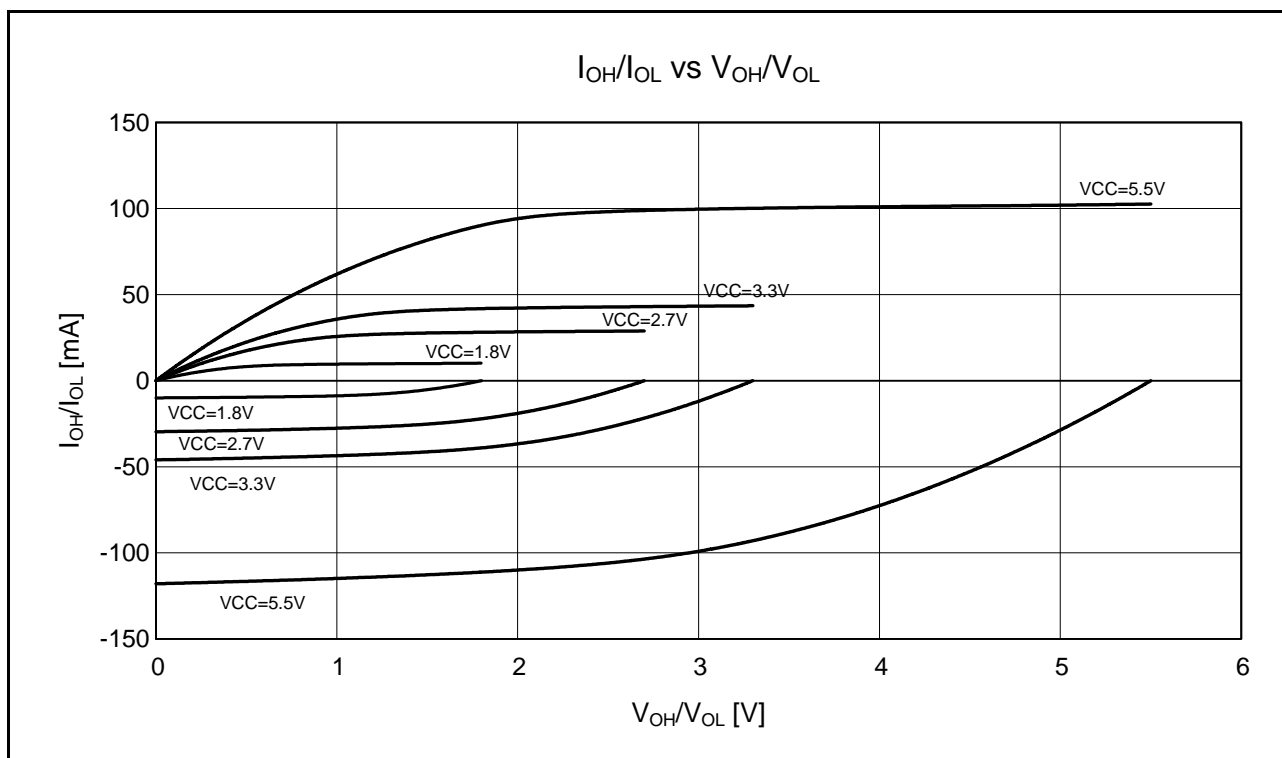


図 5.12 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

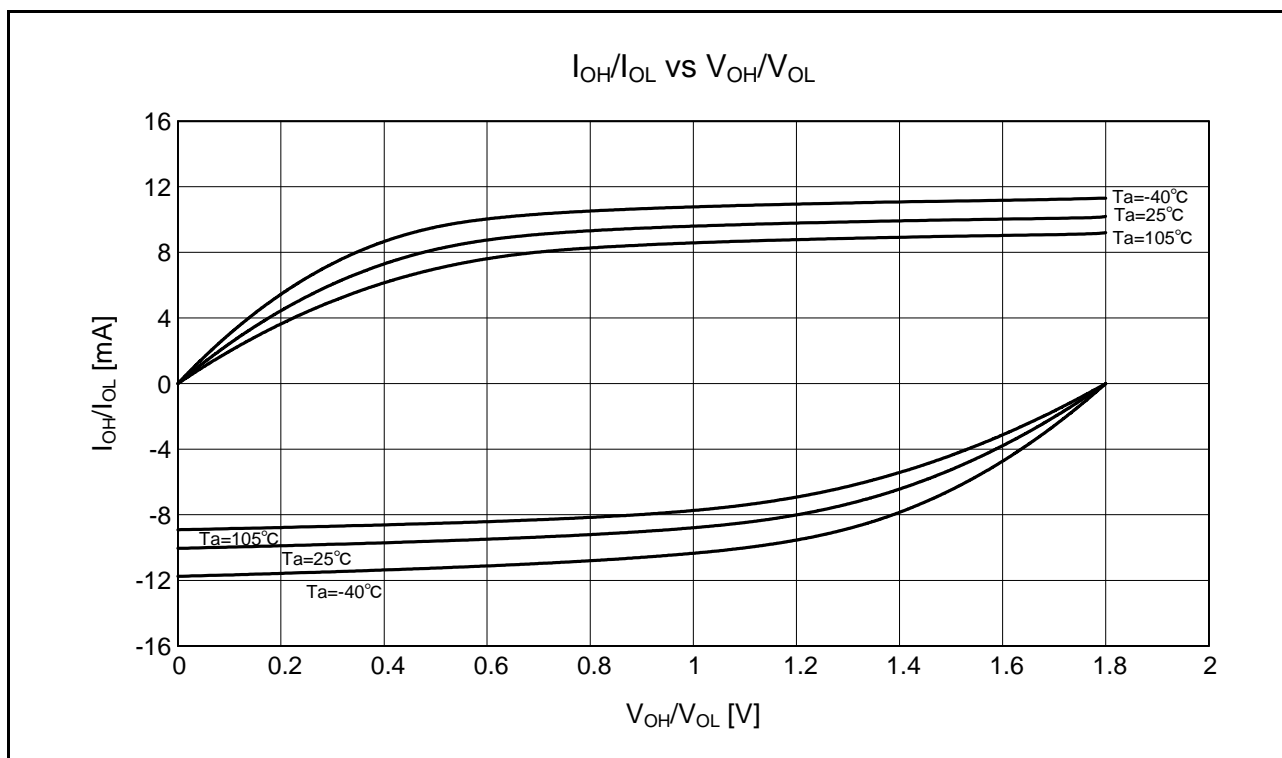


図 5.13 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

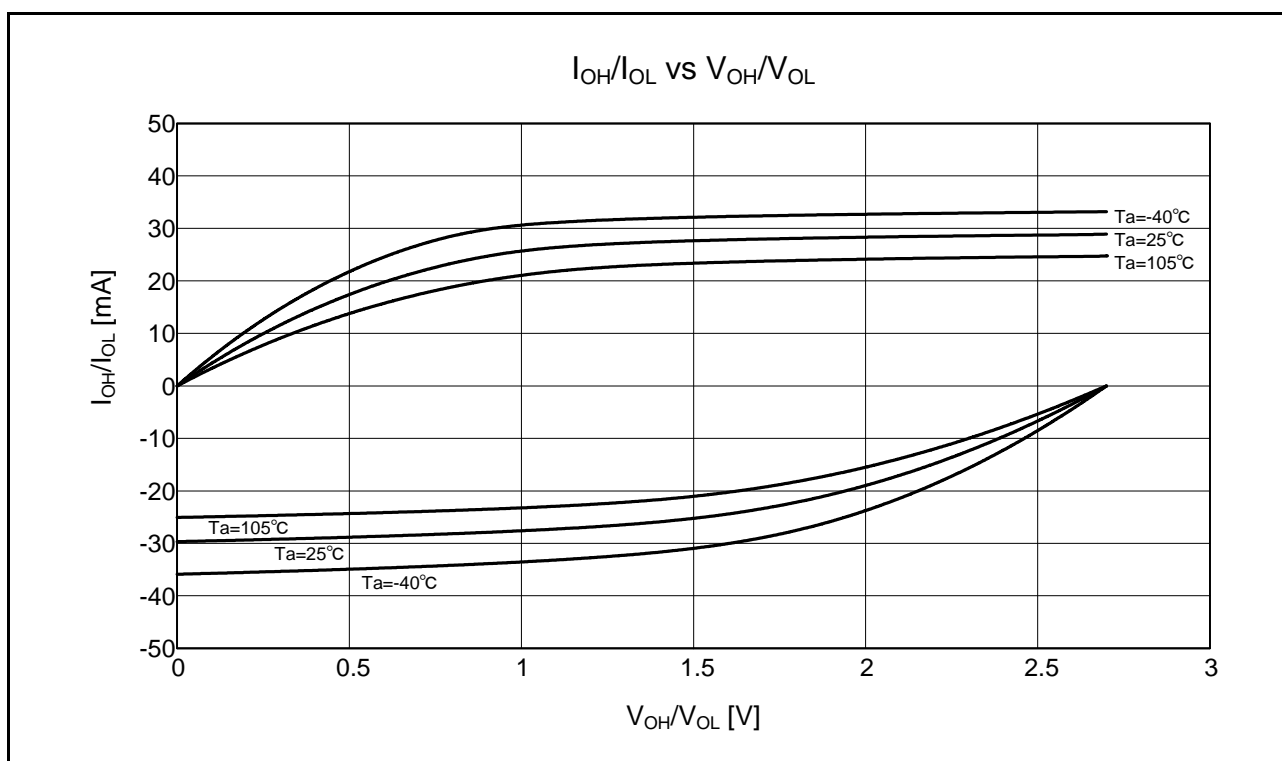


図 5.14 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

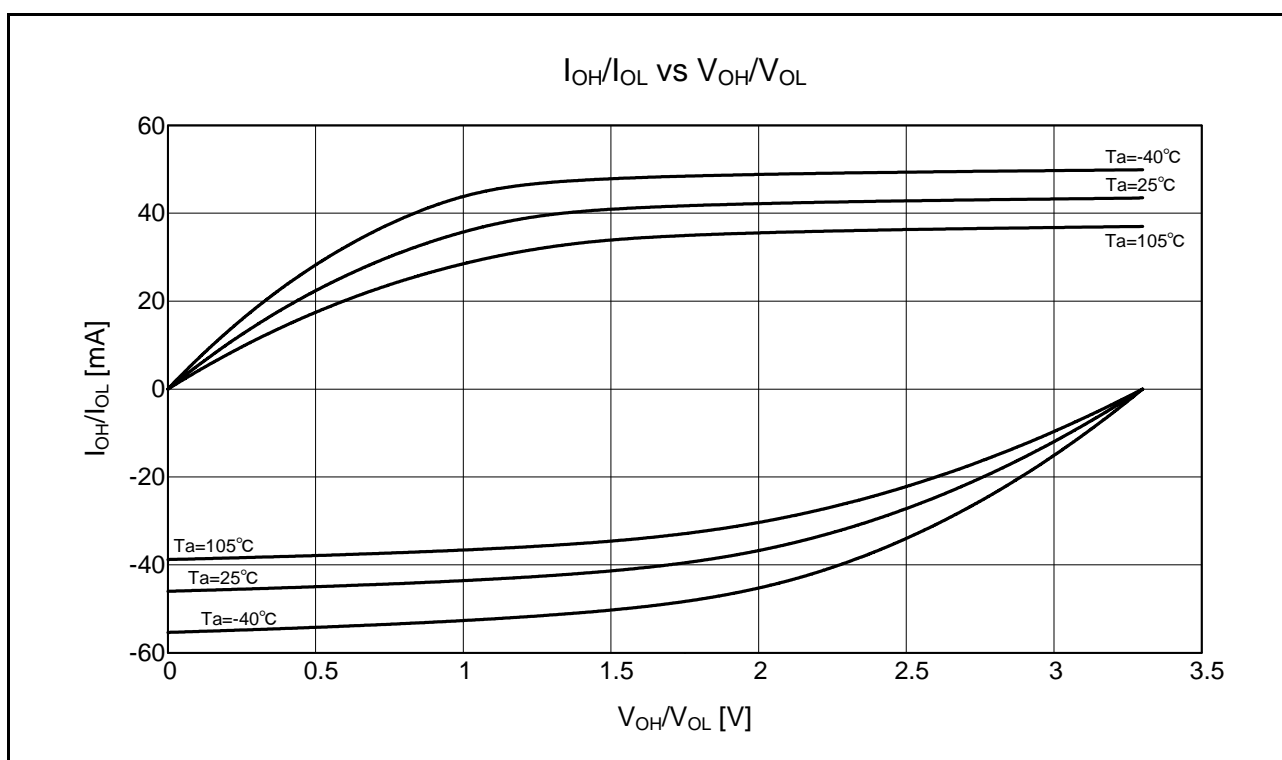
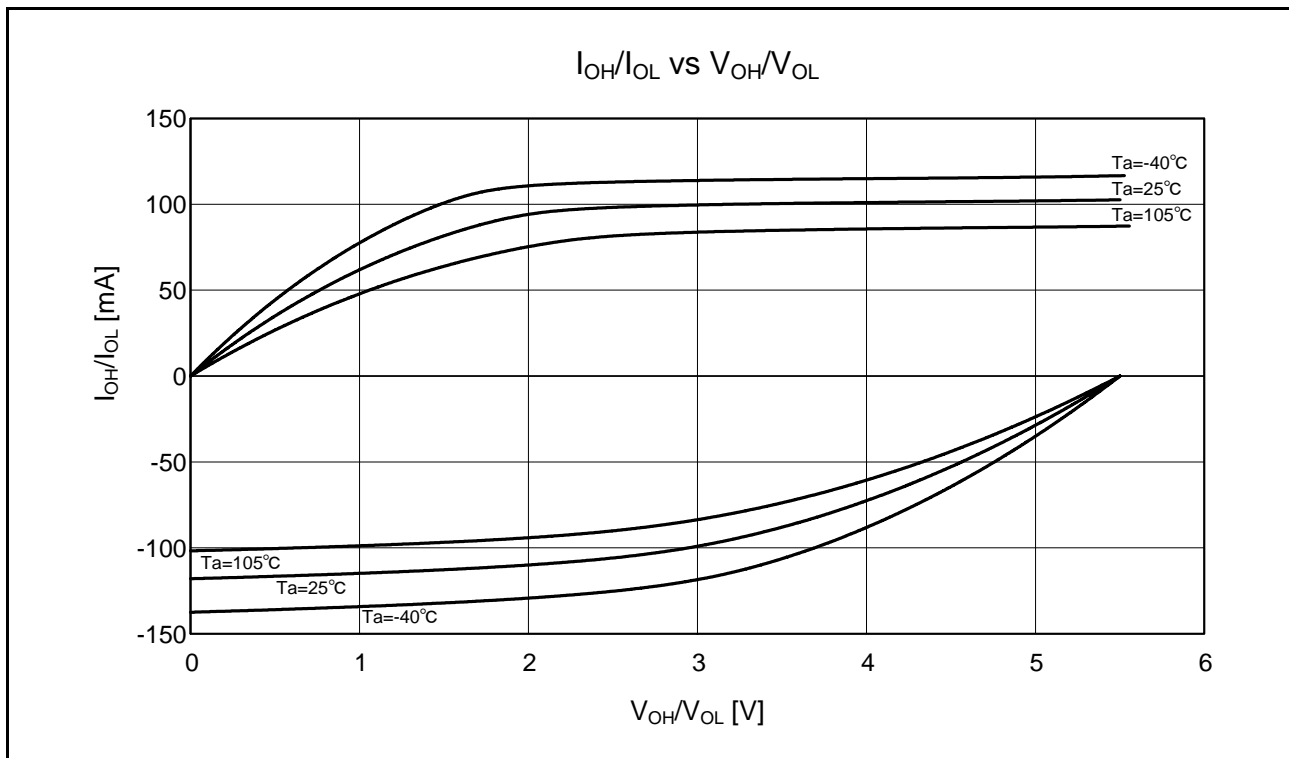


図 5.15 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

図 5.16 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

5.2.3 標準 I/O 端子出力特性 (3)

図 5.17 ~ 図 5.20 に RIIC 出力端子の特性を示します。

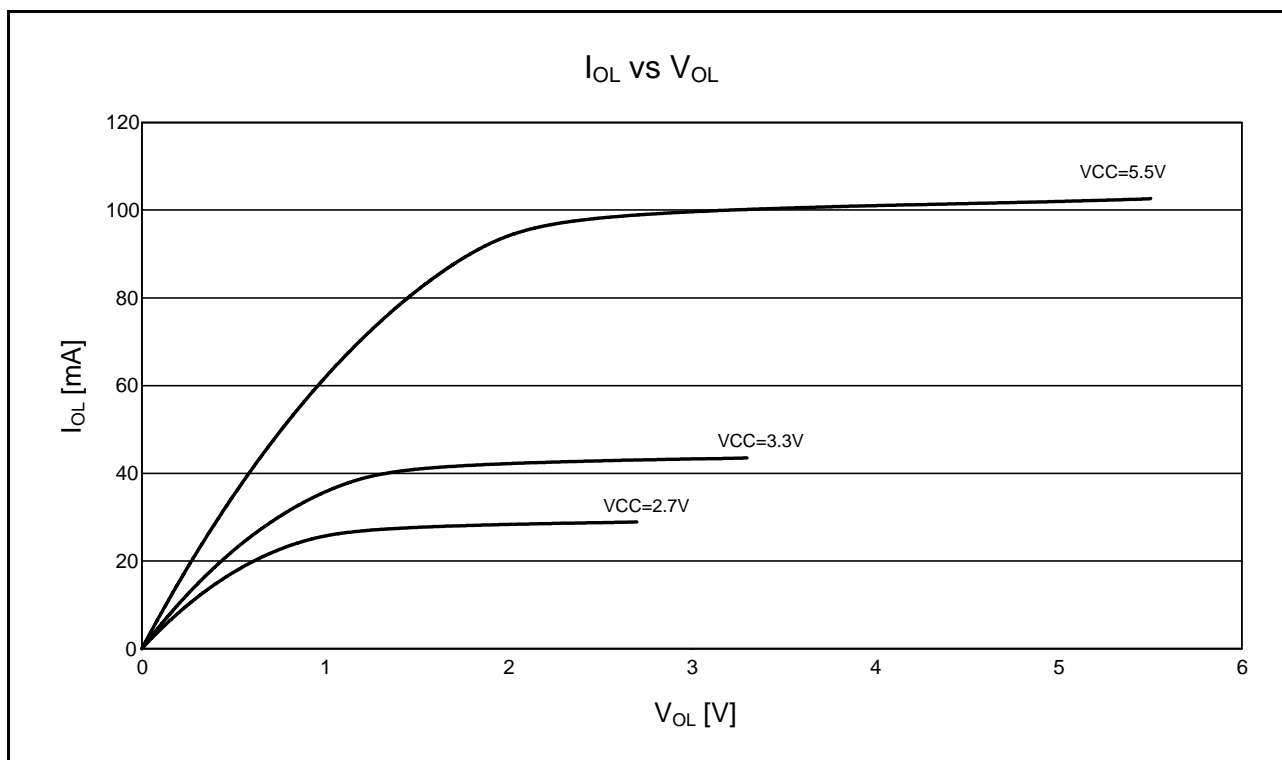


図 5.17 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

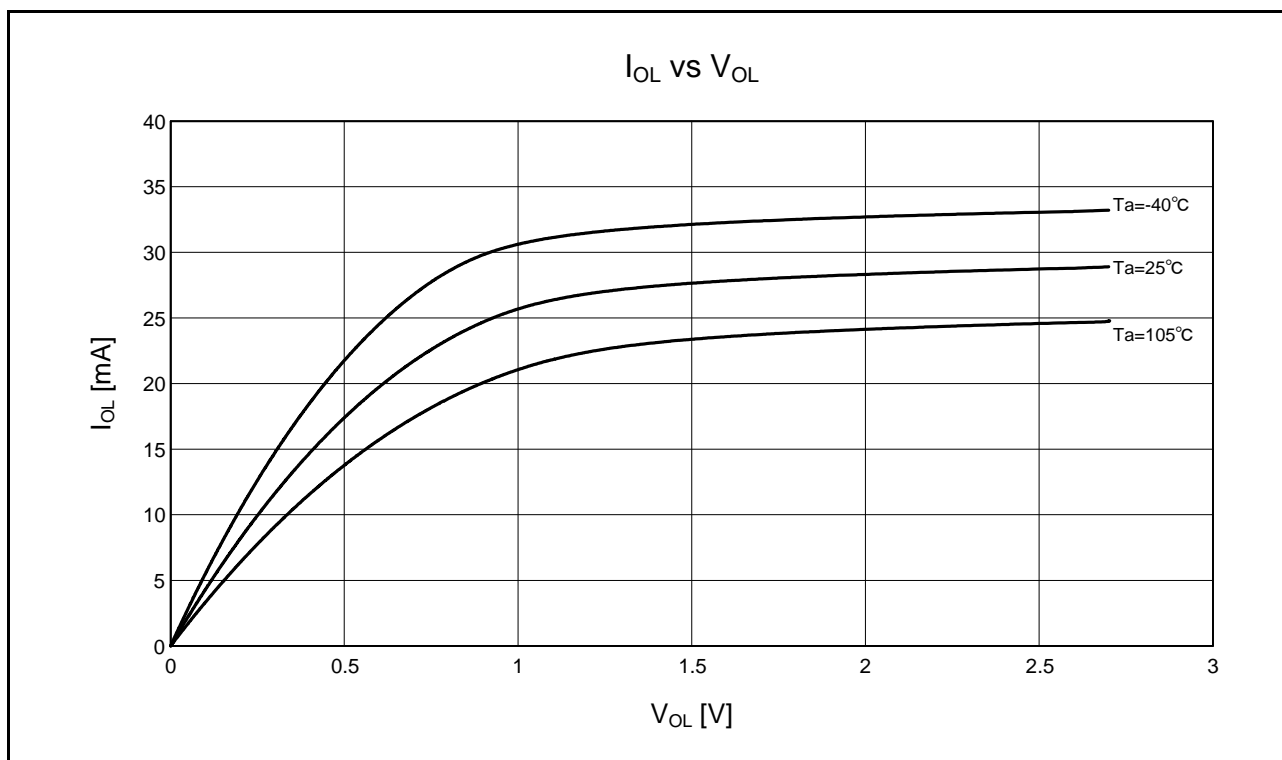


図 5.18 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

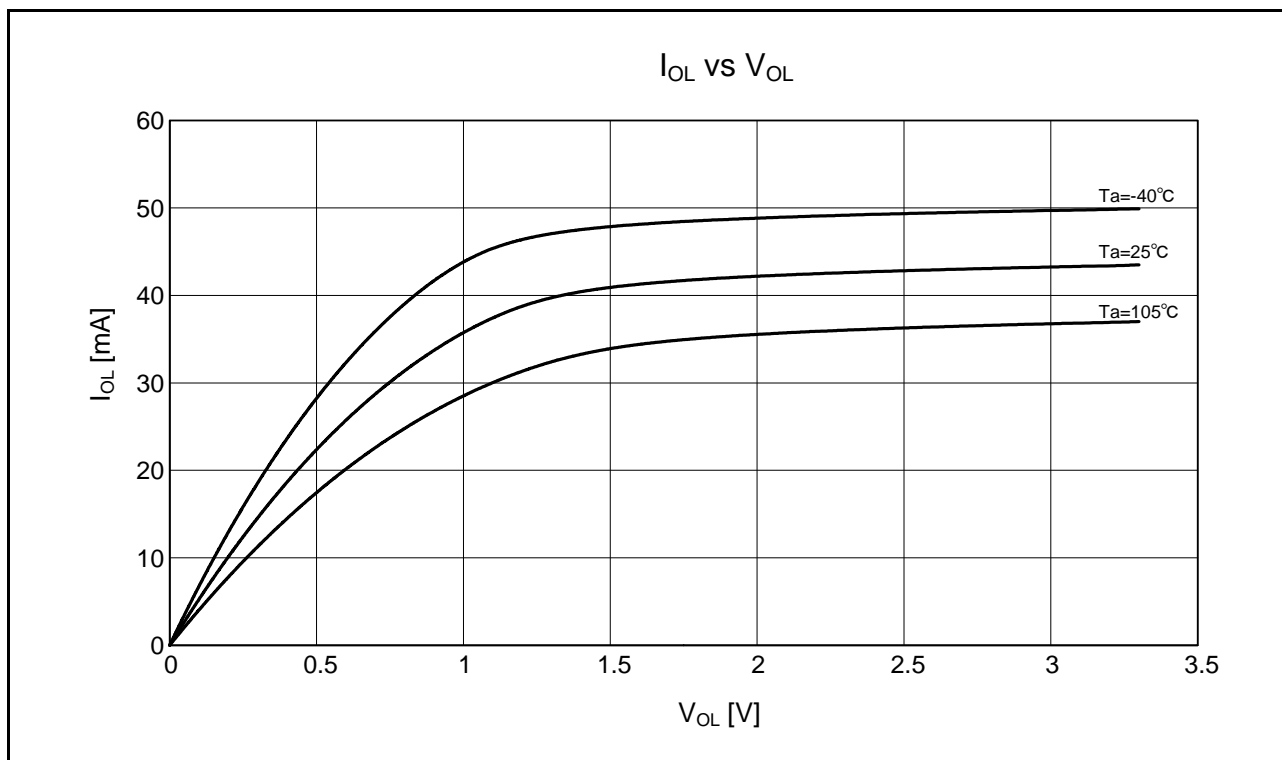


図 5.19 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 VCC = 3.3V (参考データ)

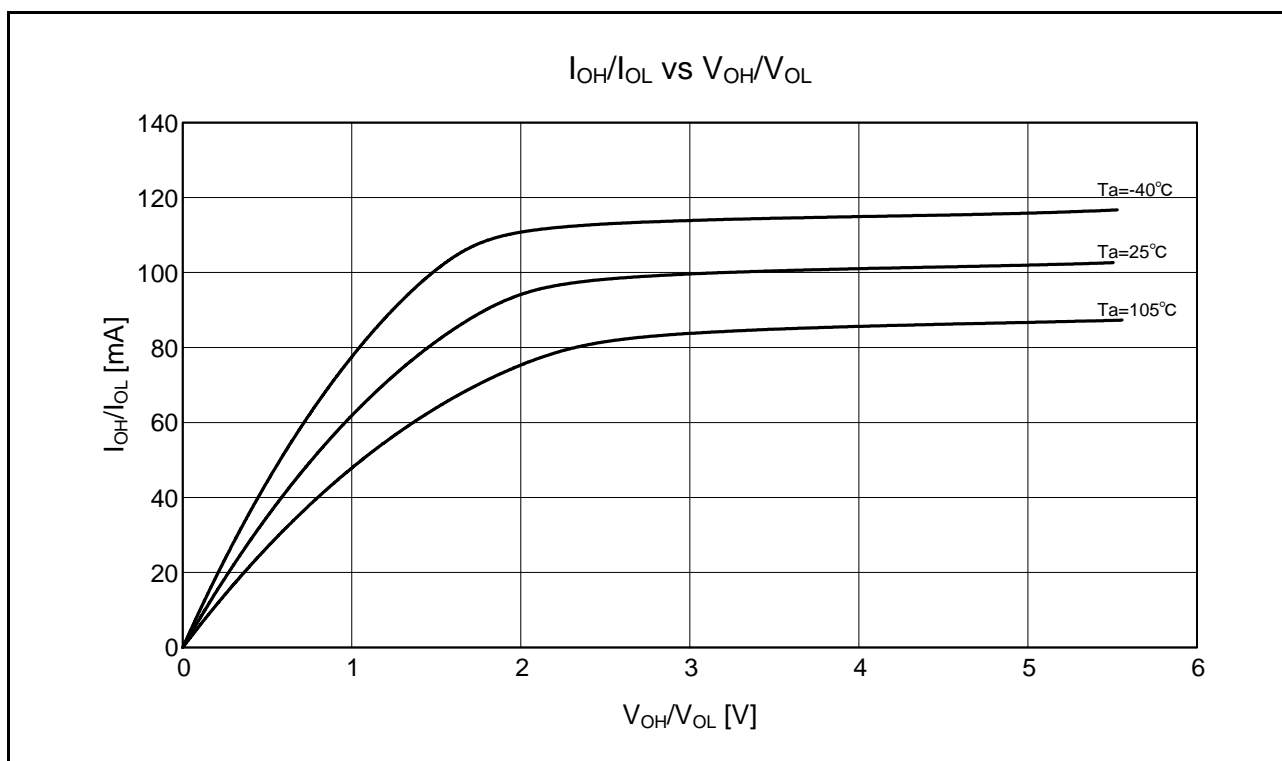


図 5.20 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 VCC = 5.5V (参考データ)

5.3 AC 特性

5.3.1 クロックタイミング

表5.20 動作周波数（高速動作モード）

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	VCC			単位
			1.8V ≤ VCC < 2.4V	2.4V ≤ VCC < 2.7V	2.7V ≤ VCC ≤ 5.5V	
最大動作周波数 (注4)	システムクロック (ICLK)	f _{max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD) (注3)		8	16	32	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は2.4V以上では4MHz、2.4V未満では1MHzです。

注4. 最高動作周波数には、HOCOの誤差、PLLジッタは含んでいません。「表5.23 クロックタイミング」を参照してください。

表5.21 動作周波数（中速動作モード）

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	VCC			単位
			1.8V ≤ VCC < 2.4V	2.4V ≤ VCC < 2.7V	2.7V ≤ VCC ≤ 5.5V	
最大動作周波数 (注4)	システムクロック (ICLK)	f _{max}	8	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	
	周辺モジュールクロック (PCLKD) (注3)		8	12	12	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は2.4V以上では4MHz、2.4V未満では1MHzです。

注4. 最高動作周波数には、HOCOの誤差、PLLジッタは含んでいません。「表5.23 クロックタイミング」を参照してください。

表5.22 動作周波数（低速動作モード）

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	VCC			単位
			1.8V ≤ VCC < 2.4V	2.4V ≤ VCC < 2.7V	2.7V ≤ VCC ≤ 5.5V	
最大動作周波数	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

表5.23 クロックタイミング

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図5.21
EXTAL外部クロック入力パルス幅Highレベル	t _{XH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t _{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t _{XWT}	0.5	—	—	μs	
メインクロック発振器発振周波数 (注2)	f _{MAIN}	2.4 ≤ VCC ≤ 5.5	1	—	20	
		1.8 ≤ VCC < 2.4	1	—	8	
メインクロック発振安定時間 (水晶振動子) (注2)	t _{MAINOSC}	—	3	—	ms	図5.22
メインクロック発振安定時間 (セラミック共振子) (注2)	t _{MAINOSC}	—	50	—	μs	
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs	図5.23
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	50	μs	図5.24
HOCOクロック発振周波数	f _{HOCO} (32MHz)	31.52	32	32.48	MHz	T _a = -40 ~ +85 °C
		31.68	32	32.32		T _a = 0 ~ +55 °C
		31.36	32	32.64		T _a = -40 ~ +105 °C
HOCOクロック発振安定時間	t _{HOCO}	—	—	30	μs	図5.26
PLL入力周波数 (注3)	f _{PLLIN}	4	—	8	MHz	
PLL回路発振周波数 (注3)	f _{PLL}	24	—	32	MHz	
PLLクロック発振安定時間	t _{PLL}	—	—	50	μs	図5.27
PLL自動発振周波数	f _{PLLFR}	—	8	—	MHz	
サブクロック発振器発振周波数 (注5)	f _{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間 (注4)	t _{SUBOSC}	—	0.5	—	s	図5.28

注1. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合は、参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLLを使用する場合、VCCは2.4~5.5Vにしてください。

注4. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

32.768kHzの発振子を使用した参考値です。

注5. 32.768kHzのみ使用可能です。

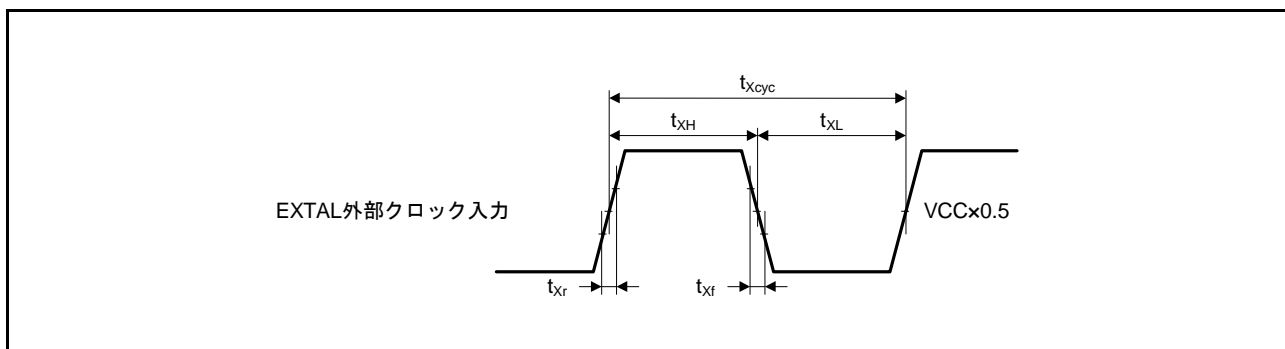


図5.21 EXTAL 外部クロック入力タイミング

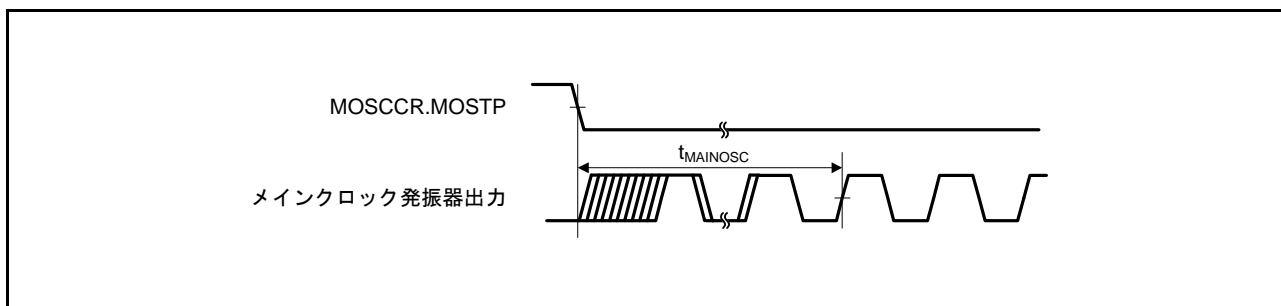


図 5.22 メインクロック発振開始タイミング

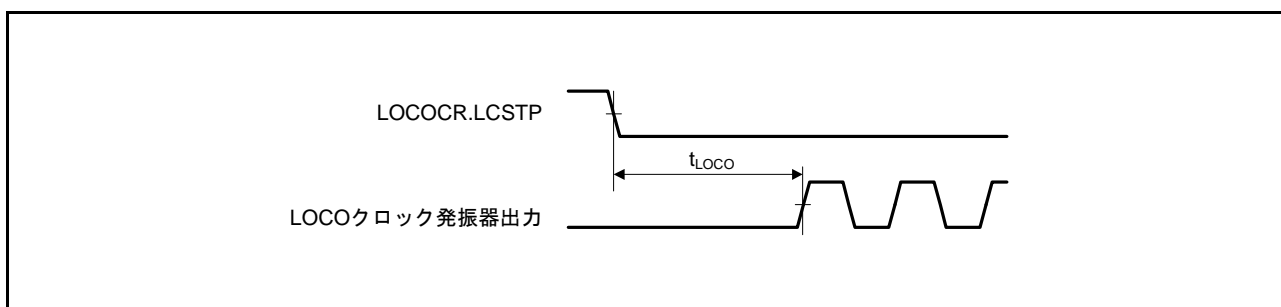


図 5.23 LOCO クロック発振開始タイミング

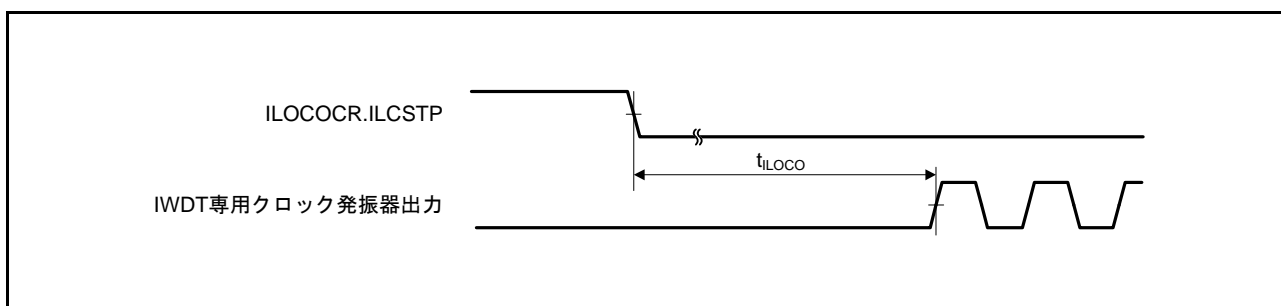


図 5.24 IWDT 専用クロック発振開始タイミング

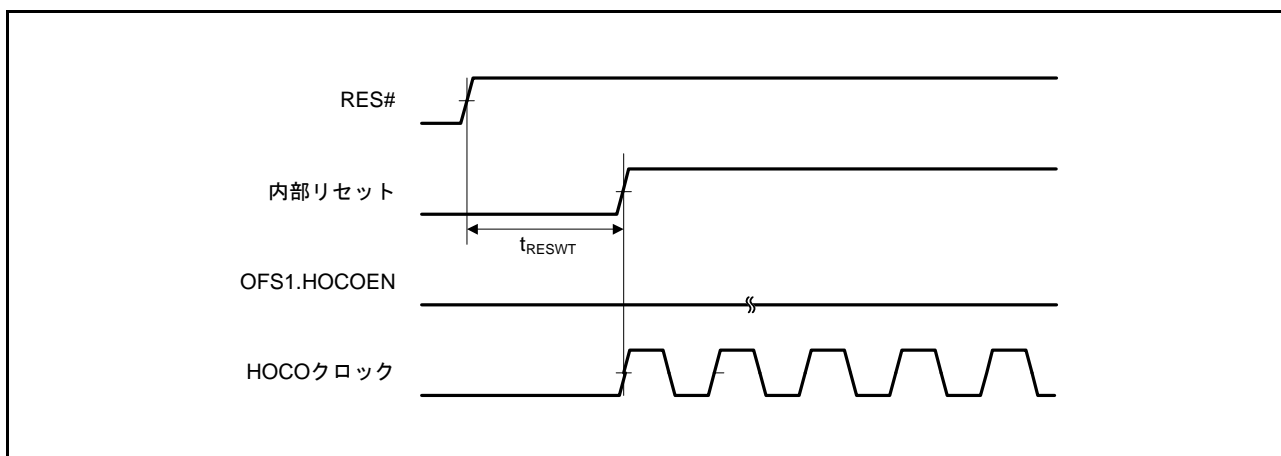


図 5.25 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

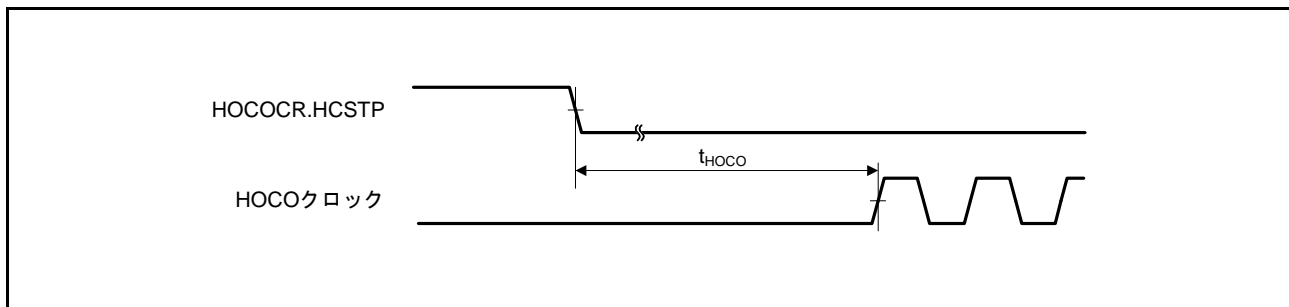


図 5.26 HOCO クロック発振開始タイミング (HOCOCCR.HCSTP ビット設定による発振開始)

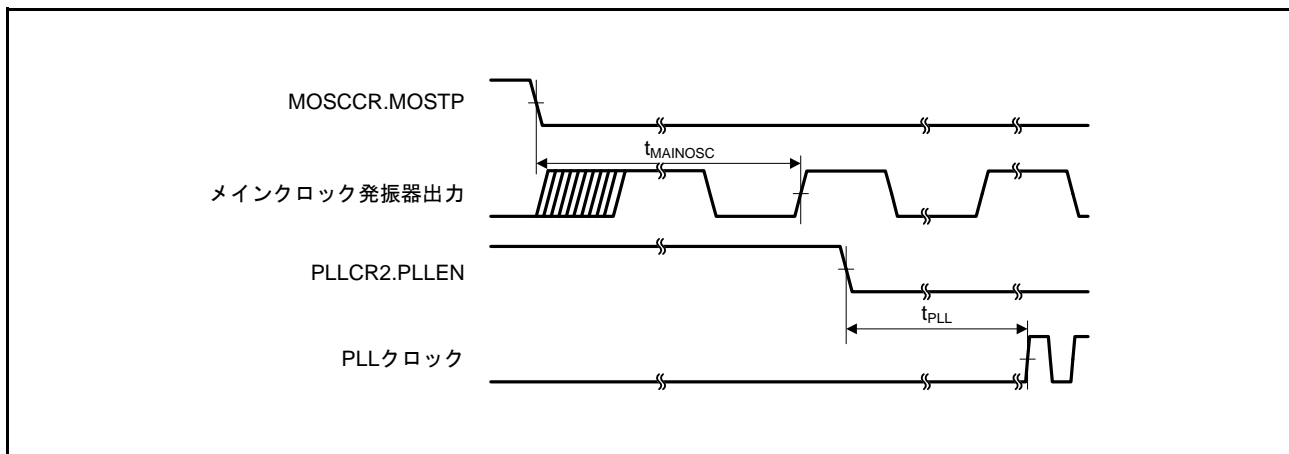


図 5.27 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

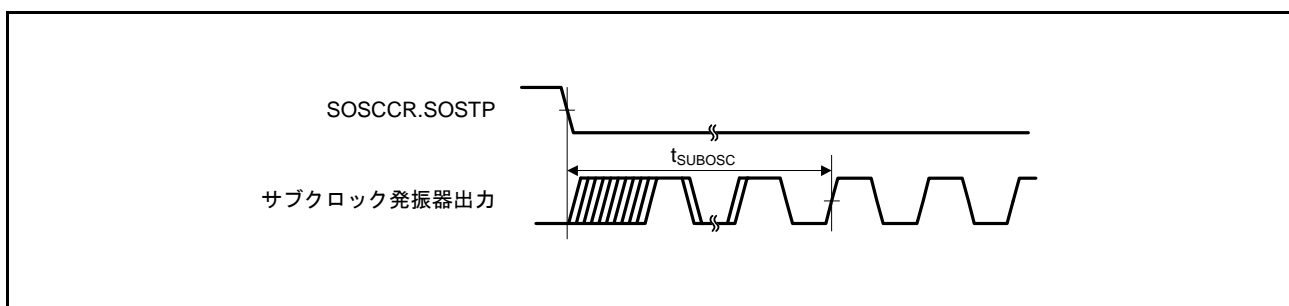


図 5.28 サブクロック発振開始タイミング

5.3.2 リセットタイミング

表5.24 リセットタイミング

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 5.29
	上記以外	t _{RESW}	30	—	—	μs	図 5.30
RES#解除後待機時間 (電源投入時)	通常起動時 (注1)	t _{RESWT}	—	8.5	—	ms	図 5.29
	起動時間短縮時 (注2)	t _{RESWT}	—	560	—	μs	
RES#解除後待機時間 (電源立ち上がった状態)		t _{RESWT}	—	120	—	μs	図 5.30
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 5.31
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間 (注3)		t _{RESWT2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESWT2}	—	170	—	μs	

注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(STUPLVD1REN, FASTSTUP) = 11b以外を設定した場合です。

注3. IWDCR.CKS[3:0] = 0000bを設定した場合です。

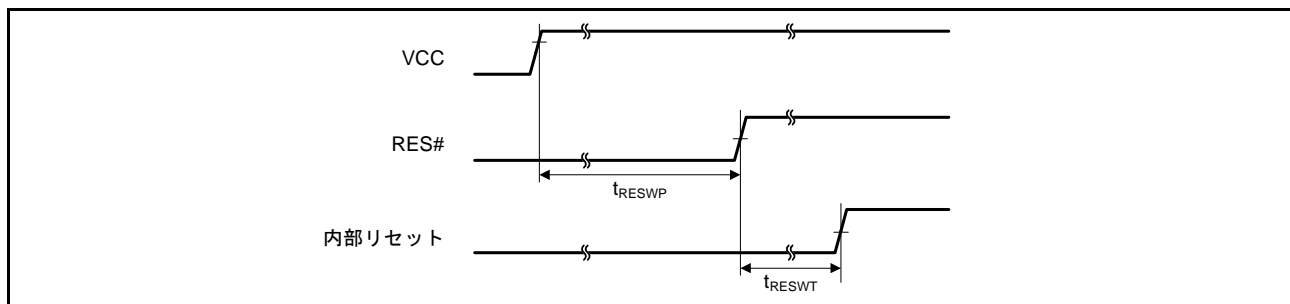


図 5.29 電源投入時リセット入力タイミング

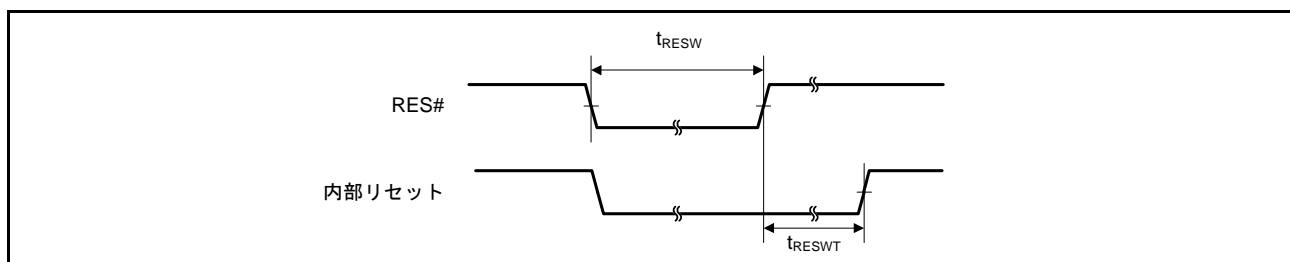


図 5.30 リセット入力タイミング (1)

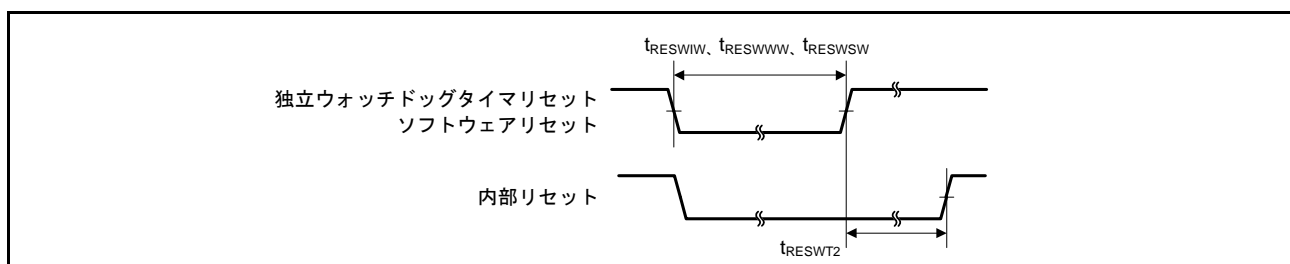


図 5.31 リセット入力タイミング (2)

5.3.3 低消費電力状態からの復帰タイミング

表5.25 低消費電力状態からの復帰タイミング (1)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC \leq 5.5V$, $2.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 5.32
		メインクロック発振器、PLL回路動作 (注3)	t _{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	35	50	μs	
		メインクロック発振器、PLL回路動作 (注5)	t _{SBYPE}	—	70	95	μs	
	サブクロック発振器動作		t _{SBYSC}	—	650	800	μs	
	HOCOクロック動作		t _{SBYHO}	—	40	55	μs	
	LOCOクロック動作		t _{SBYLO}	—	40	55	μs	

注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

注3. PLLの周波数が32MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が20MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注5. PLLの周波数が32MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表5.26 低消費電力状態からの復帰タイミング (2)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC \leq 5.5V$, $2.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速モード メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 5.32
		メインクロック発振器、PLL回路動作 (注3)	t _{SBYPC}	—	2	3	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	3	4	μs	
		メインクロック発振器、PLL回路動作 (注5)	t _{SBYPE}	—	65	85	μs	
	サブクロック発振器動作		t _{SBYSC}	—	600	750	μs	
	HOCOクロック動作		t _{SBYHO}	—	40	50	μs	
	LOCOクロック動作		t _{SBYLO}	—	5	7	μs	

注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

注3. PLLの周波数が24MHzで、ICLKが12MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注5. PLLの周波数が24MHzで、ICLKが12MHzの場合です。メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表5.27 低消費電力状態からの復帰タイミング (3)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	低速モード	サブクロック発振器動作	t_{SBYSC}	—	600	750	μs	図 5.32

注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

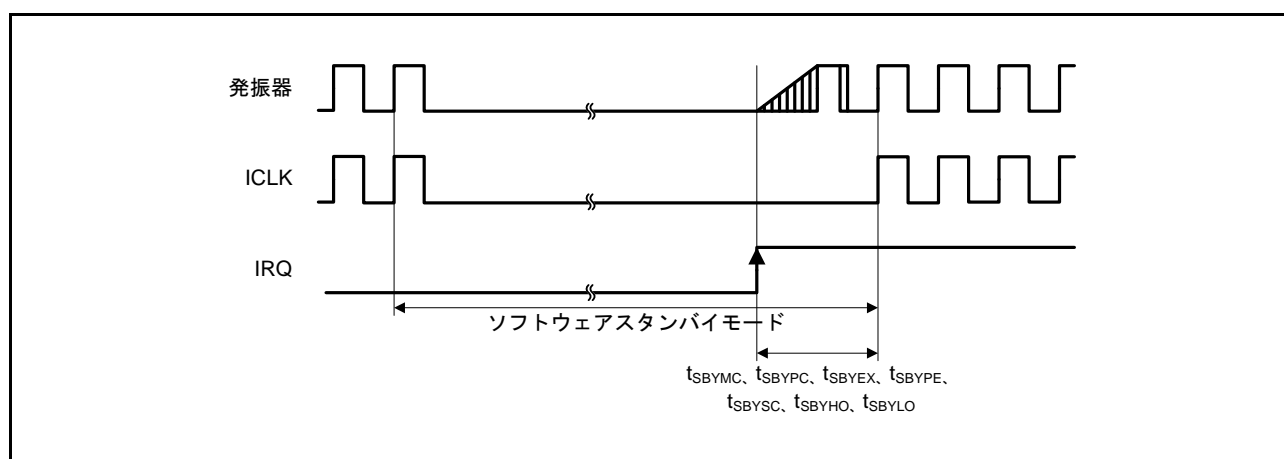


図 5.32 ソフトウェアスタンバイモード復帰タイミング

表5.28 低消費電力状態からの復帰タイミング (4)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード解除後復帰時間 (注1)	高速モード (注2)	$t_{DSL P}$	—	2	3.5	μs	図 5.33
	中速モード (注3)	$t_{DSL P}$	—	3	4	μs	
	低速モード (注4)	$t_{DSL P}$	—	400	500	μs	

注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

注4. システムクロック周波数が32.768kHzの場合です。

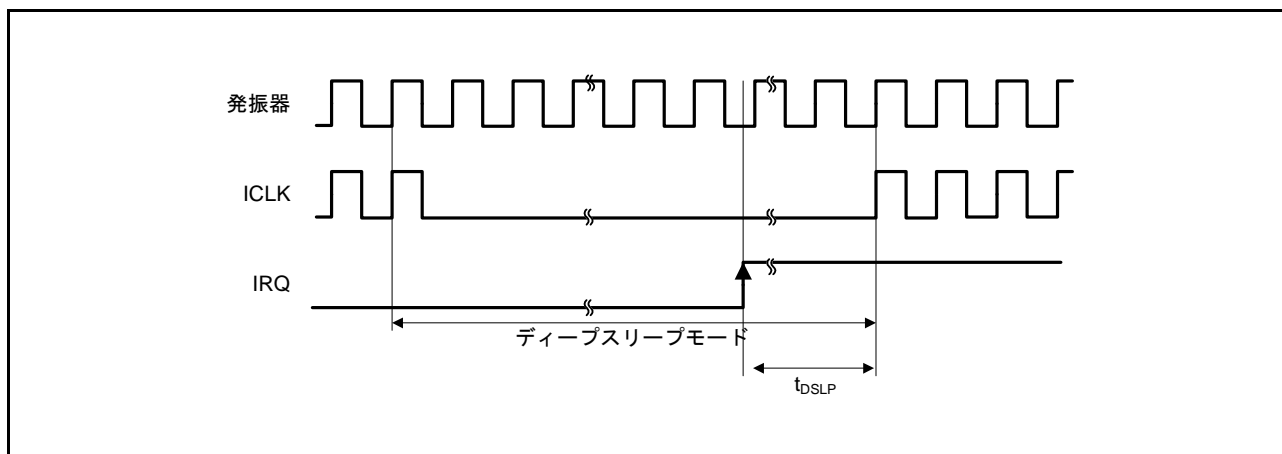


図 5.33 ディープスリープモード解除タイミング

表 5.29 動作モード遷移時間

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	215	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	185	—	μs

注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

5.3.4 制御信号タイミング

表5.30 制御信号タイミング

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイモード時は最小200nsです。

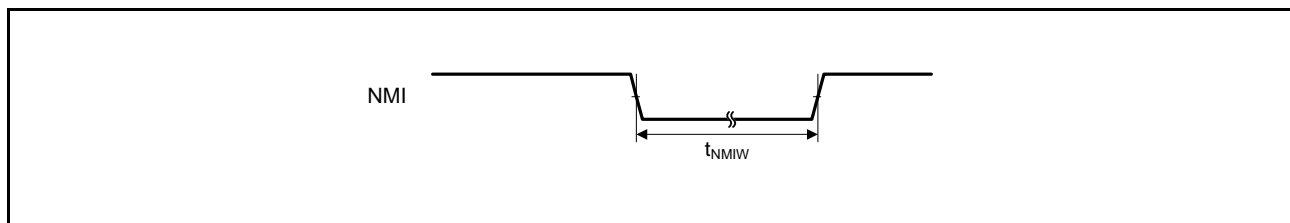
注1. t_{Pcyc}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック (i = 0~7) の周期を指します。

図 5.34 NMI 割り込み入力タイミング

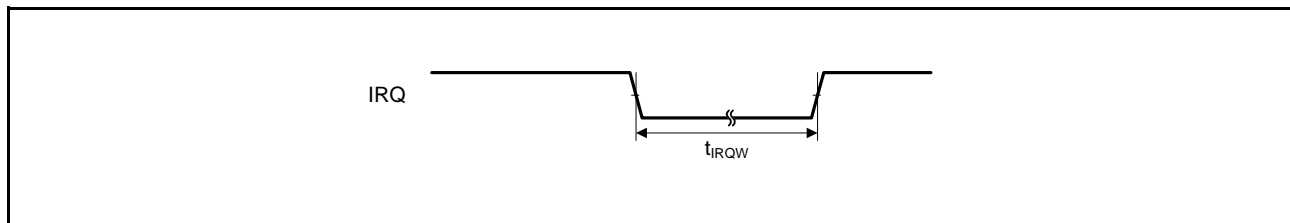


図 5.35 IRQ 割り込み入力タイミング

5.3.5 内蔵周辺モジュールタイミング

表5.31 内蔵周辺モジュールタイミング (1)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図5.36	
MTU2	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	1.5	—	t_{Pcyc}	図5.37
		両エッジ指定		2.5	—		
	インプットキャプチャ入力 立ち上がり/立ち下がり時間	t_{TICr} t_{TICf}	—	0.1	$\mu s/V$		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} t_{TCKWL}	1.5	—	t_{Pcyc}	図5.38
		両エッジ指定		2.5	—		
		位相係数モード		2.5	—		
	タイマクロック 立ち上がり/立ち下がり時間	t_{TCKr} t_{TCKf}	—	0.1	$\mu s/V$		
POE2	POE#入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図5.39	
	POE#入力 立ち上がり/立ち下がり時間	t_{POEr} t_{POEf}	—	0.1	$\mu s/V$		
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} t_{TMCWL}	1.5	—	t_{Pcyc}	図5.40
		両エッジ指定		2.5	—		
	タイマクロック 立ち上がり/立ち下がり時間	t_{TMCr} t_{TMcf}	—	0.1	$\mu s/V$		
SCI	入カクロックサイクル時間	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図5.41
		クロック同期		6	—		
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出カクロックサイクル時間	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図5.42
		クロック同期		4	—		
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	t_{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック 同期		2.7V以上	—	65	ns
1.8V以上				—	100	ns	
受信データセットアップ 時間 (マスタ)	クロック 同期	t_{RXS}	2.7V以上	65	—	ns	
			1.8V以上	90	—	ns	
受信データセットアップ 時間 (スレーブ)	クロック同期		40	—	ns		
受信データホールド時間	クロック同期	t_{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図5.43	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$			
	CACREF入力 立ち上がり/立ち下がり時間	$t_{CACREFr}$ $t_{CACREFf}$	—	0.1	$\mu s/V$		

表5.31 内蔵周辺モジュールタイミング (1)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位 (注1)	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注4)	VCC = 2.7V 以上	62.5	—	ns	図5.44
		VCC = 1.8V 以上	125			
	CLKOUT 端子 High レベルパルス幅 (注3)	VCC = 2.7V 以上	15	—	ns	
		VCC = 1.8V 以上	30			
	CLKOUT 端子 Low レベルパルス幅 (注3)	VCC = 2.7V 以上	15	—	ns	
		VCC = 1.8V 以上	30			
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	—	12	ns	
		VCC = 1.8V 以上		25		
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	—	12	ns		
	VCC = 1.8V 以上		25			

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウンタクロックソースの周期

注3. クロック出力ソースにLOCO選択 (CKOCR.CKOSSEL[3:0]ビット=0000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0]ビット=001b) に設定してください。

注4. XTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[3:0]ビット=0010bかつCKOCR.CKODIV[2:0]ビット=000b) をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表5.32 内蔵周辺モジュールタイミング (2)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$, $2.0V \leq VCC \leq 5.5V$, $2.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
 $C = 30pF$, 駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位	測定条件	
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc} (注1)	図5.45	
		スレーブ		8	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—		
	RSPCKクロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—		
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{SPCKr} , t_{SPCKf}	—	10		ns
			1.8V以上		—	15		
		入力	—		0.1	$\mu s/V$		
	データ入力セット アップ時間	マスタ	2.7V以上	t_{SU}	10	—		ns
			1.8V以上		30	—		
		スレーブ	$25 - t_{Pcyc}$		—	—		
	データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—		ns
			RSPCKをPCLKB の2分周に設定		0	—		
		スレーブ	t_H	$20 + 2 \times t_{Pcyc}$	—	—		
	SSLセットアップ 時間	マスタ		t_{LEAD}	$-30 + N$ (注2) \times t_{SPcyc}	—		ns
		スレーブ			2	—		
	SSLホールド時間	マスタ		t_{LAG}	$-30 + N$ (注3) \times t_{SPcyc}	—		ns
		スレーブ			2	—		
データ出力遅延時間	マスタ	2.7V以上	t_{OD}	—	14	ns		
		1.8V以上		—	30			
	スレーブ	2.7V以上		—	$3 \times t_{Pcyc} + 65$			
		1.8V以上		—	$3 \times t_{Pcyc} + 105$			
データ出力ホールド 時間	マスタ		t_{OH}	0	—	ns		
	スレーブ			0	—			
連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times$ t_{Pcyc}	ns		
	スレーブ			$4 \times t_{Pcyc}$	—			
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{Dr} , t_{Df}	—	10	ns		
		1.8V以上		—	15			
	入力	—		1	μs			
SSL立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{SSLr} , t_{SSLf}	—	10	ns		
		1.8V以上		—	15			
	入力	—		1	μs			
スレーブアクセス時間	2.7V以上		t_{SA}	—	6	t_{Pcyc}		
	1.8V以上			—	7			
スレーブ出力開放時間	2.7V以上		t_{REL}	—	5	t_{Pcyc}		
	1.8V以上			—	6			

注1. t_{Pcyc} : PCLKの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表5.33 内蔵周辺モジュールタイミング (3)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{Pcyc}	図5.45	
	SCKクロックサイクル入力 (スレーブ)		6	65536	t_{Pcyc}		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} 、 t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V以上	t_{SU}	65	—	ns	図5.46、 図5.47
		1.8V以上		95	—		
	データ入力セットアップ時間 (スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SSL入力セットアップ時間	t_{LEAD}	3	—	t_{SPcyc}		
	SSL入力ホールド時間	t_{LAG}	3	—	t_{SPcyc}		
	データ出力遅延時間 (マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間 (スレーブ)		2.7V以上	—		65	
			1.8V以上	—		100	
	データ出力ホールド時間 (マスタ)	2.7V以上	t_{OH}	-10	—	ns	
1.8V以上		-20		—			
データ出力ホールド時間 (スレーブ)	-10	—					
データ立ち上がり/立ち下がり時間	t_{Dr} 、 t_{Df}	—	20	ns			
SSL入力立ち上がり/立ち下がり時間	t_{SSLr} 、 t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{Pcyc}	図5.48、 図5.49		
スレーブ出力開放時間	t_{REL}	—	6	t_{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

表5.34 内蔵周辺モジュールタイミング (4)

条件: $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図5.50
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図5.50
	SCL Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IIC ϕ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表5.35 内蔵周辺モジュールタイミング (5)

条件 : $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t_{sr}	—	1000	ns	図5.50
	SDA立ち下がり時間	t_{sf}	—	300	ns	
	SDAスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	250	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t_{sr}	—	300	ns	図5.50
	SDA立ち下がり時間	t_{sf}	—	300	ns	
	SDAスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	100	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{Pcyc} : PCLKの周期注1. C_b はバスラインの容量総計です。

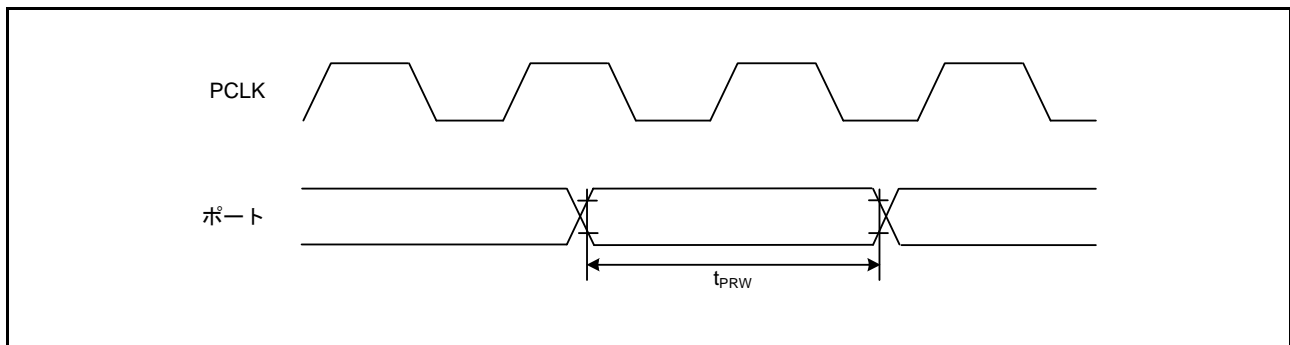


図 5.36 I/O ポート入力タイミング

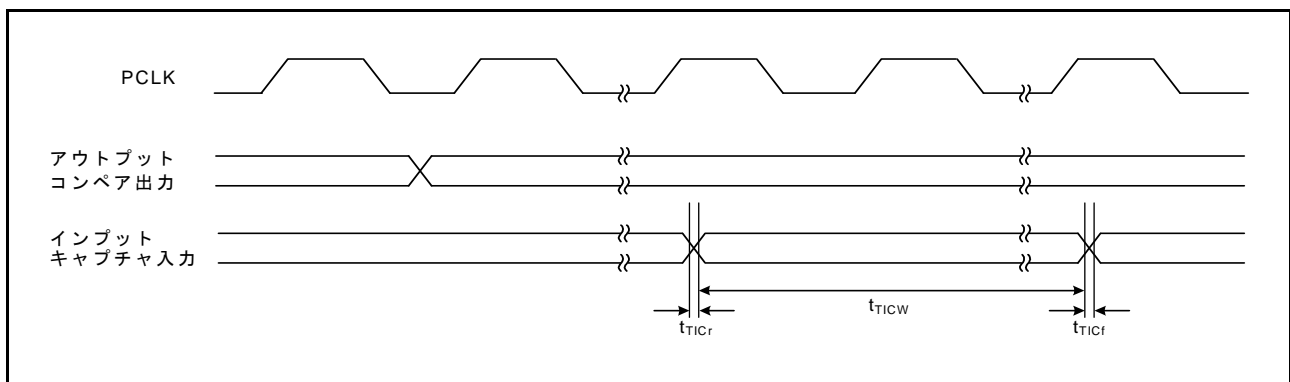


図 5.37 MTU2 入出力タイミング

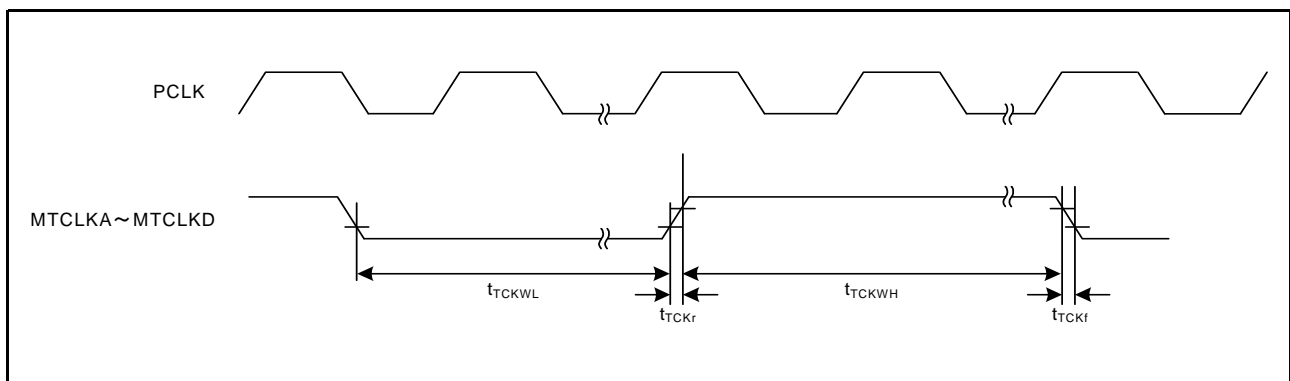


図 5.38 MTU2 クロック入力タイミング

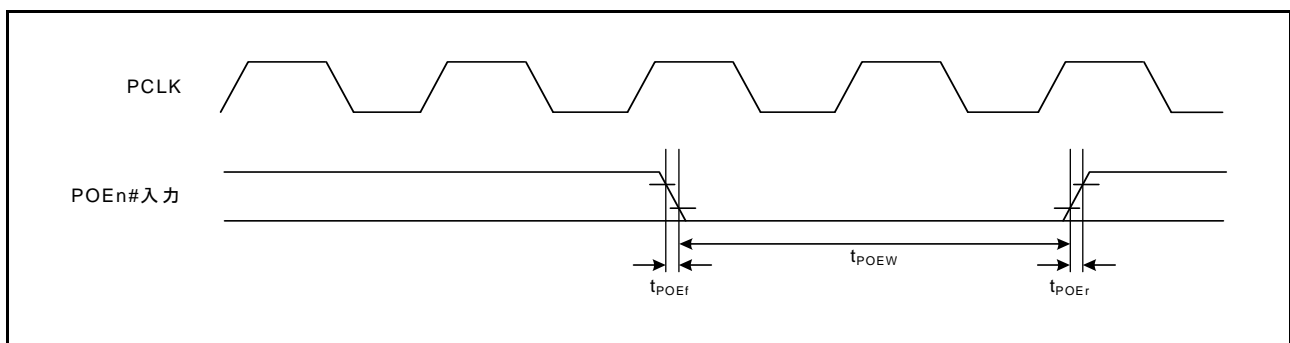


図 5.39 POE# 入力タイミング

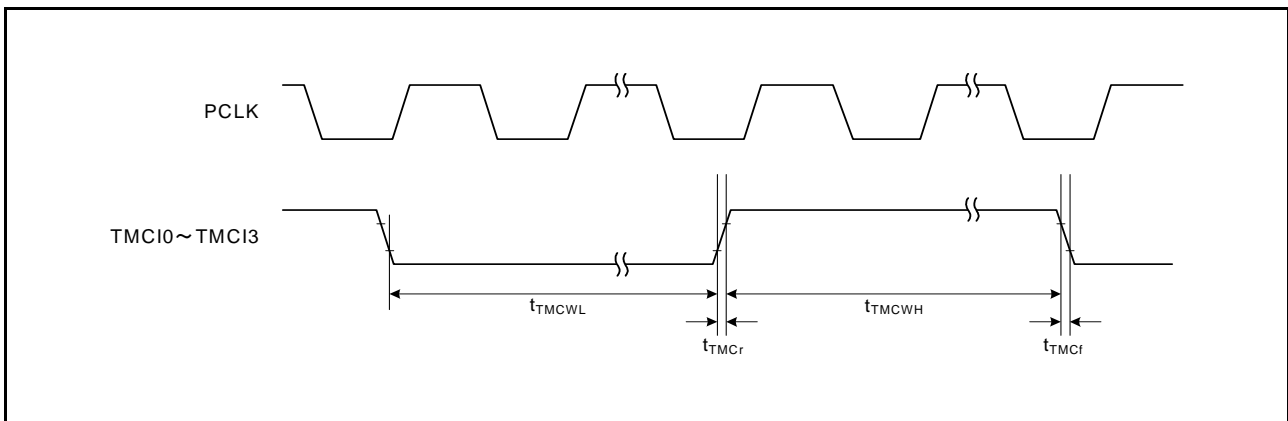


図 5.40 TMR クロック入カタイミング

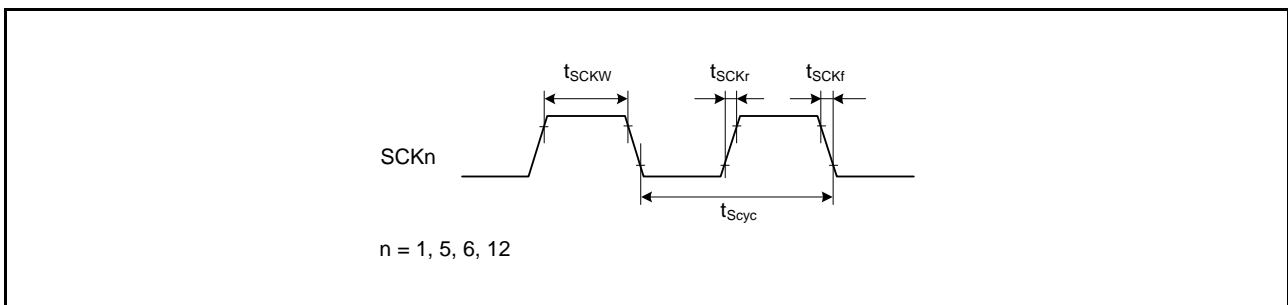


図 5.41 SCK クロック入カタイミング

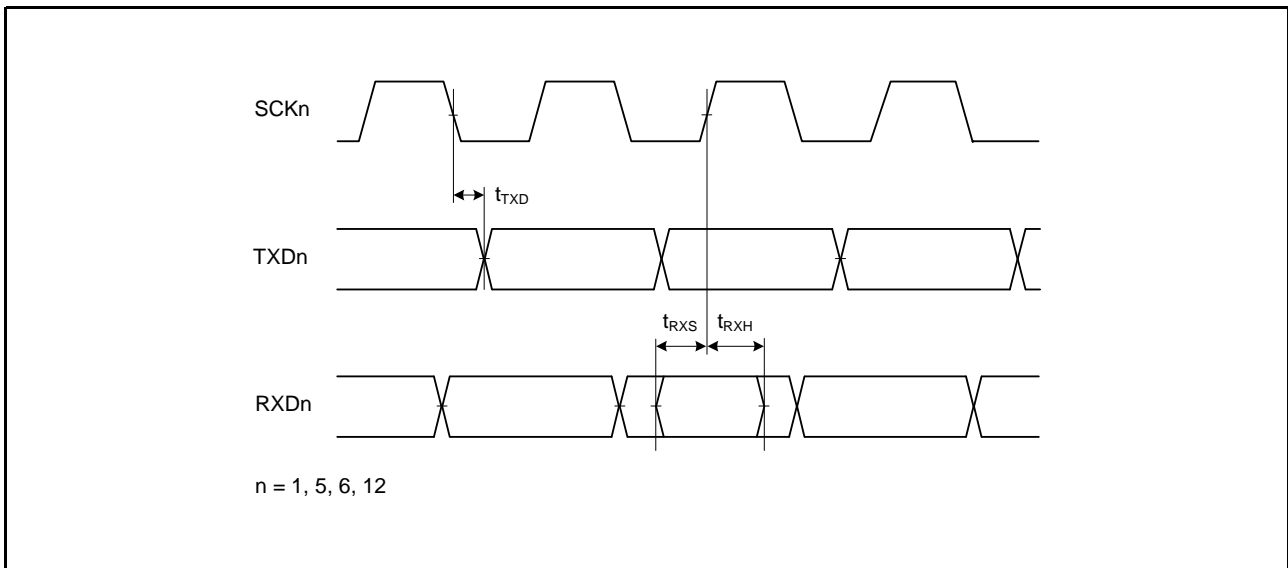


図 5.42 SCI 入出カタイミング/クロック同期式モード

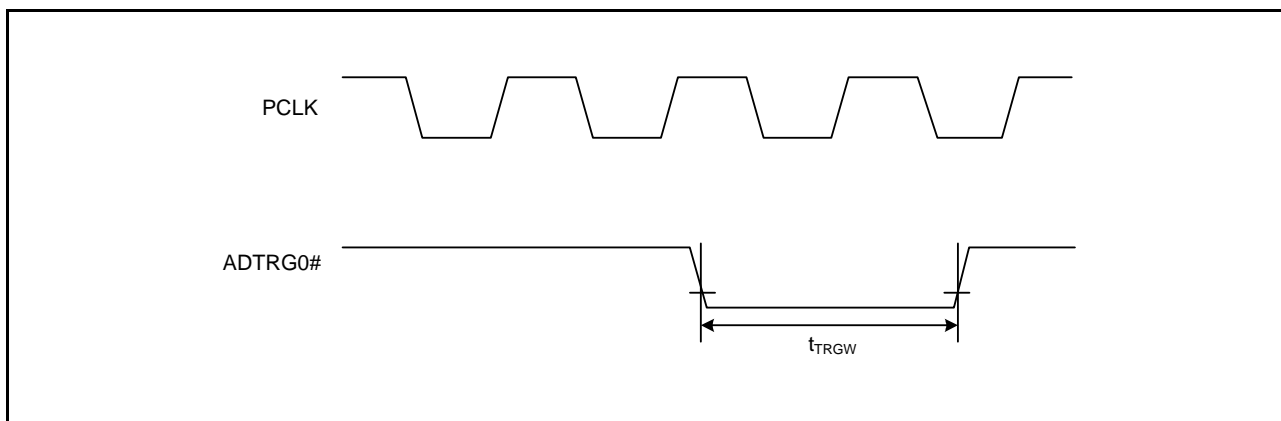


図 5.43 A/D コンバータ外部トリガ入力タイミング

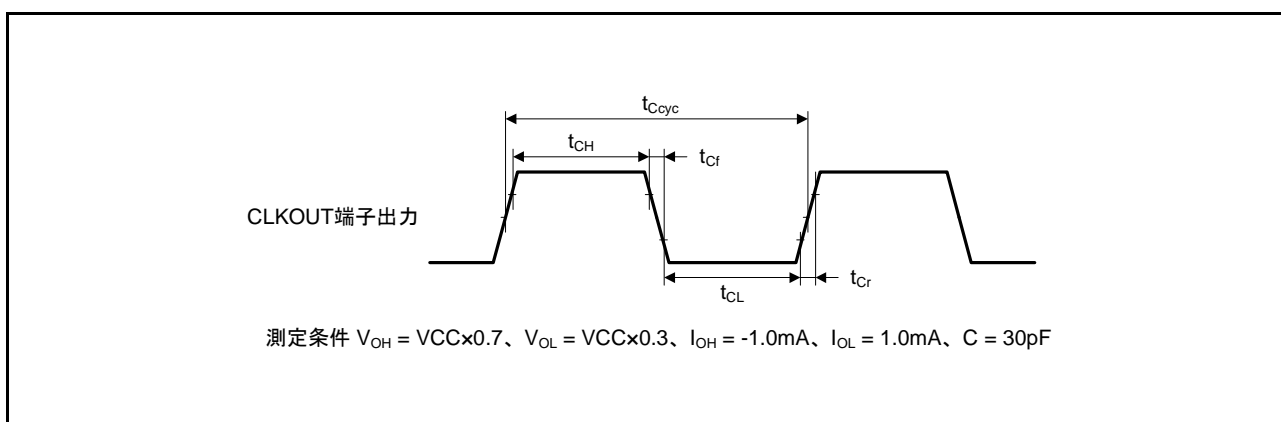


図 5.44 CLKOUT 出カタイミング

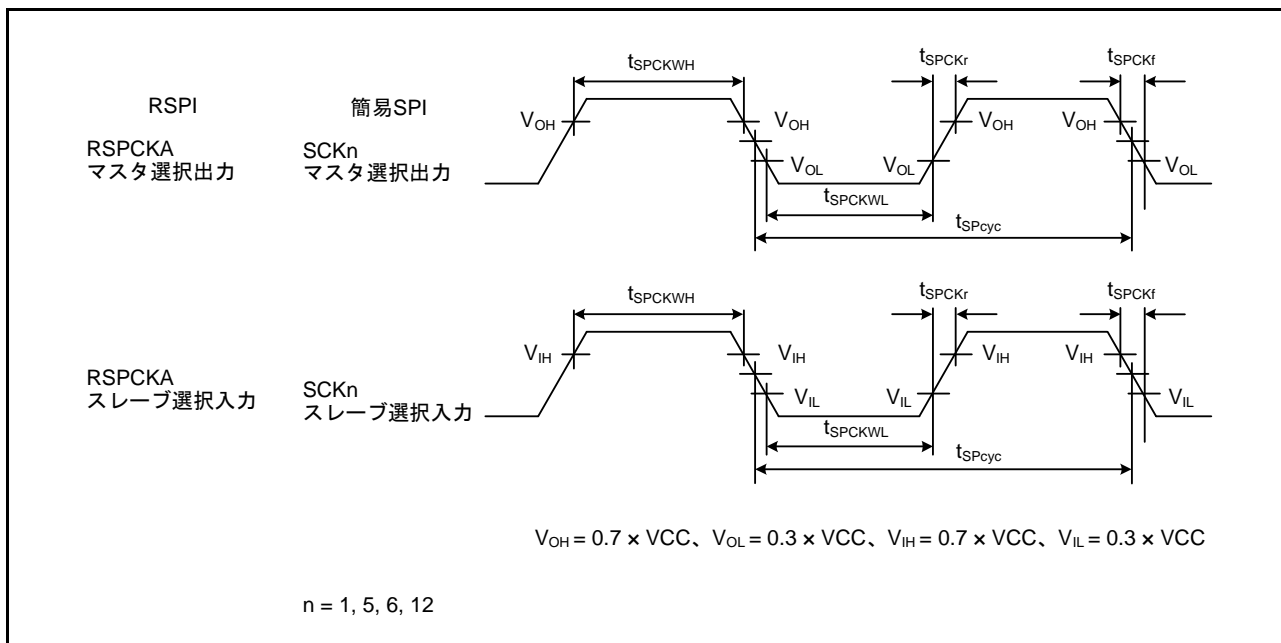


図 5.45 RSPI クロックタイミング / 簡易 SPI クロックタイミング

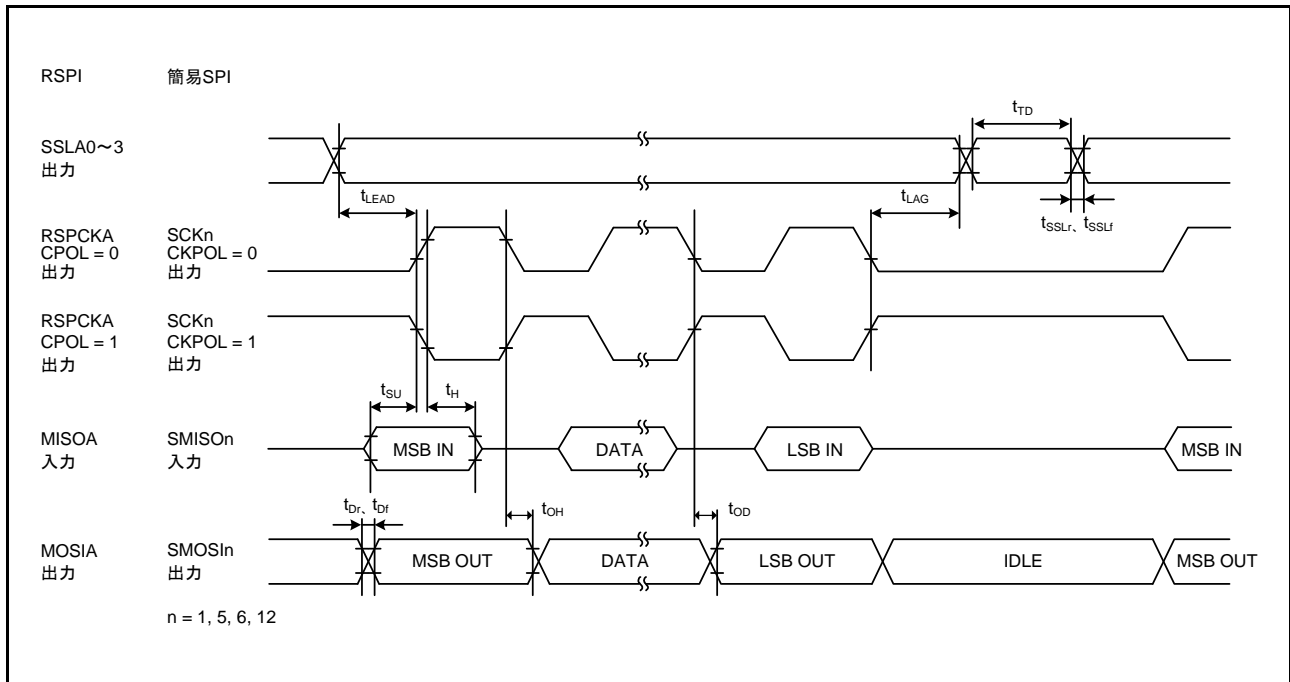


図 5.46 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

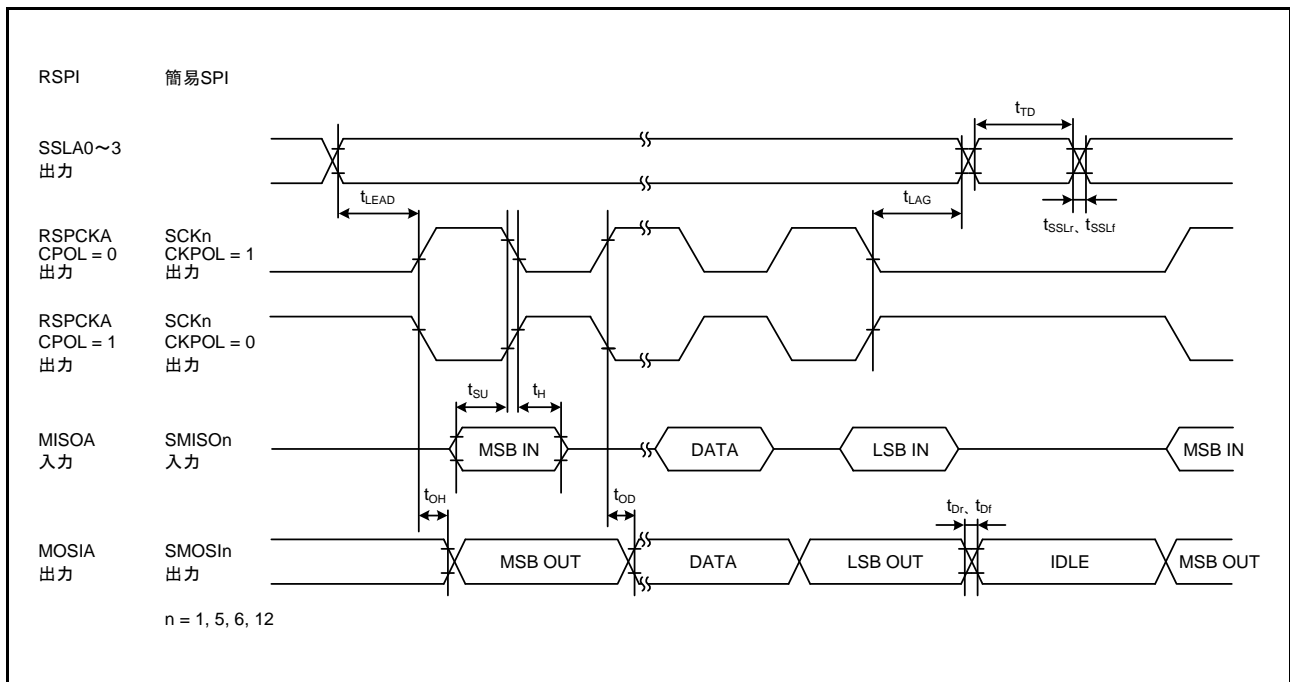


図 5.47 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

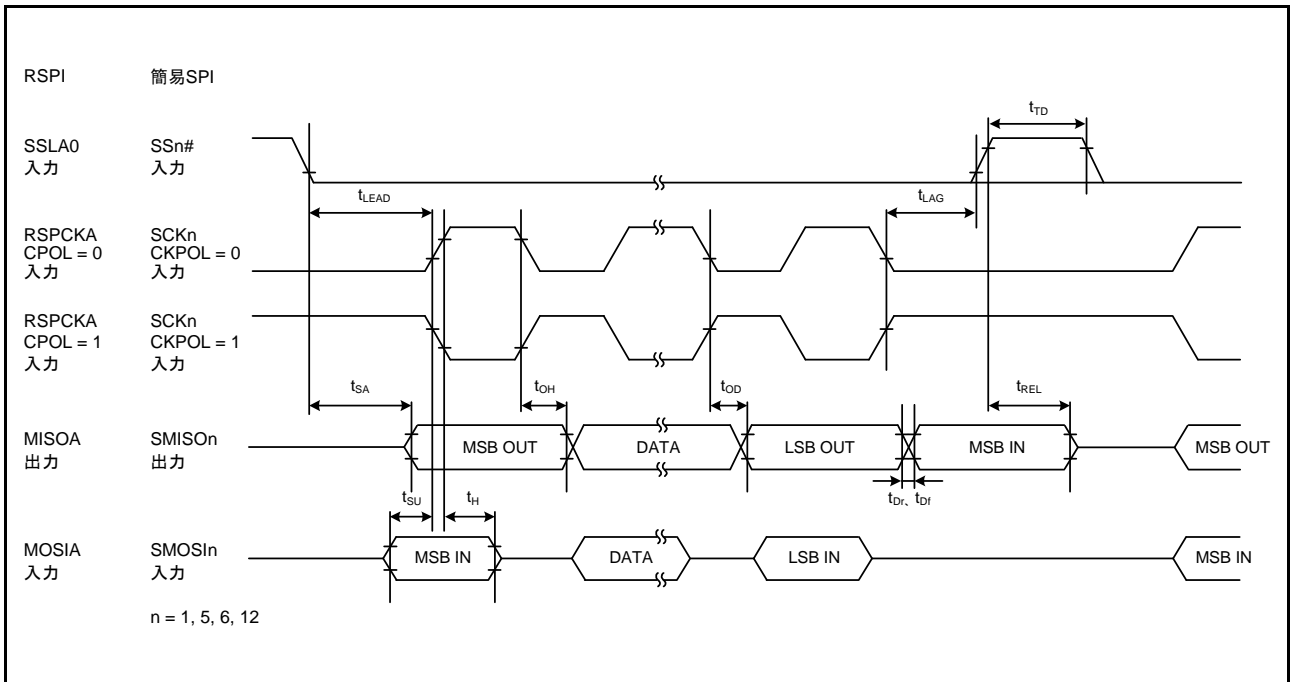


図 5.48 RSPI タイミング (スレーブ、CPHA=0) / 簡易 SPI クロックタイミング (スレーブ、CKPH=1)

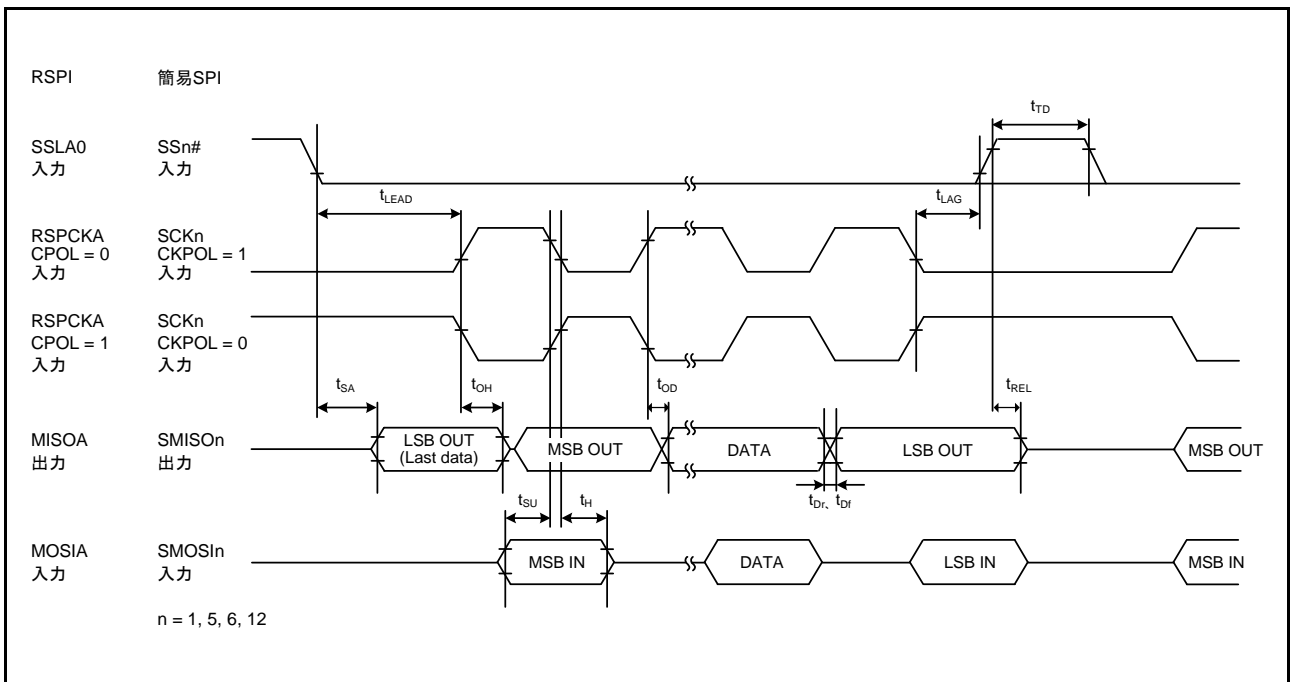


図 5.49 RSPI タイミング (スレーブ、CPHA=1) / 簡易 SPI クロックタイミング (スレーブ、CKPH=0)

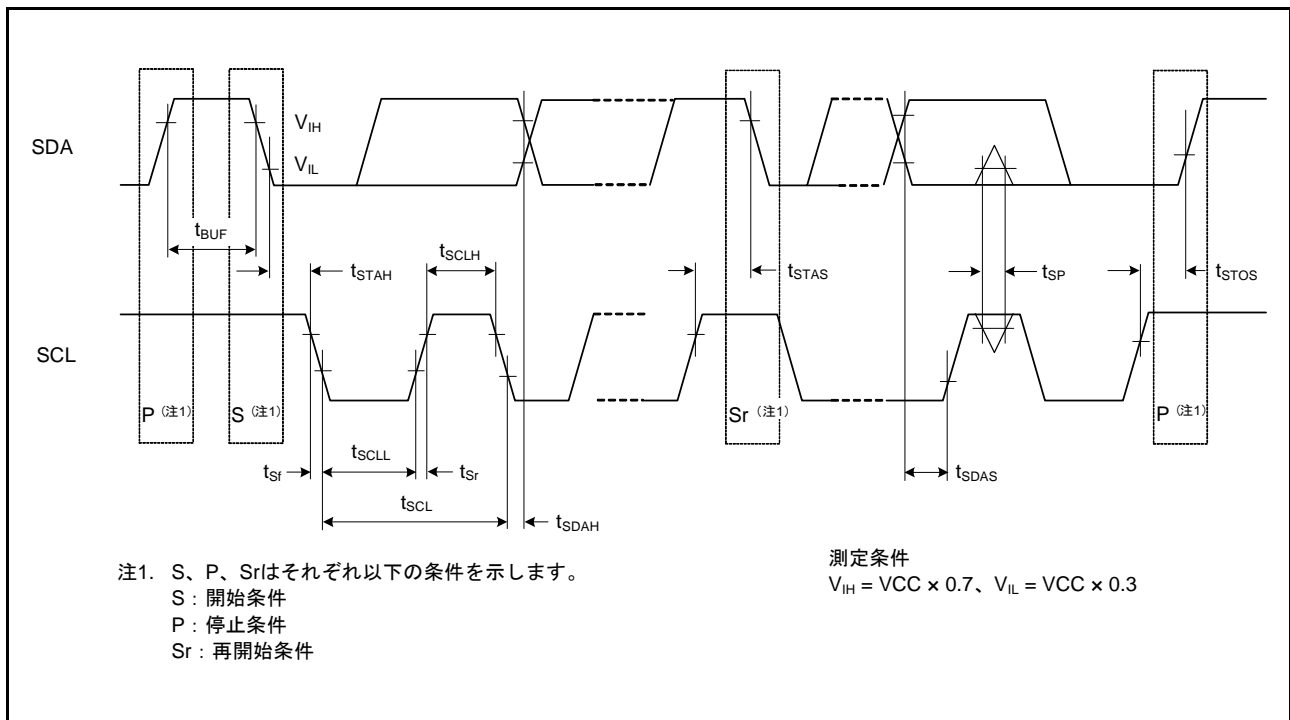


図 5.50 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

5.4 A/D 変換特性

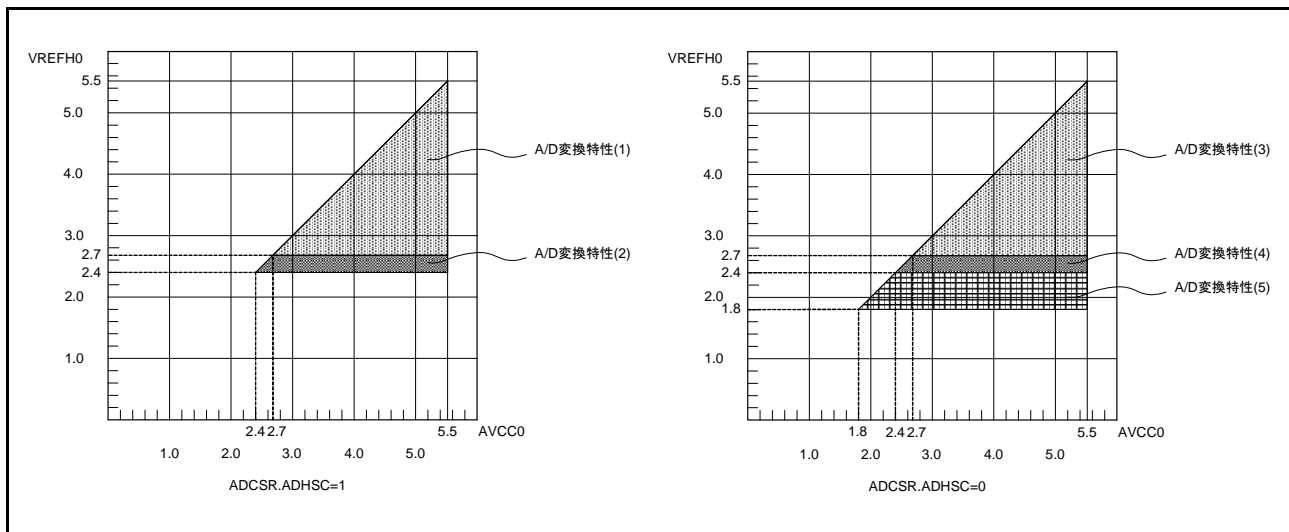


図 5.51 AVCC0-VREFH0 電圧範囲

表 5.36 A/D変換特性 (1)

条件: $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1		32	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 0.3k Ω	1.41	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Dh
		2.25	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	15	pF	
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	高精度チャンネル
				± 6.0	LSB	上記以外
フルスケール誤差		—	± 0.75	± 4.5	LSB	高精度チャンネル
				± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
				± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 5.37 A/D変換特性 (2)

条件: $2.4V \leq VCC \leq 5.5V$ 、 $2.4V \leq AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1		16	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 1.3k Ω	2.82	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Dh
		4.5	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	15	pF	
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
				± 8.0	LSB	上記以外
DNL 微分非直線性誤差		—	± 1.0	—	LSB	
INL 積分非直線性誤差		—	± 1.0	± 4.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 5.38 A/D変換特性 (3)

条件： $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1		27	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 27MHz時)	許容信号源 インピーダンス max = 1.1k Ω	2	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Dh
		3	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	15	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
				± 8.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 5.39 A/D変換特性 (4)

条件： $2.4V \leq VCC \leq 5.5V$ 、 $2.4V \leq AVCC0 \leq 5.5V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1		16	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 2.2k Ω	3.38	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Dh
		5.06	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	15	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	k Ω	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 0.5	± 4.5	LSB	
フルスケール誤差		—	± 0.75	± 4.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 1.25	± 5.0	LSB	高精度チャンネル
				± 8.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.0	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.40 A/D変換特性 (5)

条件： $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $1.8V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
周波数		1		8	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5kΩ	6.75	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Dh
		10.13	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 28h
アナログ入力容量	Cs	—	—	15	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	kΩ	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	±1.0	±7.5	LSB	
フルスケール誤差		—	±1.5	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	±3.0	±8.0	LSB	高精度チャンネル
DNL 微分非直線性誤差		—	±1.0	—	LSB	
INL 積分非直線性誤差		—	±1.25	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.41 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000～AN007	AVCC0 = 1.8～5.5V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャネル	AN016～AN021 AN024～AN026		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～5.5V	
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～5.5V	

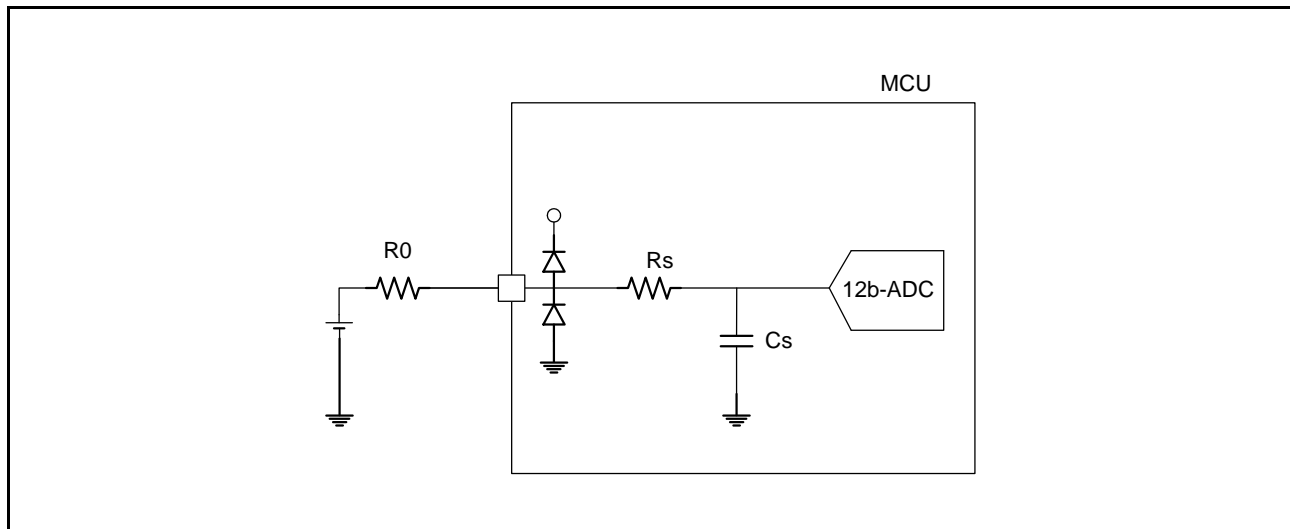


図 5.52 等価回路

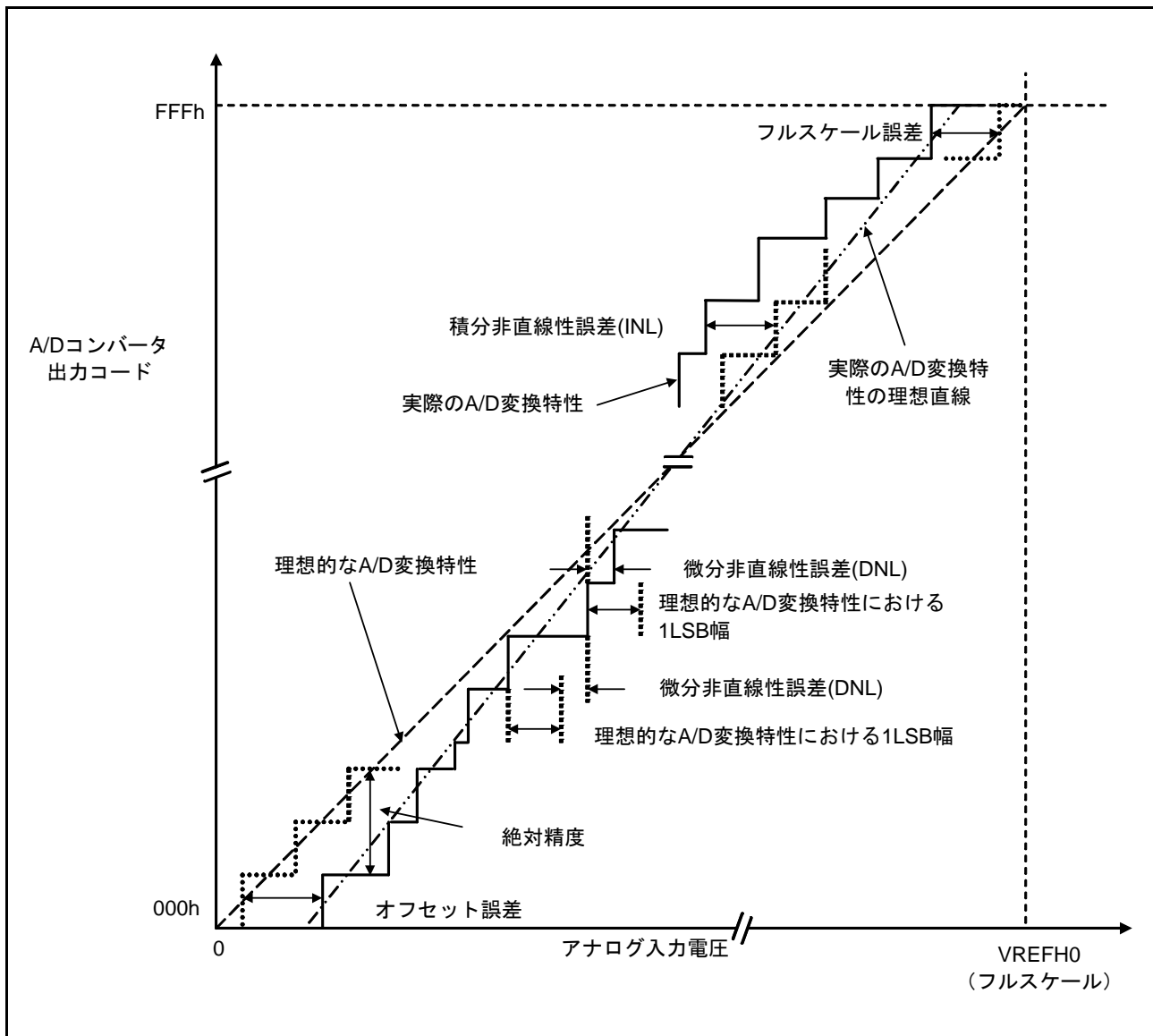


図 5.53 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.5 D/A 変換特性

表5.42 D/A変換特性 (1)

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、
 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	VCC=2.7~5.5V	t_{DCONV}	—	3.0	μs	負荷容量 35pF
	VCC=1.6~2.7V	—	—	6.0		
絶対精度	VCC=2.4~5.5V	—	—	±3.0	LSB	負荷抵抗 2MΩ
	VCC=1.8~2.4V	—	—	±3.5		
	VCC=2.4~5.5V	—	—	±2.0	LSB	負荷抵抗 4MΩ
	VCC=1.8~2.4V	—	—	±2.5		
RO 出力抵抗	—	—	6.4	—	kΩ	

5.6 温度センサ特性

表5.43 温度センサ特性

条件：2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	µs	
サンプリング時間	—	5	—	—	µs	

5.7 コンパレータ特性

表5.44 コンパレータ特性

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CVREFB0~CVREFB1入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0~CMPB1入力電圧	VI	-0.3	—	VCC + 0.3	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	µs	VCC = 3V、 入力スルーレート ≥ 50mV/us
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	µs	
	コンパレータ低速モード	Td	—	5.0	µs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24VCC	—	V	
動作安定待ち時間	Tcmp	100	—	—	µs	

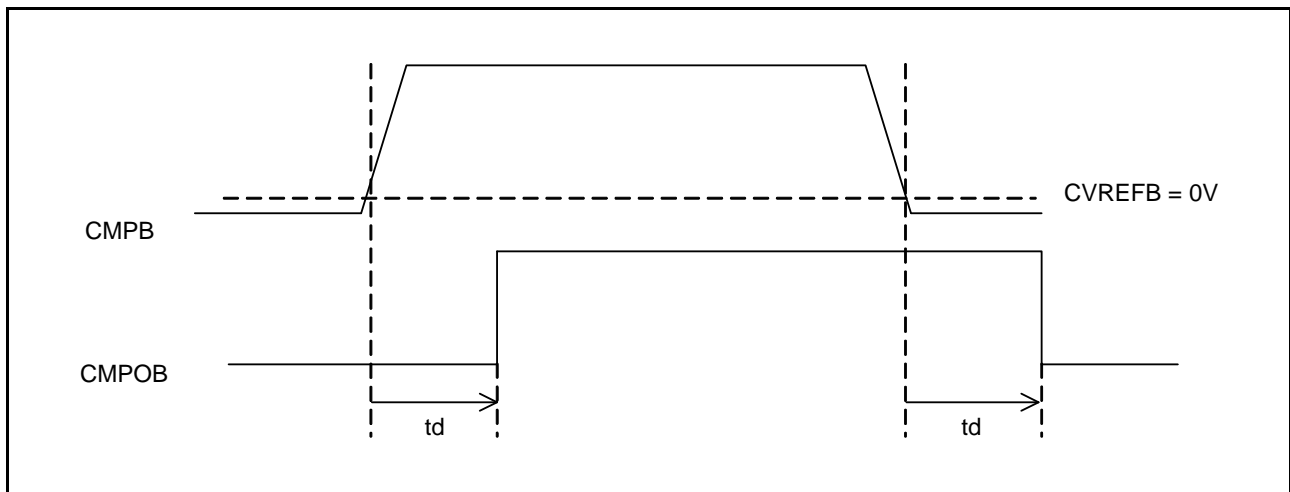


図 5.54 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

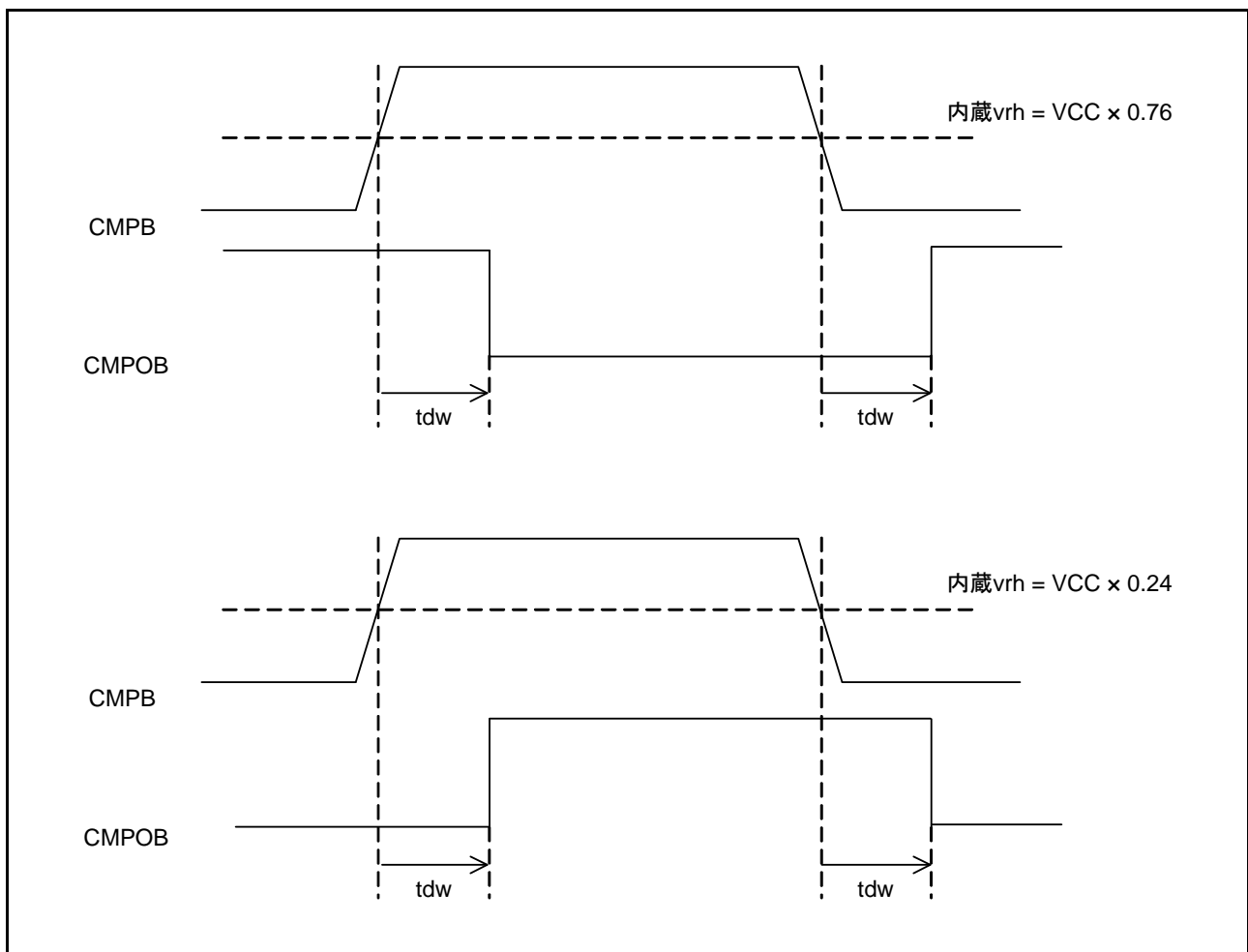


図 5.55 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

5.8 CTSU 特性

表5.45 CTSU特性

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件	
TSCAP端子外付け容量	C _{Tscap}	9	10	11	nF		
TS端子負荷容量	C _{base}	—	—	50	pF		
出力High/Lowレベル許容電流	P12 ~ P17、P20、P21、P26、P27、P30 ~ P32、P34、P35、P54、P55、PB1 ~ PB7、PC2 ~ PC7、PH0 ~ PH3	$ \Sigma I_{OH} + \Sigma I_{OL}$	—	—	24	mA	VXSEL=0の時
出力High/Lowレベル許容電流	PB0、PA0 ~ PA6、PD0 ~ PD2、PE0 ~ PE5	$ \Sigma I_{OH} + \Sigma I_{OL}$	—	—	16	mA	VXSEL=0の時

5.9 パワーオンリセット回路、電圧検出回路特性

表5.46 パワーオンリセット回路、電圧検出回路特性 (1)

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 5.56、図 5.57
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97	V	図 5.58 VCC 立ち下がり時
		V _{det0_1}	2.70	2.82	3.00		
		V _{det0_2}	2.37	2.51	2.67		
		V _{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図 5.59 VCC 立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.58	2.67		
		V _{det1_A}	2.37	2.48	2.57		
		V _{det1_B}	2.10	2.20	2.30		
	電圧検出回路 (LVD2) (注3)	V _{det2_0} (注4)	4.08	4.29	4.48	V	図 5.60 VCC 立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
V _{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet0_nのnは、VDSSEL1[1:0]ビットの値です。

注2. 記号Vdet1_nのnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号Vdet2_nのnは、LVDLVLR.LVD2LVL[1:0]ビットの値です。

注4. Vdet2_0選択はCMPA2端子入力電圧選択時のみ使用可能で、電源電圧 (VCC) 選択時は使用できません。

表5.47 パワーオンリセット回路、電圧検出回路特性 (2)

条件: $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時 (注1)	t_{POR}	—	9.1	—	ms	図 5.57
	起動時間短縮時 (注2)	t_{POR}	—	1.6	—		
電圧監視0リセット解除後待機時間	起動時電圧監視0リセット無効時 (注1)	t_{LVD0}	—	568	—	μs	図 5.58
	起動時電圧監視0リセット有効時 (注2)		—	100	—		
電圧監視1リセット解除後待機時間		t_{LVD1}	—	100	—	μs	図 5.59
電圧監視2リセット解除後待機時間		t_{LVD2}	—	100	—	μs	図 5.60
応答遅延時間		t_{det}	—	—	350	μs	図 5.56
最小VCC低下時間 (注3)		t_{VOFF}	350	—	—	μs	図 5.56、VCC = 1.0V 以上
パワーオンリセット有効時間		$t_W (POR)$	1	—	—	ms	図 5.57、VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え時)		$T_d (E-A)$	—	—	300	μs	図 5.59、図 5.60
ヒステリシス幅 (パワーオンリセット (POR))		V_{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))		V_{LVH}	—	70	—	mV	Vdet1_4 選択時
			—	60	—		Vdet1_5 ~ 9 選択時
			—	50	—		Vdet1_A ~ B 選択時
			—	40	—		Vdet1_C ~ F 選択時
			—	60	—		LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(STUPLVD1REN, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

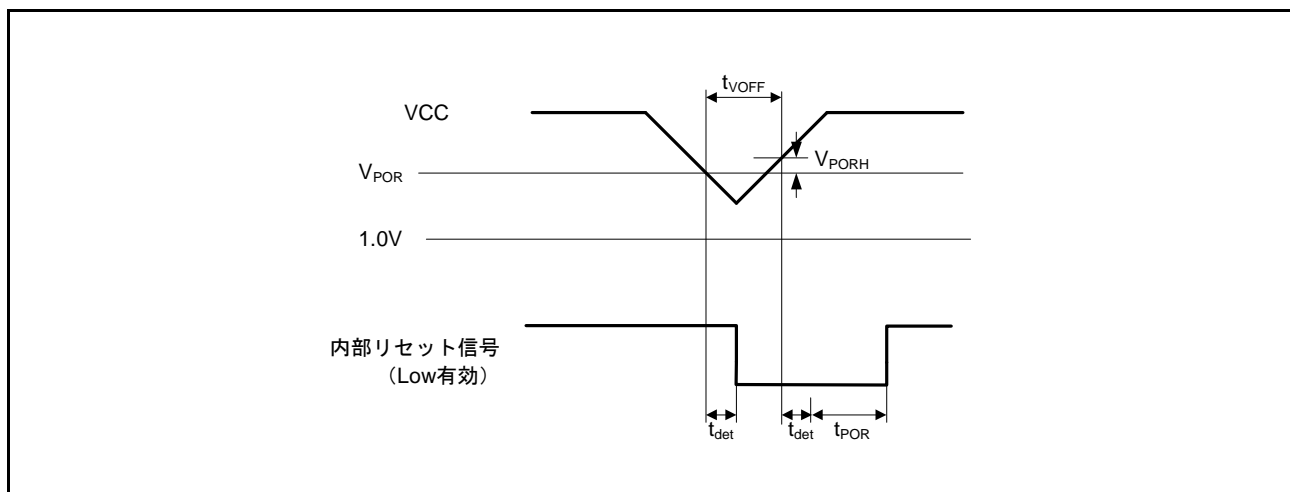


図 5.56 電圧検出リセットタイミング

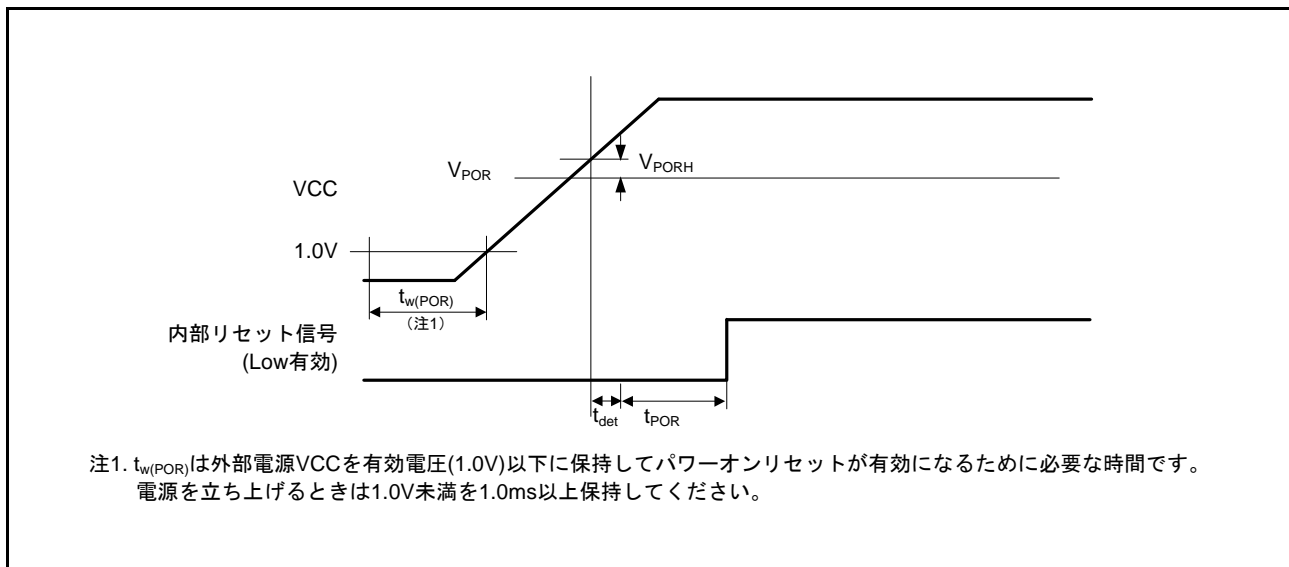


図 5.57 パワーオンリセットタイミング

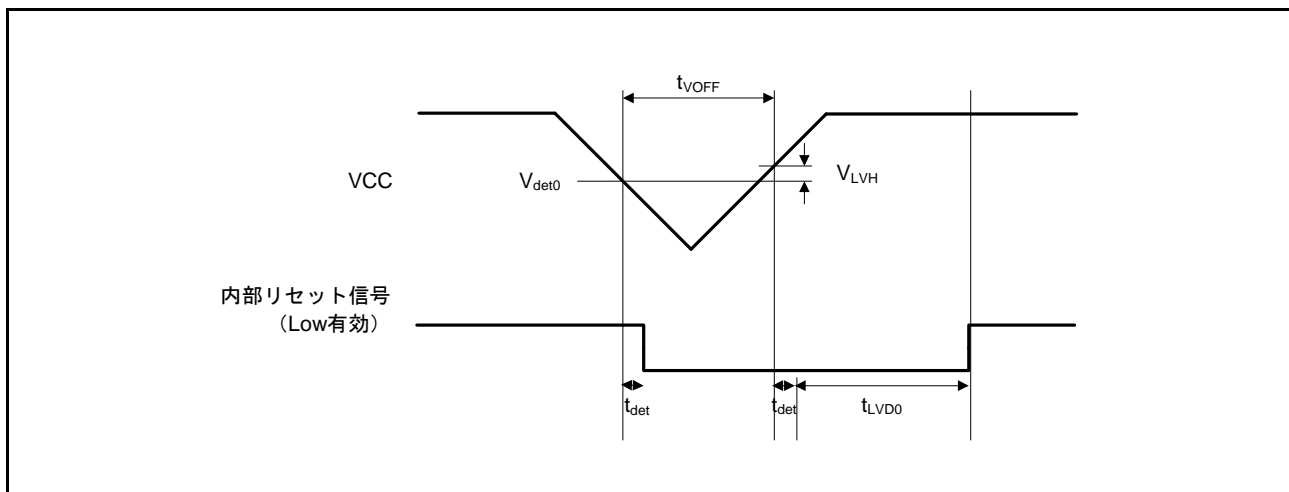


図 5.58 電圧検出回路タイミング (Vdet0)

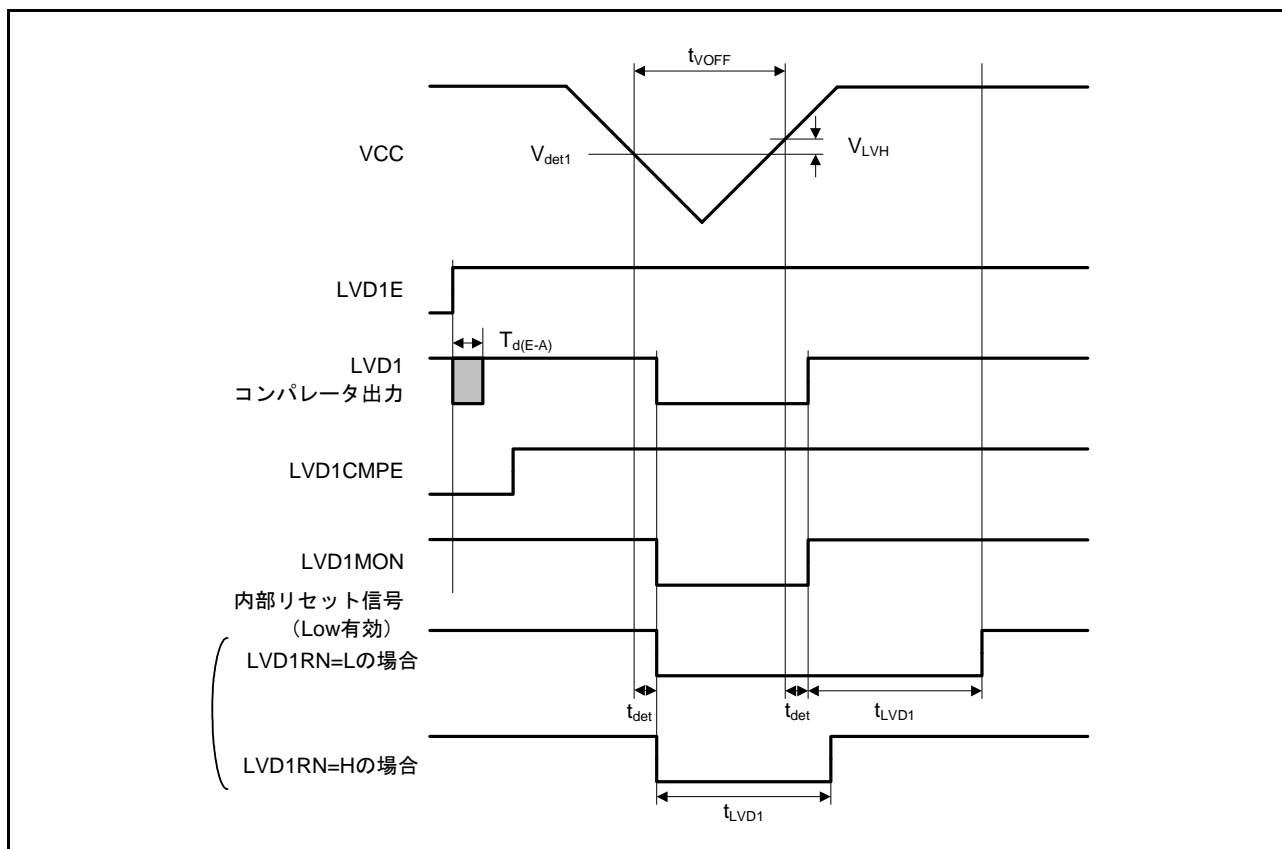


図 5.59 電圧検出回路タイミング (V_{det1})

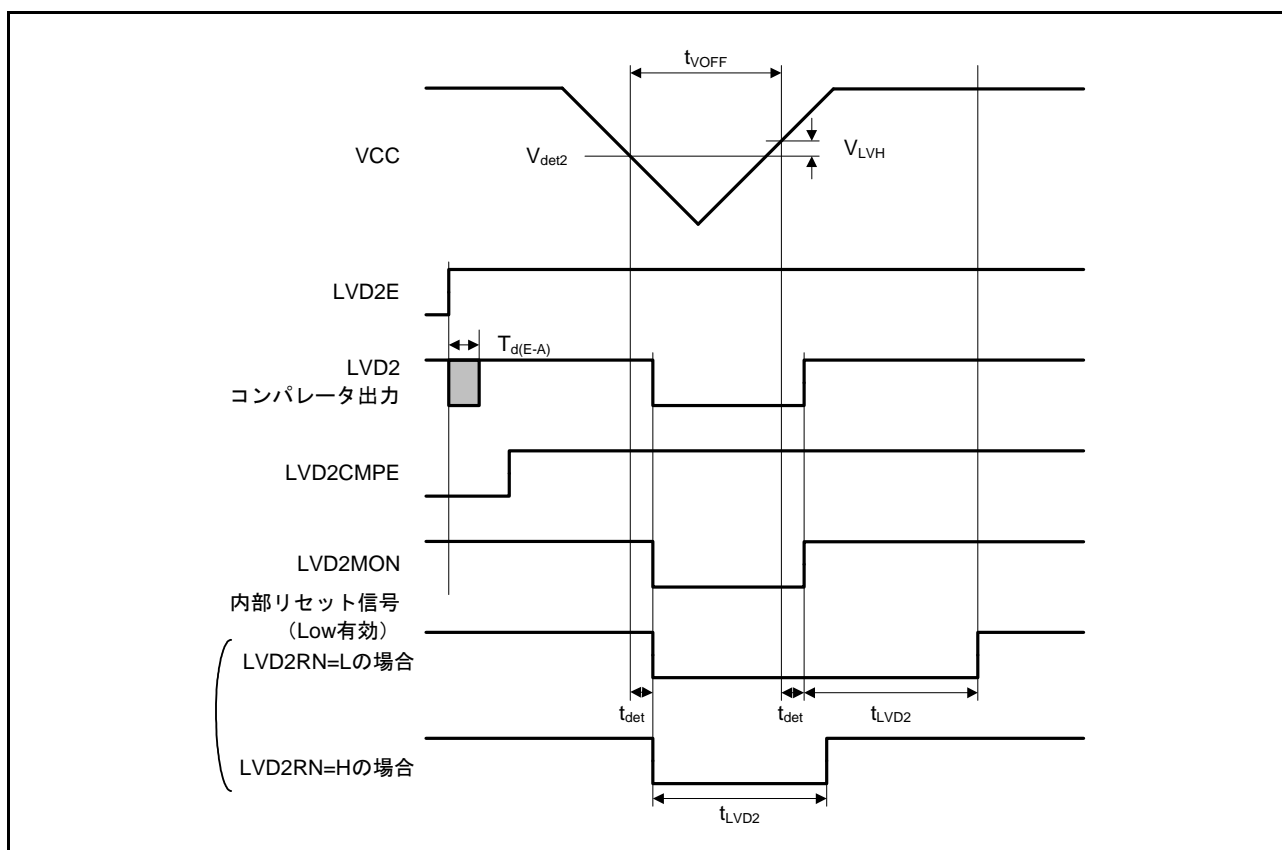


図 5.60 電圧検出回路タイミング (V_{det2})

5.10 発振停止検出タイミング

表5.48 発振停止検出回路特性

条件 : $1.8V \leq VCC=AVCC0 < 2.0V$ 、 $2.0V \leq VCC \leq 5.5V$ 、 $2.0V \leq AVCC0 \leq 5.5V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.61

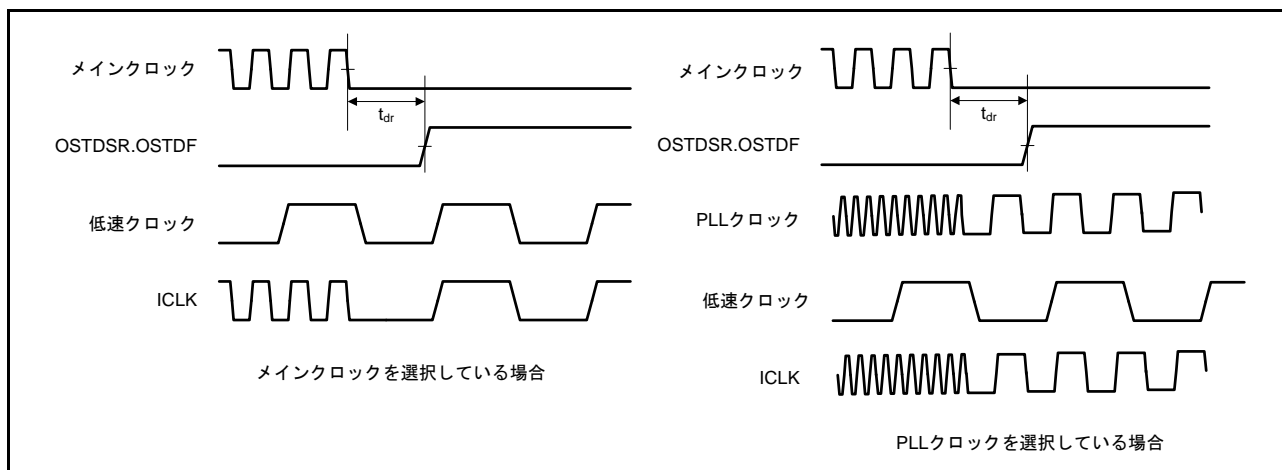


図 5.61 発振停止検出タイミング

5.11 ROM（コード格納用フラッシュメモリ）特性

表5.49 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20（注2、注3）	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.50 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード

条件：2.7V ≤ VCC ≤ 5.5V、2.7V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{P4}	—	103	931	—	52	489	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.23	267	—	5.48	214	ms
	128Kバイト	t _{E128K}	—	203	463	—	20	228	ms
ブランクチェック時間	4バイト	t _{BC4}	—	—	48	—	—	15.9	μs
	1Kバイト	t _{BC1K}	—	—	1.58	—	—	0.127	ms
イレーズ処理強制停止時間	t _{SED}	—	—	21.6	—	—	12.8	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.6	543	—	6.16	432	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.6	543	—	6.16	432	ms	
ROMモード遷移待ち時間1	t _{DIS}	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

表5.51 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード
 条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85 °C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{P4}	—	143	1330	—	96.8	932	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.3	269	—	5.85	219	ms
	128Kバイト	t _{E128K}	—	203	464	—	46	58	ms
ブランクチェック時間	4バイト	t _{BC4}	—	—	78	—	—	50	μs
	1Kバイト	t _{BC1K}	—	—	1.61	—	—	0.369	ms
イレーズ処理強制停止時間	t _{SED}	—	—	33.6	—	—	25.6	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	13.2	549	—	7.6	445	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	13.2	549	—	7.6	445	ms	
ROMモード遷移待ち時間1	t _{DIS}	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	3	—	—	3	—	—	μs	

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
 注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

5.12 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.52 E2データフラッシュ特性（1）

項目		記号	min	typ	max	単位	条件
再プログラム/イレースサイクル（注1）		N_{DPEC}	100000	1000000	—	回	
データ保持時間	N_{DPEC} 10000回後	t_{DDRP}	20 （注2、注3）	—	—	年	$T_a = +85^\circ\text{C}$
	N_{DPEC} 100000回後		5 （注2、注3）	—	—	年	
	N_{DPEC} 1000000回後	—	1 （注2、注3）	—	年	$T_a = +25^\circ\text{C}$	

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消回数です。再プログラム/イレースサイクルがn回（n = 100000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.53 E2データフラッシュ特性（2）高速動作モード

条件：2.7V ≤ VCC ≤ 5.5V、2.7V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V

プログラム/イレース時の動作温度範囲： $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t_{DP1}	—	86	761	—	40.5	374	μs
イレース時間	1Kバイト	t_{DE1K}	—	17.4	456	—	6.15	228	ms
	8Kバイト	t_{DE8K}	—	60.4	499	—	9.3	231	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	48	—	—	15.9	μs
	1Kバイト	t_{DBC1K}	—	—	1.58	—	—	0.127	μs
イレース処理強制停止時間	t_{DSED}	—	—	21.5	—	—	12.8	μs	
データフラッシュ STOP解除時間	t_{DSTOP}	5.0	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表5.54 E2データフラッシュ特性（3）中速動作モード

条件：1.8V ≤ VCC=AVCC0 < 2.0V、2.0V ≤ VCC ≤ 5.5V、2.0V ≤ AVCC0 ≤ 5.5V、VSS = AVSS0 = 0V

プログラム/イレース時の動作温度範囲： $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t_{DP1}	—	126	1160	—	85.4	818	μs
イレース時間	1Kバイト	t_{DE1K}	—	17.5	457	—	7.76	259	ms
	8Kバイト	t_{DE8K}	—	60.5	500	—	4.2	66.9	ms
ブランクチェック時間	1バイト	t_{DBC1}	—	—	78	—	—	50	μs
	1Kバイト	t_{DBC1K}	—	—	1.61	—	—	0.369	ms
イレース処理強制停止時間	t_{DSED}	—	—	33.5	—	—	25.5	μs	
データフラッシュ STOP解除時間	t_{DSTOP}	720	—	—	720	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

5.13 使用上の注意事項

5.13.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 5.62 ～ 図 5.64 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「32. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

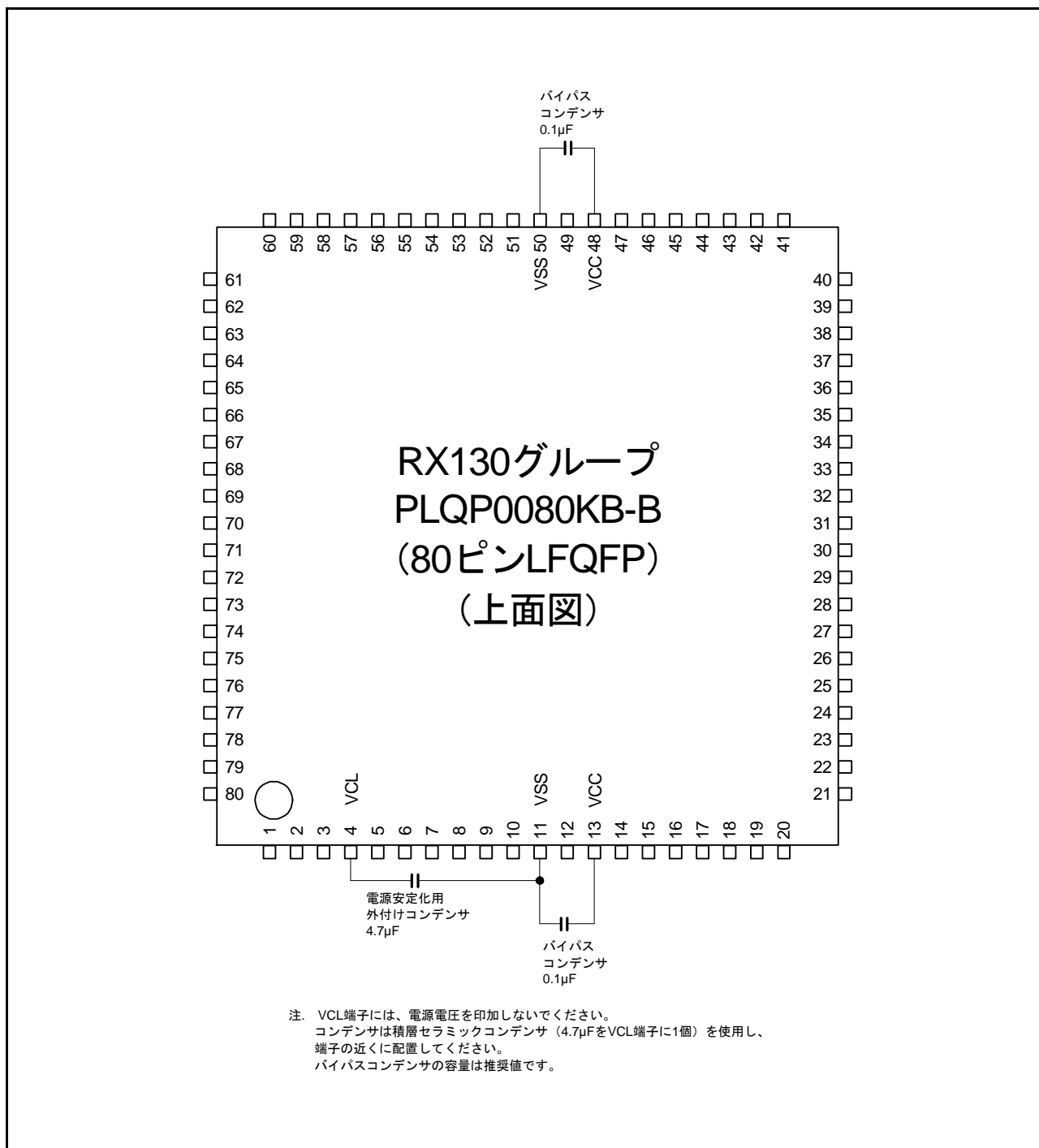


図 5.62 コンデンサ接続方法 (80ピン)

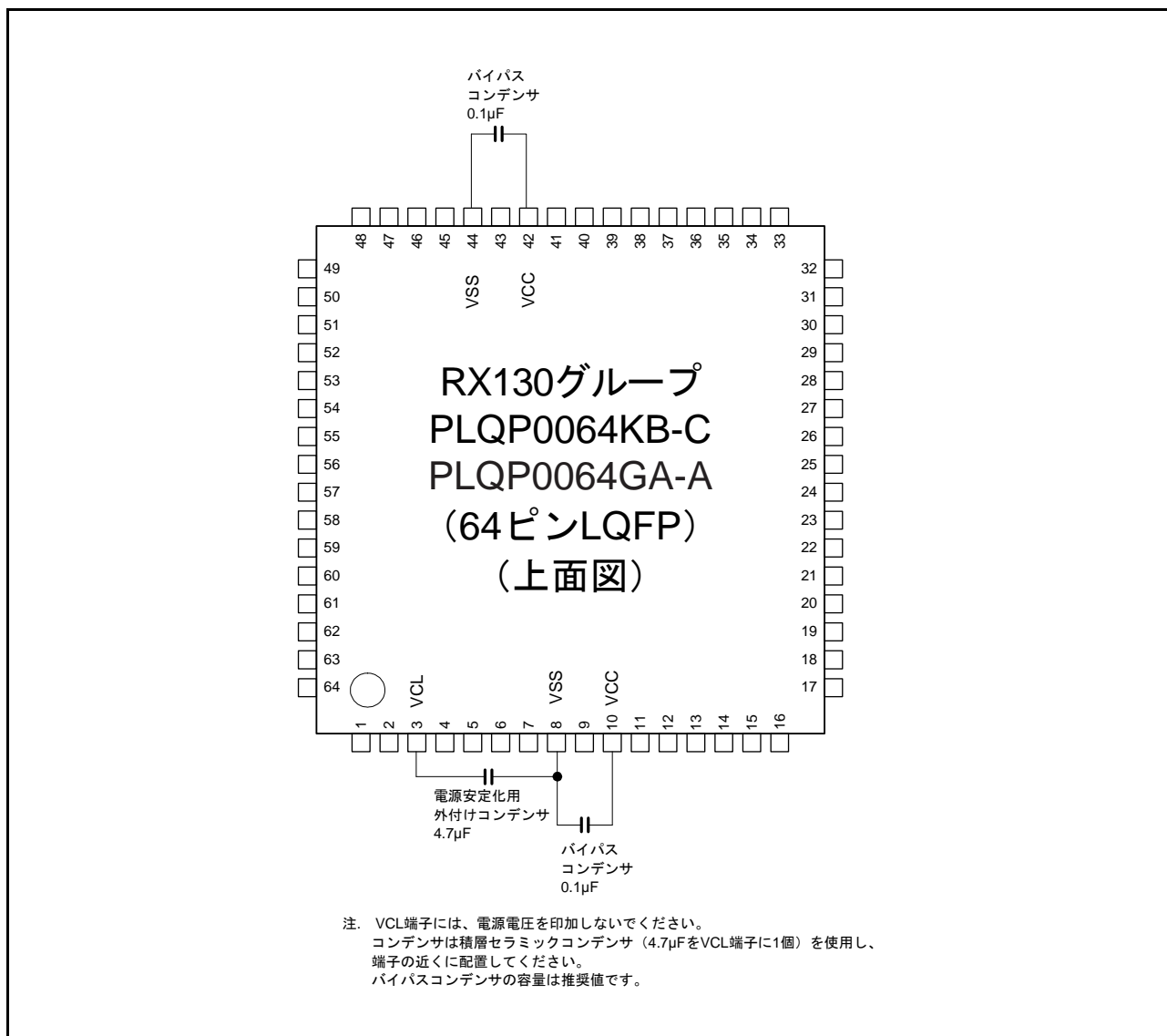


図 5.63 コンデンサ接続方法 (64 ピン)

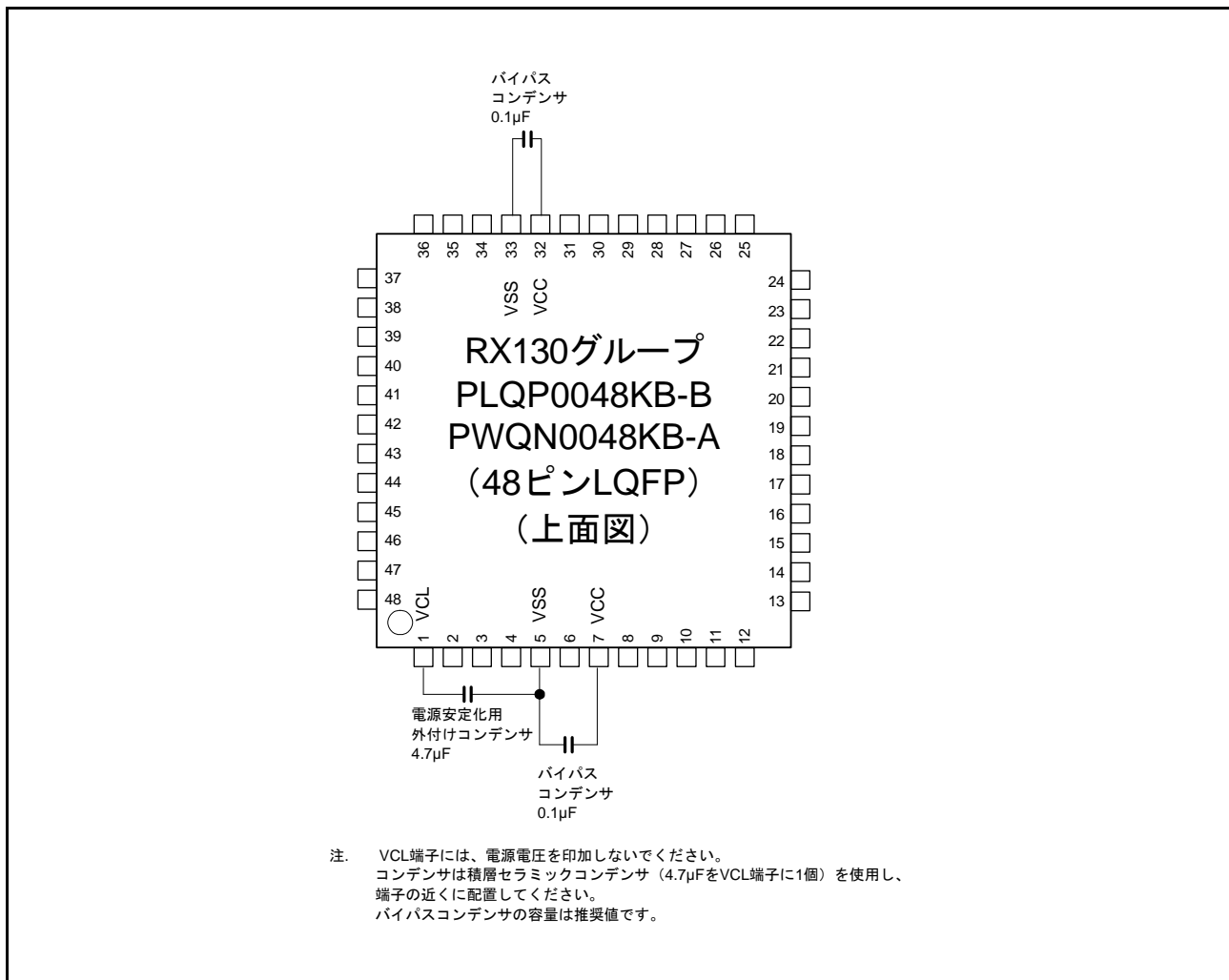


図 5.64 コンデンサ接続方法（48ピン）

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

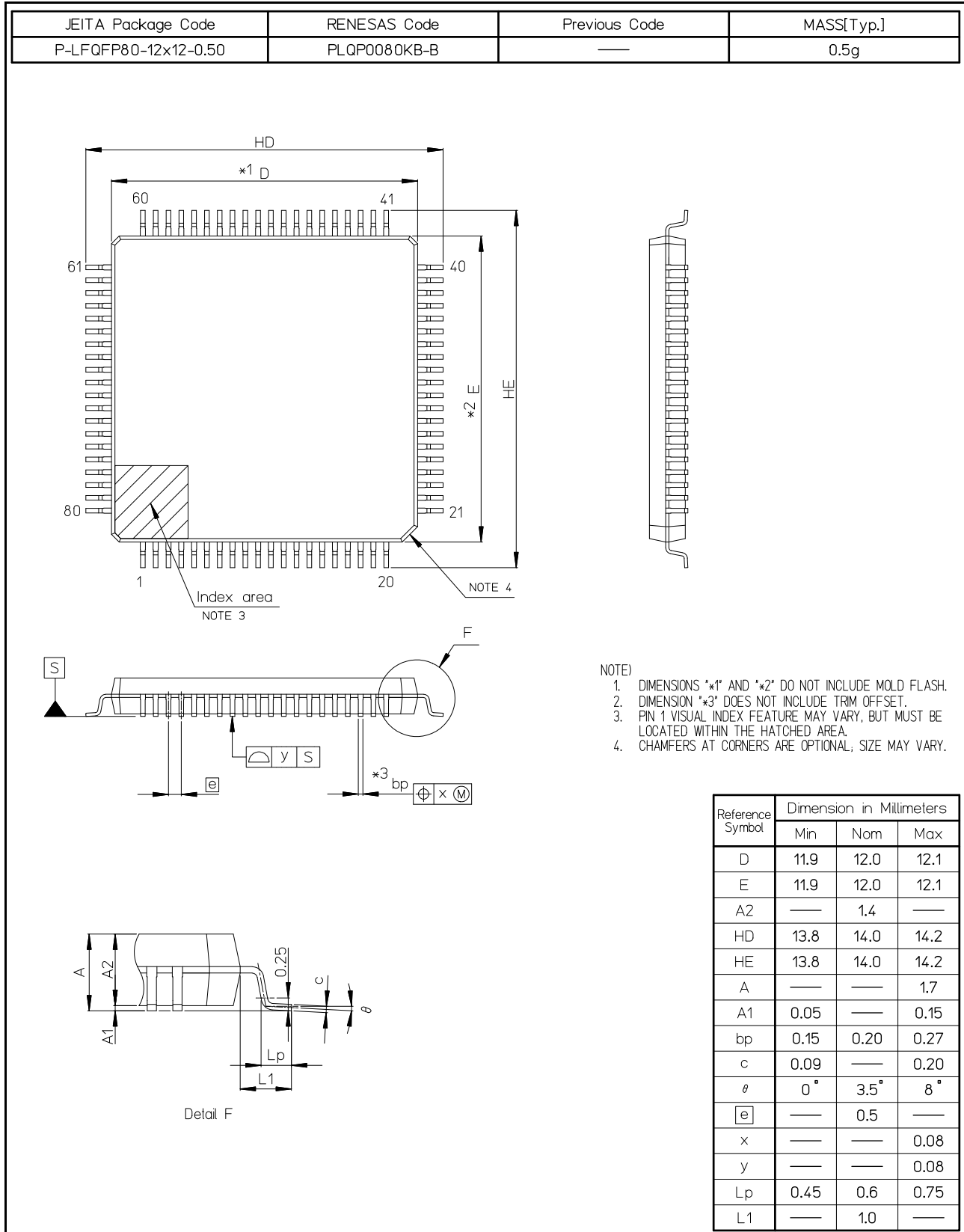


図 A. 80ピン LFQFP (PLQP0080KB-B)

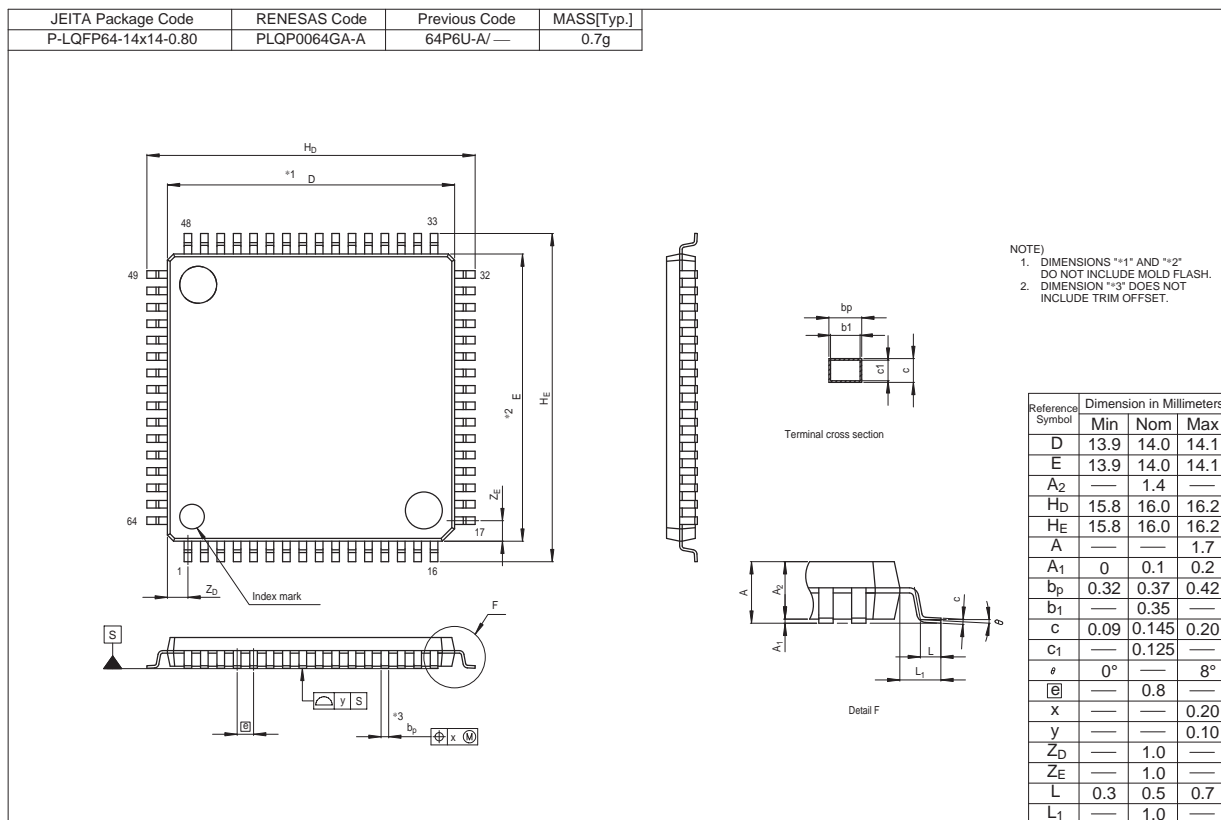


図 B. 64ピンLQFP (PLQP0064GA-A)

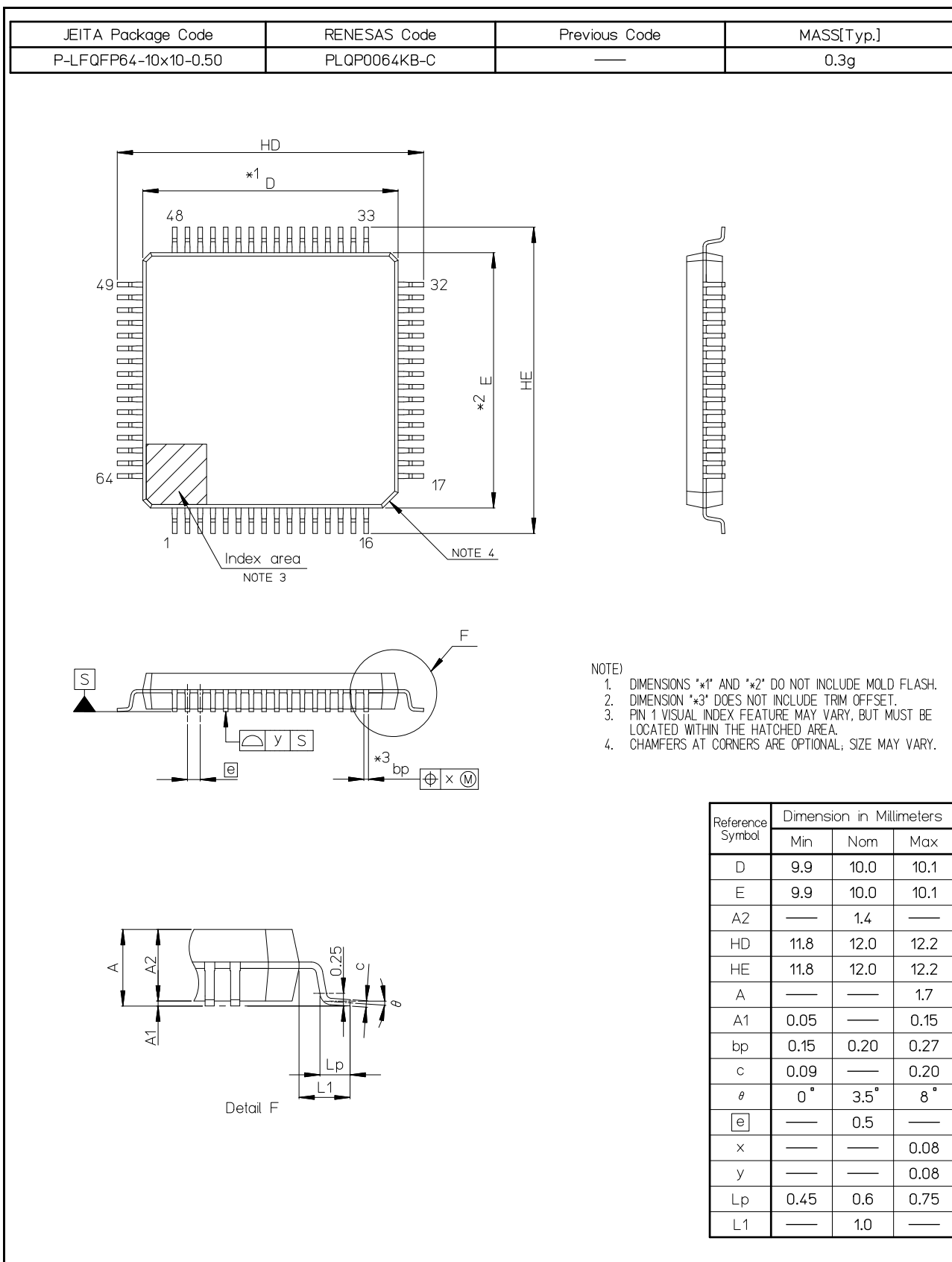
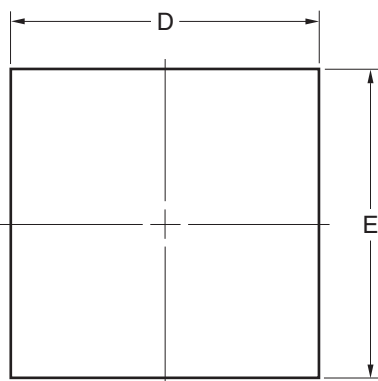
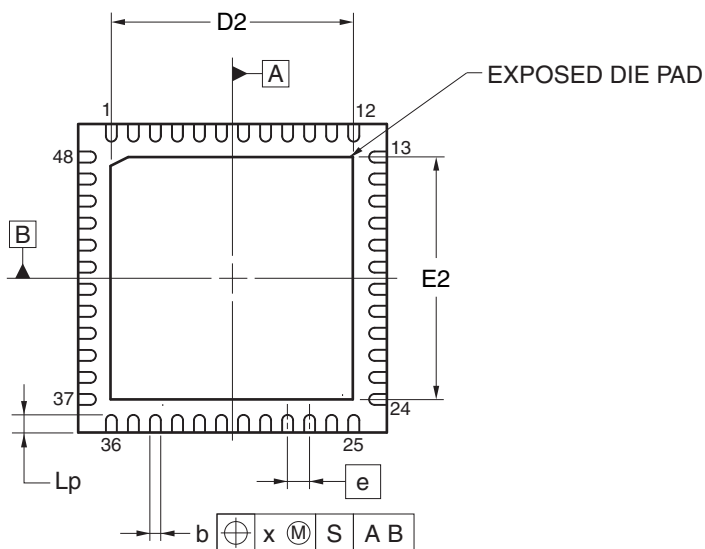
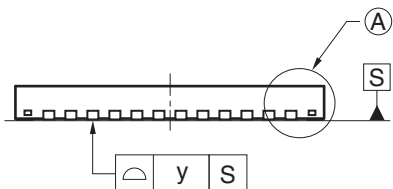
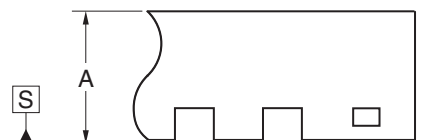


図 C. 64ピンLQFP (PLQP0064KB-C)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-5	0.13



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	0.70	0.75	0.80
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05

ITEM	A	D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS		5.45	5.50	5.55	5.45	5.50	5.55

©2012 Renesas Electronics Corporation. All rights reserved.

図 D. 48ピン HWQFN (PWQN0048KB-A)

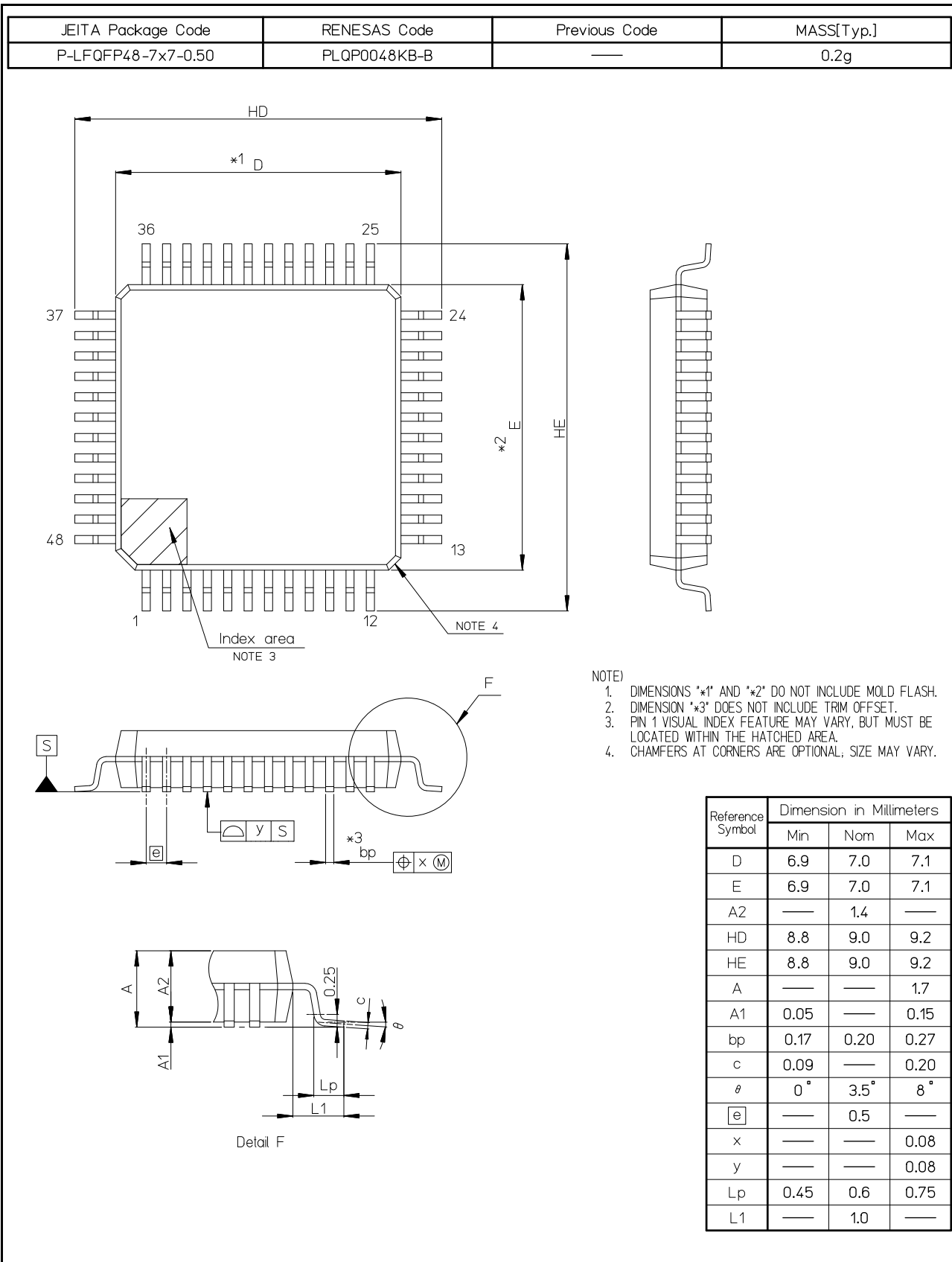


図 E. 48ピンLQFP (PLQP0048KB-B)

改訂記録	RX130 グループ ユーザーズマニュアル データシート編
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.10.30	—	初版発行

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>