

RX23E-Aグループ

ルネサスマイクロコンピュータ

R01DS0330JJ0100

Rev.1.00

2019.08.30

32MHz、32ビットRX MCU、最大256Kバイトフラッシュメモリ、
低ノイズ、低ドリフトの24ビット Δ - Σ A/Dコンバータ2ユニット、
レールtoレールプログラマブルゲイン計装アンプ付き、
低ドリフト基準電圧源、励起電流源搭載

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 32MHz
64DMIPS の性能 (32MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード
- ソフトウェアスタンバイ中でも動作する LPT (ローパワータイマ)

■ 内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 128K、256K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレース回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 16K、32K バイトの容量

■ データ転送機能

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- メインクロック発振子周波数: 1MHz ~ 20MHz
- 外部クロック入力周波数: ~ 20MHz
- PLL 回路入力: 4MHz ~ 8MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路 (CAC) 内蔵

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

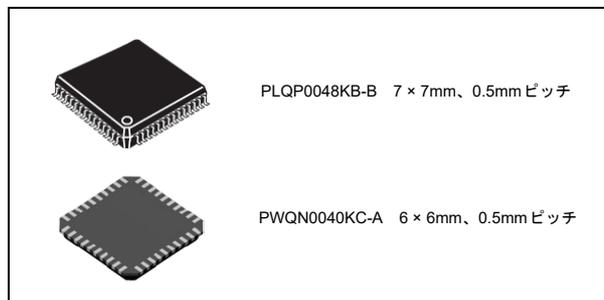
- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■ 最大8本の通信機能を内蔵

- ISO11898-1 準拠の CAN (1チャンネル) 最大 1Mbps 転送
- 多彩な機能に対応した SCI (最大4チャンネル) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / ビットレートモジュレーション機能による通信誤差低減
- I²C バスインタフェース: 最大 400kbps 転送、SMBus に対応 (1チャンネル)
- RSPI (1チャンネル): 最大 16Mbps 転送



■ 最大12本の拡張タイマ機能

- 16ビット MTU: インプットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6チャンネル)
- 8ビット TMR (4チャンネル)
- 16ビット CMT (2チャンネル)

■ アナログ機能

- 24ビット Δ - Σ A/D コンバータを2ユニット搭載
- 最大23ビット有効分解能のA/Dコンバータ (ゲイン=1、出力データレート=7.6 SPS)
- 高精度プログラマブルゲイン計装アンプ搭載
30nV_{RMS} (ゲイン=128、出力データレート=7.6 SPS)
- レール to レールプログラマブルゲイン計装アンプ (ゲイン=1~128)
- 2種類の動作モード、プログラマブルデータレート
ノーマルモード: 出力データレート 7.6 SPS ~ 15625 SPS
ローパワーモード: 出力データレート 1.9 SPS ~ 3906 SPS
- オフセットドリフト 10nV/°C (ゲイン=128)
- ゲインドリフト 1ppm/°C (ゲイン=1 (PGA)、ゲイン=2~128)
- 最大6差動入力、11シングルエンド入力
- 4次 Sinc フィルタ
- 50Hz/60Hz 同時除去 (出力データレート=10 SPS, 54 SPS)
- オフセットエラー、ゲインエラー補正
- ユニット間 A/D 変換同期スタート機能
- Δ - Σ A/D 入力断線検知アシスト
- Δ - Σ A/D 基準電圧外部入力
- 基準電圧源: 出力電圧 2.5V \pm 0.1%、温度ドリフト 4ppm/°C、出力電流 \pm 10mA
- 励起電流源: 出力最大4チャンネル、出力電流 50 μ A ~ 1000 μ A、電流マッチング \pm 0.2%、ドリフトマッチング 5ppm/°C
- バイアス電圧生成回路: 出力電圧 (AVCC0 + AVSS0)/2
- 温度センサ: 精度 \pm 5°C
- ローサイドスイッチ: オン抵抗 10 Ω
- 低電源電圧検出回路
- Δ - Σ A/D 入力電圧異常検出回路
- Δ - Σ A/D 基準電圧異常検出回路、断線検出回路
- 励起電流源断線検出回路

■ 12ビットA/Dコンバータ内蔵

- 最小 1.4 μ s 変換が可能
- 6チャンネル
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- 40°C ~ +85°C
- 40°C ~ +105°C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/4)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット(MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：128K/256Kバイト 32MHz、ノーウェイトアクセス 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：16K/32Kバイト 32MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDI専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路(CAC)：あり システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz MTU2aはPCLKA同期：Max 32MHz S12ADのADCLKはPCLKD同期：Max 32MHz MTU2aおよびS12AD以外の周辺モジュールはPCLKB同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を14レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/4)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード ソフトウェアスタンバイ中でも動作可能なローパワータイマーを搭載
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：256 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7 端子) ノンマスクابل割り込み：要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、IWDTP 割り込み) 16 レベルの割り込み優先順位を設定可能
DMA	DMA コントローラ (DMACA)	<ul style="list-style-type: none"> 4 チャネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/O ポート	汎用入出力ポート	48 ピン/40 ピン <ul style="list-style-type: none"> 入出力：20/16 入力：1/1 プルアップ抵抗：20/16 オープンドレイン出力：20/16 5V トレラント：2/2
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 56 種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポート B のイベントリンク動作が可能
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット 2 (MTU2a)	<ul style="list-style-type: none"> (16 ビット×6 チャネル)×1 ユニット 16 ビットタイマ 6 チャネルをベースに最大 16 本のパルス入出力、および 3 本のパルス入力が可能 チャンネルごとにカウントクロック (PCLK/1, PCLK/4, PCLK/16, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD) を 8 種類または 7 種類選択可能 (チャンネル 5 は 4 種類) インプットキャプチャ機能 21 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード PWM/相補PWM/リセット同期PWM 位相計数モード A/D コンバータの変換開始トリガを生成可能
	ポートアウト プットイネーブル 2 (POE2a)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> (16 ビット×2 チャネル)×1 ユニット 4 種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能
	独立ウォッチドッグ タイマ (IWDTPa)	<ul style="list-style-type: none"> 14 ビット×1 チャネル カウントクロック：IWDTP 専用低速オンチップオシレータ 1 分周、16 分周、32 分周、64 分周、128 分周、256 分周
	ローパワータイマ (LPT)	<ul style="list-style-type: none"> 16 ビット×1 チャネル クロックソース：IWDTP 専用低速オンチップオシレータ 2 分周、4 分周、8 分周、16 分周、32 分周
	8 ビットタイマ (TMR)	<ul style="list-style-type: none"> (8 ビット×2 チャネル)×2 ユニット 7 種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192) と外部クロックを選択可能 任意のデューティのパルス出力や PWM 出力が可能 2 チャネルをカスケード接続し 16 ビットタイマとして使用可能

表 1.1 仕様概要 (3/4)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIg, SCIH)	<ul style="list-style-type: none"> 4チャンネル(チャンネル1、5、6 : SCIg、チャンネル12 : SCIH) SCIg <ul style="list-style-type: none"> シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出 : レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート ELCによるイベントリンク機能をサポート(チャンネル5のみ) SCIH(SCIgに以下の機能を付加) <ul style="list-style-type: none"> スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース(RIICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース(RSPIb)	<ul style="list-style-type: none"> 1チャンネル 転送機能 <ul style="list-style-type: none"> MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長(8~16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
	CANモジュール(RSCAN)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 16メッセージボックス
24ビットΔ-Σ A/Dコンバータ(DSAD)	<ul style="list-style-type: none"> 24ビット(6チャンネル×2ユニット) A/D変換方式 : Δ-Σ型 ポストフィルタ : 4次Sincフィルタ 分解能 : 24ビット 入力方式 : 差動入力/疑似差動入力/シングルエンド入力 動作モード <ul style="list-style-type: none"> ノーマルモード/ローパワーモード モジュレタクロック : typ. 500kHz (ローパワーモード時は125kHz) オーバーサンプリング比 : 32~65536 (16の倍数のみ) プログラマブルゲイン計装アンプ(PGA)付属 <ul style="list-style-type: none"> ゲイン設定 : ×1, ×2, ×4, ×8, ×16, ×32, ×64, ×128 PGAバイパス機能 : アナログ入力バッファあり/なし チャンネルごとのコンフィグ設定 A/D変換開始条件 <ul style="list-style-type: none"> ソフトウェアトリガ、ELC 断線検出アシスト機能 基準電圧選択機能 	

表 1.1 仕様概要 (4/4)

分類	モジュール/機能	説明
アナログフロントエンド(AFE)		<ul style="list-style-type: none"> 基準電圧源 (VREF) 出力電圧 : 2.5V バイアス電圧生成回路 (VBIAS) 出力電圧 : (AVCC0 + AVSS0)/2 内部温度センサ (TEMPS) 励起電流源 (IEXC) 2チャンネル(max1000μA)/4チャンネル(max500μA) 出力電流設定 : 50μA, 100μA, 250μA, 500μA, 750μA, 1000μA アナログマルチプレクサ (AMUX) 外部端子/バイアス電圧生成回路/内部温度センサ/励起電流源より選択 ローサイドスイッチ (LSW) オン抵抗 : max10Ω 許容電流 : max30mA 電圧検出回路 (VDET) AVCC0の電圧低下を検出 DSAD入力の電圧異常を検出 DSAD基準電圧の電圧異常を検出、および断線検出アシスト 励起電流源の断線検出アシスト
12ビットA/Dコンバータ (S12ADE)		<ul style="list-style-type: none"> 12ビット(6チャンネル×1ユニット) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり 1.4μs (ADCLK = 32MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作(グループスキャンモードのみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU)のトリガ、外部トリガ、ELC ELCによるイベントリンク機能をサポート
CRC演算器(CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路(DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 1.8 ~ 2.4V : 8MHz, VCC = 2.4 ~ 2.7V : 16MHz, VCC = 2.7 ~ 5.5V : 32MHz AVCC0 = 2.7 ~ 5.5V (S12ADのみ動作の場合は1.8 ~ 5.5V)
動作周囲温度		Dバージョン : -40 ~ +85°C、 Gバージョン : -40 ~ +105°C
パッケージ		48ピンLQFP (PLQP0048KB-B) 7 × 7mm、0.5mmピッチ 40ピンHWQFN (PWQN0040KC-A) 6 × 6mm、0.5mmピッチ
デバッグインタフェース		1線式FINEインタフェース

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX23E-A グループ	
		48ピン	40ピン
割り込み	外部割り込み	NMI, IRQ0 ~ IRQ7	
DMA	DMAコントローラ	4 チャンネル (DMAC0 ~ DMAC3)	
	データトランスファコントローラ	あり	
タイマ	マルチファンクション タイマパルスユニット2	6 チャンネル (MTU0 ~ MTU5)	
	ポートアウトプットインネーブル2	POE0# ~ POE3#, POE8#	
	8ビットタイマ	2 チャンネル × 2 ユニット	
	コンペマツチタイマ	2 チャンネル × 1 ユニット	
	ローパワータイマ	1 チャンネル	
	独立ウォッチドッグタイマ	あり	
通信機能	シリアルコミュニケーション インタフェース (SCIg)	3 チャンネル (SCI1, 5, 6)	2 チャンネル (SCI1, 5)
	シリアルコミュニケーション インタフェース (SCIh)	1 チャンネル (SCI12)	
	I ² Cバスインタフェース	1 チャンネル	
	CANモジュール	1 チャンネル	
	シリアルペリフェラルインタフェース	1 チャンネル	
24ビットΔ-Σ A/Dコンバータ		6 チャンネル × 2 ユニット	
アナログフロント エンド	基準電圧源	あり	
	励起電流源	あり	
	アナログマルチプレクサ	あり	
	温度センサ	あり	
	電圧検知回路	あり	
12ビットA/Dコンバータ (内高精度チャンネル)		6 チャンネル (6 チャンネル)	4 チャンネル (4 チャンネル)
CRC演算器		あり	
イベントリンクコントローラ		あり	
パッケージ		48ピン LQFP	40ピン HWQFN

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	発注型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数(max)	動作周囲温度	
RX23E-A	R5F523E6ADFL	R5F523E6ADFL#30	PLQP0048KB-B	256Kバイト	32Kバイト	8Kバイト	32MHz	-40~+85°C	
	R5F523E6ADNF	R5F523E6ADNF#U0	PWQN0040KC-A						
	R5F523E5ADFL	R5F523E5ADFL#30	PLQP0048KB-B	128Kバイト	16Kバイト				-40~+105°C
	R5F523E5ADNF	R5F523E5ADNF#U0	PWQN0040KC-A						
	R5F523E6AGFL	R5F523E6AGFL#30	PLQP0048KB-B	256Kバイト	32Kバイト				
	R5F523E6AGNF	R5F523E6AGNF#U0	PWQN0040KC-A						
	R5F523E5AGFL	R5F523E5AGFL#30	PLQP0048KB-B	128Kバイト	16Kバイト				
	R5F523E5AGNF	R5F523E5AGNF#U0	PWQN0040KC-A						

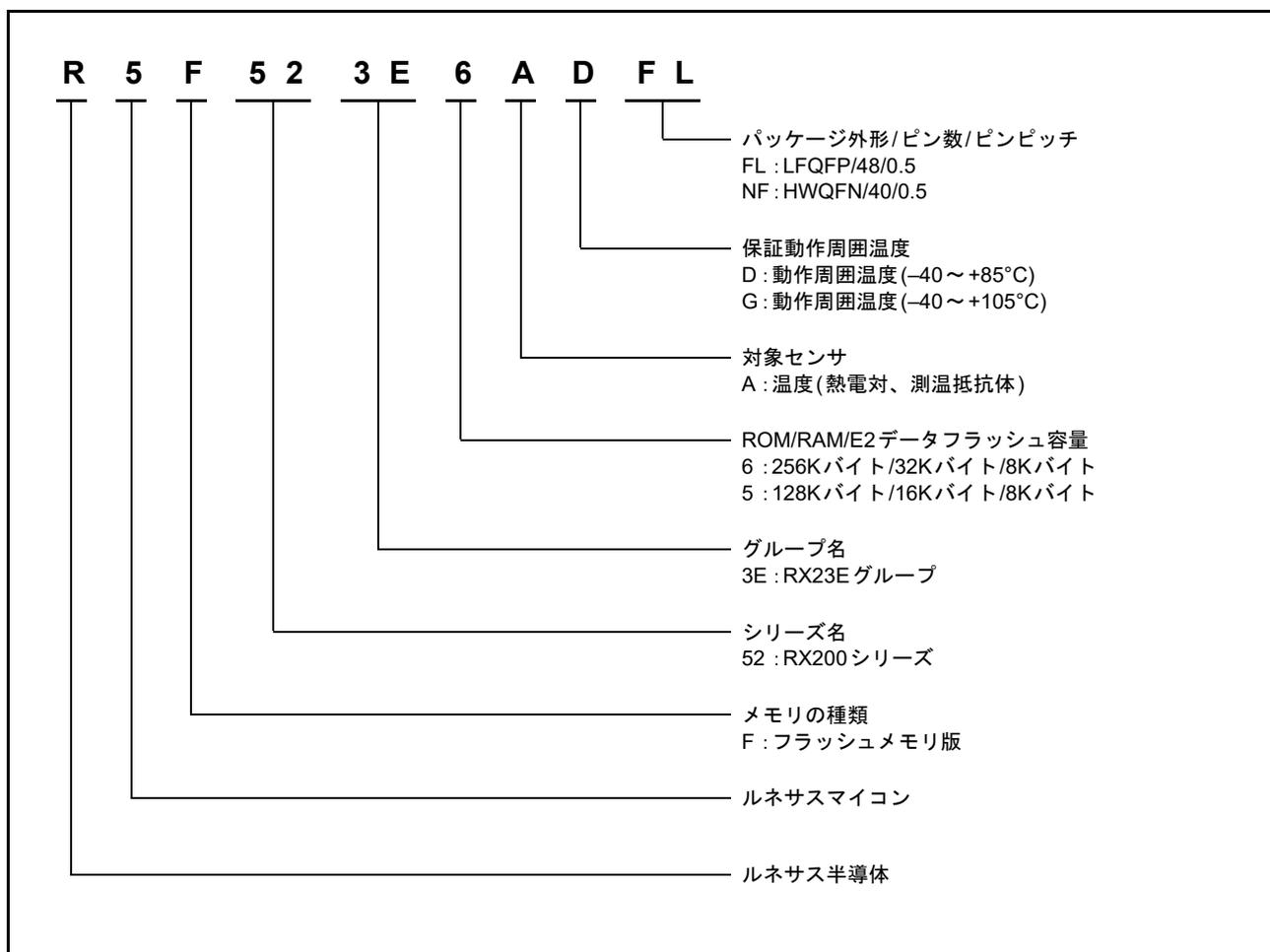


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

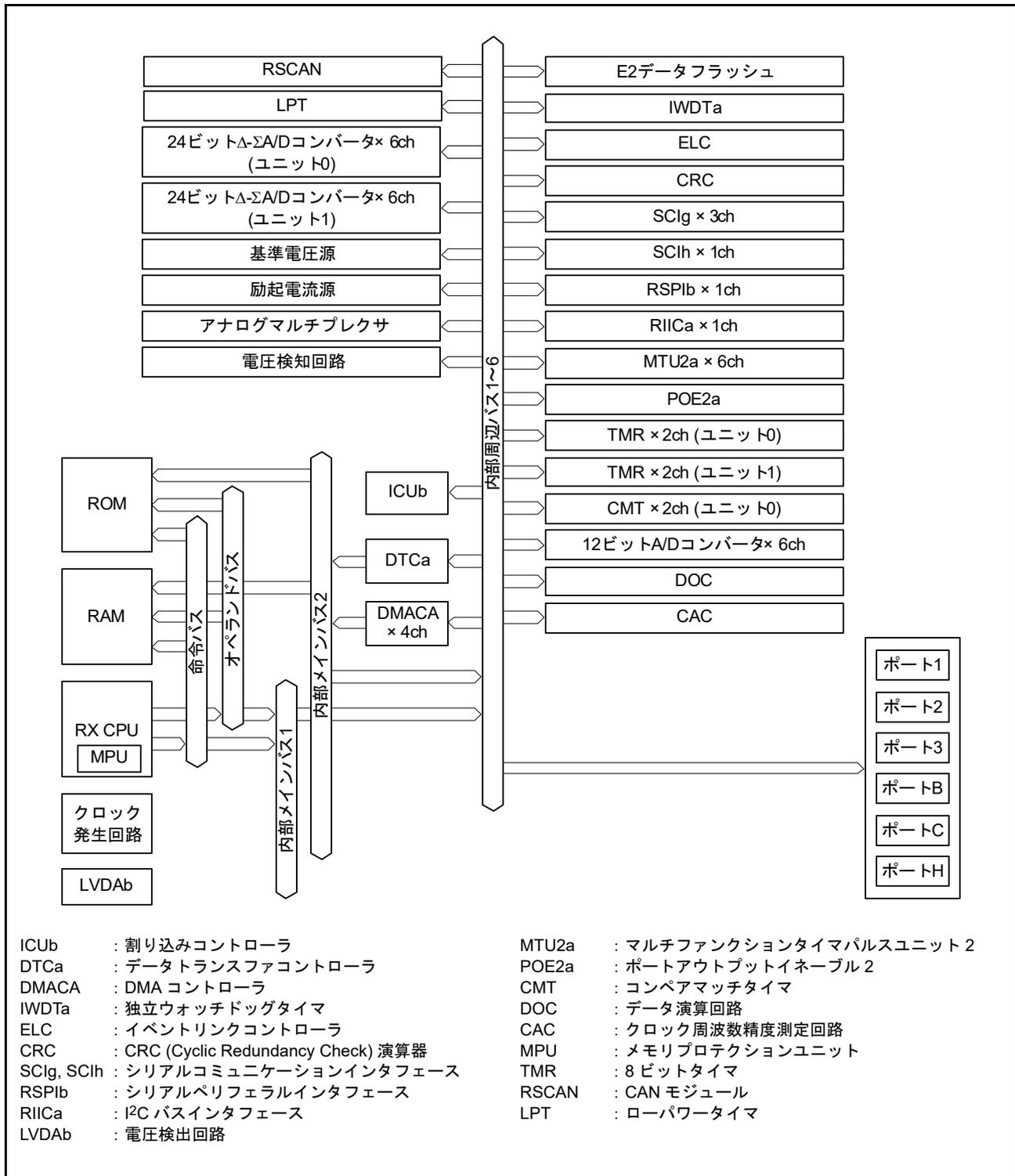


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット2	MTIOC0A, MTIOC0B MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
ポートアウトプット イネーブル2	POE0#~POE3#, POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース(SCIg)	• 調歩同期モード/クロック同期モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I ² Cクロック入出力端子
SSDA1, SSDA5, SSDA6	入出力	I ² Cデータ入出力端子	

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	スレーブセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期モード/クロック同期モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御入力端子
	RTS12#	出力	送受信開始制御出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCIh受信データ入力端子
	TXDX12	出力	SCIh送信データ出力端子
SIOX12	入出力	SCIh送受信データ入出力端子	
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープン ドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子
12ビットA/Dコンバータ	AN000~AN005	入力	12ビットA/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
アナログフロントエンド	REF0P, REF1P	入力	24ビットΔ-Σ A/Dコンバータの基準電圧 + 入力端子
	REF0N, REF1N	入力	24ビットΔ-Σ A/Dコンバータの基準電圧 - 入力端子
	REFOUT	出力	内部基準電圧出力端子 内部基準電圧安定用のコンデンサ(0.47μF)を介してAVSS0に接続し てください。コンデンサは端子近くに配置してください
	IEXC0~IEXC3	出力	励起電流源出力端子
	AIN0~AIN11	入出力	アナログ入出力端子
	LSW	出力	ローサイドスイッチ出力端子

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
アナログ電源	AVCC0	入力	アナログ電源端子。使用しない場合は、VCCに接続してください
	AVSS0	入力	アナロググランド端子。使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P14～P17	入出力	4ビットの入出力端子
	P26, P27	入出力	2ビットの入出力端子
	P30, P31, P35～P37	入出力	5ビットの入出力端子 (P35は入力端子)
	PB0, PB1	入出力	2ビットの入出力端子
	PC4～PC7	入出力	4ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子

1.5 ピン配置図

図 1.3、図 1.4 にピン配置図を示します。また、表 1.5、表 1.6 に機能別端子一覧を示します。

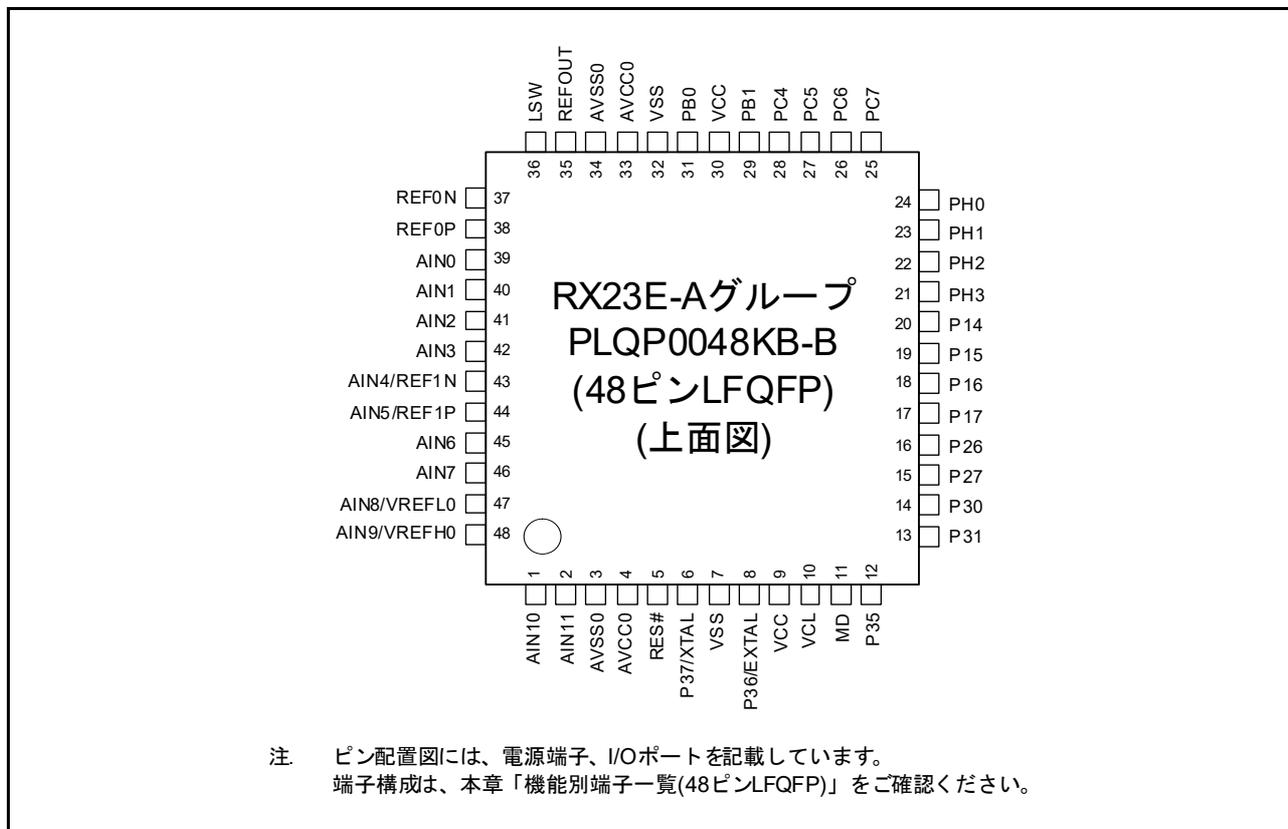


図 1.3 48ピンLQFPピン配置図

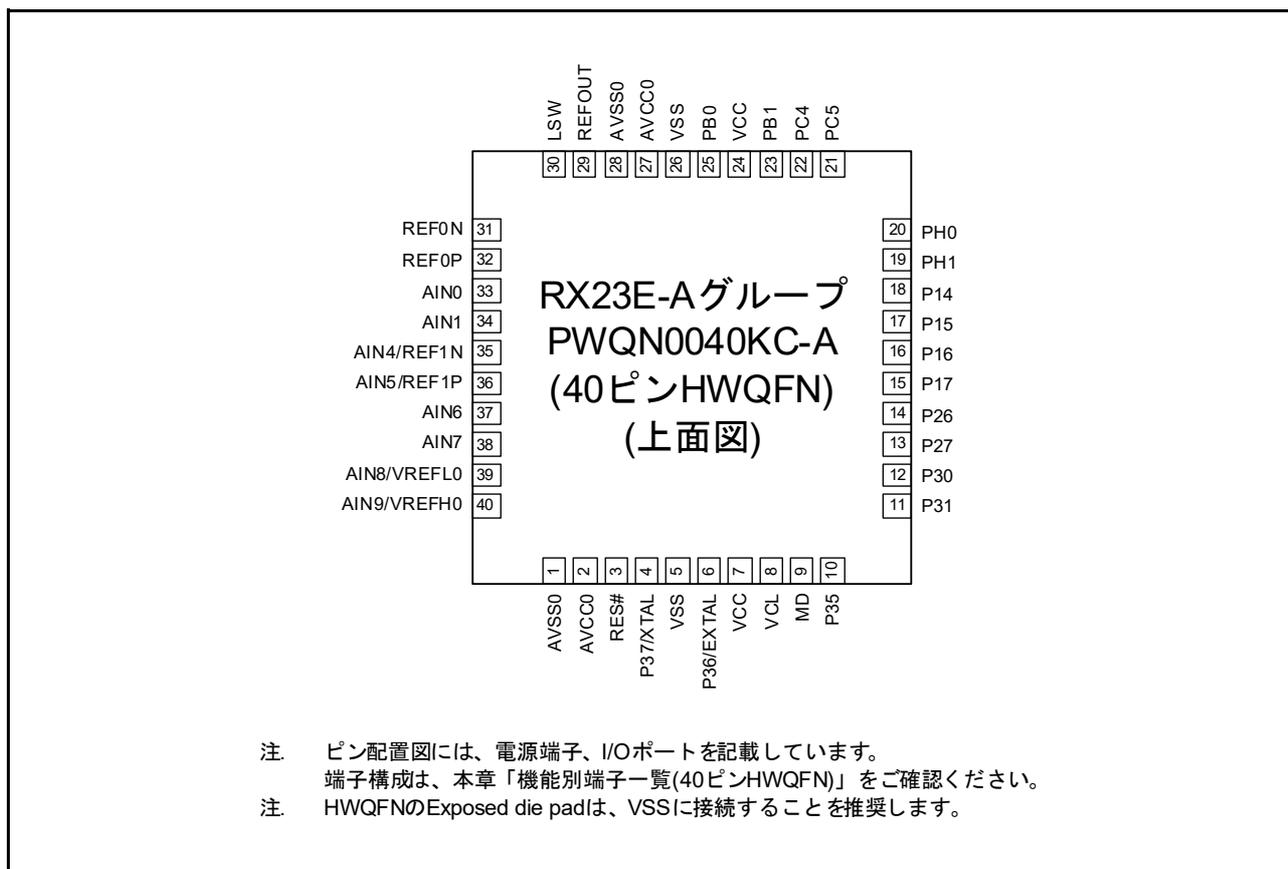


図 1.4 40 ピン HWQFN ピン配置図

表 1.5 機能別端子一覧(48ピンLQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, CMT, POE, CAC)	通信 (SClg, SCIn, RSP1, RIIC, CAN)	アナログ (S12AD, VREF, IEXC, DSAD, AMUX)	その他
1					AIN10/AN004/IEXC0 ~ IEXC3	
2					AIN11/AN005/IEXC0 ~ IEXC3	
3	AVSS0					
4	AVCC0					
5	RES#					
6	XTAL	P37				
7	VSS					
8	EXTAL	P36				
9	VCC					
10	VCL					
11	MD					FINED
12		P35				NMI
13		P31	MTIOC1A/MTIOC4D/TMO3	CTS1#/RTS1#/SS1#		IRQ1
14		P30	MTIOC0A/MTIOC4B/TMCI3/POE8#	RXD1/SMISO1/SSCL1		IRQ0
15		P27	MTIOC2B/MTIOC4A/TMRI3	SCK1		IRQ3
16		P26	MTIOC2A/MTIOC4C/TMO0	TXD1/SMOSI1/SSDA1		IRQ2
17		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA		IRQ7
18		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL		IRQ6/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/SSLA1/CRXD0		IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA3/CTXD0		IRQ4
21		PH3	MTIC5W/MTCLKB/TMCI0/POE2#	CTS6#/RTS6#/SS6#/RSPCKA		
22		PH2	MTIC5V/MTCLKA/TMRI0	SCK5/MOSIA		IRQ1
23		PH1	MTIC5U/MTCLKD/TMO0/POE2#	TXD5/SMOSI5/SSDA5/SSLA0		IRQ0/CLKOUT
24		PH0	MTIOC0D/MTCLKC/TMRI0/CACREF	RXD5/SMISO5/SSCL5/SSLA2		
25		PC7	MTIOC3A/MTCLKB/TMO2/CACREF	TXD6/SMOSI6/SSDA6/MISOA		
26		PC6	MTIOC3C/MTCLKA/TMCI2	RXD6/SMISO6/SSCL6/MOSIA		
27		PC5	MTIOC3B/MTCLKD/TMRI2	SCK5/SCK6/SCK12/RSPCKA		
28		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	CTS5#/RTS5#/SS5#/CTS12#/RTS12#/SS12#/SSLA0		
29		PB1	MTIOC1B/MTIOC2A/TMRI1/POE1#	TXD12/TXDX12/SIOX12/SMOSI12/SSDA12		
30	VCC					
31		PB0	MTIOC0C/TMCI0/POE3#	RXD12/RDX12/SMISO12/SSCL12		IRQ4
32	VSS					
33	AVCC0					
34	AVSS0					
35					REFOUT	
36					LSW	
37					REF0N	
38					REF0P	
39					AIN0/IEXC0 ~ IEXC3	

表 1.5 機能別端子一覧(48ピンLFQFP) (2/2)

ピン 番号	電源、 クロック、 システム制御	I/Oポート	タイマ (MTU, TMR, CMT, POE, CAC)	通信 (SCIg, SCIn, RSPI, RIIC, CAN)	アナログ (S12AD, VREF, IEXC, DSAD, AMUX)	その他
40					AIN1/IEXC0 ~ IEXC3	
41					AIN2/IEXC0 ~ IEXC3	
42					AIN3/IEXC0 ~ IEXC3	
43					AIN4/IEXC0 ~ IEXC3/REF1N	
44					AIN5/IEXC0 ~ IEXC3/REF1P	
45					AIN6/AN000/IEXC0 ~ IEXC3	
46					AIN7/AN001/IEXC0 ~ IEXC3	
47	VREFL0				AIN8/AN002/IEXC0 ~ IEXC3	
48	VREFH0				AIN9/AN003/IEXC0 ~ IEXC3	

表 1.6 機能別端子一覧(40ピンHWQFN)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, CMT, POE, CAC)	通信 (SCIg, SCIn, RSP1, RIIC, CAN)	アナログ (S12AD, VREF, IEXC, DSAD, AMUX)	その他
1	AVSS0					
2	AVCC0					
3	RES#					
4	XTAL	P37				
5	VSS					
6	EXTAL	P36				
7	VCC					
8	VCL					
9	MD					FINED
10		P35				NMI
11		P31	MTIOC1A/MTIOC4D/TMO3	CTS1#/RTS1#/SS1#		IRQ1
12		P30	MTIOC0A/MTIOC4B/TMCI3/POE8#	RXD1/SMISO1/SSCL1		IRQ0
13		P27	MTIOC2B/MTIOC4A/TMRI3	SCK1		IRQ3
14		P26	MTIOC2A/MTIOC4C/TMO0	TXD1/SMOSI1/SSDA1		IRQ2
15		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA		IRQ7
16		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL		IRQ6/ ADTRG0#
17		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/SSLA1/CRXD0		IRQ5
18		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/SSLA3/CTXD0		IRQ4
19		PH1	MTCLKD/TMO0/POE2#	TXD5/SMOSI5/SSDA5/SSLA0		IRQ0/CLKOUT
20		PH0	MTIOC0D/MTCLKC/TMRI0/CACREF	RXD5/SMISO5/SSCL5/SSLA2		
21		PC5	MTIOC3B/MTCLKD/TMRI2	SCK5/SCK12/RSPCKA		
22		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	CTS5#/RTS5#/SS5#/CTS12#/RTS12#/SS12#/SSLA0		
23		PB1	MTIOC1B/MTIOC2A/TMRI1/POE1#	TXD12/TXDX12/SIOX12/SMOSI12/SSDA12		
24	VCC					
25		PB0	MTIOC0C/TMCI0/POE3#	RXD12/RXDX12/SMISO12/SSCL12		IRQ4
26	VSS					
27	AVCC0					
28	AVSS0					
29					REFOUT	
30					LSW	
31					REF0N	
32					REF0P	
33					AIN0/IEXC0 ~ IEXC3	
34					AIN1/IEXC0 ~ IEXC3	
35					AIN4/IEXC0 ~ IEXC3/REF1N	
36					AIN5/IEXC0 ~ IEXC3/REF1P	
37					AIN6/AN000/IEXC0 ~ IEXC3	
38					AIN7/AN001/IEXC0 ~ IEXC3	
39	VREFL0				AIN8/AN002/IEXC0 ~ IEXC3	
40	VREFH0				AIN9/AN003/IEXC0 ~ IEXC3	

2. 電氣的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	P16, P17 (5Vトレラント)	V_{in}	-0.3 ~ +6.5	V
	上記以外		-0.3 ~ VCC + 0.3	
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧		V_{AN}	-0.3 ~ AVCC0 + 0.3	V
24ビット Δ - Σ A/Dコンバータ基準電圧		REF0P, REF1P	-0.3 ~ AVCC0 + 0.3	V
		REF0N, REF1N	-0.3 ~ AVCC0 + 0.3	
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C
	Gバージョン		-40 ~ +112	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は「2.12.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

MCUの電源がOFFのときに、5Vトレラントポート以外のポートに入力信号を入れないでください。入力信号からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

2.2 推奨動作条件

表 2.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1、注2)	1.8	—	5.5	V
		VSS	—	0	—	
アナログ電源電圧		AVCC0 (注1、注2)	1.8	—	5.5	V
		AVSS0	—	0	—	
		VREFH0	1.8	—	AVCC0	
		VREFL0	—	0	—	
動作温度	Dバージョン	T_{opr}	-40	—	85	°C
	Gバージョン		-40	—	105	

注1. AVCC0とVCCは次の条件で使用してください。

VCC > 2.4Vのとき：AVCC0 \geq 2.4Vの場合にAVCC0はVCCと独立して設定可能

VCC \leq 2.4Vのとき：AVCC0 \geq VCCの場合にAVCC0はVCCと独立して設定可能

注2. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

表 2.3 推奨動作条件(2)

項目	記号	規格値
VCL端子外付け容量	C_{VCL}	4.7 μ F \pm 30% (注1)

注1. 静電容量の公称値が4.7 μ F、静電容量許容差が \pm 30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表 2.4 DC 特性(1)

条件： $2.7V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$0.7 \times VCC$	—	5.8	V	
	P16, P17 (5Vトレラント)		$0.8 \times VCC$	—	5.8		
	P14, P15, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	RIIC入力端子(SMBusを除く)	V_{IL}	-0.3	—	$0.3 \times VCC$		
	RIIC入力端子以外		-0.3	—	$0.2 \times VCC$		
シュミット トリガ入力 ヒステリシス	RIIC入力端子(SMBusを除く)	ΔV_T	$0.05 \times VCC$	—	—		
	P16, P17		$0.05 \times VCC$	—	—		
	RIIC入力端子以外		$0.1 \times VCC$	—	—		
Highレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IH}	$0.9 \times VCC$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$0.8 \times VCC$	—	$VCC + 0.3$		
	RIIC入力端子(SMBus)		2.1	—	$VCC + 0.3$		
Lowレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IL}	-0.3	—	$0.1 \times VCC$		
	EXTAL (外部クロック入力)		-0.3	—	$0.2 \times VCC$		
	RIIC入力端子(SMBus)		-0.3	—	0.8		

表 2.5 DC 特性(2)

条件： $1.8V \leq VCC < 2.7V$, $1.8V \leq AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P16, P17 (5Vトレラント)	V_{IH}	$0.8 \times VCC$	—	5.8	V	
	P14, P15, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#		$0.8 \times VCC$	—	$VCC + 0.3$		
	P14~P17, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#	V_{IL}	-0.3	—	$0.2 \times VCC$		
シュミット トリガ入力 ヒステリシス	P14~P17, P26, P27, P30, P31, P35~P37, PB0, PB1, PC4~PC7, PH0~PH3, RES#	ΔV_T	$0.01 \times VCC$	—	—		
Highレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IH}	$0.9 \times VCC$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$0.8 \times VCC$	—	$VCC + 0.3$		
Lowレベル入力 電圧(シュミット トリガ入力端子 を除く)	MD	V_{IL}	-0.3	—	$0.1 \times VCC$		
	EXTAL (外部クロック入力)		-0.3	—	$0.2 \times VCC$		

表 2.6 DC 特性(3)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD, P35	I_{in}	—	—	1.0	μA	$V_{in} = 0V, VCC$
スリープステートリーク電流 (オフ状態)	P16, P17	I_{Tsil}	—	—	1.0	μA	$V_{in} = 0V, 5.8V$
	P16, P17 以外		—	—	0.2		$V_{in} = 0V, VCC$
入力容量	P14 ~ P17, P26, P27, P30, P31, P36, P37, PB0, PB1, PC4 ~ PC7, PH0 ~ PH3, MD, RES#	C_{in}	—	—	15	pF	$V_{in} = 20mV$, $f = 1MHz$, $T_a = 25^\circ C$
	P35		—	—	30		
VCL 端子出力電圧		V_{CL}	—	2.12	—	V	

表 2.7 DC 特性(4)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (P35 以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表 2.8 DC 特性(5)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I_{CC}	4.1	—	mA
				ICLK = 16MHz		2.9	—	
				ICLK = 8MHz		2.2	—	
				ICLK = 4MHz		1.9	—	
			全周辺動作通常動作	ICLK = 32MHz (注3)		16.3	—	
				ICLK = 16MHz (注3)		9.1	—	
		ICLK = 8MHz (注3)		5.5		—		
		ICLK = 4MHz (注3)		3.7		—		
		全周辺動作最大動作	ICLK = 32MHz (注3)	—		30.3		
		スリープモード	周辺動作なし (注2)	ICLK = 32MHz		2.4	—	
				ICLK = 16MHz		1.9	—	
	ICLK = 8MHz			1.6	—			
	ICLK = 4MHz			1.5	—			
	全周辺動作通常動作			ICLK = 32MHz (注3)	8.9	—		
				ICLK = 16MHz (注3)	5.4	—		
			ICLK = 8MHz (注3)	3.5	—			
			ICLK = 4MHz (注3)	2.5	—			
			ディープスリープモード	周辺動作なし (注2)	ICLK = 32MHz	1.5	—	
					ICLK = 16MHz	1.3	—	
	ICLK = 8MHz				1.2	—		
	ICLK = 4MHz				1.2	—		
	全周辺動作通常動作	ICLK = 32MHz (注3)		7.2	—			
		ICLK = 16MHz (注3)		4.4	—			
		ICLK = 8MHz (注3)	2.8	—				
		ICLK = 4MHz (注3)	2.1	—				
BGO動作時の増加分 (注5)					2.5	—		

項目					記号	typ (注4)	max	単位	測定条件			
消費電流 (注1)	中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.1	—	mA				
				ICLK = 8MHz		1.7	—					
				ICLK = 4MHz		1.4	—					
				ICLK = 1MHz		1.1	—					
			全周辺動作 通常動作 (注7)	ICLK = 12MHz		6.8	—					
				ICLK = 8MHz		5.0	—					
				ICLK = 4MHz		3.1	—					
				ICLK = 1MHz		1.6	—					
		全周辺動作 最大動作 (注7)	ICLK = 12MHz	—		13.5						
			スリープモード			周辺動作なし (注6)	ICLK = 12MHz			1.4	—	
							ICLK = 8MHz			1.2	—	
							ICLK = 4MHz			1.1	—	
							ICLK = 1MHz			1.0	—	
							全周辺動作 通常動作 (注7)			ICLK = 12MHz	4.0	—
										ICLK = 8MHz	3.0	—
										ICLK = 4MHz	2.1	—
				ICLK = 1MHz	1.3			—				
				ディープ スリープモード	周辺動作なし (注6)	ICLK = 12MHz	1.0	—				
						ICLK = 8MHz	0.9	—				
						ICLK = 4MHz	0.9	—				
						ICLK = 1MHz	0.8	—				
					全周辺動作 通常動作 (注7)	ICLK = 12MHz	3.3	—				
						ICLK = 8MHz	2.6	—				
						ICLK = 4MHz	1.8	—				
						ICLK = 1MHz	1.2	—				
	BGO動作時の増加分 (注5)						2.5	—				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップ抵抗を無効にした場合の値です。
- 注2. 周辺機能クロック停止時。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能クロック供給時。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3V、T_a = 25°Cの値です。
- 注5. プログラム実行中に、ROMまたはE2データフラッシュをプログラム/イレーズした場合の増加分です。
- 注6. 周辺機能クロック停止時。クロックソースはICLK = 12MHzのときはPLL、その他はHOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能クロック供給時。クロックソースはICLK = 12MHzのときはPLL、その他はHOCOです。FCLK、PCLKはICLKと同じ周波数です。

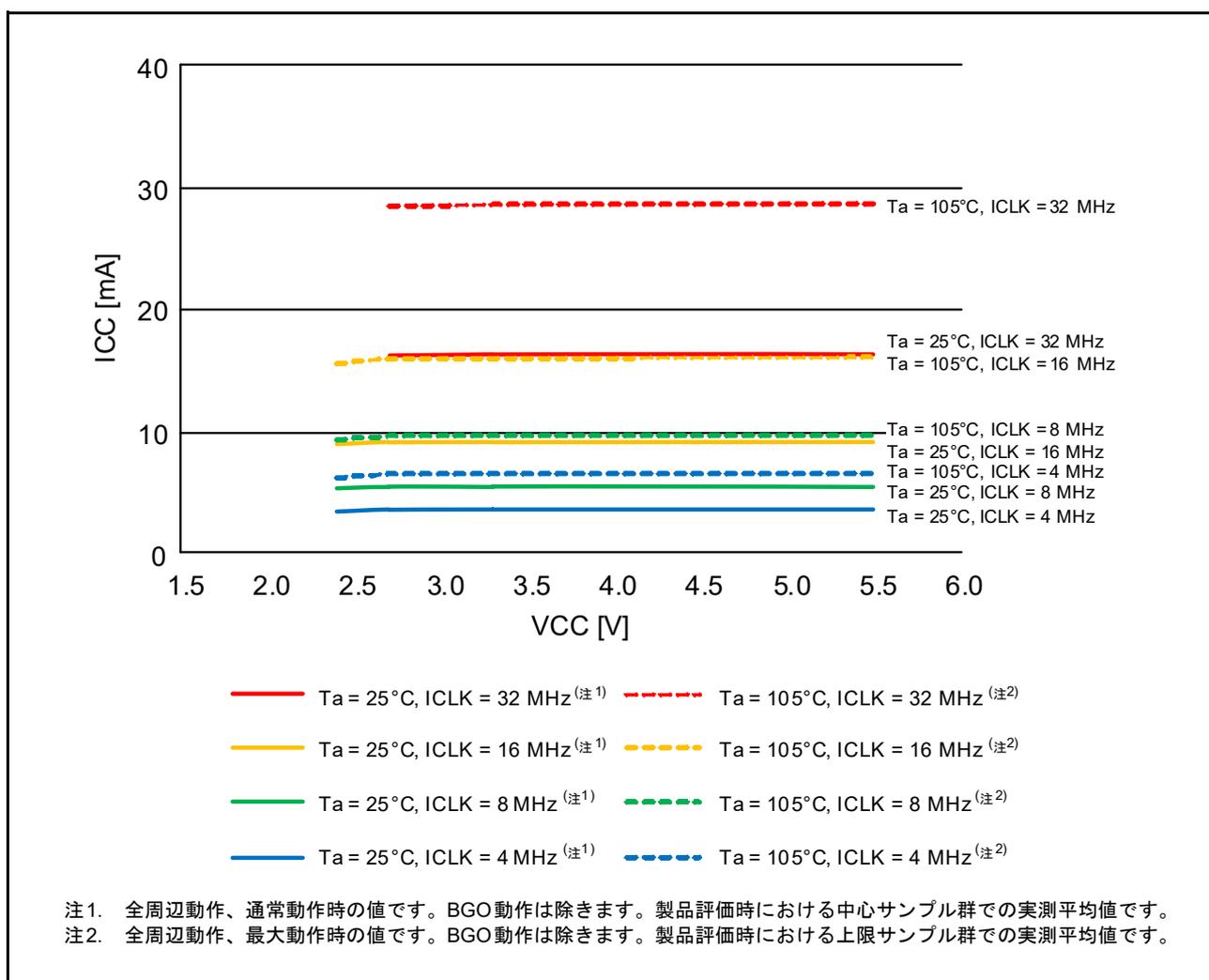


図 2.1 高速動作モードの電圧依存性 (参考データ)

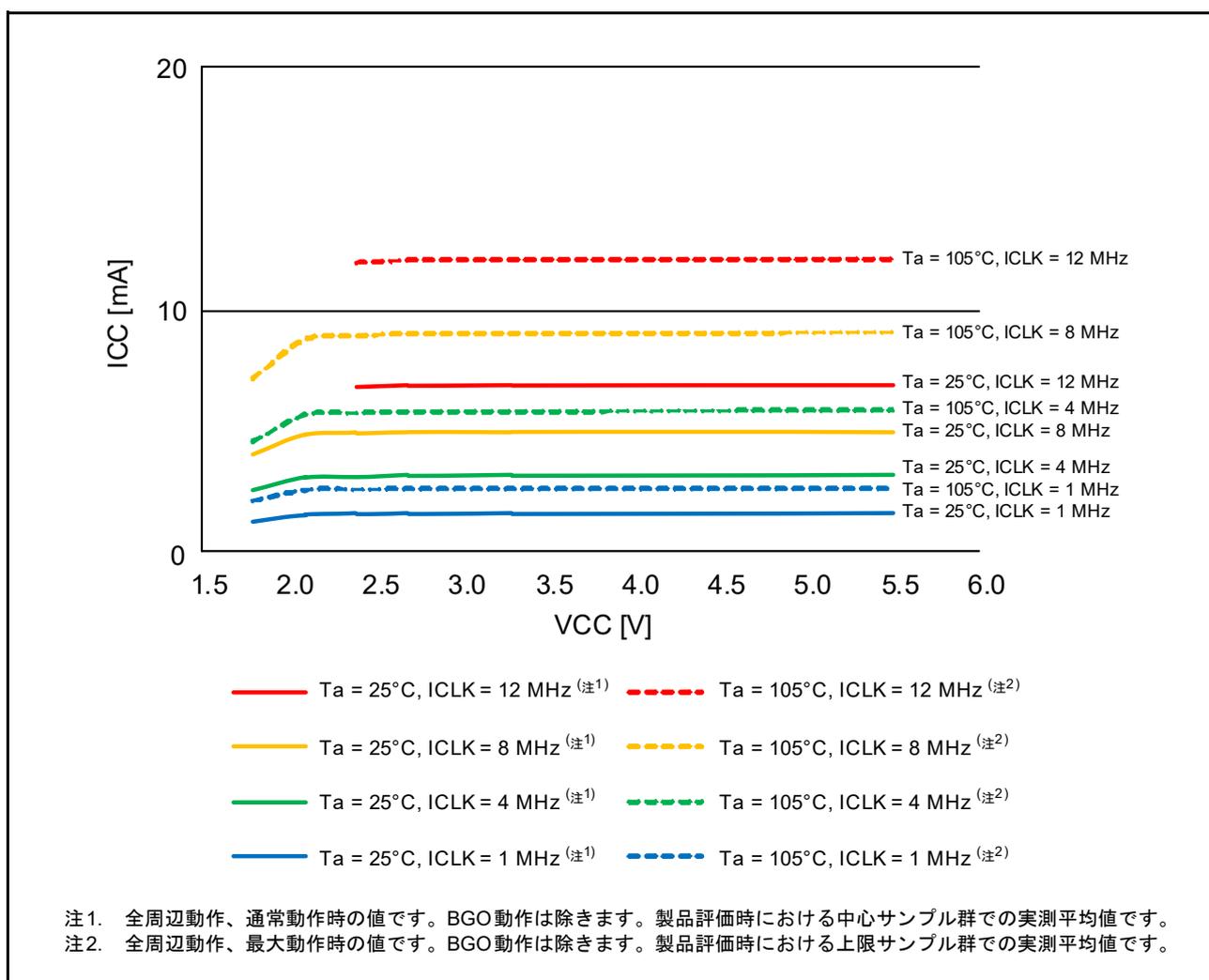


図 2.2 中速動作モードの電圧依存性 (参考データ)

表 2.9 DC 特性(6)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	T _a = 25°C	I _{CC}	0.4	2.6	μA	
		T _a = 55°C		0.8	3.0		
		T _a = 85°C		2.5	12.6		
		T _a = 105°C		6.3	31.2		
	IWDT 動作の増加分			0.4	—		
	LPT 動作の増加分			0.4	—		
							クロックソースはIWDT専用オンチップオシレータを使用

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

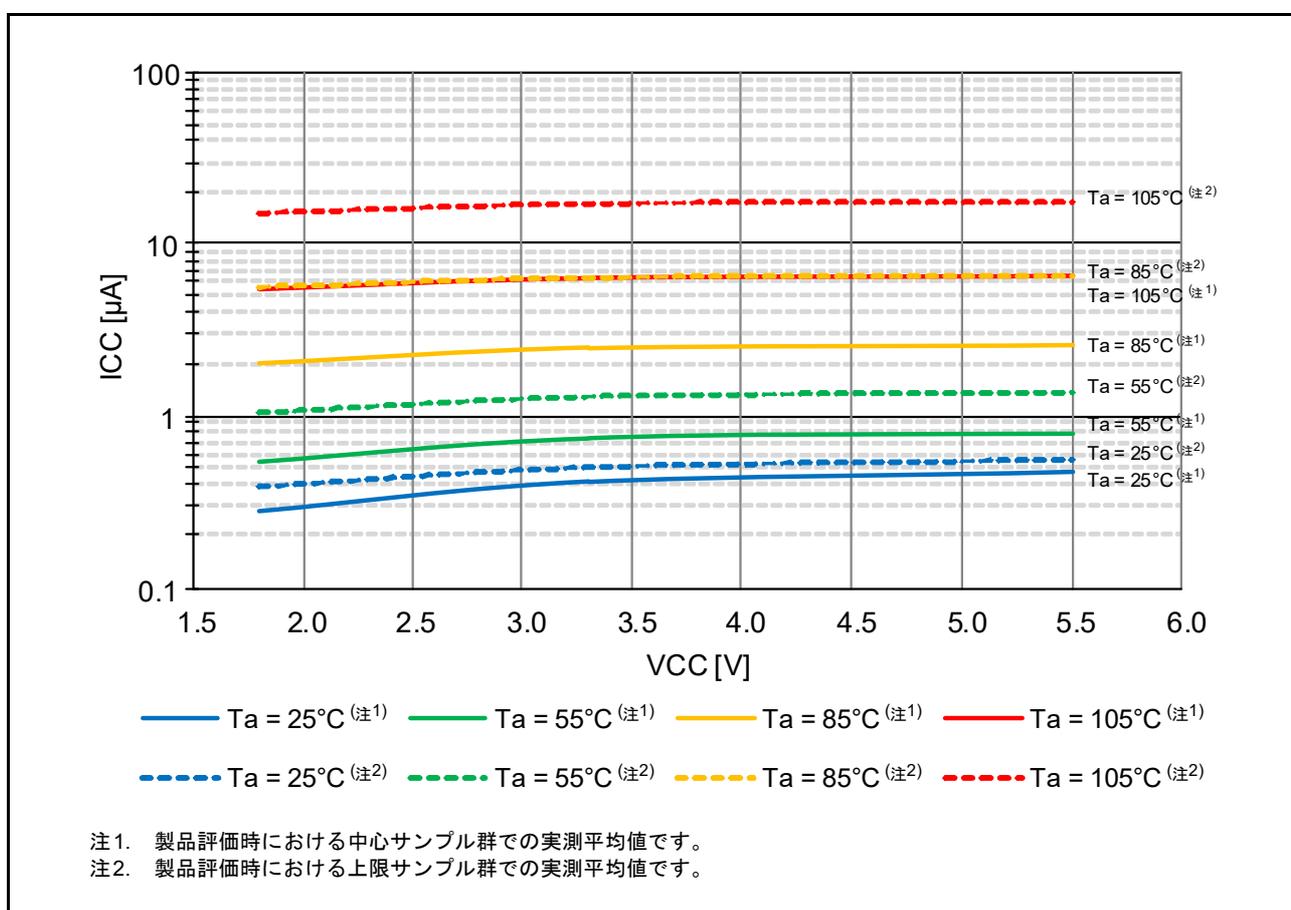


図 2.3 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

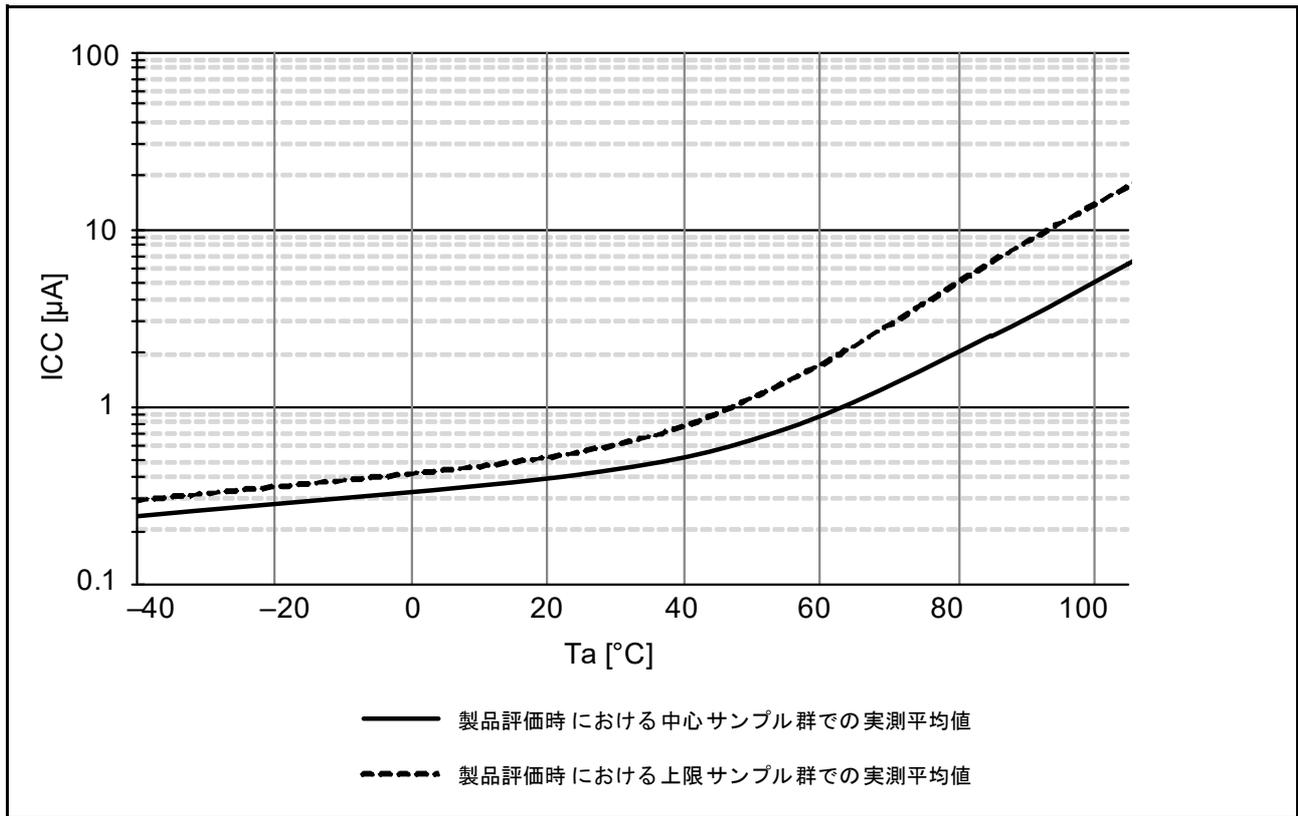


図 2.4 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 2.10 DC 特性 (7)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注1)	max	単位	測定条件
LVD	LVD0	I_{LVD}	—	0.10	—	μA	
	LVD1		—	0.10	—		
	LVD2		—	0.20	—		

注1. $VCC = AVCC0 = 3.3V$, $T_a = 25^\circ C$ のとき。

表 2.11 DC 特性 (8)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM 保持電圧	V_{RAM}	1.8	—	—	V	

表 2.12 DC 特性 (9)

条件 : $0V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC 立ち上がり勾配	通常起動時 (注1)	SrVCC	0.02	—	20.00	ms/V	
	起動時間短縮時 (注2)		0.02	—	2.00		
	起動時電圧監視 0 リセット 有効時 (注3、注4)		0.02	—	—		

注1. OFS1.LVDAS ビット = 1、OFS1.FASTSTUP ビット = 1 の場合です。

注2. OFS1.LVDAS ビット = 1、OFS1.FASTSTUP ビット = 0 の場合です。

注3. OFS1.LVDAS ビット = 0 の場合です。

注4. ブートモード時は OFS1 にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 2.13 DC 特性 (10)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

電源リップルは、VCC の上限と下限は超えない範囲で許容電源リップル周波数 $f_{r(VCC)}$ を満たしてください。VCC 変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 2.5 $V_{r(VCC)} \leq 0.2 \times VCC$ の場合
		—	—	1	MHz	図 2.5 $V_{r(VCC)} \leq 0.08 \times VCC$ の場合
		—	—	10	MHz	図 2.5 $V_{r(VCC)} \leq 0.06 \times VCC$ の場合
許容電源変動立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

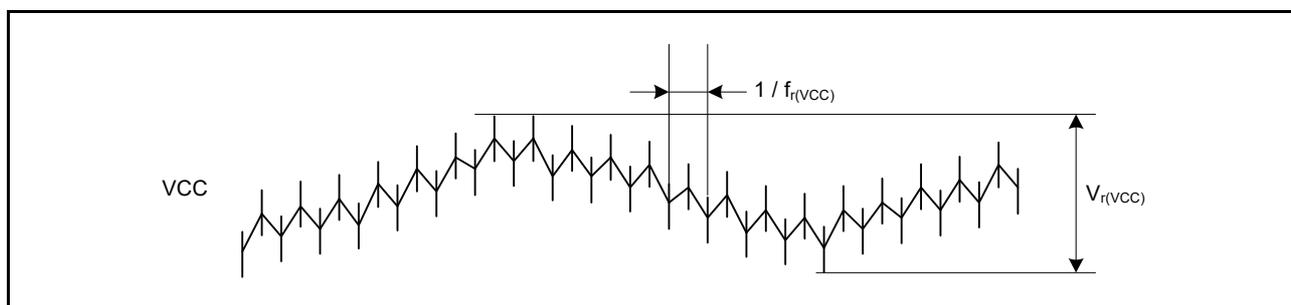


図 2.5 電源リップル波形

表 2.14 DC 特性 (11)

条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
24ビット Δ - Σ A/D コンバータ動作電流 (ノーマルモード)	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 0	I_{AVCC0} (DSAD)	—	500 (注1)	660	μA	図2.6、図2.7 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 3.6~5.5V
	Gain = 1~16 (PGA有効) OPCR.DSADLVM ビット = 0		—	840 (注1)	1130		
	Gain = 32~128 OPCR.DSADLVM ビット = 0		—	1050 (注1)	1360		
	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 1		—	490 (注2)	850		図2.8、図2.9 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 2.7~5.5V
	Gain = 1~16 (PGA有効) OPCR.DSADLVM ビット = 1		—	820 (注2)	1320		
	Gain = 32~128 OPCR.DSADLVM ビット = 1		—	1040 (注2)	1560		
24ビット Δ - Σ A/D コンバータ動作電流 (ローパワーモード)	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 0	I_{AVCC0}	—	250 (注1)	280	μA	図2.10、図2.11 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 3.6~5.5V
	Gain = 1~16 (PGA有効) OPCR.DSADLVM ビット = 0		—	390 (注1)	480		
	Gain = 32~128 OPCR.DSADLVM ビット = 0		—	430 (注1)	520		
	Gain = 1 (PGA無効、BUF無効) OPCR.DSADLVM ビット = 1		—	240 (注2)	350	図2.12、図2.13 1ユニット、 外部リファレンス使用、 リファレンスパッファ 無効、 AVCC0 = 2.7~5.5V	
	Gain = 1~16 (PGA有効) OPCR.DSADLVM ビット = 1		—	380 (注2)	550		
	Gain = 32~128 OPCR.DSADLVM ビット = 1		—	420 (注2)	590		
基準電圧源動作電流		I_{AVCC0} (VREF)	—	45	75	μA	図2.18
温度センサ動作電流		I_{AVCC0} (TEMPS)	—	15	40	μA	図2.19
バイアス電圧生成回路動作電流		I_{AVCC0} (VBIAS)	—	15	25	μA	図2.20
励起電流源動作電流		I_{AVCC0} (IEXC)	—	55	70	μA	図2.21
アナログ入力 バッファ動作電流	ノーマルモード	I_{AVCC0} (BUF)	—	85	130	μA	図2.14 1ユニット
	ローパワーモード		—	25	40		図2.15 1ユニット
リファレンス バッファ動作電流	ノーマルモード	I_{AVCC0} (REFBUF)	—	85	130	μA	図2.16 1ユニット
	ローパワーモード		—	25	40		図2.17 1ユニット
電圧検出回路動作 電流	低電源電圧検出回路	I_{AVCC0} (LVDET)	—	5	9	μA	1ユニット
	励起電流源断線検出回路	I_{AVCC0} (IEXCDET)	—	1	2		
	DSAD入力電圧異常検出回路	I_{AVCC0} (DSIDET)	—	5	7		
	DSAD基準電圧異常検出回路	I_{AVCC0} (DSRDET)	—	10	15		

注1. AVCC0 = 5.0V、 $T_a = 25^\circ C$ のとき。注2. AVCC0 = 3.3V、 $T_a = 25^\circ C$ のとき。

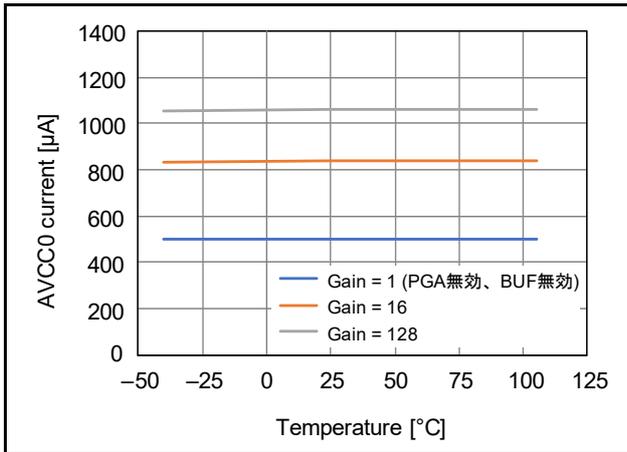


図 2.6 24 ビット Δ-Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ノーマルモード、OPCR.DSADLVM ビット = 0)

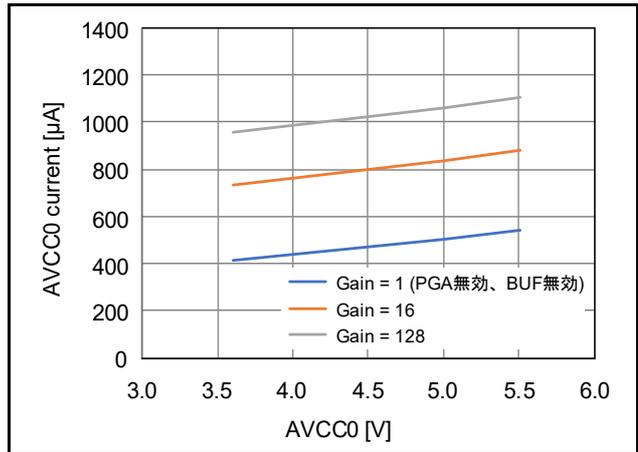


図 2.7 24 ビット Δ-Σ A/D コンバータ動作電流の電源電圧依存性 (T_a = 25°C、ノーマルモード、OPCR.DSADLVM ビット = 0)

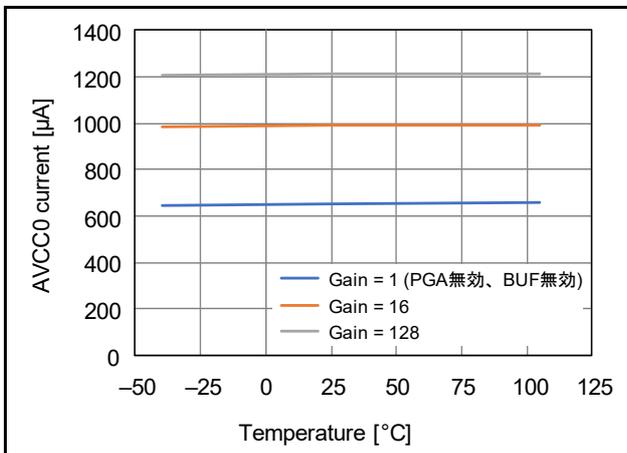


図 2.8 24 ビット Δ-Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ノーマルモード、OPCR.DSADLVM ビット = 1)

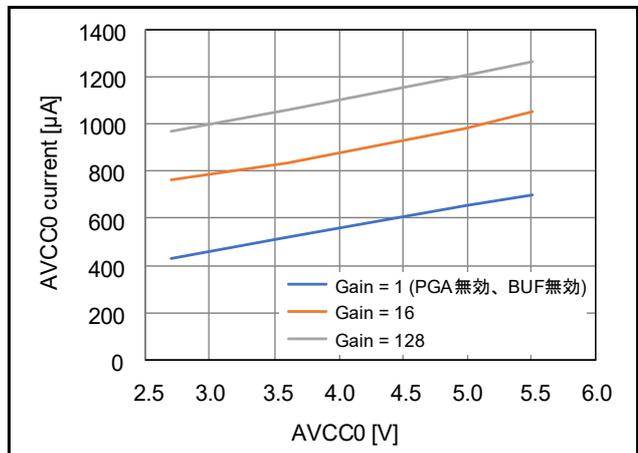


図 2.9 24 ビット Δ-Σ A/D コンバータ動作電流の電源電圧依存性 (T_a = 25°C、ノーマルモード、OPCR.DSADLVM ビット = 1)

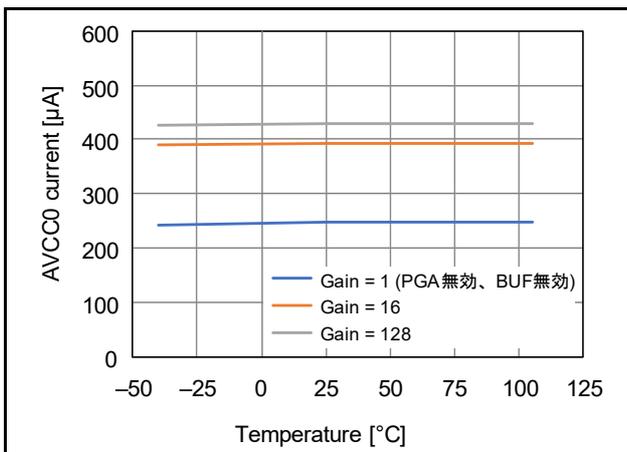


図 2.10 24 ビット Δ-Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ローパワーモード、OPCR.DSADLVM ビット = 0)

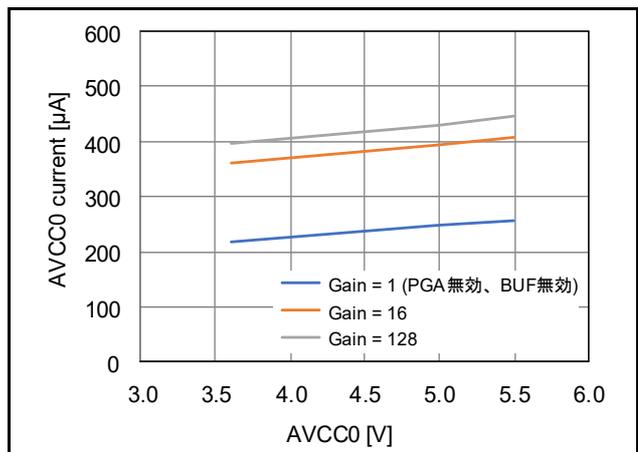


図 2.11 24 ビット Δ-Σ A/D コンバータ動作電流の電源電圧依存性 (T_a = 25°C、ローパワーモード、OPCR.DSADLVM ビット = 0)

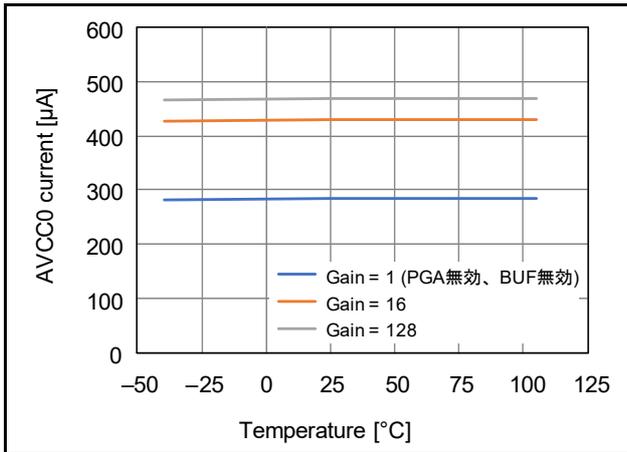


図 2.12 24 ビット Δ - Σ A/D コンバータ動作電流の温度依存性 (AVCC0 = 5.0V、ローパワーモード、OPCR.DSADLVM ビット = 1)

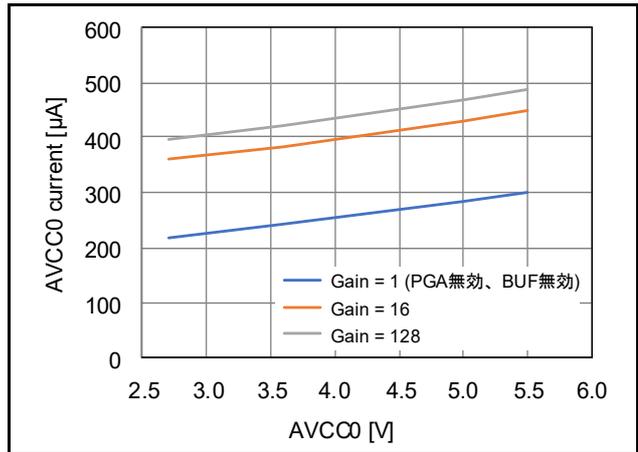


図 2.13 24 ビット Δ - Σ A/D コンバータ動作電流の電源電圧依存性 ($T_a = 25^\circ\text{C}$ 、ローパワーモード、OPCR.DSADLVM ビット = 1)

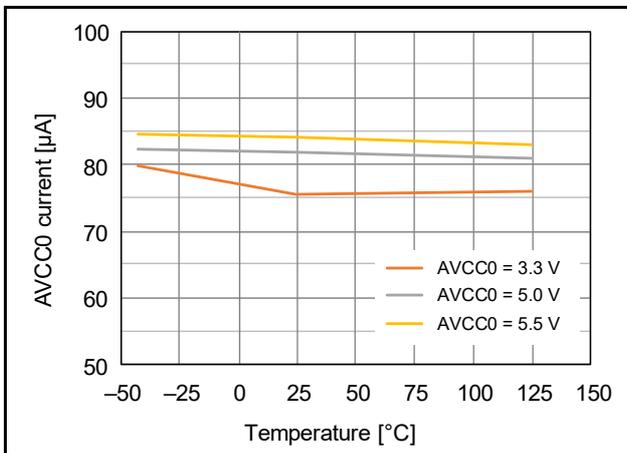


図 2.14 アナログ入力バッファ動作電流の温度依存性 (ノーマルモード)

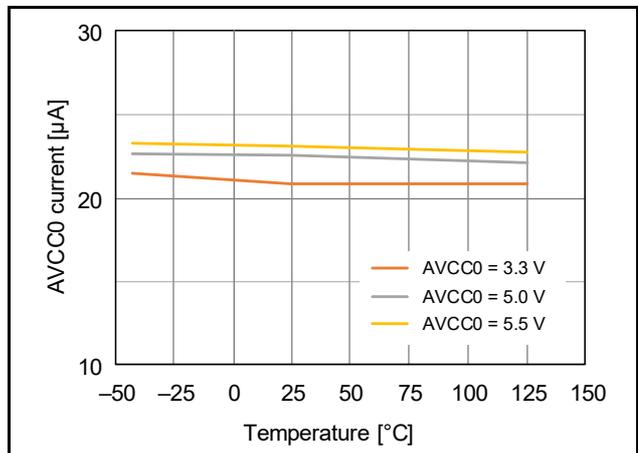


図 2.15 アナログ入力バッファ動作電流の温度依存性 (ローパワーモード)

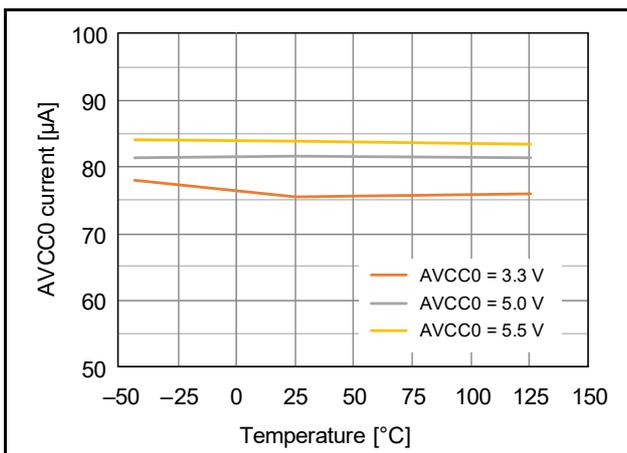


図 2.16 リファレンスバッファ動作電流の温度依存性 (ノーマルモード)

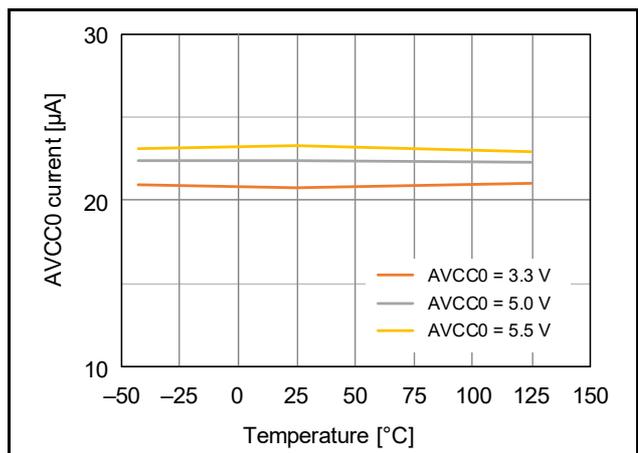


図 2.17 リファレンスバッファ動作電流の温度依存性 (ローパワーモード)

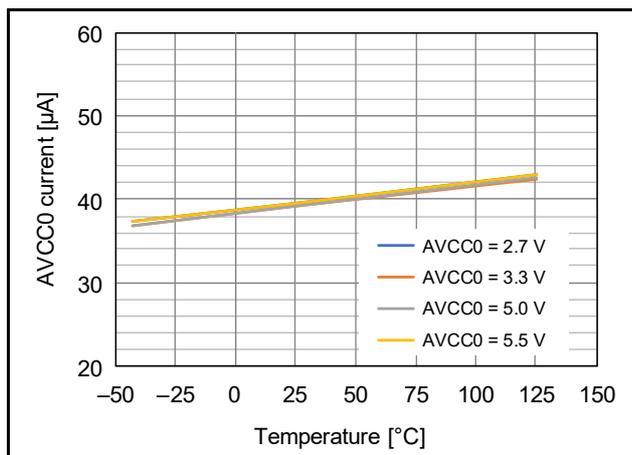


図 2.18 基準電圧源動作電流の温度依存性

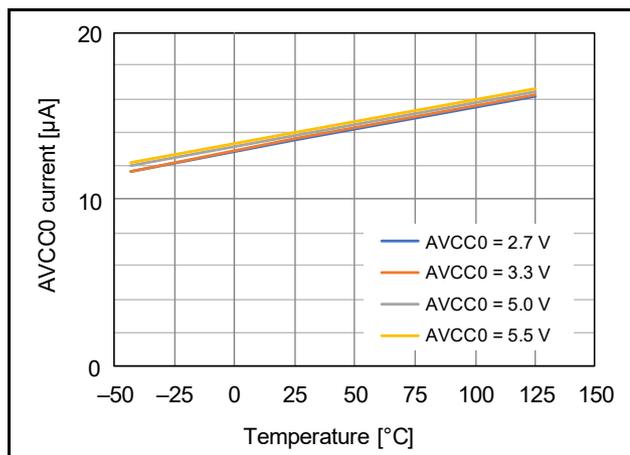


図 2.19 温度センサ動作電流の温度依存性

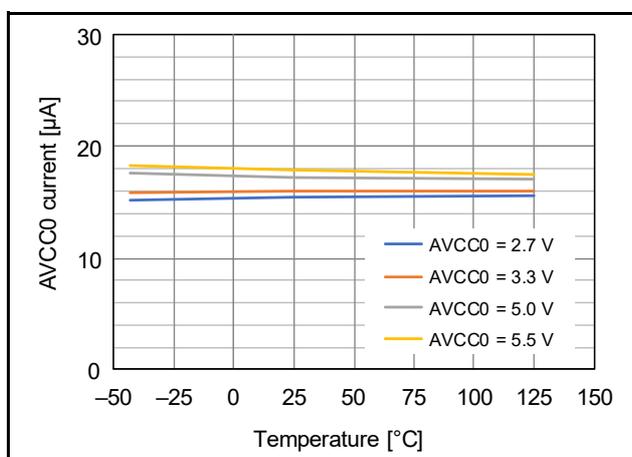


図 2.20 バイアス電圧生成回路動作電流の温度依存性

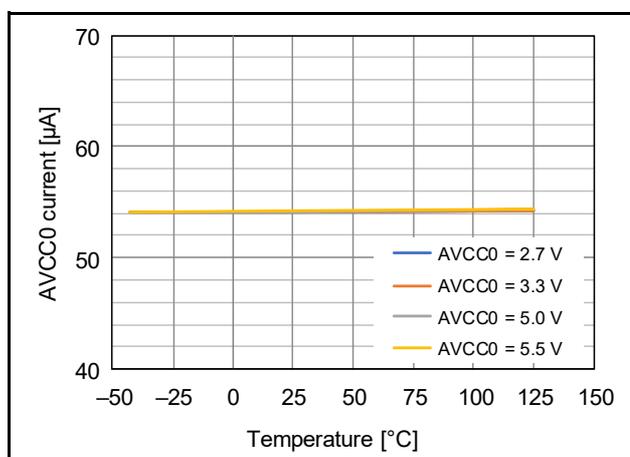


図 2.21 励起電流源動作電流の温度依存性

表 2.15 DC特性(12)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ (注1)	max	単位	測定条件
12ビットA/D コンバータ動作電流	A/D変換中 (高速変換時)	I _{AVCC0} (S12AD)	—	1.1	1.8	mA	
	A/D変換中 (低電流モード)		—	0.6	1.1		
リファレンス電源電 流	A/D変換中 (高速変換時)	I _{REFH0}	—	71	122	μA	
	A/D変換時待機電流 (全ユニット)		—	—	60	nA	
AVCC0パワーダウン電流		I _{STBY}	—	—	2.2	μA	

注1. AVCC0 = 5.0V、T_a = 25°Cのとき。

表 2.16 出力許容電流値(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +85°C

項目		記号	max	単位	
Lowレベル出力許容電流 (1端子あたりの平均値)	P36, P37	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Lowレベル出力許容電流 (1端子あたりの最大値)	P36, P37	I _{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Lowレベル出力許容電流	P14 ~ P17, P26, P27, P30, P31, P36, P37の合計	ΣI _{OL}	40	mA	
	PB0, PB1, PC4 ~ PC7, PH0 ~ PH3の合計		40		
	全出力端子の総和		80		
Highレベル出力許容電流 (1端子あたりの平均値)	P36, P37	I _{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
Highレベル出力許容電流 (1端子あたりの最大値)	P36, P37	I _{OH}	-4.0	mA	
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
Highレベル出力許容電流	P14 ~ P17, P26, P27, P30, P31, P36, P37の合計	ΣI _{OH}	-40	mA	
	PB0, PB1, PC4 ~ PC7, PH0 ~ PH3の合計		-40		
	全出力端子の総和		-80		

表 2.17 出力許容電流値(2)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	max	単位	
Low レベル出力許容電流 (1端子あたりの平均値)	P36, P37	I_{OL}	4.0	mA	
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Low レベル出力許容電流 (1端子あたりの最大値)	P36, P37		4.0		
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
Low レベル出力許容電流	P14 ~ P17, P26, P27, P30, P31, P36, P37 の合計	ΣI_{OL}	30		
	PB0, PB1, PC4 ~ PC7, PH0 ~ PH3 の合計		30		
	全出力端子の総和		60		
High レベル出力許容電流 (1端子あたりの平均値)	P36, P37	I_{OH}	-4.0		
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
High レベル出力許容電流 (1端子あたりの最大値)	P36, P37		-4.0		
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
High レベル出力許容電流	P14 ~ P17, P26, P27, P30, P31, P36, P37 の合計	ΣI_{OH}	-30		
	PB0, PB1, PC4 ~ PC7, PH0 ~ PH3 の合計		-30		
	全出力端子の総和		-60		

表 2.18 出力電圧値(1)

条件 : $1.8V \leq VCC = AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子	通常出力時	V_{OL}	—	0.3	V	$I_{OL} = 0.5mA$
		高駆動出力時		—	0.3		$I_{OL} = 1.0mA$
High レベル 出力電圧	全出力端子	通常出力時	V_{OH}	$VCC - 0.3$	—	V	$I_{OH} = -0.5mA$
		高駆動出力時		$VCC - 0.3$	—		$I_{OH} = -1.0mA$

表 2.19 出力電圧値(2)

条件 : $2.7V \leq VCC = AVCC0 < 4.0V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子 (RIIC端子以外)	通常出力時	V_{OL}	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC端子	通常出力時		—	0.4		$I_{OL} = 3.0mA$
		高駆動出力時		—	0.6		$I_{OL} = 6.0mA$
High レベル 出力電圧	全出力端子	通常出力時	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時		$VCC - 0.5$	—		$I_{OH} = -2.0mA$

表 2.20 出力電圧値 (3)

条件 : $4.0V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子 (RIIC 端子以外)	通常出力時	V_{OL}	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC 端子	通常出力時		—	0.4		$I_{OL} = 3.0mA$
		高駆動出力時		—	0.6		$I_{OL} = 6.0mA$
High レベル 出力電圧	全出力端子	通常出力時	V_{OH}	$VCC - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時		$VCC - 0.8$	—		$I_{OH} = -4.0mA$

表 2.21 熱抵抗値 (参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	48ピンLFQFP (PLQP0048KB-B)	θ_{ja}	50.7	$^\circ C/W$	JESD51-2および JESD51-7 準拠
	40ピンHWQFN (PWQN0040KC-A)		18.8		
	48ピンLFQFP (PLQP0048KB-B)	Ψ_{jt}	1.07	$^\circ C/W$	
	40ピンHWQFN (PWQN0040KC-A)		0.07		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

2.3.1 標準 I/O 端子出力特性 (1)

図 2.22 ~ 図 2.26 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

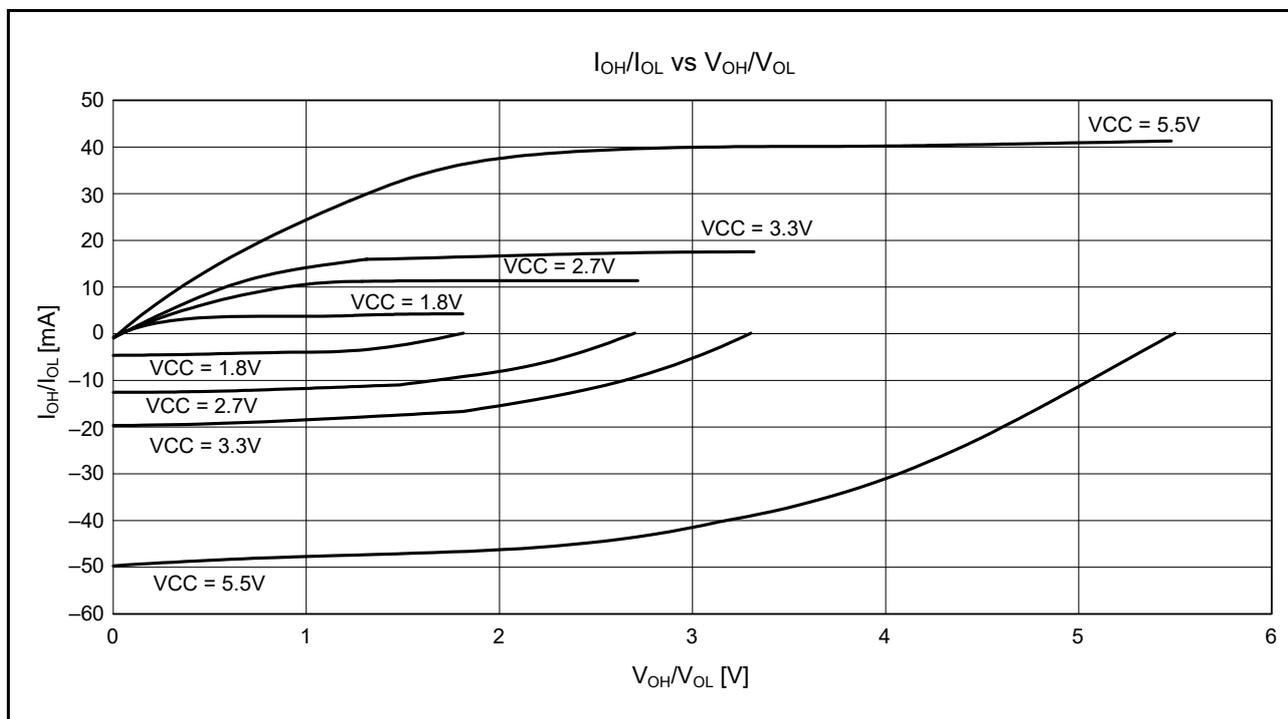


図 2.22 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

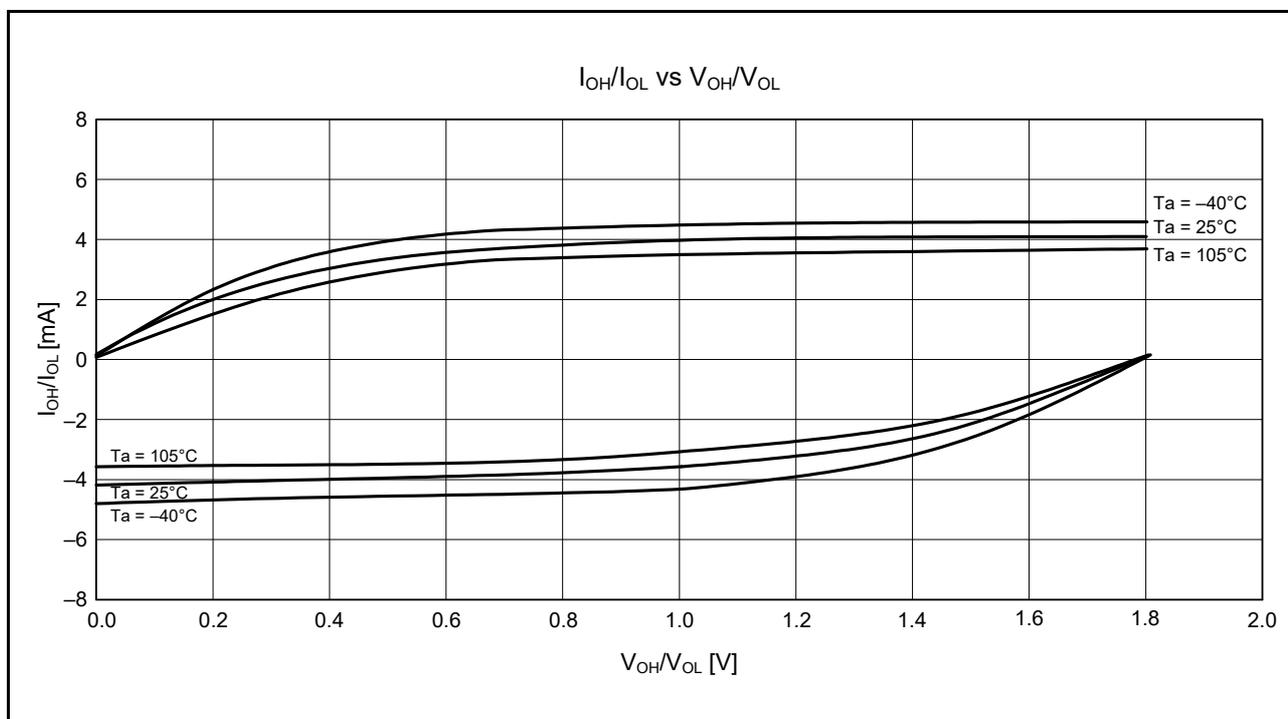


図 2.23 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

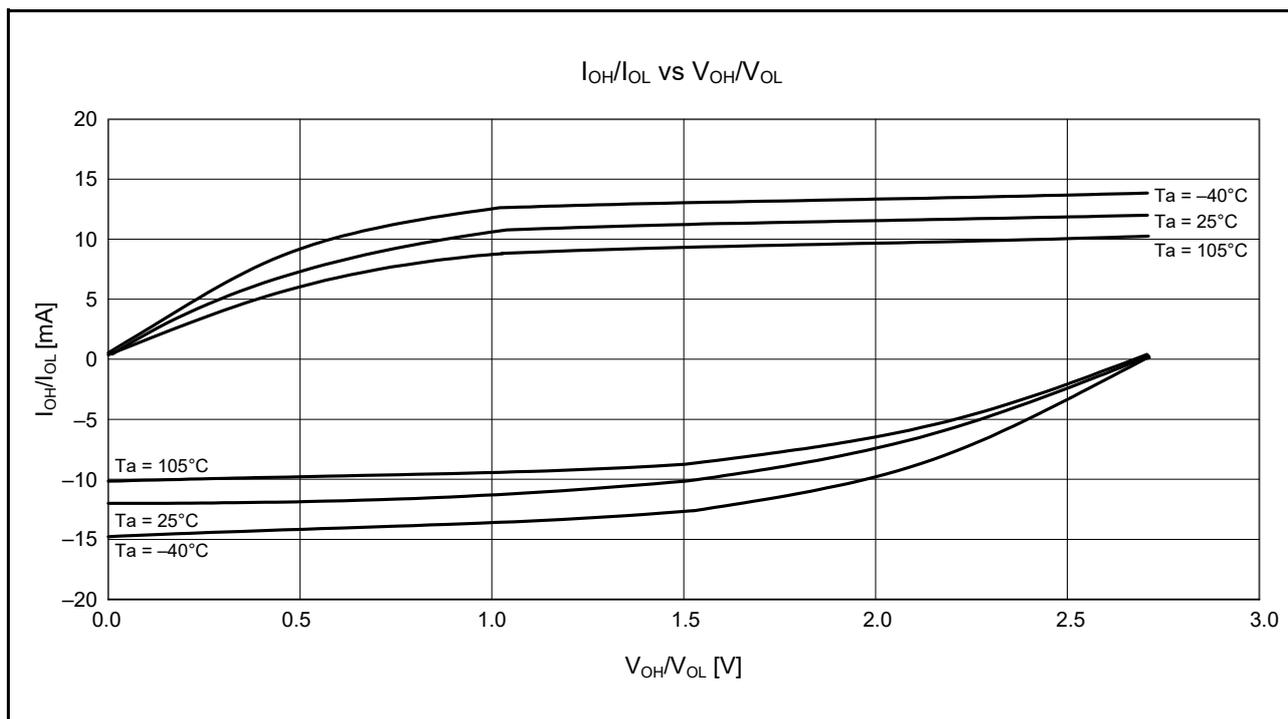


図 2.24 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

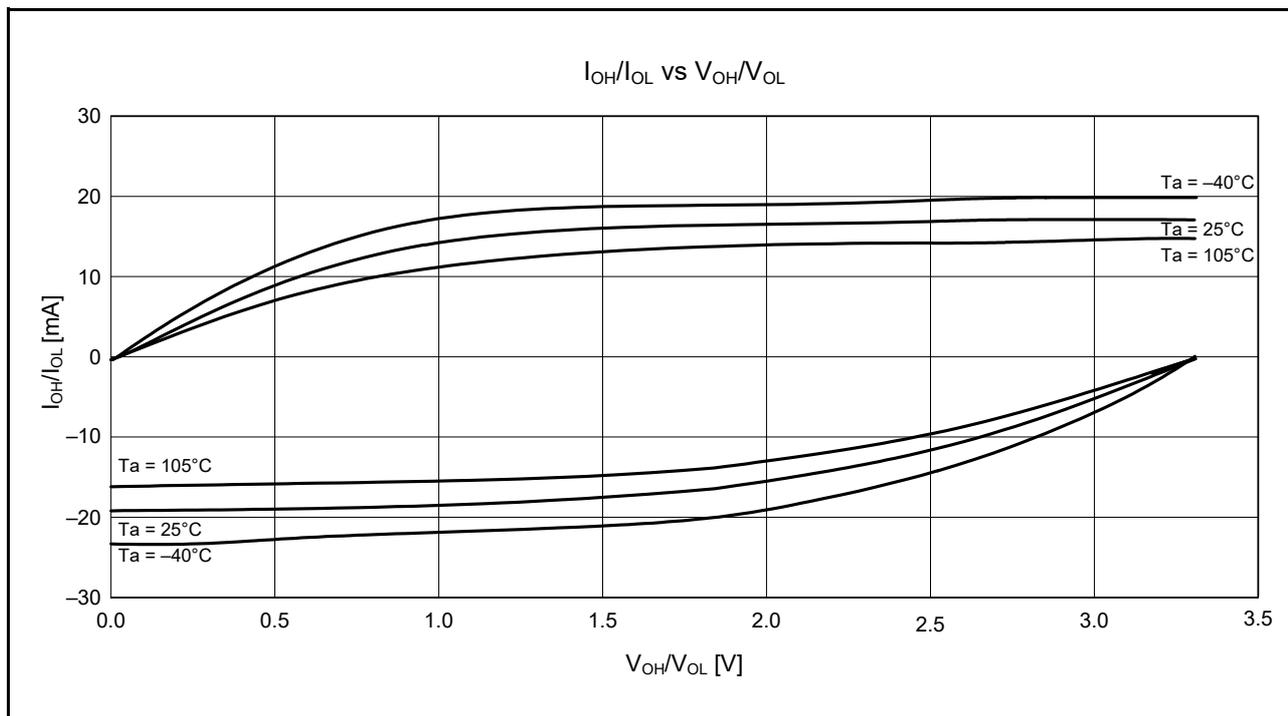


図 2.25 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

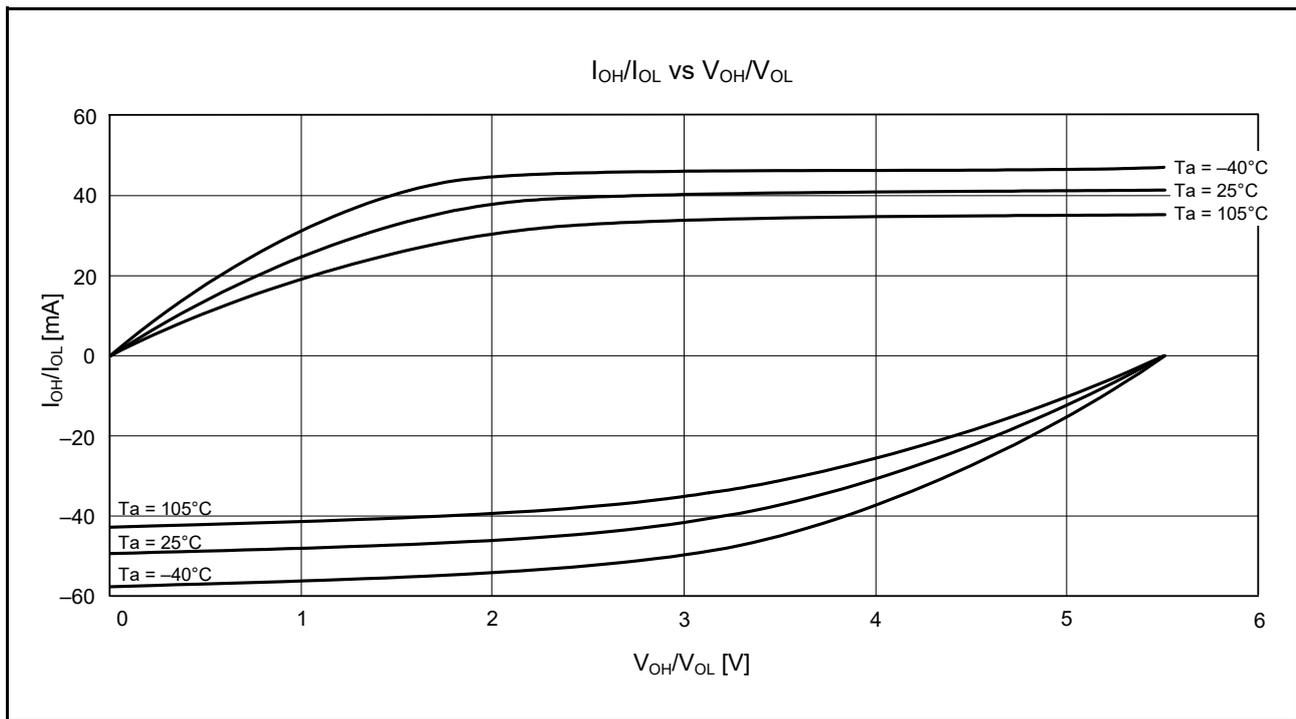


図 2.26 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 5.5V (参考データ)

2.3.2 標準 I/O 端子出力特性 (2)

図 2.27 ~ 図 2.31 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

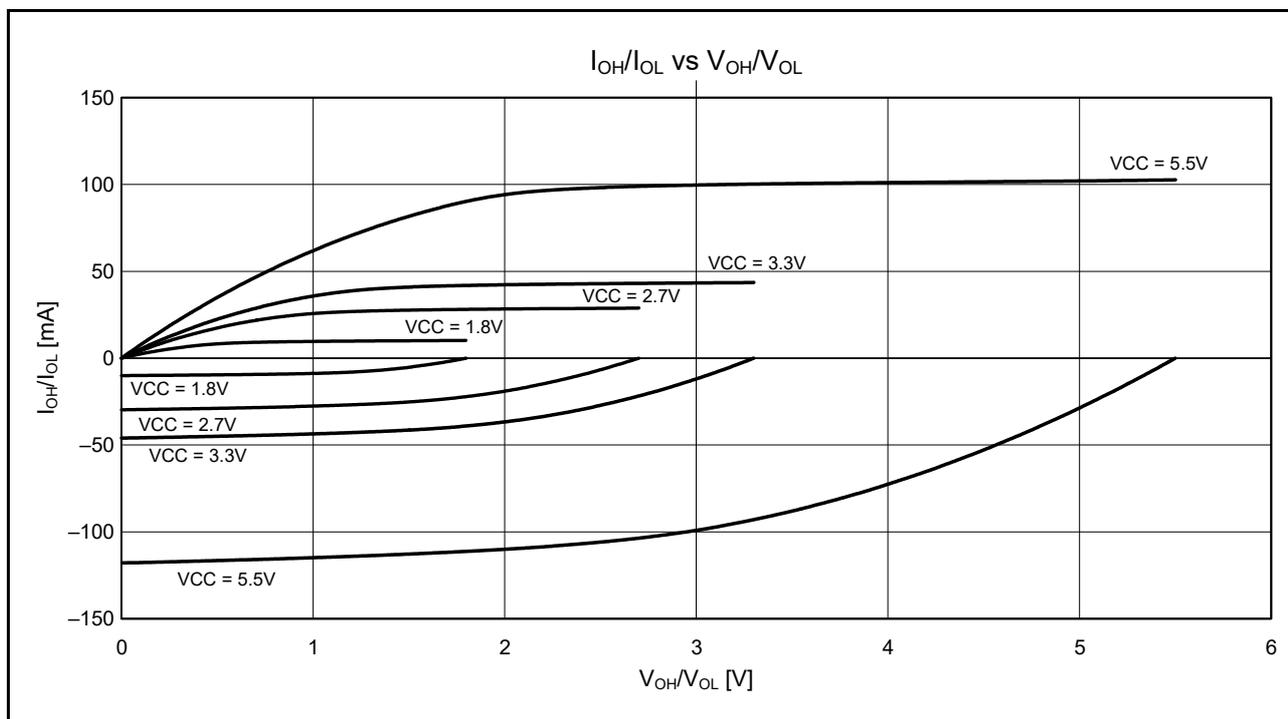


図 2.27 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

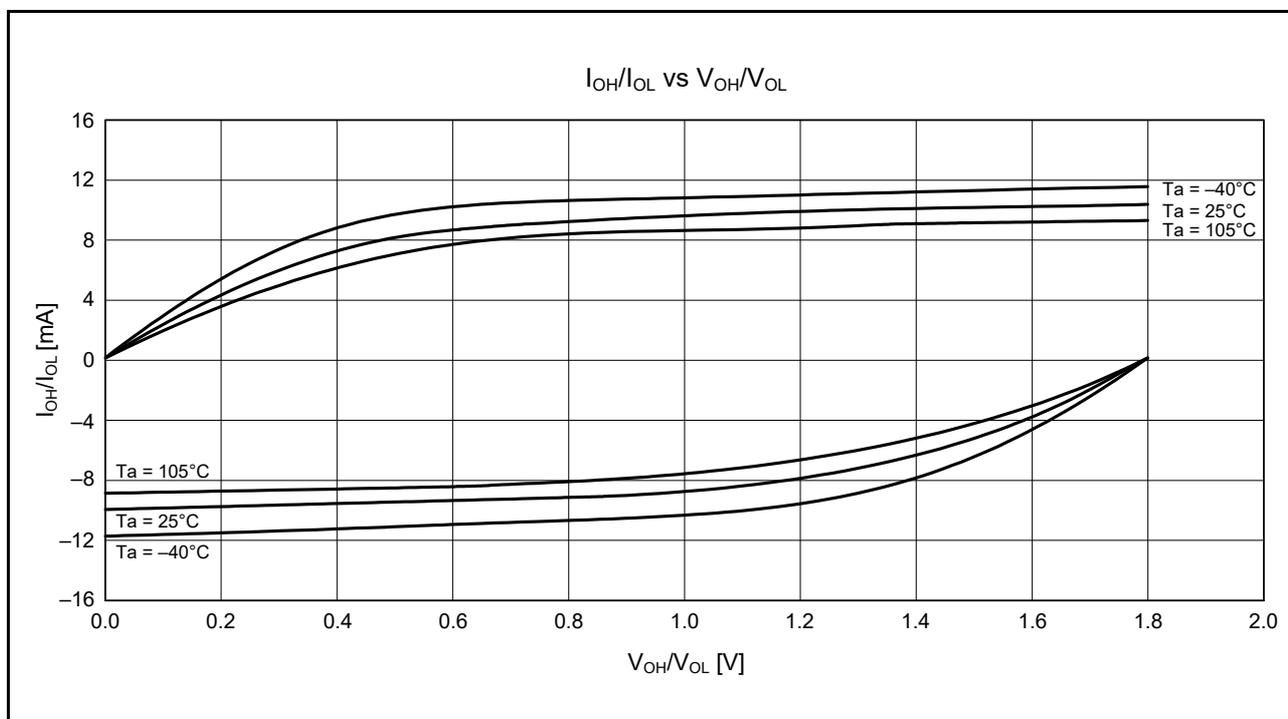


図 2.28 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8V$ (参考データ)

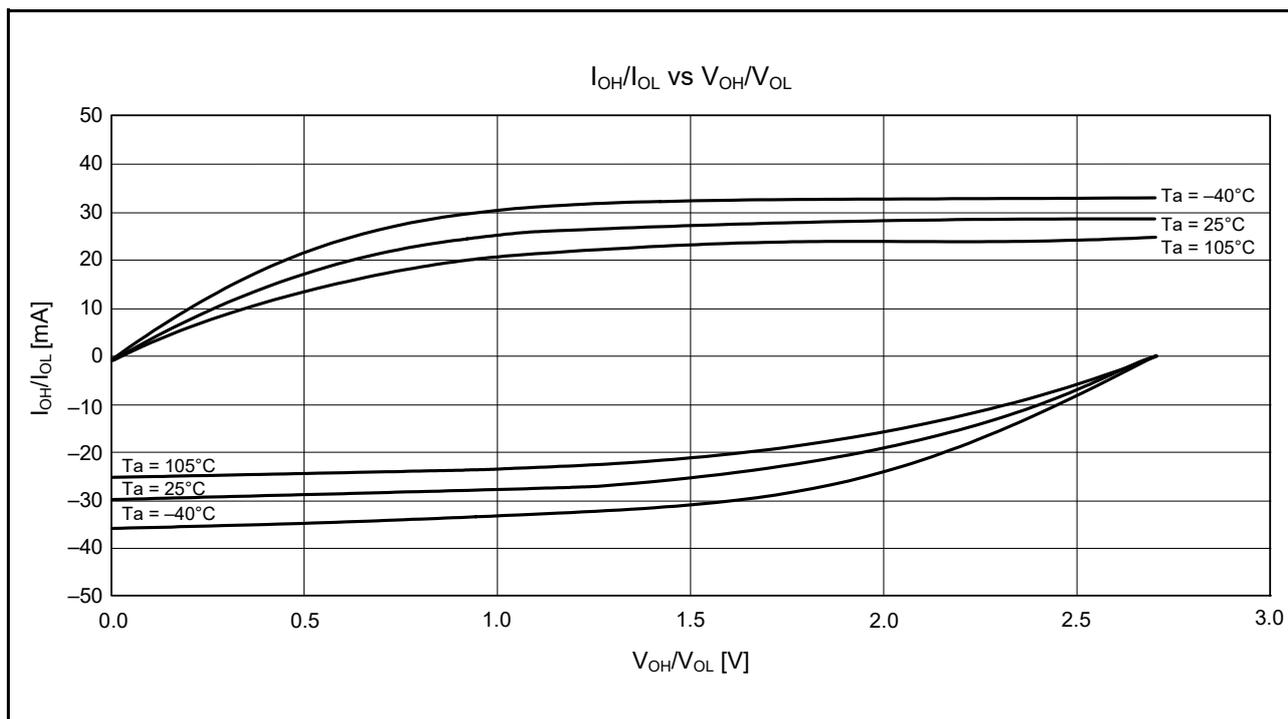


図 2.29 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

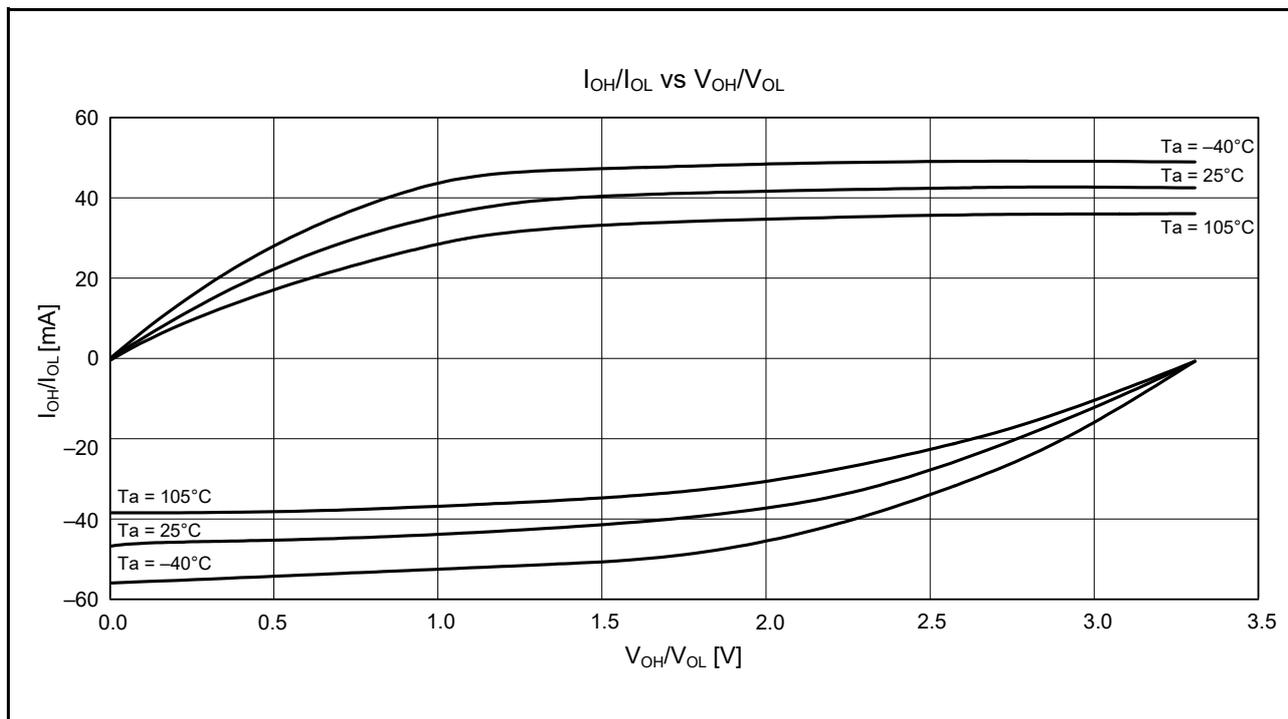


図 2.30 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

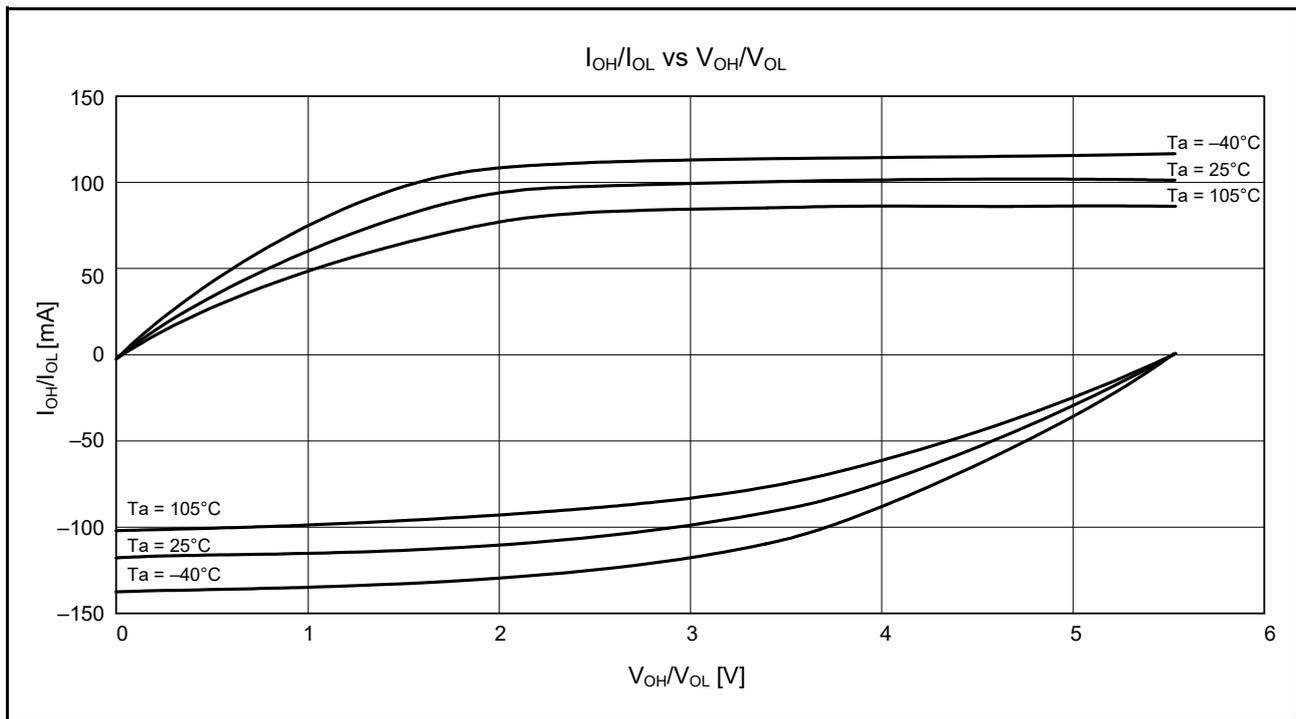


図 2.31 高駆動出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

2.3.3 標準 I/O 端子出力特性 (3)

図 2.32 ~ 図 2.35 に RIIC 出力端子の特性を示します。

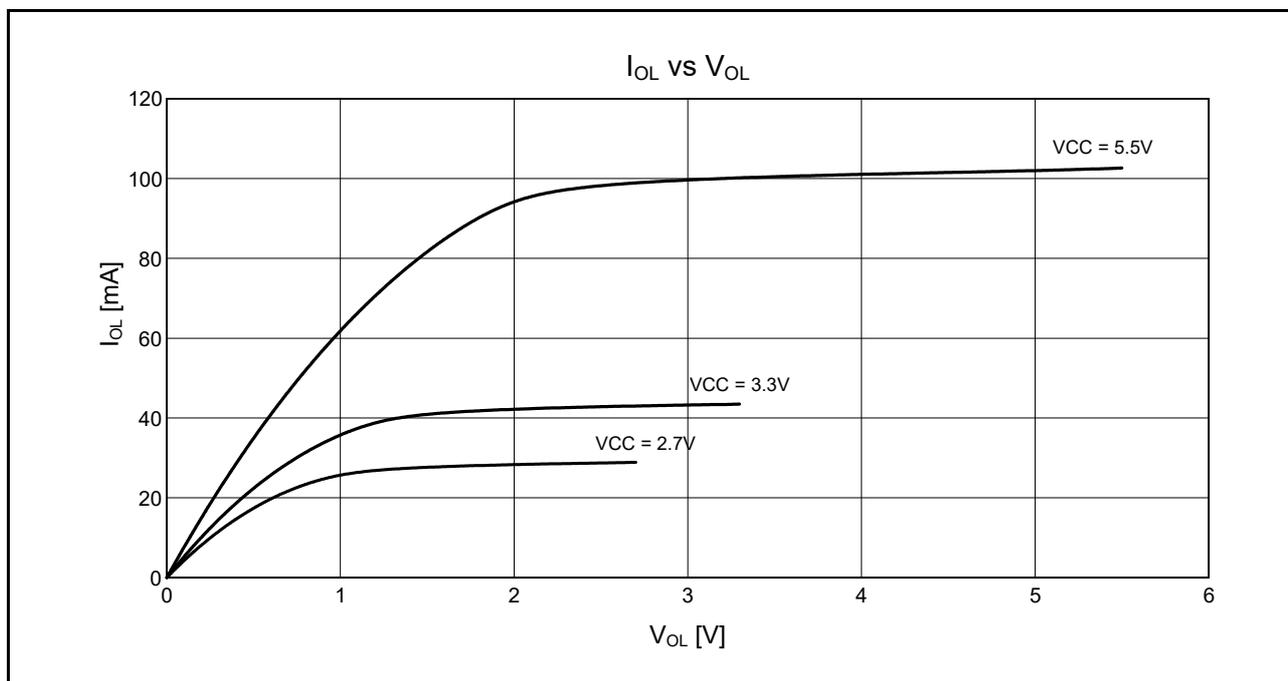


図 2.32 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ C$ (参考データ)

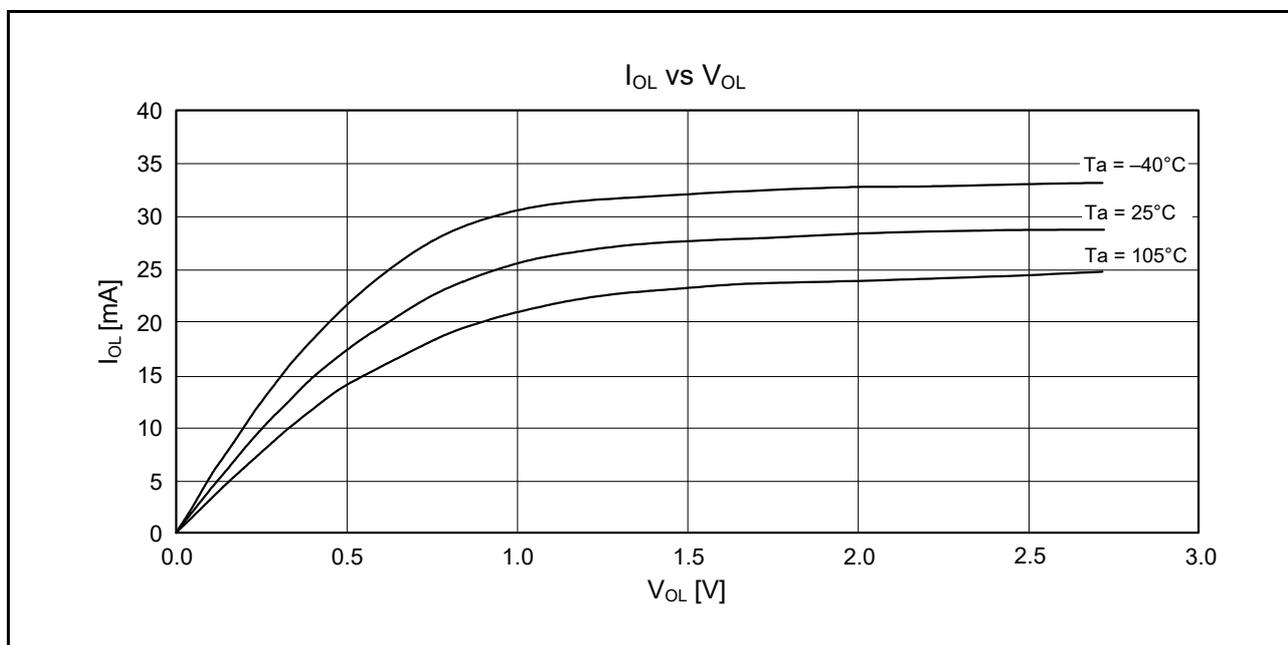


図 2.33 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

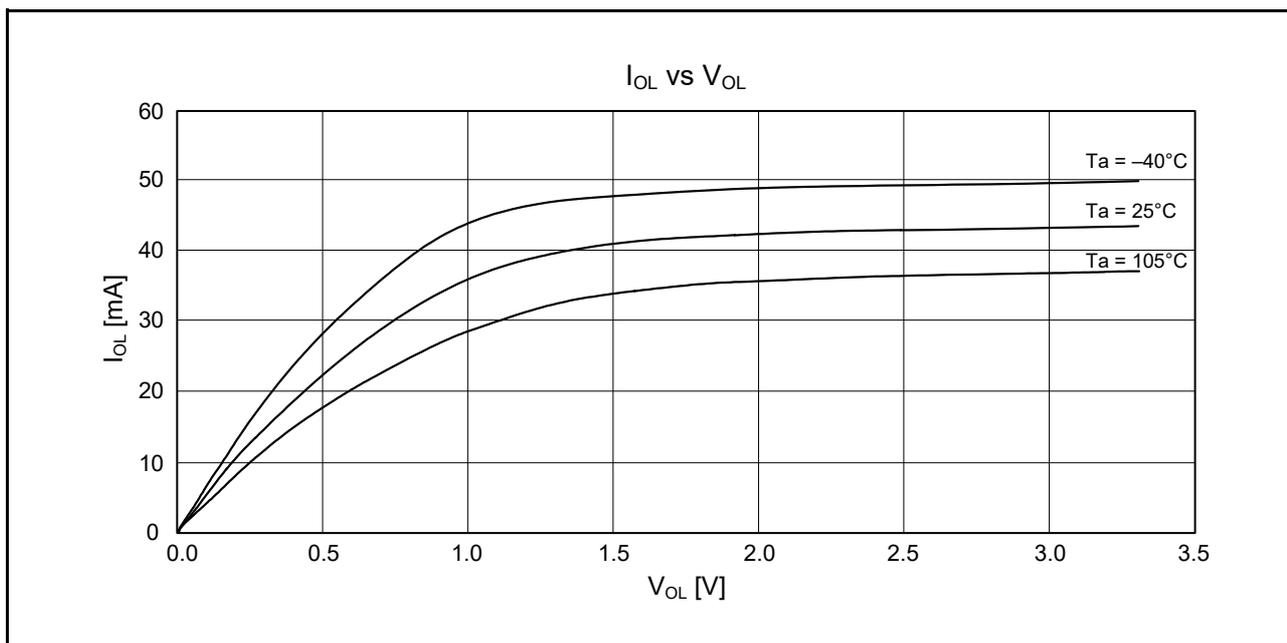


図 2.34 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 VCC = 3.3V (参考データ)

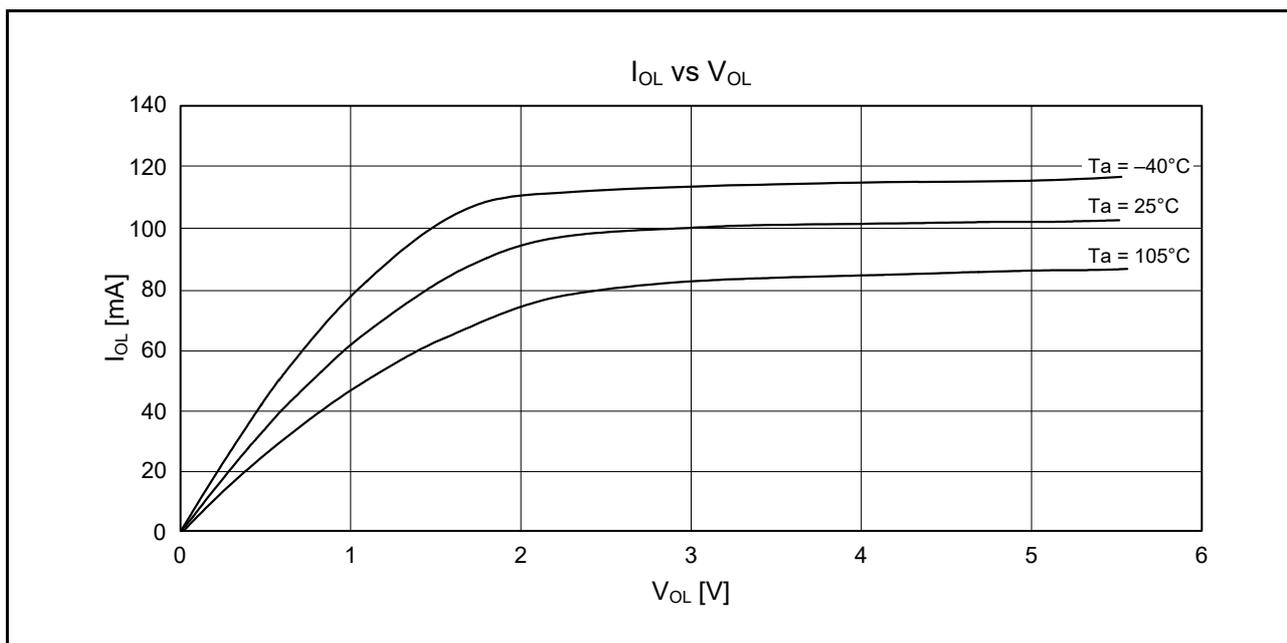


図 2.35 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 VCC = 5.5V (参考データ)

2.4 AC 特性

2.4.1 クロックタイミング

表 2.22 動作周波数 (高速動作モード)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC			単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$		
最高動作周波数 (注3)	システムクロック (ICLK)	f_{max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	
	周辺モジュールクロック (PCLKA)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD)		8	16	32	

注1. フラッシュメモリのプログラム/イレーズを行う場合、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

注3. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表 2.24 クロックタイミング」を参照してください。

表 2.23 動作周波数 (中速動作モード)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC			単位	
		$1.8V \leq VCC < 2.4V$	$2.4V \leq VCC < 2.7V$	$2.7V \leq VCC \leq 5.5V$		
最高動作周波数 (注3)	システムクロック (ICLK)	f_{max}	8	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	
	周辺モジュールクロック (PCLKA)		8	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	
	周辺モジュールクロック (PCLKD)		8	12	12	

注1. フラッシュメモリのプログラム/イレーズを行う場合、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

注3. 記載している最高動作周波数には、外部発振子や内蔵オシレータの誤差を含めず表記しています。動作保証範囲については、「表 2.24 クロックタイミング」を参照してください。

表2.24 クロックタイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t_{xcyc}	50	—	—	ns	図2.36	
EXTAL外部クロック入力Highレベルパルス幅	t_{xH}	20	—	—	ns		
EXTAL外部クロック入力Lowレベルパルス幅	t_{xL}	20	—	—	ns		
EXTAL外部クロック立ち上がり時間	t_{xr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t_{xf}	—	—	5	ns		
EXTAL外部クロック入力待機時間(注1)	t_{xWT}	0.5	—	—	μs	図2.37	
メインクロック発振器発振周波数(注2)	f_{MAIN}	$2.4 \leq VCC \leq 5.5$	1	—	20		MHz
		$1.8 \leq VCC < 2.4$	1	—	8		
メインクロック発振安定時間(水晶振動子)(注2)	$t_{MAINOSC}$	—	3	—	ms	図2.37	
メインクロック発振安定時間(セラミック共振子)(注2)	$t_{MAINOSC}$	—	50	—	μs		
LOCOクロック発振周波数	f_{LOCO}	3.44	4.00	4.56	MHz	図2.38	
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs		
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15.00	17.25	kHz	図2.39	
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μs		
HOCOクロック発振周波数	f_{HOCO}		31.52	32.00	32.48	MHz	$T_a = -40 \sim +85^\circ C$
			31.68	32.00	32.32		$T_a = -20 \sim +85^\circ C$
			31.36	32.00	32.64		$T_a = -40 \sim +105^\circ C$
HOCOクロック発振安定時間	t_{HOCO}	—	—	41.3	μs	図2.41	
PLL入力周波数(注3)	f_{PLLIN}	4	—	8	MHz	図2.42	
PLL回路発振周波数(注3)	f_{PLL}	24	—	32	MHz		
PLLクロック発振安定時間	t_{PLL}	—	—	74.4	μs		
PLL自動発振周波数	f_{PLLFR}	—	8	—	MHz		

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

注3. PLLを使用する場合、VCCは2.4~5.5Vにしてください。

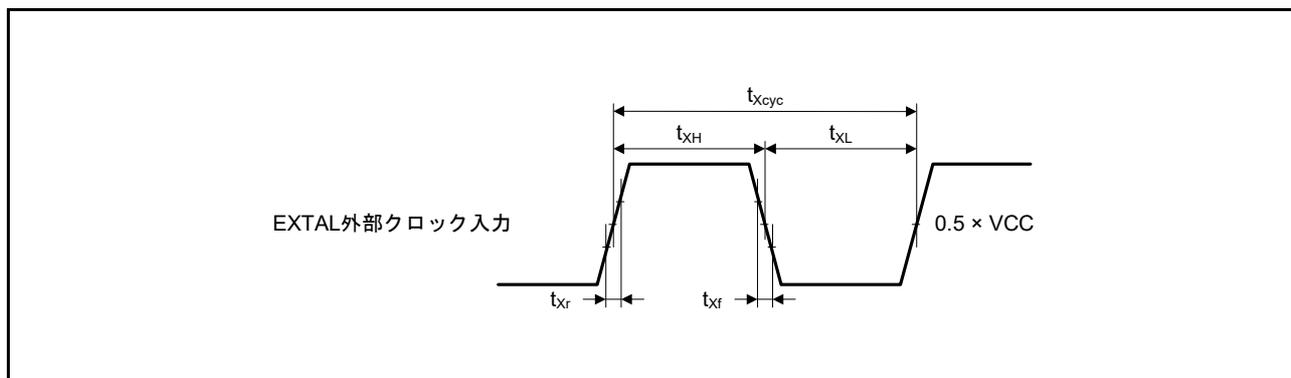


図 2.36 EXTAL 外部クロック入力タイミング

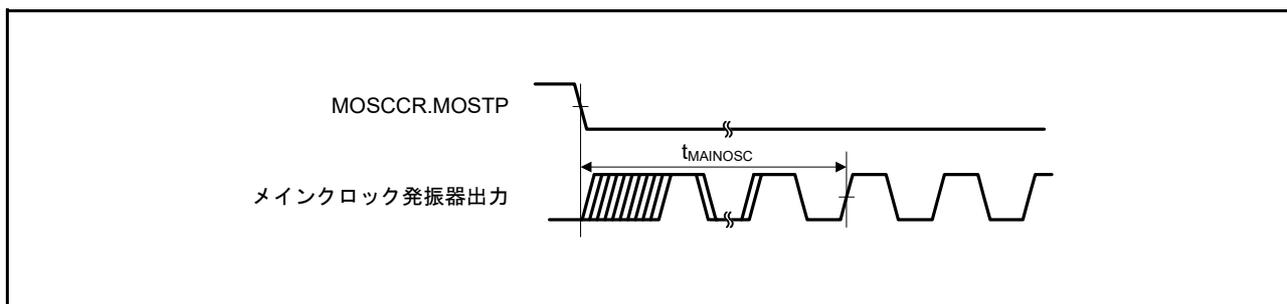


図 2.37 メインクロック発振開始タイミング

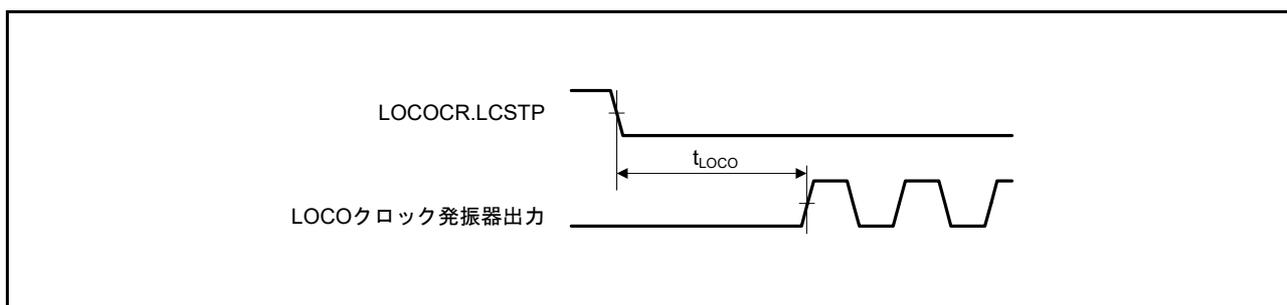


図 2.38 LOCO クロック発振開始タイミング

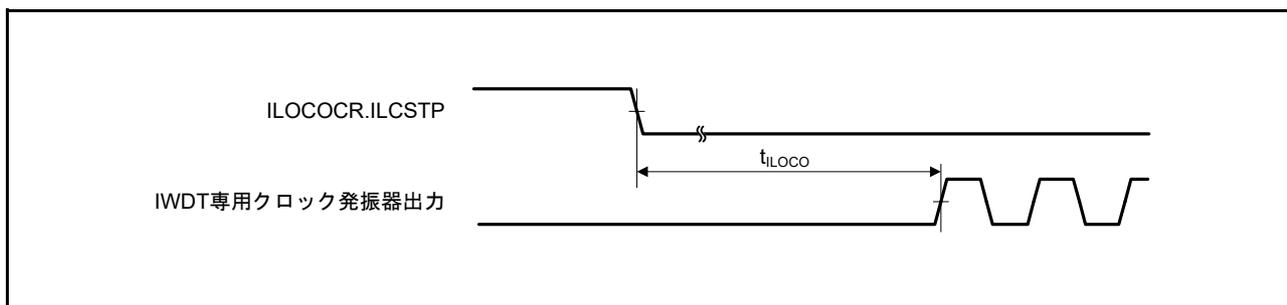


図 2.39 IWDW 専用クロック発振開始タイミング

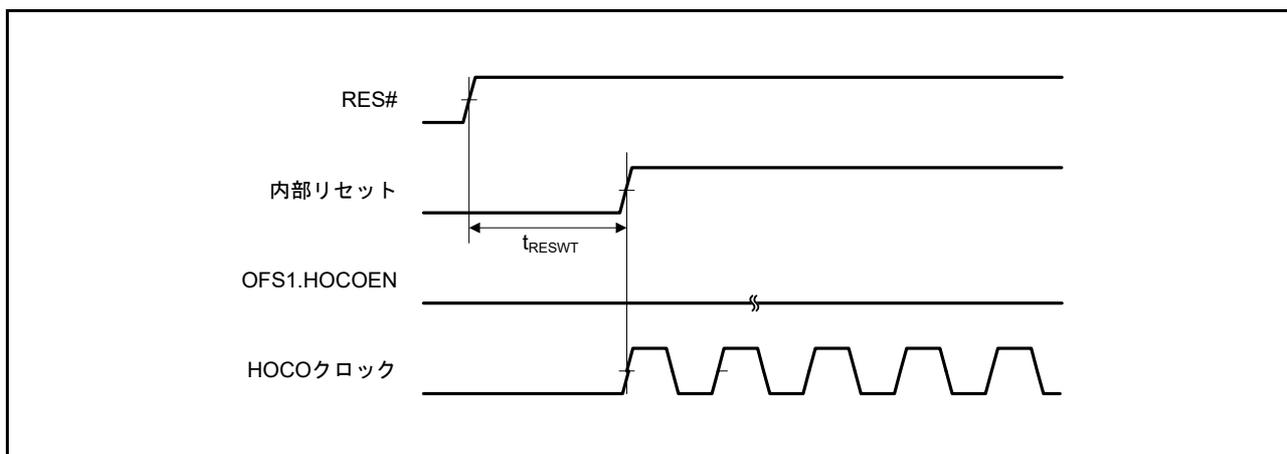


図 2.40 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

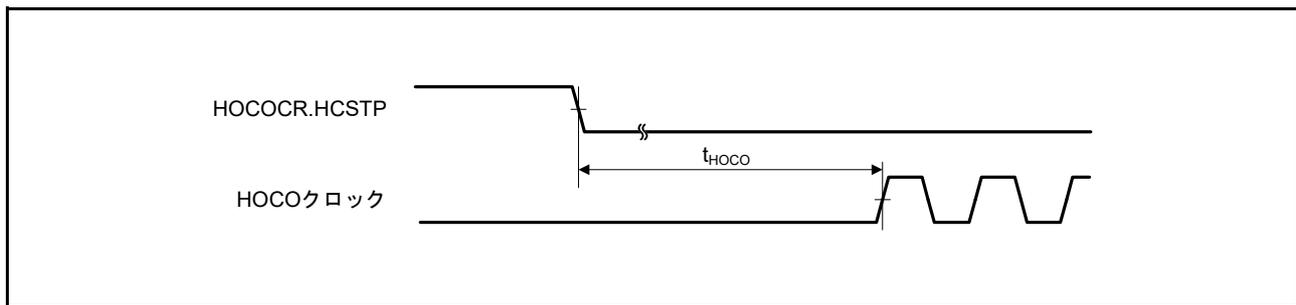


図 2.41 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

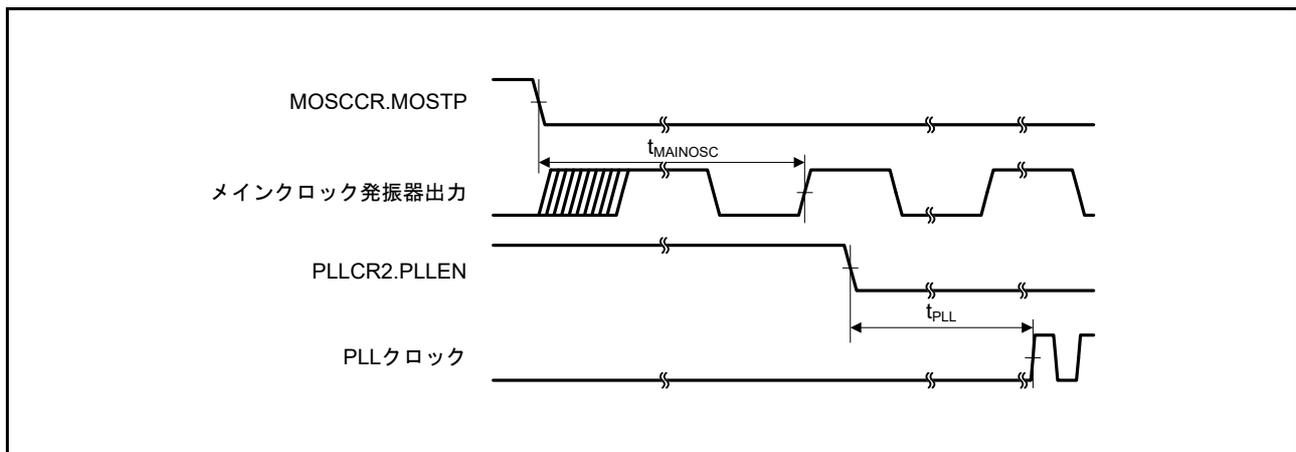


図 2.42 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

2.4.2 リセットタイミング

表2.25 リセットタイミング

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図2.43
	上記以外	t _{RESW}	30	—	—	μs	図2.44
RES#解除後待機時間 (電源投入時)	通常起動時(注1)	t _{RESWT}	—	8.5	—	ms	図2.43
	起動時間短縮時(注2)	t _{RESWT}	—	650	—	μs	
RES#解除後待機時間(ウォームスタート時)		t _{RESWT}	—	310	—	μs	図2.44
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図2.45
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間(注3)		t _{RESWT2}	—	350	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESWT2}	—	220	—	μs	

注1. OFS1.LVDASビット = 1、OFS1.FASTSTUPビット = 1の場合です。

注2. OFS1.LVDASビット、OFS1.FASTSTUPビットのいずれか、または両方が“0”の場合です。

注3. IWDCR.CKS[3:0]ビット = 0000bを設定した場合です。

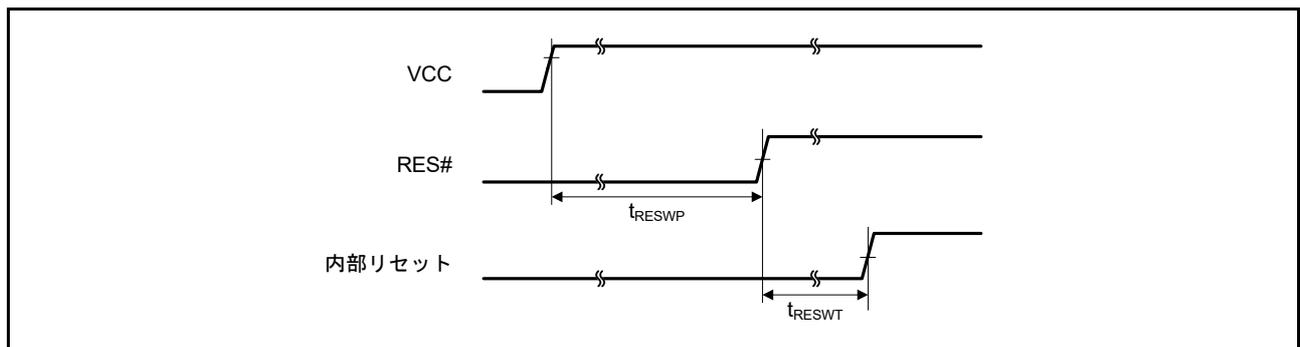


図2.43 電源投入時リセット入カタイミング

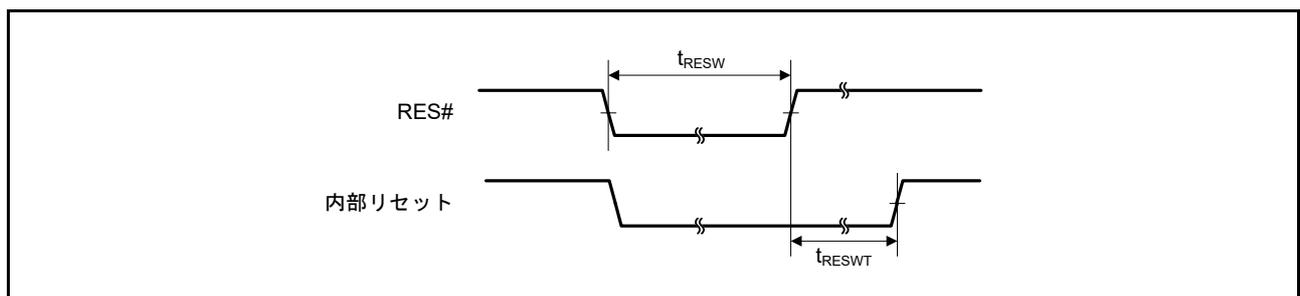


図2.44 リセット入カタイミング (1)

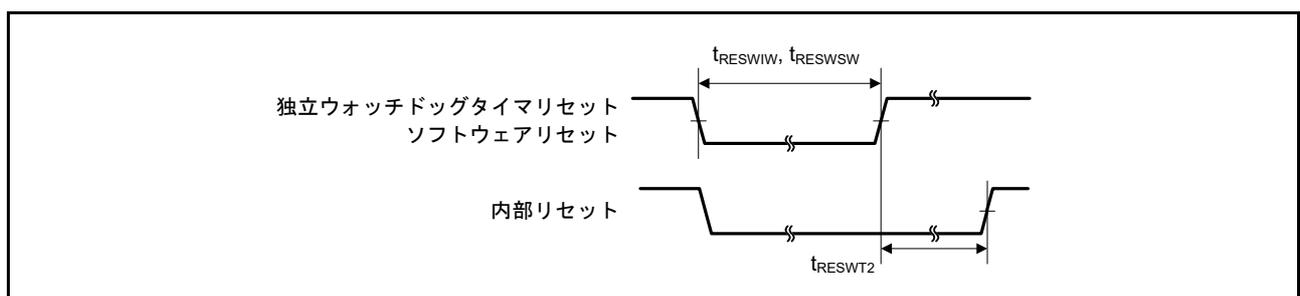


図2.45 リセット入カタイミング (2)

2.4.3 低消費電力状態からの復帰タイミング

表2.26 低消費電力状態からの復帰タイミング(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェア スタンバイ モード解除後 復帰時間(注1)	高速モード	メインクロック 発振器に水晶振 動子を接続	メインクロック発振器 動作(注2)	t _{SBYMC}	—	2	3	ms	図2.46
		メインクロック 発振器に外部ク ロックを入力	メインクロック発振器 動作(注3)	t _{SBYEX}	—	35	50	μs	
		HOCOクロック動作		t _{SBYHO}	—	40	55	μs	
		LOCOクロック動作		t _{SBYLO}	—	40	55	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

表2.27 低消費電力状態からの復帰タイミング(2)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェア スタンバイ モード解除後 復帰時間(注1)	中速モード	メインクロック 発振器に水晶振 動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図2.46
			メインクロック発振器、 PLL回路動作(注3)	t _{SBYPC}	—	2	3	ms	
		メインクロック 発振器に外部ク ロックを入力	メインクロック発振器動作 (注4)	t _{SBYEX}	—	3	4	μs	
			メインクロック発振器、 PLL回路動作(注5)	t _{SBYPE}	—	65	85	μs	
		HOCOクロック動作(注6)		t _{SBYHO}	—	40	50	μs	
		LOCOクロック動作		t _{SBYLO}	—	5	7	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注3. システムクロックにPLLを選択し12MHzとなるように分周設定した場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“04h”を設定した場合です。

注4. 外部クロックの周波数が12MHzの場合です。
メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。

注5. システムクロックにPLLを選択し12MHzとなるように分周設定した場合です。

注6. メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)に“00h”を設定した場合です。
システムクロックにHOCOを選択し8MHzとなるように分周設定した場合です。

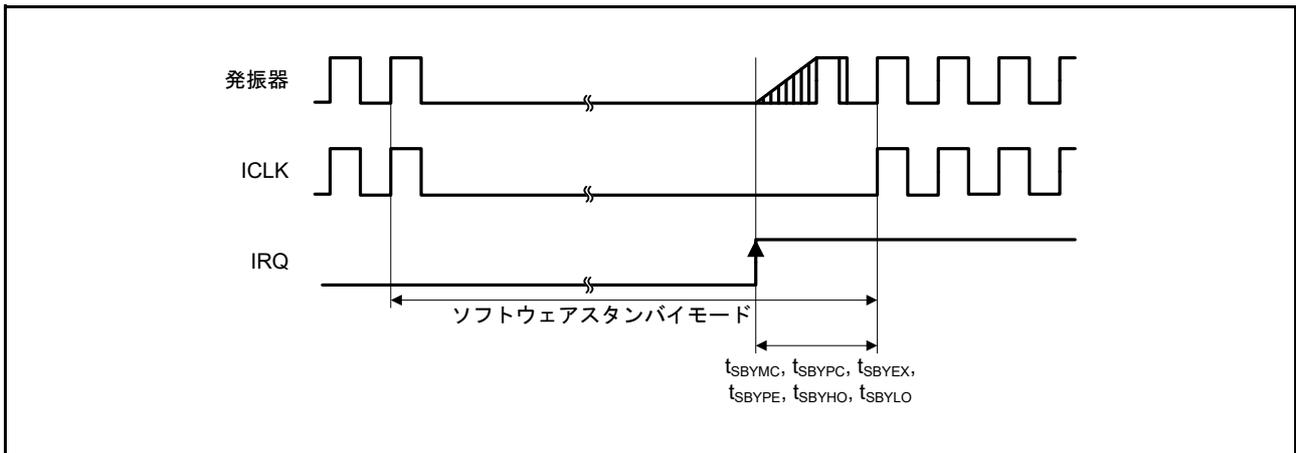


図 2.46 ソフトウェアスタンバイモード復帰タイミング

表 2.28 低消費電力状態からの復帰タイミング(3)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速モード(注2)	t_{DSLPL}	—	2.0	3.5	μs
	中速モード(注3)	t_{DSLPL}	—	3.0	4.0	μs

- 注1. ディープスリープモードでは発振器は発振を継続します。
- 注2. システムクロック周波数が32MHzの場合です。
- 注3. システムクロック周波数が12MHzの場合です。

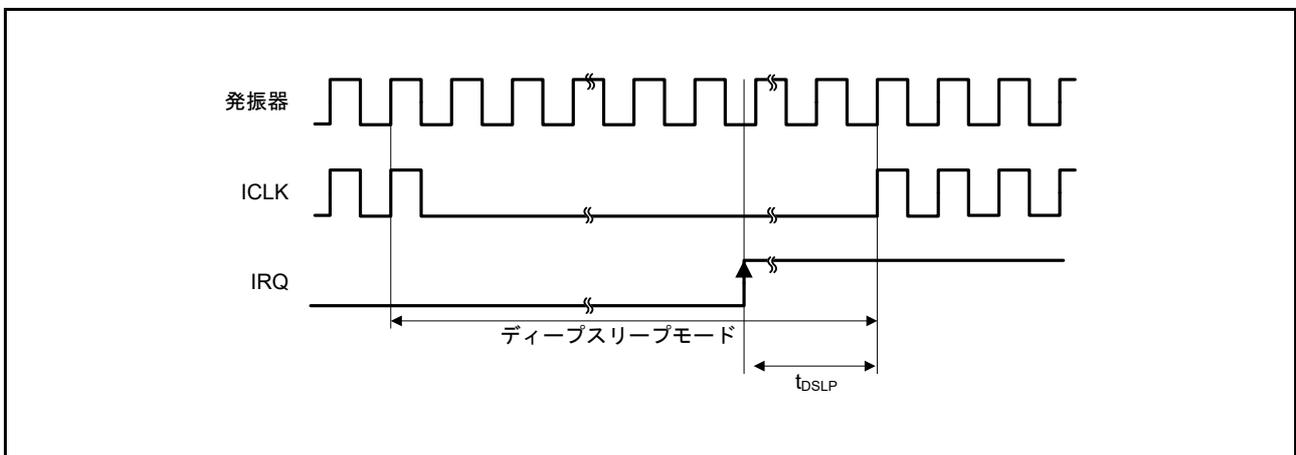


図 2.47 ディープスリープモード解除タイミング

表 2.29 動作モード遷移時間

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10.0	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs

注. PCLKA、PCLKB、PCLKD、FCLKを分周していない設定時の値です。

2.4.4 制御信号タイミング

表 2.30 制御信号タイミング

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$2 \times t_{Pcyc} \leq 200ns$
		$2 \times t_{Pcyc}$ (注 1)	—	—			$2 \times t_{Pcyc} > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$3 \times t_{NMICK} \leq 200ns$
		$3.5 \times t_{NMICK}$ (注 2)	—	—			$3 \times t_{NMICK} > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$2 \times t_{Pcyc} \leq 200ns$
		$2 \times t_{Pcyc}$ (注 1)	—	—			$2 \times t_{Pcyc} > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$3 \times t_{IRQCK} \leq 200ns$
		$3.5 \times t_{IRQCK}$ (注 3)	—	—			$3 \times t_{IRQCK} > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

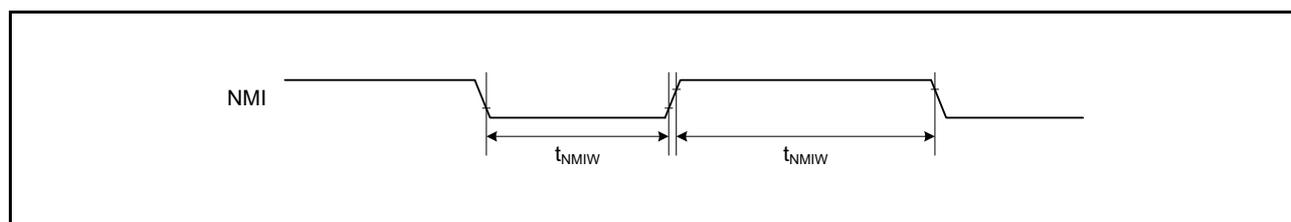
注1. t_{Pcyc} はPCLKBの周期を指します。注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期を指します。

図 2.48 NMI 割り込み入力タイミング

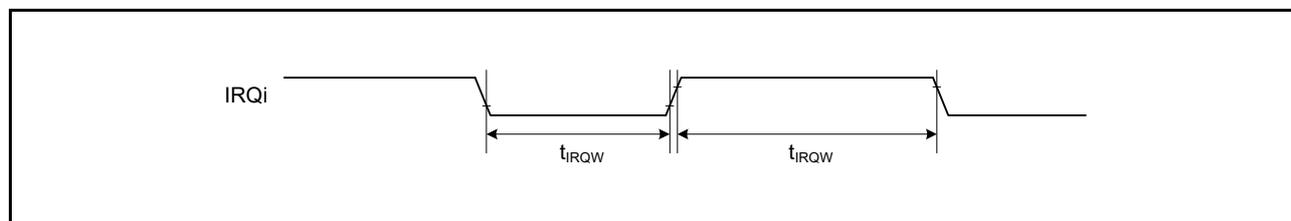


図 2.49 IRQ 割り込み入力タイミング

2.4.5 内蔵周辺モジュールタイミング

表2.31 内蔵周辺モジュールタイミング(1)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位(注1)	測定条件	
I/Oポート	入カデータパルス幅	t _{PRW}	1.5	—	—	t _{Pcyc}	図2.50	
MTU	インプットキャプチャ入力パルス幅	単エッジ指定	t _{TICW}	1.5	—	—	t _{Pcyc}	図2.51
		両エッジ指定		2.5	—	—		
	インプットチャプチャ入力立ち上がり/立ち下がり時間		t _{TICr} , t _{TICf}	—	—	0.1	μs/V	
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} , t _{TCKWL}	1.5	—	—	t _{Pcyc}	図2.52
両エッジ指定			2.5	—	—			
位相計数モード			2.5	—	—			
タイマクロック立ち上がり/立ち下がり時間		t _{TCKr} , t _{TCKf}	—	—	0.1	μs/V		
POE	POE#入力パルス幅		t _{POEW}	1.5	—	—	t _{Pcyc}	図2.53
	POE#立ち上がり/立ち下がり時間		t _{POEr} , t _{POEf}	—	—	0.1	μs/V	
	出カディセーブル時間	POE#端子の変化	t _{POEDI}	—	—	5 PCLKB + 0.24	μs	図2.54 立ち下がりエッジ検出時 (ICSRm.POE _n M[1:0] = 00b (m = 1, 2, n = 0 ~ 3, 8))
		出力端子の短絡	t _{POEDO}	—	—	3 PCLKB + 0.2	μs	
	レジスタ設定		t _{POEDS}	—	—	1 PCLKB + 0.2	μs	図2.56 レジスタアクセス時間は除く
発振停止検出		t _{POEDOS}	—	—	21	μs	図2.57	
TMR	タイマクロックパルス幅	単エッジ指定	t _{TMCWH} , t _{TMCWL}	1.5	—	—	t _{Pcyc}	図2.58
		両エッジ指定		2.5	—	—		
	タイマクロック立ち上がり/立ち下がり時間		t _{TMCr} , t _{TMCf}	—	—	0.1	μs/V	
SCI	入カクロックサイクル時間	調歩同期	t _{Scyc}	4	—	—	t _{Pcyc}	図2.59
		クロック同期		6	—	—		
	入カクロックパルス幅		t _{SCKW}	0.4	—	0.6	t _{Scyc}	
	入カクロック立ち上がり時間		t _{SCKr}	—	—	20	ns	
	入カクロック立ち下がり時間		t _{SCKf}	—	—	20	ns	
	出カクロックサイクル時間	調歩同期	t _{Scyc}	16	—	—	t _{Pcyc}	図2.60
		クロック同期		4	—	—		
	出カクロックパルス幅		t _{SCKW}	0.4	—	0.6	t _{Scyc}	
	出カクロック立ち上がり時間		t _{SCKr}	—	—	20	ns	
	出カクロック立ち下がり時間		t _{SCKf}	—	—	20	ns	
	送信データ遅延時間(マスタ)	クロック同期		t _{TXD}	—	—	40	ns
送信データ遅延時間(スレーブ)		クロック同期	VCC ≥ 2.7V		—	—	65	
	VCC < 2.7V		—	—	100	ns		

項目			記号	min	typ	max	単位 (注1)	測定条件	
SCI	受信データセット アップ時間(マスタ)	クロック同期	t_{RXS}	$VCC \geq 2.7V$	65	—	—	ns	図 2.60
				$VCC < 2.7V$	90	—	—	ns	
	受信データセット アップ時間 (スレーブ)	クロック同期		40	—	—	ns		
	受信データホールド 時間	クロック同期	t_{RXH}	40	—	—	ns		
A/Dコン バータ	トリガ入力パルス幅		t_{TRGW}	1.5	—	—	t_{Pcyc}	図 2.61	
CAC	CACREF 入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	—	ns		
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$	—				
	CACREF 立ち上がり/立ち下がり時間		$t_{CACREFr}, t_{CACREFf}$	—	—	0.1	$\mu s/V$		
CLKOUT	CLKOUT 端子出力サイクル(注4)	$VCC \geq 2.7V$	t_{Cyc}	62.5	—	—	ns	図 2.62	
		$VCC < 2.7V$		125	—				
	CLKOUT 端子 High レベルパルス 幅 (注3)	$VCC \geq 2.7V$	t_{CH}	15	—	—	ns		
		$VCC < 2.7V$		30	—				
	CLKOUT 端子 Low レベルパルス幅 (注3)	$VCC \geq 2.7V$	t_{CL}	15	—	—	ns		
		$VCC < 2.7V$		30	—				
	CLKOUT 端子出力立ち上がり時間	$VCC \geq 2.7V$	t_{Cr}	—	—	12	ns		
		$VCC < 2.7V$		—	—	25			
	CLKOUT 端子出力立ち下がり時間	$VCC \geq 2.7V$	t_{Cf}	—	—	12	ns		
		$VCC < 2.7V$		—	—	25			

注1. t_{Pcyc} : PCLKの周期

注2. t_{cac} : CACカウントクロックソースの周期

注3. クロック出力ソースにLOCO選択(CKOCR.CKOSSEL[2:0]ビット=000b)の場合は、クロック出力分周比選択を2分周(CKOCR.CKODIV[2:0]ビット=001b)に設定してください。

注4. EXTAL外部クロック入力または発振子を使用して1分周(CKOCR.CKOSSEL[2:0]ビット=010bかつCKOCR.CKODIV[2:0]ビット=000b)をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表 2.32 内蔵周辺モジュールタイミング(2)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C, C = 30pF

駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位	測定条件		
RSPI	RSPCKクロック サイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc} (注1)	図2.63		
		スレーブ		6	—				
	RSPCKクロック Highレベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$		—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2$		—			
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	VCC ≥ 2.7V	t _{SPCKr} , t _{SPCKf}	—	10		ns	
			VCC < 2.7V		—	15			
		入力	—	0.1	μs/V				
	データ入力セット アップ時間	マスタ	VCC ≥ 2.7V	t _{SU}	10	—		ns	図2.64 ~ 図 2.67
			VCC < 2.7V		30	—			
		スレーブ	25		—				
	データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t _H	t _{Pcyc}	—		ns	
			RSPCKをPCLKB の2分周に設定	t _{HF}	0	—			
スレーブ		t _H	20	—					
SSLセットアップ 時間	マスタ	t _{LEAD}	-30 + N (注2) × t _{SPcyc}		—	ns			
	スレーブ		6	—	t _{Pcyc}				
SSLホールド時間	マスタ	t _{LAG}	-30 + N (注3) × t _{SPcyc}		—	ns			
	スレーブ		6	—	t _{Pcyc}				
データ出力遅延時間	マスタ	VCC ≥ 2.7V	t _{OD}	—	14	ns			
		VCC < 2.7V		—	30				
	スレーブ	VCC ≥ 2.7V		—	65				
		VCC < 2.7V		—	105				
データ出力ホールド 時間	マスタ	t _{OH}	0	—	ns				
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns				
	スレーブ		6 × t _{Pcyc}	—					
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	VCC ≥ 2.7V	t _{Dr} , t _{Df}	—	10	ns			
		VCC < 2.7V		—	15				
	入力	—		1	μs				
SSL立ち上がり/ 立ち下がり時間	出力	VCC ≥ 2.7V	t _{SSLr} , t _{SSLf}	—	10	ns			
		VCC < 2.7V		—	15				
	入力	—		1	μs				
スレーブアクセス時間	VCC ≥ 2.7V	t _{SA}	—	6	t _{Pcyc}	図2.66、図 2.67			
			VCC < 2.7V	—			7		
スレーブ出力開放時間	VCC ≥ 2.7V	t _{REL}	—	5	t _{Pcyc}				
	VCC < 2.7V		—	6					

注1. t_{Pcyc} : PCLKの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD)にて設定可能な1~8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1~8の整数

表 2.33 内蔵周辺モジュールタイミング(3)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	4	65536	t_{Pcyc}	図 2.63	
	SCKクロックサイクル入力(スレーブ)		6	—	t_{Pcyc}		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	$VCC \geq 2.7V$	t_{SU}	65	—	ns	図 2.64、図 2.65
		$VCC < 2.7V$		95	—		
	データ入力セットアップ時間(スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SSL入力セットアップ時間	t_{LEAD}	3	—	t_{SPcyc}		
	SSL入力ホールド時間	t_{LAG}	3	—	t_{SPcyc}		
	データ出力遅延時間(マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間(スレーブ)		$VCC \geq 2.7V$	—		65	
			$VCC < 2.7V$	—		100	
	データ出力ホールド時間 (マスタ)	$VCC \geq 2.7V$	t_{OH}	-10	—	ns	
		$VCC < 2.7V$		-20	—		
データ出力ホールド時間(スレーブ)	-10	—					
データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	20	ns			
SSL入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{Pcyc}	図 2.66、図 2.67		
スレーブ出力開放時間	t_{REL}	—	6	t_{Pcyc}			

注 1. t_{Pcyc} : PCLKの周期

表 2.34 内蔵周辺モジュールタイミング(4)

条件: $2.7V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 2.68
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 2.68
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFEビット = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0]ビット = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表 2.35 内蔵周辺モジュールタイミング(5)

条件 : $2.7V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
簡易 I ² C (スタンダード モード)	SDA 立ち上がり時間	t_{Sr}	—	1000	ns	図 2.68
	SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	250	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	
簡易 I ² C (ファストモード)	SDA 立ち上がり時間	t_{Sr}	—	300	ns	図 2.68
	SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データセットアップ時間	t_{SDAS}	100	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b	—	400	pF	

注. t_{Pcyc} : PCLK の周期

注 1. C_b はバスラインの容量総計です。

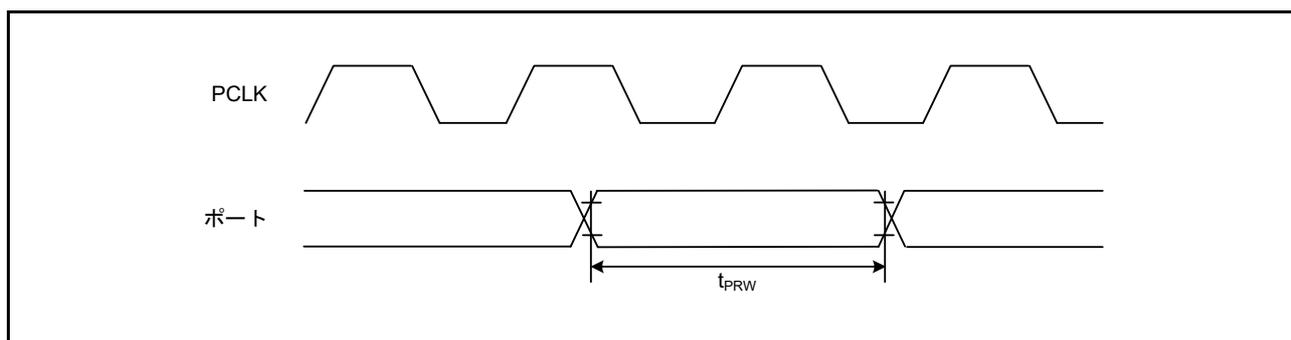


図 2.50 I/O ポート入力タイミング

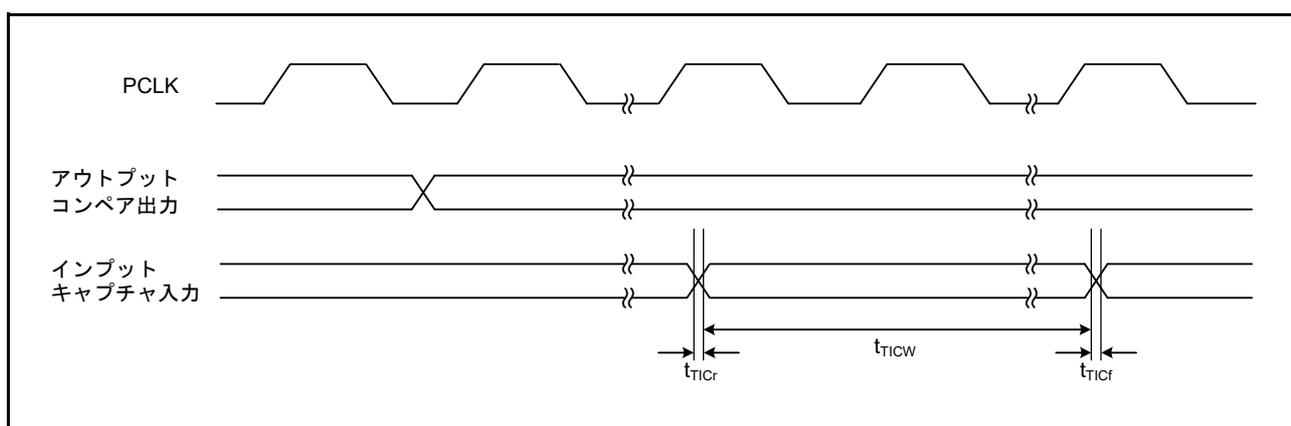


図 2.51 MTU 入出力タイミング

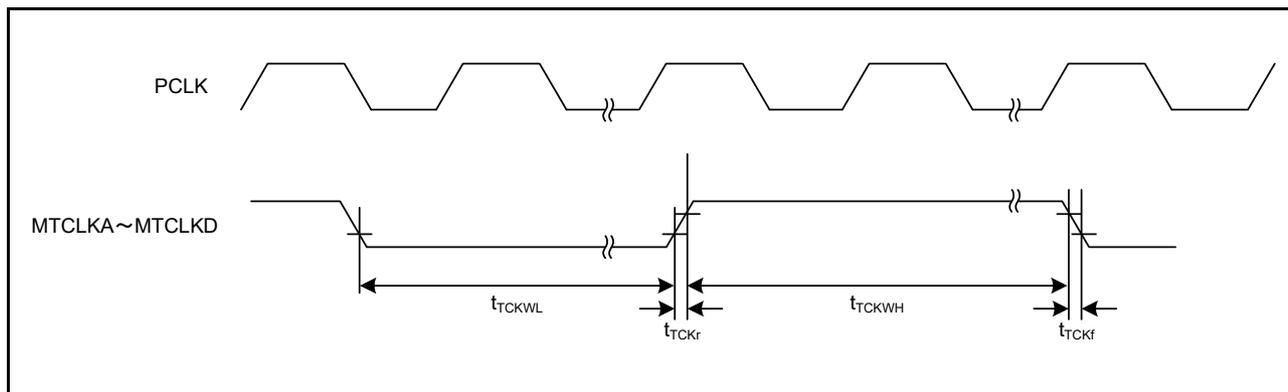


図 2.52 MTU クロック入力タイミング

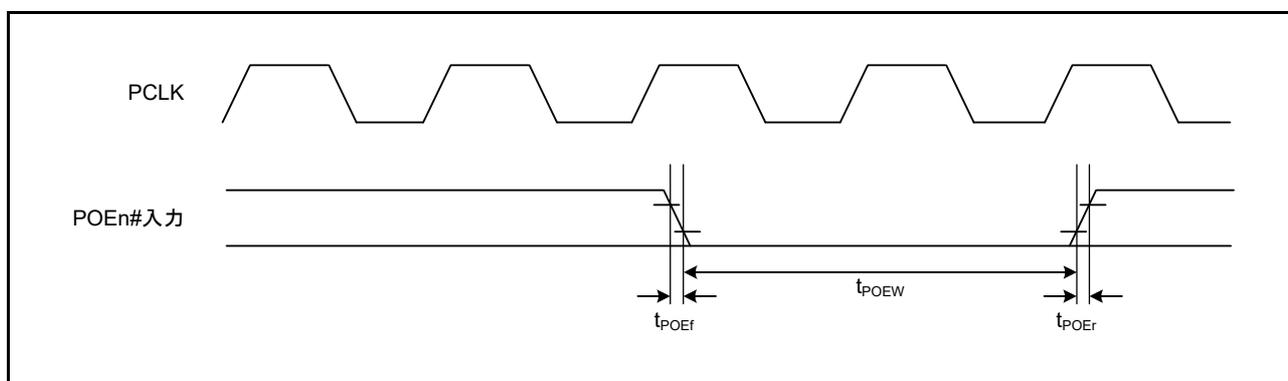


図 2.53 POE 入力タイミング (n = 0 ~ 3, 8)

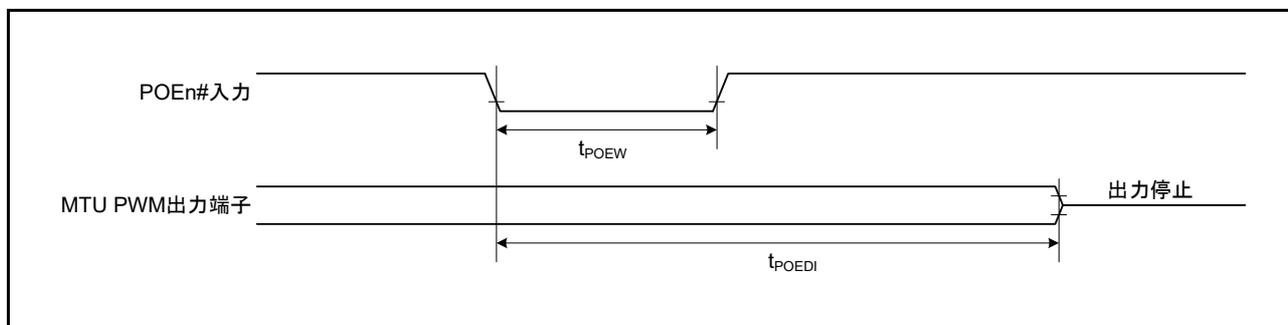
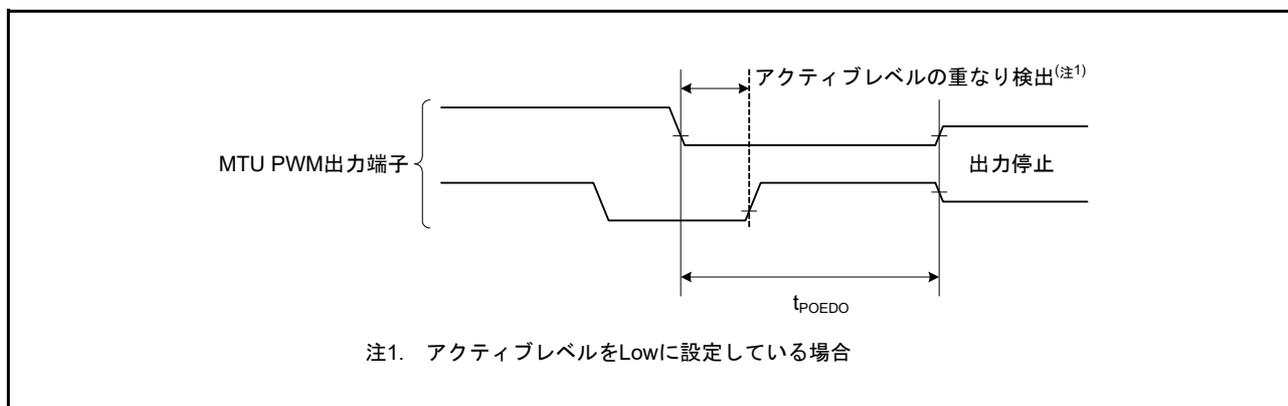


図 2.54 POE 出力ディセーブル時間 (POEn# 端子の変化)



注1. アクティブレベルをLowに設定している場合

図 2.55 POE 出力ディセーブル時間 (出力端子の短絡)

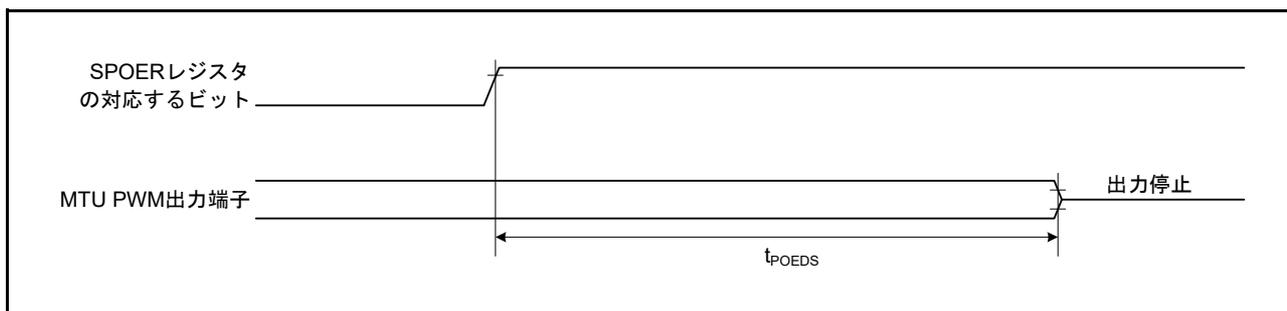


図 2.56 POE 出力ディセーブル時間 (レジスタ設定)

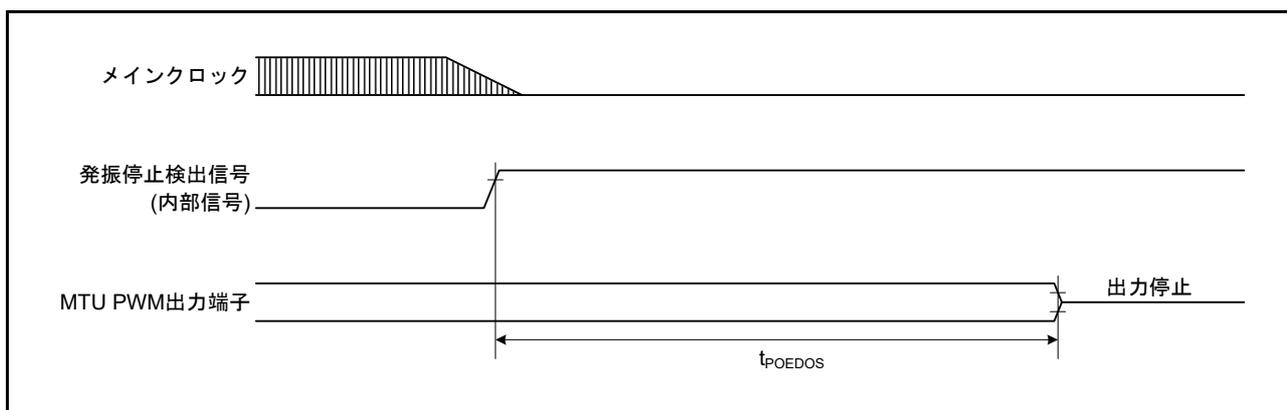


図 2.57 POE 出力ディセーブル時間 (発振停止検出)

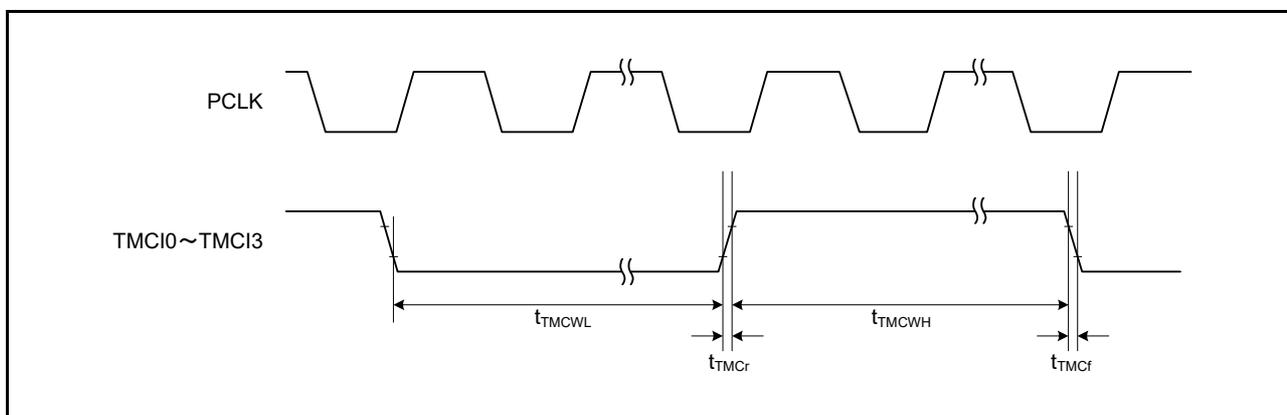


図 2.58 TMR クロック入カタイミング

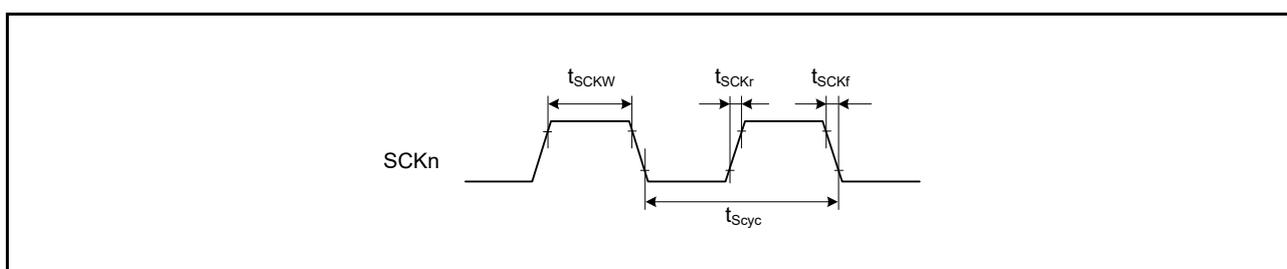


図 2.59 SCK クロック入カタイミング (n = 1, 5, 6, 12)

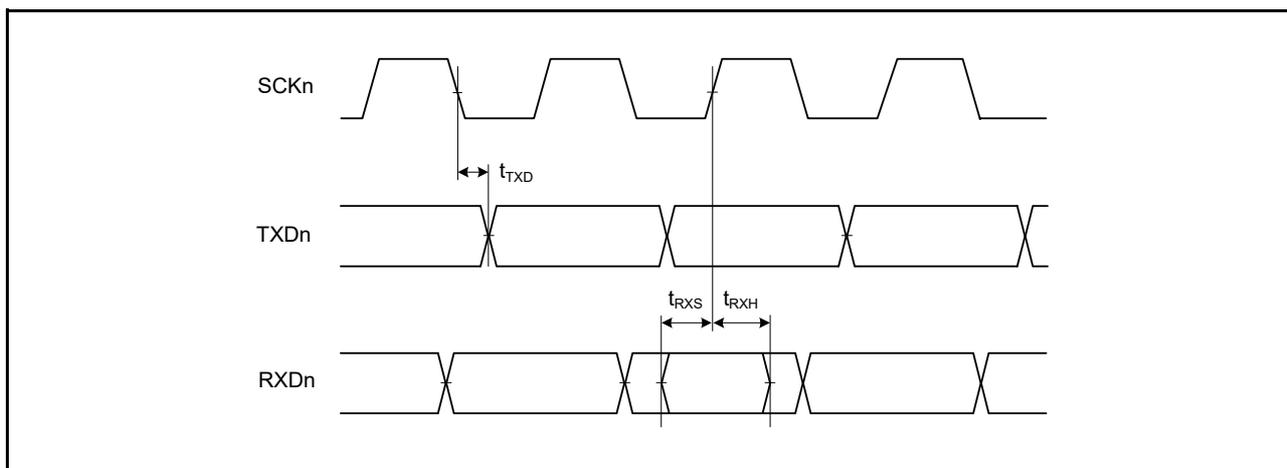


図 2.60 SCI 入出力タイミング/クロック同期式モード (n = 1, 5, 6, 12)

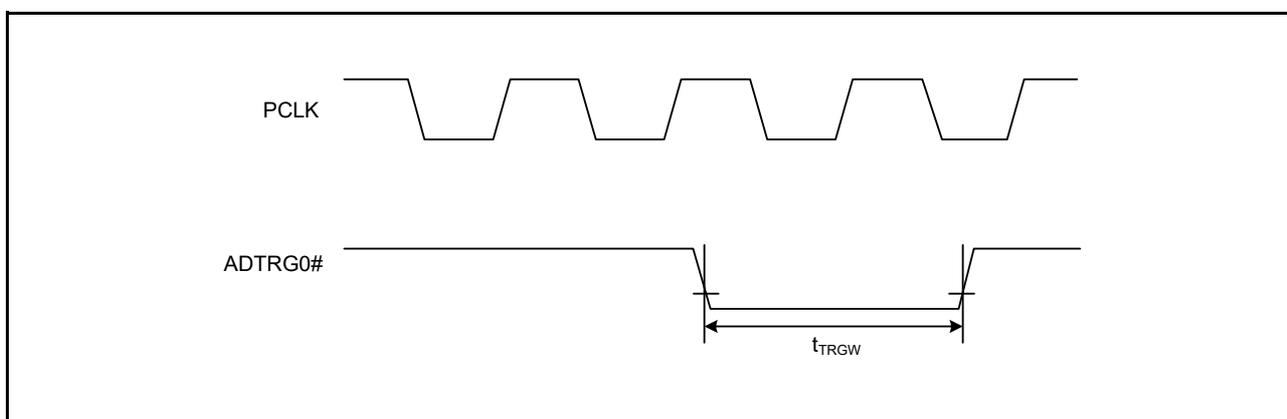


図 2.61 A/D コンバータ外部トリガ入力タイミング

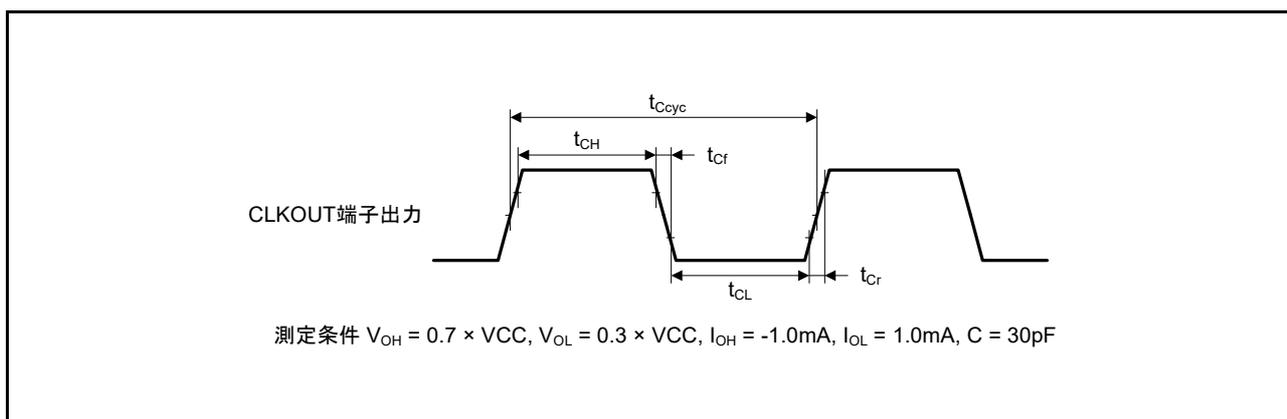


図 2.62 CLKOUT 出力タイミング

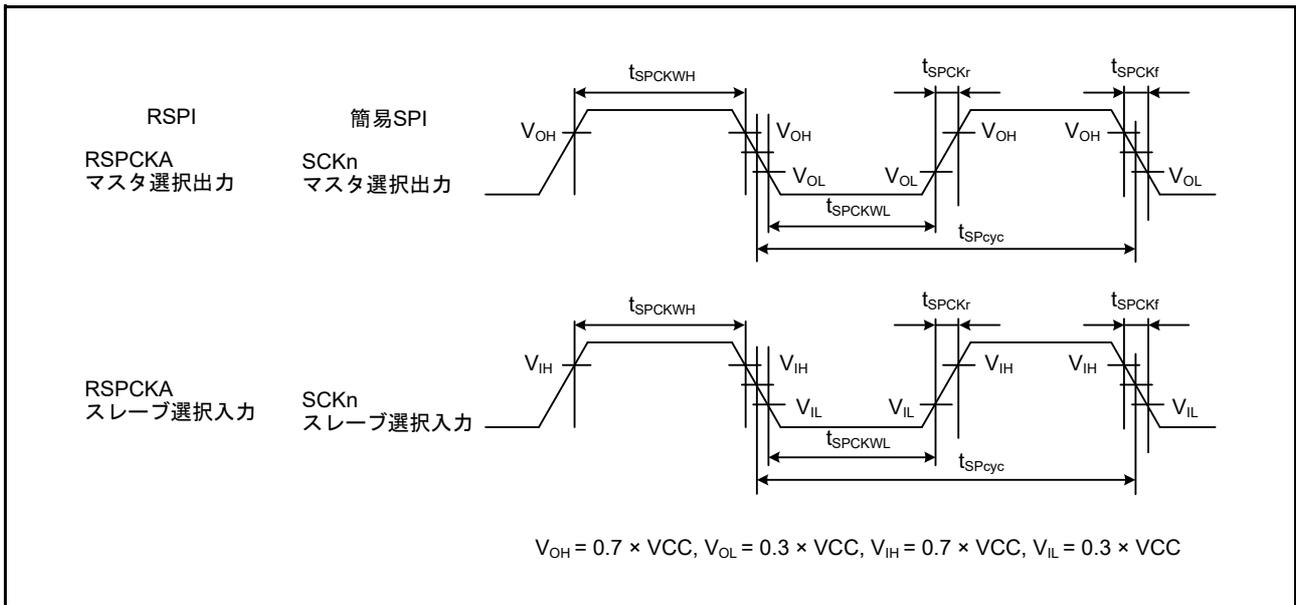


図 2.63 RSPI クロックタイミング / 簡易 SPI クロックタイミング (n = 1, 5, 6, 12)

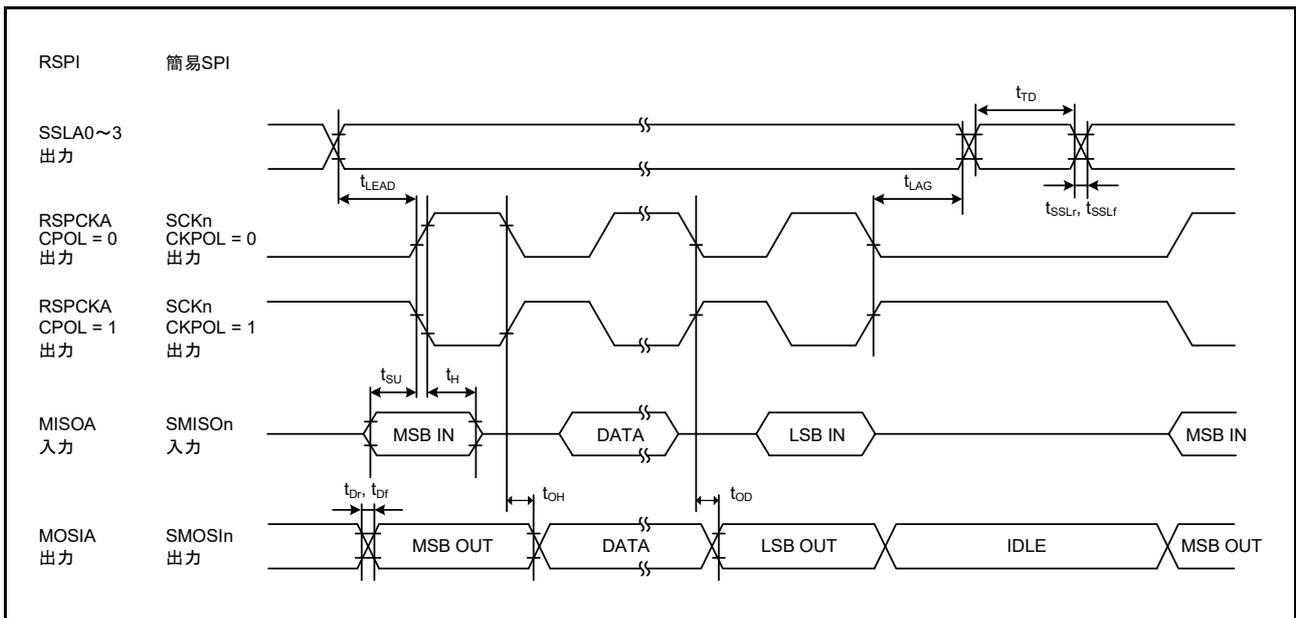


図 2.64 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI クロックタイミング (マスタ、CKPH = 1) (n = 1, 5, 6, 12)

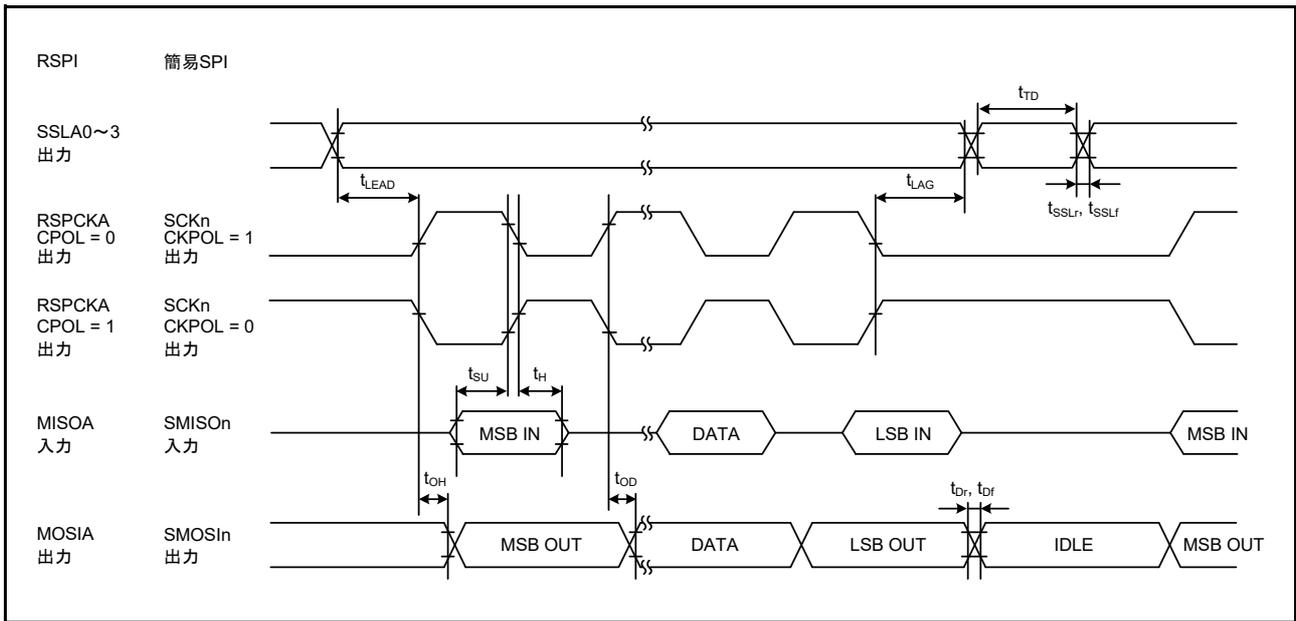


図 2.65 RSPI タイミング (マスタ、CPHA = 1)/ 簡易 SPI クロックタイミング (マスタ、CKPH = 0) (n = 1, 5, 6, 12)

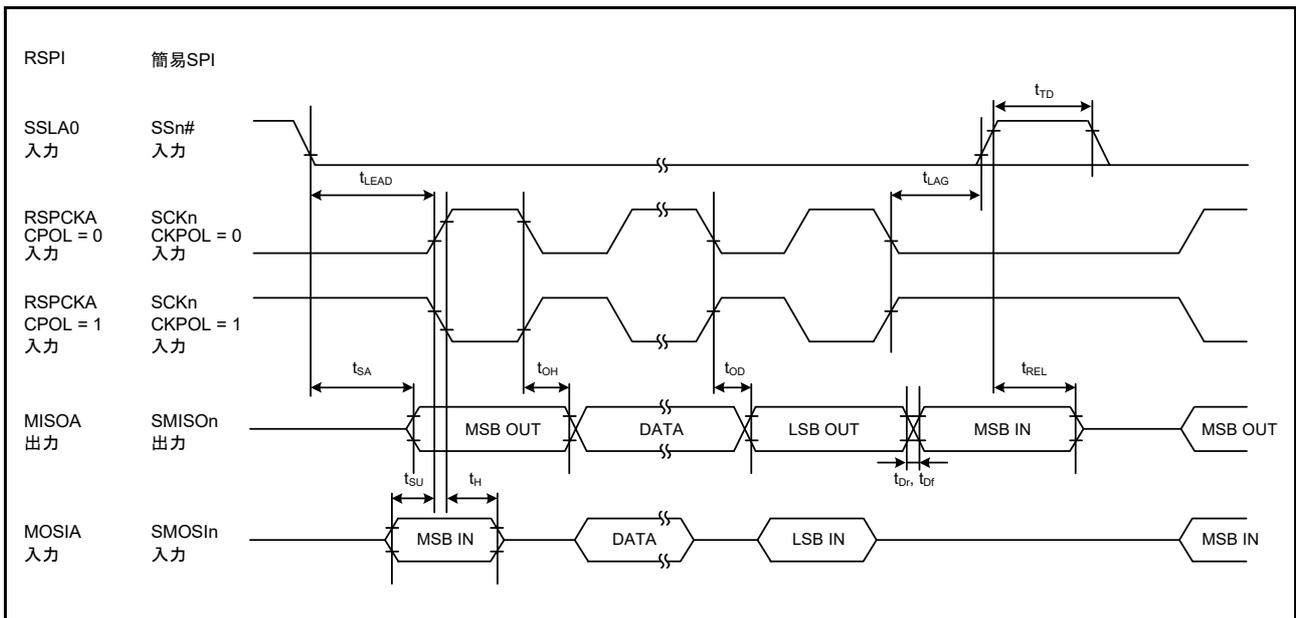


図 2.66 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI クロックタイミング (スレーブ、CKPH = 1) (n = 1, 5, 6, 12)

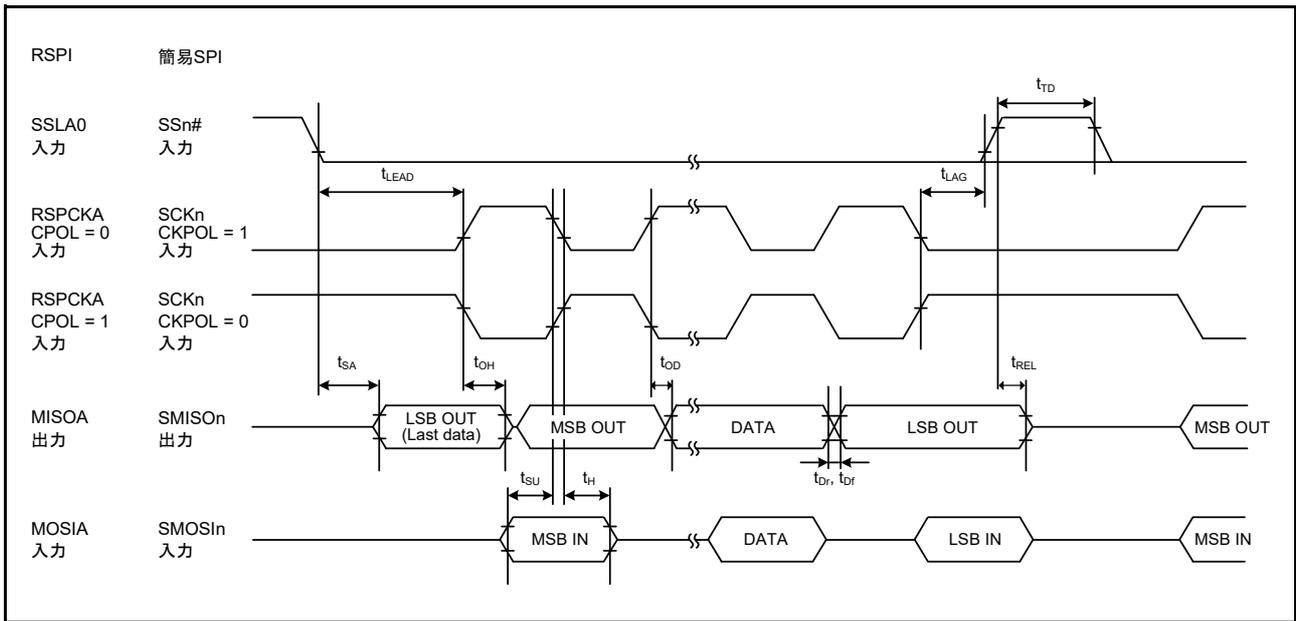


図 2.67 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI クロックタイミング (スレーブ、CKPH = 0) (n = 1, 5, 6, 12)

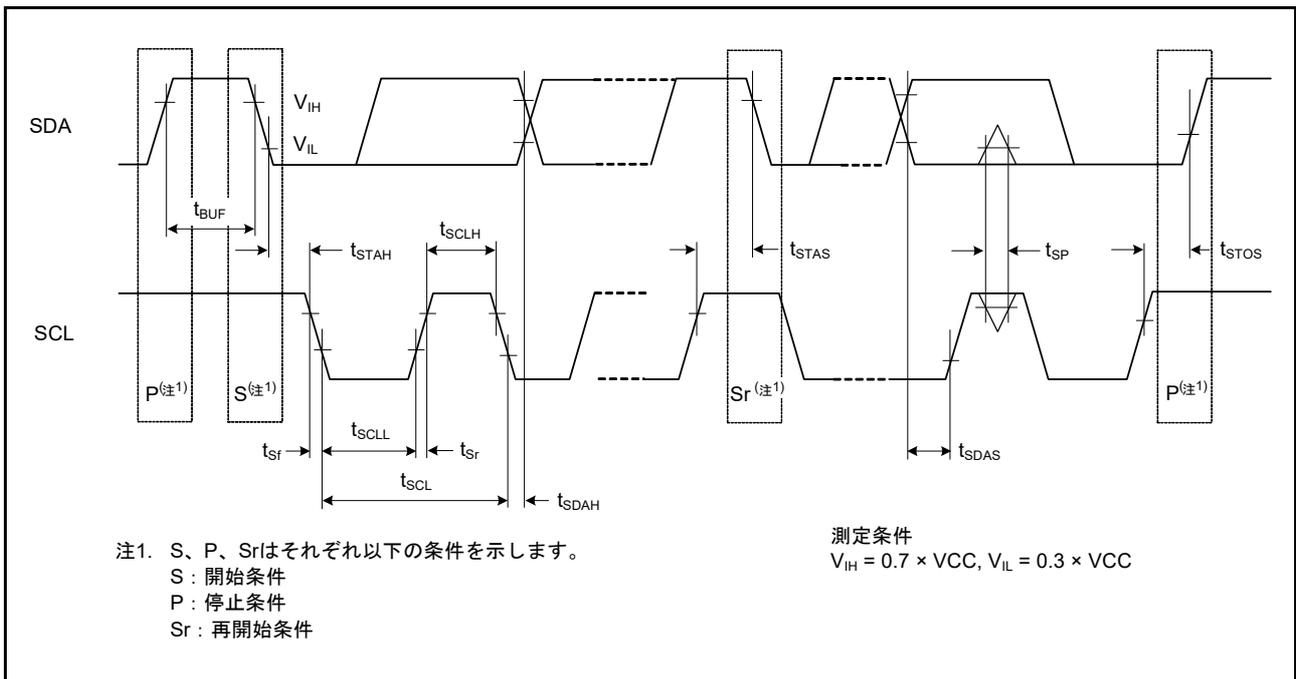


図 2.68 I²C バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

2.5 パワーオンリセット回路、電圧検出回路特性

表 2.36 パワーオンリセット回路、電圧検出回路特性(1)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V_{POR}	1.35	1.50	1.65	V	図2.69、図2.70
	電圧検出回路 (LVD0) (注1)	V_{det0_0}	3.67	3.84	3.97	V	図2.71 VCC立ち下がり時
		V_{det0_1}	2.70	2.82	3.00		
		V_{det0_2}	2.37	2.51	2.67		
		V_{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V_{det1_0}	4.12	4.29	4.42	V	図2.72 VCC立ち下がり時
		V_{det1_1}	3.98	4.14	4.28		
		V_{det1_2}	3.86	4.02	4.16		
		V_{det1_3}	3.68	3.84	3.98		
		V_{det1_4}	2.99	3.10	3.29		
		V_{det1_5}	2.89	3.00	3.19		
		V_{det1_6}	2.79	2.90	3.09		
		V_{det1_7}	2.68	2.79	2.98		
		V_{det1_8}	2.57	2.68	2.87		
		V_{det1_9}	2.47	2.58	2.67		
		V_{det1_A}	2.37	2.48	2.57		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.86	1.96	2.06		
	電圧検出回路 (LVD2) (注3)	V_{det2_0}	4.08	4.29	4.48	V	図2.73 VCC立ち下がり時
		V_{det2_1}	3.95	4.14	4.35		
V_{det2_2}		3.82	4.02	4.22			
V_{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号 V_{det0_n} の n は、OFS1.VDSEL[1:0] ビットの値です。

注2. 記号 V_{det1_n} の n は、LVDLVLR.LVD1LVL[3:0] ビットの値です。

注3. 記号 V_{det2_n} の n は、LVDLVLR.LVD2LVL[1:0] ビットの値です。

表 2.37 パワーオンリセット回路、電圧検出回路特性(2)

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット 解除後待機時間	通常起動時	t_{POR}	—	9.1	—	ms	図 2.70
	起動時間短縮時	t_{POR}	—	1.6	—		
電圧監視0リセット解除後待機時間		t_{LVD0}	—	600	—	μs	図 2.71
電圧監視1リセット解除後待機時間		t_{LVD1}	—	150	—	μs	図 2.72
電圧監視2リセット解除後待機時間		t_{LVD2}	—	150	—	μs	図 2.73
応答遅延時間		t_{det}	—	—	350	μs	図 2.69
最小VCC低下時間(注1)		t_{VOFF}	350	—	—	μs	図 2.69、VCC = 1.0V以上
パワーオンリセット有効時間		$t_{W(POR)}$	1	—	—	ms	図 2.70、VCC = 1.0V未満
LVD動作安定時間(LVD有効切り替え時)		$T_{d(E-A)}$	—	—	300	μs	図 2.72、図 2.73
ヒステリシス幅(パワーオンリセット(POR))		V_{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路(LVD0, LVD1, LVD2))		V_{LVH}	—	70	—	mV	Vdet1_0~4選択時
			—	60	—		Vdet1_5~9選択時
			—	50	—		Vdet1_A~B選択時
			—	40	—		Vdet1_C~D選択時
			—	60	—		LVD0, LVD2選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

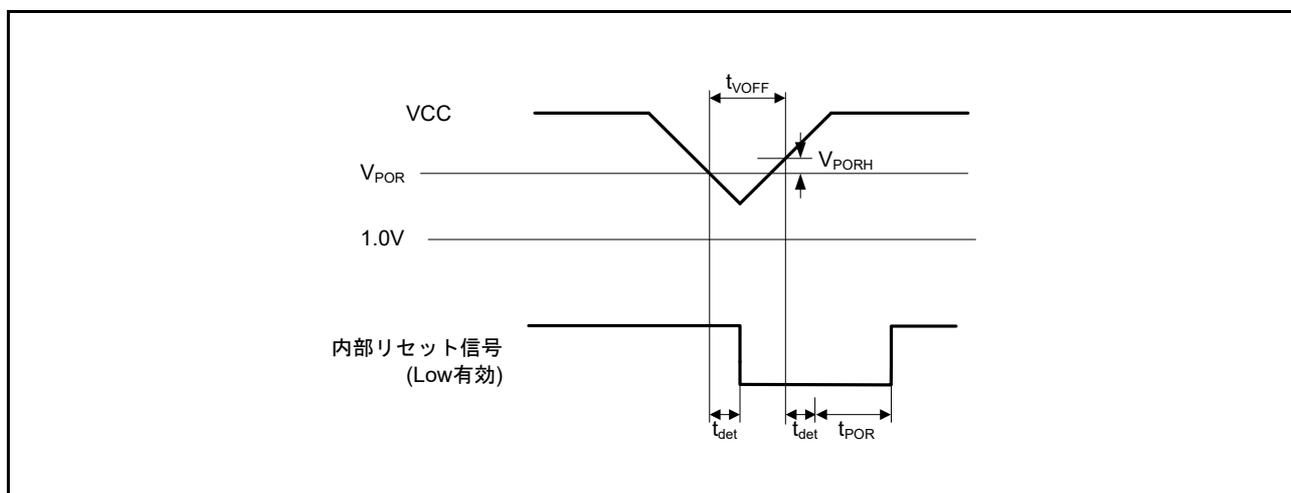


図 2.69 電圧検出リセットタイミング

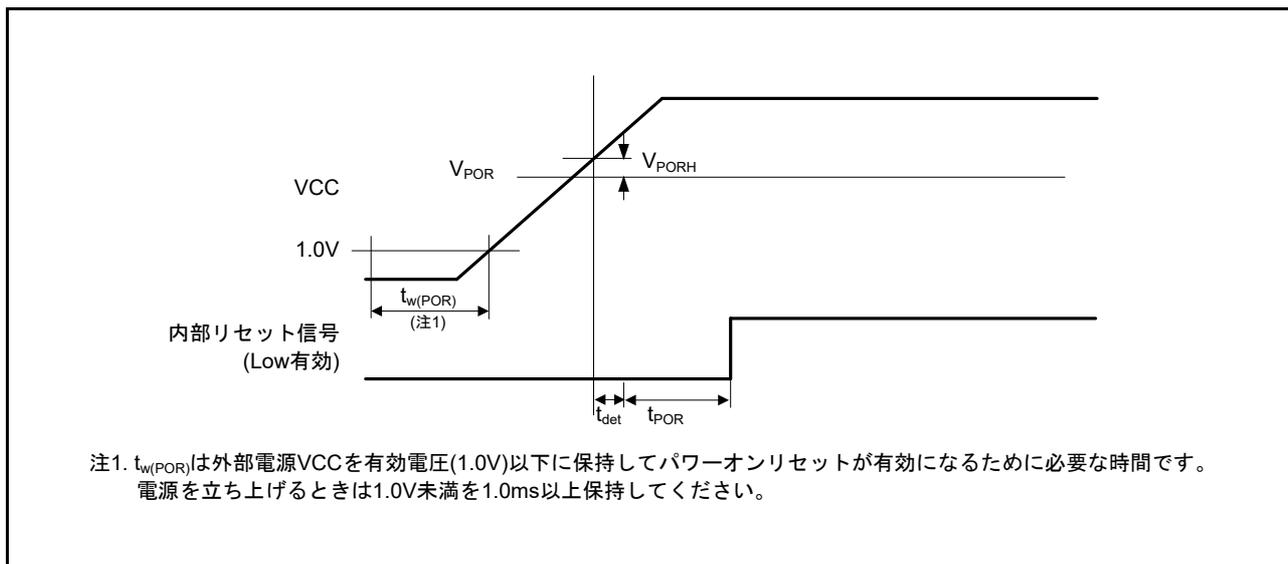


図 2.70 パワーオンリセットタイミング

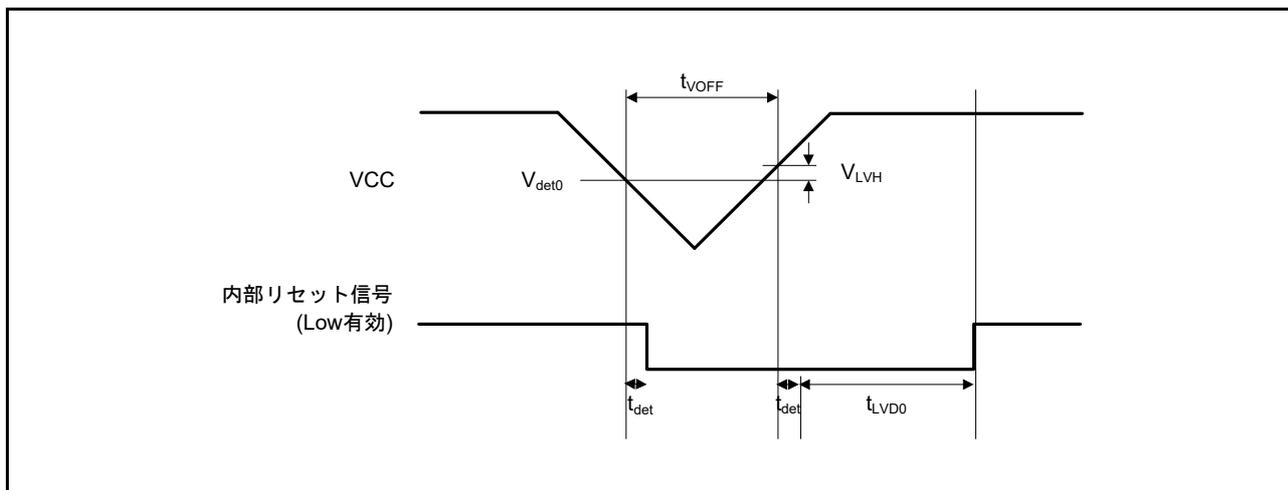


図 2.71 電圧検出回路タイミング (Vdet0)

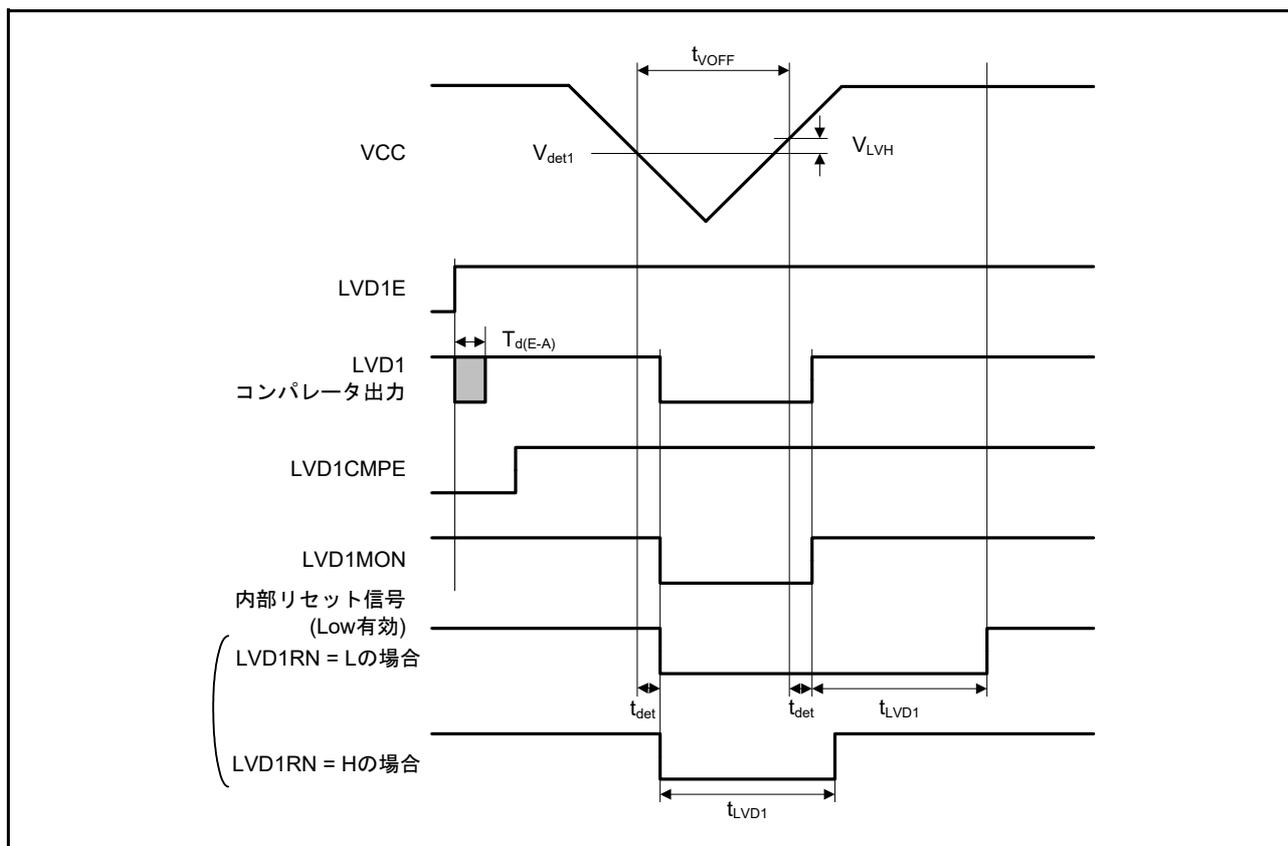


図 2.72 電圧検出回路タイミング (V_{det1})

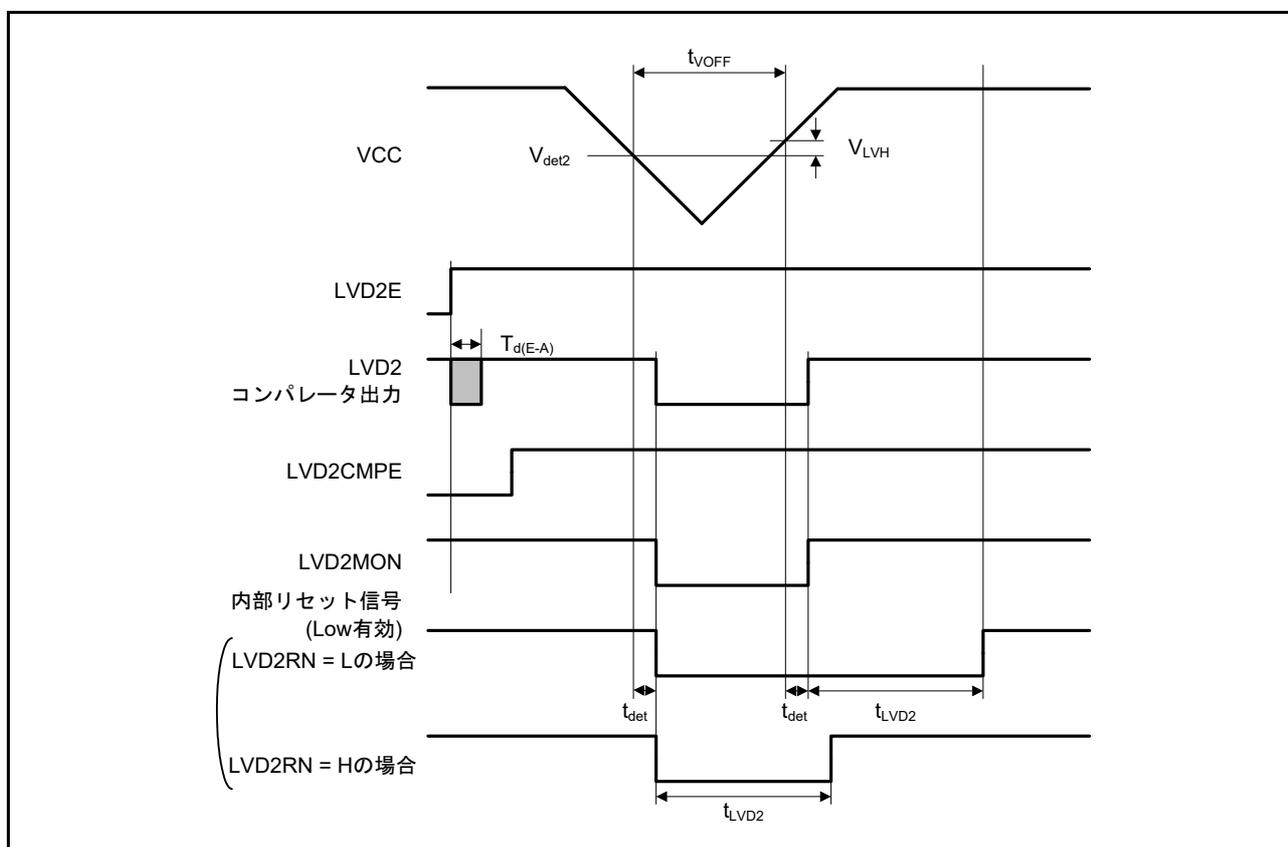


図 2.73 電圧検出回路タイミング (V_{det2})

2.6 発振停止検出タイミング

表 2.38 発振停止検出回路特性

条件 : $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.74

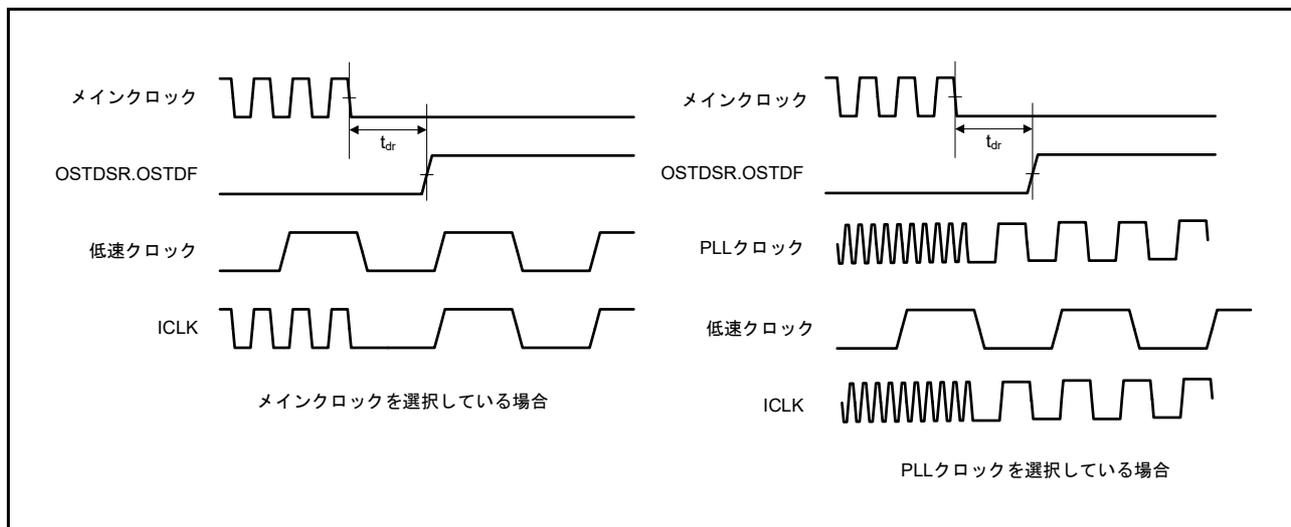


図 2.74 発振停止検出タイミング

2.7 ROM (コードフラッシュメモリ) 特性

表2.39 ROM (コードフラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)	N_{PEC}	1000	—	—	回	
データ保持時間	イレーズ1000回後 t_{DRP}	20 (注2、注3)	—	—	年	$T_a = 85^\circ\text{C}$

注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. フラッシュプログラマ使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.40 ROM (コードフラッシュメモリ) 特性(2) (高速動作モード)

条件： $2.7\text{V} \leq V_{CC} = AV_{CC0} \leq 5.5\text{V}$, $V_{SS} = AV_{SS0} = 0\text{V}$

プログラム/イレーズ時の動作温度範囲： $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位
		min	typ	max	min	typ	max	
プログラム時間	8バイト t_{P8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト t_{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	256Kバイト (ブロックイレーズ コマンド使用時) t_{E256K}	—	469.1	9813.6	—	41.2	1049.2	ms
	256Kバイト (全ブロックイレーズ コマンド使用時) t_{EA256K}	—	463.9	9609.0	—	36.0	839.5	ms
ブランクチェック時間	8バイト t_{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト t_{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間	t_{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間	t_{SAS}	—	12.3	566.5	—	6.2	433.5	ms
アクセスウィンドウ設定時間	t_{AWS}	—	12.3	566.5	—	6.2	433.5	ms
ROMモード遷移待ち時間1	t_{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2	t_{MS}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

表2.41 ROM (コードフラッシュメモリ) 特性(3) (中速動作モード)

条件: $1.8V \leq VCC = AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$ プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +85^\circ C$

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	256Kバイト (ブロックイレーズ コマンド使用時)	t_{E256K}	—	469.2	9816.9	—	100.5	2260.1	ms
	256Kバイト (全ブロックイレーズ コマンド使用時)	t_{EA256K}	—	464.0	9610.7	—	95.3	2053.7	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t_{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t_{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t_{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t_{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ 以下である必要があります。

2.8 E2 データフラッシュ (データフラッシュメモリ) 特性

表 2.42 E2 データフラッシュ特性 (1)

項目		記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)		N _{DPEC}	100000	1000000	—	回	
データ保持時間	イレーズ10000回後	t _{DDRP}	20 (注2、注3)	—	—	年	T _a = 85°C
	イレーズ100000回後		5 (注2、注3)	—	—	年	
	イレーズ1000000回後		—	1 (注2、注3)	—	年	T _a = 25°C

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、1Kバイトのブロックについて、それぞれ異なる番地に1バイトプログラムを1000回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュプログラマ使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表 2.43 E2 データフラッシュ特性 (2) (高速動作モード)

条件：2.7V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	95.0	797.0	—	40.8	375.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.5	498.5	—	6.2	229.4	ms
	8Kバイト	t _{DE8K}	—	119.8	2555.7	—	12.9	367.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	55.0	—	—	16.1	μs
	1Kバイト	t _{DBC1K}	—	—	7216.0	—	—	495.7	μs
イレーズ処理強制停止時間		t _{DSSED}	—	—	16.0	—	—	10.7	μs
データフラッシュ STOP 解除時間		t _{DSTOP}	5.0	—	—	5.0	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は±3.5%以下である必要があります。

表 2.44 E2 データフラッシュ特性 (3) (中速動作モード)

条件：1.8V ≤ VCC = AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	135.0	1197.0	—	86.5	822.5	μs
イレーズ時間	1Kバイト	t _{DE1K}	—	19.6	500.1	—	8.0	264.1	ms
	8Kバイト	t _{DE8K}	—	119.9	2557.4	—	27.7	668.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	85.0	—	—	50.9	μs
	1Kバイト	t _{DBC1K}	—	—	7246.0	—	—	1457.5	μs
イレーズ処理強制停止時間		t _{DSSED}	—	—	28.0	—	—	21.3	μs
データフラッシュ STOP 解除時間		t _{DSTOP}	0.72	—	—	0.72	—	—	μs

- 注. ソフトウェアの命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注. プログラム/イレーズ時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。たとえば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は±3.5%以下である必要があります。

2.9 24 ビット Δ - Σ A/D コンバータ特性表 2.45 24ビット Δ - Σ A/D コンバータ特性条件: $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $V_{REF} = 2.5V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件		
ゲイン	Gain	1, 2, 4, 8, 16, 32, 64, 128			—			
出力データレート	ノーマルモード	f_{DR}	7.6	—	15625	SPS		
	ローパワーモード		1.9	—	3906			
分解能(ノーマルモード)	—	24	—	—	ビット			
RMSノイズ	V_N	—	表 2.46、表 2.48	—	—	図 2.75 ~ 図 2.91		
積分非直線性誤差	Gain = 1 (PGA有効)、 ノーマル/ローパワーモード、 OPCR.DSADLVM ビット = 0	INL	—	± 7	± 15	ppmFSR	図 2.92、図 2.93 AVCC0 = 3.6 ~ 5.5V	
	Gain = 2 ~ 64、 ノーマル/ローパワーモード、 OPCR.DSADLVM ビット = 0		—	± 4	± 15			
	Gain = 128、 ノーマルモード、 OPCR.DSADLVM ビット = 0		—	± 5	± 15			
	Gain = 128、 ローパワーモード、 OPCR.DSADLVM ビット = 0		—	± 7	± 20			
	Gain = 1 ~ 128 (PGA有効)、 ノーマル/ローパワーモード、 OPCR.DSADLVM ビット = 1		—	± 7	± 30			AVCC0 = 2.7 ~ 5.5V
	Gain = 1 (PGA無効、BUF無効)		—	± 7	± 20			AVCC0 = 2.7 ~ 5.5V, $V_I < 2.6V$
	Gain = 1 (PGA無効、BUF有効)		—	± 7	—			
オフセット誤差	補正前	E_O	—	—	± 10	μV	図 2.94 AVCC0 = 5.0V、 $T_a = 25^\circ C$ 、 ノーマルモード、 Gain = 2	
	補正後		—	RMSノイズ以下	—			
オフセットドリフト	Gain = 1, 2 (PGA有効)	dE_O	—	60	220	$nV/^\circ C$	図 2.94	
	Gain = 4 ~ 8		—	40	140			
	Gain = 16 ~ 32		—	15	40			
	Gain = 64 ~ 128		—	10	25			
	Gain = 1 (PGA無効、BUF無効)		—	50	140			
ゲイン誤差	Gain = 1 ~ 64 (PGA有効)	E_G	—	± 0.01	± 0.03	%	図 2.95 $T_a = 25^\circ C$	
	Gain = 128		—	± 0.01	± 0.04			
	Gain = 1 (PGA無効、BUF無効)		—	± 0.015	± 0.04			
	Gain = 1 (PGA無効、BUF有効)		—	± 0.03	—			
	ゲイン誤差補正後		—	RMSノイズ以下	—			

項目		記号	min	typ	max	単位	測定条件
ゲインドリフト	Gain = 1~128 (PGA有効)、 OPCR.DSADLVMビット=0	dE _G	—	1	3	ppm/°C	図2.95
	Gain = 1~128 (PGA有効)、 OPCR.DSADLVMビット=1		—	1	5		AVCC0 = 3.0~5.5V
	Gain = 1 (PGA無効)		—	—	10		AVCC0 < 3.0V
	Gain = 1 (PGA無効)		—	1.4	—		図2.95 V _I < 2.6V
電源電圧除去比	Gain = 1 (PGA有効)	PSRR	80	88	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 2~16		89	95	—		
	Gain = 32~128		102	115	—		
	Gain = 1 (PGA無効、BUF無効)		68	88	—		V _{ID} = 1V (DC)
	Gain = 1 (PGA無効、BUF有効)		—	78	—		
同相信号除去比	Gain = 1~8 (PGA有効)、 OPCR.DSADLVMビット=0	CMRR	95	100	—	dB	V _{ID} = 1 V/Gain (DC)
	Gain = 16~32、 OPCR.DSADLVMビット=0		110	120	—		
	Gain = 64~128、 OPCR.DSADLVMビット=0		120	130	—		
	Gain = 1~8 (PGA有効)、 OPCR.DSADLVMビット=1		80	100	—		
	Gain = 16~32、 OPCR.DSADLVMビット=1		88	120	—		
	Gain = 64~128、 OPCR.DSADLVMビット=1		100	130	—		
	Gain = 1 (PGA無効、BUF無効)		60	88	—		V _{ID} = 1V (DC)
	Gain = 1 (PGA無効、BUF有効)		—	78	—		
ノーマルモード 除去比	外部クロック、50 Hz、60 Hz	NMRR	120	—	—	dB	10 SPS, 50±1 Hz, 60±1 Hz
			75	—	—		54 SPS, 50±1 Hz, 60±1 Hz
	外部クロック、50 Hz		120	—	—		50 SPS, 50±1 Hz
	外部クロック、60 Hz		120	—	—		60 SPS, 60±1 Hz
	内部クロック (HOCO)、 50 Hz、60 Hz		110	—	—		10 SPS, 50±1 Hz, 60±1 Hz
			70	—	—		54 SPS, 50±1 Hz, 60±1 Hz
	内部クロック (HOCO)、50 Hz		110	—	—		50 SPS, 50±1 Hz
	内部クロック (HOCO)、60 Hz		110	—	—		60 SPS, 60±1 Hz
バーンアウト電流		I _{BO}	0.5, 2, 4, 20			μA	
モジュレータ クロック	ノーマルモード	f _{MOD}	430	500	570	kHz	
	ローパワーモード		107.5	125.0	142.5		

表 2.46 標準ノイズ特性 (ノーマルモード)

条件: AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 500\text{kHz}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
7.6	65536	0.383 (2.39)	0.524 (2.69)	0.601 (3.89)	0.563 (3.59)	0.284 (2.02)	0.166 (1.08)	0.097 (0.60)	0.052 (0.34)	0.036 (0.28)	0.029 (0.20)
10	50048	0.426 (2.64)	0.671 (3.96)	0.680 (4.40)	0.618 (4.18)	0.322 (2.53)	0.185 (1.15)	0.108 (0.71)	0.056 (0.40)	0.041 (0.27)	0.033 (0.20)
50	9984	0.878 (5.42)	1.117 (7.59)	1.308 (9.76)	1.196 (7.59)	0.667 (5.15)	0.369 (2.51)	0.230 (1.69)	0.121 (0.92)	0.084 (0.61)	0.072 (0.52)
54	9216	0.929 (6.35)	1.225 (9.71)	1.359 (10.5)	1.254 (9.52)	0.702 (4.85)	0.392 (2.85)	0.240 (1.70)	0.127 (0.88)	0.090 (0.59)	0.076 (0.51)
60	8320	0.973 (7.31)	1.279 (8.99)	1.450 (10.7)	1.345 (9.27)	0.723 (4.50)	0.426 (3.30)	0.258 (1.48)	0.129 (1.07)	0.093 (0.59)	0.080 (0.58)
100	4992	1.228 (8.67)	1.673 (11.4)	1.873 (13.0)	1.673 (9.76)	0.904 (5.96)	0.536 (3.46)	0.327 (2.41)	0.172 (1.19)	0.128 (0.96)	0.100 (0.68)
195	2560	1.681 (12.7)	2.206 (18.6)	2.530 (16.7)	2.378 (16.7)	1.277 (8.45)	0.710 (4.65)	0.460 (3.15)	0.238 (1.55)	0.176 (1.16)	0.139 (0.90)
488	1024	2.697 (17.3)	3.311 (22.4)	3.954 (29.3)	3.881 (27.4)	2.007 (13.5)	1.175 (8.52)	0.723 (4.73)	0.355 (2.28)	0.264 (1.80)	0.231 (1.55)
977	512	3.691 (27.5)	4.740 (29.0)	5.758 (36.5)	5.442 (35.7)	2.871 (20.0)	1.656 (12.0)	1.025 (6.67)	0.522 (3.53)	0.389 (2.57)	0.321 (2.21)
1953	256	5.734 (35.3)	6.572 (42.5)	8.535 (55.3)	7.438 (48.9)	4.130 (28.2)	2.308 (15.8)	1.434 (9.34)	0.768 (4.85)	0.567 (4.05)	0.476 (2.71)
3906	128	7.446 (51.1)	9.607 (65.8)	12.32 (70.0)	11.15 (76.5)	5.778 (38.6)	3.476 (27.2)	2.237 (14.7)	1.162 (7.83)	0.831 (5.98)	0.669 (4.21)
7813	64	13.60 (102)	15.91 (110)	21.39 (143)	19.22 (120)	10.43 (67.6)	5.971 (39.0)	3.760 (26.4)	2.161 (13.9)	1.482 (11.0)	1.112 (6.96)
15625	32	120.5 (644)	117.5 (720)	112.5 (735)	67.81 (347)	36.42 (218)	17.96 (109)	9.766 (58.7)	5.812 (37.6)	3.726 (22.2)	2.498 (16.9)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMSノイズ[μV_{RMS}]、(下段): Peak-to-Peakノイズ[μV_{PP}]

表 2.47 有効分解能(ノーマルモード)

条件: AVCC0 = 5.0V、T_a = 25°C、f_{MOD} = 500kHz、V_{ID} = 0V、V_{REF} = 2.5V

f _{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
7.6	65536	23.6 (21.0)	23.1 (20.8)	23.0 (20.3)	22.1 (19.4)	22.1 (19.2)	21.8 (19.1)	21.6 (19.0)	21.5 (18.8)	21.0 (18.1)	20.4 (17.6)
10	50048	23.5 (20.9)	22.8 (20.2)	22.8 (20.1)	22.0 (19.2)	21.9 (18.9)	21.7 (19.1)	21.5 (18.7)	21.4 (18.6)	20.9 (18.2)	20.2 (17.6)
50	9984	22.4 (19.8)	22.0 (19.3)	21.9 (19.0)	21.0 (18.3)	20.8 (17.9)	20.7 (17.9)	20.4 (17.5)	20.3 (17.4)	19.8 (17.0)	19.0 (16.2)
54	9216	22.4 (19.6)	21.9 (18.9)	21.8 (18.9)	20.9 (18.0)	20.8 (18.0)	20.6 (17.7)	20.3 (17.5)	20.2 (17.5)	19.7 (17.0)	19.0 (16.2)
60	8320	22.3 (19.4)	21.8 (19.0)	21.7 (18.8)	20.8 (18.0)	20.7 (18.1)	20.5 (17.5)	20.2 (17.7)	20.2 (17.2)	19.7 (17.0)	18.9 (16.1)
100	4992	22.0 (19.1)	21.5 (18.7)	21.4 (18.6)	20.5 (18.0)	20.4 (17.7)	20.2 (17.5)	19.9 (17.0)	19.8 (17.0)	19.2 (16.3)	18.6 (15.8)
195	2560	21.5 (18.6)	21.1 (18.0)	21.0 (18.2)	20.0 (17.2)	19.9 (17.2)	19.8 (17.0)	19.4 (16.6)	19.3 (16.6)	18.8 (16.0)	18.1 (15.4)
488	1024	20.8 (18.1)	20.5 (17.7)	20.3 (17.4)	19.3 (16.5)	19.3 (16.5)	19.0 (16.2)	18.7 (16.0)	18.8 (16.1)	18.2 (15.4)	17.4 (14.6)
977	512	20.4 (17.5)	20.0 (17.3)	19.7 (17.1)	18.8 (16.1)	18.7 (15.9)	18.5 (15.7)	18.2 (15.5)	18.2 (15.4)	17.6 (14.9)	16.9 (14.1)
1953	256	19.7 (17.1)	19.5 (16.8)	19.2 (16.5)	18.4 (15.6)	18.2 (15.4)	18.1 (15.3)	17.7 (15.0)	17.6 (15.0)	17.1 (14.2)	16.3 (13.8)
3906	128	19.4 (16.6)	18.9 (16.2)	18.6 (16.1)	17.8 (15.0)	17.7 (15.0)	17.5 (14.5)	17.1 (14.4)	17.0 (14.3)	16.5 (13.7)	15.8 (13.2)
7813	64	18.5 (15.6)	18.2 (15.4)	17.8 (15.1)	17.0 (14.3)	16.9 (14.2)	16.7 (14.0)	16.3 (13.5)	16.1 (13.5)	15.7 (12.8)	15.1 (12.5)
15625	32	15.3 (12.9)	15.3 (12.7)	15.4 (12.7)	15.2 (12.8)	15.1 (12.5)	15.1 (12.5)	15.0 (12.4)	14.7 (12.0)	14.4 (11.8)	13.9 (11.2)

有効分解能 = \log_2 (フルスケール電圧 / RMS ノイズ)ノイズフリー分解能 = \log_2 (フルスケール電圧 / Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 2.48 標準ノイズ特性(ローパワーモード)

条件 : AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 125\text{kHz}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1.9	65536	0.463 (3.29)	0.640 (4.19)	0.892 (5.38)	0.708 (4.63)	0.444 (2.62)	0.245 (1.72)	0.140 (0.90)	0.070 (0.47)	0.048 (0.34)	0.038 (0.25)
10	12512	1.053 (7.03)	1.313 (8.79)	1.596 (11.4)	1.492 (10.6)	0.797 (5.27)	0.437 (2.86)	0.286 (1.79)	0.143 (1.00)	0.109 (0.72)	0.085 (0.61)
50	2496	2.412 (15.7)	2.883 (18.4)	3.390 (21.7)	3.093 (22.5)	1.669 (11.0)	0.954 (5.96)	0.592 (3.86)	0.317 (2.35)	0.228 (1.69)	0.187 (1.22)
54	2304	2.558 (19.4)	3.098 (20.5)	3.544 (23.9)	3.139 (19.4)	1.719 (11.3)	0.962 (6.39)	0.637 (3.92)	0.333 (2.12)	0.242 (1.81)	0.199 (1.39)
60	2080	2.491 (16.3)	3.230 (20.8)	3.598 (26.4)	3.348 (25.0)	1.810 (13.6)	1.024 (7.38)	0.645 (4.50)	0.346 (2.30)	0.257 (1.88)	0.207 (1.37)
100	1248	3.237 (21.7)	3.843 (26.6)	4.794 (32.5)	4.274 (27.1)	2.319 (15.3)	1.357 (9.35)	0.872 (6.37)	0.454 (2.98)	0.338 (2.29)	0.268 (1.83)
195	640	4.663 (37.7)	5.666 (37.7)	6.826 (46.5)	5.799 (39.7)	3.245 (21.3)	1.930 (12.9)	1.164 (7.50)	0.627 (4.61)	0.474 (3.31)	0.371 (2.68)
488	256	7.451 (46.6)	9.151 (62.5)	10.30 (70.9)	9.404 (59.6)	5.216 (35.7)	2.934 (20.2)	1.869 (13.6)	1.006 (6.13)	0.729 (5.46)	0.599 (4.56)
977	128	10.37 (72.4)	13.13 (83.1)	15.63 (111)	13.71 (93.3)	7.605 (63.0)	4.383 (30.3)	2.796 (18.0)	1.510 (9.78)	1.099 (7.60)	0.908 (7.23)
1953	64	16.80 (117)	19.92 (153)	25.41 (177)	22.23 (138)	12.30 (94.9)	7.226 (50.9)	4.520 (30.6)	2.531 (16.2)	1.927 (13.6)	1.499 (11.1)
3906	32	120.9 (720)	120.4 (761)	126.6 (634)	73.29 (507)	36.82 (216)	19.83 (124)	11.22 (78.4)	6.332 (39.1)	4.427 (27.3)	3.143 (20.0)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: RMSノイズ[μV_{RMS}]、(下段): Peak-to-Peakノイズ[μV_{PP}]

表 2.49 有効分解能(ローパワーモード)

条件: AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、 $f_{\text{MOD}} = 125\text{kHz}$ 、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$

f_{DR} (SPS)	OSR	Gain = 1 (Bypass)	Gain = 1 (BUF)	Gain = 1 (PGA)	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1.9	65536	23.4 (20.5)	22.8 (20.1)	22.4 (19.8)	21.8 (19.0)	21.4 (18.9)	21.3 (18.5)	21.1 (18.4)	21.1 (18.4)	20.6 (17.8)	20.0 (17.3)
10	12512	22.2 (19.4)	21.8 (19.1)	21.6 (18.7)	20.7 (17.9)	20.6 (17.9)	20.5 (17.7)	20.1 (17.4)	20.1 (17.3)	19.5 (16.7)	18.8 (16.0)
50	2496	21.0 (18.3)	20.7 (18.0)	20.5 (17.8)	19.6 (16.8)	19.5 (16.8)	19.3 (16.7)	19.0 (16.3)	18.9 (16.0)	18.4 (15.5)	17.7 (15.0)
54	2304	20.9 (18.0)	20.6 (17.8)	20.4 (17.7)	19.6 (17.0)	19.5 (16.8)	19.3 (16.6)	18.9 (16.3)	18.8 (16.2)	18.3 (15.4)	17.6 (14.8)
60	2080	20.9 (18.2)	20.5 (17.8)	20.4 (17.5)	19.5 (16.6)	19.4 (16.5)	19.2 (16.4)	18.9 (16.1)	18.8 (16.1)	18.2 (15.3)	17.5 (14.8)
100	1248	20.6 (17.8)	20.3 (17.5)	20.0 (17.2)	19.2 (16.5)	19.0 (16.3)	18.8 (16.0)	18.5 (15.6)	18.4 (15.7)	17.8 (15.1)	17.2 (14.4)
195	640	20.0 (17.0)	19.7 (17.0)	19.5 (16.7)	18.7 (15.9)	18.6 (15.8)	18.3 (15.6)	18.0 (15.4)	17.9 (15.1)	17.3 (14.5)	16.7 (13.8)
488	256	19.4 (16.7)	19.0 (16.2)	18.9 (16.1)	18.0 (15.4)	17.9 (15.1)	17.7 (14.9)	17.4 (14.5)	17.3 (14.6)	16.7 (13.8)	16.0 (13.1)
977	128	18.9 (16.1)	18.5 (15.8)	18.3 (15.4)	17.5 (14.7)	17.3 (14.3)	17.1 (14.3)	16.8 (14.1)	16.7 (14.0)	16.1 (13.3)	15.4 (12.4)
1953	64	18.2 (15.4)	17.9 (14.9)	17.6 (14.8)	16.8 (14.2)	16.6 (13.7)	16.4 (13.6)	16.1 (13.3)	15.9 (13.2)	15.3 (12.5)	14.7 (11.8)
3906	32	15.3 (12.8)	15.3 (12.6)	15.3 (12.9)	15.1 (12.3)	15.1 (12.5)	14.9 (12.3)	14.8 (12.0)	14.6 (12.0)	14.1 (11.5)	13.6 (10.9)

有効分解能 = \log_2 (フルスケール電圧 / RMS ノイズ)ノイズフリー分解能 = \log_2 (フルスケール電圧 / Peak-to-Peak ノイズ)

注. (Bypass)は「PGA無効、BUF無効」、(BUF)は「PGA無効、BUF有効」、(PGA)は「PGA有効」を表します。

注. 上段: 有効分解能[Bits]、(下段): ノイズフリー分解能[Bits]

表 2.50 24ビット Δ - Σ A/D コンバータアナログ入力特性条件 : $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
差動電圧入力範囲	Gain = 1 (PGA無効)	V_{IDR}	$-V_{REF}$	—	$+V_{REF}$	V	$V_{REF} = V_{(REFnP)} - V_{(REFnN)}$ ($n = 0, 1$), または $V_{REF} = V_{REFOUT}$
	Gain = 1 (PGA有効)		$-V_{REF}$ または $-(AVCC0 - AVSS0 - 0.5V)$ の大きい値	—	$+V_{REF}$ または $+(AVCC0 - AVSS0 - 0.5V)$ の小さい値		
	Gain ≥ 2		$-V_{REF} / \text{Gain}$	—	$+V_{REF} / \text{Gain}$		
絶対入力電圧範囲	Gain = 1 (PGA無効、BUF無効)	V_I	$AVSS0 - 0.05$	—	$AVCC0 + 0.05$	V	
	Gain = 1 (PGA無効、BUF有効)		$AVSS0 + 0.1$	—	$AVCC0 - 0.1$		
	Gain = 1 ~ 128 (PGA有効)		$AVSS0 - 0.05$	—	$AVCC0 + 0.05$		
入力バイアス電流	Gain = 1 ~ 128 (PGA有効)	I_{IB}	—	± 5	± 25	nA	図 2.96 $T_a = 25^\circ C$
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 0		—	± 1	± 5		
	Gain = 1 (PGA無効、BUF有効)		—	± 1	± 5		
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 1		—	± 1.5	± 3.0	μA	
入力オフセット電流	Gain = 1 ~ 128 (PGA有効)	I_{IO}	—	± 3	± 10	nA	図 2.97 $T_a = 25^\circ C$
	Gain = 1 (PGA無効、BUF有効)		—	± 0.5	± 2.0		
	Gain = 1 (PGA無効、BUF無効)		—	5	10	$\mu A/V$	
入力バイアス電流ドリフト	Gain = 1 ~ 16 (PGA有効)	dI_{IB}	—	50	180	pA/ $^\circ C$	
	Gain = 32 ~ 128		—	70	200		
	Gain = 1 (PGA無効、BUF有効)		—	50	100		
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 0		—	50	100		
	Gain = 1 (PGA無効、BUF無効), OPCR.DSADLVM = 1		—	300	500		
入力オフセット電流ドリフト	Gain = 1 ~ 128 (PGA有効)	dI_{IO}	—	50	200	pA/ $^\circ C$	
	Gain = 1 (PGA無効、BUF有効)		—	45	80		
	Gain = 1 (PGA無効、BUF無効)		—	170	350	pA/ $^\circ C$	

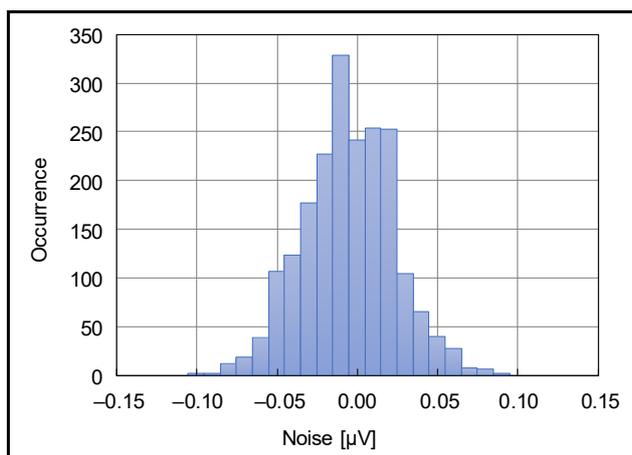


図 2.75 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 128、 $f_{\text{DR}} = 7.6$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

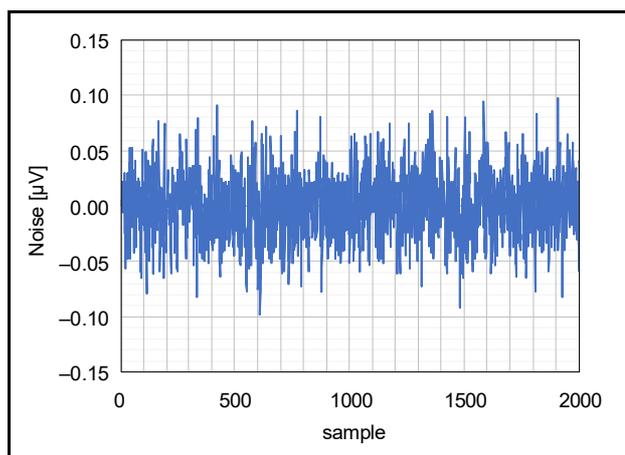


図 2.76 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 128、 $f_{\text{DR}} = 7.6$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

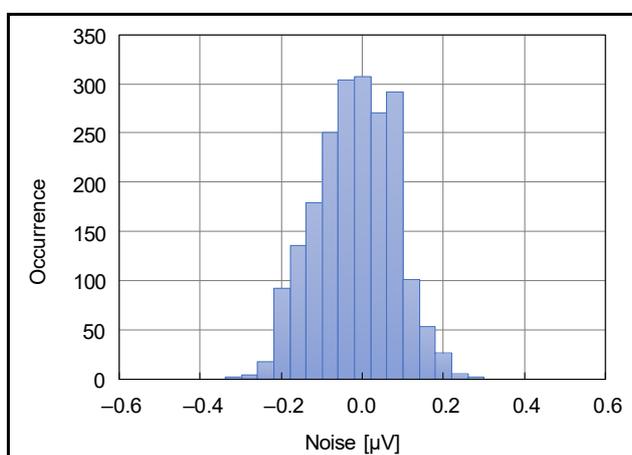


図 2.77 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 16、 $f_{\text{DR}} = 7.6$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

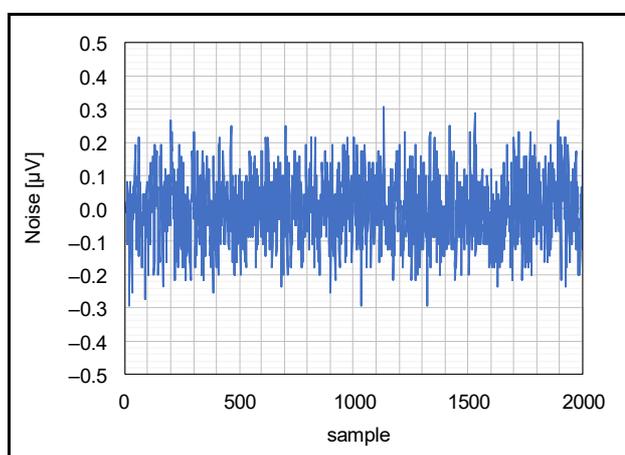


図 2.78 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 16、 $f_{\text{DR}} = 7.6$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

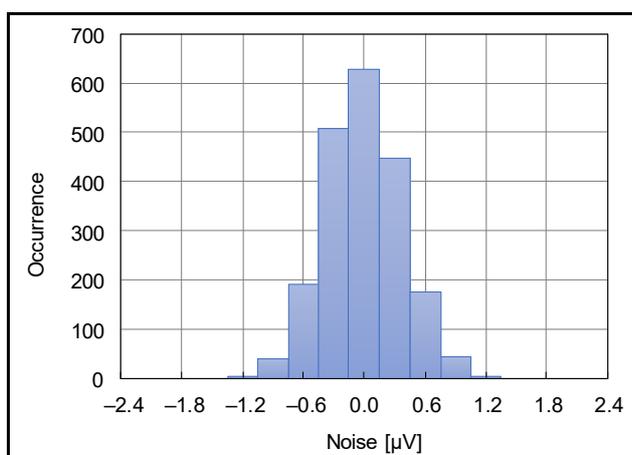


図 2.79 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 7.6$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

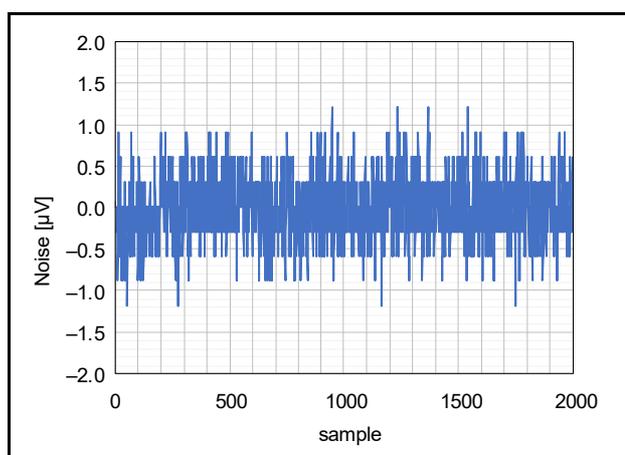


図 2.80 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 7.6$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

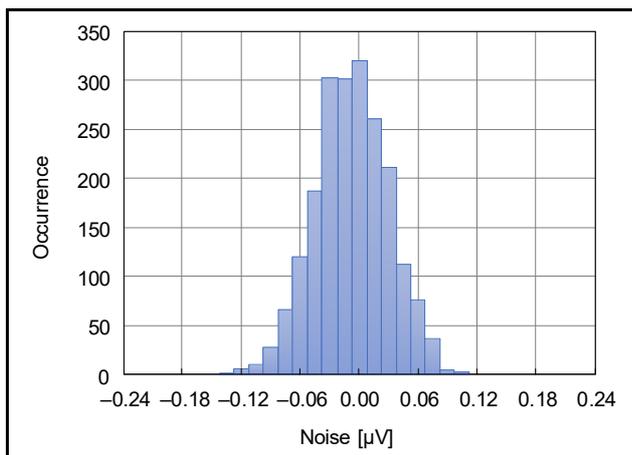


図 2.81 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 128、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

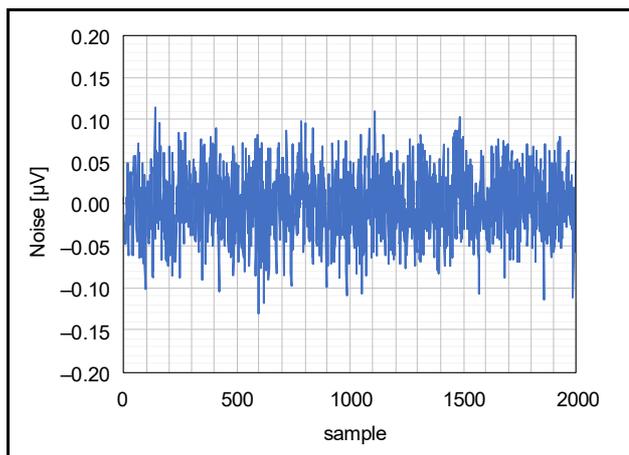


図 2.82 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 128、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

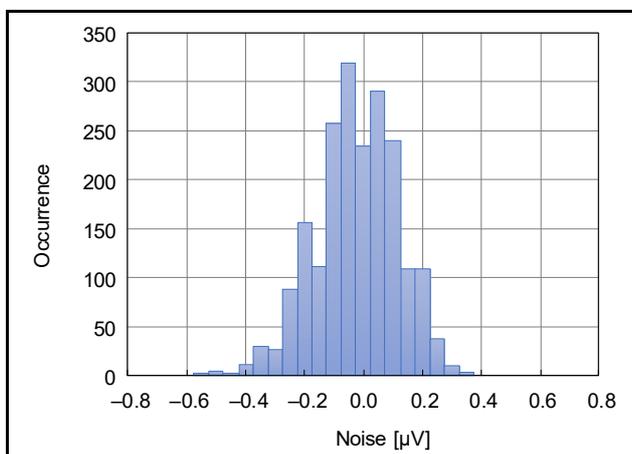


図 2.83 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 16、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

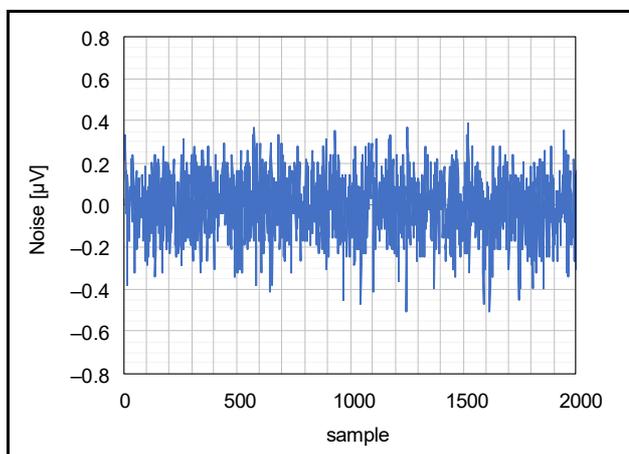


図 2.84 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 16、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

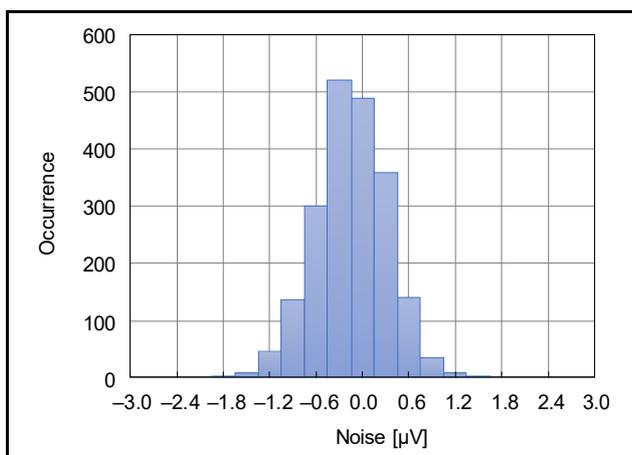


図 2.85 ノイズヒストグラム (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

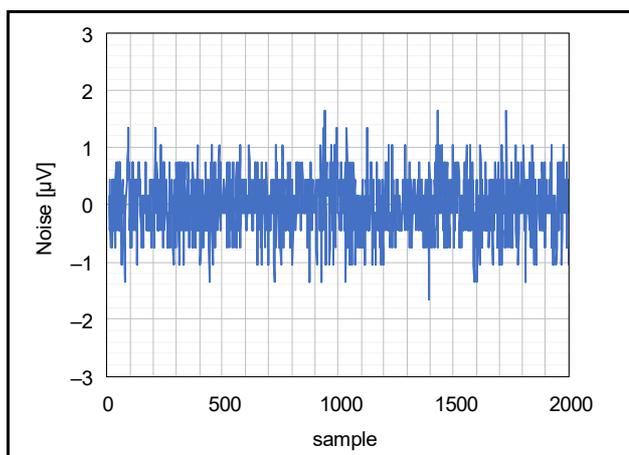


図 2.86 ノイズプロット (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、Gain = 1 (PGA 無効、BUF 無効)、 $f_{\text{DR}} = 1.9$ SPS、 $V_{\text{ID}} = 0\text{V}$ 、 $V_{\text{REF}} = 2.5\text{V}$)

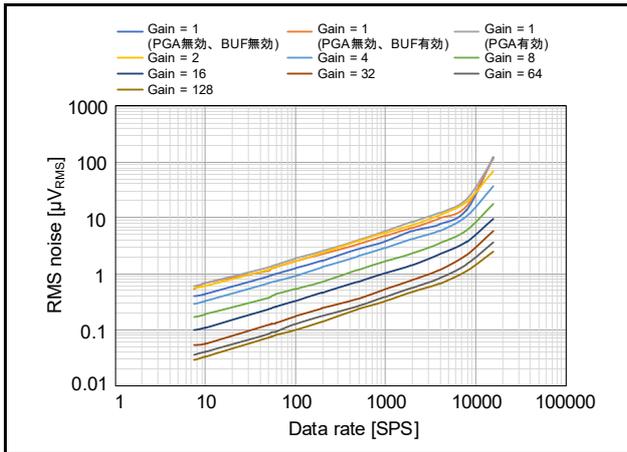


図 2.87 RMS ノイズのデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

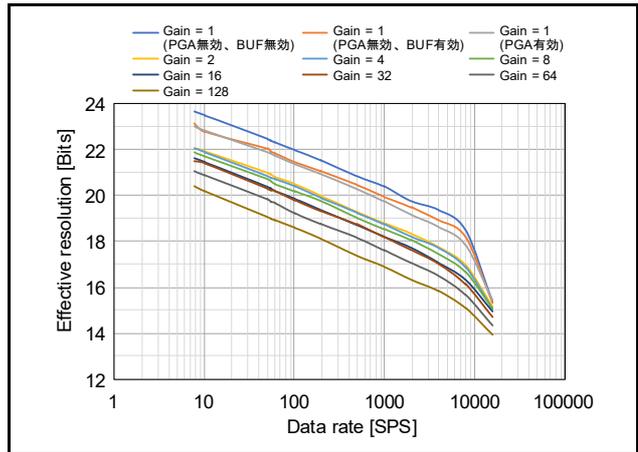


図 2.88 有効分解能のデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

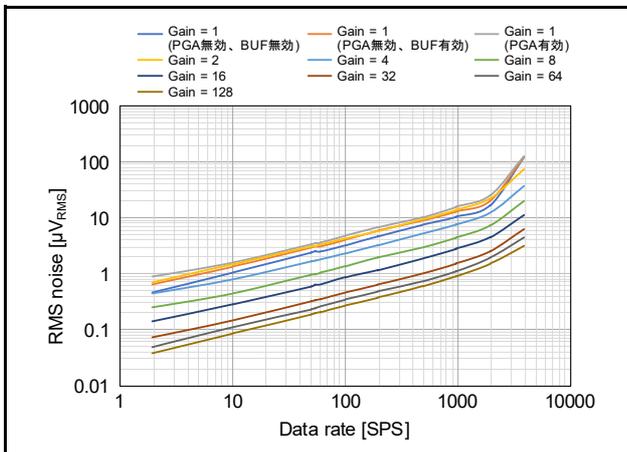


図 2.89 RMS ノイズのデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

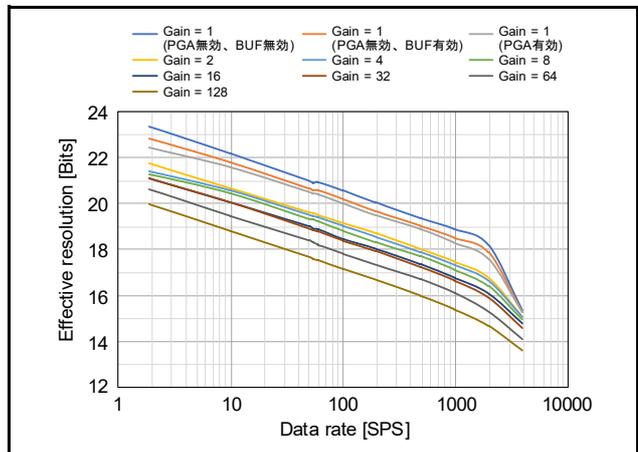


図 2.90 有効分解能のデータレート依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ローパワーモード、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

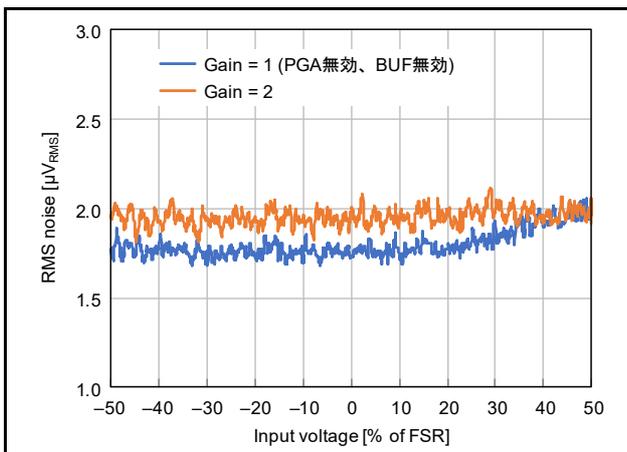


図 2.91 RMS ノイズの入力電圧依存性
(AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、 $f_{DR} = 122\text{ SPS}$ 、 $V_{REF} = 2.5\text{V}$)

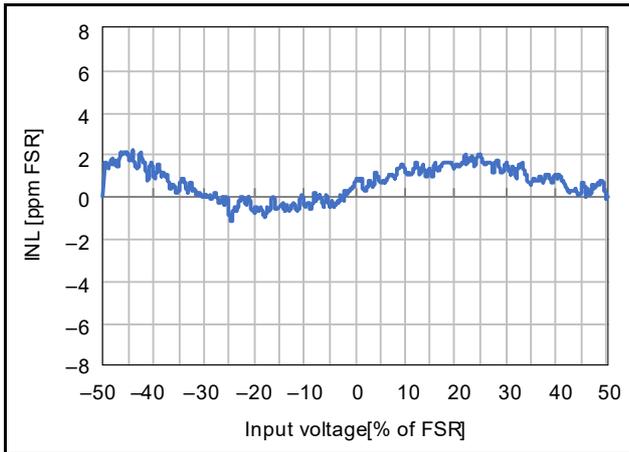


図 2.92 積分非直線性誤差の入力電圧依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 2、OPCR.DSADLVM ビット = 0、 $V_{REF} = 2.5\text{V}$)

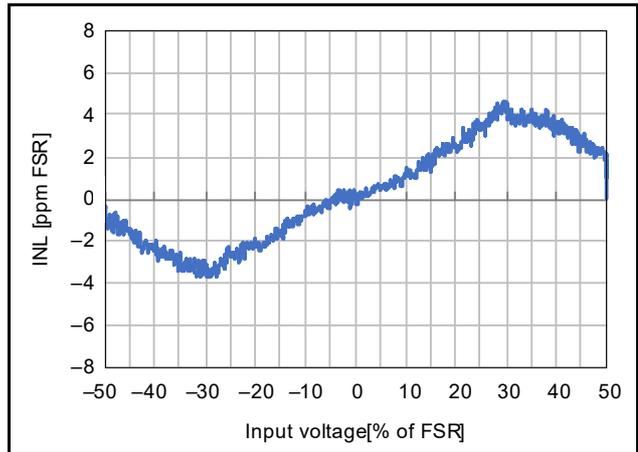


図 2.93 積分非直線性誤差の入力電圧依存性 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、ノーマルモード、Gain = 1 (PGA 無効、BUF 無効)、OPCR.DSADLVM ビット = 0、 $V_{REF} = 2.5\text{V}$)

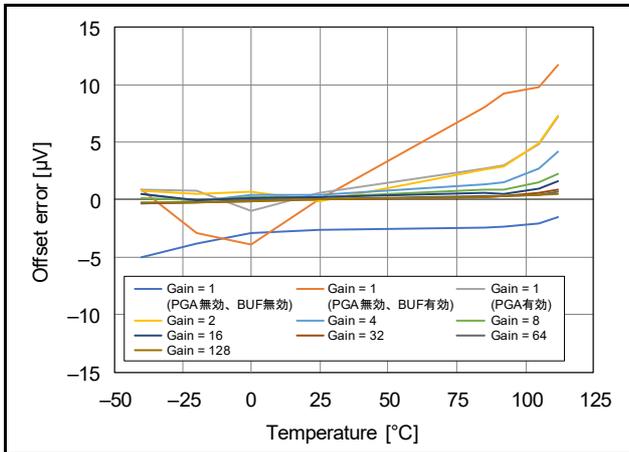


図 2.94 オフセット誤差の温度依存性 (AVCC0 = 5.0V、 $V_{ID} = 0\text{V}$ 、 $V_{REF} = 2.5\text{V}$)

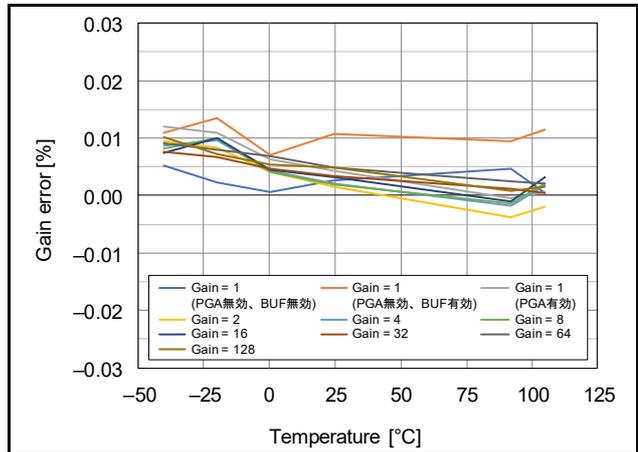


図 2.95 ゲイン誤差の温度依存性 (AVCC0 = 5.0V、OPCR.DSADLVM ビット = 0、 $V_{REF} = 2.5\text{V}$)

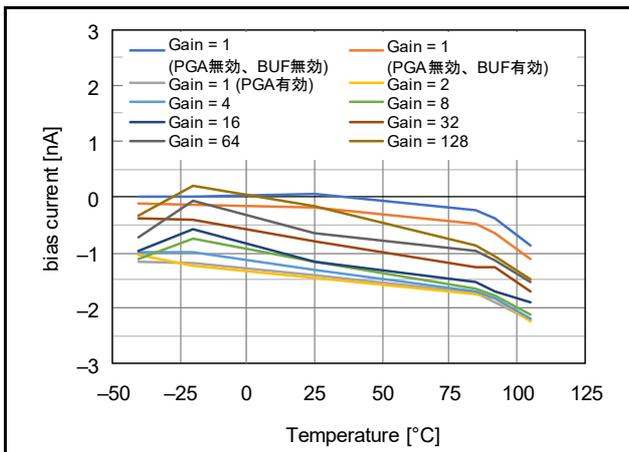


図 2.96 アナログ入力バイアス電流の温度依存性 (AVCC0 = 5.0V)

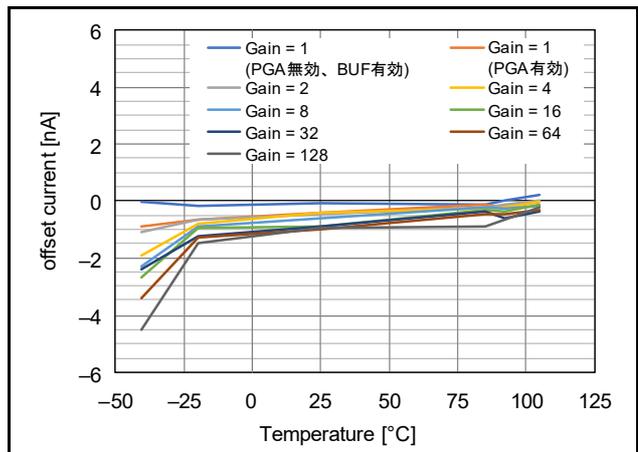


図 2.97 アナログ入力オフセット電流の温度依存性 (AVCC0 = 5.0V)

2.10 アナログフロントエンド特性

表 2.51 基準電圧源特性

条件：1.8V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
出力電圧	V _{REFOUT}	—	2.5	—	V	図 2.98
初期精度	—	—	—	±0.1	%	図 2.99 T _a = 25°C
温度ドリフト	—	—	4	10	ppm/°C	T _a = -40 ~ +85°C
		—	5	12		T _a = -40 ~ +105°C
負荷電流	I _L	—	—	±10	mA	
ロードレギュレーション	—	—	-35	-50	μV/mA	図 2.100 I _L = 0 ~ +10mA
		—	250	400		I _L = -10 ~ 0mA
電源電圧除去比	PSRR	70	80	—	dB	DC

表 2.52 バイアス電圧生成回路特性

条件：1.8V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
出力電圧	V _{BIAS}	(AVCC0 + AVSS0)/2 - 0.02	(AVCC0 + AVSS0)/2	(AVCC0 + AVSS0)/2 + 0.02	V	
起動時間	t _{START}	—	—	20	μs/nF	

表 2.53 温度センサ特性

条件：1.8V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
精度	—	—	—	±5	°C	図 2.101
電圧感度係数	2次係数	TC _{SNS}	—	-6.2 × 10 ⁻¹³	—	°C/LSB ²
	1次係数		—	7.5 × 10 ⁻⁵	—	°C/LSB
出力コード	—	—	3D4F50h (4018000)	—	—	

表 2.54 励起電流源特性

条件：1.8V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
出力電流	2chモード	IEXC	50, 100, 250, 500, 750, 1000			μA	図 2.102
	4chモード		50, 100, 250, 500				
初期精度	—	—	±1	±5	%	図 2.103 T _a = 25°C	
温度ドリフト	—	—	25	60	ppm/°C		
電流マッチング	—	—	±0.2	±2.0	%	図 2.104、図 2.105 T _a = 25°C	
ドリフトマッチング	—	—	5	30	ppm/°C	IEXC0 と IEXC1 のマッ チング IEXC2 と IEXC3 のマッ チング	
ラインレギュレーション	—	—	0.05	0.30	%/V		
ロードレギュレーション	—	—	0.1	0.5	%/V		
出力コンプライアンス電圧	V _{COMP}	AVSS0 - 0.05	—	AVCC0 - 0.5	V	図 2.106 出力電流誤差 = -2.0%	

表 2.55 外部リファレンス入力特性

条件：1.8V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
差動入力電圧範囲	V _{REF}	1	2.5	AVCC0	V	$V_{REF} = V_{(REFnP)} - V_{(REFnN)}$ (n = 0, 1)	
絶対入力電圧範囲	リファレンス バッファ無効	V _(REF0P) , V _(REF1P)	AVSS0 - 0.05	—	AVCC0 + 0.05	V	
	リファレンス バッファ有効	V _(REF0N) , V _(REF1N)	AVSS0 + 0.1	—	AVCC0 - 0.1		
入力電流	リファレンス バッファ無効	I _b	—	7	15	μA/V	図 2.107 T _a = 25°C
	リファレンス バッファ有効	I _b	—	±1	±3	nA	図 2.108 T _a = 25°C
入力電流ドリフト	リファレンス バッファ無効	dl _b	—	0.8	1.5	nA/V/°C	T _a = -40 ~ +105°C
	リファレンス バッファ有効	dl _b	—	18	60	pA/°C	T _a = -40 ~ +85°C
		dl _b	—	30	150	pA/°C	T _a = -40 ~ +105°C
同相信号除去比	リファレンス バッファ無効	CMRR	70	90	—	dB	
	リファレンス バッファ有効	CMRR	70	80	—		

表 2.56 ローサイドスイッチ特性

条件：1.8V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
オン抵抗	R _{ON}	—	—	10	Ω	
オフリーク電流	I _{lkg}	—	—	0.1	μA	
許容電流	I _{LIMIT}	—	—	30	mA	

表 2.57 低電源電圧検出回路特性

条件： $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
検出電圧 (LVDET0)	DET0LVL = 0	V_{DET0}	1.88	2.00	2.12	V	AVCC0立ち下がり時
	DET0LVL = 1		1.74	1.86	1.98		
不感応時間 (LVDET0)		t_{DET0}	—	—	20	μs	
検出電圧 (LVDET1)	DET1LVL[1:0] = 00b	V_{DET1}	2.75	2.91	3.07	V	AVCC0立ち下がり時
	DET1LVL[1:0] = 01b		2.65	2.82	2.99		
	DET1LVL[1:0] = 10b		3.60	3.80	4.00		
	DET1LVL[1:0] = 11b		3.50	3.70	3.90		
不感応時間 (LVDET1)		t_{DET1}	—	—	20	μs	

表 2.58 入力電圧異常検出回路特性

条件： $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
アナログ入力上限検出電圧	V_{IDETH}	AVCC0 +0.05	AVCC0 +0.2	—	V	
アナログ入力下限検出電圧	V_{IDETL}	—	AVSS0 -0.2	AVSS0 -0.05	V	
不感応時間	t_{IDET}	—	—	20	μs	

表 2.59 基準電圧異常検出回路特性

条件： $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
外部基準電圧検出電位差	V_{RDET}	0.70	0.85	1.00	V	
外部基準電圧上限検出電圧	V_{RDETH}	AVCC0 -0.5	AVCC0 -0.4	—	V	
外部基準電圧下限検出電圧	V_{RDETL}	—	AVSS0 +0.4	AVSS0 +0.5	V	
不感応時間	t_{RDET}	—	—	20	μs	

表 2.60 励起電流源断線検出回路特性

条件： $1.8V \leq VCC \leq 5.5V$, $2.7V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
励起電流源断線検出電圧	$V_{IEXCDET}$	AVCC0 - 0.18	AVCC0 - 0.06	—	V	
不感応時間	$t_{IEXCDET}$	—	—	20	μs	

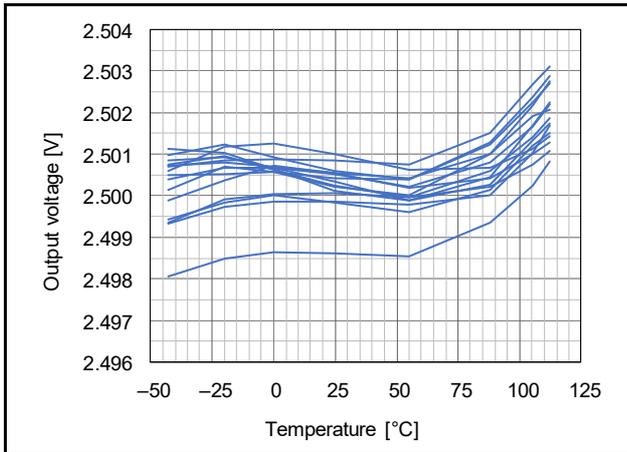


図 2.98 基準電圧源出力電圧の温度依存性 (AVCC0 = 5.0V)

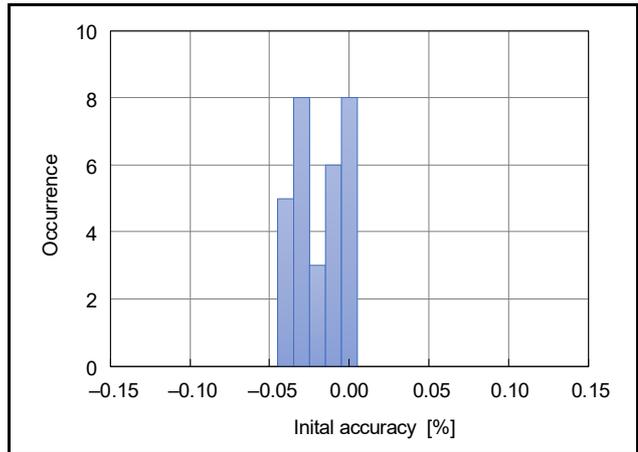


図 2.99 基準電圧源初期精度 (AVCC0 = 5.0V、サンプル数 30 個)

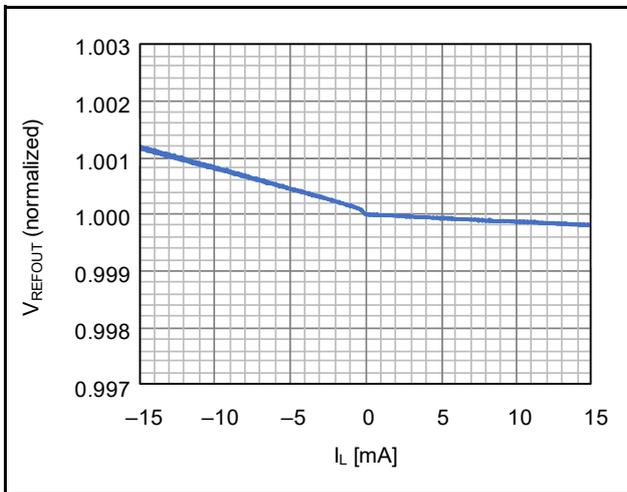


図 2.100 基準電圧源ロードレギュレーション (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$)

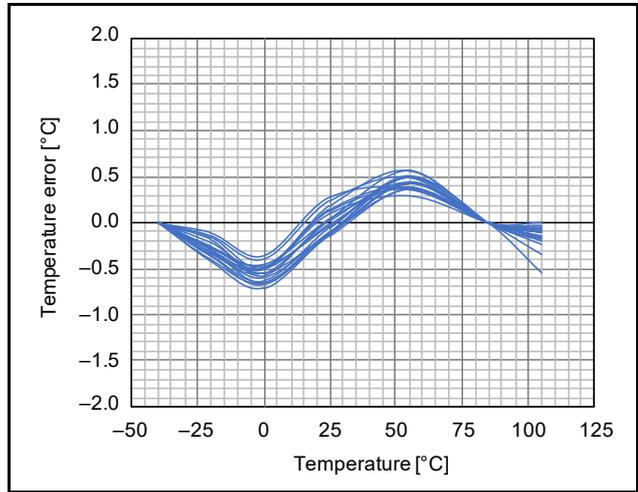


図 2.101 温度センサ精度 (AVCC0 = 5.0V)

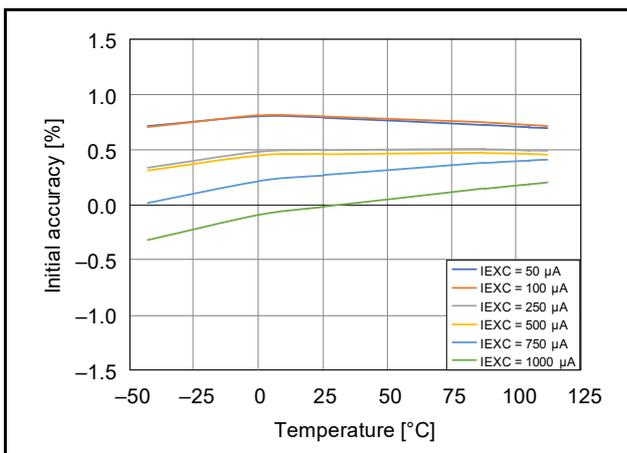


図 2.102 励起電流源出力電流の温度依存性 (AVCC0 = 5.0V)

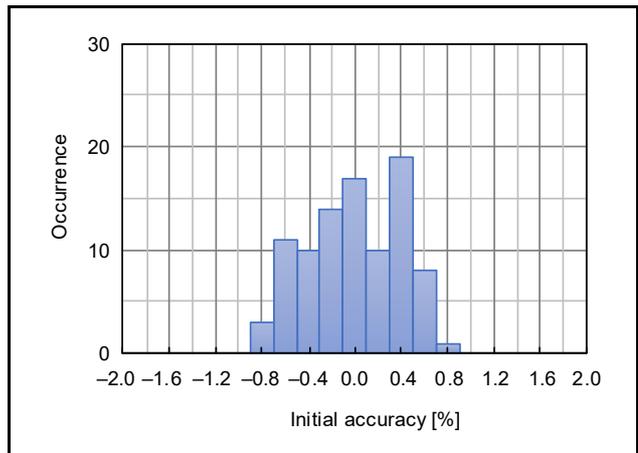


図 2.103 励起電流源出力電流初期精度 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、IEXC = 250 μA 、サンプル数 93 個)

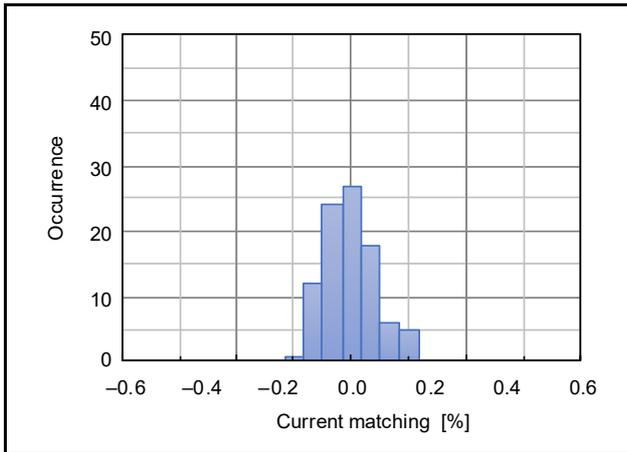


図 2.104 励起電流源出力電流マッチング (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$ 、IEXC = 250 μA 、サンプル数 93 個)

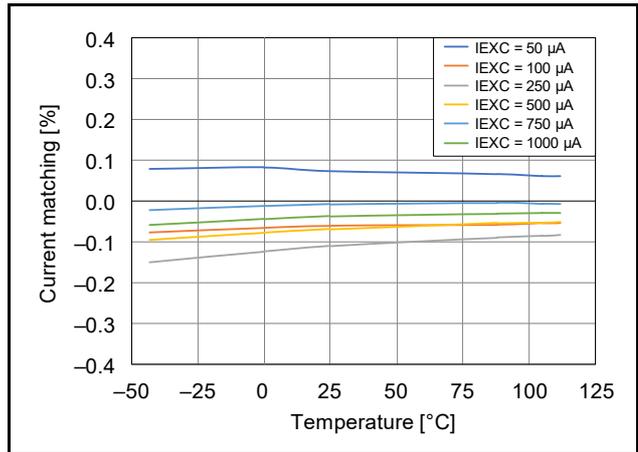


図 2.105 励起電流源出力電流マッチングの温度依存性 (AVCC0 = 5.0V)

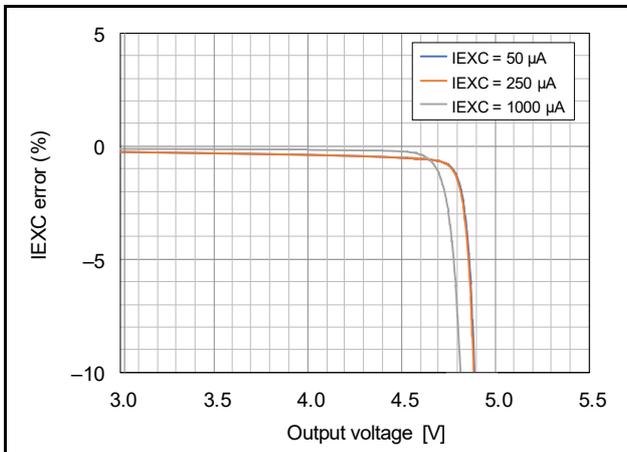


図 2.106 励起電流源出力電流精度対出力コンプライアンス電圧 (AVCC0 = 5.0V、 $T_a = 25^\circ\text{C}$)

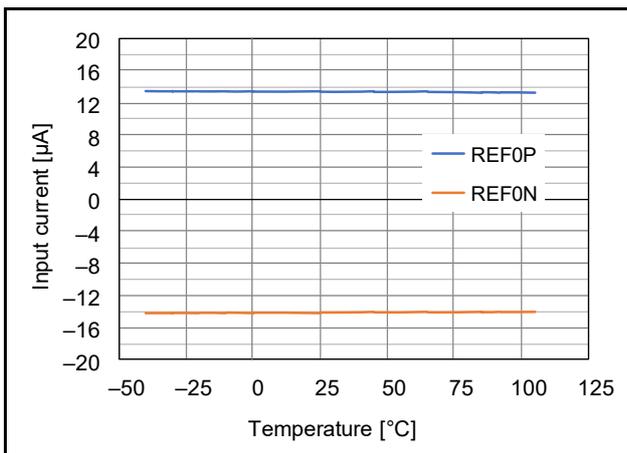


図 2.107 外部リファレンス入力電流の温度依存性 (AVCC0 = 5.0V、リファレンスバッファ無効)

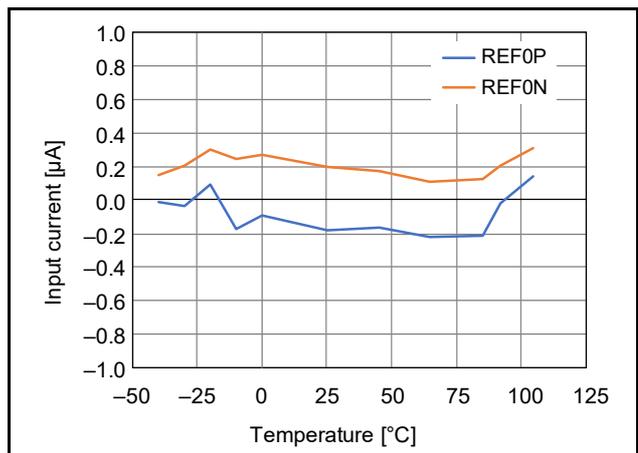


図 2.108 外部リファレンス入力電流の温度依存性 (AVCC0 = 5.0V、リファレンスバッファ有効)

2.11 12 ビット A/D コンバータ特性

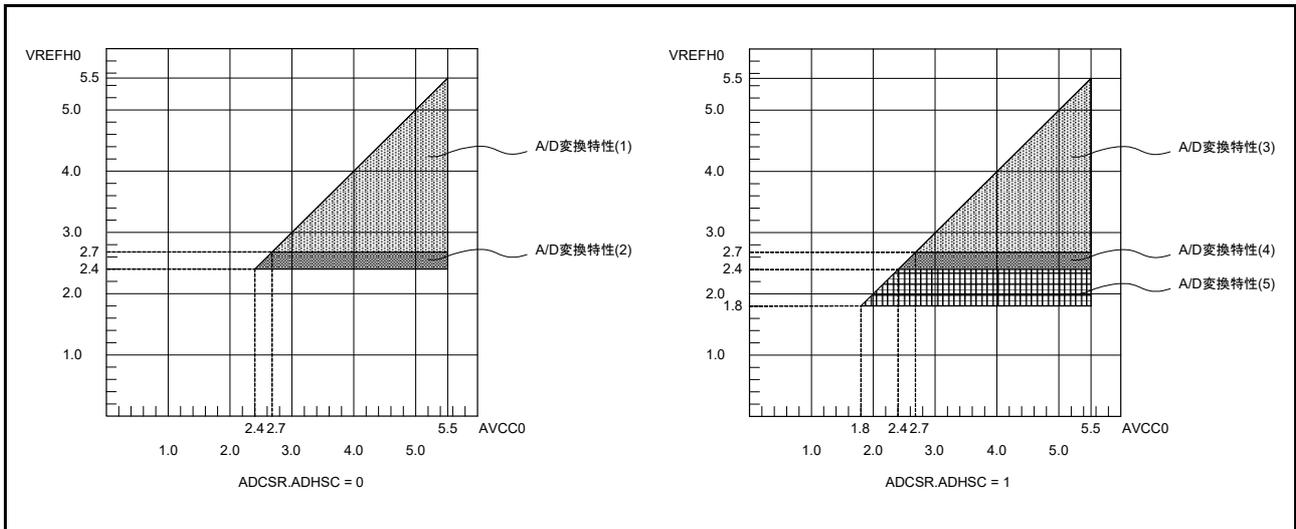


図 2.109 AVCC0-VREFH0 電圧範囲

表 2.61 12 ビット A/D コンバータ特性 (1)

条件 : $2.7V \leq VCC \leq 5.5V$ 、 $2.7V \leq AVCC0 \leq 5.5V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VREFH0$ を基準電圧にしたとき、
 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^{\circ}C$ 、
 信号源インピーダンス = $0.3k\Omega$

項目	min	typ	max	単位	測定条件
周波数	1	—	32	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (PCLKD = 32MHz時)	1.41	—	—	μs	ADCSR.ADHSC ビット = 0 ADSSTRn = 0Dh
アナログ入力容量	Cs	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	2.5	k Ω	
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 0.5	± 4.5	LSB	
フルスケール誤差	—	± 0.75	± 4.50	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 1.25	± 5.00	LSB	
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.0	± 3.0	LSB	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.62 12ビットA/Dコンバータ特性(2)

条件：2.4V ≤ VCC ≤ 5.5V、2.4V ≤ AVCC0 ≤ 5.5V、2.4V ≤ VREFH0 ≤ AVCC0、VREFH0を基準電圧にしたとき、
VSS = AVSS0 = VREFL0 = 0V、T_a = -40 ~ +105°C、
信号源インピーダンス = 1.3kΩ

項目	min	typ	max	単位	測定条件	
周波数	1	—	16	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 16MHz時)	2.82	—	—	μs	ADCSR.ADHSCビット=0 ADSSTRn = 0Dh	
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	kΩ	
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±0.5	±4.5	LSB		
フルスケール誤差	—	±0.75	±4.50	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±1.25	±5.00	LSB		
DNL微分非直線性誤差	—	±1.0	—	LSB		
INL積分非直線性誤差	—	±1.0	±4.5	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.63 12ビットA/Dコンバータ特性(3)

条件：2.7V ≤ VCC ≤ 5.5V、2.7V ≤ AVCC0 ≤ 5.5V、2.7V ≤ VREFH0 ≤ AVCC0、VREFH0を基準電圧にしたとき、
VSS = AVSS0 = VREFL0 = 0V、T_a = -40 ~ +105°C、
信号源インピーダンス = 1.1kΩ

項目	min	typ	max	単位	測定条件	
周波数	1	—	27	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 27MHz時)	3	—	—	μs	ADCSR.ADHSCビット=1 ADSSTRn = 28h	
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	kΩ	
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±0.5	±4.5	LSB		
フルスケール誤差	—	±0.75	±4.50	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±1.25	±5.00	LSB		
DNL微分非直線性誤差	—	±1.0	—	LSB		
INL積分非直線性誤差	—	±1.0	±3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.64 12ビットA/Dコンバータ特性(4)

条件：2.4V ≤ VCC ≤ 5.5V、2.4V ≤ AVCC0 ≤ 5.5V、2.4V ≤ VREFH0 ≤ AVCC0、VREFH0を基準電圧にしたとき、
VSS = AVSS0 = VREFL0 = 0V、T_a = -40 ~ +105°C、
信号源インピーダンス = 2.2kΩ

項目	min	typ	max	単位	測定条件	
周波数	1	—	16	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 16MHz時)	5.06	—	—	μs	ADCSR.ADHSCビット= 1 ADSSTRn = 28h	
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	kΩ	
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±0.5	±4.5	LSB		
フルスケール誤差	—	±0.75	±4.50	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±1.25	±5.00	LSB		
DNL 微分非直線性誤差	—	±1.0	—	LSB		
INL 積分非直線性誤差	—	±1.0	±3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.65 12ビットA/Dコンバータ特性(5)

条件：1.8V ≤ VCC ≤ 5.5V、1.8V ≤ AVCC0 ≤ 5.5V、1.8V ≤ VREFH0 ≤ AVCC0、VREFH0を基準電圧にしたとき、
VSS = AVSS0 = VREFL0 = 0V、T_a = -40 ~ +105°C、
信号源インピーダンス = 5kΩ

項目	min	typ	max	単位	測定条件	
周波数	1	—	8	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 8MHz時)	10.13	—	—	μs	ADCSR.ADHSCビット= 1 ADSSTRn = 28h	
アナログ入力容量	Cs	—	—	25	pF	入力端子容量を含む
アナログ入力抵抗	Rs	—	—	2.5	kΩ	
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±1.0	±7.5	LSB		
フルスケール誤差	—	±1.5	±7.5	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±3.0	±8.0	LSB		
DNL 微分非直線性誤差	—	±1.0	—	LSB		
INL 積分非直線性誤差	—	±1.25	±3.00	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表2.66 12ビットA/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
アナログ入力チャンネル	AN000～AN005	AVCC0 = 1.8～5.5V	

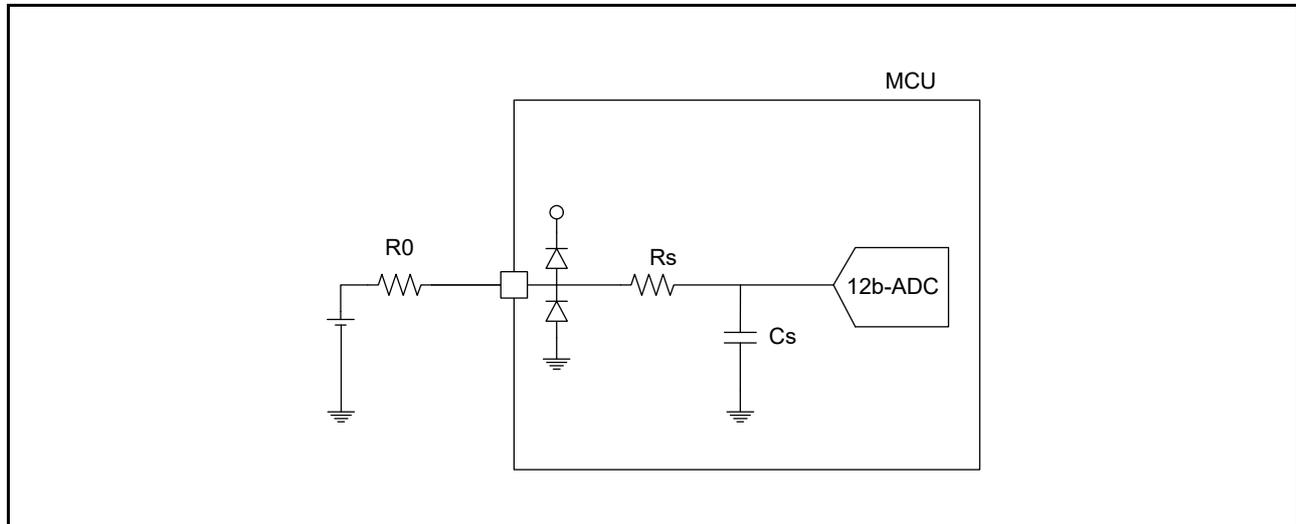


図 2.110 等価回路

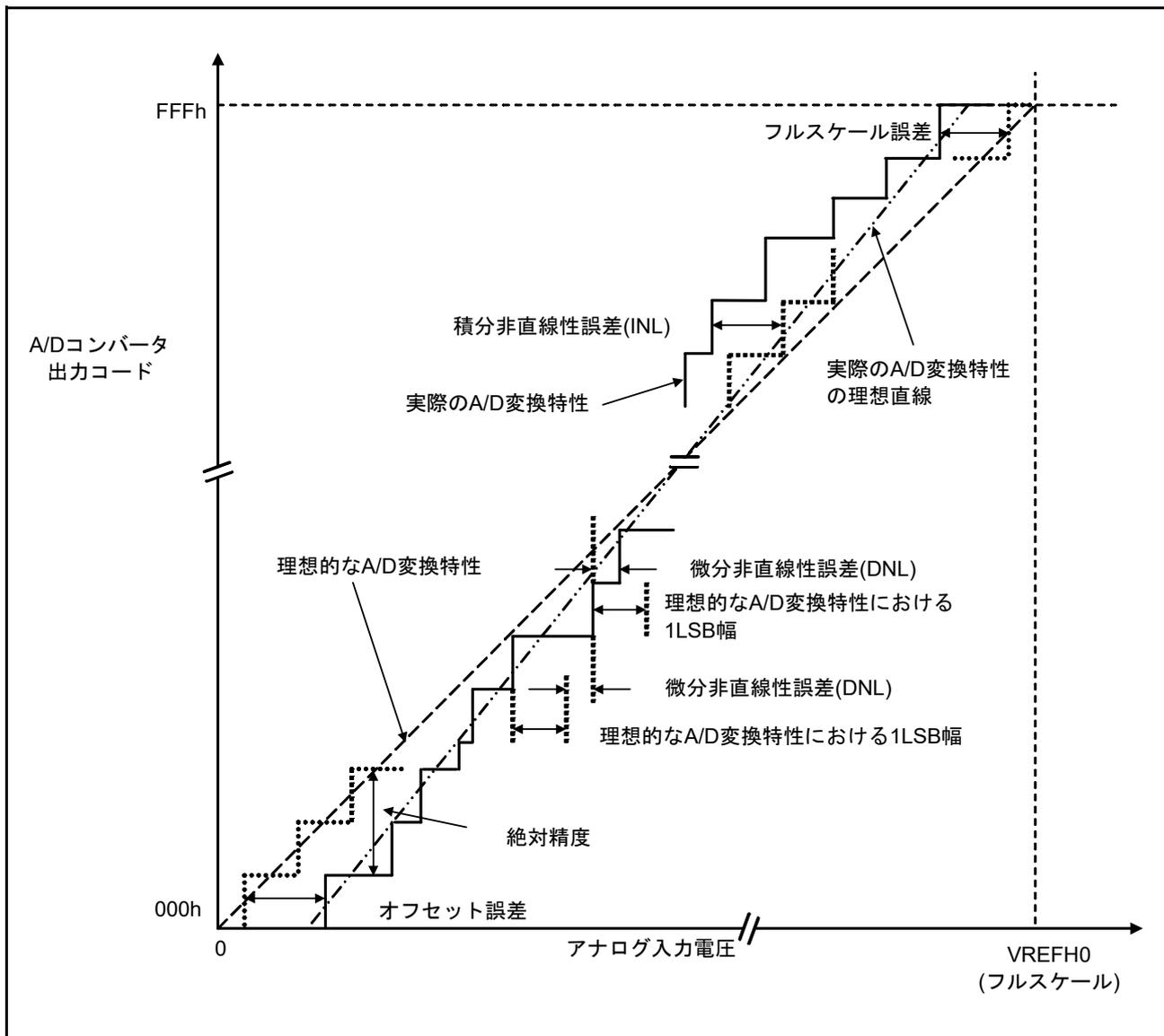


図 2.111 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば分解能 12 ビット、基準電圧 ($V_{REFH0} = 3.072V$) の場合、1LSB 幅は $0.75mV$ で、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$... を使用します。

絶対精度 $\pm 5LSB$ とは、アナログ入力電圧が $6mV$ の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.12 使用上の注意事項

2.12.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサ接続方法を図 2.112、図 2.113 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「33. アナログフロントエンド (AFE)」、「35. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

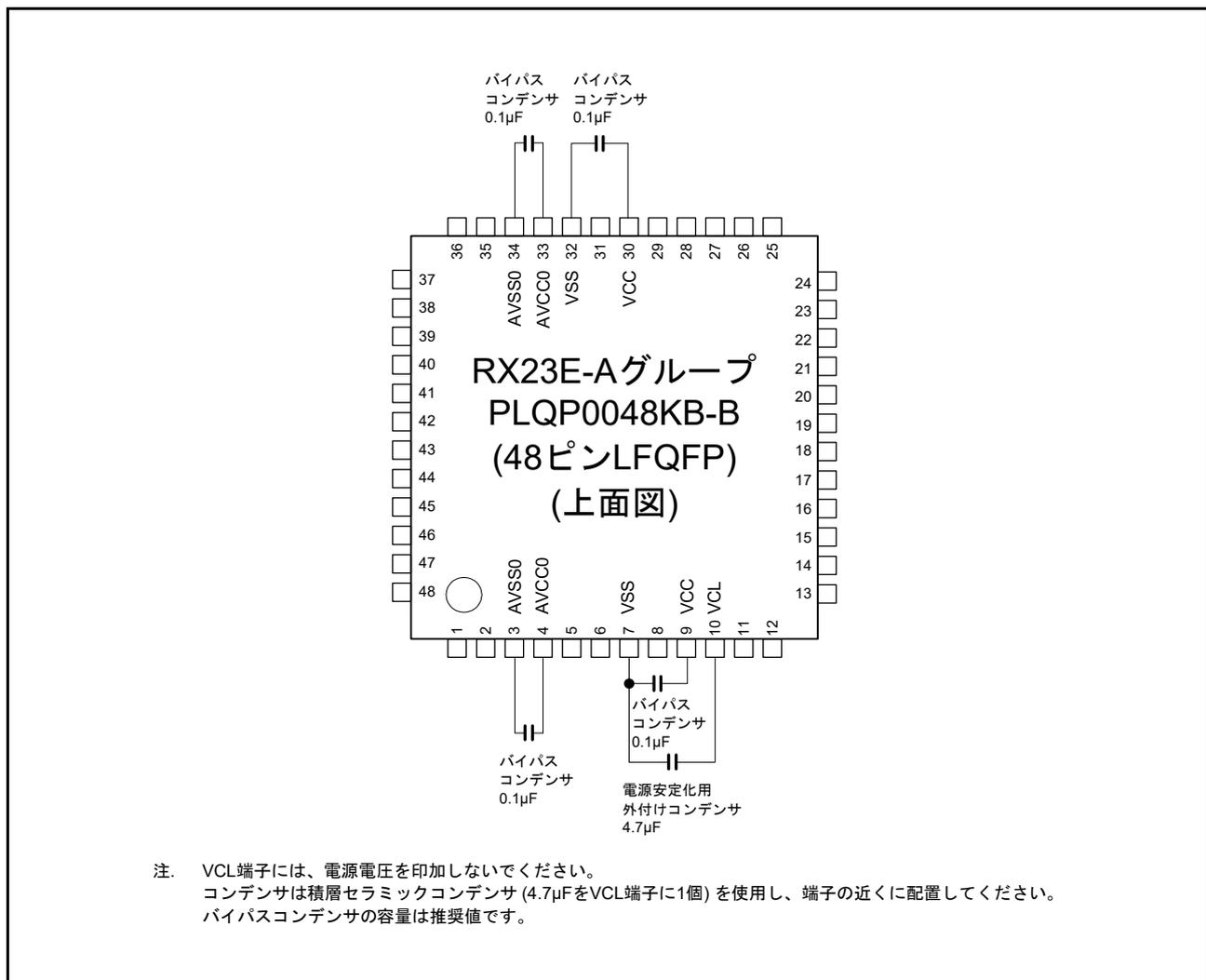


図 2.112 コンデンサ接続方法 (48 ピン)

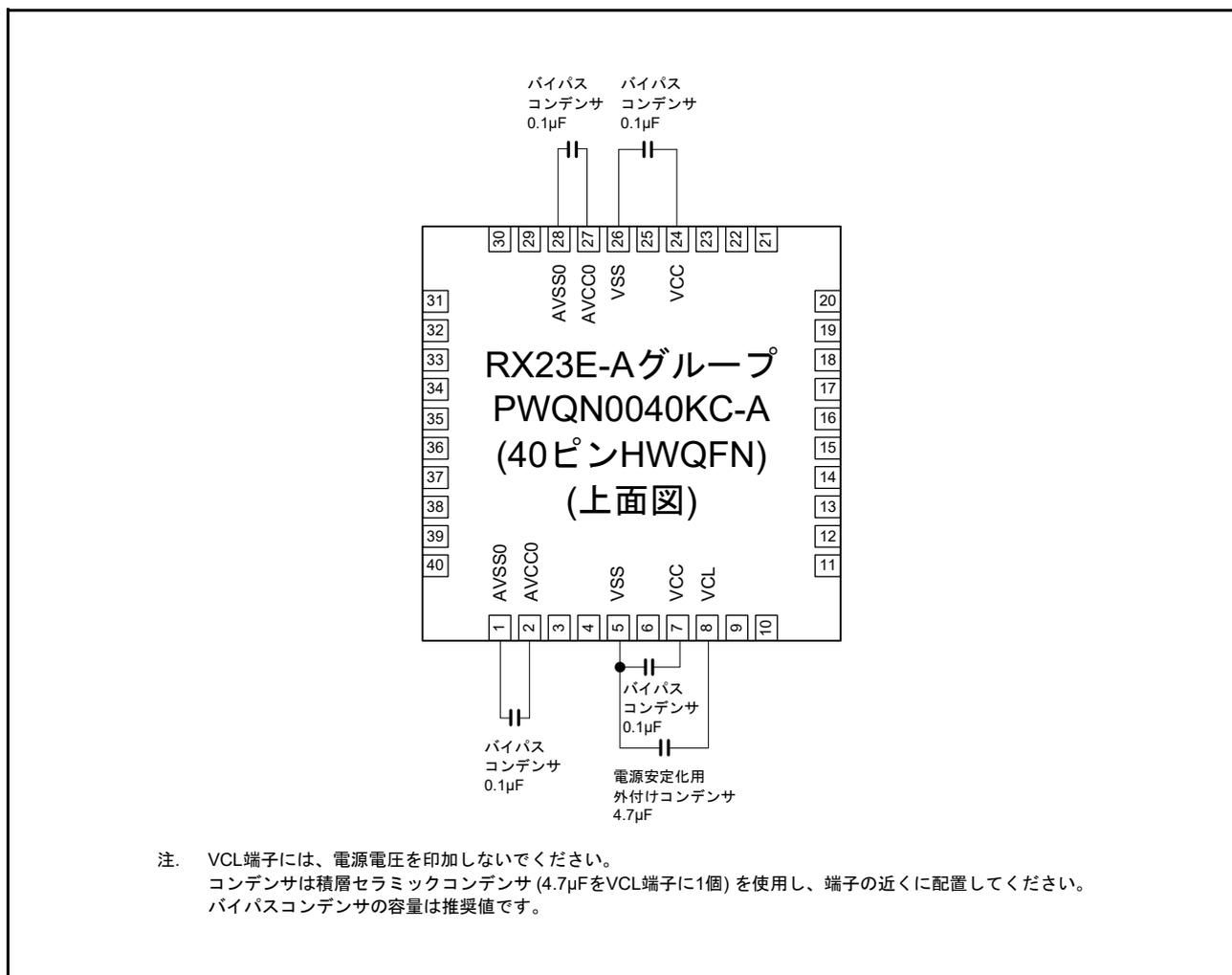


図 2.113 コンデンサ接続方法 (40 ピン)

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

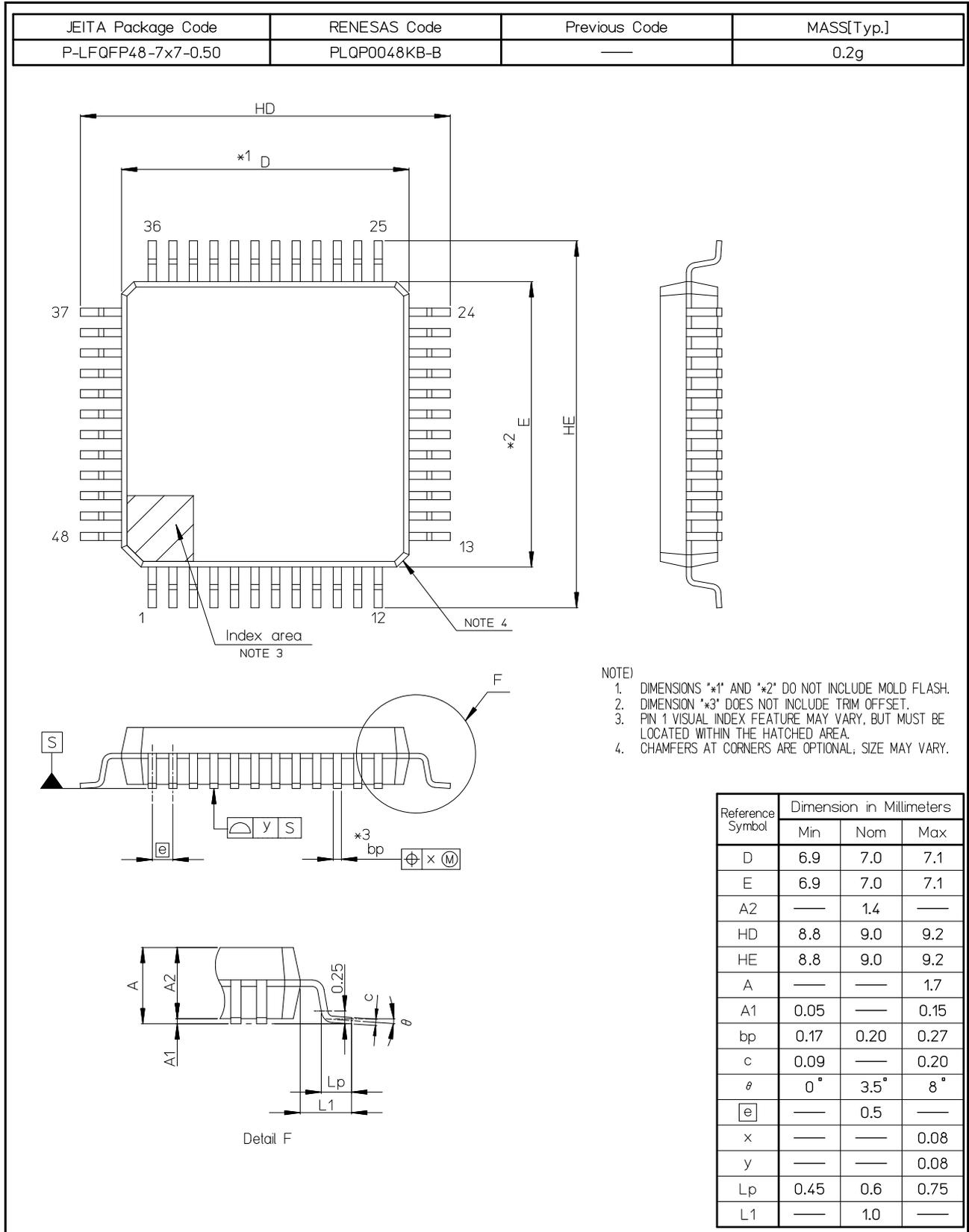
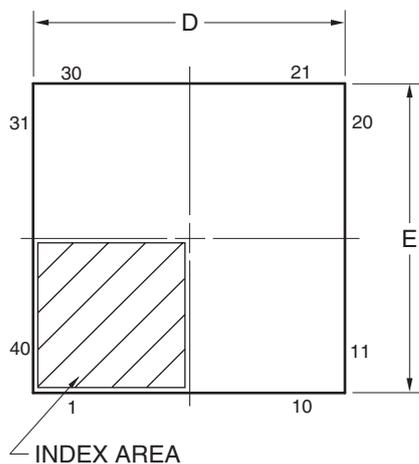
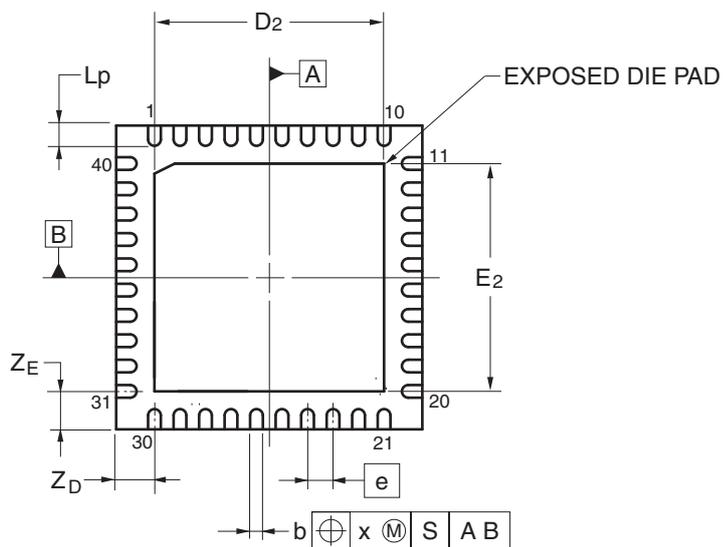
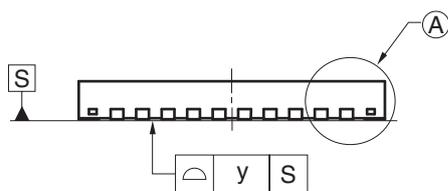
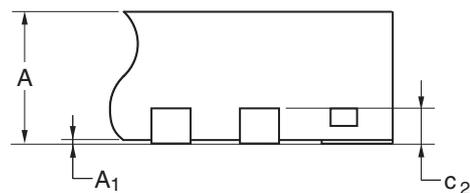


図 A. 48ピン LFQFP (PLQP0048KB-B)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)(g)
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-5	0.09



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.95	6.00	6.05
E	5.95	6.00	6.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	4.50	—
E ₂	—	4.50	—

図 B. 40 ピン HWQFN (PWQN0040KC-A)

改訂記録	RX23E-A グループ データシート
------	---------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.08.30	—	初版発行	

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレストシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>