

RX72T グループ

ルネサスマイクロコンピュータ

R01DS0331JJ0100

Rev.1.00

2019.02.08

200MHz、32ビットRX MCU、FPU内蔵、1160 Coremark、電源5V対応、最大1Mバイトフラッシュメモリ、128KバイトSRAM、32Kバイトデータフラッシュメモリ、16KバイトのECC付SRAM、12ビットA/Dコンバータ3ユニットで最大7ch同時サンプリング、シングルエンド/疑似差動入力対応アンプ6ch、アナログコンパレータ6ch、200MHz PWM (3相相補4ch、5相相補2ch、単相相補10ch)、最小195ps高分解能PWM 4ch、USB2.0 フルスピードホスト/ファンクション/OTG、CAN、暗号機能(オプション)

特長

■ 32 ビット RXv3 CPU コア内蔵

- 最高動作周波数 200MHz
1160 Coremark の性能 (200MHz 動作時)
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース
- レジスタ一括退避機能を使用可能

■消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 4 種類の低消費電力モード

■内蔵コードフラッシュメモリ

- 1M バイト /512K バイト
- 120MHz以下もしくはROMキャッシュヒット時はウェイトなし
- オンボードおよびオフボードによるユーザ書き込み

■内蔵データフラッシュメモリ

- 32K バイト (プログラム / イレーズ: 100,000 回)
- Back Ground Operation (BGO) によるプログラミング / イレーズ

■内蔵 SRAM

- 128K バイト SRAM (ノーウェイト)
- 16K バイト ECC 付き RAM (ウェイトあり)

■データ転送機能

- DMACa: 8ch 内蔵
- DTCa: 1ch 内蔵

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVDA) が設定可能

■クロック機能

- メインクロック発振子周波数: 8 ~ 24MHz、内部 PLL 対応
- 高速オンチップオシレータ: 16MHz/18MHz/20MHz、内部 PLL 対応
- 低速オンチップオシレータ: 240kHz

■独立ウォッチドッグタイマ内蔵

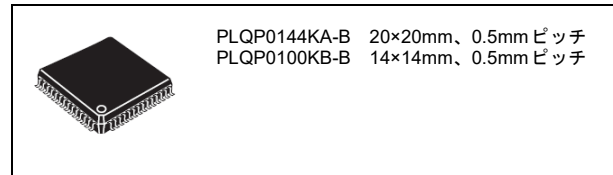
- 120kHz IWDG 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- 発振停止検出、A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット内蔵

■外部バス

- バスクロック @40MHz (max)
- 4 つの CS 領域をサポート
- エリアごとに 8/16 ビットバス空間を選択可能



■多種多様な通信機能を内蔵

- USB2.0 フルスピード (USBb) ホスト / ファンクション / OTG (1ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (1ch)
- 多彩な機能に対応した SCIj、SCIh (計 6ch)
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIi (1ch)
- I²C バスインタフェース (RRIICa) (1ch) Fast-mode (最大 400kbps)、SMBus 対応
- RSPIId (1ch) 最大 30Mbps 転送

■最大 31 本の拡張タイマ機能

- 32 ビット GPTW (10ch): 200MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 単相相補 10ch 出力 / 3 相相補 3ch 出力 / 5 相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネゲート制御)
- 16 ビット MTU3d (9ch): 200MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 3 相相補 2ch 出力、位相計数モード
- 8 ビット TMR (8ch)
- 16 ビット CMT (4ch)

■高分解能 PWM 波形生成回路 (HRPWM) 4ch

- 32 ビット GPTW の PWM 出力波形の立ち上がり / 立ち下がりタイミング制御を最小 195ps の分解能で実現 (160MHz 動作時)

■ 12 ビット A/D コンバータ (S12ADH) 3 ユニット計 30ch 内蔵

- サンプル & ホールド回路内蔵 12 ビット × 最大 3 ユニット ユニット 0 (8ch 「3 S/H 回路」)、ユニット 1 (8ch 「3 S/H 回路」)、ユニット 2 (14ch)
- 疑似差動入力が必要なプログラマブルゲインアンプ (3ch × 2)

■アナログコンパレータ (CMPC) : 6ch

■ 12 ビット D/A コンバータ (R12DAB) : 2ch

- アナログコンパレータの基準電圧として使用可能

■チップ内部の温度を計測可能な温度センサを内蔵

■暗号機能 (Trusted Secure IP Lite)

- AES (鍵長 128/256 ビット) 内蔵、ECB、CBC、GCM 他に対応
- 真正乱数発生回路内蔵
- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供

■最大 110 本の汎用入出力ポート内蔵

- 5V トレラント、オーブンドレイン、入力プルアップ、駆動能力切り替え機能

■推奨動作周囲温度 (Topr)

- -40°C ~ +85°C
- -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数、およびコードフラッシュメモリ容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 8)

分類	モジュール/機能	説明
CPU	中央演算処理装置	- 最大動作周波数：200MHz 32ビットRX CPU (RXv3) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×10本 - アキュムレータ：72ビット×2本 113命令 - 標準搭載命令：111命令 - 基本命令：77命令 - 単精度浮動小数点演算命令：11命令 - DSP機能命令：23命令 - レジスタ括退避機能命令：2命令 - アドレッシングモード：11種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - バレルシフタ：32ビット
	FPU	- 単精度浮動小数点数 (32ビット) - IEEE754に準拠したデータタイプ、および例外
	レジスタ括退避機能	- CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	- 容量：1Mバイト/512Kバイト - ROMキャッシュ：8Kバイトの命令キャッシュ動作の許可/禁止が設定可能 (デフォルト：禁止) [ROMキャッシュ動作許可時] - キャッシュヒット時：200MHzまで1サイクルアクセス可能 - キャッシュミス時： - ICLK ≤ 120MHzのとき、1～2サイクル (バスウェイト0) - ICLK > 120MHzのとき、2～3サイクル (バスウェイト1) [ROMキャッシュ動作禁止時] - ICLK ≤ 120MHzのとき、1サイクル (バスウェイト0) - ICLK > 120MHzのとき、2サイクル (バスウェイト1) - オンボードプログラミング：5種類 - オフボードプログラミング (パラレルライターモード) - Trusted Memory (TM)機能による、ブロック8、9に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	- 容量：32Kバイト - プログラム/イレース回数：100000回
	ユニークID	12バイト長のデバイス固有のID
	RAM	- 容量：128Kバイト 200MHz、ノーウェイトアクセス - SED (シングルエラー検出)
	ECC付きRAM	- 容量：16Kバイト 00FF C000h～00FF FFFFh (16Kバイト) - SEC-DED (シングルエラー訂正/ダブルエラー検出)

表 1.1 仕様概要 (2 / 8)

分類	モジュール/機能	説明
動作モード		- リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) ユーザブートモード - レジスタ設定による動作モードの選択 シングルチップモード、ユーザブートモード、内蔵ROM無効拡張モード、内蔵ROM有効拡張モード - エンディアン選択可能
クロック	クロック発生回路	- メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ - 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 - メインクロック発振器停止検出：あり - システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：200MHz max MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)、RSPI、SCI11の周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max MTU3とGPTWのカウンタ基準クロックはPCLKC同期：200MHz max HRPWMの基準クロックはPCLKC同期：160MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：40MHz max - 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして逡倍可能
リセット		9種類のリセットを内蔵 - RES#端子リセット：RES#端子がLowで発生 - パワーオンリセット：RES#端子がHighで、VCCの上昇時発生 - 電圧監視0リセット：VCCの下降時発生 - 電圧監視1リセット：VCCの下降時発生 - 電圧監視2リセット：VCCの下降時発生 - ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 - 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		RES#端子をHighにして電源投入すると、内部リセットを発生 VCCが電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		VCC端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生 - 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 - 電圧検出回路1, 2 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 - リセット解除タイミング2種類選択可 内部割り込み要求可能 - 上昇検知/下降検知選択可 - マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	- モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

表 1.1 仕様概要 (3 / 8)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUC)	- 割り込みベクタ数：256 - 外部割り込み：要因数16 (IRQ0～IRQ15端子) - ソフトウェア割り込み：要因数2 - ノンマスカブル割り込み：要因数7 16レベルの割り込み優先順位を設定可能 - 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(208要因は固定ベクタ。残り48要因から135ベクタを選択)
外部バス拡張		- 外部アドレス空間を4つのエリア (CS0～CS3)に分割して管理 各エリアの領域：2Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) - バス形式：セパレートバス、マルチプレクスバス - ウェイト制御可能 - ライトバッファ機能
DMA	DMAコントローラ (DMACa)	8チャンネル - 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	- 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	144ピンLQFP 入出力：110 入力：9 プルアップ抵抗：110 オープンドレイン出力：110 5Vトレラント：4 大電流出力：15 100ピンLQFP (PGA疑似差動入力あり、USBあり) 入出力：69 入力：9 プルアップ抵抗：69 オープンドレイン出力：69 5Vトレラント：3 大電流出力：15 100ピンLQFP (PGA疑似差動入力あり、USBなし) 入出力：72 入力：9 プルアップ抵抗：72 オープンドレイン出力：72 5Vトレラント：3 大電流出力：15 100ピンLQFP (PGA疑似差動入力なし、USBなし) 入出力：73 入力：7 プルアップ抵抗：73 オープンドレイン出力：73 5Vトレラント：3 大電流出力：15
	イベントリンクコントローラ (ELC)	- 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 188種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 - 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) - 入力端子の変化で周辺機能が連動可能(ポートB、E)

表 1.1 仕様概要 (4 / 8)

分類	モジュール/機能	説明
タイマ	8ビットタイマ (TMR)	• (8ビット×2チャンネル)×4ユニット • 7種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192) と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5, SCI6, SCI12のボーレートクロック生成可能 • ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	• (16ビット×2チャンネル)×2ユニット • 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	• 14ビット×1チャンネル • 6種類のカウンタクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	• 14ビット×1チャンネル • カウンタクロック : IWDT専用オンチップオシレータ • IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 • ウィンドウ機能 : ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間) • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3d)	• 9チャンネル(16ビット×9チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウンタクロック (PCLKC/1, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/256, PCLKC/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル1, 3, 4は11種類、チャンネル2は12種類、チャンネル5は10種類) • 43本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 45種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力

表 1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	マルチファンクションタイマパルスユニット3 (MTU3d)	- 位相計数モード：16ビットモード(チャネル1, 2)/32ビットモード(チャネル1, 2) - デッドタイム補償用カウンタ機能 - A/Dコンバータの変換開始トリガを生成可能。また外部端子で変換開始タイミングがモニタ可能。 - A/Dコンバータ開始間引き機能 - インプットキャプチャ、外部カウントクロック端子にデジタルフィルタあり - ELCによるイベントリンク機能をサポート - 内部周辺バスクロック：PCLKA - カウンタ基準クロック：PCLKC - 周波数比：PCLKA：PCLKC = 1：N (N = 1または2)
	ポートアウトプットイネーブル3 (POE3B)	- MTU3/GPTW波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御 - POE0, POE4, POE8, POE9, POE10, POE11, POE12, POE13, POE14の9つの入力端子による起動 - 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出)による起動 - コンパレータ検出/発振停止検出/ソフトウェアによる起動 - 出力制御対象端子をプログラマブルに追加制御可能
	汎用PWMタイマ (GPTW)	32ビット×10チャネル - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャネルごとに独立したクロックソースを選択可能 - チャネルごとに2本の入出力端子 - チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 - チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - PWM動作の際にデッドタイム生成が可能 - 任意チャネルのカウンタの同期スタート/ストップ/クリアが可能 - 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 - A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能 - コンペアマッチA～Fイベント、オーバーフローイベント/アンダーフローイベントをELCに出力可能 - インプットキャプチャのノイズフィルタを使用可能 - 内部周辺バスクロック：PCLKA - カウンタ基準クロック：PCLKC - 周波数比：PCLKA：PCLKC = 1：N (N = 1または2)
	高分解能PWM (HRPWM)	GPTW0～GPTW3が生成するPWM波形を最小約195psの分解能で整形可能
	GPTW用ポートアウトプットイネーブル (POEG)	- GPTW波形出力の出力禁止制御 - GTETRG端子の入力レベル検出による起動 - GPTWからの出力禁止要求による起動 - コンパレータ割り込み要求検出による起動 - 発振停止検出/ソフトウェアによる起動

表 1.1 仕様概要 (6 / 8)

分類	モジュール/機能	説明
通信機能	USB2.0 FS ホスト/ファンクションモジュール (USBb)	• USB2.0 FSに対応したUDC (USB Device Controller) およびトランシーバを内蔵 • 1ポート • USBバージョン2.0準拠 • 転送スピード：フルスピード(12Mbps)、ローススピード(1.5Mbps) (ホストのみ) • セルフパワーモードおよびバスパワーを選択可能 • OTG (On-The-Go)に対応 (ローススピードは未対応) • 通信バッファとして2KバイトのRAMを内蔵 • 外付けPull-Up抵抗、Pull-Down抵抗が不要
	シリアルコミュニケーションインタフェース (SCIj, SCli, SClh)	• 7チャンネル SCIj : SCI1, SCI5, SCI6, SCI8, SCI9 SCli : SCI11 SClh : SCI12 • SCIj, SCli, SClh シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSB ファースト/MSB ファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易I2Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データ一致検出をサポート(SCI12以外) ELCによるイベントリンク機能をサポート(SCI5のみ) • SCliのみ 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 • SClhのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I2Cバスインタフェース (RiICa)	• 1チャンネル 通信フォーマット I2Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：400kbps • ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	• 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • 32メールボックス/チャンネル
	シリアルペリフェラルインタフェース (RSPic)	• 1チャンネル • RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSB ファースト/LSB ファーストの切り替え可能 転送ビット長を8～16, 20, 24, 32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 • バッファ構成 送信/受信バッファ構成はダブルバッファ • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (7 / 8)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADH)		12ビット(8チャンネル×2ユニット、最大14チャンネル×1ユニット) - 分解能：12ビット - 最小変換時間：1チャンネル当たり0.9μs (ADCLK = 60MHz動作時) - 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) - サンプル&ホールド機能 チャンネル専用サンプル&ホールド回路を搭載(ユニット0×3チャンネル、ユニット1×3チャンネル) - サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 - 任意チャンネル順変換機能(同一チャンネルの連続変換は不可) - ダブルトリガモード(A/D変換データ二重化機能) - A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, TMR, ELC)、外部トリガ - グループスキャン優先制御がグループA、B、C間で対応可能 - デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 - 自己診断機能 - アナログ入力断線検出機能 - ELCによるイベントリンク機能をサポート - プログラマブルゲインアンプによる入力信号増幅機能(ユニット0×3チャンネル、ユニット1×3チャンネル) シングルエンド/疑似差動入力に対応可能
12ビットD/Aコンバータ (R12DAb)		2チャンネル - 分解能：12ビット - 出力電圧：0V～AVCC2 - コンパレータのリファレンス電圧として供給可能 - ELCによるイベントリンク機能をサポート
コンパレータ C (CMPC)		6チャンネル - リファレンス電圧とアナログ入力電圧の比較機能 - リファレンス電圧：4種類から選択可能 - アナログ入力電圧：4種類から選択可能 - デジタルフィルタ機能あり
温度センサ		1チャンネル - 相対精度：±1.0°C - 温度を電圧に変換し12ビットA/Dコンバータ(ユニット2)でデジタル化
三角関数演算器 (TFU)		sin 演算、cos 演算、arctan 演算、$\sqrt{x^2+y^2}$ 演算 sin と cos の同時演算 arctan と $\sqrt{x^2+y^2}$ の同時演算

表 1.1 仕様概要 (8 / 8)

分類	モジュール/機能	説明
セーフティ	メモリプロテクションユニット (MPU)	• プロテクションエリア：0000 0000h～FFFF FFFFh範囲内で最大8エリアを設定可能 • 最小保護単位：16バイト • 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 • 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM) 機能	• コードフラッシュメモリのブロック8、9に対するプログラムのリード防止機能 • TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	• プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC 演算器 (CRCA)	• 8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ • LSB ファースト/MSB ファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	• メインクロック発振停止検出：あり
	クロック周波数精度測定回路 (CAC)	• メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDI専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路 (DOC)	• 16ビットのデータを比較/加算/減算する機能
暗号機能	Trusted Secure IP (TSIP-Lite)	• アクセスマネジメント回路搭載 • 暗号エンジン - AES 鍵長：128ビット/256ビット - 暗号利用モード：GCM, ECB, CBC, CMAC, XTS, CTR, GCTR • ハッシュ機能 • 真正乱数生成回路 • 鍵の不正コピー防止
動作周波数		200MHz max
電源電圧		VCC = 2.7～5.5V AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V (ただし、VCC ≤ AVCC0 = AVCC1 = AVCC2) USB 使用時：VCC_USB = 3.0～3.6V (ただし、VCC ≥ VCC_USB) USB 未使用時：VCC_USB = VCC VSS = AVSS0 = AVSS1 = AVSS2 = VSS_USB = 0V
動作周囲温度		Dバージョン：-40～+85°C Gバージョン：-40～+105°C
パッケージ		144ピンLQFP 0.5mmピッチ 100ピンLQFP 0.5mmピッチ
デバッグインタフェース		• JTAGおよび1線式FINEインタフェース

表 1.2 パッケージ別機能比較一覧 (1 / 2)

モジュール/機能		RX72Tグループ			
		PGA疑似差動入力あり			PGA疑似差動入力なし
		USBあり		USBなし	
		144ピン	100ピン	100ピン	100ピン
コードフラッシュメモリ容量		max1MB			
外部バス	外部バス幅	16ビット			
	アドレス空間	2Mバイト×4エリア			2Mバイト×3エリア
外部割り込み	NMI端子	あり			
	IRQ端子	16本			
DMA	DMAコントローラ	あり			
	データトランスファコントローラ	あり			
タイマ	マルチファンクションタイマパルスユニット3	9チャンネル(ch0～7, ch9)			
	汎用PWMタイマ	10チャンネル			
	高分解能PWM	4チャンネル			
	ポートアウトプットイネーブル3	あり			
	GPTW用ポートアウトプットイネーブル	あり			
	8ビットタイマ	2チャンネル×4ユニット			
	コンペアマッチタイマ	2チャンネル×2ユニット			
	独立ウォッチドックタイマ	あり			
通信機能	USB2.0 FS ホスト/ファンクションモジュール	1チャンネル		—	
	シリアルコミュニケーションインタフェース(SCIj)	5チャンネル(SCI1, 5, 6, 8, 9)			
	シリアルコミュニケーションインタフェース(SCIi)	1チャンネル(SCI11)			
	シリアルコミュニケーションインタフェース(SCIh)	1チャンネル(SCI12)			
	I ² Cバスインタフェース	1チャンネル			
	シリアルペリフェラルインタフェース	1チャンネル			
	CANモジュール	1チャンネル			
12ビットA/Dコンバータ		AN000～007(注1) (ユニット0:8本)	AN000～003, 007(注1) (ユニット0:5本)		AN000～003 (ユニット0:4本)
		AN100～107(注1) (ユニット1:8本)	AN100～103, 107(注1) (ユニット1:5本)		AN100～103 (ユニット1:4本)
		AN200～211, 216, 217 (ユニット2:14本)	AN200～203, 206～211, 216, 217 (ユニット2:12本)		AN200～211, 216, 217 (ユニット2:14本)
	3チャンネル同時サンプリング機能	3チャンネル×2ユニット(ユニット0, 1)			
	プログラマブルゲインアンプ	6チャンネル			
コンパレータC		6チャンネル			
D/Aコンバータ		2チャンネル			

表 1.2 パッケージ別機能比較一覧 (2 / 2)

モジュール/機能	RX72Tグループ			
	PGA疑似差動入力あり			PGA疑似差動入力なし
	USBあり		USBなし	
	144ピン	100ピン	100ピン	100ピン
温度センサ	1チャンネル			
CRC演算器	あり			
クロック周波数精度測定回路	あり			
Trusted Secure IP (TSIP-Lite)	あり / なし			
イベントリンクコントローラ	あり			
パッケージ	144ピン LFQFP	100ピン LFQFP	100ピン LFQFP	100ピン LFQFP

注1. PGA疑似差動入力を許可しているときは、AN007、AN107は使用できません。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 2)

グループ	型名	発注型名	パッケージ	コードフ ラッシュメ モリ容量	RAM容量	データフ ラッシュメ モリ容量	PGA 疑似 差動 入力	TSIP- Lite	USB	動作周 囲温度	備考
RX72T	R5F572TKCDFB	R5F572TKCDFB#30	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +85°C	
	R5F572TKGDFB	R5F572TKGDFB#30	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +85°C	
	R5F572TFCDFB	R5F572TFCDFB#30	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +85°C	
	R5F572TFGDFB	R5F572TFGDFB#30	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +85°C	
	R5F572TKADFP	R5F572TKADFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～ +85°C	
	R5F572TKBDFP	R5F572TKBDFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～ +85°C	
	R5F572TKCDFP	R5F572TKCDFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +85°C	
	R5F572TKEDFP	R5F572TKEDFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～ +85°C	
	R5F572TKFDFP	R5F572TKFDFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～ +85°C	
	R5F572TKGDFP	R5F572TKGDFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +85°C	
	R5F572TFADFP	R5F572TFADFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～ +85°C	
	R5F572TFBDFP	R5F572TFBDFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～ +85°C	
	R5F572TFCDFP	R5F572TFCDFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +85°C	
	R5F572TFEDFP	R5F572TFEDFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～ +85°C	
	R5F572TFFDFP	R5F572TFFDFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～ +85°C	
	R5F572TFGDFP	R5F572TFGDFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +85°C	
	R5F572TKCGFB	R5F572TKCGFB#30	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +105°C	
	R5F572TKGGFB	R5F572TKGGFB#30	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +105°C	
	R5F572TFCGFB	R5F572TFCGFB#30	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +105°C	
	R5F572TFGGFB	R5F572TFGGFB#30	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +105°C	
	R5F572TKAGFP	R5F572TKAGFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～ +105°C	
	R5F572TKBGFP	R5F572TKBGFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～ +105°C	
	R5F572TKCGFP	R5F572TKCGFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +105°C	
	R5F572TKEGFP	R5F572TKEGFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～ +105°C	
	R5F572TKFGFP	R5F572TKFGFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～ +105°C	
	R5F572TKGGFP	R5F572TKGGFP#30	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +105°C	
	R5F572TFAGFP	R5F572TFAGFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～ +105°C	

表 1.3 製品一覧表 (2 / 2)

グループ	型名	発注型名	パッケージ	コードフ ラッシュメモ リ容量	RAM容量	データフ ラッシュメモ リ容量	PGA 疑似 差動 入力	TSIP- Lite	USB	動作周 囲温度	備考
RX72T	R5F572TFBGFP	R5F572TFBGFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～ +105°C	
	R5F572TFCGFP	R5F572TFCGFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～ +105°C	
	R5F572TFEGFP	R5F572TFEGFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～ +105°C	
	R5F572TFFGFP	R5F572TFFGFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～ +105°C	
	R5F572TFGGFP	R5F572TFGGFP#30	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～ +105°C	

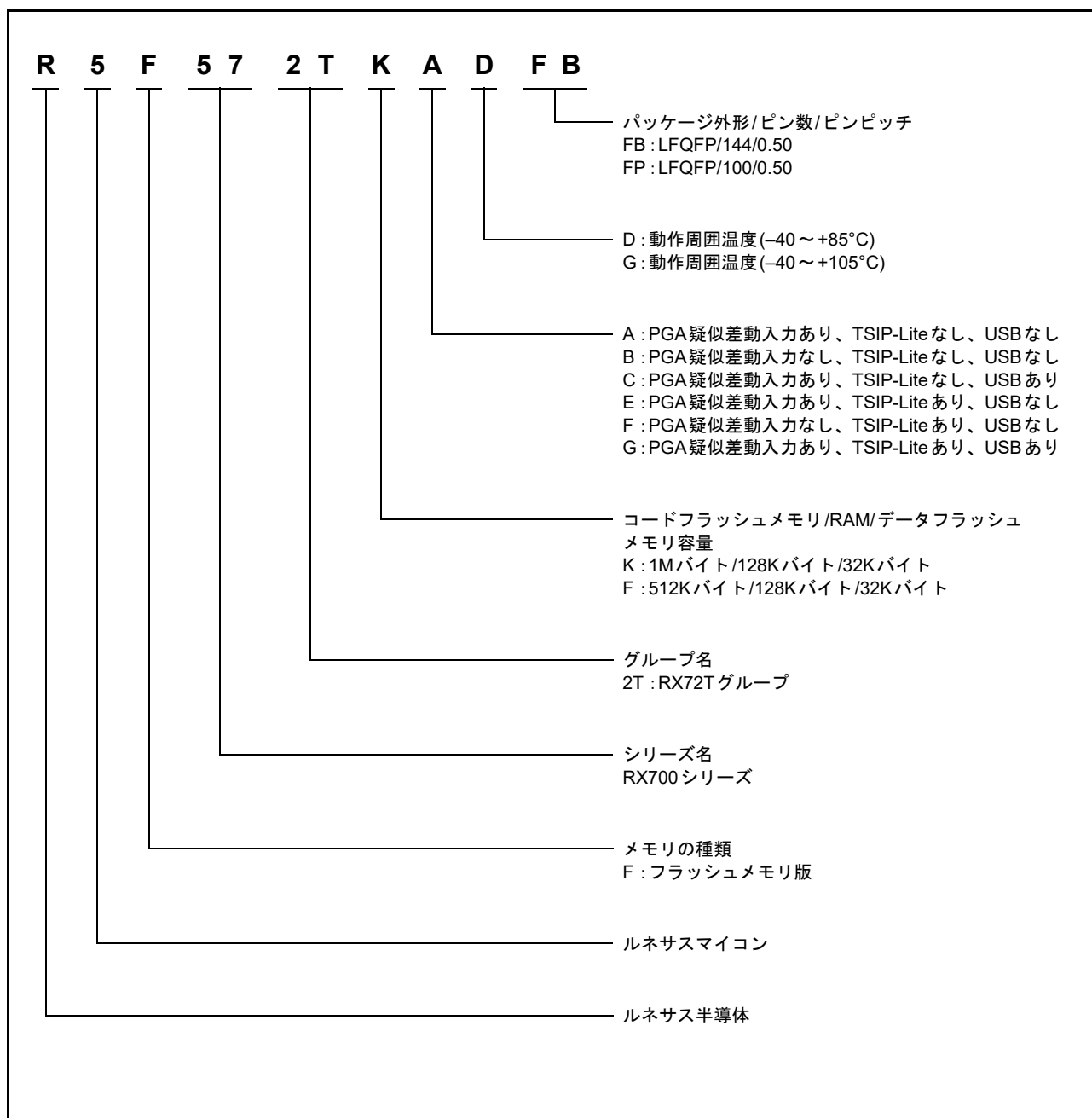


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

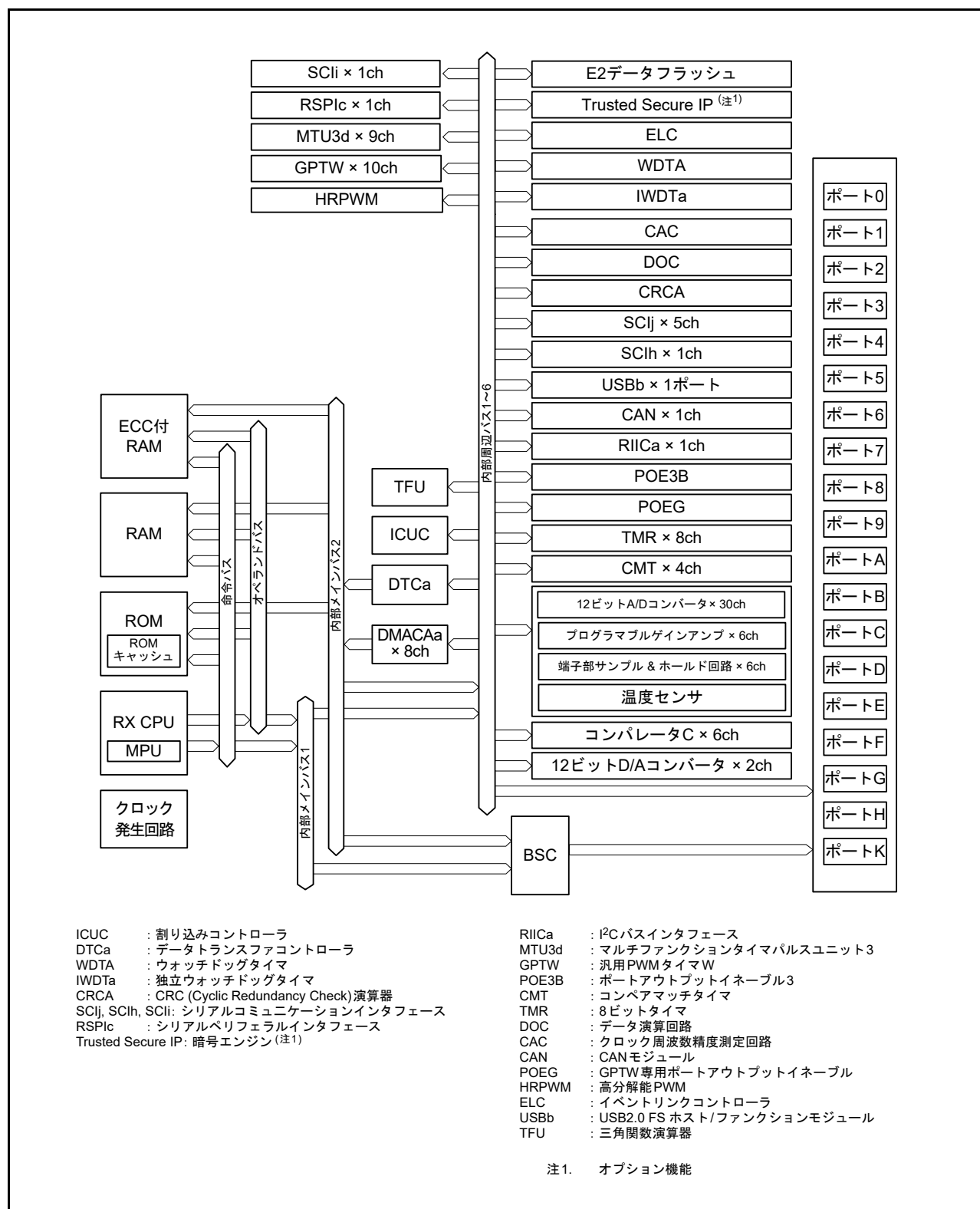


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 6)

分類	端子名	入出力	機能
デジタル電源	VCC	—	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	—	内部電源安定用の平滑コンデンサ(0.47μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード(USBインタフェース)、またはユーザブートモードイネーブル端子
	UPSEL	入力	ブートモード(USBインタフェース)時の電源供給方式を選択。Lowでセルフパワー、Highでバスパワーを選択
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE 端子を High にするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3 端子からの出力が有効データであることを示します
	TRSYNC1	出力	TRDATA4～TRDATA7 端子からの出力が有効データであることを示します
	TRDATA0	出力	トレース情報を出力します
	TRDATA1		
	TRDATA2		
	TRDATA3		
	TRDATA4		
	TRDATA5		
	TRDATA6		
	TRDATA7		
アドレスバス	A0～A20	出力	アドレスバス出力
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 6)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#, WR1#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストロブ信号
	BC0#, BC1#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ15	入力	割り込み要求端子
	IRQ0-DS～IRQ15-DS	入力	割り込み要求端子、ディープソフトウェアスタンバイモードの解除端子
マルチファンクション タイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0～TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3～TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4～TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6～TGRD6のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7～TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7～TGRD7のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9～TGRD9のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子

表 1.4 端子機能一覧 (3 / 6)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/D 変換開始要求フレーム同期信号出力端子
汎用PWMタイマ	GTETRGA	入力	外部トリガ入力端子
	GTETRGB		
	GTETRGC		
	GTETRGD		
	GTIOC0A ~ GTIOC9A, GTIOC0B ~ GTIOC9B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A# ~ GTIOC9A#, GTIOC0B# ~ GTIOC9B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
8ビットタイマ	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタ出力端子
	TMO0 ~ TMO7	出力	コンペアマッチ出力端子
	TMCI0 ~ TMCI7	入力	カウンタに入力する外部クロックの入力端子
	TMRI0 ~ TMRI7	入力	カウンタリセット入力端子
ポートアウトプットイ ネーブル3	POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#	入力	MTU3 および GPTW 用の端子をハイインピーダンス状態にする要求信号を入力
シリアル コミュニケーション インタフェース (SCI/I)	・ 調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	RXD1, RXD5, RXD6, RXD8, RXD9	入力	受信データ入力端子
	TXD1, TXD5, TXD6, TXD8, TXD9	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#, CTS8#, CTS9#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#, RTS8#, RTS9#	出力	送受信開始制御用出力端子
	・ 簡易 I ² C モード		
	SSCL1, SSCL5, SSCL6, SSCL8, SSCL9	入出力	I ² C クロック入出力端子
	SSDA1, SSDA5, SSDA6, SSDA8, SSDA9	入出力	I ² C データ入出力端子
	・ 簡易 SPI モード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6, SMISO8, SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6, SMOSI8, SMOSI9	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#, SS8#, SS9#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (4 / 6)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIh)	・ 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御入力端子
	RTS12#	出力	送受信開始制御出力端子
	・ 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	・ 拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
シリアル コミュニケーション インタフェース (SCli)	・ 調歩同期式モード/クロック同期式モード		
	SCK11	入出力	クロック入出力端子
	RXD11	入力	受信データ入力端子
	TXD11	出力	送信データ出力端子
	CTS11#	入力	送受信開始制御入力端子
	RTS11#	出力	送受信開始制御出力端子
	・ 簡易I ² Cモード		
	SSCL11	入出力	I ² Cクロック入出力端子
	SSDA11	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK11	入出力	クロック入出力端子
	SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI11	入出力	マスタ送出データ入出力端子
	SS11#	入力	チップセレクト入力端子
I ² Cバスインタフェース	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
USB2.0 ホスト/ファンク ションモジュール	VCC_USB	入力	電源端子
	VSS_USB	入力	グラウンド端子
	USB0_DP	入出力	USBバスのD+データ
	USB0_DM	入出力	USBバスのD-データ
	USB0_EXICEN	出力	OTG電源ICに接続
	USB0_ID	入力	OTG電源ICに接続
	USB0_VBUSEN	出力	USB用VBUSパワーイネーブル端子
	USB0_OVRCURA, USB0_OVRCURB	入力	USB用オーバカレント端子
	USB0_VBUS	入力	USBケーブルの接続/切断検出入力端子

表 1.4 端子機能一覧 (5 / 6)

分類	端子名	入出力	機能
CAN モジュール	CRX	入力	入力端子
	CTX	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN002, AN100～AN102	入力	A/Dコンバータのアナログ入力端子 (PGA疑似差動入力時は+側入力)
	AN003～AN007, AN103～AN107, AN200～AN211, AN216～AN217	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
	PGAVSS0, PGAVSS1	入力	ユニット内のPGA疑似差動入力の共通基準グランド端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0～COMP5	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCn用アナログ入力端子 (n = 0～5, m = 0～3)
アナログ電源	AVCC0	—	12ビットA/Dコンバータ0のアナログ電源端子。12ビットA/Dコンバータ0を使用しない場合は、AVCC1/AVCC2のいずれかに接続してください
	AVSS0	—	12ビットA/Dコンバータ0のアナロググランド端子。12ビットA/Dコンバータ0を使用しない場合は、AVSS1/AVSS2のいずれかに接続してください
	AVCC1	—	12ビットA/Dコンバータ1のアナログ電源端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVCC0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVCC2に接続してください
	AVSS1	—	12ビットA/Dコンバータ1のアナロググランド端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVSS0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVSS2に接続してください
	AVCC2	—	12ビットA/Dコンバータ2のアナログ電源端子、D/Aコンバータの基準電源端子、コンパレータCのアナログ電源端子、温度センサのアナログ電源端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVCC0/AVCC1のいずれかに接続してください
	AVSS2	—	12ビットA/Dコンバータ2のアナロググランド端子、D/Aコンバータの基準グランド端子、コンパレータCのアナロググランド端子、温度センサのアナロググランド端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVSS0/AVSS1のいずれかに接続してください
I/Oポート	P00～P01	入出力	汎用入出力端子
	P10～P17	入出力	汎用入出力端子
	P20～P27	入出力	汎用入出力端子
	P30～P37	入出力	汎用入出力端子
	P40～P47	入出力	汎用入出力端子 (P40～P42、P44～P46は入力端子)
	P50～P55	入出力	汎用入出力端子

表 1.4 端子機能一覧 (6 / 6)

分類	端子名	入出力	機能
I/Oポート	P60～P65	入出力	汎用入出力端子
	P70～P76	入出力	汎用入出力端子
	P80～P82	入出力	汎用入出力端子
	P90～P96	入出力	汎用入出力端子
	PA0～PA7	入出力	汎用入出力端子
	PB0～PB7	入出力	汎用入出力端子
	PC0～PC6	入出力	汎用入出力端子
	PD0～PD7	入出力	汎用入出力端子
	PE0～PE6	入出力	汎用入出力端子 (PE2は入力端子)
	PF0～PF3	入出力	汎用入出力端子
	PG0～PG2	入出力	汎用入出力端子
	PH0～PH7	入出力	汎用入出力端子 (PH0、PH4は入力端子)
	PK0～PK2	入出力	汎用入出力端子

注. A/Dコンバータ、D/Aコンバータ、コンパレータC、温度センサをすべて使用しない場合、AVCC0、AVCC1、AVCC2端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。

1.5 ピン配置図

図 1.3 ～図 1.6 にピン配置図を示します。また、表 1.5 ～表 1.8 に機能別端子一覧を示します。

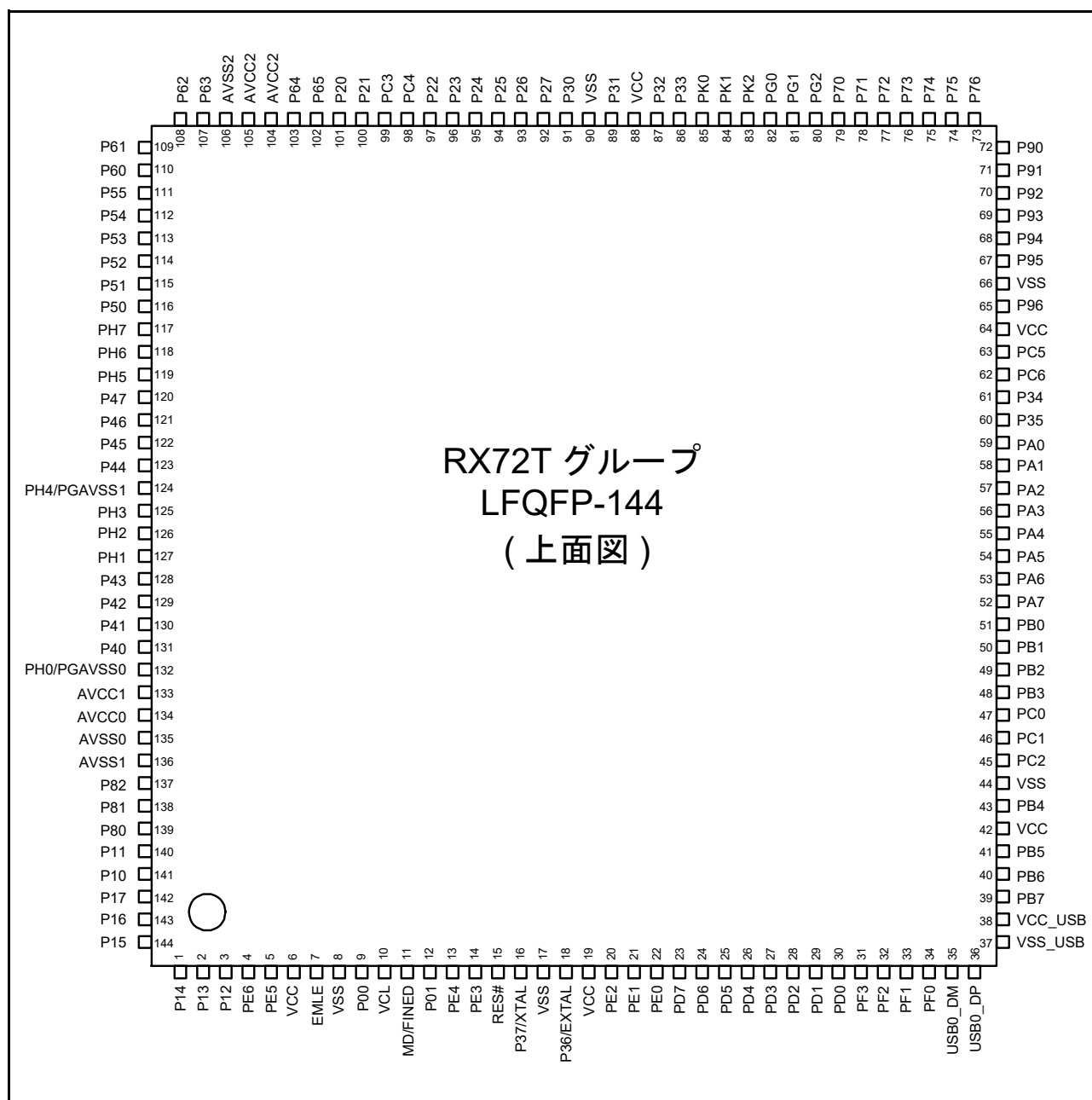


図 1.3 144 ピン (LQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子あり)

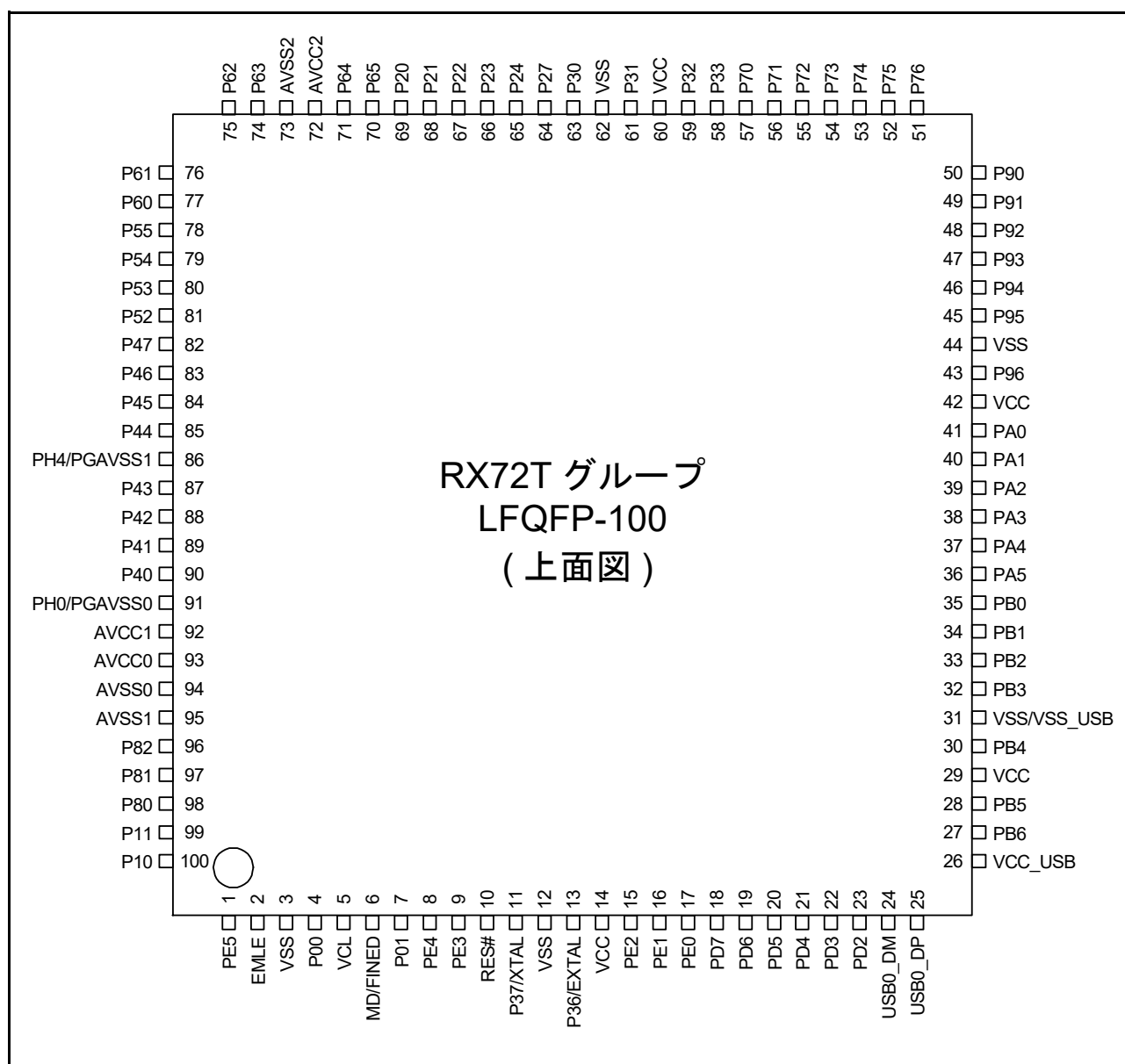


図 1.4 100 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子あり)

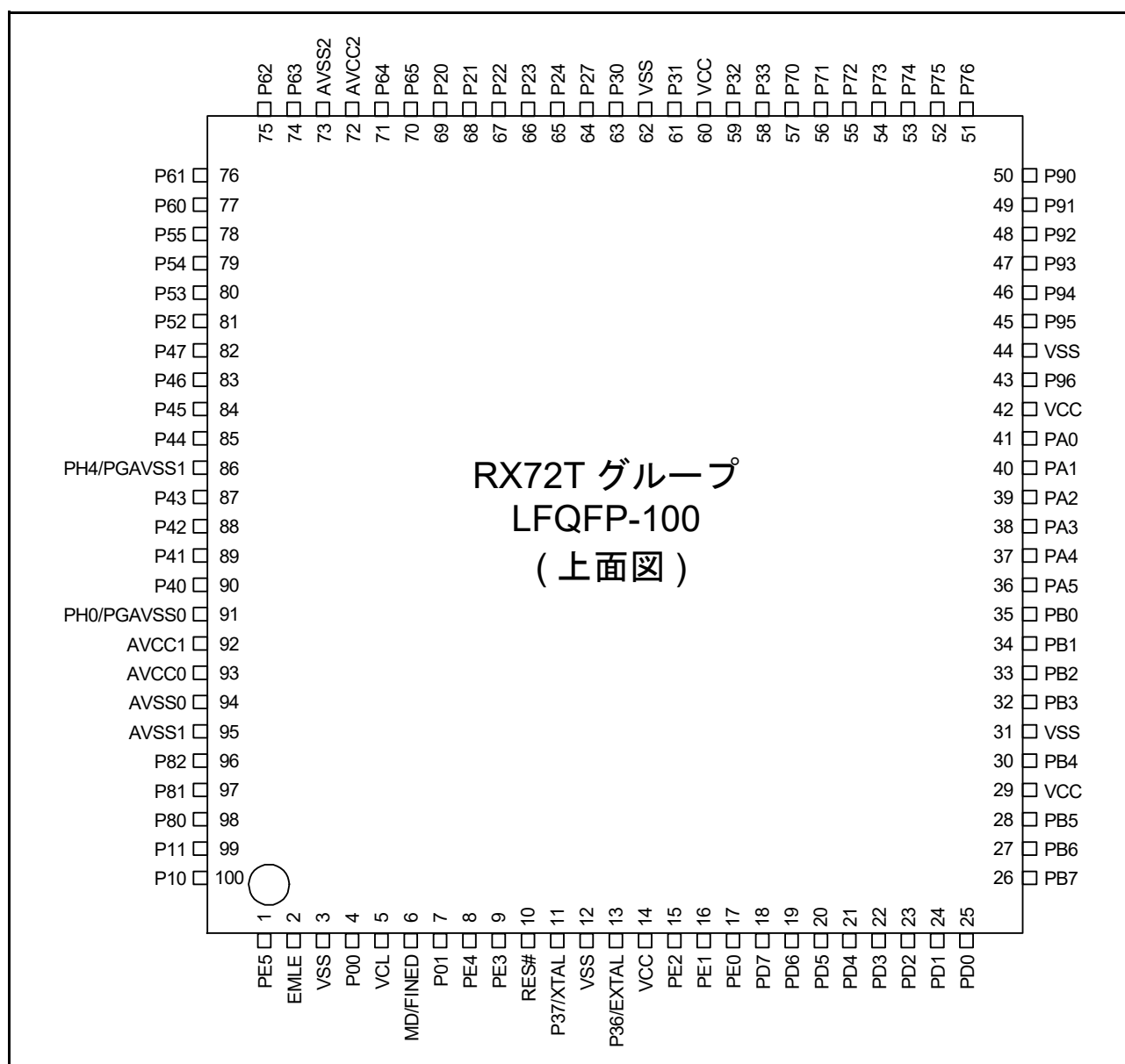


図 1.5 100 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子なし)

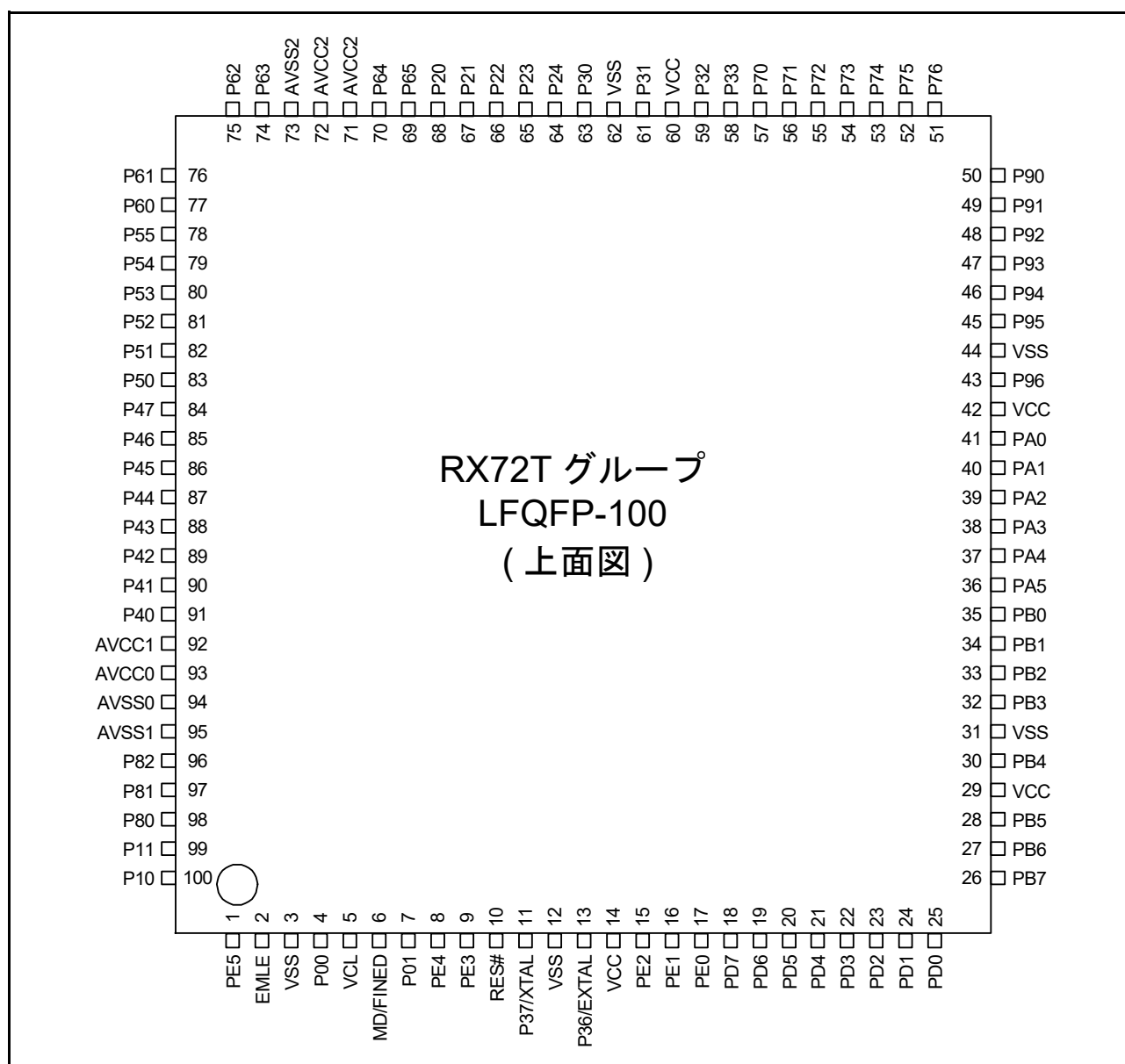


図 1.6 100 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力なし、USB 端子なし)

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (1 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
1		P14		MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC9A/ GTIOC2A#/ GTIOC9A#			IRQ11		
2		P13		MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC8A/ GTIOC1A#/ GTIOC8A#			IRQ10		
3		P12		MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC7A/ GTIOC0A#/ GTIOC7A#			IRQ9		
4		PE6	RD#	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE10#			IRQ3		
5		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRG B/ GTIOC3A#/ GTETRG D	SCK9/CTS9#/ RTS9#/SS9#		IRQ0		ADST0
6	VCC								
7	EMLE								
8	VSS								
9	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ2		ADST1/ COMP0
10	VCL								
11	MD/FINED								
12		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ4		ADST2/ COMP1
13		PE4	A9	MTCLKC/ MTCLKC#/ GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE10#	SCK9		IRQ1		

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (2 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
14		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGA#/ GTETRGC/ GTETRGC#/ GTETRGC#/ GTETRGC#/ POE11#	CTS9#/#RTS9#/ SS9#		IRQ2-DS		
15	RES#								
16	XTAL	P37							
17	VSS								
18	EXTAL	P36							
19	VCC								
20	UPSEL	PE2		POE10#			NMI		
21		PE1	WR0#/ WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/#RTS5#/ SS5#/#CTS12#/ RTS12#/#SS12#/ SSLA3		IRQ15		
22		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMC11/TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	USB0_OV RCURB	IRQ7		
23	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMRI1/TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0		IRQ8		
24	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/ TMO1	CTS1#/#RTS1#/ SS1#/#CTS11#/ RTS11#/#SS11#/ SSLA0		IRQ5		ADST0
25	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/ TMRI0/TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11		IRQ6		
26	TCK	PD4		GTIOC1B/ GTETRGA/ GTIOC1B#/ TMC10/TMC16	SCK1/SCK11		IRQ2		
27	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/ TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11				
28	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/ TMC11/TMO4	SCK5/SCK8/ MOSIA	USB0_VB US			

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (3 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
29	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/ TMO2	RXD8/SMISO8/ SSCL8/MISOA				
30	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/ TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA				
31	TRDATA7	PF3	A19/CS3#	GTETRGA/ TMO7	CTS11#/RTS11#/ SS11#/CRX0		IRQ14		COMP0
32	TRDATA6	PF2	A18/CS2#	GTETRGB/ TMO3	SCK11/CTX0		IRQ5		COMP1
33	TRDATA5	PF1	A17/CS1#	GTETRGD/ TMO5	RXD11/SMISO11/ SSCL11		IRQ13		COMP2
34	TRDATA4	PF0	A0/BC0#	GTETRGA/ TMO1	TXD11/SMOSI11/ SSDA11		IRQ12		COMP3
35						USB0_DM			
36						USB0_DP			
37	VSS_USB								
38	VCC_USB								
39	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12	USB0_OV RCURB			
40	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0	USB0_OV RCURA	IRQ2		
41	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0	USB0_VB USEN			
42	VCC								
43	TRSYNC1	PB4	A1	GTETRGA/ GTETRGB/ GTETRGD/ GTETRGA/ POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	USB0_OV RCURB	IRQ3-DS		
44	VSS								
45		PC2	CS1#	MTIOC0D/ MTIOC0D#/ GTADSM0	SCK8	USB0_ID/ USB0_OV RCURA	IRQ15		ADSM0/ COMP5
46		PC1	A16	MTIOC0C/ MTIOC0C#/ GTADSM1	TXD8/SMOSI8/ SSDA8	USB0_EXI CEN/ USB0_VB USEN	IRQ13		ADSM1/ COMP4
47		PC0	CS0#	MTIOC0B/ MTIOC0B#	RXD8/SMISO8/ SSCL8	USB0_VB US	IRQ12		COMP3

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (4 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
48		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA		IRQ9		
49		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/ TMRI0	TXD6/SMOSI6/ SSDA6/SDA				ADSM0
50		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/ TMCIO	RXD6/SMISO6/ SSCL6/SCL		IRQ4		ADSM1
51		PB0	A0/BC0#/ A4	MTIOC0D/ MTIOC0D#/ TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA		IRQ8		ADTRG2#
52		PA7	A15	MTCLKA/ MTCLKC/ MTCLKA#/ MTCLKC#/ GTADSM0/ TMO2	RXD11/SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0				ADSM0
53		PA6	A14	MTCLKB/ MTCLKD/ MTCLKB#/ MTCLKD#/ GTADSM1/ TMO6	TXD11/SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0		IRQ7		ADSM1
54		PA5	A3	MTIOC1A/ MTIOC1A#/ TMC13	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA		IRQ1		ADTRG1#
55		PA4	A2	MTIOC1B/ MTIOC1B#/ TMC17	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA				ADTRG0#
56		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/ TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0				
57		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/ TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1				
58		PA1		MTIOC6A/ MTIOC6A#/ TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/ SSCL11/SSLA2/ CRX0	USB0_ID/ USB0_OV RCURA	IRQ14-DS		ADTRG0#
59		PA0		MTIOC6C/ MTIOC6C#/ TMO2	SCK9/TXD11/ SMOSI11/ SSDA11/SSLA3/ CTX0	USB0_EXI CEN/ USB0_VB USEN			

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (5 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
60		P35	A13	MTIOC2A/ MTIOC9A/ MTIOC2A#/ MTIOC9A#/ GTADSM0/ TMO0	CTS8#/RTS8#/ SS8#/TXD1/ SMOSI1/SSDA1		IRQ6		
61		P34	A12	MTIOC2B/ MTIOC9B/ MTIOC2B#/ MTIOC9B#/ GTADSM1/ GTETRGB/ TMO4	CTS9#/RTS9#/ SS9#/RXD1/ SMISO1/SSCL1	USB0_OV RCURB	IRQ3		
62		PC6		MTIOC1A/ MTIOC9C/ MTIOC1A#/ MTIOC9C#	RXD11/SMISO11/ SSCL11/CRX0		IRQ11-DS		
63		PC5		MTIOC1B/ MTIOC9D/ MTIOC1B#/ MTIOC9D#	TXD11/SMOSI11/ SSDA11/CTX0		IRQ10-DS		
64	VCC								
65		P96	CS0#/ WAIT#	GTETRGA/ GTETRGB/ GTETRGD/ GTETRGD/ POE4#	CTS8#/RTS8#/ SS8#		IRQ4-DS		
66	VSS								
67		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#					
68		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#					
69		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#					
70		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#					

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
144 ピン LFQFP									
71		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#					
72		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#					
73		P76	D0 [A0/ D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#					
74		P75	D1 [A1/ D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#					
75		P74	D2 [A2/ D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#					
76		P73	D3 [A3/ D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#					
77		P72	D4 [A4/ D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#					
78		P71	D5 [A5/ D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#					
79		P70	D6 [A6/ D6]	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE0#	CTS9#/RTS9#/ SS9#		IRQ5-DS		
80		PG2	D11 [A11/ D11]	GTETRG A/ GTIOC0B/ GTIOC0B#	SCK9		IRQ2		COMP0

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (7 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
81		PG1	D12 [A12/ D12]	GTIOC0A/ GTIOC0A#	TXD9/SMOSI9/ SSDA9		IRQ1		COMP1
82		PG0	D13 [A13/ D13]	GTIOC1B/ GTIOC1B#	RXD9/SMISO9/ SSCL9		IRQ0		COMP2
83		PK2	D14 [A14/ D14]	GTIOC1A/ GTIOC1A#/ POE12#	CTS9#/RTS9#/ SS9#/SCK5		IRQ9-DS		COMP3
84		PK1	D15 [A15/ D15]	GTIOC2B/ GTIOC2B#/ POE13#	CTS8#/RTS8#/ SS8#/TXD5/ SMOSI5/SSDA5		IRQ8-DS		COMP4
85		PK0	CS1#	GTIOC2A/ GTIOC2A#/ POE14#	RXD5/SMISO5/ SSCL5		IRQ15-DS		COMP5
86		P33	D7 [A7/ D7]	MTIOC3A/ MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/ TMO0	SSLA3		IRQ13-DS		
87		P32	D8 [A8/ D8]	MTIOC3C/ MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/ TMO6	SSLA2		IRQ12-DS		
88	VCC								
89		P31	D9 [A9/ D9]	MTIOC0A/ MTCLKC/ MTIOC0A#/ MTCLKC#/ TMR16	SSLA1		IRQ6		
90	VSS								
91		P30	D10 [A10/ D10]	MTIOC0B/ MTCLKD/ MTIOC0B#/ MTCLKD#/ TMC16	SCK8/CTS8#/ RTS8#/SS8#/ SSLA0		IRQ7		COMP3
92		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/ POE9#			IRQ15		
93		P26	CS2#	MTIOC9A/ MTIOC9A#	CTS1#/RTS1#/ SS1#		IRQ11		ADST0
94		P25	CS3#	MTIOC9C/ MTIOC9C#	SCK1		IRQ10		ADST1
95		P24	D11 [A11/ D11]	MTIC5U/ MTIC5U#/ TMC12/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ4		COMP0

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (8 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
96		P23	D12 [A12/ D12]	MTIC5V/ MTIC5V#/TMO2/ CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA / CTX0		IRQ11		COMP1
97		P22	D13 [A13/ D13]	MTIC5W/ MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/ TMRI2/TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/ SSCL12/RXDX12/ MISOA/CRX0		IRQ10		ADTRG2#/ COMP2
98		PC4	A20	MTIOC9B/ MTIOC9B#	TXD1/SMOSI1/ SSDA1/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				ADST2/ COMP5
99		PC3		MTIOC9D/ MTIOC9D#	RXD1/SMISO1/ SSCL1/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ14		COMP4
100		P21	D14 [A14/ D14]	MTIOC9A/ MTCLKA/ MTIOC9A#/ MTCLKA#/ TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA		IRQ6-DS	AN217	ADTRG1#/ COMP5
101		P20	D15 [A15/ D15]	MTIOC9C/ MTCLKB/ MTIOC9C#/ MTCLKB#/ TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ7-DS	AN216	ADTRG0#/ COMP4
102		P65	A12				IRQ9	AN211/ CMPC53/ DA1	
103		P64	A13				IRQ8	AN210/ CMPC33/ DA0	
104	AVCC2								
105	AVCC2								
106	AVSS2								
107		P63	A14/A12				IRQ7	AN209/ CMPC23	
108		P62	A15/A13				IRQ6	AN208/ CMPC43	
109		P61	A16/A14				IRQ5	AN207/ CMPC13	
110		P60	A17/A15				IRQ4	AN206/ CMPC03	
111		P55	A18/A16				IRQ3	AN203/ CMPC32	
112		P54	A19/A17				IRQ2	AN202/ CMPC22	
113		P53	A20/A18				IRQ1	AN201/ CMPC12	

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (9 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
114		P52					IRQ0	AN200/ CMPC02	
115		P51						AN205/ CMPC52	
116		P50						AN204/ CMPC42	
117		PH7						AN106/ CVREFC1	
118		PH6						AN105	
119		PH5						AN104	
120		P47						AN103	
121		P46						AN102/ CMPC50/ CMPC51	
122		P45						AN101/ CMPC40/ CMPC41	
123		P44						AN100/ CMPC30/ CMPC31	
124		PH4						AN107/ PGAVSS1	
125		PH3						AN006/ CVREFC0	
126		PH2						AN005	
127		PH1						AN004	
128		P43						AN003	
129		P42						AN002/ CMPC20/ CMPC21	
130		P41						AN001/ CMPC10/ CMPC11	
131		P40						AN000/ CMPC00/ CMPC01	
132		PH0						AN007/ PGAVSS0	
133	AVCC1								
134	AVCC0								
135	AVSS0								
136	AVSS1								
137		P82	ALE/ WAIT#	MTIC5U/ MTIC5U#/TMO4	SCK6/SCK12		IRQ3		COMP5
138		P81	CS2#	MTIC5V/ MTIC5V#/TMC14	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				COMP4

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (10 / 10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
139		P80	CS1#	MTIC5W/ MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ5		COMP3
140		P11	RD#	MTIOC3A/ MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRG A/ GTIOC3B#/ GTETRG C/ TMO3/POE9#			IRQ1-DS		
141		P10		MTIOC9B/ MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETR G B/ GTETR G D/ TMRI3/POE12#	CTS6#/RTS6#/ SS6#		IRQ0-DS		
142		P17		MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC9B/ GTIOC2B#/ GTIOC9B#			IRQ14		
143		P16		MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC8B/ GTIOC1B#/ GTIOC8B#			IRQ13		
144		P15		MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC7B/ GTIOC0B#/ GTIOC7B#			IRQ12		

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
100ピン LFQFP									
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#		IRQ0		ADST0
2	EMLE								
3	VSS								
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ2		ADST1/ COMP0
5	VCL								
6	MD/FINED								
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE10#	SCK9		IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE11#	CTS9#/RTS9#/ SS9#		IRQ2-DS		
10	RES#								
11	XTAL	P37							
12	VSS								
13	EXTAL	P36							
14	VCC								
15	UPSEL	PE2		POE10#			NMI		
16		PE1	WR0#/ WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/RTS5#/ SS5#/CTS12# / RTS12#/SS12#/ SSLA3		IRQ15		
17		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMC11/TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	USB0_OV RCURB	IRQ7		

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
100ピン LFQFP									
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMRI1/TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0		IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/ TMO1	CTS1#/RTS1#/ SS1#/CTS11# / RTS11#/SS11#/ SSLA0		IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRG A/ GTIOC1A#/ TMRI0/TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11		IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/ TMCi0/TMCi6	SCK1/SCK11		IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/ TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11				
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/ TMCi1/TMO4	SCK5/SCK8/ MOSIA	USB0_VB US			
24						USB0_DM			
25						USB0_DP			
26	VCC_USB								
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RDX12/ CRX0	USB0_OV RCURA	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0	USB0_VB USEN			
29	VCC								
30		PB4	A1	GTETRG A/ GTETRGB/ GTETRGC/ GTETRGD/ POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	USB0_OV RCURB	IRQ3-DS		
31	VSS/ VSS_USB								

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (3 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA		IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/ TMRI0	TXD6/SMOSI6/ SSDA6/SDA				ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/ TMCI0	RXD6/SMISO6/ SSCL6/SCL		IRQ4		ADSM1
35		PB0	A0/BC0#/ A4	MTIOC0D/ MTIOC0D#/ TMO0	TXD6/SMOSI6/ SSDA6/CTS11# / RTS11#/SS11#/ MOSIA		IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/ TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA		IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/ TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA				ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/ TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0				
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/ TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1				
40		PA1		MTIOC6A/ MTIOC6A#/ TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/ SSCL11/SSLA2/ CRX0	USB0_ID/ USB0_OV RCURA	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/ TMO2	SCK9/TXD11/ SMOSI11/ SSDA11/SSLA3/ CTX0	USB0_EXI CEN/ USB0_VB USEN			
42	VCC								
43		P96	CS0#/ WAIT#	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE4#	CTS8#/RTS8#/ SS8#		IRQ4-DS		
44	VSS								
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#					

表 1.6 機能別端子一覧(100ピンPGA疑似差動入力あり、USB端子あり)(4/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#					
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#					
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#					
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#					
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#					
51		P76	D0 [A0/ D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#					
52		P75	D1 [A1/ D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#					
53		P74	D2 [A2/ D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#					
54		P73	D3 [A3/ D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#					

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (5 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
55		P72	D4 [A4/ D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#					
56		P71	D5 [A5/ D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#					
57		P70	D6 [A6/ D6]	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE0#	CTS9#/RTS9#/ SS9#		IRQ5-DS		
58		P33	D7 [A7/ D7]	MTIOC3A/ MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/ TMO0	SSLA3		IRQ13-DS		
59		P32	D8 [A8/ D8]	MTIOC3C/ MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/ TMO6	SSLA2		IRQ12-DS		
60	VCC								
61		P31	D9 [A9/ D9]	MTIOC0A/ MTCLKC/ MTIOC0A#/ MTCLKC#/ TMR16	SSLA1		IRQ6		
62	VSS								
63		P30	D10 [A10/ D10]	MTIOC0B/ MTCLKD/ MTIOC0B#/ MTCLKD#/ TMC16	SCK8/CTS8#/ RTS8#/SS8#/ SSLA0		IRQ7		COMP3
64		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/ POE9#			IRQ15		
65		P24	D11 [A11/ D11]	MTIC5U/ MTIC5U#/ TMC12/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ4		COMP0
66		P23	D12 [A12/ D12]	MTIC5V/ MTIC5V#/TMO2/ CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA / CTX0		IRQ11		COMP1

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (6 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
67		P22	D13 [A13/ D13]	MTIC5W/ MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/ TMRI2/TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/ SSCL12/RDX12/ MISOA /CRX0		IRQ10		ADTRG2#/ COMP2
68		P21	D14 [A14/ D14]	MTIOC9A/ MTCLKA/ MTIOC9A#/ MTCLKA#/ TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA		IRQ6-DS	AN217	ADTRG1#/ COMP5
69		P20	D15 [A15/ D15]	MTIOC9C/ MTCLKB/ MTIOC9C#/ MTCLKB#/ TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ7-DS	AN216	ADTRG0#/ COMP4
70		P65	A12				IRQ9	AN211/ CMPC53/ DA1	
71		P64	A13				IRQ8	AN210/ CMPC33/ DA0	
72	AVCC2								
73	AVSS2								
74		P63	A14/A12				IRQ7	AN209/ CMPC23	
75		P62	A15/A13				IRQ6	AN208/ CMPC43	
76		P61	A16/A14				IRQ5	AN207/ CMPC13	
77		P60	A17/A15				IRQ4	AN206/ CMPC03	
78		P55	A18/A16				IRQ3	AN203/ CMPC32	
79		P54	A19/A17				IRQ2	AN202/ CMPC22	
80		P53	A20/A18				IRQ1	AN201/ CMPC12	
81		P52					IRQ0	AN200/ CMPC02	
82		P47						AN103	
83		P46						AN102/ CMPC50/ CMPC51	
84		P45						AN101/ CMPC40/ CMPC41	
85		P44						AN100/ CMPC30/ CMPC31	
86		PH4						AN107/ PGAVSS1	
87		P43						AN003	

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (7 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
88		P42						AN002/ CMPC20/ CMPC21	
89		P41						AN001/ CMPC10/ CMPC11	
90		P40						AN000/ CMPC00/ CMPC01	
91		PH0						AN007/ PGAVSS0	
92	AVCC1								
93	AVCC0								
94	AVSS0								
95	AVSS1								
96		P82	ALE/ WAIT#	MTIC5U/ MTIC5U#/TMO4	SCK6/SCK12		IRQ3		COMP5
97		P81	CS2#	MTIC5V/ MTIC5V#/TMCI4	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				COMP4
98		P80	CS1#	MTIC5W/ MTIC5W#/ TMR14	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ5		COMP3
99		P11	RD#	MTIOC3A/ MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGD/ GTETRGD/ TMO3/POE9#			IRQ1-DS		
100		P10		MTIOC9B/ MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGA/ GTETRGD/ TMR13/POE12#	CTS6#/RTS6#/ SS6#		IRQ0-DS		

表 1.7 機能別端子一覧(100ピンPGA疑似差動入力あり、USB端子なし)(1/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGA/ GTIOC3A#/ GTETRGA	SCK9/CTS9#/ RTS9#/ SS9#	IRQ0		ADST0
2	EMLE							
3	VSS							
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ2		ADST1/ COMP0
5	VCL							
6	MD/FINED							
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGA/ GTETRGA/ GTETRGA/ GTETRGA/ GTETRGA/POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGA/ GTETRGA/ GTETRGA/ GTETRGA/POE10#	SCK9	IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGA/ GTETRGA/ GTETRGA/POE11#	CTS9#/ RTS9#/ SS9#	IRQ2-DS		
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15		PE2		POE10#		NMI		
16		PE1	WR0#/WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/ RTS5#/ SS5#/ CTS12#/ RTS12#/ SS12#/ SSLA3	IRQ15		
17		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMC11/ TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	IRQ7		
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMRI1/ TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0	IRQ8		

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (2 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0	IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/TMRIO/ TMRIO6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11	IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGA/ GTIOC1B#/TMCIO/ TMCIO6	SCK1/SCK11	IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11			
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/TMC11/ TMO4	SCK5/SCK8/MOSIA			
24	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/TMO2	RXD8/SMISO8/ SSCL8/MISOA			
25	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA			
26	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12			
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/SSCL11/ RXD12/SMISO12/ SSCL12/RXDX12/ CRX0	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/SSDA11/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0			
29	VCC							
30		PB4	A1	GTETRGA/ GTETRGA/ GTETRGC/ GTETRGA/POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	IRQ3-DS		
31	VSS							
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA	IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/TMRIO	TXD6/SMOSI6/ SSDA6/SDA			ADSM0

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (3 / 7)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/TMCI0	RXD6/SMISO6/ SSCL6/SCL	IRQ4		ADSM1
35		PB0	A0/A4/BC0#	MTIOC0D/ MTIOC0D#/TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA	IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA	IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA			ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0			
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1			
40		PA1		MTIOC6A/ MTIOC6A#/TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/SSCL11/ SSLA2/CRX0	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/TMO2	SCK9/TXD11/ SMOSI11/SSDA11/ SSLA3/CTX0			
42	VCC							
43		P96	CS0#/ WAIT#	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/POE4#	CTS8#/RTS8#/SS8#	IRQ4-DS		
44	VSS							
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#				
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#				
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#				

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (4 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#				
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#				
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#				
51		P76	D0 [A0/D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#				
52		P75	D1 [A1/D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#				
53		P74	D2 [A2/D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#				
54		P73	D3 [A3/D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#				
55		P72	D4 [A4/D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#				
56		P71	D5 [A5/D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#				
57		P70	D6 [A6/D6]	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/POE0#	CTS9#/RTS9#/SS9#	IRQ5-DS		

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (5 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/TMO0	SSLA3	IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/TMO6	SSLA2	IRQ12-DS		
60	VCC							
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/ MTIOC0A#/ MTCLKC#/TMRi6	SSLA1	IRQ6		
62	VSS							
63		P30	D10 [A10/ D10]	MTIOC0B/MTCLKD/ MTIOC0B#/ MTCLKD#/TMCi6	SCK8/CTS8#/ RTS8#/SS8#/SSLA0	IRQ7		COMP3
64		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/POE9#		IRQ15		
65		P24	D11 [A11/ D11]	MTIC5U/MTIC5U#/ TMCi2/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ4		COMP0
66		P23	D12 [A12/ D12]	MTIC5V/MTIC5V#/ TMO2/CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA/CTX0	IRQ11		COMP1
67		P22	D13 [A13/ D13]	MTIC5W/MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/TMRI2/ TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/SSCL12/ RXDX12/MISOA/ CRX0	IRQ10		ADTRG2#/ COMP2
68		P21	D14 [A14/ D14]	MTIOC9A/MTCLKA/ MTIOC9A#/ MTCLKA#/TMCi4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA	IRQ6-DS	AN217	ADTRG1#/ COMP5
69		P20	D15 [A15/ D15]	MTIOC9C/MTCLKB/ MTIOC9C#/ MTCLKB#/TMRi4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ7-DS	AN216	ADTRG0#/ COMP4
70		P65	A12			IRQ9	AN211/ CMPC53/ DA1	
71		P64	A13			IRQ8	AN210/ CMPC33/ DA0	
72	AVCC2							
73	AVSS2							
74		P63	A12/A14			IRQ7	AN209/ CMPC23	
75		P62	A13/A15			IRQ6	AN208/ CMPC43	

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (6 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
76		P61	A14/A16			IRQ5	AN207/ CMPC13	
77		P60	A15/A17			IRQ4	AN206/ CMPC03	
78		P55	A16/A18			IRQ3	AN203/ CMPC32	
79		P54	A17/A19			IRQ2	AN202/ CMPC22	
80		P53	A18/A20			IRQ1	AN201/ CMPC12	
81		P52				IRQ0	AN200/ CMPC02	
82		P47					AN103	
83		P46					AN102/ CMPC50/ CMPC51	
84		P45					AN101/ CMPC40/ CMPC41	
85		P44					AN100/ CMPC30/ CMPC31	
86		PH4					AN107/ PGAVSS1	
87		P43					AN003	
88		P42					AN002/ CMPC20/ CMPC21	
89		P41					AN001/ CMPC10/ CMPC11	
90		P40					AN000/ CMPC00/ CMPC01	
91		PH0					AN007/ PGAVSS0	
92	AVCC1							
93	AVCC0							
94	AVSS0							
95	AVSS1							
96		P82	ALE/WAIT#	MTIC5U/MTIC5U#/ TMO4	SCK6/SCK12	IRQ3		COMP5
97		P81	CS2#	MTIC5V/MTIC5V#/ TMC14	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12			COMP4
98		P80	CS1#	MTIC5W/MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ5		COMP3

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (7 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
99		P11	RD#	MTIOC3A/MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/TMO3/ POE9#		IRQ1-DS		
100		P10		MTIOC9B/MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGA/ GTETRGC/TMO3/ POE9#	CTS6#/RTS6#/SS6#	IRQ0-DS		

表 1.8 機能別端子一覧(100ピンPGA疑似差動入力なし、USB端子なし)(1/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#	IRQ0		ADST0
2	EMLE							
3	VSS							
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ2		ADST1/ COMP0
5	VCL							
6	MD/FINED							
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE10#	SCK9	IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE11#	CTS9#/RTS9#/SS9#	IRQ2-DS		
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15		PE2		POE10#		NMI		
16		PE1	WR0#/WR#	MTIOC9D/ MTIOC9D#/TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3	IRQ15		
17		PE0	WR1#/BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/TMC11/ TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	IRQ7		
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/TMRI1/ TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0	IRQ8		

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (2 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0	IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/TMRIO/ TMRIO6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11	IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGA/ GTIOC1B#/TMCIO/ TMCIO6	SCK1/SCK11	IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11			
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/TMCIO1/ TMO4	SCK5/SCK8/MOSIA			
24	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/TMO2	RXD8/SMISO8/ SSCL8/MISOA			
25	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA			
26	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12			
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/SSCL11/ RXD12/SMISO12/ SSCL12/RXD12/ CRX0	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/SSDA11/ TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12/CTX0			
29	VCC							
30		PB4	A1	GTETRGA/ GTETRGA/ GTETRGC/ GTETRGA/POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	IRQ3-DS		
31	VSS							
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA	IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/TMRIO	TXD6/SMOSI6/ SSDA6/SDA			ADSM0

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (3 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/TMCI0	RXD6/SMISO6/ SSCL6/SCL	IRQ4		ADSM1
35		PB0	A0/A4/BC0#	MTIOC0D/ MTIOC0D#/TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA	IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/TMC13	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA	IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/TMC17	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA			ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/TMR17	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0			
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1			
40		PA1		MTIOC6A/ MTIOC6A#/TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/SSCL11/ SSLA2/CRX0	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/TMO2	SCK9/TXD11/ SMOSI11/SSDA11/ SSLA3/CTX0			
42	VCC							
43		P96	CS0#/WAIT#	GTETRGA/ GTETRGB/ GTETRGD/ GTETRGD/POE4#	CTS8#/RTS8#/SS8#	IRQ4-DS		
44	VSS							
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#				
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#				
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#				

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#				
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#				
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#				
51		P76	D0 [A0/D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#				
52		P75	D1 [A1/D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#				
53		P74	D2 [A2/D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#				
54		P73	D3 [A3/D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#				
55		P72	D4 [A4/D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#				
56		P71	D5 [A5/D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#				
57		P70	D6 [A6/D6]	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE0#	CTS9#/RTS9#/SS9#	IRQ5-DS		

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (5 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/TMO0	SSLA3	IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/TMO6	SSLA2	IRQ12-DS		
60	VCC							
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/ MTIOC0A#/ MTCLKC#/TMRI6	SSLA1	IRQ6		
62	VSS							
63		P30	D10 [A10/ D10]	MTIOC0B/MTCLKD/ MTIOC0B#/ MTCLKD#/TMCI6	SCK8/CTS8#/ RTS8#/SS8#/SSLA0	IRQ7		COMP3
64		P24	D11 [A11/ D11]	MTIC5U/MTIC5U#/ TMCI2/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ4		COMP0
65		P23	D12 [A12/ D12]	MTIC5V/MTIC5V#/ TMO2/CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA/CTX0	IRQ11		COMP1
66		P22	D13 [A13/ D13]	MTIC5W/MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/TMRI2/ TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/SSCL12/ RXDX12/MISOA/ CRX0	IRQ10		ADTRG2# /COMP2
67		P21	D14 [A14/ D14]	MTIOC9A/MTCLKA/ MTIOC9A#/ MTCLKA#/TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA	IRQ6-DS	AN217	ADTRG1# /COMP5
68		P20	D15 [A15/ D15]	MTIOC9C/MTCLKB/ MTIOC9C#/ MTCLKB#/TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ7-DS	AN216	ADTRG0# /COMP4
69		P65	A12			IRQ9	AN211/ CMPC53/ DA1	
70		P64	A13			IRQ8	AN210/ CMPC33/ DA0	
71	AVCC2							
72	AVCC2							
73	AVSS2							
74		P63	A12/A14			IRQ7	AN209/ CMPC23	
75		P62	A13/A15			IRQ6	AN208/ CMPC43	
76		P61	A14/A16			IRQ5	AN207/ CMPC13	

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (6 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
77		P60	A15/A17			IRQ4	AN206/ CMPC03	
78		P55	A16/A18			IRQ3	AN203/ CMPC32	
79		P54	A17/A19			IRQ2	AN202/ CMPC22	
80		P53	A18/A20			IRQ1	AN201/ CMPC12	
81		P52				IRQ0	AN200/ CMPC02	
82		P51					AN205/ CMPC52	
83		P50					AN204/ CMPC42	
84		P47					AN103	
85		P46					AN102/ CMPC50/ CMPC51	
86		P45					AN101/ CMPC40/ CMPC41	
87		P44					AN100/ CMPC30/ CMPC31	
88		P43					AN003	
89		P42					AN002/ CMPC20/ CMPC21	
90		P41					AN001/ CMPC10/ CMPC11	
91		P40					AN000/ CMPC00/ CMPC01	
92	AVCC1							
93	AVCC0							
94	AVSS0							
95	AVSS1							
96		P82	ALE/WAIT#	MTIC5U/MTIC5U#/ TMO4	SCK6/SCK12	IRQ3		COMP5
97		P81	CS2#	MTIC5V/MTIC5V#/ TMC14	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12			COMP4
98		P80	CS1#	MTIC5W/MTIC5W#/ TMR14	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ5		COMP3

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (7 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
99		P11	RD#	MTIOC3A/MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/TMO3/ POE9#		IRQ1-DS		
100		P10		MTIOC9B/MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/TMRI3/ POE12#	CTS6#/RTS6#/SS6#	IRQ0-DS		

2. CPU

図 2.1 に CPU のレジスタ構成を示します。



図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32 ビット幅で 16 本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

(2) 例外テーブルレジスタ (EXTB)

例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

(3) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

(4) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(5) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(6) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避させられます。

(7) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避させられます。BPSW のビットの割り当ては、PSW に対応しています。

(8) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(9) 単精度浮動小数点ステータスワード (FPSW)

単精度浮動小数点ステータスワード (FPSW) は、単精度浮動小数点演算結果を示します。

例外処理許可ビット Ej で例外処理を許可 (Ej = "1") した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = "0") した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです。(j = X, U, Z, O, V)

2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ～ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ～ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ～ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ～ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」とを使用します。

「MVFACGU 命令」でガードビット (b95 ～ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ～ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ～ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ～ b0) のデータをそれぞれ読み出します。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって異なります。

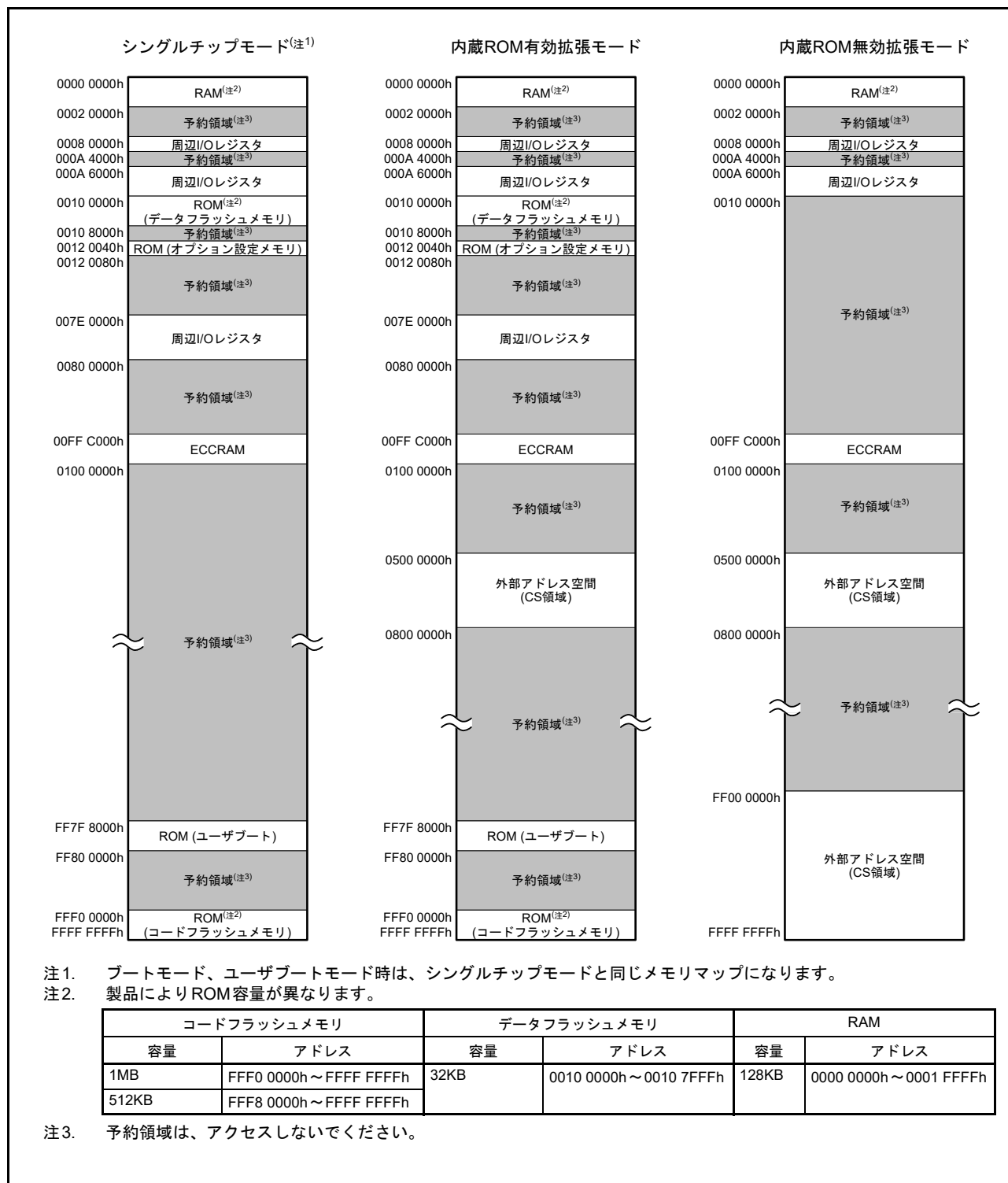


図 3.1 各動作モードのメモリマップ

3.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって 4 つの CS 領域 (CS0 ~ CS3) に分割されています。図 3.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

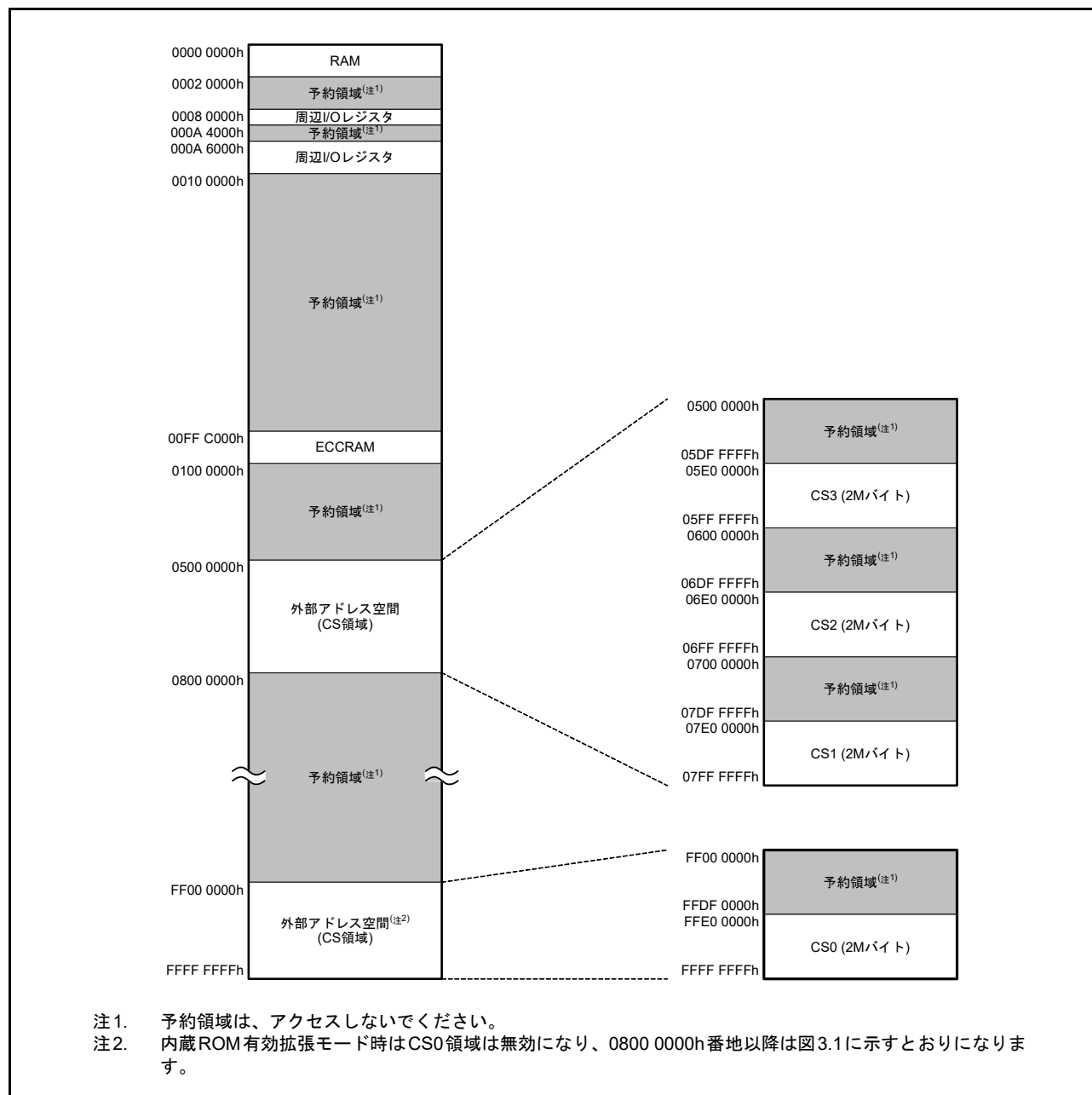


図 3.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERn.IENj ビット) のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK, BCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、表 4.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ (または FCLK) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 4.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 4.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

(5) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

4.1 I/Oレジスタアドレス一覧(アドレス順)

表4.1 I/Oレジスタアドレス一覧(1/48)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK		動作モード
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		動作モード
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		動作モード
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		消費電力低減機能
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		消費電力低減機能
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		消費電力低減機能
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		消費電力低減機能
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		クロック発生回路
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK		クロック発生回路
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		クロック発生回路
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		クロック発生回路
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		クロック発生回路
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		クロック発生回路
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		クロック発生回路
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		クロック発生回路
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		クロック発生回路
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		クロック発生回路
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		クロック発生回路
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		クロック発生回路
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		クロック発生回路
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		クロック発生回路
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		消費電力低減機能
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		クロック発生回路
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		リセット
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		リセット
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		LVDA
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		LVDA
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		LVDA
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		LVDA
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能
0008 1000h	FLASH	ROMキャッシュ許可レジスタ	ROMCE	16	16	2ICLK		Flash
0008 1004h	FLASH	ROMキャッシュ無効化レジスタ	ROMCIV	16	16	2ICLK		Flash
0008 101Ch	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	2ICLK		クロック発生回路
0008 1040h	FLASH	ノンキャッシュابل領域0アドレスレジスタ	NCRG0	32	32	2ICLK		Flash
0008 1044h	FLASH	ノンキャッシュابل領域0設定レジスタ	NCRC0	32	32	2ICLK		Flash

表4.1 I/O レジスタアドレス一覧 (2 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 1048h	FLASH	ノンキャッシュャブル領域1アドレスレジスタ	NCRG1	32	32	2ICLK		Flash
0008 104Ch	FLASH	ノンキャッシュャブル領域1設定レジスタ	NCRC1	32	32	2ICLK		Flash
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		RAM
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		RAM
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPPCR	8	8	2ICLK		RAM
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		RAM
0008 12C0h	RAM	ECCRAM動作モード制御レジスタ	ECCRAMMODE	8	8	2ICLK		RAM
0008 12C1h	RAM	ECCRAM2ビットエラーステータスレジスタ	ECCRAM2STS	8	8	2ICLK		RAM
0008 12C2h	RAM	ECCRAM1ビットエラー情報更新許可レジスタ	ECCRAM1STSEN	8	8	2ICLK		RAM
0008 12C3h	RAM	ECCRAM1ビットエラーステータスレジスタ	ECCRAM1STS	8	8	2ICLK		RAM
0008 12C4h	RAM	ECCRAMプロテクトレジスタ	ECCRAMPCR	8	8	2ICLK		RAM
0008 12C8h	RAM	ECCRAM2ビットエラーアドレスキャプチャレジスタ	ECCRAM2ECAD	32	32	2ICLK		RAM
0008 12CCh	RAM	ECCRAM1ビットエラーアドレスキャプチャレジスタ	ECCRAM1ECAD	32	32	2ICLK		RAM
0008 12D0h	RAM	ECCRAMプロテクトレジスタ2	ECCRAMPCR2	8	8	2ICLK		RAM
0008 12D4h	RAM	ECCRAMテスト制御レジスタ	ECCRAMETS	8	8	2ICLK		RAM
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		バス
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		バス
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		バス
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		バス
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		バス
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACa
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACa
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACa
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACa
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACa
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACa
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACa
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		DMACa
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACa
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACa
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACa
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACa
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACa
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACa
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACa
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACa
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACa
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACa
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACa
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACa
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACa
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACa
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACa
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACa
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACa
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACa
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACa

表4.1 I/O レジスタアドレス一覧 (3 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACaA
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACaA
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACaA
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACaA
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACaA
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACaA
0008 209Fh	DMAC2	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACaA
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACaA
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACaA
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACaA
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACaA
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACaA
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACaA
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACaA
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACaA
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACaA
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACaA
0008 20DFh	DMAC3	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACaA
0008 2100h	DMAC4	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACaA
0008 2104h	DMAC4	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACaA
0008 2108h	DMAC4	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACaA
0008 210Ch	DMAC4	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACaA
0008 2110h	DMAC4	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACaA
0008 2113h	DMAC4	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACaA
0008 2114h	DMAC4	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACaA
0008 211Ch	DMAC4	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACaA
0008 211Dh	DMAC4	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACaA
0008 211Eh	DMAC4	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACaA
0008 211Fh	DMAC4	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACaA
0008 2140h	DMAC5	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACaA
0008 2144h	DMAC5	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACaA
0008 2148h	DMAC5	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACaA
0008 214Ch	DMAC5	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACaA
0008 2150h	DMAC5	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACaA
0008 2153h	DMAC5	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACaA
0008 2154h	DMAC5	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACaA
0008 215Ch	DMAC5	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACaA
0008 215Dh	DMAC5	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACaA
0008 215Eh	DMAC5	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACaA
0008 215Fh	DMAC5	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACaA
0008 2180h	DMAC6	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACaA
0008 2184h	DMAC6	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACaA
0008 2188h	DMAC6	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACaA
0008 218Ch	DMAC6	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACaA
0008 2190h	DMAC6	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACaA
0008 2193h	DMAC6	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACaA
0008 2194h	DMAC6	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACaA
0008 219Ch	DMAC6	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACaA
0008 219Dh	DMAC6	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACaA
0008 219Eh	DMAC6	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACaA
0008 219Fh	DMAC6	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACaA

表4.1 I/O レジスタアドレス一覧 (4 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 21C0h	DMAC7	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACAa
0008 21C4h	DMAC7	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		DMACAa
0008 21C8h	DMAC7	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		DMACAa
0008 21CCh	DMAC7	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		DMACAa
0008 21D0h	DMAC7	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		DMACAa
0008 21D3h	DMAC7	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACAa
0008 21D4h	DMAC7	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		DMACAa
0008 21DCh	DMAC7	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		DMACAa
0008 21DDh	DMAC7	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		DMACAa
0008 21DEh	DMAC7	DMAステータスレジスタ	DMSTS	8	8	2ICLK		DMACAa
0008 21DFh	DMAC7	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		DMACAa
0008 2200h	DMAC	DMACモジュール起動レジスタ	DMAST	8	8	2ICLK		DMACAa
0008 2204h	DMAC	DMAC74割り込みステータスマニタレジスタ	DMIST	8	8	2ICLK		DMACAa
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		DTCa
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		DTCa
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		DTCa
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		DTCa
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		DTCa
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK		バス
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1~2BCLK		バス
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1~2BCLK		バス
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK		バス
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1~2BCLK		バス
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1~2BCLK		バス
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1~2BCLK		バス
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1~2BCLK		バス
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1~2BCLK		バス
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1~2BCLK		バス
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1~2BCLK		バス
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1~2BCLK		バス
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1~2BCLK		バス
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1~2BCLK		バス
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1~2BCLK		バス
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1~2BCLK		バス
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1~2BCLK		バス
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1~2BCLK		バス
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1~2BCLK		バス
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1~2BCLK		バス
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1~2BCLK		バス
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		MPU
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		MPU
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		MPU
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		MPU
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		MPU
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		MPU
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		MPU
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		MPU
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		MPU
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		MPU
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		MPU
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		MPU

表4.1 I/O レジスタアドレス一覧 (5 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		MPU
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		MPU
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		MPU
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		MPU
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		MPU
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		MPU
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		MPU
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		MPU
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		MPU
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		MPU
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK		MPU
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK		MPU
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		MPU
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		MPU
0008 7010h ~ 0008 70FFh	ICU	割り込み要求レジスタ 016 ~ 割り込み要求レジスタ 255	IR016 ~ IR255	8	8	2ICLK		ICUC
0008 711Ah ~ 0008 71FFh	ICU	DTC転送要求許可レジスタ 026 ~ DTC転送要求許可レジスタ 255	DTICER026 ~ DTICER255	8	8	2ICLK		ICUC
0008 7202h ~ 0008 721Fh	ICU	割り込み要求許可レジスタ 02 ~ 割り込み要求許可レジスタ 1F	IER02 ~ IER1F	8	8	2ICLK		ICUC
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		ICUC
0008 72E1h	ICU	ソフトウェア割り込み2起動レジスタ	SWINT2R	8	8	2ICLK		ICUC
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		ICUC
0008 7300h ~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ 000 ~ 割り込み要因プライオリティレジスタ 255	IPR000 ~ IPR255	8	8	2ICLK		ICUC
0008 7400h	ICU	DMAC起動要因選択レジスタ 0	DMRSR0	8	8	2ICLK		ICUC
0008 7404h	ICU	DMAC起動要因選択レジスタ 1	DMRSR1	8	8	2ICLK		ICUC
0008 7408h	ICU	DMAC起動要因選択レジスタ 2	DMRSR2	8	8	2ICLK		ICUC
0008 740Ch	ICU	DMAC起動要因選択レジスタ 3	DMRSR3	8	8	2ICLK		ICUC
0008 7410h	ICU	DMAC起動要因選択レジスタ 4	DMRSR4	8	8	2ICLK		ICUC
0008 7414h	ICU	DMAC起動要因選択レジスタ 5	DMRSR5	8	8	2ICLK		ICUC
0008 7418h	ICU	DMAC起動要因選択レジスタ 6	DMRSR6	8	8	2ICLK		ICUC
0008 741Ch	ICU	DMAC起動要因選択レジスタ 7	DMRSR7	8	8	2ICLK		ICUC
0008 7500h ~ 0008 750Fh	ICU	IRQコントロールレジスタ 0 ~ IRQコントロールレジスタ 15	IRQCR0 ~ IRQCR15	8	8	2ICLK		ICUC
0008 7520h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK		ICUC
0008 7521h	ICU	IRQ端子デジタルフィルタ許可レジスタ 1	IRQFLTE1	8	8	2ICLK		ICUC
0008 7528h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK		ICUC
0008 752Ah	ICU	IRQ端子デジタルフィルタ設定レジスタ 1	IRQFLTC1	16	16	2ICLK		ICUC
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK		ICUC
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK		ICUC
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		ICUC
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		ICUC
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		ICUC
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		ICUC
0008 7600h	ICU	グループBE0割り込み要求レジスタ	GRPBEO	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC
0008 7630h	ICU	グループBL0割り込み要求レジスタ	GRPBLO	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC
0008 7634h	ICU	グループBL1割り込み要求レジスタ	GRPBLO1	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC
0008 7640h	ICU	グループBE0割り込み要求許可レジスタ	GENBEO	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC
0008 7670h	ICU	グループBL0割り込み要求許可レジスタ	GENBLO	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC
0008 7674h	ICU	グループBL1割り込み要求許可レジスタ	GENBLO1	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC
0008 7680h	ICU	グループBE0割り込みクリアレジスタ	GCRBEO	32	32	2ICLK ~ 1PCLKB	2ICLK	ICUC

表4.1 I/O レジスタアドレス一覧 (6 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 7830h	ICU	グループA L0 割り込み要求レジスタ	GRPAL0	32	32	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7870h	ICU	グループA L0 割り込み要求許可レジスタ	GENAL0	32	32	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7900h	ICU	選択型割り込みA要求レジスタ 0	PIAR0	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7901h	ICU	選択型割り込みA要求レジスタ 1	PIAR1	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7902h	ICU	選択型割り込みA要求レジスタ 2	PIAR2	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7903h	ICU	選択型割り込みA要求レジスタ 3	PIAR3	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7904h	ICU	選択型割り込みA要求レジスタ 4	PIAR4	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7905h	ICU	選択型割り込みA要求レジスタ 5	PIAR5	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7906h	ICU	選択型割り込みA要求レジスタ 6	PIAR6	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7907h	ICU	選択型割り込みA要求レジスタ 7	PIAR7	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7908h	ICU	選択型割り込みA要求レジスタ 8	PIAR8	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7909h	ICU	選択型割り込みA要求レジスタ 9	PIAR9	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 790Ah	ICU	選択型割り込みA要求レジスタ A	PIARA	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 790Bh	ICU	選択型割り込みA要求レジスタ B	PIARB	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 790Ch	ICU	選択型割り込みA要求レジスタ C	PIARC	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 790Dh	ICU	選択型割り込みA要求レジスタ D	PIARD	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 790Eh	ICU	選択型割り込みA要求レジスタ E	PIARE	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 790Fh	ICU	選択型割り込みA要求レジスタ F	PIARF	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7910h	ICU	選択型割り込みA要求レジスタ 10	PIAR10	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7911h	ICU	選択型割り込みA要求レジスタ 11	PIAR11	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7912h	ICU	選択型割り込みA要求レジスタ 12	PIAR12	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D0h	ICU	選択型割り込みA要因選択レジスタ 208	SLIAR208	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D1h	ICU	選択型割り込みA要因選択レジスタ 209	SLIAR209	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D2h	ICU	選択型割り込みA要因選択レジスタ 210	SLIAR210	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D3h	ICU	選択型割り込みA要因選択レジスタ 211	SLIAR211	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D4h	ICU	選択型割り込みA要因選択レジスタ 212	SLIAR212	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D5h	ICU	選択型割り込みA要因選択レジスタ 213	SLIAR213	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D6h	ICU	選択型割り込みA要因選択レジスタ 214	SLIAR214	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D7h	ICU	選択型割り込みA要因選択レジスタ 215	SLIAR215	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D8h	ICU	選択型割り込みA要因選択レジスタ 216	SLIAR216	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79D9h	ICU	選択型割り込みA要因選択レジスタ 217	SLIAR217	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79DAh	ICU	選択型割り込みA要因選択レジスタ 218	SLIAR218	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79DBh	ICU	選択型割り込みA要因選択レジスタ 219	SLIAR219	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79DCh	ICU	選択型割り込みA要因選択レジスタ 220	SLIAR220	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79DDh	ICU	選択型割り込みA要因選択レジスタ 221	SLIAR221	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79DEh	ICU	選択型割り込みA要因選択レジスタ 222	SLIAR222	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79DFh	ICU	選択型割り込みA要因選択レジスタ 223	SLIAR223	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E0h	ICU	選択型割り込みA要因選択レジスタ 224	SLIAR224	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E1h	ICU	選択型割り込みA要因選択レジスタ 225	SLIAR225	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E2h	ICU	選択型割り込みA要因選択レジスタ 226	SLIAR226	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E3h	ICU	選択型割り込みA要因選択レジスタ 227	SLIAR227	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E4h	ICU	選択型割り込みA要因選択レジスタ 228	SLIAR228	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E5h	ICU	選択型割り込みA要因選択レジスタ 229	SLIAR229	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E6h	ICU	選択型割り込みA要因選択レジスタ 230	SLIAR230	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E7h	ICU	選択型割り込みA要因選択レジスタ 231	SLIAR231	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E8h	ICU	選択型割り込みA要因選択レジスタ 232	SLIAR232	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79E9h	ICU	選択型割り込みA要因選択レジスタ 233	SLIAR233	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79EAh	ICU	選択型割り込みA要因選択レジスタ 234	SLIAR234	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79EBh	ICU	選択型割り込みA要因選択レジスタ 235	SLIAR235	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79ECh	ICU	選択型割り込みA要因選択レジスタ 236	SLIAR236	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79EDh	ICU	選択型割り込みA要因選択レジスタ 237	SLIAR237	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC

表4.1 I/O レジスタアドレス一覧 (7 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 79EEh	ICU	選択型割り込みA要因選択レジスタ 238	SLIAR238	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79EFh	ICU	選択型割り込みA要因選択レジスタ 239	SLIAR239	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F0h	ICU	選択型割り込みA要因選択レジスタ 240	SLIAR240	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F1h	ICU	選択型割り込みA要因選択レジスタ 241	SLIAR241	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F2h	ICU	選択型割り込みA要因選択レジスタ 242	SLIAR242	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F3h	ICU	選択型割り込みA要因選択レジスタ 243	SLIAR243	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F4h	ICU	選択型割り込みA要因選択レジスタ 244	SLIAR244	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F5h	ICU	選択型割り込みA要因選択レジスタ 245	SLIAR245	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F6h	ICU	選択型割り込みA要因選択レジスタ 246	SLIAR246	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F7h	ICU	選択型割り込みA要因選択レジスタ 247	SLIAR247	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F8h	ICU	選択型割り込みA要因選択レジスタ 248	SLIAR248	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79F9h	ICU	選択型割り込みA要因選択レジスタ 249	SLIAR249	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79FAh	ICU	選択型割り込みA要因選択レジスタ 250	SLIAR250	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79FBh	ICU	選択型割り込みA要因選択レジスタ 251	SLIAR251	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79FCh	ICU	選択型割り込みA要因選択レジスタ 252	SLIAR252	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79FDh	ICU	選択型割り込みA要因選択レジスタ 253	SLIAR253	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79FEh	ICU	選択型割り込みA要因選択レジスタ 254	SLIAR254	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 79FFh	ICU	選択型割り込みA要因選択レジスタ 255	SLIAR255	8	8	2ICLK ~ 1PCLKA	2ICLK	ICUC
0008 7A00h	ICU	選択型割り込み要因選択レジスタ書き込み保護レジスタ	SLIPRCR	8	8	2ICLK ~ 1PCLKA/ B	2ICLK	ICUC
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK	CMT
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	WDTA
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK	WDTA
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK	WDTA
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK	WDTA
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK	IWDa
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK	IWDa
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK	IWDa
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK	IWDa
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	2ICLK	IWDa
0008 8040h	DA	D/A データレジスタ 0	DADR0	16	16	2 ~ 3PCLKB	2ICLK	R12DAb
0008 8042h	DA	D/A データレジスタ 1	DADR1	16	16	2 ~ 3PCLKB	2ICLK	R12DAb
0008 8044h	DA	D/A 制御レジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK	R12DAb
0008 8045h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK	R12DAb
0008 8046h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2 ~ 3PCLKB	2ICLK	R12DAb
0008 8049h	DA	D/A出力先選択レジスタ	DADSELR	8	8	2 ~ 3PCLKB	2ICLK	R12DAb
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	TMR
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	TMR
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK	TMR

表4.1 I/O レジスタアドレス一覧 (8 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8204h	TMR0	タイムコンスタントレジスタ A	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8204h	TMR01	タイムコンスタントレジスタ A	TCORA	16	16	2～3PCLKB	2ICLK	TMR
0008 8205h	TMR1	タイムコンスタントレジスタ A	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8206h	TMR0	タイムコンスタントレジスタ B	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8206h	TMR01	タイムコンスタントレジスタ B	TCORB	16	16	2～3PCLKB	2ICLK	TMR
0008 8207h	TMR1	タイムコンスタントレジスタ B	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TMR
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	TMR
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	TMR
0008 820Dh	TMR1	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	TMR
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8214h	TMR2	タイムコンスタントレジスタ A	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8214h	TMR23	タイムコンスタントレジスタ A	TCORA	16	16	2～3PCLKB	2ICLK	TMR
0008 8215h	TMR3	タイムコンスタントレジスタ A	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8216h	TMR2	タイムコンスタントレジスタ B	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8216h	TMR23	タイムコンスタントレジスタ B	TCORB	16	16	2～3PCLKB	2ICLK	TMR
0008 8217h	TMR3	タイムコンスタントレジスタ B	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TMR
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	TMR
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	TMR
0008 821Dh	TMR3	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	TMR
0008 8220h	TMR4	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8221h	TMR5	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8222h	TMR4	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8223h	TMR5	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	TMR
0008 8224h	TMR4	タイムコンスタントレジスタ A	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8224h	TMR45	タイムコンスタントレジスタ A	TCORA	16	16	2～3PCLKB	2ICLK	TMR
0008 8225h	TMR5	タイムコンスタントレジスタ A	TCORA	8	8	2～3PCLKB	2ICLK	TMR
0008 8226h	TMR4	タイムコンスタントレジスタ B	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8226h	TMR45	タイムコンスタントレジスタ B	TCORB	16	16	2～3PCLKB	2ICLK	TMR
0008 8227h	TMR5	タイムコンスタントレジスタ B	TCORB	8	8	2～3PCLKB	2ICLK	TMR
0008 8228h	TMR4	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 8228h	TMR45	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	TMR
0008 8229h	TMR5	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	TMR
0008 822Ah	TMR4	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 822Ah	TMR45	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	TMR
0008 822Bh	TMR5	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8230h	TMR6	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR
0008 8231h	TMR7	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	TMR

表4.1 I/O レジスタアドレス一覧 (9 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 8232h	TMR6	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	TMR
0008 8233h	TMR7	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	TMR
0008 8234h	TMR6	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB	2ICLK	TMR
0008 8234h	TMR67	タイムコンスタントレジスタ A	TCORA	16	16	2~3PCLKB	2ICLK	TMR
0008 8235h	TMR7	タイムコンスタントレジスタ A	TCORA	8	8	2~3PCLKB	2ICLK	TMR
0008 8236h	TMR6	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB	2ICLK	TMR
0008 8236h	TMR67	タイムコンスタントレジスタ B	TCORB	16	16	2~3PCLKB	2ICLK	TMR
0008 8237h	TMR7	タイムコンスタントレジスタ B	TCORB	8	8	2~3PCLKB	2ICLK	TMR
0008 8238h	TMR6	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	TMR
0008 8238h	TMR67	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	TMR
0008 8239h	TMR7	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	TMR
0008 823Ah	TMR6	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	TMR
0008 823Ah	TMR67	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	TMR
0008 823Bh	TMR7	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	TMR
0008 8280h	CRC	CRC コントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK	CRCA
0008 8284h	CRC	CRC データ入力レジスタ	CRCDIR	32	8, 32	2~3PCLKB	2ICLK	CRCA
0008 8288h	CRC	CRC データ出力レジスタ	CRCDOR	32	8, 16, 32	2~3PCLKB	2ICLK	CRCA
0008 8300h	RIIC0	I ² C バスコントロールレジスタ 1	ICCR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8301h	RIIC0	I ² C バスコントロールレジスタ 2	ICCR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8302h	RIIC0	I ² C バスモードレジスタ 1	ICMR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8303h	RIIC0	I ² C バスモードレジスタ 2	ICMR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8304h	RIIC0	I ² C バスモードレジスタ 3	ICMR3	8	8	2~3PCLKB	2ICLK	RIICa
0008 8305h	RIIC0	I ² C バスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8306h	RIIC0	I ² C バスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8307h	RIIC0	I ² C バス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	RIICa
0008 8308h	RIIC0	I ² C バスステータスレジスタ 1	ICSR1	8	8	2~3PCLKB	2ICLK	RIICa
0008 8309h	RIIC0	I ² C バスステータスレジスタ 2	ICSR2	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Ah	RIIC0	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLKB	2ICLK	RIICa
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLKB	2ICLK	RIICa
0008 8310h	RIIC0	I ² C バスビットレート Low レジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	RIICa
0008 8311h	RIIC0	I ² C バスビットレート High レジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	RIICa
0008 8312h	RIIC0	I ² C バス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	RIICa
0008 8313h	RIIC0	I ² C バス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	RIICa
0008 9000h	S12AD	A/D コントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9004h	S12AD	A/D チャネル選択レジスタ A0	ADANSA0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9008h	S12AD	A/D 変換値加算/平均機能チャネル選択レジスタ 0	ADADS0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 900Ch	S12AD	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	S12ADH
0008 900Eh	S12AD	A/D コントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9010h	S12AD	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9014h	S12AD	A/D チャネル選択レジスタ B0	ADANSB0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9018h	S12AD	A/D データ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 901Eh	S12AD	A/D 自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9020h	S12AD	A/D データレジスタ 0	ADDR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9022h	S12AD	A/D データレジスタ 1	ADDR1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9024h	S12AD	A/D データレジスタ 2	ADDR2	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9026h	S12AD	A/D データレジスタ 3	ADDR3	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9028h	S12AD	A/D データレジスタ 4	ADDR4	16	16	2~3PCLKB	2ICLK	S12ADH

表4.1 I/O レジスタアドレス一覧 (10 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 902Ah	S12AD	A/D データレジスタ 5	ADDR5	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 902Ch	S12AD	A/D データレジスタ 6	ADDR6	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 902Eh	S12AD	A/D データレジスタ 7	ADDR7	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9066h	S12AD	A/D サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 907Ah	S12AD	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 907Ch	S12AD	A/D サンプル&ホールド動作モード選択レジスタ	ADSHMSR	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 907Dh	S12AD	A/D イベントリンクコントロールレジスタ	ADELCCR	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9080h	S12AD	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9084h	S12AD	A/D データ二重化レジスタ A	ADDBLDRA	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9086h	S12AD	A/D データ二重化レジスタ B	ADDBLDRB	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 908Ch	S12AD	A/D コンペア機能ウィンドウ A/B ステータスマニ レジスタ	ADWINMON	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9090h	S12AD	A/D コンペア機能コントロールレジスタ	ADCMPCR	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9094h	S12AD	A/D コンペア機能ウィンドウ A チャンネル選択レジ スタ 0	ADCMPSNR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9098h	S12AD	A/D コンペア機能ウィンドウ A 比較条件設定レジ スタ 0	ADCMPLR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 909Ch	S12AD	A/D コンペア機能ウィンドウ A 下位側レベル設定レ ジスタ	ADCMPDR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 909Eh	S12AD	A/D コンペア機能ウィンドウ A 上位側レベル設定レ ジスタ	ADCMPDR1	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90A0h	S12AD	A/D コンペア機能ウィンドウ A チャンネルステータ レジスタ 0	ADCMPSR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90A6h	S12AD	A/D コンペア機能ウィンドウ B チャンネル選択レジ スタ	ADCMPBNSR	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90A8h	S12AD	A/D コンペア機能ウィンドウ B 下位側レベル設定レ ジスタ	ADWINLLB	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90AAh	S12AD	A/D コンペア機能ウィンドウ B 上位側レベル設定レ ジスタ	ADWINULB	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90ACh	S12AD	A/D コンペア機能ウィンドウ B チャンネルステータ レジスタ	ADCMPBSR	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90D4h	S12AD	A/D チャンネル選択レジスタ C0	ADANSC0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90D9h	S12AD	A/D グループ C トリガ選択レジスタ	ADGCTRGR	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E0h	S12AD	A/D サンプリングスタートレジスタ 0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E1h	S12AD	A/D サンプリングスタートレジスタ 1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E2h	S12AD	A/D サンプリングスタートレジスタ 2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E3h	S12AD	A/D サンプリングスタートレジスタ 3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E4h	S12AD	A/D サンプリングスタートレジスタ 4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E5h	S12AD	A/D サンプリングスタートレジスタ 5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E6h	S12AD	A/D サンプリングスタートレジスタ 6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 90E7h	S12AD	A/D サンプリングスタートレジスタ 7	ADSSTR7	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91A0h	S12AD	A/D プログラマブルゲインアンプコントロールレジ スタ	ADPGACR	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91A2h	S12AD	A/D プログラマブルゲインアンプゲイン設定レジ スタ 0	ADPGAGS0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91B0h	S12AD	A/D プログラマブルゲインアンプ差動入力コント ロールレジスタ	ADPGADCR0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C0h	S12AD	A/D チャンネル変換順序設定レジスタ 0	ADSCS0	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C1h	S12AD	A/D チャンネル変換順序設定レジスタ 1	ADSCS1	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C2h	S12AD	A/D チャンネル変換順序設定レジスタ 2	ADSCS2	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C3h	S12AD	A/D チャンネル変換順序設定レジスタ 3	ADSCS3	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C4h	S12AD	A/D チャンネル変換順序設定レジスタ 4	ADSCS4	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C5h	S12AD	A/D チャンネル変換順序設定レジスタ 5	ADSCS5	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C6h	S12AD	A/D チャンネル変換順序設定レジスタ 6	ADSCS6	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 91C7h	S12AD	A/D チャンネル変換順序設定レジスタ 7	ADSCS7	8	8	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9200h	S12AD1	A/D コントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9204h	S12AD1	A/D チャンネル選択レジスタ A0	ADANSA0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH
0008 9208h	S12AD1	A/D 変換値加算/平均機能チャンネル選択レジスタ 0	ADADS0	16	16	2 ~ 3PCLKB	2ICLK	S12ADH

表4.1 I/O レジスタアドレス一覧 (11 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 920Ch	S12AD1	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	S12ADH
0008 920Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9210h	S12AD1	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9214h	S12AD1	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9218h	S12AD1	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 921Eh	S12AD1	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9220h	S12AD1	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9222h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9224h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9226h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9228h	S12AD1	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK	S12ADH
0008 922Ah	S12AD1	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK	S12ADH
0008 922Ch	S12AD1	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK	S12ADH
0008 922Eh	S12AD1	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9266h	S12AD1	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 927Ah	S12AD1	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 927Ch	S12AD1	A/Dサンプル&ホールド動作モード選択レジスタ	ADSHMSR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 927Dh	S12AD1	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 9280h	S12AD1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9284h	S12AD1	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9286h	S12AD1	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2~3PCLKB	2ICLK	S12ADH
0008 928Ch	S12AD1	A/Dコンペア機能ウィンドウA/Bステータスモニタ レジスタ	ADWINMON	8	8	2~3PCLKB	2ICLK	S12ADH
0008 9290h	S12AD1	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9294h	S12AD1	A/Dコンペア機能ウィンドウAチャンネル選択レジス タ0	ADCMPANSR 0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 9298h	S12AD1	A/Dコンペア機能ウィンドウA比較条件設定レジス タ0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 929Ch	S12AD1	A/Dコンペア機能ウィンドウA下位側レベル設定レ ジスタ	ADCMPDR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 929Eh	S12AD1	A/Dコンペア機能ウィンドウA上位側レベル設定レ ジスタ	ADCMPDR1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 92A0h	S12AD1	A/Dコンペア機能ウィンドウAチャンネルステータス レジスタ0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 92A6h	S12AD1	A/Dコンペア機能ウィンドウBチャンネル選択レジス タ	ADCMPBNSR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92A8h	S12AD1	A/Dコンペア機能ウィンドウB下位側レベル設定レ ジスタ	ADWINLLB	16	16	2~3PCLKB	2ICLK	S12ADH
0008 92AAh	S12AD1	A/Dコンペア機能ウィンドウB上位側レベル設定レ ジスタ	ADWINULB	16	16	2~3PCLKB	2ICLK	S12ADH
0008 92ACh	S12AD1	A/Dコンペア機能ウィンドウBチャンネルステータス レジスタ	ADCMPBSR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92D4h	S12AD1	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 92D9h	S12AD1	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E0h	S12AD1	A/Dサンプリングスタートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E1h	S12AD1	A/Dサンプリングスタートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E2h	S12AD1	A/Dサンプリングスタートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E3h	S12AD1	A/Dサンプリングスタートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E4h	S12AD1	A/Dサンプリングスタートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E5h	S12AD1	A/Dサンプリングスタートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E6h	S12AD1	A/Dサンプリングスタートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK	S12ADH
0008 92E7h	S12AD1	A/Dサンプリングスタートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK	S12ADH
0008 93A0h	S12AD1	A/Dプログラマブルゲインアンプコントロールレジ スタ	ADPGACR	16	16	2~3PCLKB	2ICLK	S12ADH
0008 93A2h	S12AD1	A/Dプログラマブルゲインアンプゲイン設定レジス タ0	ADPGAGS0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 93B0h	S12AD1	A/Dプログラマブルゲインアンプ差動入力カント ロールレジスタ	ADPGADCR0	16	16	2~3PCLKB	2ICLK	S12ADH

表4.1 I/O レジスタアドレス一覧 (12 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 93C0h	S12AD1	A/D チャンネル変換順序設定レジスタ0	ADSCS0	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C1h	S12AD1	A/D チャンネル変換順序設定レジスタ1	ADSCS1	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C2h	S12AD1	A/D チャンネル変換順序設定レジスタ2	ADSCS2	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C3h	S12AD1	A/D チャンネル変換順序設定レジスタ3	ADSCS3	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C4h	S12AD1	A/D チャンネル変換順序設定レジスタ4	ADSCS4	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C5h	S12AD1	A/D チャンネル変換順序設定レジスタ5	ADSCS5	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C6h	S12AD1	A/D チャンネル変換順序設定レジスタ6	ADSCS6	8	8	2～3PCLKB	2ICLK	S12ADH
0008 93C7h	S12AD1	A/D チャンネル変換順序設定レジスタ7	ADSCS7	8	8	2～3PCLKB	2ICLK	S12ADH
0008 9400h	S12AD2	A/D コントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9404h	S12AD2	A/D チャンネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9406h	S12AD2	A/D チャンネル選択レジスタA1	ADANSA1	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9408h	S12AD2	A/D 変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	S12ADH
0008 940Ah	S12AD2	A/D 変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2～3PCLKB	2ICLK	S12ADH
0008 940Ch	S12AD2	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	S12ADH
0008 940Eh	S12AD2	A/D コントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9410h	S12AD2	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9412h	S12AD2	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9414h	S12AD2	A/D チャンネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9416h	S12AD2	A/D チャンネル選択レジスタB1	ADANSB1	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9418h	S12AD2	A/D データ二重化レジスタ	ADBLDR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 941Ah	S12AD2	A/D 温度センサデータレジスタ	ADTSR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 941Ch	S12AD2	A/D 内部基準電圧データレジスタ	ADOCDR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 941Eh	S12AD2	A/D 自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9420h	S12AD2	A/D データレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9422h	S12AD2	A/D データレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9424h	S12AD2	A/D データレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9426h	S12AD2	A/D データレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9428h	S12AD2	A/D データレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	S12ADH
0008 942Ah	S12AD2	A/D データレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	S12ADH
0008 942Ch	S12AD2	A/D データレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	S12ADH
0008 942Eh	S12AD2	A/D データレジスタ7	ADDR7	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9430h	S12AD2	A/D データレジスタ8	ADDR8	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9432h	S12AD2	A/D データレジスタ9	ADDR9	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9434h	S12AD2	A/D データレジスタ10	ADDR10	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9436h	S12AD2	A/D データレジスタ11	ADDR11	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9440h	S12AD2	A/D データレジスタ16	ADDR16	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9442h	S12AD2	A/D データレジスタ17	ADDR17	16	16	2～3PCLKB	2ICLK	S12ADH
0008 947Ah	S12AD2	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	S12ADH
0008 947Dh	S12AD2	A/D イベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	S12ADH
0008 9480h	S12AD2	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9484h	S12AD2	A/D データ二重化レジスタA	ADBLDRA	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9486h	S12AD2	A/D データ二重化レジスタB	ADBLDRB	16	16	2～3PCLKB	2ICLK	S12ADH
0008 948Ch	S12AD2	A/D コンペア機能ウィンドウA/Bステータスマニ レジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	S12ADH
0008 9490h	S12AD2	A/D コンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9492h	S12AD2	A/D コンペア機能ウィンドウA拡張入力選択レジ スタ	ADCMPANSE R	8	8	2～3PCLKB	2ICLK	S12ADH
0008 9493h	S12AD2	A/D コンペア機能ウィンドウA拡張入力比較条件設 定レジスタ	ADCMPLER	8	8	2～3PCLKB	2ICLK	S12ADH
0008 9494h	S12AD2	A/D コンペア機能ウィンドウAチャンネル選択レジ スタ0	ADCMPANSR 0	16	16	2～3PCLKB	2ICLK	S12ADH
0008 9496h	S12AD2	A/D コンペア機能ウィンドウAチャンネル選択レジ スタ1	ADCMPANSR 1	16	16	2～3PCLKB	2ICLK	S12ADH

表4.1 I/O レジスタアドレス一覧 (13 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 9498h	S12AD2	A/D コンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 949Ah	S12AD2	A/D コンペア機能ウィンドウA比較条件設定レジスタ1	ADCMPLR1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 949Ch	S12AD2	A/D コンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPLR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 949Eh	S12AD2	A/D コンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPLR1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94A0h	S12AD2	A/D コンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94A2h	S12AD2	A/D コンペア機能ウィンドウAチャネルステータスレジスタ1	ADCMPSR1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94A4h	S12AD2	A/D コンペア機能ウィンドウA拡張入力チャネルステータスレジスタ	ADCMPSER	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94A6h	S12AD2	A/D コンペア機能ウィンドウBチャネル選択レジスタ	ADCMPSNR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94A8h	S12AD2	A/D コンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94AAh	S12AD2	A/D コンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94ACh	S12AD2	A/D コンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPSR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94D4h	S12AD2	A/D チャネル選択レジスタC0	ADANSC0	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94D6h	S12AD2	A/D チャネル選択レジスタC1	ADANSC1	16	16	2~3PCLKB	2ICLK	S12ADH
0008 94D8h	S12AD2	A/D グループC拡張入力コントロールレジスタ	ADGCXCR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94D9h	S12AD2	A/D グループCトリガ選択レジスタ	ADGCTRGR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94DDh	S12AD2	A/D サンプリングスタートレジスタL	ADSSTRL	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94DEh	S12AD2	A/D サンプリングスタートレジスタT	ADSSTRT	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94DFh	S12AD2	A/D サンプリングスタートレジスタO	ADSSTRO	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E0h	S12AD2	A/D サンプリングスタートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E1h	S12AD2	A/D サンプリングスタートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E2h	S12AD2	A/D サンプリングスタートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E3h	S12AD2	A/D サンプリングスタートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E4h	S12AD2	A/D サンプリングスタートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E5h	S12AD2	A/D サンプリングスタートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E6h	S12AD2	A/D サンプリングスタートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E7h	S12AD2	A/D サンプリングスタートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E8h	S12AD2	A/D サンプリングスタートレジスタ8	ADSSTR8	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94E9h	S12AD2	A/D サンプリングスタートレジスタ9	ADSSTR9	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94EAh	S12AD2	A/D サンプリングスタートレジスタ10	ADSSTR10	8	8	2~3PCLKB	2ICLK	S12ADH
0008 94EBh	S12AD2	A/D サンプリングスタートレジスタ11	ADSSTR11	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C0h	S12AD2	A/D チャネル変換順序設定レジスタ0	ADSCS0	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C1h	S12AD2	A/D チャネル変換順序設定レジスタ1	ADSCS1	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C2h	S12AD2	A/D チャネル変換順序設定レジスタ2	ADSCS2	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C3h	S12AD2	A/D チャネル変換順序設定レジスタ3	ADSCS3	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C4h	S12AD2	A/D チャネル変換順序設定レジスタ4	ADSCS4	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C5h	S12AD2	A/D チャネル変換順序設定レジスタ5	ADSCS5	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C6h	S12AD2	A/D チャネル変換順序設定レジスタ6	ADSCS6	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C7h	S12AD2	A/D チャネル変換順序設定レジスタ7	ADSCS7	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C8h	S12AD2	A/D チャネル変換順序設定レジスタ8	ADSCS8	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95C9h	S12AD2	A/D チャネル変換順序設定レジスタ9	ADSCS9	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95CAh	S12AD2	A/D チャネル変換順序設定レジスタ10	ADSCS10	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95CBh	S12AD2	A/D チャネル変換順序設定レジスタ11	ADSCS11	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95D0h	S12AD2	A/D チャネル変換順序設定レジスタ12	ADSCS12	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95D1h	S12AD2	A/D チャネル変換順序設定レジスタ13	ADSCS13	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95E2h	S12AD2	A/D 内部基準電圧モニタ回路許可レジスタ	ADVMONCR	8	8	2~3PCLKB	2ICLK	S12ADH
0008 95E4h	S12AD2	A/D 内部基準電圧モニタ回路出力許可レジスタ	ADVMONO	8	8	2~3PCLKB	2ICLK	S12ADH

表 4.1 I/O レジスタアドレス一覧 (14 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A029h	SCI1	I ² Cモードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Ah	SCI1	I ² Cモードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Bh	SCI1	I ² Cモードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Eh	SCI1	トランスミットデータレジスタ H	TDRH	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Fh	SCI1	トランスミットデータレジスタ L	TDRL	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A02Eh	SCI1	トランスミットデータレジスタ HL	TDRHL	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A030h	SCI1	レシーブデータレジスタ H	RDRH	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A031h	SCI1	レシーブデータレジスタ L	RDRL	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A030h	SCI1	レシーブデータレジスタ HL	RDRHL	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A033h	SCI1	データ比較制御レジスタ	DCCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A03Ah	SCI1	比較データレジスタ H	CDR.H	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A03Bh	SCI1	比較データレジスタ L	CDR.L	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A03Ah	SCI1	比較データレジスタ	CDR	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A03Ch	SCI1	シリアルポートレジスタ	SPTR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh

表4.1 I/O レジスタアドレス一覧 (15 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0B3h	SCI5	データ比較制御レジスタ	DCCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0BAh	SCI5	比較データレジスタH	CDR.H	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0BBh	SCI5	比較データレジスタL	CDR.L	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0BAh	SCI5	比較データレジスタ	CDR	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0BCh	SCI5	シリアルポートレジスタ	SPTR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh

表4.1 I/O レジスタアドレス一覧 (16 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0D3h	SCI6	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0DAh	SCI6	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0DBh	SCI6	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0DAh	SCI6	比較データレジスタ	CDR	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A0DCh	SCI6	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A100h	SMCI8	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A102h	SMCI8	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A104h	SMCI8	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A106h	SMCI8	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A10Eh	SCI8	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh

表4.1 I/O レジスタアドレス一覧 (17 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A10Fh	SCI8	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A10Eh	SCI8	トランスミットデータレジスタHL	TDRHL	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A110h	SCI8	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A111h	SCI8	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A110h	SCI8	レシーブデータレジスタHL	RDRHL	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A112h	SCI8	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A113h	SCI8	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A11Ah	SCI8	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A11Bh	SCI8	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A11Ah	SCI8	比較データレジスタ	CDR	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A11Ch	SCI8	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A120h	SMCI9	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A122h	SMCI9	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A124h	SMCI9	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A126h	SMCI9	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Eh	SCI9	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Fh	SCI9	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A12Eh	SCI9	トランスミットデータレジスタHL	TDRHL	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A130h	SCI9	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A131h	SCI9	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A130h	SCI9	レシーブデータレジスタHL	RDRHL	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A132h	SCI9	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh

表4.1 I/O レジスタアドレス一覧 (18 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A133h	SCI9	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A13Ah	SCI9	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A13Bh	SCI9	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 A13Ah	SCI9	比較データレジスタ	CDR	16	8, 16	2～5PCLKB	2ICLK	SCIj, SCli, SClh
0008 A13Ch	SCI9	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2～3PCLKB	2ICLK	CAC
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2～3PCLKB	2ICLK	CAC
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2～3PCLKB	2ICLK	CAC
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2～3PCLKB	2ICLK	CAC
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2～3PCLKB	2ICLK	CAC
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2～3PCLKB	2ICLK	CAC
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2～3PCLKB	2ICLK	CAC
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2～3PCLKB	2ICLK	CAC
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2～3PCLKB	2ICLK	DOC
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2～3PCLKB	2ICLK	DOC
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2～3PCLKB	2ICLK	DOC
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2～3PCLKB	2ICLK	ELC
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2～3PCLKB	2ICLK	ELC
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2～3PCLKB	2ICLK	ELC
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2～3PCLKB	2ICLK	ELC
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2～3PCLKB	2ICLK	ELC
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2～3PCLKB	2ICLK	ELC
0008 B10Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8	2～3PCLKB	2ICLK	ELC
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2～3PCLKB	2ICLK	ELC
0008 B10Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8	2～3PCLKB	2ICLK	ELC
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2～3PCLKB	2ICLK	ELC
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2～3PCLKB	2ICLK	ELC
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2～3PCLKB	2ICLK	ELC
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2～3PCLKB	2ICLK	ELC
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2～3PCLKB	2ICLK	ELC
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2～3PCLKB	2ICLK	ELC
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2～3PCLKB	2ICLK	ELC
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2～3PCLKB	2ICLK	ELC
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2～3PCLKB	2ICLK	ELC
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2～3PCLKB	2ICLK	ELC
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2～3PCLKB	2ICLK	ELC
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2～3PCLKB	2ICLK	ELC
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2～3PCLKB	2ICLK	ELC
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2～3PCLKB	2ICLK	ELC
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2～3PCLKB	2ICLK	ELC
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2～3PCLKB	2ICLK	ELC
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2～3PCLKB	2ICLK	ELC
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2～3PCLKB	2ICLK	ELC
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2～3PCLKB	2ICLK	ELC
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2～3PCLKB	2ICLK	ELC
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2～3PCLKB	2ICLK	ELC
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2～3PCLKB	2ICLK	ELC
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2～3PCLKB	2ICLK	ELC
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2～3PCLKB	2ICLK	ELC

表4.1 I/O レジスタアドレス一覧 (19 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Eh	ELC	イベントリンク設定レジスタ30	ELSR30	8	8	2~3PCLKB	2ICLK	ELC
0008 B12Fh	ELC	イベントリンク設定レジスタ31	ELSR31	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8	2~3PCLKB	2ICLK	ELC
0008 B13Eh	ELC	イベントリンクオプション設定レジスタE	ELOPE	8	8	2~3PCLKB	2ICLK	ELC
0008 B144h	ELC	イベントリンク設定レジスタ46	ELSR46	8	8	2~3PCLKB	2ICLK	ELC
0008 B145h	ELC	イベントリンク設定レジスタ47	ELSR47	8	8	2~3PCLKB	2ICLK	ELC
0008 B146h	ELC	イベントリンク設定レジスタ48	ELSR48	8	8	2~3PCLKB	2ICLK	ELC
0008 B147h	ELC	イベントリンク設定レジスタ49	ELSR49	8	8	2~3PCLKB	2ICLK	ELC
0008 B148h	ELC	イベントリンク設定レジスタ50	ELSR50	8	8	2~3PCLKB	2ICLK	ELC
0008 B149h	ELC	イベントリンク設定レジスタ51	ELSR51	8	8	2~3PCLKB	2ICLK	ELC
0008 B14Ah	ELC	イベントリンク設定レジスタ52	ELSR52	8	8	2~3PCLKB	2ICLK	ELC
0008 B14Bh	ELC	イベントリンク設定レジスタ53	ELSR53	8	8	2~3PCLKB	2ICLK	ELC
0008 B14Ch	ELC	イベントリンク設定レジスタ54	ELSR54	8	8	2~3PCLKB	2ICLK	ELC
0008 B14Dh	ELC	イベントリンク設定レジスタ55	ELSR55	8	8	2~3PCLKB	2ICLK	ELC
0008 B14Eh	ELC	イベントリンク設定レジスタ56	ELSR56	8	8	2~3PCLKB	2ICLK	ELC
0008 B14Fh	ELC	イベントリンク設定レジスタ57	ELSR57	8	8	2~3PCLKB	2ICLK	ELC
0008 B150h	ELC	イベントリンク設定レジスタ58	ELSR58	8	8	2~3PCLKB	2ICLK	ELC
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	8, 16	2~5PCLKB	2ICLK	SCIj, SCli, SClh

表4.1 I/O レジスタアドレス一覧 (20 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 B310h	SCI12	レシーブデータレジスタ H	RDRH	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B311h	SCI12	レシーブデータレジスタ L	RDRL	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B310h	SCI12	レシーブデータレジスタ HL	RDRHL	16	8, 16	2 ~ 5PCLKB	2ICLK	SCIj, SCli, SClh
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B321h	SCI12	コントロールレジスタ 0	CR0	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B322h	SCI12	コントロールレジスタ 1	CR1	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B323h	SCI12	コントロールレジスタ 2	CR2	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B324h	SCI12	コントロールレジスタ 3	CR3	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B32Ah	SCI12	Control Field 0 コンペアイネーブルレジスタ	CF0CR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B32Ch	SCI12	プライマリ Control Field 1 データレジスタ	PCF1DR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B32Dh	SCI12	セカンダリ Control Field 1 データレジスタ	SCF1DR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B32Eh	SCI12	Control Field 1 コンペアイネーブルレジスタ	CF1CR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK	SCIj, SCli, SClh
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK	I/Oポート

表4.1 I/O レジスタアドレス一覧 (21 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C033h	PORTK	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C053h	PORTK	ポート入力データレジスタ	PIDR	8	8	4~5PCLKB	3ICLK	I/Oポート
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート

表4.1 I/O レジスタアドレス一覧 (22 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C088h	PORT4	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C089h	PORT4	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C08Dh	PORT6	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C090h	PORT8	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C09Eh	PORTF	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0A0h	PORTG	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0A2h	PORTH	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0A3h	PORTH	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0A6h	PORTK	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート

表 4.1 I/O レジスタアドレス一覧 (23 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0D0h	PORTG	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0D3h	PORTK	ブルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0EFh	PORTF	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0F0h	PORTG	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2～3PCLKB	2ICLK	MPC
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2～3PCLKB	2ICLK	MPC
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8	2～3PCLKB	2ICLK	MPC
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8	2～3PCLKB	2ICLK	MPC
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8	2～3PCLKB	2ICLK	MPC
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8	2～3PCLKB	2ICLK	MPC
0008 C108h	MPC	外部バス制御レジスタ2	PFBCR2	8	8	2～3PCLKB	2ICLK	MPC
0008 C109h	MPC	外部バス制御レジスタ3	PFBCR3	8	8	2～3PCLKB	2ICLK	MPC
0008 C10Ah	MPC	外部バス制御レジスタ4	PFBCR4	8	8	2～3PCLKB	2ICLK	MPC
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2～3PCLKB	2ICLK	MPC
0008 C12Fh	PORT7	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C130h	PORT8	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C131h	PORT9	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C133h	PORTB	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C135h	PORTD	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	I/Oポート
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2～3PCLKB	2ICLK	MPC

表4.1 I/O レジスタアドレス一覧 (24 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C15Dh	MPC	P35端子機能制御レジスタ	P35PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C18Dh	MPC	P95端子機能制御レジスタ	P95PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C18Eh	MPC	P96端子機能制御レジスタ	P96PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2～3PCLKB	2ICLK	MPC

表 4.1 I/O レジスタアドレス一覧 (25 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B8h	MPC	PF0端子機能制御レジスタ	PF0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1B9h	MPC	PF1端子機能制御レジスタ	PF1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1BAh	MPC	PF2端子機能制御レジスタ	PF2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1BBh	MPC	PF3端子機能制御レジスタ	PF3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1C0h	MPC	PG0端子機能制御レジスタ	PG0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1C1h	MPC	PG1端子機能制御レジスタ	PG1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1C2h	MPC	PG2端子機能制御レジスタ	PG2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1CCh	MPC	PH4端子機能制御レジスタ	PH4PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1CDh	MPC	PH5端子機能制御レジスタ	PH5PFS	8	8	2～3PCLKB	2ICLK	MPC
0008 C1CEh	MPC	PH6端子機能制御レジスタ	PH6PFS	8	8	2～3PCLKB	2ICLK	MPC

表 4.1 I/O レジスタアドレス一覧 (26 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C1CFh	MPC	PH7端子機能制御レジスタ	PH7PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1D8h	MPC	PK0端子機能制御レジスタ	PK0PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1D9h	MPC	PK1端子機能制御レジスタ	PK1PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C1DAh	MPC	PK2端子機能制御レジスタ	PK2PFS	8	8	2~3PCLKB	2ICLK	MPC
0008 C280h	SYSTEM	ディーブスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C282h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C283h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ1	DPSIER1	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C284h	SYSTEM	ディーブスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C286h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C287h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ1	DPSIFR1	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C288h	SYSTEM	ディーブスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C28Ah	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C28Bh	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ1	DPSIEGR1	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C28Ch	SYSTEM	ディーブスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	リセット
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK	リセット
0008 C293h	SYSTEM	メインクロック発振器機能コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	クロック発生 回路
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4~5PCLKB	2~3ICLK	クロック発生 回路
0008 C295h	SYSTEM	電圧レベル設定レジスタ	VOLSR	8	8	4~5PCLKB	2~3ICLK	動作モード
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPOR	8	8	4~5PCLKB	2~3ICLK	Flash
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK	LVDA
0008 C2A0h~ 0008 C2BFh	SYSTEM	ディーブスタンバイバックアップレジスタ0~ ディーブスタンバイバックアップレジスタ31	DPSBKR0~ DPSBKR31	8	8	4~5PCLKB	2~3ICLK	消費電力低減 機能
0009 0200h~ 0009 03FFh	CAN0	メールボックスレジスタ0~メールボックスレジスタ31	MB0~MB31	128	8, 16, 32 (注2)	2~3PCLKB	2ICLK	CAN
0009 0400h~ 0009 041Fh	CAN0	マスクレジスタ0~マスクレジスタ7	MKR0~MKR7	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0820h~ 0009 083Fh	CAN0	メッセージ制御レジスタ0~メッセージ制御レジスタ31	MCTL0~ MCTL31	8	8	2~3PCLKB	2ICLK	CAN
0009 0840h	CAN0	制御レジスタ	CTLR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 0842h	CAN0	ステータスレジスタ	STR	16	8, 16	2~3PCLKB	2ICLK	CAN
0009 0844h	CAN0	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2~3PCLKB	2ICLK	CAN
0009 0848h	CAN0	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLKB	2ICLK	CAN
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK	CAN
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK	CAN
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK	CAN
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK	CAN

表4.1 I/O レジスタアドレス一覧 (27 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0009 0851h	CAN0	チャンネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK	CAN
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK	CAN
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK	CAN
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	16	2~3PCLKB	2ICLK	CAN
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	16	2~3PCLKB	2ICLK	CAN
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	CAN
0009 E000h	POEG	POEGグループA設定レジスタ	POEGGA	32	32	2~3PCLKB	2ICLK	POEG
0009 E040h	POEG	GPTW出力ネゲート制御グループA書き込み保護 レジスタ	GTONCWPA	16	16	2~3PCLKB	2ICLK	POEG
0009 E044h	POEG	GPTW出力ネゲート制御グループAコントロール レジスタ	GTONCCRA	16	16	2~3PCLKB	2ICLK	POEG
0009 E100h	POEG	POEGグループB設定レジスタ	POEGGB	32	32	2~3PCLKB	2ICLK	POEG
0009 E140h	POEG	GPTW出力ネゲート制御グループB書き込み保護 レジスタ	GTONCWPB	16	16	2~3PCLKB	2ICLK	POEG
0009 E144h	POEG	GPTW出力ネゲート制御グループBコントロール レジスタ	GTONCCRB	16	16	2~3PCLKB	2ICLK	POEG
0009 E200h	POEG	POEGグループC設定レジスタ	POEGGC	32	32	2~3PCLKB	2ICLK	POEG
0009 E240h	POEG	GPTW出力ネゲート制御グループC書き込み保護 レジスタ	GTONCWPC	16	16	2~3PCLKB	2ICLK	POEG
0009 E244h	POEG	GPTW出力ネゲート制御グループCコントロール レジスタ	GTONCCRC	16	16	2~3PCLKB	2ICLK	POEG
0009 E300h	POEG	POEGグループD設定レジスタ	POEGGD	32	32	2~3PCLKB	2ICLK	POEG
0009 E340h	POEG	GPTW出力ネゲート制御グループD書き込み保護 レジスタ	GTONCWPD	16	16	2~3PCLKB	2ICLK	POEG
0009 E344h	POEG	GPTW出力ネゲート制御グループDコントロール レジスタ	GTONCCRD	16	16	2~3PCLKB	2ICLK	POEG
0009 E400h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2~3PCLKB	2ICLK	POE3B
0009 E402h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2~3PCLKB	2ICLK	POE3B
0009 E404h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2~3PCLKB	2ICLK	POE3B
0009 E406h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	16	2~3PCLKB	2ICLK	POE3B
0009 E408h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2~3PCLKB	2ICLK	POE3B
0009 E40Bh	POE	ポートアウトブッティネーブルコントロールレジ スタ1	POECR1	8	8	2~3PCLKB	2ICLK	POE3B
0009 E40Ch	POE	ポートアウトブッティネーブルコントロールレジ スタ2	POECR2	16	16	2~3PCLKB	2ICLK	POE3B
0009 E40Eh	POE	ポートアウトブッティネーブルコントロールレジ スタ3	POECR3	16	16	2~3PCLKB	2ICLK	POE3B
0009 E410h	POE	ポートアウトブッティネーブルコントロールレジ スタ4	POECR4	16	16	2~3PCLKB	2ICLK	POE3B
0009 E412h	POE	ポートアウトブッティネーブルコントロールレジ スタ5	POECR5	16	16	2~3PCLKB	2ICLK	POE3B
0009 E414h	POE	ポートアウトブッティネーブルコントロールレジ スタ6	POECR6	16	16	2~3PCLKB	2ICLK	POE3B
0009 E416h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16	2~3PCLKB	2ICLK	POE3B
0009 E418h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16	2~3PCLKB	2ICLK	POE3B
0009 E41Ah	POE	アクティブレベルレジスタ1	ALR1	16	16	2~3PCLKB	2ICLK	POE3B
0009 E41Ch	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	2ICLK	POE3B
0009 E41Eh	POE	アクティブレベルレジスタ2	ALR2	16	16	2~3PCLKB	2ICLK	POE3B
0009 E420h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	16	2~3PCLKB	2ICLK	POE3B
0009 E422h	POE	ポートアウトブッティネーブルコントロールレジ スタ7	POECR7	16	16	2~3PCLKB	2ICLK	POE3B
0009 E424h	POE	ポートアウトブッティネーブルコントロールレジ スタ8	POECR8	16	16	2~3PCLKB	2ICLK	POE3B
0009 E426h	POE	ポートアウトブッティネーブルコンパレータ検出 フラグレジスタ	POECMPFR	16	16	2~3PCLKB	2ICLK	POE3B
0009 E428h	POE	ポートアウトブッティネーブルコンパレータ要求 選択レジスタ	POECMPSEL	16	16	2~3PCLKB	2ICLK	POE3B
0009 E42Ah	POE	出力レベルコントロール/ステータスレジスタ3	OCSR3	16	16	2~3PCLKB	2ICLK	POE3B
0009 E42Ch	POE	アクティブレベルレジスタ3	ALR3	16	16	2~3PCLKB	2ICLK	POE3B
0009 E42Eh	POE	ソフトウェアポートアウトブッティネーブルレジ スタ	SPOER	16	16	2~3PCLKB	2ICLK	POE3B

表4.1 I/O レジスタアドレス一覧 (28 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0009 E430h	POE	ポートモードマスクコントロールレジスタ 0	PMMCR0	16	16	2～3PCLKB	2ICLK	POE3B
0009 E432h	POE	ポートモードマスクコントロールレジスタ 1	PMMCR1	16	16	2～3PCLKB	2ICLK	POE3B
0009 E434h	POE	ポートモードマスクコントロールレジスタ 2	PMMCR2	16	16	2～3PCLKB	2ICLK	POE3B
0009 E436h	POE	ポートモードマスクコントロールレジスタ 3	PMMCR3	16	16	2～3PCLKB	2ICLK	POE3B
0009 E438h	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 0	POECMPLEX0	8	8	2～3PCLKB	2ICLK	POE3B
0009 E439h	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 1	POECMPLEX1	8	8	2～3PCLKB	2ICLK	POE3B
0009 E43Ah	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 2	POECMPLEX2	8	8	2～3PCLKB	2ICLK	POE3B
0009 E43Bh	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 3	POECMPLEX3	8	8	2～3PCLKB	2ICLK	POE3B
0009 E43Ch	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 4	POECMPLEX4	8	8	2～3PCLKB	2ICLK	POE3B
0009 E43Dh	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 5	POECMPLEX5	8	8	2～3PCLKB	2ICLK	POE3B
0009 E440h	POE	入力レベルコントロール/ステータスレジスタ 8	ICSR8	16	16	2～3PCLKB	2ICLK	POE3B
0009 E442h	POE	入力レベルコントロール/ステータスレジスタ 9	ICSR9	16	16	2～3PCLKB	2ICLK	POE3B
0009 E444h	POE	入力レベルコントロール/ステータスレジスタ 10	ICSR10	16	16	2～3PCLKB	2ICLK	POE3B
0009 E446h	POE	出力レベルコントロール/ステータスレジスタ 4	OCSR4	16	16	2～3PCLKB	2ICLK	POE3B
0009 E448h	POE	出力レベルコントロール/ステータスレジスタ 5	OCSR5	16	16	2～3PCLKB	2ICLK	POE3B
0009 E44Ah	POE	アクティブレベルレジスタ 4	ALR4	16	16	2～3PCLKB	2ICLK	POE3B
0009 E44Ch	POE	アクティブレベルレジスタ 5	ALR5	16	16	2～3PCLKB	2ICLK	POE3B
0009 E44Eh	POE	ポートアウトブッティネーブルコントロールレジ スタ 4B	POECR4B	16	16	2～3PCLKB	2ICLK	POE3B
0009 E450h	POE	ポートアウトブッティネーブルコントロールレジ スタ 6B	POECR6B	16	16	2～3PCLKB	2ICLK	POE3B
0009 E452h	POE	ポートアウトブッティネーブルコントロールレジ スタ 9	POECR9	16	16	2～3PCLKB	2ICLK	POE3B
0009 E454h	POE	ポートアウトブッティネーブルコントロールレジ スタ 10	POECR10	16	16	2～3PCLKB	2ICLK	POE3B
0009 E456h	POE	ポートアウトブッティネーブルコントロールレジ スタ 11	POECR11	16	16	2～3PCLKB	2ICLK	POE3B
0009 E458h	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 6	POECMPLEX6	8	8	2～3PCLKB	2ICLK	POE3B
0009 E459h	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 7	POECMPLEX7	8	8	2～3PCLKB	2ICLK	POE3B
0009 E45Ah	POE	ポートアウトブッティネーブルコンパレータ要求 拡張選択レジスタ 8	POECMPLEX8	8	8	2～3PCLKB	2ICLK	POE3B
0009 E460h	POE	MTU0 端子選択レジスタ 1	M0SELR1	8	8	2～3PCLKB	2ICLK	POE3B
0009 E461h	POE	MTU0 端子選択レジスタ 2	M0SELR2	8	8	2～3PCLKB	2ICLK	POE3B
0009 E462h	POE	MTU3 端子選択レジスタ	M3SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E463h	POE	MTU4 端子選択レジスタ 1	M4SELR1	8	8	2～3PCLKB	2ICLK	POE3B
0009 E464h	POE	MTU4 端子選択レジスタ 2	M4SELR2	8	8	2～3PCLKB	2ICLK	POE3B
0009 E465h	POE	MTU6 端子選択レジスタ	M6SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E466h	POE	MTU7 端子選択レジスタ 1	M7SELR1	8	8	2～3PCLKB	2ICLK	POE3B
0009 E467h	POE	MTU7 端子選択レジスタ 2	M7SELR2	8	8	2～3PCLKB	2ICLK	POE3B
0009 E468h	POE	MTU9 端子選択レジスタ 1	M9SELR1	8	8	2～3PCLKB	2ICLK	POE3B
0009 E469h	POE	MTU9 端子選択レジスタ 2	M9SELR2	8	8	2～3PCLKB	2ICLK	POE3B
0009 E46Ah	POE	GPTW0 端子選択レジスタ	G0SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E46Bh	POE	GPTW1 端子選択レジスタ	G1SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E46Ch	POE	GPTW2 端子選択レジスタ	G2SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E46Dh	POE	GPTW3 端子選択レジスタ	G3SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E46Eh	POE	GPTW4 端子選択レジスタ	G4SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E46Fh	POE	GPTW5 端子選択レジスタ	G5SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E470h	POE	GPTW6 端子選択レジスタ	G6SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E471h	POE	GPTW7 端子選択レジスタ	G7SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E472h	POE	GPTW8 端子選択レジスタ	G8SELR	8	8	2～3PCLKB	2ICLK	POE3B
0009 E473h	POE	GPTW9 端子選択レジスタ	G9SELR	8	8	2～3PCLKB	2ICLK	POE3B

表4.1 I/O レジスタアドレス一覧 (29 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2ICLK	USBb
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSTS0	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の整数切り上げ以上 (注1)	USBb
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の整数切り上げ以上 (注1)	USBb
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8, 16	3~4PCLKB	2ICLK	USBb
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8, 16	3~4PCLKB	2ICLK	USBb
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8, 16	3~4PCLKB	2ICLK	USBb
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2ICLK	USBb
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2ICLK	USBb
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2ICLK	USBb
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2ICLK	USBb
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2ICLK	USBb
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2ICLK	USBb
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0056h	USB0	USBリクエストバリュレジスタ	USBVAL	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比})$ の周波数 (注1)	USBb

表4.1 I/O レジスタアドレス一覧 (30 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb

表4.1 I/O レジスタアドレス一覧 (31 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 00F0h	USB0	PHYクロスポイント調整レジスタ	PHYSLEW	32	32	9PCLKB 以上	$1 + 9 \times (\text{ICLK} / \text{PCLKBの周波数比}) \text{の周波数 (注1)}$	USBb
000A 0C80h	CMPC0	コンパレータ制御レジスタ	CMPCTL	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ	CMPMON	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CA0h	CMPC1	コンパレータ制御レジスタ	CMPCTL	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CACH	CMPC1	コンパレータ出力モニタレジスタ	CMPMON	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CC0h	CMPC2	コンパレータ制御レジスタ	CMPCTL	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ	CMPMON	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CE0h	CMPC3	コンパレータ制御レジスタ	CMPCTL	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CE4h	CMPC3	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CE8h	CMPC3	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CECh	CMPC3	コンパレータ出力モニタレジスタ	CMPMON	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0CF0h	CMPC3	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D00h	CMPC4	コンパレータ制御レジスタ	CMPCTL	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D04h	CMPC4	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D08h	CMPC4	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D0Ch	CMPC4	コンパレータ出力モニタレジスタ	CMPMON	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D10h	CMPC4	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D20h	CMPC5	コンパレータ制御レジスタ	CMPCTL	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D24h	CMPC5	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D28h	CMPC5	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D2Ch	CMPC5	コンパレータ出力モニタレジスタ	CMPMON	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000A 0D30h	CMPC5	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1 ~ 2PCLKB	1 ~ 2ICLK	CMPC
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 120Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d

表4.1 I/O レジスタアドレス一覧 (32 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ 1A	TOCR1A	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ 2A	TOCR2A	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1214h	MTU	タイマ周期データレジスタ A	TCDRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1216h	MTU	タイマデッドタイムデータレジスタ A	TDDRA	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1218h	MTU3	タイマジェネラルレジスタ A	TGRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 121Ah	MTU3	タイマジェネラルレジスタ B	TGRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 121Ch	MTU4	タイマジェネラルレジスタ A	TGRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 121Eh	MTU4	タイマジェネラルレジスタ B	TGRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1220h	MTU	タイマサブカウンタ A	TCNTSA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1222h	MTU	タイマ周期バッファレジスタ A	TCBRA	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1224h	MTU3	タイマジェネラルレジスタ C	TGRC	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1226h	MTU3	タイマジェネラルレジスタ D	TGRD	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1228h	MTU4	タイマジェネラルレジスタ C	TGRC	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 122Ah	MTU4	タイマジェネラルレジスタ D	TGRD	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ 1A	TITCR1A	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ 1A	TITCNT1A	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1232h	MTU	タイマバッファ転送設定レジスタ A	TBTERA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタ A	TDERA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタ A	TOLBRA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタ A	TITMRA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ 2A	TITCR2A	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ 2A	TITCNT2A	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1240h	MTU4	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1244h	MTU4	タイマ A/D 変換開始要求周期設定レジスタ A	TADCORA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1246h	MTU4	タイマ A/D 変換開始要求周期設定レジスタ B	TADCORB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1248h	MTU4	タイマ A/D 変換開始要求周期設定バッファレジスタ A	TADCOBRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 124Ah	MTU4	タイマ A/D 変換開始要求周期設定バッファレジスタ B	TADCOBRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 124Ch	MTU3	タイマコントロールレジスタ 2	TCR2	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 124Dh	MTU4	タイマコントロールレジスタ 2	TCR2	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1260h	MTU	タイマ波形コントロールレジスタ A	TWCRA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1270h	MTU	タイマモードレジスタ 2A	TMDR2A	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1272h	MTU3	タイマジェネラルレジスタ E	TGRE	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1274h	MTU4	タイマジェネラルレジスタ E	TGRE	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1276h	MTU4	タイマジェネラルレジスタ F	TGRF	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1280h	MTU	タイマスタートレジスタ A	TSTRA	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1281h	MTU	タイマシンクロレジスタ A	TSYRA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1284h	MTU	タイマリードライトイネーブルレジスタ A	TRWERA	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ 0	NFCR0	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ 1	NFCR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ 2	NFCR2	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ 3	NFCR3	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ 4	NFCR4	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1296h	MTU9	ノイズフィルタコントロールレジスタ 9	NFCR9	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d

表 4.1 I/O レジスタアドレス一覧 (33 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 1299h	MTU0	ノイズフィルタコントロールレジスタ C	NFCRC	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1301h	MTU0	タイマモードレジスタ 1	TMDR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1302h	MTU0	タイマ I/O コントロールレジスタ H	TIORH	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1303h	MTU0	タイマ I/O コントロールレジスタ L	TIORL	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1308h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 130Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 130Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 130Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1320h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1322h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1328h	MTU0	タイマコントロールレジスタ 2	TCR2	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1381h	MTU1	タイマモードレジスタ 1	TMDR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1382h	MTU1	タイマ I/O コントロールレジスタ	TIOR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1388h	MTU1	タイマジェネラルレジスタ A	TGRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 138Ah	MTU1	タイマジェネラルレジスタ B	TGRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1391h	MTU1	タイマモードレジスタ 3	TMDR3	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1394h	MTU1	タイマコントロールレジスタ 2	TCR2	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタ	TGRALW	32	32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタ	TGRBLW	32	32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1401h	MTU2	タイマモードレジスタ 1	TMDR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1402h	MTU2	タイマ I/O コントロールレジスタ	TIOR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1408h	MTU2	タイマジェネラルレジスタ A	TGRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 140Ah	MTU2	タイマジェネラルレジスタ B	TGRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 140Ch	MTU2	タイマコントロールレジスタ 2	TCR2	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1580h	MTU9	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1581h	MTU9	タイマモードレジスタ 1	TMDR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1582h	MTU9	タイマ I/O コントロールレジスタ H	TIORH	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1583h	MTU9	タイマ I/O コントロールレジスタ L	TIORL	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1584h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1586h	MTU9	タイマカウンタ	TCNT	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1588h	MTU9	タイマジェネラルレジスタ A	TGRA	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 158Ah	MTU9	タイマジェネラルレジスタ B	TGRB	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 158Ch	MTU9	タイマジェネラルレジスタ C	TGRC	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 158Eh	MTU9	タイマジェネラルレジスタ D	TGRD	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 15A0h	MTU9	タイマジェネラルレジスタ E	TGRE	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 15A2h	MTU9	タイマジェネラルレジスタ F	TGRF	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d

表 4.1 I/O レジスタアドレス一覧 (34 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 15A4h	MTU9	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 15A6h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 15A8h	MTU9	タイマコントロールレジスタ2	TCR2	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8, 16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A0Dh	MTU	タイマゲートコントロールレジスタB	TGCRB	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRB	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTMRB	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4~7PCLKA	2~4ICLK	MTU3d
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4~7PCLKA	2~4ICLK	MTU3d
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	4~7PCLKA	2~4ICLK	MTU3d
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	4~7PCLKA	2~4ICLK	MTU3d

表4.1 I/O レジスタアドレス一覧 (35 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8, 16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C85h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C95h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16, 32	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CA5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 1D32h	MTU	A/D変換開始要求選択レジスタ1	TADSTRGR1	8	8	4 ~ 7PCLKA	2 ~ 4ICLK	MTU3d
000C 2000h	GPTW0	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2004h	GPTW0	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2008h	GPTW0	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 200Ch	GPTW0	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2010h	GPTW0	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2014h	GPTW0	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2018h	GPTW0	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 201Ch	GPTW0	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2020h	GPTW0	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2024h	GPTW0	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2028h	GPTW0	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 202Ch	GPTW0	汎用PWMタイマ制御レジスタ	GTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2030h	GPTW0	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2034h	GPTW0	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2038h	GPTW0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 203Ch	GPTW0	汎用PWMタイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (36 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2040h	GPTW0	汎用PWMタイマバッファファイナールレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2044h	GPTW0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2048h	GPTW0	汎用PWMタイマカウンタ	GT CNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 204Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2050h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2054h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2058h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 205Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2060h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2064h	GPTW0	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2068h	GPTW0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 206Ch	GPTW0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2070h	GPTW0	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2074h	GPTW0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2078h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 207Ch	GPTW0	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2080h	GPTW0	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2084h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2088h	GPTW0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 208Ch	GPTW0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2090h	GPTW0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2094h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2098h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 209Ch	GPTW0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSSOS	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20A0h	GPTW0	汎用PWMタイマ出力保護一時解除レジスタ	GTSSOTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20A4h	GPTW0	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20A8h	GPTW0	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20ACh	GPTW0	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITL1	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20B0h	GPTW0	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITL2	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20B4h	GPTW0	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20D0h	GPTW0	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 20D4h	GPTW0	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2100h	GPTW1	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2104h	GPTW1	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2108h	GPTW1	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 210Ch	GPTW1	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2110h	GPTW1	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2114h	GPTW1	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2118h	GPTW1	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 211Ch	GPTW1	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2120h	GPTW1	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2124h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2128h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 212Ch	GPTW1	汎用PWMタイマ制御レジスタ	GTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2130h	GPTW1	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (37 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2134h	GPTW1	汎用 PWM タイマ I/O 制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2138h	GPTW1	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 213Ch	GPTW1	汎用 PWM タイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2140h	GPTW1	汎用 PWM タイマバッファファイナブルレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2144h	GPTW1	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2148h	GPTW1	汎用 PWM タイマカウンタ	GTCNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 214Ch	GPTW1	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2150h	GPTW1	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2154h	GPTW1	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2158h	GPTW1	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 215Ch	GPTW1	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2160h	GPTW1	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2164h	GPTW1	汎用 PWM タイマ周期設定レジスタ	GTPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2168h	GPTW1	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 216Ch	GPTW1	汎用 PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2170h	GPTW1	A/D 変換開始要求タイミングレジスタ A	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2174h	GPTW1	A/D 変換開始要求タイミングバッファレジスタ A	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2178h	GPTW1	A/D 変換開始要求タイミングダブルバッファレジスタ A	GTADTDBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 217Ch	GPTW1	A/D 変換開始要求タイミングレジスタ B	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2180h	GPTW1	A/D 変換開始要求タイミングバッファレジスタ B	GTADTBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2184h	GPTW1	A/D 変換開始要求タイミングダブルバッファレジスタ B	GTADTDBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2188h	GPTW1	汎用 PWM タイマデッドタイム制御レジスタ	GTDTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 218Ch	GPTW1	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2190h	GPTW1	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2194h	GPTW1	汎用 PWM タイマデッドタイムバッファレジスタ U	GTDBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2198h	GPTW1	汎用 PWM タイマデッドタイムバッファレジスタ D	GTDBD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 219Ch	GPTW1	汎用 PWM タイマ出力保護機能ステータスレジスタ	GTSSOS	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21A0h	GPTW1	汎用 PWM タイマ出力保護一時解除レジスタ	GTSSOTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21A4h	GPTW1	汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ	GTADSMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21A8h	GPTW1	汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21ACh	GPTW1	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1	GTEITL1	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21B0h	GPTW1	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2	GTEITL2	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21B4h	GPTW1	汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21D0h	GPTW1	汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 21D4h	GPTW1	汎用 PWM タイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2200h	GPTW2	汎用 PWM タイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2204h	GPTW2	汎用 PWM タイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2208h	GPTW2	汎用 PWM タイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 220Ch	GPTW2	汎用 PWM タイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2210h	GPTW2	汎用 PWM タイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2214h	GPTW2	汎用 PWM タイマストップ要因セレクトレジスタ	GTPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2218h	GPTW2	汎用 PWM タイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 221Ch	GPTW2	汎用 PWM タイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2220h	GPTW2	汎用 PWM タイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2224h	GPTW2	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (38 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2228h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 222Ch	GPTW2	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2230h	GPTW2	汎用PWMタイマカウンタ方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2234h	GPTW2	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2238h	GPTW2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 223Ch	GPTW2	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2240h	GPTW2	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2244h	GPTW2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2248h	GPTW2	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 224Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2250h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2254h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2258h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 225Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2260h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2264h	GPTW2	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2268h	GPTW2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 226Ch	GPTW2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2270h	GPTW2	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2274h	GPTW2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2278h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 227Ch	GPTW2	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2280h	GPTW2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2284h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2288h	GPTW2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 228Ch	GPTW2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2290h	GPTW2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2294h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2298h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 229Ch	GPTW2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22A0h	GPTW2	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22A4h	GPTW2	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22A8h	GPTW2	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22ACh	GPTW2	汎用PWMタイマ拡張割り込み間引き設定レジスタ ₁	GTEITL1	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22B0h	GPTW2	汎用PWMタイマ拡張割り込み間引き設定レジスタ ₂	GTEITL2	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22B4h	GPTW2	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22D0h	GPTW2	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 22D4h	GPTW2	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2300h	GPTW3	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2304h	GPTW3	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2308h	GPTW3	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 230Ch	GPTW3	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2310h	GPTW3	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2314h	GPTW3	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2318h	GPTW3	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 231Ch	GPTW3	汎用PWMタイマカウンタアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (39 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2320h	GPTW3	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2324h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2328h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 232Ch	GPTW3	汎用PWMタイマ制御レジスタ	GTCCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2330h	GPTW3	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2334h	GPTW3	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2338h	GPTW3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 233Ch	GPTW3	汎用PWMタイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2340h	GPTW3	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2344h	GPTW3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2348h	GPTW3	汎用PWMタイマカウンタ	GT CNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 234Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2350h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2354h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2358h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 235Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2360h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2364h	GPTW3	汎用PWMタイマ周期設定レジスタ	GT PR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2368h	GPTW3	汎用PWMタイマ周期設定バッファレジスタ	GT PBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 236Ch	GPTW3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GT PDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2370h	GPTW3	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2374h	GPTW3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2378h	GPTW3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 237Ch	GPTW3	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2380h	GPTW3	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2384h	GPTW3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2388h	GPTW3	汎用PWMタイマデッドタイム制御レジスタ	GT DTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 238Ch	GPTW3	汎用PWMタイマデッドタイム値レジスタU	GT DVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2390h	GPTW3	汎用PWMタイマデッドタイム値レジスタD	GT DVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2394h	GPTW3	汎用PWMタイマデッドタイムバッファレジスタU	GT DBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2398h	GPTW3	汎用PWMタイマデッドタイムバッファレジスタD	GT DBD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 239Ch	GPTW3	汎用PWMタイマ出力保護機能ステータスレジスタ	GT SOS	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23A0h	GPTW3	汎用PWMタイマ出力保護一時解除レジスタ	GT SOTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23A4h	GPTW3	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23A8h	GPTW3	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GT EITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23ACh	GPTW3	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GT EITL1	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23B0h	GPTW3	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GT EITL2	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23B4h	GPTW3	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GT EITLB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23D0h	GPTW3	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GT SECSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 23D4h	GPTW3	汎用PWMタイマ動作許可ビット同時制御レジスタ	GT SECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2400h	GPTW4	汎用PWMタイマ書き込み保護レジスタ	GT WP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2404h	GPTW4	汎用PWMタイマソフトウェアスタートレジスタ	GT STR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2408h	GPTW4	汎用PWMタイマソフトウェアストップレジスタ	GT STP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 240Ch	GPTW4	汎用PWMタイマソフトウェアクリアレジスタ	GT CLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2410h	GPTW4	汎用PWMタイマスタート要因セレクトレジスタ	GT SSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (40 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2414h	GPTW4	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2418h	GPTW4	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 241Ch	GPTW4	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2420h	GPTW4	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2424h	GPTW4	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2428h	GPTW4	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 242Ch	GPTW4	汎用PWMタイマ制御レジスタ	GTCCR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2430h	GPTW4	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2434h	GPTW4	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2438h	GPTW4	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 243Ch	GPTW4	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2440h	GPTW4	汎用PWMタイマバッファラインブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2444h	GPTW4	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2448h	GPTW4	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 244Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2450h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2454h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2458h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 245Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2460h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2464h	GPTW4	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2468h	GPTW4	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 246Ch	GPTW4	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2470h	GPTW4	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2474h	GPTW4	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2478h	GPTW4	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 247Ch	GPTW4	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2480h	GPTW4	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2484h	GPTW4	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2488h	GPTW4	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 248Ch	GPTW4	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2490h	GPTW4	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2494h	GPTW4	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2498h	GPTW4	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 249Ch	GPTW4	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24A0h	GPTW4	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24A4h	GPTW4	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24A8h	GPTW4	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24ACh	GPTW4	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITL1	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24B0h	GPTW4	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITL2	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24B4h	GPTW4	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24D0h	GPTW4	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 24D4h	GPTW4	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2500h	GPTW5	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2504h	GPTW5	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (41 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2508h	GPTW5	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 250Ch	GPTW5	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2510h	GPTW5	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2514h	GPTW5	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2518h	GPTW5	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 251Ch	GPTW5	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2520h	GPTW5	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2524h	GPTW5	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2528h	GPTW5	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 252Ch	GPTW5	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2530h	GPTW5	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2534h	GPTW5	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2538h	GPTW5	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 253Ch	GPTW5	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2540h	GPTW5	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2544h	GPTW5	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2548h	GPTW5	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 254Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2550h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2554h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2558h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 255Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2560h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2564h	GPTW5	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2568h	GPTW5	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 256Ch	GPTW5	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2570h	GPTW5	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2574h	GPTW5	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2578h	GPTW5	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 257Ch	GPTW5	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2580h	GPTW5	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2584h	GPTW5	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2588h	GPTW5	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 258Ch	GPTW5	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2590h	GPTW5	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2594h	GPTW5	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2598h	GPTW5	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 259Ch	GPTW5	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25A0h	GPTW5	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25A4h	GPTW5	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25A8h	GPTW5	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25ACh	GPTW5	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITL1	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25B0h	GPTW5	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITL2	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25B4h	GPTW5	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 25D0h	GPTW5	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (42 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 25D4h	GPTW5	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2600h	GPTW6	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2604h	GPTW6	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2608h	GPTW6	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 260Ch	GPTW6	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2610h	GPTW6	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2614h	GPTW6	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2618h	GPTW6	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 261Ch	GPTW6	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2620h	GPTW6	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2624h	GPTW6	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2628h	GPTW6	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 262Ch	GPTW6	汎用PWMタイマ制御レジスタ	GTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2630h	GPTW6	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2634h	GPTW6	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2638h	GPTW6	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 263Ch	GPTW6	汎用PWMタイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2640h	GPTW6	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2644h	GPTW6	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2648h	GPTW6	汎用PWMタイマカウンタ	GTCNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 264Ch	GPTW6	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2650h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2654h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2658h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 265Ch	GPTW6	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2660h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2664h	GPTW6	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2668h	GPTW6	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 266Ch	GPTW6	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2670h	GPTW6	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2674h	GPTW6	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2678h	GPTW6	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 267Ch	GPTW6	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2680h	GPTW6	A/D変換開始要求タイミングバッファレジスタB	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2684h	GPTW6	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2688h	GPTW6	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 268Ch	GPTW6	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2690h	GPTW6	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2694h	GPTW6	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2698h	GPTW6	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 269Ch	GPTW6	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26A0h	GPTW6	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26A4h	GPTW6	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26A8h	GPTW6	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26ACh	GPTW6	汎用PWMタイマ拡張割り込み間引き設定レジスタ ₁	GTEITL1	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26B0h	GPTW6	汎用PWMタイマ拡張割り込み間引き設定レジスタ ₂	GTEITL2	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (43 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 26B4h	GPTW6	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26D0h	GPTW6	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 26D4h	GPTW6	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2700h	GPTW7	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2704h	GPTW7	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2708h	GPTW7	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 270Ch	GPTW7	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2710h	GPTW7	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2714h	GPTW7	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2718h	GPTW7	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 271Ch	GPTW7	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2720h	GPTW7	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2724h	GPTW7	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2728h	GPTW7	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 272Ch	GPTW7	汎用PWMタイマ制御レジスタ	GTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2730h	GPTW7	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2734h	GPTW7	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2738h	GPTW7	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 273Ch	GPTW7	汎用PWMタイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2740h	GPTW7	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2744h	GPTW7	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2748h	GPTW7	汎用PWMタイマカウンタ	GT CNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 274Ch	GPTW7	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2750h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2754h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2758h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 275Ch	GPTW7	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2760h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2764h	GPTW7	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2768h	GPTW7	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 276Ch	GPTW7	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2770h	GPTW7	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2774h	GPTW7	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2778h	GPTW7	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 277Ch	GPTW7	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2780h	GPTW7	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2784h	GPTW7	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2788h	GPTW7	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 278Ch	GPTW7	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2790h	GPTW7	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2794h	GPTW7	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2798h	GPTW7	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 279Ch	GPTW7	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27A0h	GPTW7	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27A4h	GPTW7	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27A8h	GPTW7	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (44 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 27ACh	GPTW7	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1	GTEITL1	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27B0h	GPTW7	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2	GTEITL2	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27B4h	GPTW7	汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27D0h	GPTW7	汎用 PWM タイマ動作許可ビット同時制御チャネル 選択レジスタ	GTSECSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 27D4h	GPTW7	汎用 PWM タイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2800h	GPTW8	汎用 PWM タイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2804h	GPTW8	汎用 PWM タイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2808h	GPTW8	汎用 PWM タイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 280Ch	GPTW8	汎用 PWM タイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2810h	GPTW8	汎用 PWM タイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2814h	GPTW8	汎用 PWM タイマストップ要因セレクトレジスタ	GTSPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2818h	GPTW8	汎用 PWM タイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 281Ch	GPTW8	汎用 PWM タイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2820h	GPTW8	汎用 PWM タイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2824h	GPTW8	汎用 PWM タイマインพุットキャプチャ要因セレクト レジスタ A	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2828h	GPTW8	汎用 PWM タイマインพุットキャプチャ要因セレクト レジスタ B	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 282Ch	GPTW8	汎用 PWM タイマ制御レジスタ	GTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2830h	GPTW8	汎用 PWM タイマカウント方向、デューティ設定レ ジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2834h	GPTW8	汎用 PWM タイマ I/O 制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2838h	GPTW8	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 283Ch	GPTW8	汎用 PWM タイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2840h	GPTW8	汎用 PWM タイマバッファファイナブルレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2844h	GPTW8	汎用 PWM タイマ割り込み、A/D 変換開始要求間引 き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2848h	GPTW8	汎用 PWM タイマカウンタ	GTCNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 284Ch	GPTW8	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2850h	GPTW8	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2854h	GPTW8	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2858h	GPTW8	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 285Ch	GPTW8	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2860h	GPTW8	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2864h	GPTW8	汎用 PWM タイマ周期設定レジスタ	GTPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2868h	GPTW8	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 286Ch	GPTW8	汎用 PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2870h	GPTW8	A/D 変換開始要求タイミングレジスタ A	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2874h	GPTW8	A/D 変換開始要求タイミングバッファレジスタ A	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2878h	GPTW8	A/D 変換開始要求タイミングダブルバッファレジ スタ A	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 287Ch	GPTW8	A/D 変換開始要求タイミングレジスタ B	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2880h	GPTW8	A/D 変換開始要求タイミングバッファレジスタ B	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2884h	GPTW8	A/D 変換開始要求タイミングダブルバッファレジ スタ B	GTADTDBRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2888h	GPTW8	汎用 PWM タイマデッドタイム制御レジスタ	GTDTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 288Ch	GPTW8	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2890h	GPTW8	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2894h	GPTW8	汎用 PWM タイマデッドタイムバッファレジスタ U	GTDBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2898h	GPTW8	汎用 PWM タイマデッドタイムバッファレジスタ D	GTDBD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 289Ch	GPTW8	汎用 PWM タイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28A0h	GPTW8	汎用 PWM タイマ出力保護一時解除レジスタ	GTSOTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (45 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット サイズ	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 28A4h	GPTW8	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28A8h	GPTW8	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28ACh	GPTW8	汎用PWMタイマ拡張割り込み間引き設定レジスタ ₁	GTEITL1	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28B0h	GPTW8	汎用PWMタイマ拡張割り込み間引き設定レジスタ ₂	GTEITL2	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28B4h	GPTW8	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28D0h	GPTW8	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 28D4h	GPTW8	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2900h	GPTW9	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2904h	GPTW9	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2908h	GPTW9	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 290Ch	GPTW9	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2910h	GPTW9	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2914h	GPTW9	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2918h	GPTW9	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 291Ch	GPTW9	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2920h	GPTW9	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2924h	GPTW9	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2928h	GPTW9	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 292Ch	GPTW9	汎用PWMタイマ制御レジスタ	GTCCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2930h	GPTW9	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2934h	GPTW9	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2938h	GPTW9	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 293Ch	GPTW9	汎用PWMタイマステータスレジスタ	GTST	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2940h	GPTW9	汎用PWMタイマバッファファイナールレジスタ	GTBER	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2944h	GPTW9	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2948h	GPTW9	汎用PWMタイマカウンタ	GT CNT	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 294Ch	GPTW9	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2950h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2954h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2958h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 295Ch	GPTW9	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2960h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2964h	GPTW9	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2968h	GPTW9	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 296Ch	GPTW9	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2970h	GPTW9	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2974h	GPTW9	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2978h	GPTW9	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 297Ch	GPTW9	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2980h	GPTW9	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2984h	GPTW9	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTBRA	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2988h	GPTW9	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 298Ch	GPTW9	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2990h	GPTW9	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW
000C 2994h	GPTW9	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4 ~ 5PCLKA	2 ~ 3ICLK	GPTW

表4.1 I/O レジスタアドレス一覧 (46 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000C 2998h	GPTW9	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 299Ch	GPTW9	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29A0h	GPTW9	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29A4h	GPTW9	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29A8h	GPTW9	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29ACh	GPTW9	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITL1	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29B0h	GPTW9	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITL2	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29B4h	GPTW9	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29D0h	GPTW9	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 29D4h	GPTW9	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	GPTW
000C 2A00h	HRPWM	HRPWM動作制御レジスタ	HROCR	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A02h	HRPWM	HRPWM動作制御レジスタ2	HROCR2	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A18h	HRPWM	GTIOC0A立ち上がりエッジ調整レジスタ	HRREAR0A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A1Ah	HRPWM	GTIOC0B立ち上がりエッジ調整レジスタ	HRREAR0B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A1Ch	HRPWM	GTIOC1A立ち上がりエッジ調整レジスタ	HRREAR1A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A1Eh	HRPWM	GTIOC1B立ち上がりエッジ調整レジスタ	HRREAR1B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A20h	HRPWM	GTIOC2A立ち上がりエッジ調整レジスタ	HRREAR2A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A22h	HRPWM	GTIOC2B立ち上がりエッジ調整レジスタ	HRREAR2B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A24h	HRPWM	GTIOC3A立ち上がりエッジ調整レジスタ	HRREAR3A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A26h	HRPWM	GTIOC3B立ち上がりエッジ調整レジスタ	HRREAR3B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A28h	HRPWM	GTIOC0A立ち下がりエッジ調整レジスタ	HRFEAR0A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A2Ah	HRPWM	GTIOC0B立ち下がりエッジ調整レジスタ	HRFEAR0B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A2Ch	HRPWM	GTIOC1A立ち下がりエッジ調整レジスタ	HRFEAR1A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A2Eh	HRPWM	GTIOC1B立ち下がりエッジ調整レジスタ	HRFEAR1B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A30h	HRPWM	GTIOC2A立ち下がりエッジ調整レジスタ	HRFEAR2A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A32h	HRPWM	GTIOC2B立ち下がりエッジ調整レジスタ	HRFEAR2B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A34h	HRPWM	GTIOC3A立ち下がりエッジ調整レジスタ	HRFEAR3A	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A36h	HRPWM	GTIOC3B立ち下がりエッジ調整レジスタ	HRFEAR3B	16	16	4～5PCLKA	2～3ICLK	HRPWM
000C 2A70h	HRPWM	HRPWM動作クロック選択レジスタ	HRCKSR	16	16	4～5PCLKA	2～3ICLK	HRPWM
000D 0000h	SCI11	シリアルモードレジスタ	SMR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0000h	SMCI11	シリアルモードレジスタ	SMR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0001h	SCI11	ビットレートレジスタ	BRR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0002h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0002h	SMCI11	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0003h	SCI11	トランスミットデータレジスタ	TDR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0004h	SCI11	シリアルステータスレジスタ	SSR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0004h	SMCI11	シリアルステータスレジスタ	SSR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0004h	SCI11	シリアルステータスレジスタ	SSRFIFO	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0005h	SCI11	レシーブデータレジスタ	RDR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0006h	SMCI11	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0007h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0008h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKA	2ICLK	SCIj, SCli, SClh

表 4.1 I/O レジスタアドレス一覧 (47 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000D 0009h	SCI11	I ² Cモードレジスタ 1	SIMR1	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Ah	SCI11	I ² Cモードレジスタ 2	SIMR2	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Bh	SCI11	I ² Cモードレジスタ 3	SIMR3	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Ch	SCI11	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Eh	SCI11	トランスミットデータレジスタ H	TDRH	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Fh	SCI11	トランスミットデータレジスタ L	TDRL	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Eh	SCI11	トランスミットデータレジスタ HL	TDRHL	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Eh	SCI11	送信FIFOデータレジスタ H	FTDR.H	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Fh	SCI11	送信FIFOデータレジスタ L	FTDR.L	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 000Eh	SCI11	送信FIFOデータレジスタ	FTDR	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 0010h	SCI11	レシーブデータレジスタ H	RDRH	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0011h	SCI11	レシーブデータレジスタ L	RDRL	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0010h	SCI11	レシーブデータレジスタ HL	RDRHL	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 0010h	SCI11	受信FIFOデータレジスタ H	FRDR.H	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0011h	SCI11	受信FIFOデータレジスタ L	FRDR.L	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0010h	SCI11	受信FIFOデータレジスタ	FRDR	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 0012h	SCI11	モジュレーションデューティレジスタ	MDDR	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0013h	SCI11	データ比較制御レジスタ	DCCR	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0014h	SCI11	FIFOコントロールレジスタ H	FCR.H	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0015h	SCI11	FIFOコントロールレジスタ L	FCR.L	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0014h	SCI11	FIFOコントロールレジスタ	FCR	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 0016h	SCI11	FIFOデータカウントレジスタ H	FDR.H	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0017h	SCI11	FIFOデータカウントレジスタ L	FDR.L	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0016h	SCI11	FIFOデータカウントレジスタ	FDR	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 0018h	SCI11	ラインステータスレジスタ H	LSR.H	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0019h	SCI11	ラインステータスレジスタ L	LSR.L	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0018h	SCI11	ラインステータスレジスタ	LSR	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 001Ah	SCI11	比較データレジスタ H	CDR.H	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 001Bh	SCI11	比較データレジスタ L	CDR.L	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 001Ah	SCI11	比較データレジスタ	CDR	16	8, 16	2 ~ 5PCLKA	2ICLK	SCIj, SCli, SClh
000D 001Ch	SCI11	シリアルポートレジスタ	SPTR	8	8	2 ~ 3PCLKA	2ICLK	SCIj, SCli, SClh
000D 0100h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKA	2ICLK	RSPIc
000D 0101h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKA	2ICLK	RSPIc
000D 0102h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKA	2ICLK	RSPIc
000D 0103h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKA	2ICLK	RSPIc

表4.1 I/O レジスタアドレス一覧 (48 / 48)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		関連機能
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000D 0104h	RSPI0	RSPI データレジスタ	SPDR	32	8, 16, 32	2~3PCLKA	2ICLK	RSPIc
000D 0108h	RSPI0	RSPI シーケンス制御レジスタ	SPSCR	8	8	2~3PCLKA	2ICLK	RSPIc
000D 0109h	RSPI0	RSPI シーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKA	2ICLK	RSPIc
000D 010Ah	RSPI0	RSPI ビットレートレジスタ	SPBR	8	8	2~3PCLKA	2ICLK	RSPIc
000D 010Bh	RSPI0	RSPI データコントロールレジスタ	SPDCR	8	8	2~3PCLKA	2ICLK	RSPIc
000D 010Ch	RSPI0	RSPI クロック遅延レジスタ	SPCKD	8	8	2~3PCLKA	2ICLK	RSPIc
000D 010Dh	RSPI0	RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKA	2ICLK	RSPIc
000D 010Eh	RSPI0	RSPI 次アクセス遅延レジスタ	SPND	8	8	2~3PCLKA	2ICLK	RSPIc
000D 010Fh	RSPI0	RSPI 制御レジスタ 2	SPCR2	8	8	2~3PCLKA	2ICLK	RSPIc
000D 0110h	RSPI0	RSPI コマンドレジスタ 0	SPCMD0	16	16	2~3PCLKA	2ICLK	RSPIc
000D 0112h	RSPI0	RSPI コマンドレジスタ 1	SPCMD1	16	16	2~3PCLKA	2ICLK	RSPIc
000D 0114h	RSPI0	RSPI コマンドレジスタ 2	SPCMD2	16	16	2~3PCLKA	2ICLK	RSPIc
000D 0116h	RSPI0	RSPI コマンドレジスタ 3	SPCMD3	16	16	2~3PCLKA	2ICLK	RSPIc
000D 0118h	RSPI0	RSPI コマンドレジスタ 4	SPCMD4	16	16	2~3PCLKA	2ICLK	RSPIc
000D 011Ah	RSPI0	RSPI コマンドレジスタ 5	SPCMD5	16	16	2~3PCLKA	2ICLK	RSPIc
000D 011Ch	RSPI0	RSPI コマンドレジスタ 6	SPCMD6	16	16	2~3PCLKA	2ICLK	RSPIc
000D 011Eh	RSPI0	RSPI コマンドレジスタ 7	SPCMD7	16	16	2~3PCLKA	2ICLK	RSPIc
000D 0120h	RSPI0	RSPI データコントロールレジスタ 2	SPDCR2	8	8	2~3PCLKA	2ICLK	RSPIc
0012 0040h	OFSM	シリアルプログラマコマンド制御レジスタ	SPCC	32	32	8FCLK		オプション 設定メモリ
0012 0048h	OFSM	TM イネーブルフラグレジスタ	TMEF	32	32	8FCLK		オプション 設定メモリ
0012 0050h	OFSM	OCD/シリアルプログラマID 設定レジスタ	OSIS	128	32	8FCLK		オプション 設定メモリ
0012 0060h	OFSM	TM 識別データレジスタ	TMINF	32	32	8FCLK		オプション 設定メモリ
0012 0064h	OFSM	エンディアン選択レジスタ	MDE	32	32	8FCLK		オプション 設定メモリ
0012 0068h	OFSM	オプション機能選択レジスタ 0	OFS0	32	32	8FCLK		オプション 設定メモリ
0012 006Ch	OFSM	オプション機能選択レジスタ 1	OFS1	32	32	8FCLK		オプション 設定メモリ
0012 007Ch	OFSM	ROM コードプロテクトレジスタ	ROMCODE	32	32	8FCLK		オプション 設定メモリ
007F B174h	FLASH	ユニークID レジスタ 0	UIDR0	32	32	3~5FCLK	3~4ICLK	Flash
007F B17Ch	TEMPS	温度センサ校正データレジスタ	TSCDR	32	32	3~5FCLK	3~4ICLK	TEMPS
007F B1E4h	FLASH	ユニークID レジスタ 1	UIDR1	32	32	3~5FCLK	3~4ICLK	Flash
007F B1E8h	FLASH	ユニークID レジスタ 2	UIDR2	32	32	3~5FCLK	3~4ICLK	Flash
007F E010h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~4FCLK	2~3ICLK	Flash
007F E014h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~4FCLK	2~3ICLK	Flash
007F E018h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~4FCLK	2~3ICLK	Flash
007F E030h	FLASH	FACI コマンド処理開始アドレスレジスタ	FSADDR	32	32	2~4FCLK	2~3ICLK	Flash
007F E034h	FLASH	FACI コマンド処理終了アドレスレジスタ	FEADDR	32	32	2~4FCLK	2~3ICLK	Flash
007F E080h	FLASH	フラッシュステータスレジスタ	FSTATR	32	32	2~4FCLK	2~3ICLK	Flash
007F E084h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2~4FCLK	2~3ICLK	Flash
007F E088h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~4FCLK	2~3ICLK	Flash
007F E08Ch	FLASH	フラッシュシーケンサ設定初期化レジスタ	FSUINITR	16	16	2~4FCLK	2~3ICLK	Flash
007F E090h	FLASH	ロックビットステータスレジスタ	FLKSTAT	8	8	2~4FCLK	2~3ICLK	Flash
007F E0A0h	FLASH	FACI コマンドレジスタ	FCMDR	16	16	2~4FCLK	2~3ICLK	Flash
007F E0C0h	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2~4FCLK	2~3ICLK	Flash
007F E0D0h	FLASH	データフラッシュブランクチェック制御レジスタ	FBCCNT	8	8	2~4FCLK	2~3ICLK	Flash
007F E0D4h	FLASH	データフラッシュブランクチェックステータスレジスタ	FBCSTAT	8	8	2~4FCLK	2~3ICLK	Flash
007F E0D8h	FLASH	データフラッシュ書き込み開始アドレスレジスタ	FPSADDR	32	32	2~4FCLK	2~3ICLK	Flash
007F E0E0h	FLASH	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	16	16	2~4FCLK	2~3ICLK	Flash
007F E0E4h	FLASH	フラッシュシーケンサ処理クロック周波数通知レジスタ	FPCKAR	16	16	2~4FCLK	2~3ICLK	Flash

注1. USB 動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

- 注2. 32ビットでアクセスする場合、番地の末尾は0h、4h、8hまたはChにしてください。16ビットでアクセスする場合、番地の末尾は0h、2h、4h、6h、8h、Ah、ChまたはEhにしてください。

5. 電気的特性

5.1 絶対最大定格

表 5.1 絶対最大定格

条件 : VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

項目			記号	定格値	単位
電源電圧 (注1)			VCC	-0.3 ~ +6.5	V
USB 電源電圧 (注1)			VCC_USB	-0.3 ~ +6.5	
アナログ電源電圧 (注1)			AVCC0, AVCC1, AVCC2	-0.3 ~ +6.5	
入力電圧	PB1, PB2, PC0, PD2		V _{in}	-0.3 ~ +6.5	
	P40 ~ P42, P44 ~ P46, PH0, PH4	負入力許可時 (注2)		-1.0 ~ AVCC1 + 0.3 (最大 6.5)	
		負入力禁止時		-0.3 ~ AVCC1 + 0.3 (最大 6.5)	
	P43, P47, PH1 ~ PH3, PH5 ~ PH7			-0.3 ~ AVCC1 + 0.3 (最大 6.5)	
	P50 ~ P55, P60 ~ P65			-0.3 ~ AVCC2 + 0.3 (最大 6.5)	
	USB0_DP, USB0_DM			-0.3 ~ VCC_USB + 0.3 (最大 6.5)	
	上記以外			-0.3 ~ VCC + 0.3 (最大 6.5)	
	ジャンクション温度			Dバージョン	T _j
Gバージョン			-40 ~ +125		
保存温度			T _{stg}	-55 ~ +125	

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. 各電源とグラウンド間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離、かつできる限り太いパターンを使用して接続してください。

注2. VOLSR.PGAVLS = 0かつADPGADCRO.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

5.2 推奨動作条件

表5.2 推奨動作条件(1)

項目			記号	min	typ	max	単位
電源電圧			VCC (注1)	2.7	—	5.5	V
			VSS	—	0	—	
USB 電源電圧 (注2)	USB 使用時	VCC_USB (注1)	3.0	—	3.6		
		VSS_USB	—	0	—		
	USB 不使用時	VCC_USB	—	VCC	—		
		VSS_USB	—	VSS	—		
アナログ電源電圧 (注3)			AVCC0, AVCC1, AVCC2 (注1)	3.0	—	5.5	
			AVSS0, AVSS1, AVSS2	—	0	—	
入力電圧	PB1, PB2, PC0, PD2		V _{in}	−0.3	—	5.8	
	P40 ~ P42, P44 ~ P46	負入力許可時 (注4)		−1.0	—	AVCC1 + 0.3	
		負入力禁止時		−0.3	—		
	PH0, PH4	負入力許可時 (注4)		−0.5	—	AVCC1 + 0.3	
		負入力禁止時		−0.3	—		
	P43, P47, PH1 ~ PH3, PH5 ~ PH7			−0.3	—	AVCC1 + 0.3	
	P50 ~ P55, P60 ~ P65			−0.3	—	AVCC2 + 0.3	
	USB0_DP, USB0_DM			−0.3	—	VCC_USB + 0.3	
	上記以外			−0.3	—	VCC + 0.3	
動作温度	Dバージョン		T _{opr}	−40	—	85	°C
	Gバージョン			−40	—	105	

注1. 各電源電圧の関係は以下を守ってください。

$VCC_USB \leq VCC \leq AVCC0 = AVCC1 = AVCC2$

注2. USBを使用しないときは、VCC_USBとVCC、VSS_USBとVSSをそれぞれ接続し、VOLSR.USBVON = 0にしてください。

注3. 12ビットA/Dコンバータ(ユニット0~2)、12ビットD/Aコンバータ、コンパレータC、温度センサのいずれも使用しないときは、AVCC0、AVCC1、AVCC2はVCCに、AVSS0、AVSS1、AVSS2はVSSにそれぞれ接続してください。詳細は「ユーザーズマニュアルハードウェア編」の「39.6.10 アナログ電源端子他の設定範囲」を参照してください。

注4. VOLSR.PGAVLS = 0かつADPGADCR0.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

表5.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	$0.47\mu F \pm 30\%$ (注1)

注1. 静電容量の公称値が0.47 μ F、静電容量許容差が $\pm 30\%$ 以内の積層セラミックコンデンサを使用してください。

5.3 DC 特性

表5.4 DC特性(1)

条件 : $VCC = 2.7 \sim 5.5V$ 、 $VCC_USB = 2.7 \sim 5.5V$ 、 $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$ 、
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$ 、
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	CAN入力端子、MTU入力端子、 GPTW入力端子、POE入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、ADTRG#入力端 子、RES#、NMI	V_{IH}	$0.8 \times VCC$	—	—	V
		V_{IL}	—	—	$0.2 \times VCC$	
		ΔV_T	$0.06 \times VCC$	—	—	
	IRQ入力端子 (P52～P55、P60～P65を除く)	V_{IH}	$0.8 \times VCC$	—	—	
		V_{IL}	—	—	$0.2 \times VCC$	
		ΔV_T	$0.06 \times VCC$	—	—	
	IRQ入力端子 (P52～P55、P60～P65)	V_{IH}	$0.8 \times AVCC2$	—	—	
		V_{IL}	—	—	$0.2 \times AVCC2$	
		ΔV_T	$0.06 \times AVCC2$	—	—	
	RIIC入力端子 (SMBusを除く)	V_{IH}	$0.7 \times VCC$	—	—	
		V_{IL}	—	—	$0.3 \times VCC$	
		ΔV_T	$0.06 \times VCC$	—	—	
	5Vトレラント対応端子 (PB1, PB2, PC0, PD2)	V_{IH}	$0.8 \times VCC$	—	—	
		V_{IL}	—	—	$0.2 \times VCC$	
	アナログ入力端子 (P40～P47, PH0～PH7)	V_{IH}	$0.8 \times AVCC1$	—	—	
		V_{IL}	—	—	$0.2 \times AVCC1$	
	アナログ入力端子 (P50～P55, P60～P65)	V_{IH}	$0.8 \times AVCC2$	—	—	
		V_{IL}	—	—	$0.2 \times AVCC2$	
	その他の入力端子 (上記以外のポート)	V_{IH}	$0.8 \times VCC$	—	—	
		V_{IL}	—	—	$0.2 \times VCC$	
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IH}	$0.9 \times VCC$	—	—	V
	EXTAL、WAIT#、RSPI入力端子		$0.8 \times VCC$	—	—	
	D0～D15		$0.7 \times VCC$	—	—	
	RIIC (SMBus)		2.1	—	—	
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IL}	—	—	$0.1 \times VCC$	V
	EXTAL、WAIT#、RSPI入力端子		—	—	$0.2 \times VCC$	
	D0～D15		—	—	$0.3 \times VCC$	
	RIIC (SMBus)		—	—	0.8	

表5.5 DC特性(2)

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
High レベル出力電圧	P43, P47, PH1 ~ PH3, PH5 ~ PH7	$AVCC1 - 0.5$	—	—	V	$I_{OH} = -1.0mA$
	P50 ~ P55, P60 ~ P65	$AVCC2 - 0.5$	—	—		$I_{OH} = -1.0mA$
	P90 ~ P95, P71 ~ P76, P81, PB5, PD3	$V_{CC} - 1.0$	—	—		$I_{OH} = -5.0 mA$ (大電流出力設定時)
	上記以外	$V_{CC} - 0.5$	—	—		$I_{OH} = -1.0mA$
Low レベル出力電圧	P43, P47, PH1 ~ PH3, PH5 ~ PH7	—	—	0.5	V	$I_{OL} = 1.0mA$
	P50 ~ P55, P60 ~ P65	—	—	0.5		$I_{OL} = 1.0mA$
	P90 ~ P95, P71 ~ P76, P81, PB5, PD3	—	—	1.0		$I_{OL} = 15 mA$ (大電流出力設定時)
	RIIC 端子	—	—	0.4		$I_{OL} = 3.0mA$
		—	—	0.6		$I_{OL} = 6.0mA$
	上記以外	—	—	0.5		$I_{OL} = 1.0mA$
入力リーク電流	RES#, MD 端子、PE2、EMLE (注1)	$ I_{in} $	—	1.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
	P40 ~ P42, P44 ~ P46	—	—	1.0		$V_{in} = 0V$ $V_{in} = AVCC1$
	PH0, PH4	—	—	1.0		$V_{in} = 0V$ $V_{in} = AVCC1$ VOLSR.PGAVLS = 1
スリーステートリーク電流(オフ状態)	RIIC 端子	$ I_{TSI} $	—	5.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
	上記以外	—	—	1.0		
入力プルアップ抵抗電流	P43, P47, PH1 ~ PH3, PH5 ~ PH7, P50 ~ P55, P60 ~ P65	I_p	-300	—	μA	$AVCC1 = AVCC2 = 3.0 \sim 5.5V$ $V_{in} = 0V$
	上記以外および、PE2 以外の端子	—	-300	—		$V_{CC} = 2.7 \sim 5.5V$ $V_{in} = 0V$
入力プルダウン抵抗電流	EMLE	—	10	300	μA	$V_{in} = V_{CC} = AVCC$
入力端子容量	RIIC 端子, PH0, PH4	C_{in}	—	16	pF	$V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	USB0_DP、USB0_DM 端子	—	—	16		
	上記以外	—	—	8		
VCL 端子出力電圧		V_{CL}	—	1.25	V	

注1. EMLE 端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 5.6 DC 特性 (3) (Dバージョン)

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目			記号	Dバージョン			単位	測定条件		
				min	typ	max				
消費電流 (注1)	システム 通常動作モード	最大動作 (注2)		I _{CC} (注3)	—	—	123	mA	ICLK = 200MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 200MHz PCLKD = 50MHz FCLK = 50MHz BCLK = 50MHz BCLK 端子 = 25MHz	
		通常動作	周辺機能クロック供給状態 (注4)		—	28	—			
			周辺機能クロック停止状態 (注4、注5)		—	16	—			
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		—	27	—			
		スリープモード時：周辺機能クロック供給状態 (注4)			—	23	48			
		全モジュールクロックストップモード時 (参考値)			—	10.9	34			
		BGO 動作時の増加分 (注6)			—	14	—			
		Trusted Secure IP 動作時の増加分			—	3.9	5.3			
	ソフトウェアスタンバイモード			—	0.9	13.9	μA	VOLSR.PGAVLS = 1		
	ディープソフトウェアスタンバイモード			—	15	21		VOLSR.PGAVLS = 1		

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC} は、下記の式のとおりICLK周波数f (MHz)に依存します
(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 8:4:2:8:2:2:1 @EXTAL = 20MHz)。

・ Dバージョン製品

$I_{CC} \text{ max} = 0.51 \times f + 21$ (高速動作モード、最大動作時)

$I_{CC} \text{ typ} = 0.115 \times f + 5$ (高速動作モード、通常動作時)

$I_{CC} \text{ max} = 0.135 \times f + 21$ (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、
FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表5.7 DC特性(3) (Gバージョン)

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目			記号	Gバージョン			単位	測定条件		
				min	typ	max				
消費電流 (注1)	レギュレーション 通常動作モード	最大動作 (注2)		I _{CC} (注3)	—	—	136	mA	ICLK = 200MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 200MHz PCLKD = 50MHz FCLK = 50MHz BCLK = 50MHz BCLK端子 = 25MHz	
		通常動作	周辺機能クロック供給状態 (注4)		—	28	—			
			周辺機能クロック停止状態 (注4、注5)		—	16	—			
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		—	27	—			
		スリープモード時：周辺機能クロック供給状態 (注4)			—	23	60			
		全モジュールクロックストップモード時 (参考値)			—	10.9	46			
		BGO動作時の増加分 (注6)			—	14	—			
		Trusted Secure IP動作時の増加分			—	3.9	5.3			
	ソフトウェアスタンバイモード		—	0.9	22.1	μA	VOLSR.PGAVLS = 1			
	ディープソフトウェアスタンバイモード		—	15	28		VOLSR.PGAVLS = 1			

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC} は、下記の式のとおりICLK周波数f (MHz)に依存します
(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 8:4:2:8:2:2:1 @EXTAL = 20MHz)。

・ Gバージョン製品

$I_{CC} \text{ max} = 0.535 \times f + 29$ (高速動作モード、最大動作時)

$I_{CC} \text{ typ} = 0.115 \times f + 5$ (高速動作モード、通常動作時)

$I_{CC} \text{ max} = 0.155 \times f + 29$ (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、
FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表5.8 DC特性(4)

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件	
アナログ電源電流	ユニット0	12ビットA/D変換中 (チャンネル専用S&H：全チャンネル動作、PGA：全チャンネル有効)	I _{CC}	—	2.9	5.1	mA	IAVCC0_AD + SH + PGA	
		12ビットA/D変換中 (チャンネル専用S&H：全チャンネル動作、PGA：全チャンネル無効)		—	1.9	2.9		IAVCC0_AD + SH	
		12ビットA/D変換中 (チャンネル専用S&H：全チャンネル停止、PGA：全チャンネル有効)		—	2.0	4.0		IAVCC0_AD + PGA	
		12ビットA/D変換中 (チャンネル専用S&H：全チャンネル停止、PGA：全チャンネル無効)		—	1.0	1.5		IAVCC0_AD	
	ユニット1	12ビットA/D変換中 (チャンネル専用S&H：全チャンネル動作、PGA：全チャンネル有効)		—	2.9	5.1		IAVCC1_AD + SH + PGA	
		12ビットA/D変換中 (チャンネル専用S&H：全チャンネル動作、PGA：全チャンネル無効)		—	1.9	2.9		IAVCC1_AD + SH	
		12ビットA/D変換中 (チャンネル専用S&H：全チャンネル停止、PGA：全チャンネル有効)		—	2.0	4.0		IAVCC1_AD + PGA	
		12ビットA/D変換中 (チャンネル専用S&H：全チャンネル停止、PGA：全チャンネル無効)		—	1.0	1.5		IAVCC1_AD	
	ユニット2	12ビットA/D変換中 (温度センサ：動作)		—	0.9	1.5		IAVCC2_AD + TEMP	
		12ビットA/D変換中 (温度センサ：停止)		—	0.9	1.5		IAVCC2_AD	
	コンパレータ (6ch)			—	0.5	0.6		IAVCC2_CMP	
	12ビットD/A変換中 (2ch)			—	0.6	0.8		IAVCC2_DA	
	12ビットA/D、12ビットD/A、コンパレータC、 温度センサ 待機時 (全ユニット)			—	0.1	0.4		IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA	
	12ビットA/D、12ビットD/A、コンパレータC、 温度センサ モジュールストップ時 (全ユニット)			—	0.2	14.8	μA	IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA	
USB動作電流	ロースピード	I _{CCUSBL}	—	3.6	6.5	mA	V _{CC_USB} = 3.0～3.6V		
	フルスピード	I _{CCUSBF}	—	4.1	10		V _{CC_USB} = 3.0～3.6V		
RAM保持電圧			V _{RAM}	2.7	—	—	V		

表 5.9 DC 特性 (5)

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC 立ち上がり勾配	通常起動時	SrVCC	0.02	—	8	ms/V	
	起動時電圧監視 0 リセット有効時 (注1、注2)		0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配		dt/dVCC	1.0	—	—		VCC 変動が $VCC \pm 10\%$ を超える場合

注1. OFS1.LVDAS = 0 を設定した場合です。

注2. ブートモード、ユーザブートモード時は OFS1 レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

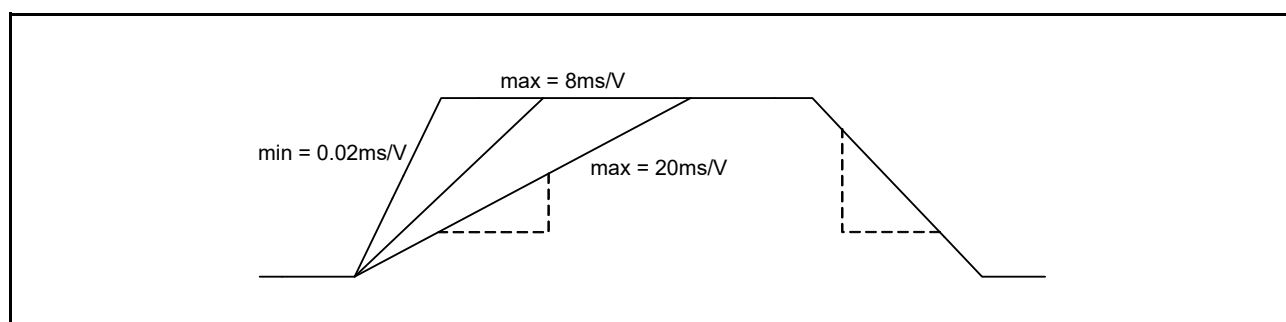


図 5.1 電源投入時 VCC 立ち上がり勾配

表 5.10 出力許容電流

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位
出力Low レベル許容電流 (1端子あたりの平均値)	全出力端子 (RIIC端子、 P43、P47、PH1～PH3、 PH5～PH7、P50～P55、 P60～P65以外)	通常駆動 (注1)	I _{OL}	—	—	2.0	mA
		高駆動 (注2)		—	—	2.0	
		大電流出力 (注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	2.0	
出力Low レベル許容電流 (1端子あたりの最大値)	全出力端子 (RIIC端子、 P43、P47、PH1～PH3、 PH5～PH7、P50～P55、 P60～P65以外)	通常駆動 (注1)		—	—	4.0	
		高駆動 (注2)		—	—	4.0	
		大電流出力 (注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	4.0	
出力Low レベル許容電流 (総和)	全出力端子の総和		ΣI _{OL}	—	—	110	
出力High レベル許容電流 (1端子あたりの平均値)	全出力端子 (P43、P47、 PH1～PH3、PH5～PH7、 P50～P55、P60～P65以外)	通常駆動 (注1)	I _{OH}	—	—	-2.0	
		高駆動 (注2)		—	—	-2.0	
		大電流出力 (注3)		—	—	-5.0	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	-2.0	
出力High レベル許容電流 (1端子あたりの最大値)	全出力端子 (P43、P47、 PH1～PH3、PH5～PH7、 P50～P55、P60～P65以外)	通常駆動 (注1)		—	—	-4.0	
		高駆動 (注2)		—	—	-4.0	
		大電流出力 (注3)		—	—	-5.0	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	-4.0	
出力High レベル許容電流 (総和)	全出力端子の総和		ΣI _{OH}	—	—	-35	

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 5.10 の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

注3. 大電流出力が選択できる端子で、大電流出力を設定をした場合の端子の値

表 5.11 熱抵抗値 (参考値)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = T_{opr}$

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	—	—	32.4	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		—	—	35.0		
	144ピンLFQFP (PLQP0144KA-B)	Ψ_{jt}	—	—	0.6		
	100ピンLFQFP (PLQP0100KB-B)		—	—	0.8		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

5.4 AC 特性

表 5.12 動作周波数

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max (注 3)	単位	測定条件
システムクロック (ICLK)	f	—	—	200	MHz	
周辺モジュールクロック (PCLKA)		—	—	120		
周辺モジュールクロック (PCLKB)		—	—	60		
周辺モジュールクロック (PCLKC)		—	—	200		
周辺モジュールクロック (PCLKD)		8 (注 1)	—	60		AVCC0 = AVCC1 = AVCC2 ≥ 4.5V
		8 (注 1)	—	40		AVCC0 = AVCC1 = AVCC2 < 4.5V
FlashIF クロック (FCLK)		4 (注 2)	—	60		
外部バスクロック (BCLK)		—	—	60		
BCLK 端子出力		—	—	40		VCC ≥ 4.5V、 駆動能力選択制御レジスタは高駆 動出力を選択
		—	—	32		
USB クロック (UCLK)		—	48	—		

注1. 12ビットA/Dコンバータを使用する場合のみ、この周波数以上にしてください。

注2. フラッシュメモリのプログラム/イレーズを行う場合のみ、この周波数以上にしてください。

注3. ICLKの周波数により、各クロックの最大周波数は以下となります。

ICLK = 200MHz、PCLKA = 100MHz、PCLKB = 50MHz、PCLKC = 200MHz、PCLKD = 50MHz、FCLK = 50MHz、
BCLK = 50MHz、BCLK端子出力 = 25MHz
ICLK = 120MHz、PCLKA = 120MHz、PCLKB = 60MHz、PCLKC = 120MHz、PCLKD = 60MHz、FCLK = 60MHz、
BCLK = 60MHz、BCLK端子出力 = 30MHz
ICLK = 160MHz、PCLKA = 80MHz、PCLKB = 40MHz、PCLKC = 160MHz、PCLKD = 40MHz、FCLK = 40MHz、
BCLK = 40MHz、BCLK端子出力 = 40MHz

5.4.1 リセットタイミグ

表5.13 リセットタイミグ

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	2.0	—	—	ms	図 5.2
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—		図 5.3
	ソフトウェアスタンバイモード	t _{RESWS}	0.3	—	—		
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—		
RES#解除後待機時間		t _{RESWT}	62	—	63	t _{Lcyc}	図 5.2
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセッ ト、ソフトウェアリセット)		t _{RESW2}	108	—	116		

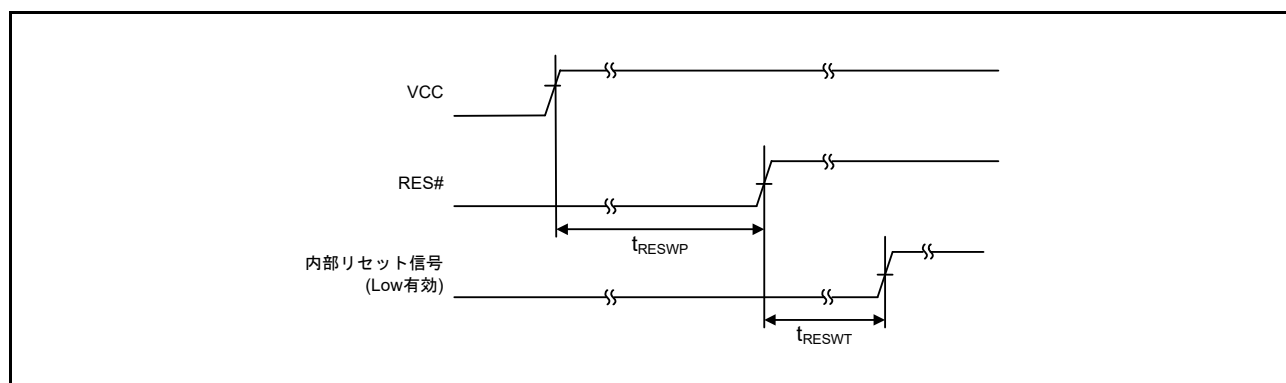


図 5.2 電源投入時リセット入力タイミグ

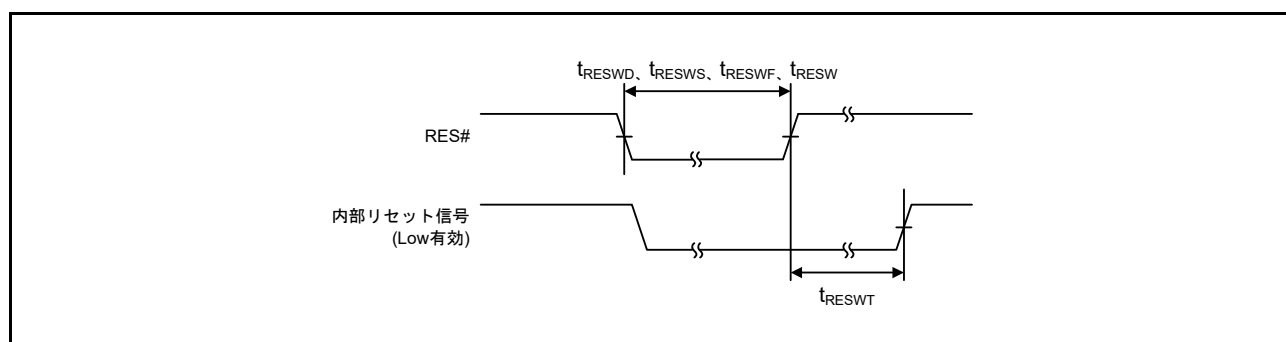


図 5.3 リセット入力タイミグ

5.4.2 クロックタイミング

表5.14 BCLK端子出カクロックタイミング(1)

条件 : $4.5 \leq VCC \leq 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t_{Bcyc}	25	—	—	ns	図5.4
BCLK端子出力Highレベルパルス幅	t_{CH}	7.5	—	—		
BCLK端子出力Lowレベルパルス幅	t_{CL}	7.5	—	—		
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5		

表5.15 BCLK端子出カクロックタイミング(2)

条件 : $2.7V \leq VCC < 4.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t_{Bcyc}	31.25	—	—	ns	図5.4
BCLK端子出力Highレベルパルス幅	t_{CH}	10.625	—	—		
BCLK端子出力Lowレベルパルス幅	t_{CL}	10.625	—	—		
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5		

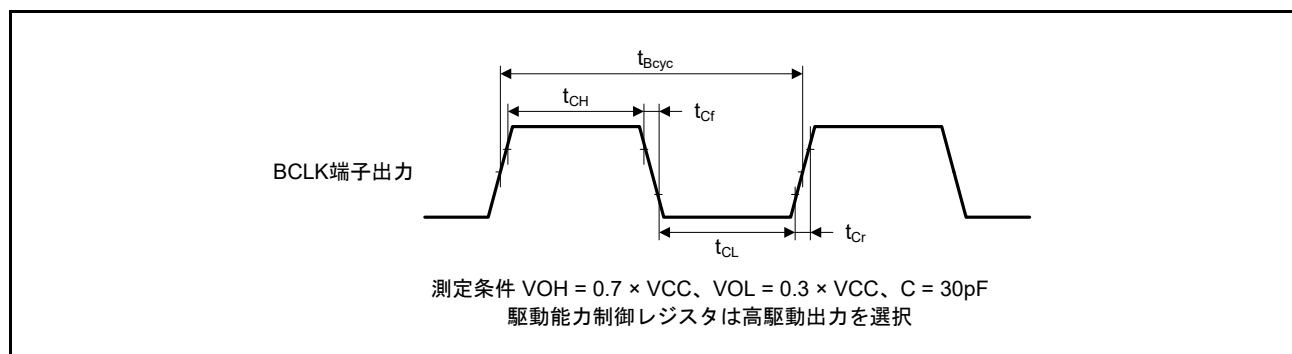


図 5.4 BCLK 端子出カタイミング

表5.16 EXTALクロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t _{EXcyc}	41.66	—	—	ns	図 5.5
EXTAL 外部クロック入力周波数	f _{EXMAIN}	—	—	24	MHz	
EXTAL 外部クロック入力パルス幅 High レベル	t _{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力パルス幅 Low レベル	t _{EXL}	15.83	—	—		
EXTAL 外部クロック立ち上がり時間	t _{EXr}	—	—	5		
EXTAL 外部クロック立ち下がり時間	t _{EXf}	—	—	5		

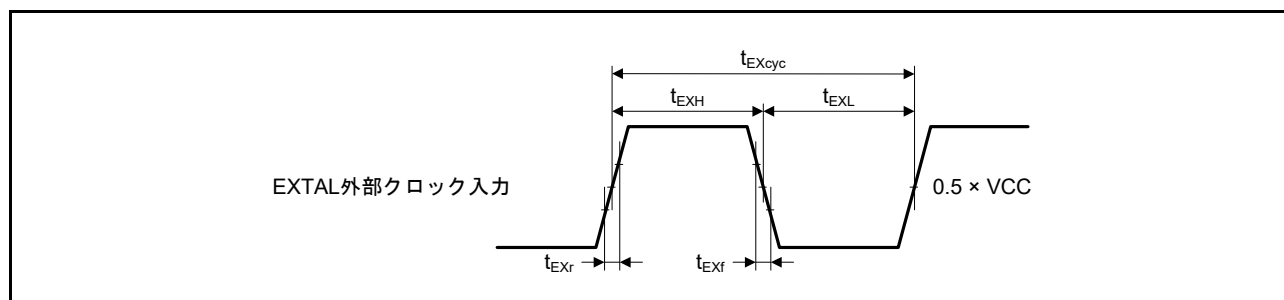


図 5.5 EXTAL 外部クロック入力タイミング

表5.17 メインクロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f _{MAIN}	8	—	24	MHz	図 5.6
メインクロック発振安定時間(水晶振動子使用時)	t _{MAINOSC}	—	—	— (注 1)	ms	
メインクロック発振安定待機時間(水晶振動子使用時)	t _{MAINOSWTT}	—	—	— (注 2)		

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSWTT} = [(MSTS[7:0] \text{ ビット} \times 32) + 7] / f_{Loco}$$

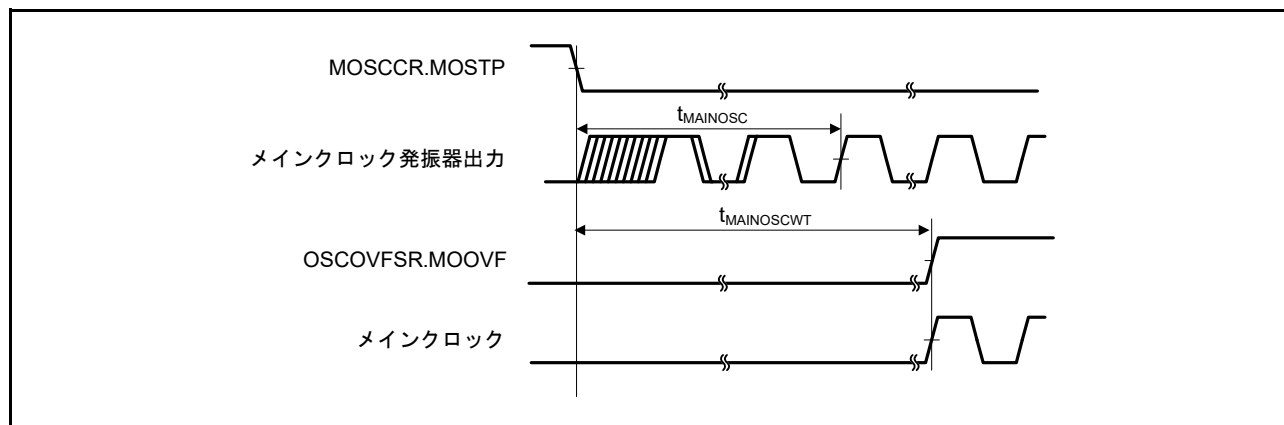


図 5.6 メインクロック発振開始タイミング

表5.18 LOCO, IWDT専用低速クロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$, $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定時間	t_{LOCOWT}	—	—	44	μs	図5.7
IWDT専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26		
IWDT専用低速クロック発振周波数	f_{ILOCO}	108	120	132	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図5.8

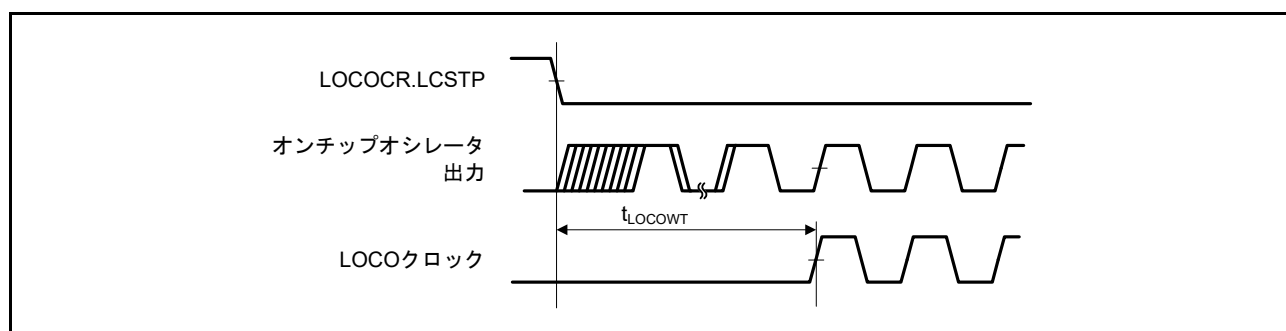


図 5.7 LOCO クロック発振開始タイミング

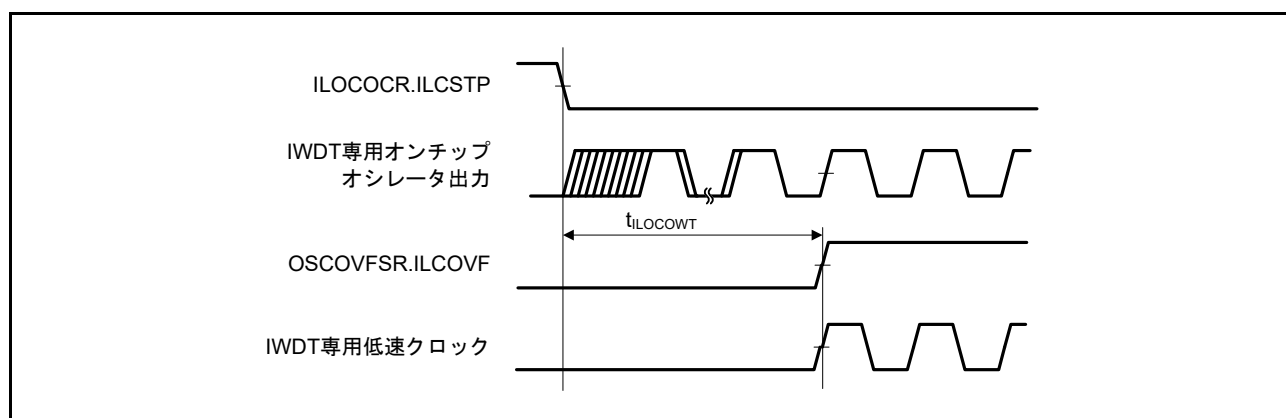


図 5.8 IWDT 専用低速クロック発振開始タイミング

表 5.19 HOCOクロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f_{HOCO}	15.61	16	16.39	MHz	$-20^{\circ}C \leq T_a \leq 105^{\circ}C$
		17.56	18	18.44		
		19.52	20	20.48		
		15.52	16	16.48		$-40^{\circ}C \leq T_a < -20^{\circ}C$
		17.46	18	18.54		
		19.40	20	20.60		
HOCOクロック発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図 5.9
HOCOクロック電源安定時間	t_{HOCOP}	—	—	150		図 5.10

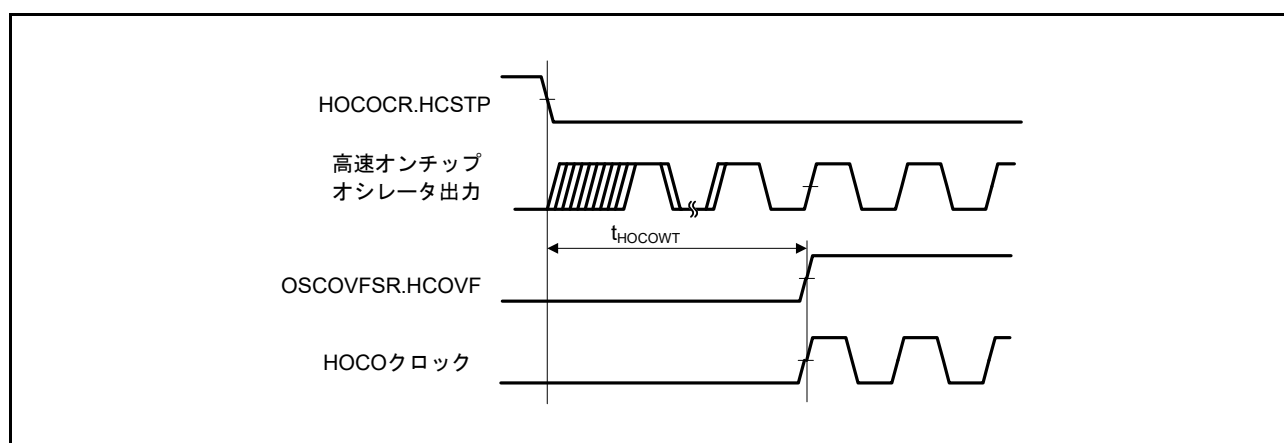


図 5.9 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

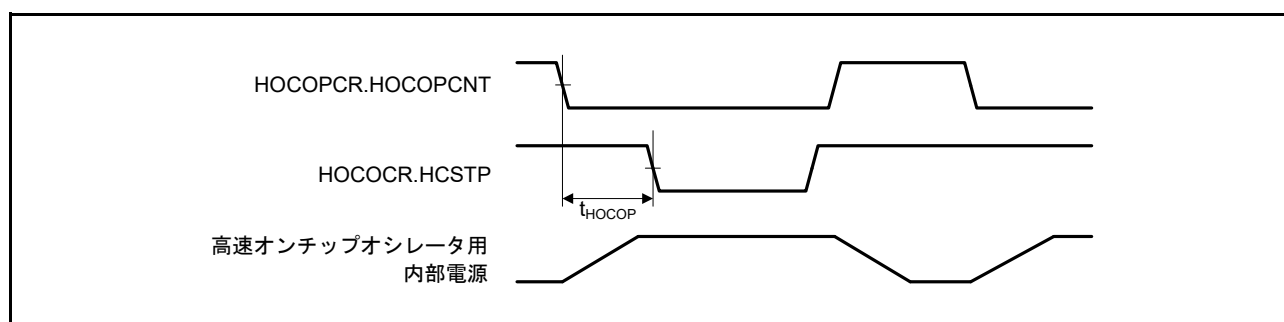


図 5.10 高速オンチップオシレータ電源制御タイミング

表5.20 PLLクロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図5.11

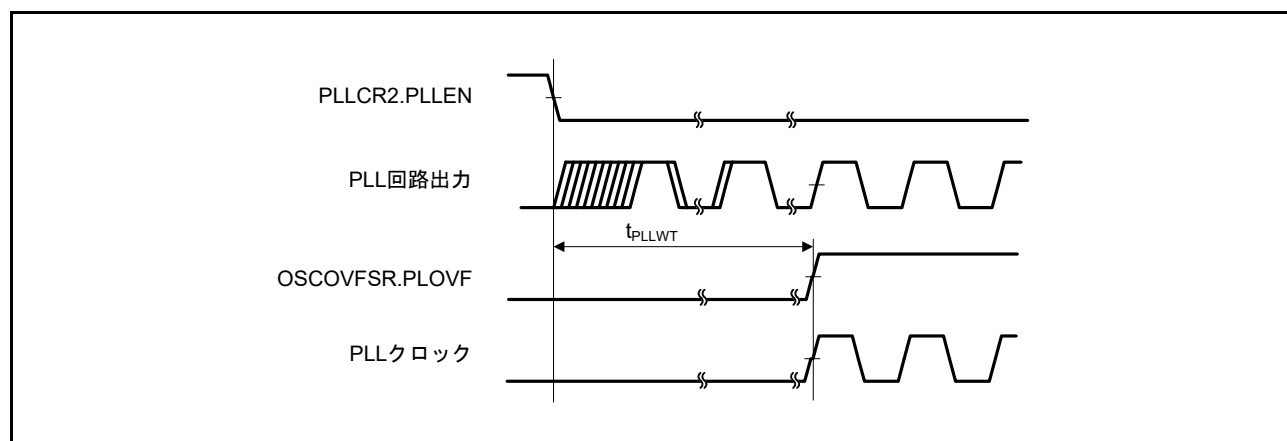


図 5.11 PLL クロック発振開始タイミング

5.4.3 低消費電力状態からの復帰タイミング

表5.21 低消費電力状態からの復帰タイミング(1)

条件：VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,

$T_a = T_{opr}$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間(注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図 5.12
		メインクロック発振器、PLL回路動作	t_{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}			352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$		
		メインクロック発振器、PLL回路動作	t_{SBYPE}			639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}			454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$		
		高速オンチップオシレータ動作、PLL回路動作	t_{SBYPH}			741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作(注4)		t_{SBYLO}			338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$		

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。

注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は $t_{SBYOSCWT}$ のうち、最も大きな値が選択されます。

注3. nは内部クロックの分周設定のうち、最も大きな値が選択されます。

注4. 本条件は、 $f_{ICLK} : f_{FCLK} = 1:1, 2:1, 4:1$ の場合に適用されます。

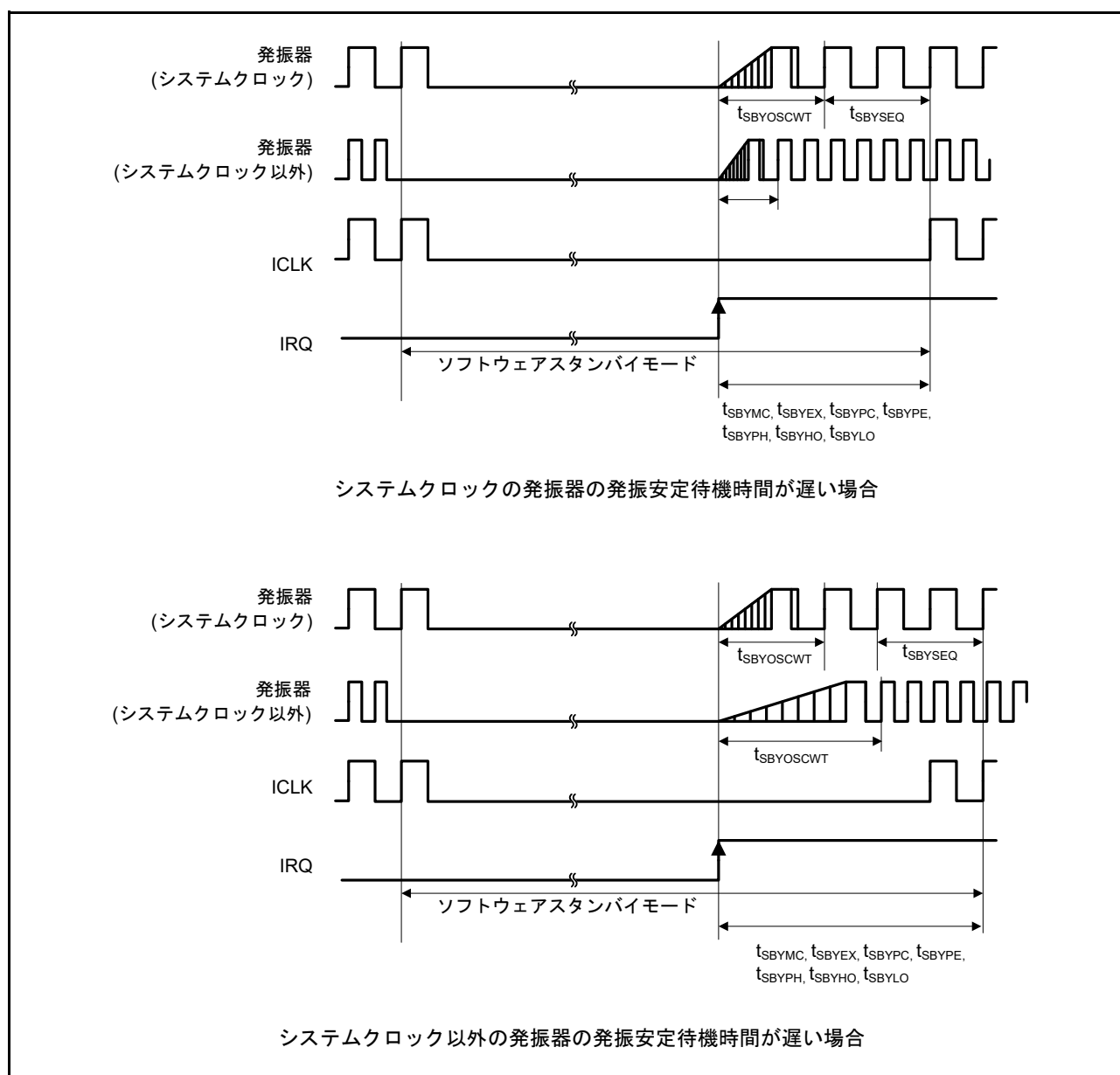


図 5.12 ソフトウェアスタンバイモード解除タイミング

表5.22 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図5.13
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	31	—	32	t_{Lcyc}	

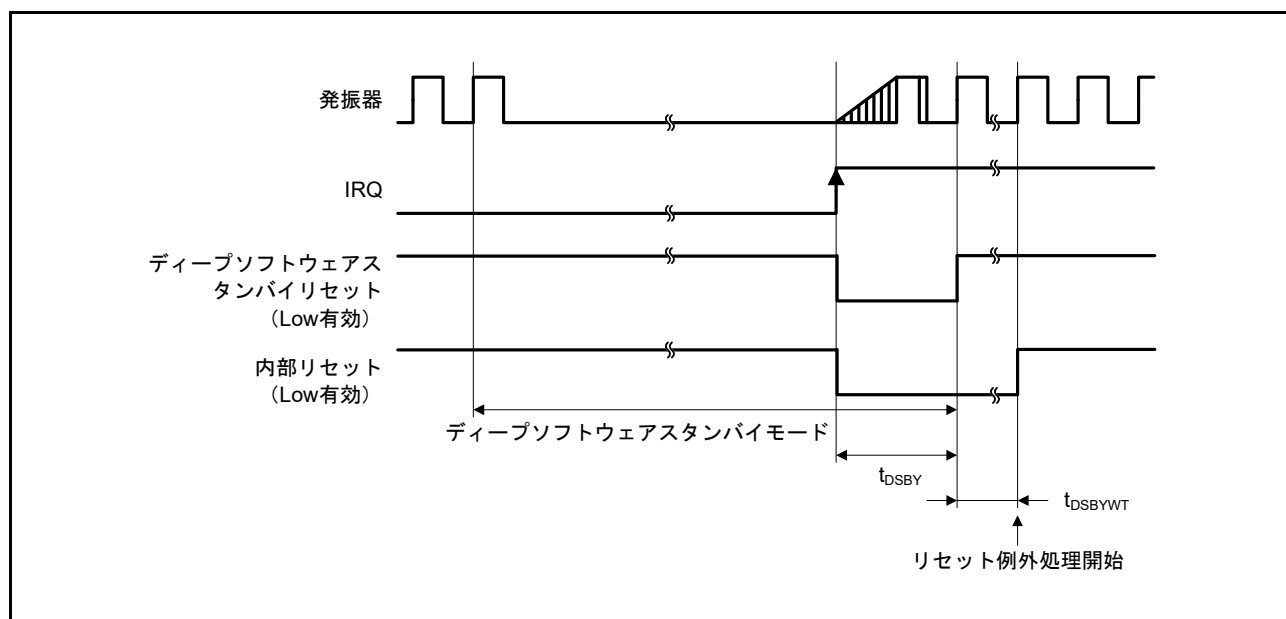


図 5.13 ディープソフトウェアスタンバイモード解除タイミング

5.4.4 制御信号タイミング

表5.23 制御信号タイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 5.14
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 5.14
IRQパルス幅	t_{IRQW}	200	—	—		$2 \times t_{PBcyc} \leq 200ns$ 、図 5.15
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 5.15

注1. t_{PBcyc} : PCLKBの周期

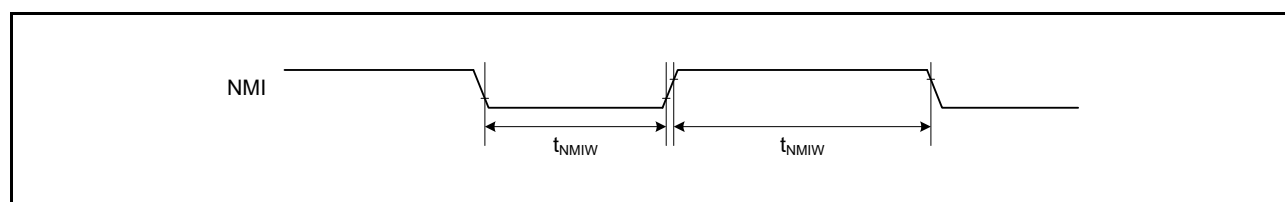


図 5.14 NMI 割り込み入力タイミング

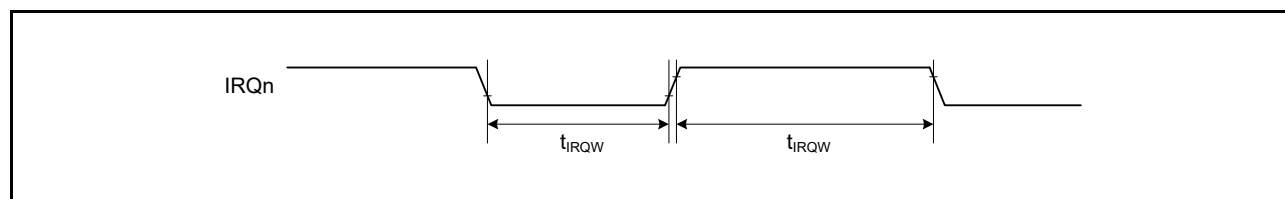


図 5.15 IRQ 割り込み入力タイミング

5.4.5 バスタイミング

表5.24 バスタイミング(1)

条件 : $4.5V \leq VCC \leq 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	12.5	ns	図 5.16 ～ 図 5.21
バイトコントロール遅延時間	t_{BCD}	—	—	12.5		
CS#遅延時間	t_{CSD}	—	—	12.5		
ALE 遅延時間	t_{ALED}	—	—	12.5		
RD#遅延時間	t_{RSD}	—	—	12.5		
リードデータセットアップ時間	t_{RDS}	12.5	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	12.5		
ライトデータ遅延時間	t_{WDD}	—	—	12.5		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	12.5	—	—	ns	図 5.22
WAIT#ホールド時間	t_{WTH}	0	—	—		

表5.25 バスタイミング(2)

条件 : $2.7V \leq VCC < 4.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	25	ns	図 5.16 ～ 図 5.21
バイトコントロール遅延時間	t_{BCD}	—	—	25		
CS#遅延時間	t_{CSD}	—	—	25		
ALE 遅延時間	t_{ALED}	—	—	25		
RD#遅延時間	t_{RSD}	—	—	25		
リードデータセットアップ時間	t_{RDS}	25	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	25		
ライトデータ遅延時間	t_{WDD}	—	—	25		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	25	—	—	ns	図 5.22
WAIT#ホールド時間	t_{WTH}	0	—	—		

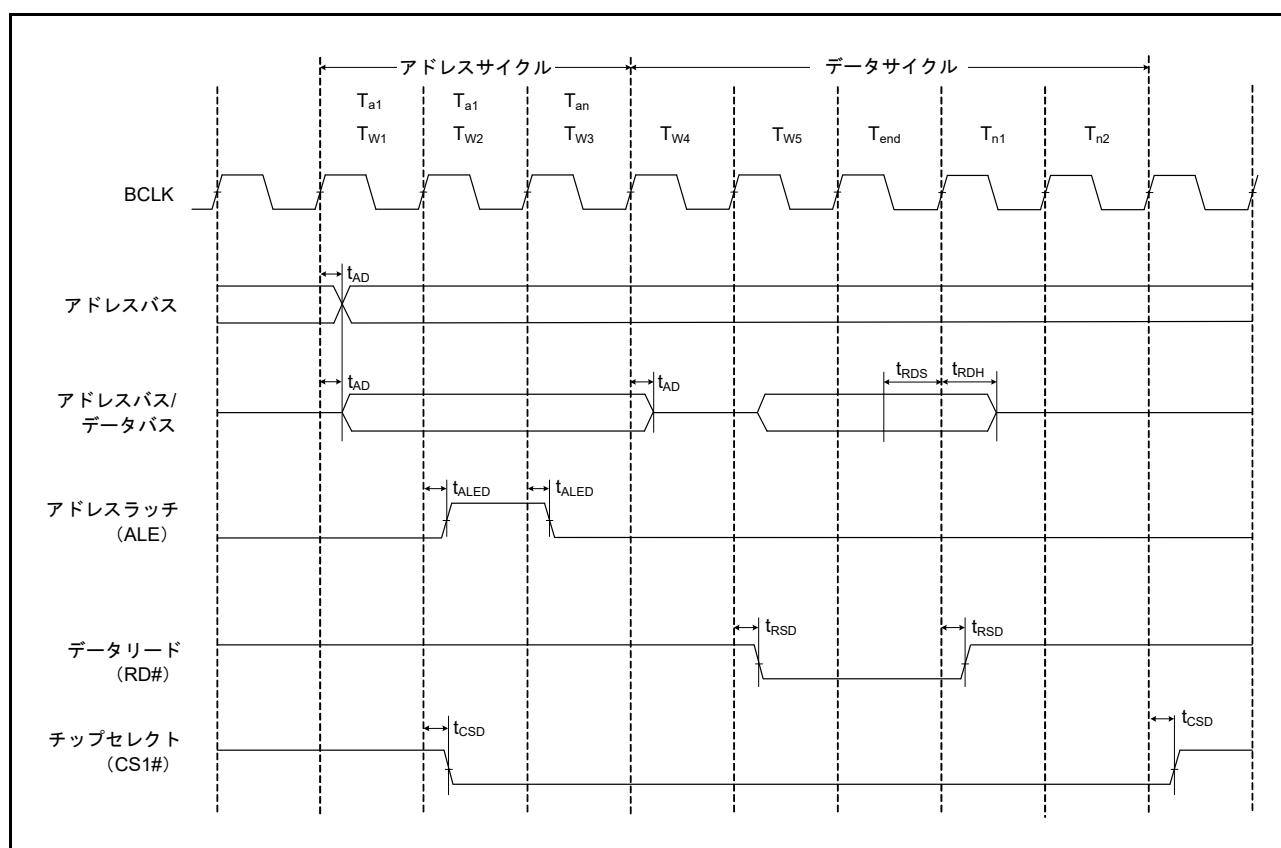


図 5.16 アドレス / データマルチプレクスバスのリードアクセスタイミング

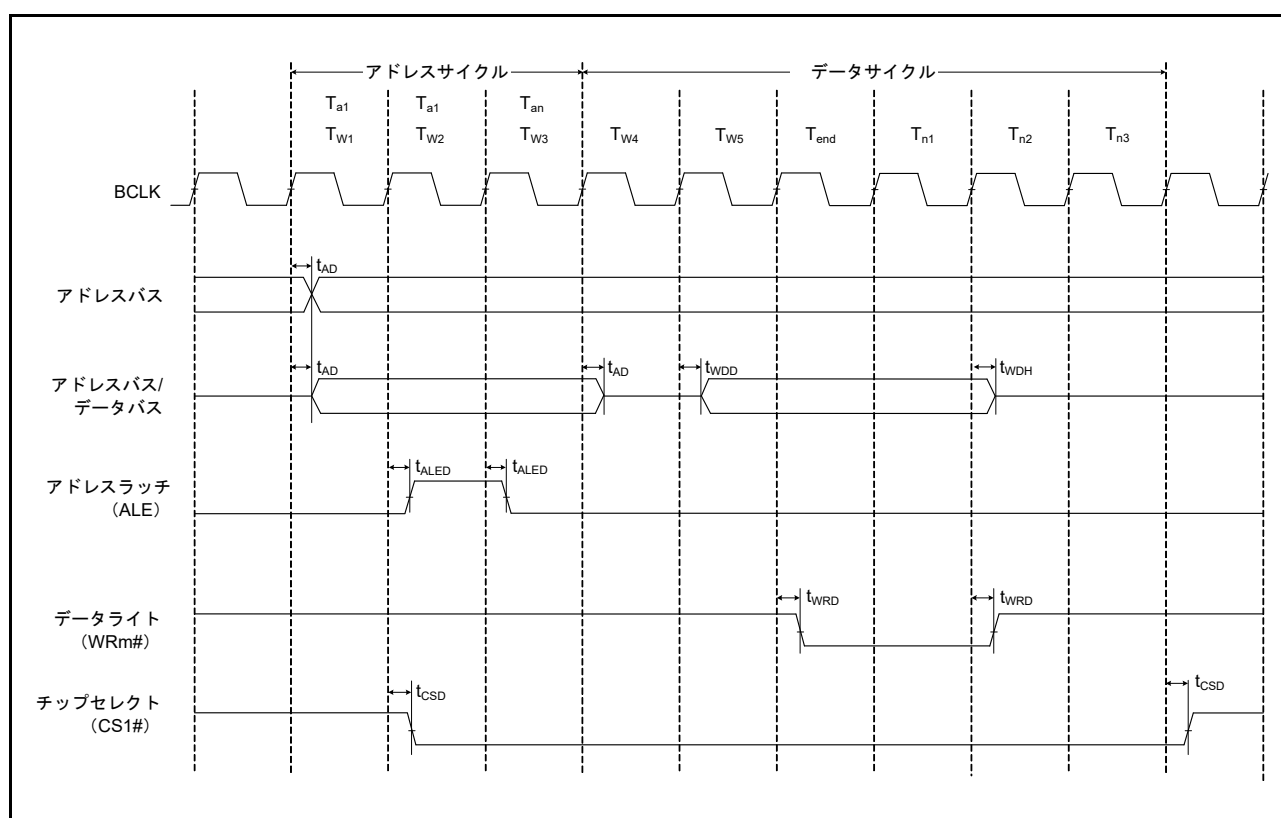


図 5.17 アドレス / データマルチプレクスバスのライトアクセスタイミング

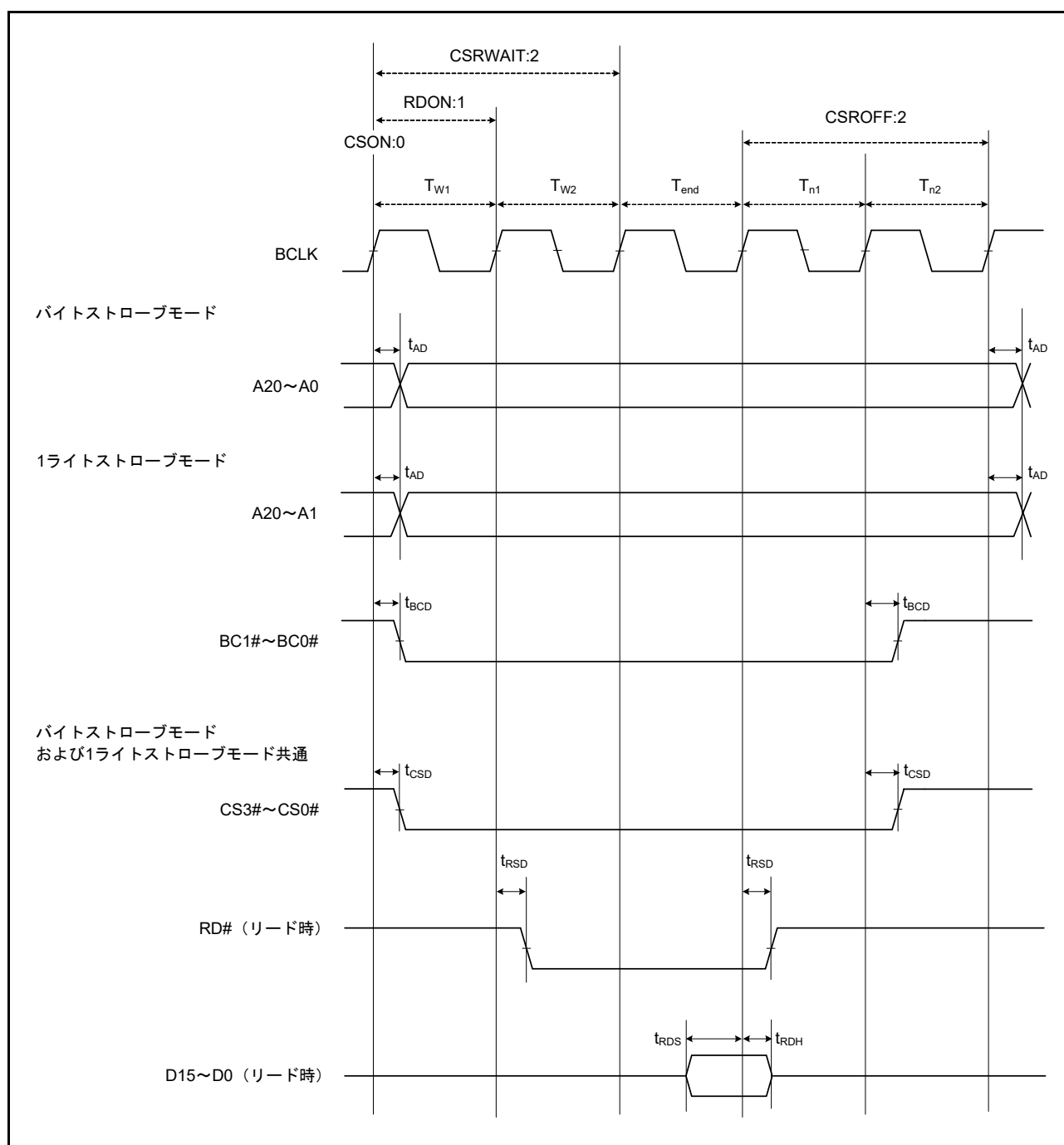


図 5.18 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

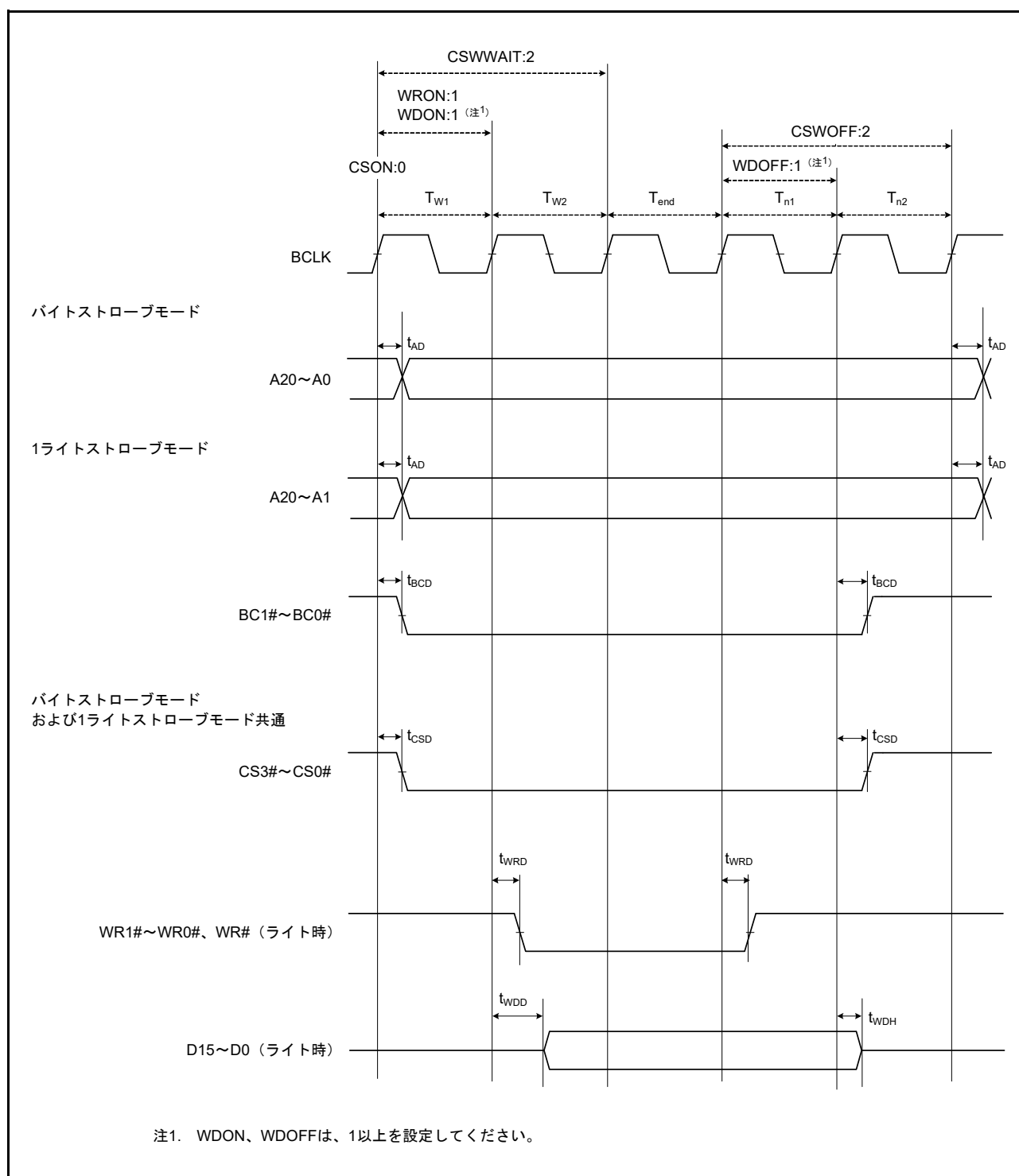


図 5.19 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

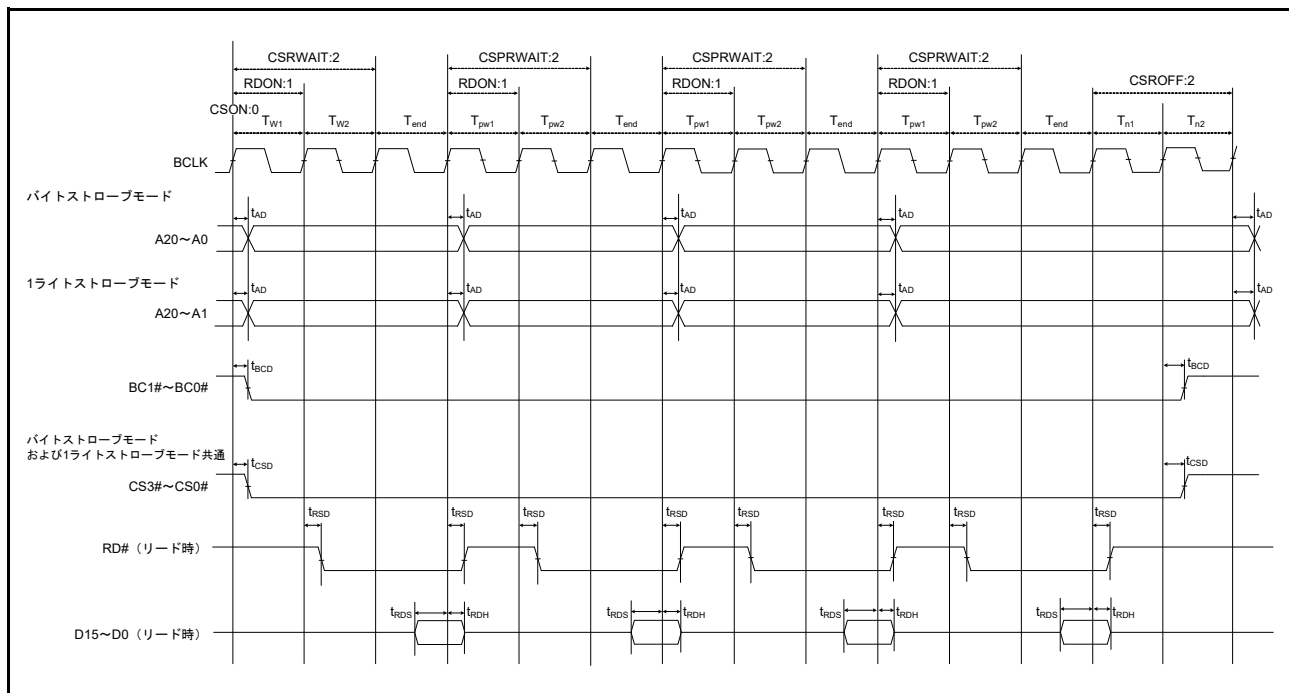


図 5.20 外部バスタイミング / ページリードサイクル (バスクロック同期)

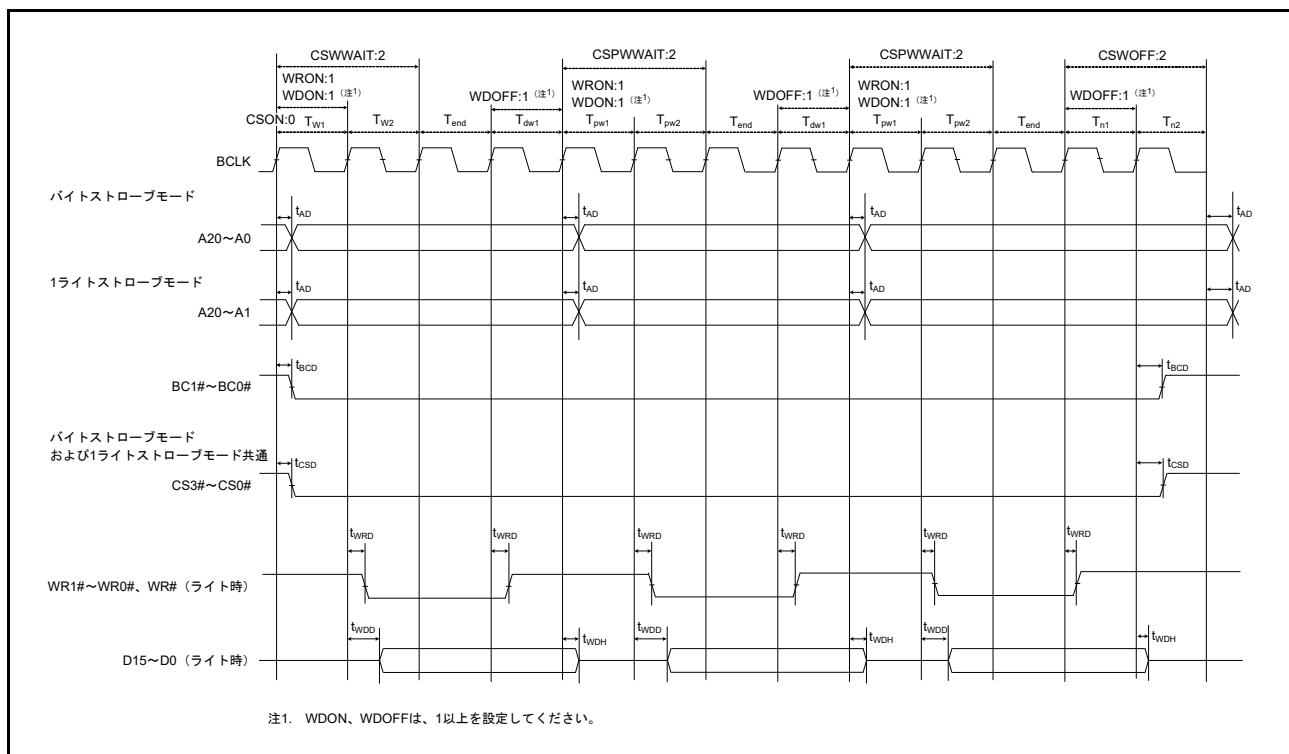


図 5.21 外部バスタイミング / ページライトサイクル (バスクロック同期)

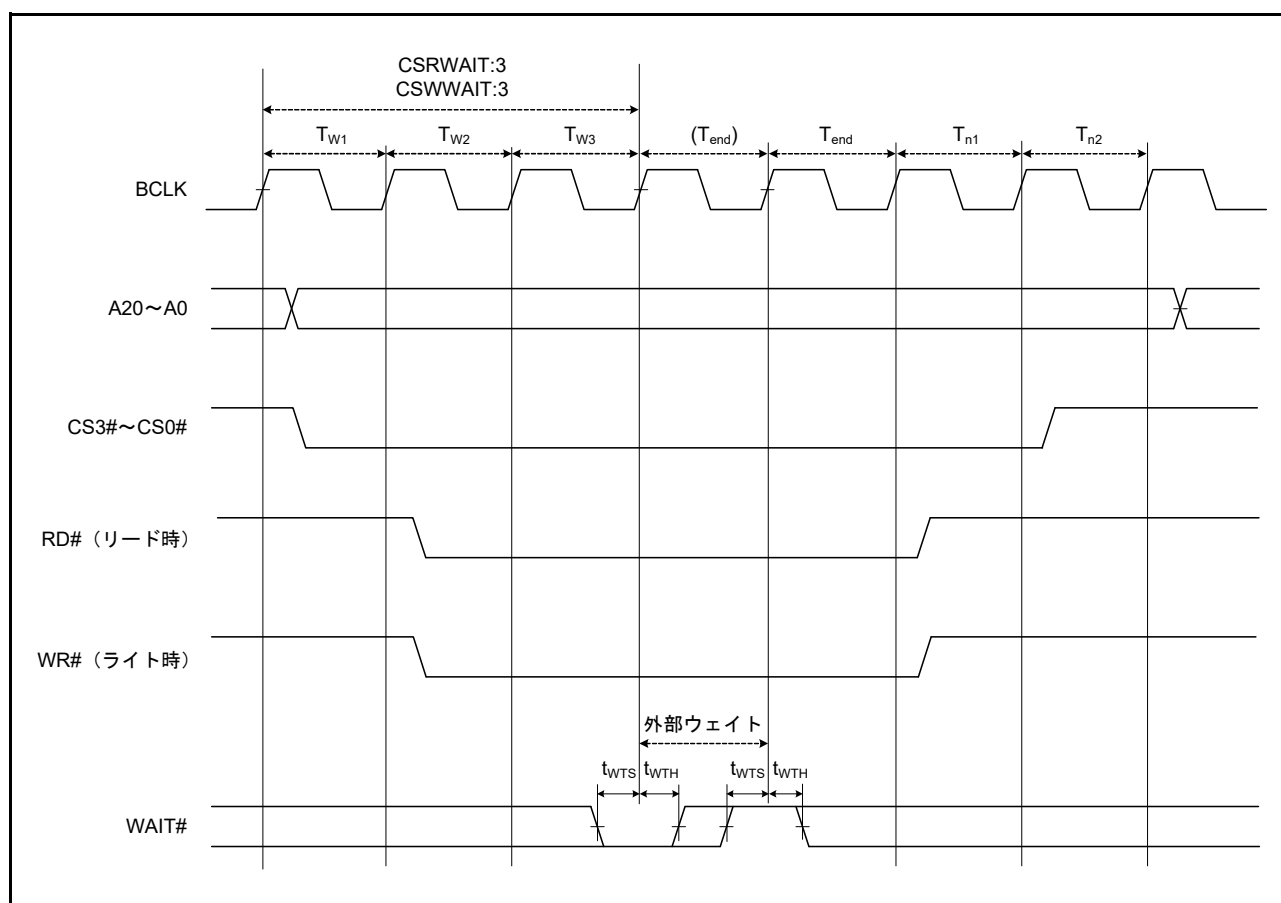


図 5.22 外部バスタイミング / 外部ウェイト制御

5.4.6 内蔵周辺モジュールタイミング

表5.26 I/Oポートタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図5.23

注1. t_{PBcyc} : PCLKBの周期

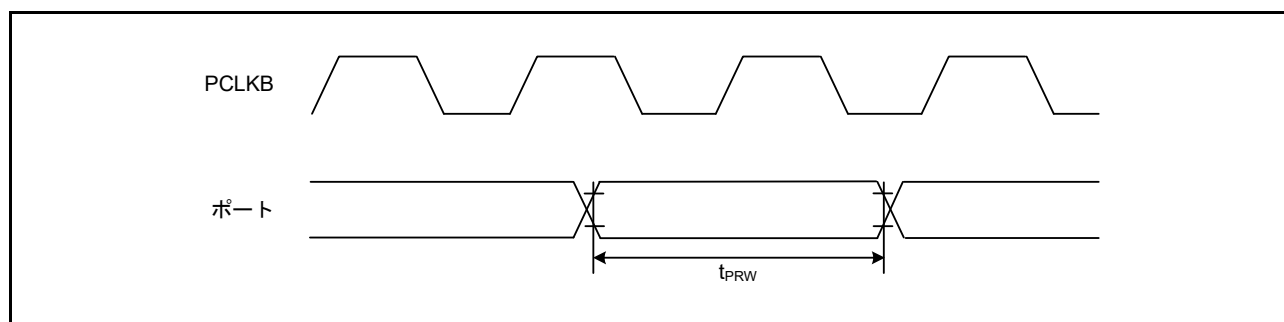


図 5.23 I/Oポート入力タイミング

表5.27 TMRタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{PBcyc}	図5.24
		両エッジ指定	t_{TMCWL}	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

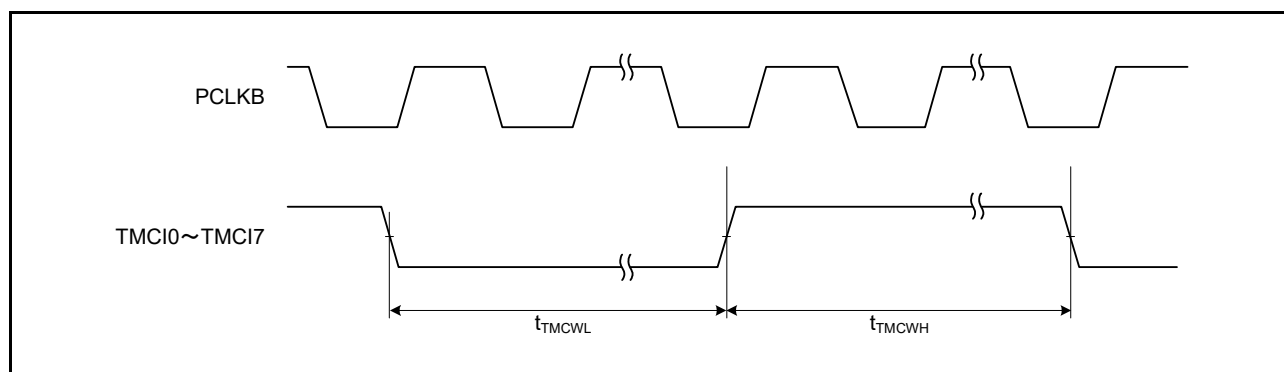


図 5.24 TMR クロック入力タイミング

表5.28 MTUタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択 (P53 ~ P55、P60 ~ P65以外)

項目			記号	min	max	単位 (注1)	測定条件
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PCyc}	図 5.25
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} ,	1.5	—	t_{PCyc}	図 5.26
		両エッジ指定	t_{MTCKWL}	2.5	—		
		位相計数モード		2.5	—		

注1. t_{PCyc} : PCLKCの周期

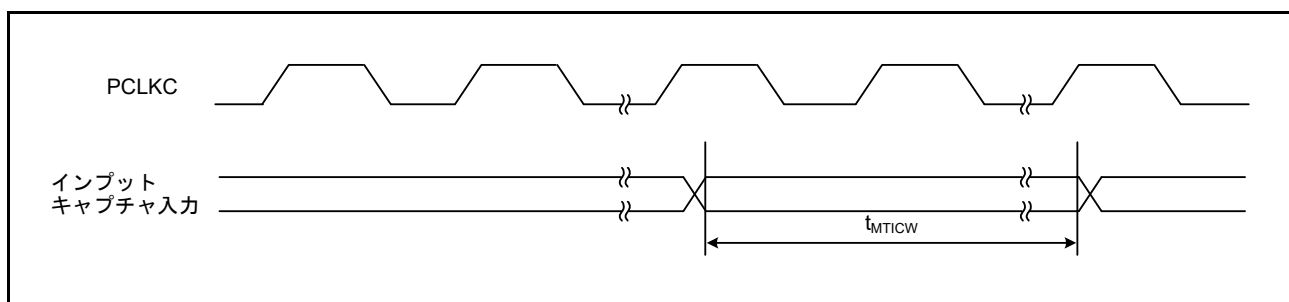


図 5.25 MTU インプットキャプチャ入力タイミング

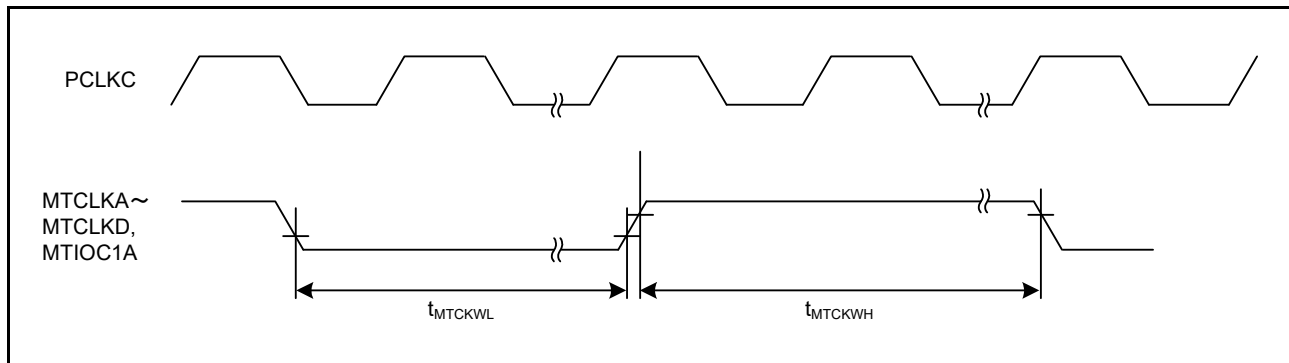


図 5.26 MTU クロック入力タイミング

表 5.29 POE, POEG タイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$, $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,出力負荷条件: $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択(P53 ~ P55、P60 ~ P65以外)

項目			記号	min	typ	max	単位 (注1)	測定条件
POE	POEn#入力パルス幅 ($n = 0, 4, 8 \sim 14$)		t_{POEW}	1.5	—	—	t_{PBcyc}	図 5.27
	出力ディセーブル時間	POEn#端子の変化	t_{POEDI}	—	—	$5 PCLKB + 0.24$	μs	図 5.28 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000 ($m = 1 \sim 5, 7 \sim 9, n = 0, 4, 8 \sim 14$)))
		出力端子の短絡	t_{POEDO}	—	—	$3 PCLKB + 0.2$	μs	図 5.29
		コンパレータ出力検出	t_{POEDC}	—	—	$5 PCLKB + 0.2$	μs	図 5.30 コンパレータ C のノイズフィルタ 不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間は除く
		レジスタ設定	t_{POEDS}	—	—	$1 PCLKB + 0.2$	μs	図 5.31 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	—	21	μs	図 5.32
POEG	GTETRn入力パルス幅 ($n = A \sim D$)		t_{POEGW}	1.5	—	—	t_{PBcyc}	図 5.33
	出力ディセーブル時間	GTETRn端子の入カレベル検出 (フラグ経由)	t_{POEGDI}	—	—	$3 PCLKB + 0.34$	μs	図 5.34 デジタルノイズフィルタ不使用時 (POEGGn.NFEN = 0 ($n = A \sim D$)))
		GPTWからの出力 停止信号検出 (デットタイムエ ラー、同時High出 力、同時Low出 力)	t_{POEGDE}	—	—	0.5	μs	図 5.35
		コンパレータエッ ジ検出	t_{POEGDC}	—	—	$4 PCLKB + 0.5$	μs	図 5.36 コンパレータ C のノイズフィルタ 不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間は除く
		レジスタ設定	t_{POEGDS}	—	—	$1 PCLKB + 0.3$	μs	図 5.37 レジスタアクセス時間は除く
		発振停止検出	$t_{POEGDOS}$	—	—	21	μs	図 5.38
		GTETRn端子の 入カレベル検出 (フラグ非経由)	$t_{POEGDDI}$	—	—	$2 PCLKB + 1 PCLKC + 0.34$	μs	図 5.39
		コンパレータレベ ル検出	$t_{POEGDDC}$	—	—	$3 PCLKC + 0.3$	μs	図 5.40 コンパレータ C のノイズフィルタ 不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間は除く

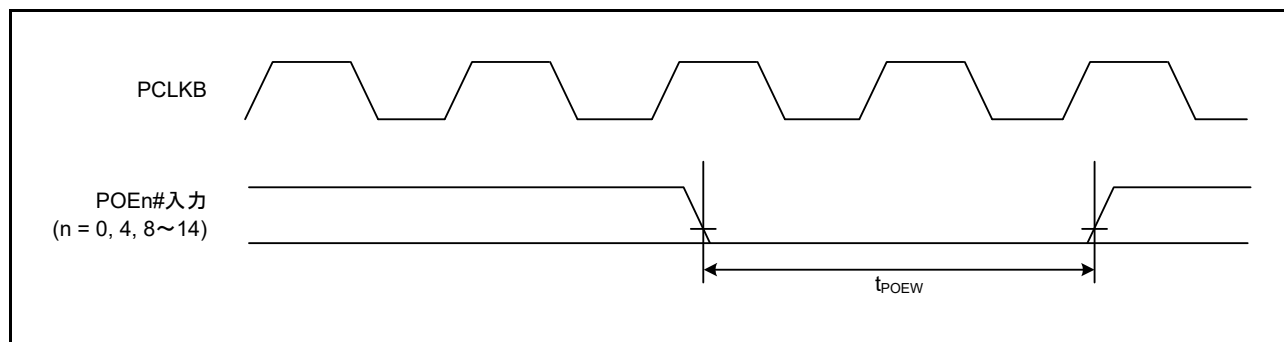
注 1. t_{PBcyc} : PCLKB の周期

図 5.27 POE 入力タイミング

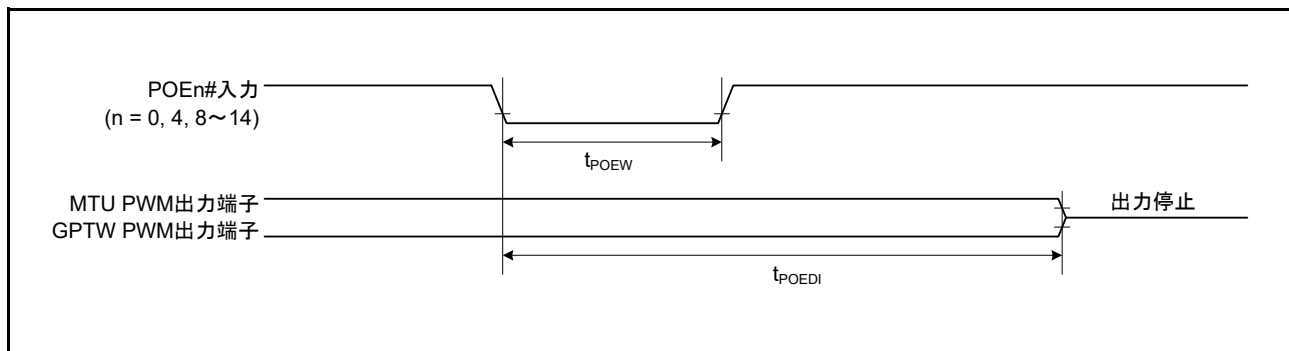


図 5.28 POE 出力ディセーブル時間 (POEn# 端子の変化)

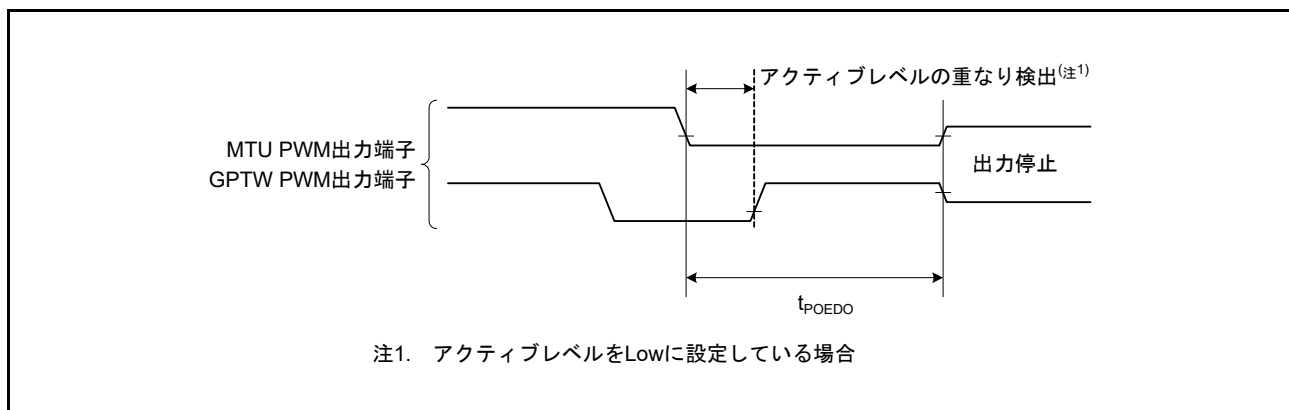


図 5.29 POE 出力ディセーブル時間 (出力端子の短絡)

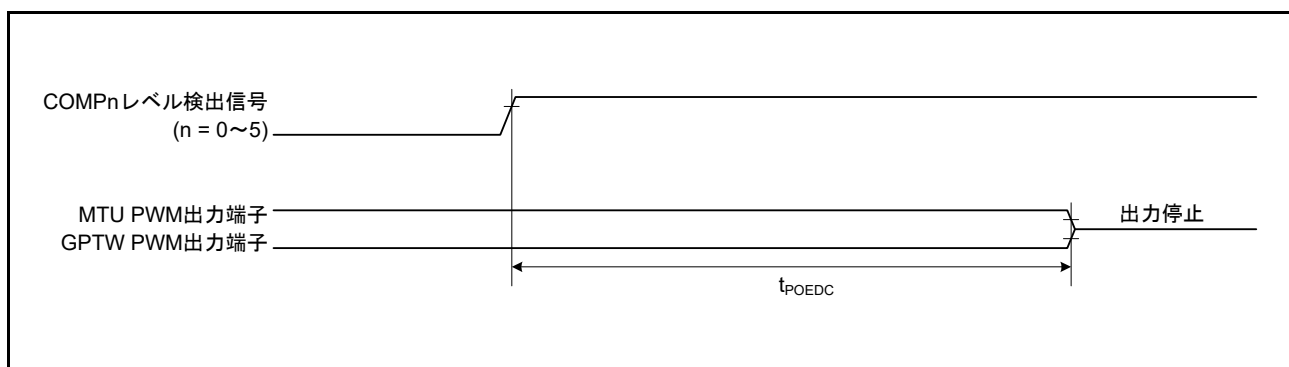


図 5.30 POE 出力ディセーブル時間 (コンパレータ出力検出)

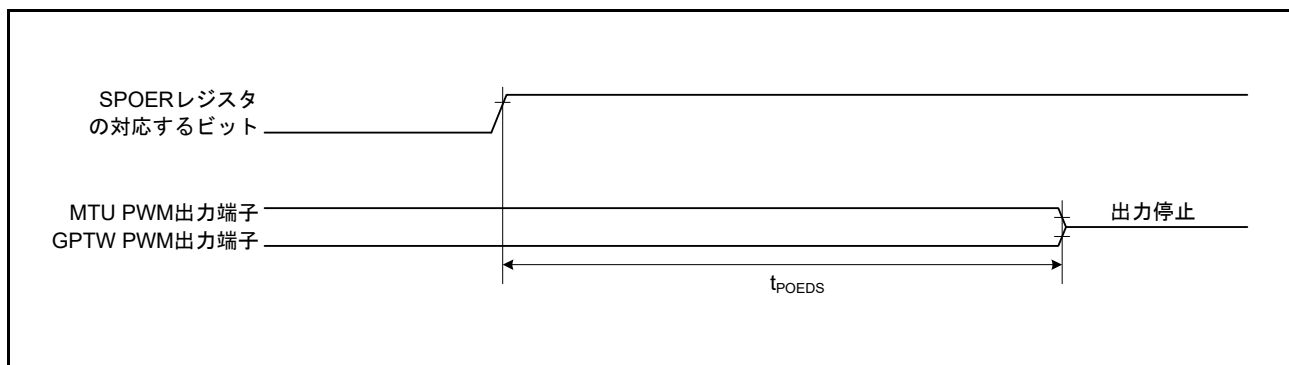


図 5.31 POE 出力ディセーブル時間 (レジスタ設定)

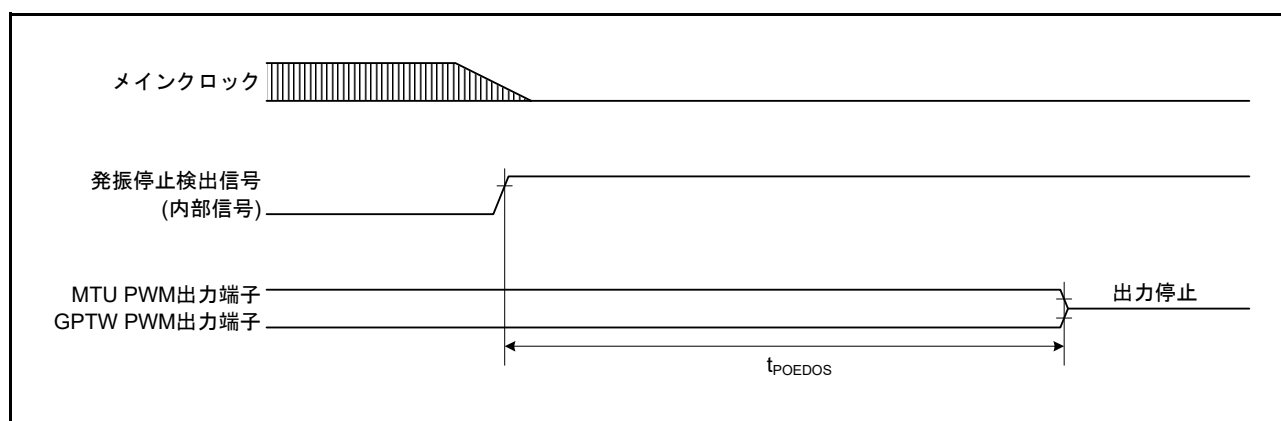


図 5.32 POE 出力ディセーブル時間 (発振停止検出)

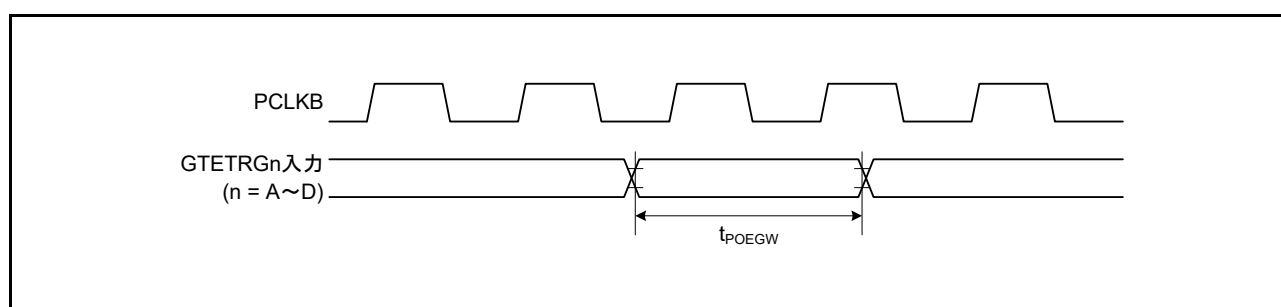


図 5.33 POEG 入力タイミング

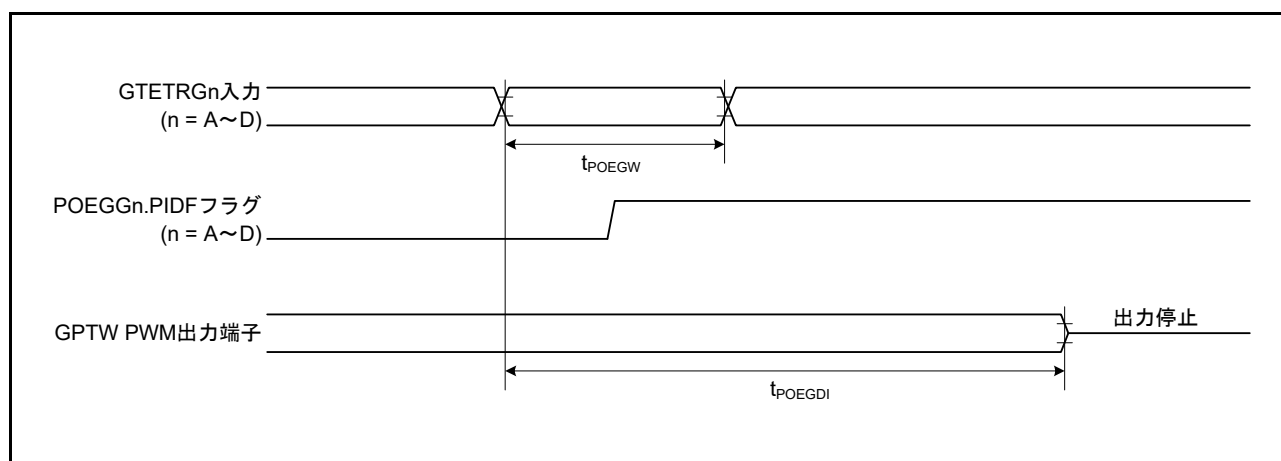


図 5.34 POEG 出力ディセーブル時間 (GTETRGn 端子の入力レベル検出 (フラグ経由))

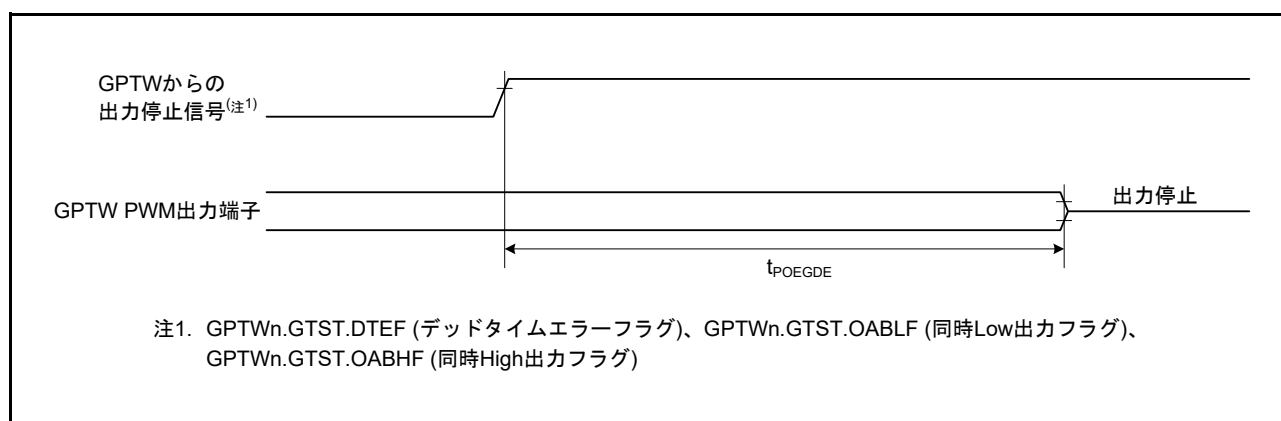


図 5.35 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

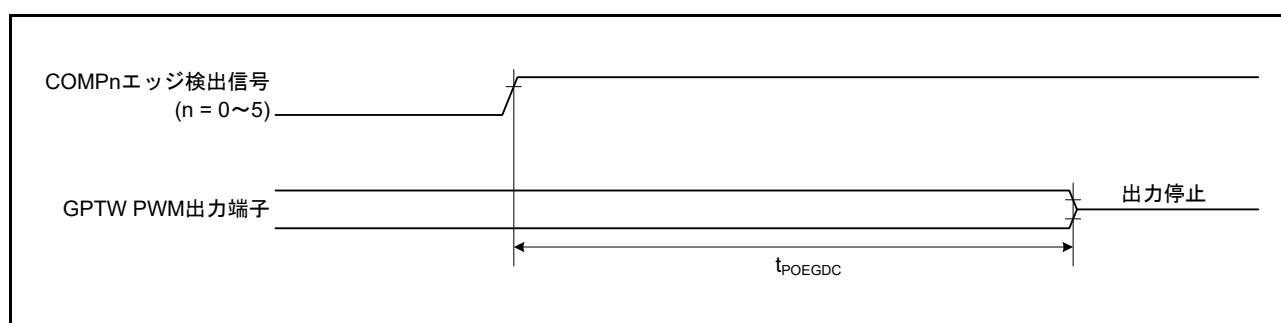


図 5.36 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

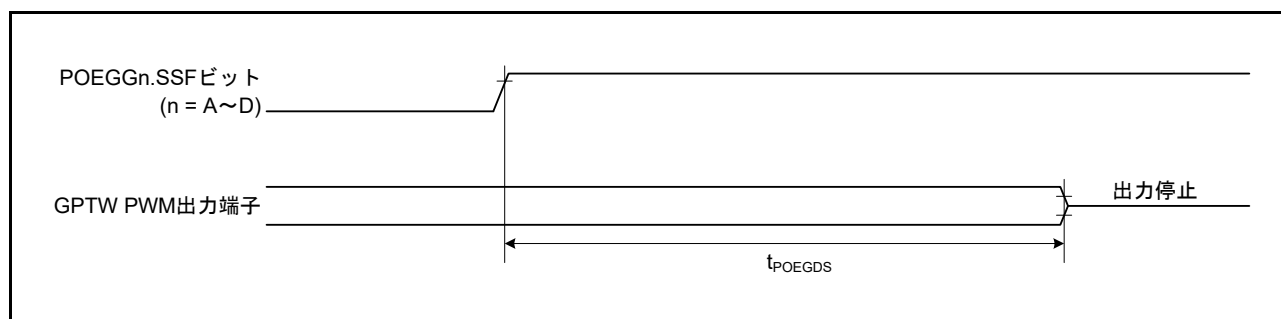


図 5.37 POEG 出力ディセーブル時間 (レジスタ設定)

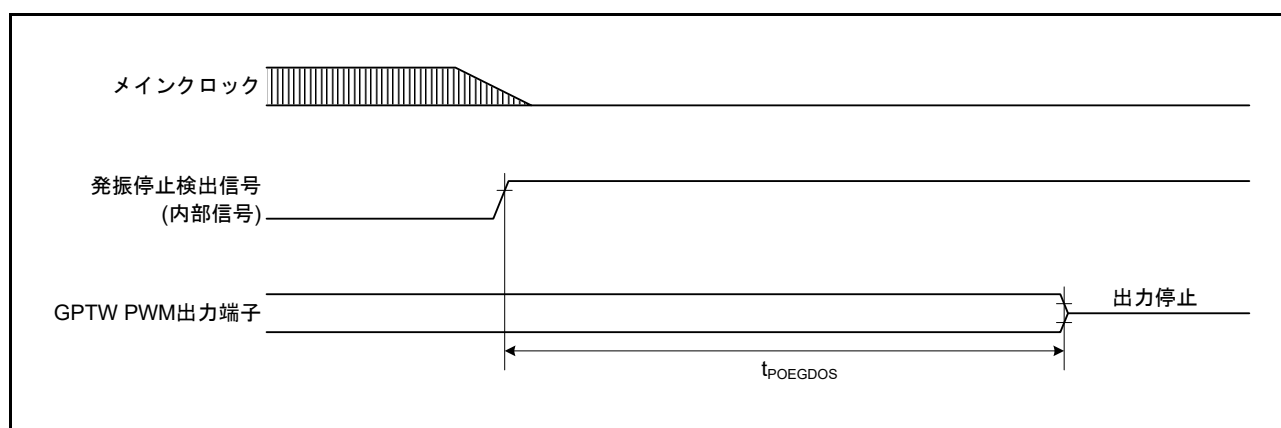


図 5.38 POEG 出力ディセーブル時間 (発振停止検出)

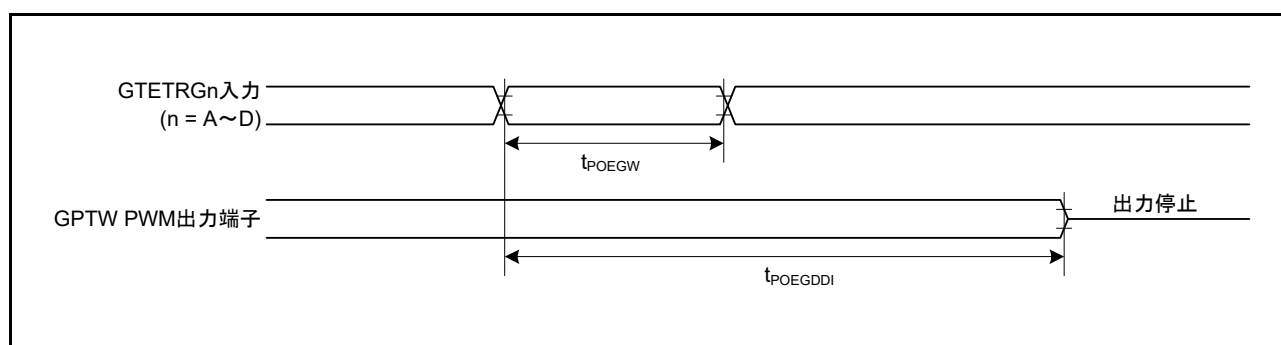


図 5.39 POEG 出力ディセーブル時間 (GTETRn 端子の入力レベル検出 (フラグ非経由))

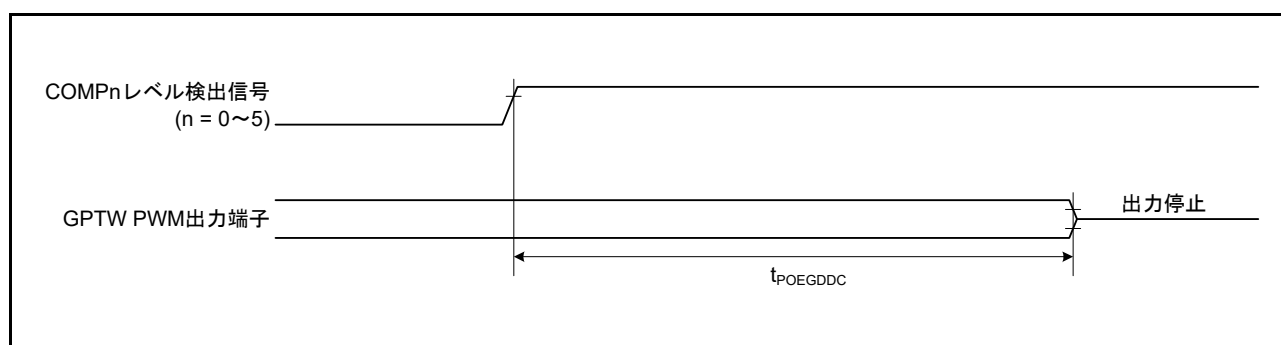


図 5.40 POEG 出力ディセーブル時間 (コンパレータレベル検出)

表5.30 GPTW タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択 (P53 ~ P55、P60 ~ P65 以外)

項目			記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PCyc}	図5.41
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PBcyc}	図5.42
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		t_{GTCKWH}	1.5	—	t_{PBcyc}	図5.43
			t_{GTCKWL}				

注1. t_{PCyc} : PCLKCの周期

注2. t_{PBcyc} : PCLKBの周期

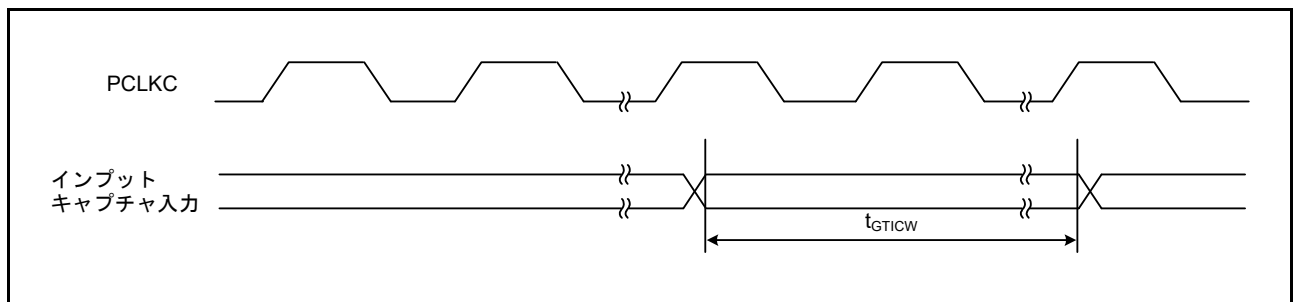


図 5.41 GPTW インプットキャプチャ入力タイミング

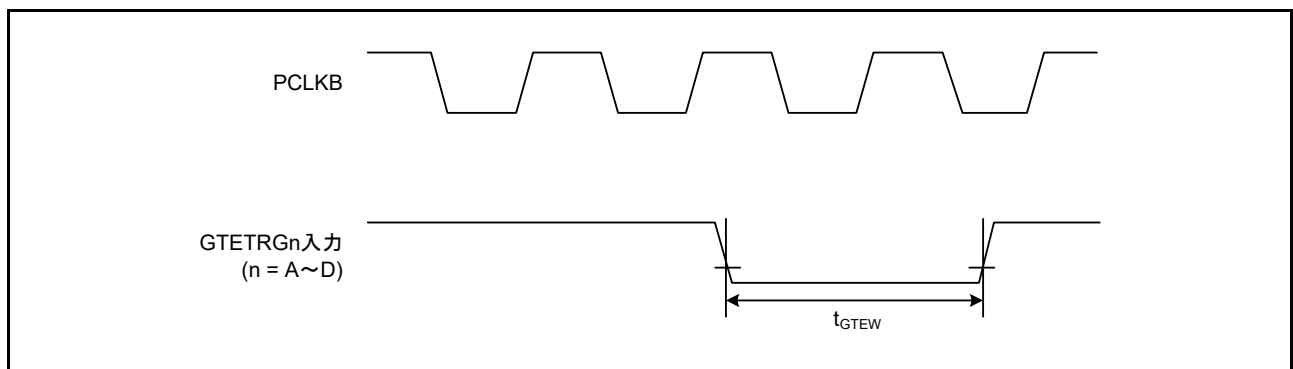


図 5.42 GPTW 外部トリガ入力タイミング

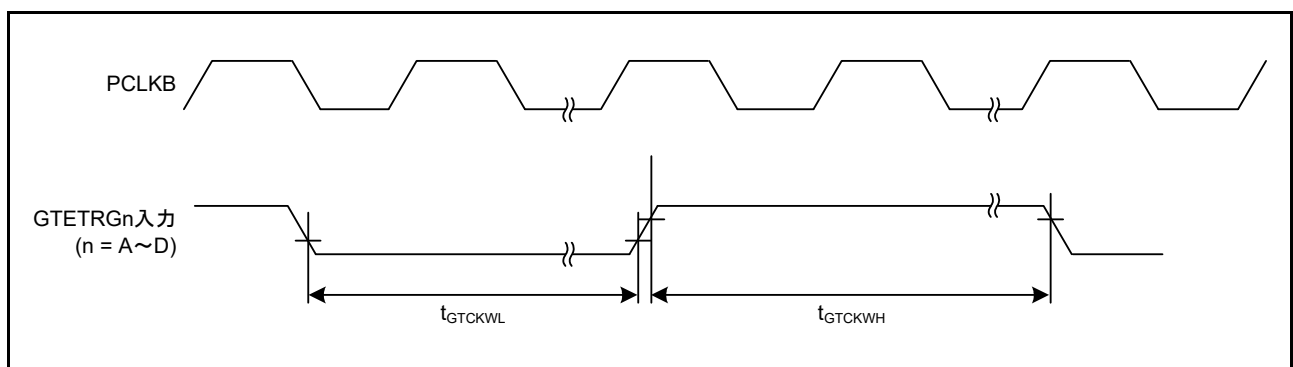


図 5.43 GPTW クロック入力タイミング

表5.31 A/Dコンバータトリガタイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件: $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 5.44

注1. t_{PBcyc} : PCLKBの周期

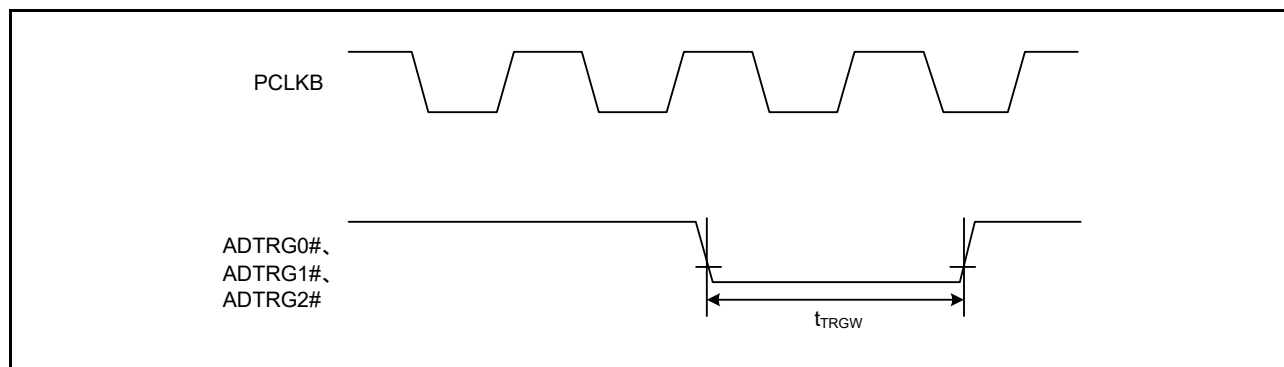


図 5.44 A/Dコンバータトリガ入力タイミング

表5.32 CACタイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件: $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目 (注1、注2)			記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leq t_{cac}$	t_{CACREF}	$4.5t_{cac} + 3t_{PBcyc}$	—	ns	
		$t_{PBcyc} > t_{cac}$		$5t_{cac} + 6.5t_{PBcyc}$	—		

注1. t_{PBcyc} : PCLKBの周期

注2. t_{cac} : CACカウントクロックソースの周期

表5.33 SClj, SCli, SCli タイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$, $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$, $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,出力負荷条件: $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目			記号	min	max	単位 (注1)	測定条件	
SClj, SCli	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図5.45	
		クロック同期		6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期 (注2)	t _{Scyc}	8	—	t _{PBcyc}		
		クロック同期		4	—			
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	送信データ遅延時間	クロック同期	t _{TXD}	—	28	ns	VCC ≥ 4.5V	図5.46
				—	33		VCC < 4.5V	
	受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns	VCC ≥ 4.5V	図5.46
				20	—		VCC < 4.5V	
	受信データホールド時間	クロック同期	t _{RXH}	5	—	ns	図5.46	
SCli	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PAcyc}	図5.45	
		クロック同期		6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期 (注2)	t _{Scyc}	6	—	t _{PAcyc}		
		クロック同期		4	—			
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	送信データ遅延時間	マスタ	t _{TXD}	—	15	ns	VCC ≥ 4.5V	図5.46
		スレーブ		—	28			
		マスタ		—	20	ns	VCC < 4.5V	
		スレーブ		—	33			
	受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns	VCC ≥ 4.5V	図5.46
				20	—		VCC < 4.5V	
	受信データホールド時間	クロック同期	t _{RXH}	5	—	ns	図5.46	

注1. t_{PBcyc} : PCLKBの周期、 t_{PAcyc} : PCLKAの周期

注2. SEMR.ABCSビット=1かつSEMR.BGDMビット=1のとき

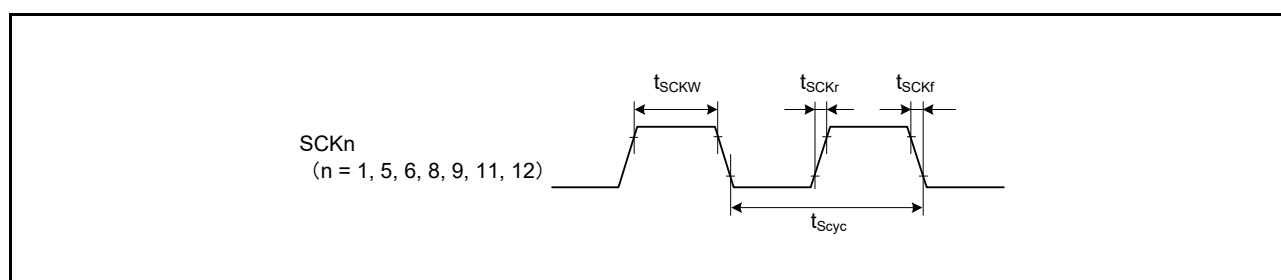


図 5.45 SCK クロック入力タイミング

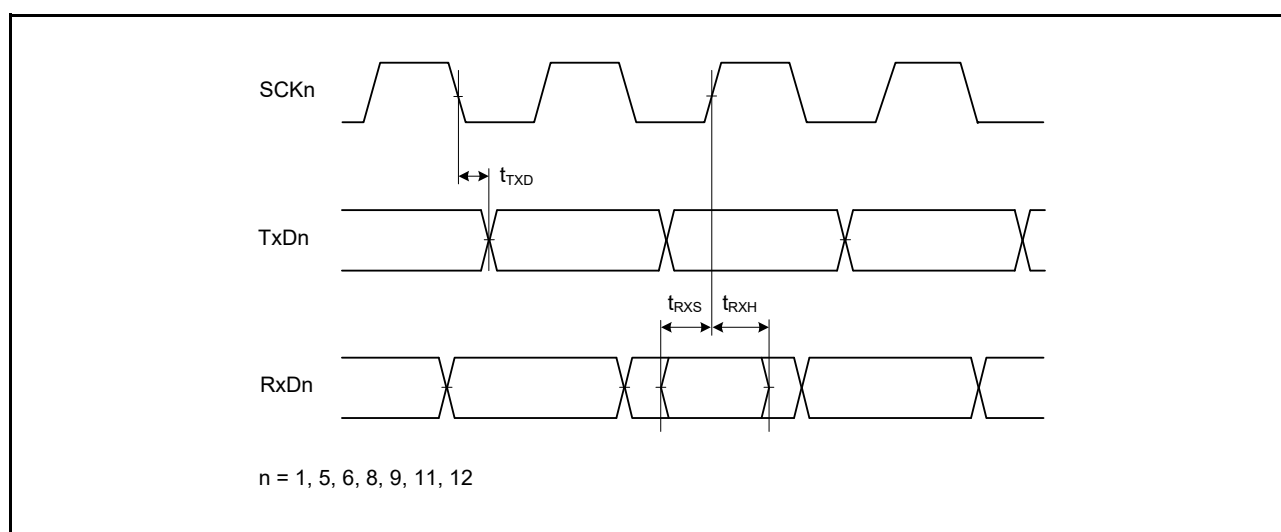


図 5.46 SCI 入出力タイミング / クロック同期式モード

表5.34 RSPIタイミング

条件: VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,

出力負荷条件: V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目			記号	min (注1)	max (注1)	単位 (注1)	測定条件									
RSPI	RSPCK クロック サイクル	マスタ	t _{SPcyc}	2	4096	t _{pAcyc}	図 5.47									
		スレーブ		4	—											
	RSPCK クロック High レベルパルス幅	マスタ	t _{SPCKWH}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3	—	ns			VCC ≥ 4.5V 図 5.48 VCC < 4.5V ~ 図 5.53 図 5.48 ~ 図 5.53							
		スレーブ		(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2	—	ns										
	RSPCK クロック Low レベルパルス幅	マスタ	t _{SPCKWL}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3	—	ns					図 5.48 ~ 図 5.53					
		スレーブ		(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2	—	ns										
	RSPCK クロック立ち 上がり/立ち下がり時間	出力	t _{SPCKr} , t _{SPCKf}	—	5	ns							図 5.48 ~ 図 5.53			
		入力		—	1	μs										
	データ入力セット アップ時間	マスタ	t _{SU}	6	—	ns									図 5.48 ~ 図 5.53	
				11	—											
		スレーブ		8.3	—											
	データ入力ホールド 時間	マ ス タ	PCLKAを2分 周に設定	t _{HF}	0	—	ns	図 5.48 ~ 図 5.53								
					PCLKAを2分 周以外に設定	t _H				t _{pAcyc}						
		スレーブ	8.3	—												
			SSL セットアップ時間	マスタ	t _{LEAD}	1				8	t _{SPcyc}	図 5.48 ~ 図 5.53				
	スレーブ	6		—		t _{pAcyc}										
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}	図 5.48 ~ 図 5.53									
		スレーブ		6	—	t _{pAcyc}										
	データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns				VCC ≥ 4.5V	図 5.48 ~ 図 5.53					
		スレーブ		—	28											
		マスタ		—	11.3	ns				VCC < 4.5V						
		スレーブ		—	33											
	データ出力ホールド 時間	マスタ	t _{OH}	0	—	ns			図 5.48 ~ 図 5.53							
		スレーブ		0	—											
	連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{pAcyc}	8 × t _{SPcyc} + 2 × t _{pAcyc}	ns					図 5.48 ~ 図 5.53					
		スレーブ		6 × t _{pAcyc}	—											
	MOSI、MISO立ち上が り/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns	図 5.48 ~ 図 5.53									
入力		—		1	μs											
SSL 立ち上がり/立ち 下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns	図 5.48 ~ 図 5.53										
	入力		—	1	μs											
スレーブアクセス時間			t _{SA}	—	2 × t _{pAcyc} + 28								ns	VCC ≥ 4.5V	図 5.52 、 図 5.53	
				—	2 × t _{pAcyc} + 33									VCC < 4.5V		
スレーブ出力開放時間			t _{REL}	—	2 × t _{pAcyc} + 28				ns	VCC ≥ 4.5V						
				—	2 × t _{pAcyc} + 33					VCC < 4.5V						

注1. t_{pAcyc}: PCLKAの周期

表 5.35 簡易 SPI タイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$, $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,出力負荷条件: $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択 (P53 ~ P55、P60 ~ P65 以外)

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI (SCI11)	SCK クロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{pAcyc}	図 5.47
	SCK クロックサイクル入力 (スレーブ)		8	—		
	SCK クロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図 5.48 ~ 図 5.53
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	16.6	ns	
	SS 入力立ち上がり/立ち下がり時間	t_{SSLr}, t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	7	t_{pAcyc}	図 5.52、 図 5.53
	スレーブ出力開放時間	t_{REL}	—	7	t_{pAcyc}	
簡易 SPI (SCI1、SCI5、 SCI6、SCI8、 SCI9、SCI12)	SCK クロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{pBcyc}	図 5.47
	SCK クロックサイクル入力 (スレーブ)		8	—		
	SCK クロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図 5.48 ~ 図 5.53
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	16.6	ns	
	SS 入力立ち上がり/立ち下がり時間	t_{SSLr}, t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	7	t_{pBcyc}	図 5.52、 図 5.53
	スレーブ出力開放時間	t_{REL}	—	7	t_{pBcyc}	

注 1. t_{pAcyc} : PCLKA の周期、 t_{pBcyc} : PCLKB の周期

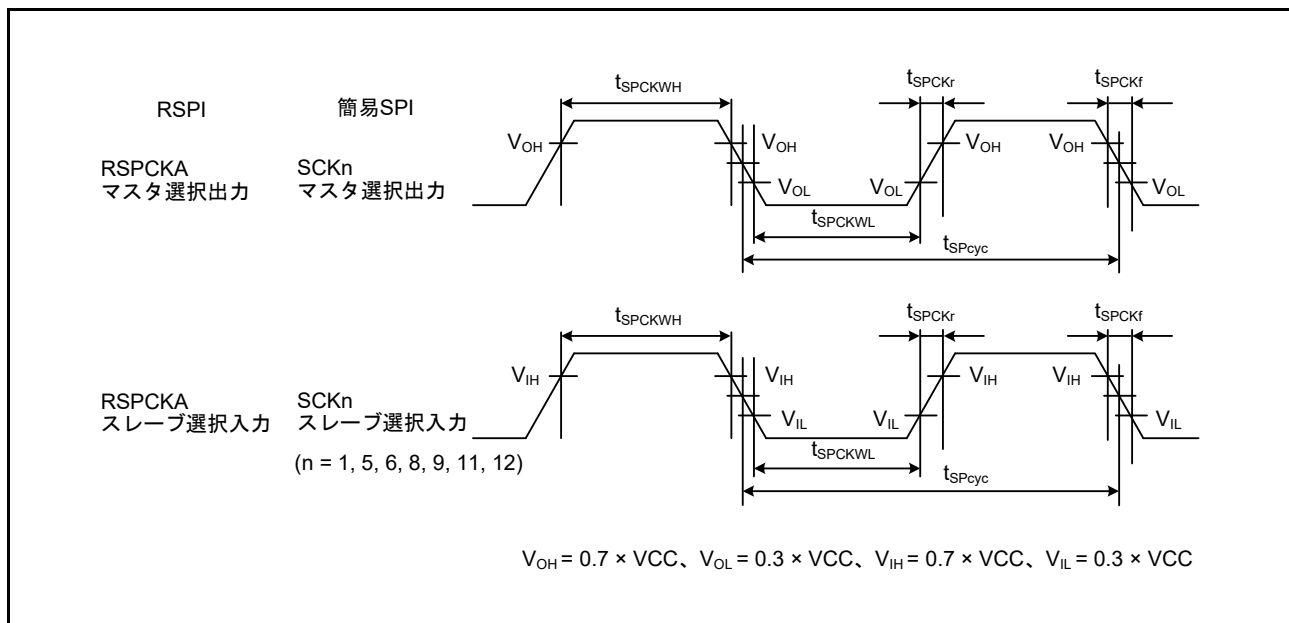


図 5.47 RSPI クロックタイミング／簡易 SPI クロックタイミング

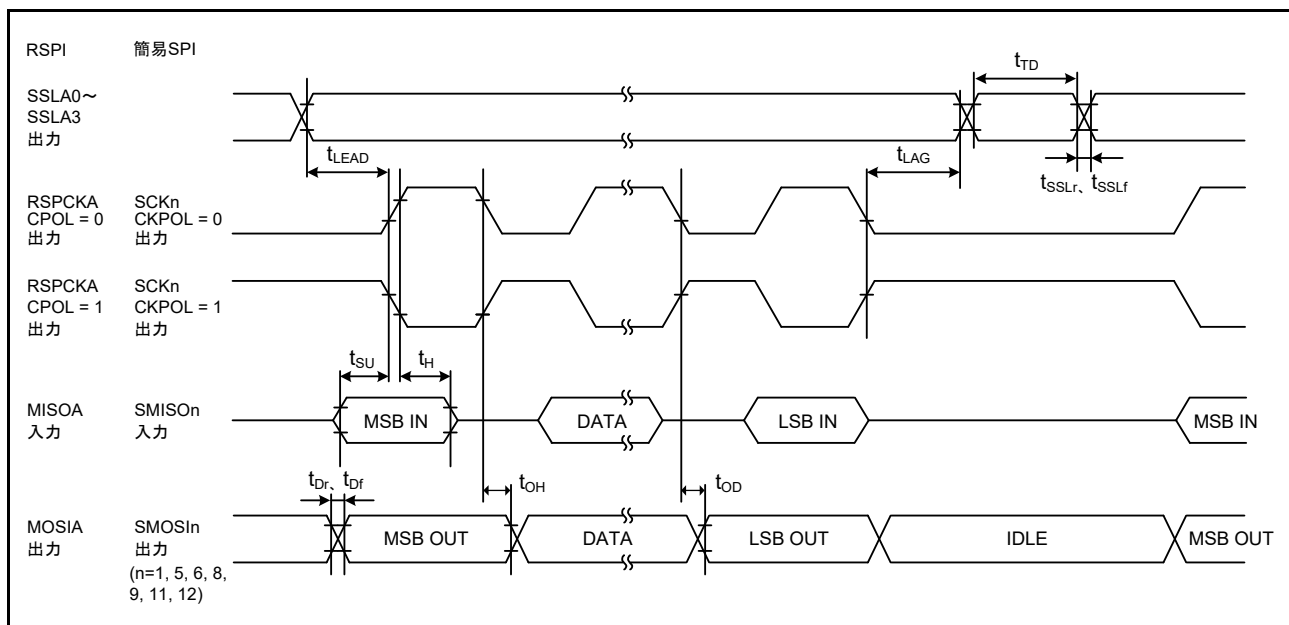


図 5.48 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

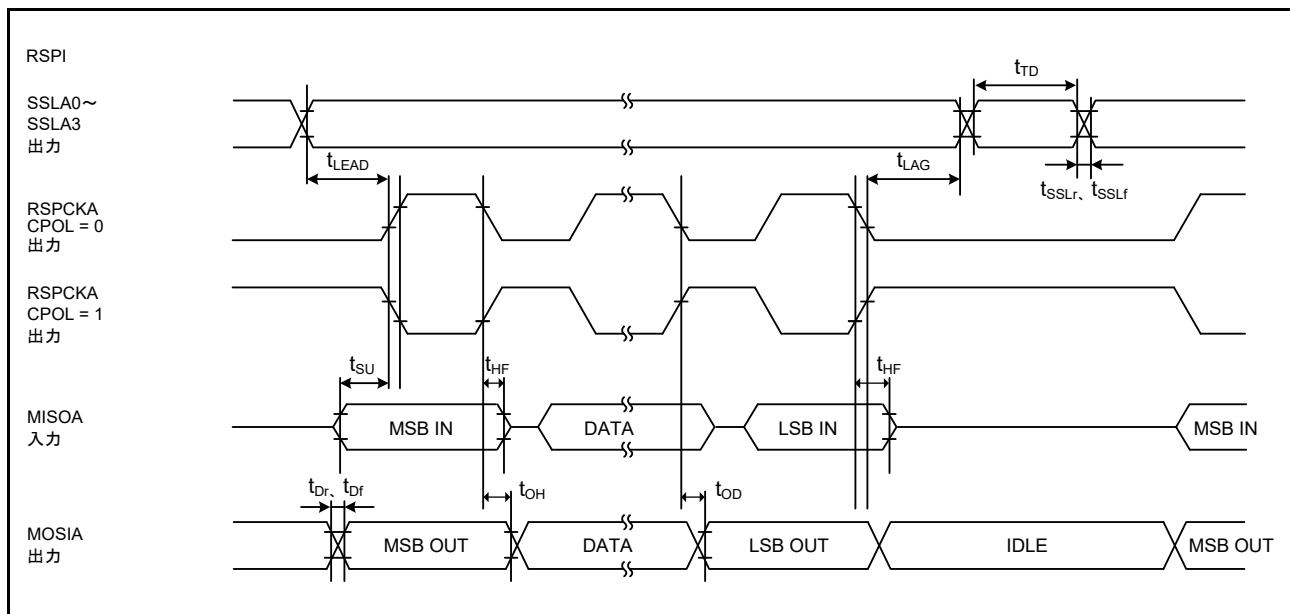


図 5.49 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

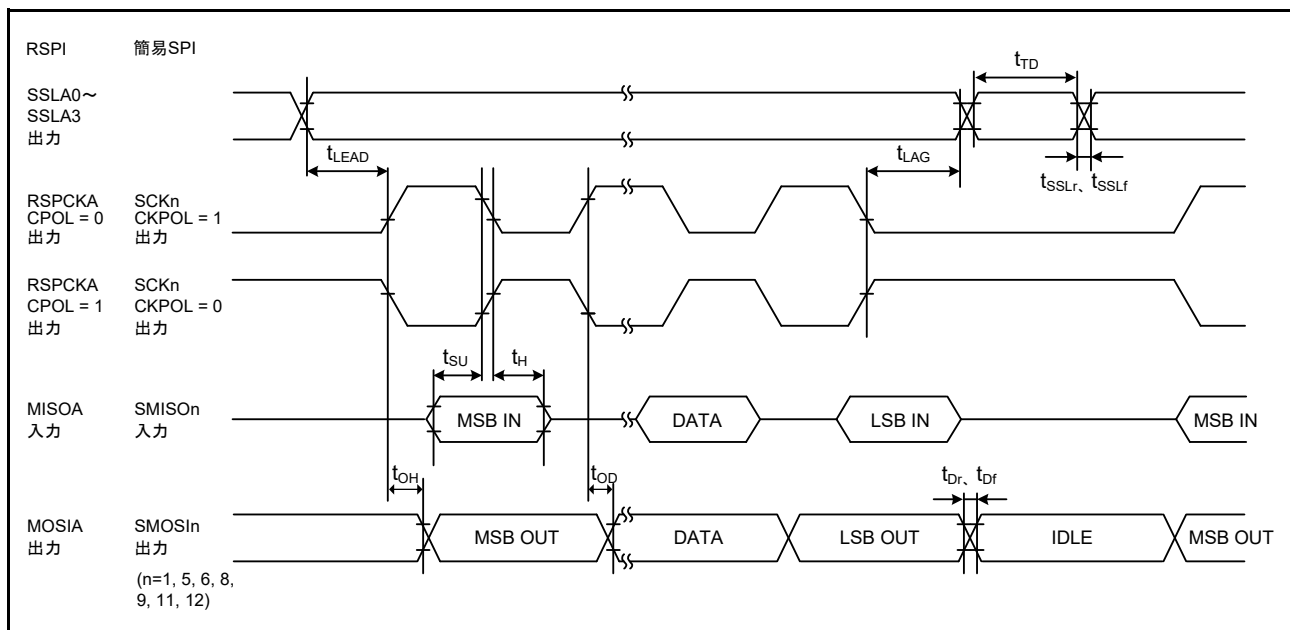


図 5.50 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

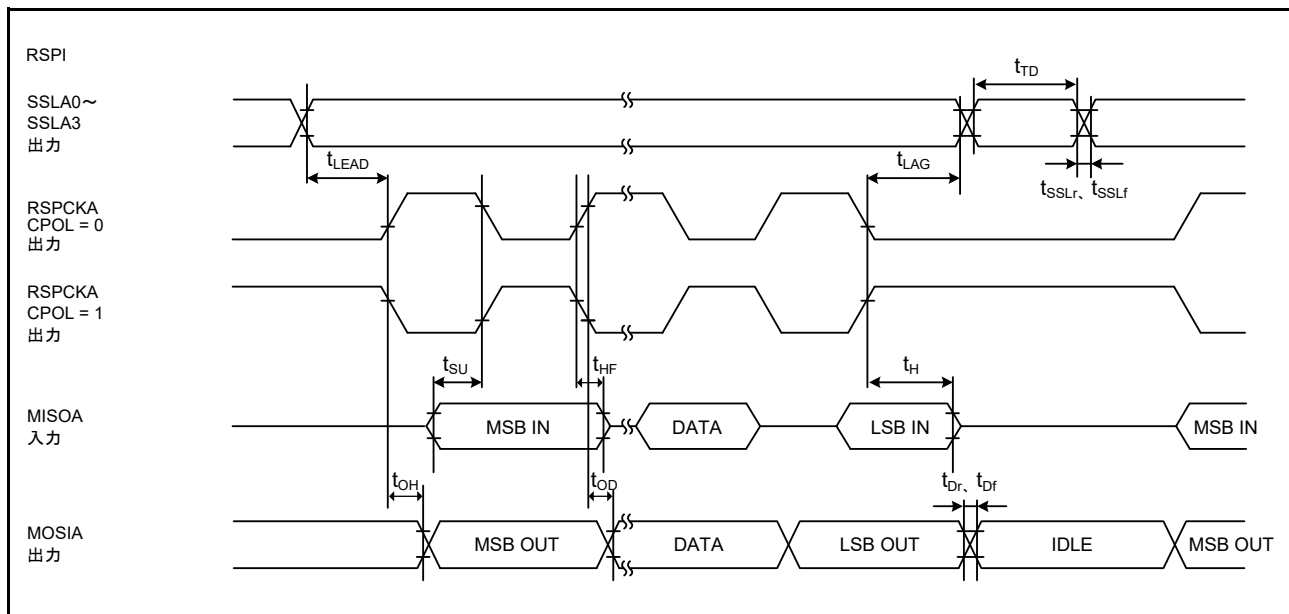


図 5.51 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

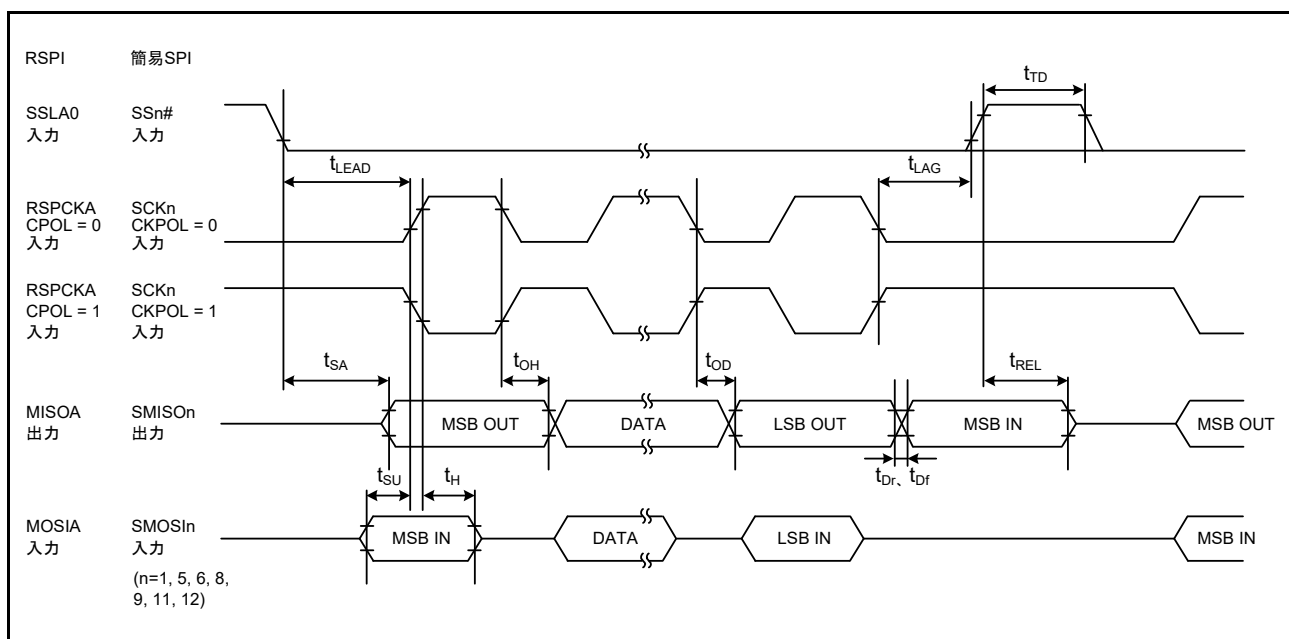


図 5.52 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

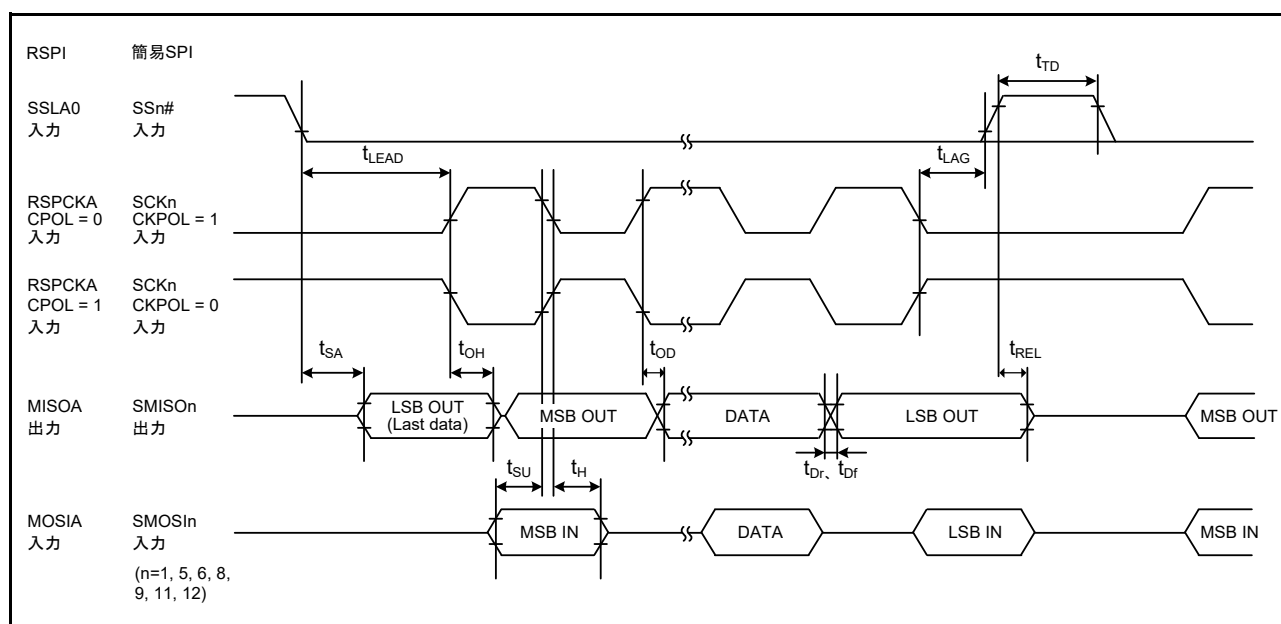


図 5.53 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI タイミング (スレーブ、CKPH = 0)

表5.36 RIIC タイミング

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8 ~ 200MHz, PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, PCLKC = 8 ~ 200MHz, BCLK = 8 ~ 60MHz,

駆動能力制御レジスタは高駆動出力を選択(P53 ~ P55、P60 ~ P65以外)

項目		記号 (注2)	min (注1)	max (注1)	単位	測定条件 (注3)
RIIC (Standard-mode, SMBus)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 1300	—	ns	図5.54
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—		
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—		
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000		
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300		
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}		
	SDA入力バスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—		
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—		
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—		
	停止条件入力セットアップ時間	t _{STOS}	1000	—		
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—		
	データ入力ホールド時間	t _{SDAH}	0	—		
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 600	—	ns	
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—		
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—		
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 × (外付け プルアップ電圧 / 5.5V)	300		
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 × (外付け プルアップ電圧 / 5.5V)	300		
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}		
	SDA入力バスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—		
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—		
	再送開始条件入力セットアップ時間	t _{STAS}	300	—		
	停止条件入力セットアップ時間	t _{STOS}	300	—		
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—		
	データ入力ホールド時間	t _{SDAH}	0	—		
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IIcCyc}: RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

注3. VCC ≥ 4.5V のとき、VOLSR.RICVLS = 0

VCC < 4.5V のとき、VOLSR.RICVLS = 1

表5.37 簡易IICタイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$, $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目	記号 (注1)	min	max (注2)	単位	測定条件
簡易IIC (Standard-mode)	SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns 図 5.54
	SSDA入力立ち下がり時間	t_{Sf}	—	300	
	SSCL, SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	
	データ入力セットアップ時間	t_{SDAS}	250	—	
	データ入力ホールド時間	t_{SDAH}	0	—	
	SSCL, SSDAの容量性負荷	C_b	—	400	
簡易IIC (Fast-mode)	SSDA入力立ち上がり時間	t_{Sr}	—	300	ns
	SSDA入力立ち下がり時間	t_{Sf}	—	300	
	SSCL, SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	
	データ入力セットアップ時間	t_{SDAS}	100	—	
	データ入力ホールド時間	t_{SDAH}	0	—	
	SSCL, SSDAの容量性負荷	C_b	—	400	

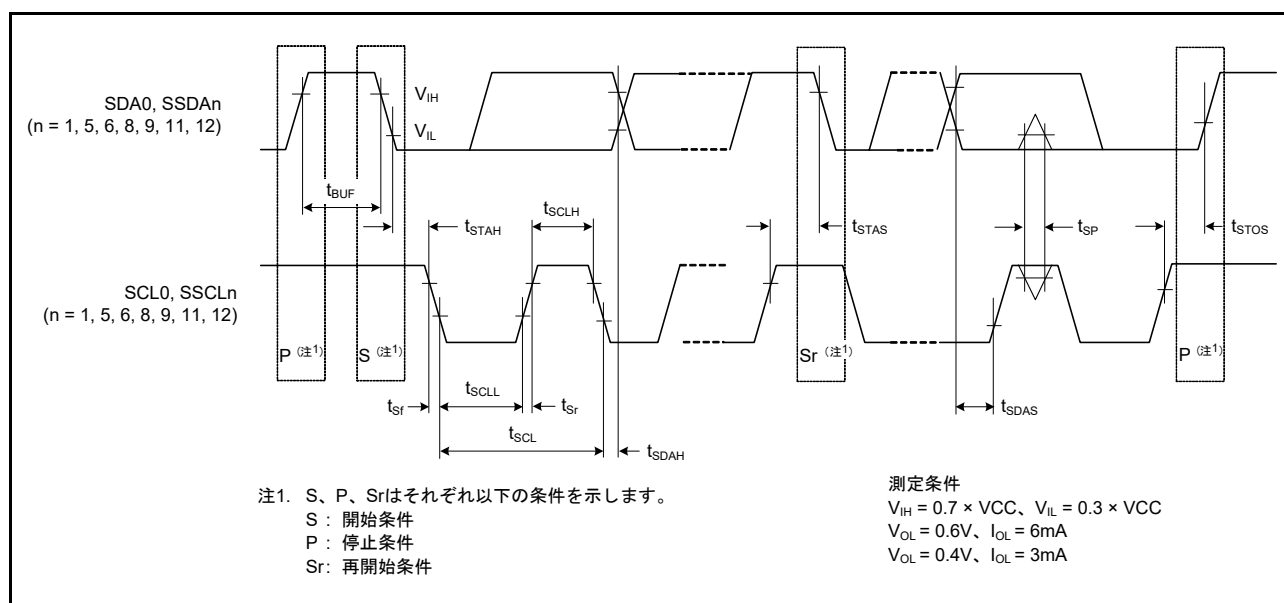
注1. C_b はバスラインの容量総計です。注2. t_{Pcyc} : SCI11はPCLKAの周期、SCI1、5、6、8、9、12はPCLKBの周期です。

図 5.54 RIIC バスインタフェース入出力タイミング／簡易 IIC バスインタフェース入出力タイミング

表5.38 HRPWMタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$, $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$, $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目	min	typ	max	単位	測定条件
入力周波数(f_{IN})	80	—	160	MHz	
分解能	—	195	—	ps	$f_{IN} = 160MHz$ 時
DNL (注1)	—	± 2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

5.5 USB 特性

表 5.39 USB ロースピード (Hostのみ) 特性 (DP、DM 端子特性)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 3.0 \sim 3.6V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$

項目	記号	min	max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	V
	入力 Low レベル電圧	V_{IL}	—	0.8	V
	差動入力感度	V_{DI}	0.2	—	V
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V
出力特性	出力 High レベル電圧	V_{OH}	2.8	3.6	V
	出力 Low レベル電圧	V_{OL}	0.0	0.3	V
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V
	立ち上がり時間	t_{LR}	75	300	ns
	立ち下がり時間	t_{LF}	75	300	ns
	立ち上がり/立ち下がり時間比	t_{LR} / t_{LF}	80	125	%
プルダウン特性	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	24.80	k Ω

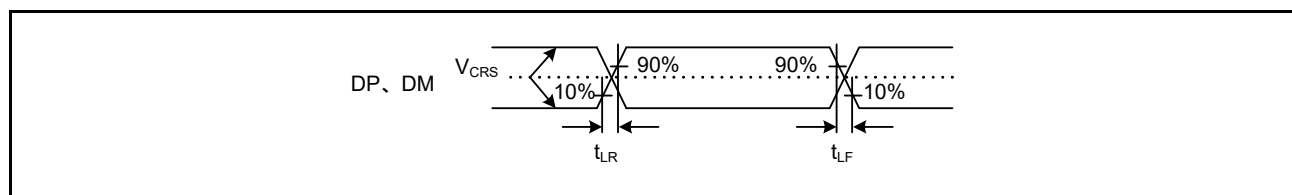


図 5.55 DP、DM 出力タイミング (ロースピード時)

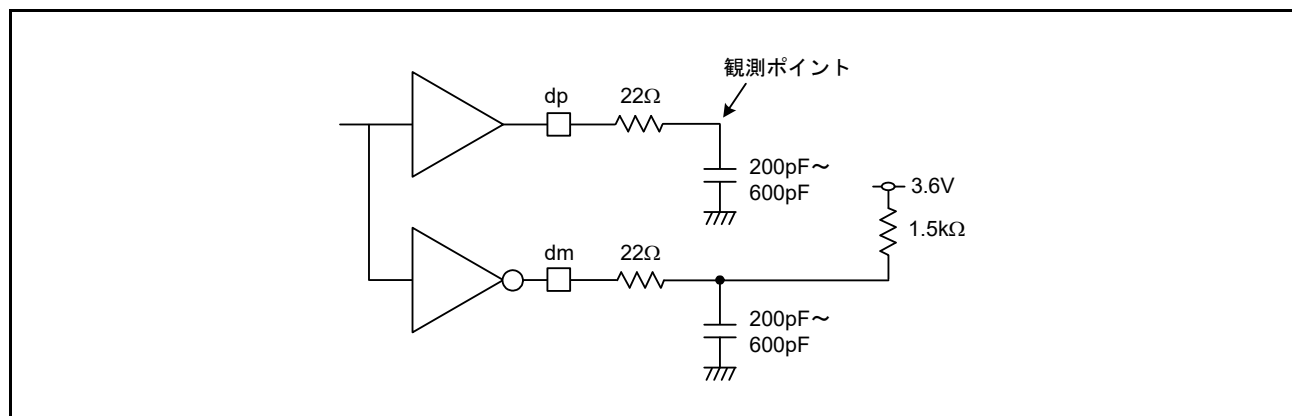


図 5.56 測定回路 (ロースピード時)

表 5.40 USB フルスピード特性 (DP、DM 端子特性)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 3.0 \sim 3.6V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$

項目		記号	min	max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	V	
	入力 Low レベル電圧	V_{IL}	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	V	DP – DM
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V	
出力特性	出力 High レベル電圧	V_{OH}	2.8	3.6	V	$I_{OH} = -200\mu A$
	出力 Low レベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図 5.57
	立ち上がり時間	t_{FR}	4	20	ns	
	立ち下がり時間	t_{FF}	4	20	ns	
	立ち上がり/立ち下がり時間比	t_{FR} / t_{FF}	90	111.11	%	t_{FR} / t_{FF}
	出力抵抗	Z_{DRV}	28	44	Ω	$R_s = 22\Omega$ 含む
プリアップ、 プルダウン特性	DP プリアップ抵抗 (ファンクション選択時)	R_{pu}	0.900	1.575	k Ω	アイドル時
			1.425	3.09	k Ω	送受信時
	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	24.8	k Ω	

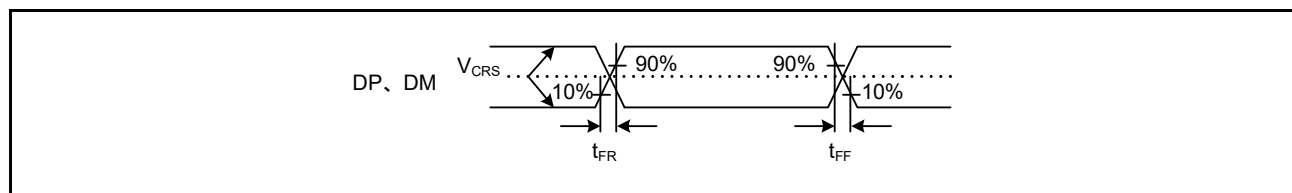


図 5.57 DP、DM 出力タイミング (フルスピード時)

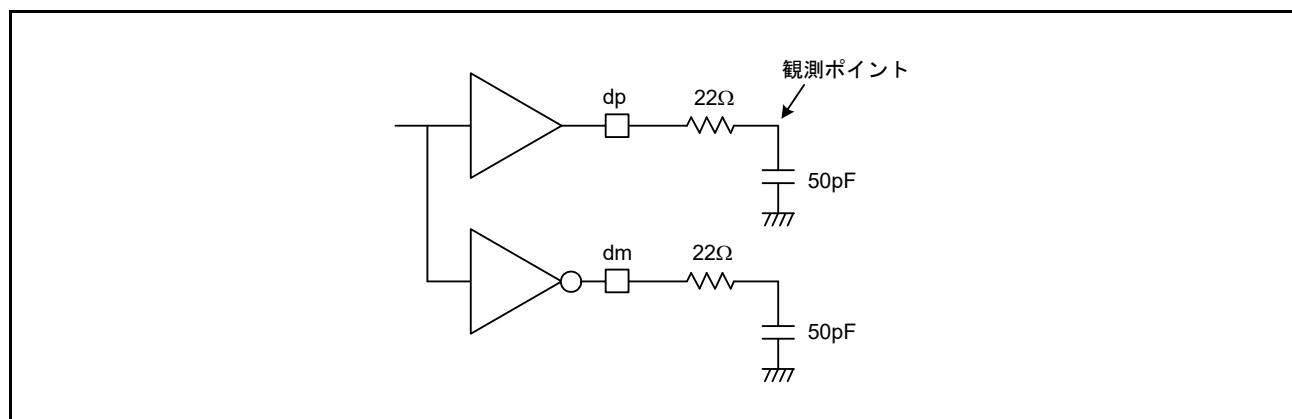


図 5.58 測定回路 (フルスピード時)

5.6 A/D 変換特性

表5.41 12ビットA/D (ユニット0, 1, 2)変換特性(1)

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, $4.5 \leq AVCC0 = AVCC1 = AVCC2 \leq 5.5V$,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8 ~ 60MHz (注1),
信号源インピーダンス = 1.0 k Ω

項目				min	typ	max	単位	測定条件
分解能				12	12	12	ビット	
アナログ入力容量				—	—	30	pF	
変換時間 (注2) (PCLKD = 60MHz 時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用 サンプル& ホールド回路 使用時	常時サンプリ ング有効	1.00	—	—	μs	● サンプルング時間 24 PCLKD
			常時サンプリ ング無効	1.40	—	—		● チャンネル専用サンプル&ホー ルド回路のサンプルング時間 24 PCLKD
		チャンネル専用サンプル&ホー ルド回路不使用時		0.90	—	—		● サンプルング時間 30 PCLKD
	AN003 ~ AN006, AN103 ~ AN106			0.90	—	—		● サンプルング時間 30 PCLKD
	AN007, AN107, AN200 ~ AN211			0.95	—	—		● サンプルング時間 33 PCLKD
	AN216 ~ AN217			1.05	—	—		● サンプルング時間 39 PCLKD
	オフセット誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.5	±6.0		LSB
チャンネル専用サンプル&ホー ルド回路不使用時			—	±1.5	±5.0			
フルスケール誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.5	±5.5	AN000 ~ AN002 = AVCC0 - 0.2V AN100 ~ AN102 = AVCC1 - 0.2V		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±1.5	±4.5			
量子化誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±0.5	—			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±0.5	—			
絶対精度	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時	—	±3.0	±6.0			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±2.5	±5.5			
	AN003 ~ AN007, AN103 ~ AN107			—	±2.5	±5.5		
	AN200 ~ AN211			—	±2.5	±5.5		
	AN216 ~ AN217			—	±2.5	±6.5		
DNL 微分非直線性誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.0	±2.5	μs		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±1.0	±1.5			
INL 積分非直線性誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.5	±4.0			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±1.5	±2.5			
チャンネル専用サンプル&ホールド回路のホールド特性				—	—	20	μs	
ダイナミックレ ンジ	AN000 ~ AN002	チャンネル専用サンプル&ホー ルド回路使用時	0.2	—	AVCC0 - 0.2	V		
	AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時	0.2	—	AVCC1 - 0.2			

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. PCLKD > 40 MHzの場合、AVCC0-AVSS0間、AVCC1-AVSS1間、AVCC2-AVSS2間に挿入している0.1 μ Fのコンデンサに、0.01 μ Fのコンデンサを並列に接続して測定しています。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表5.42 12ビットA/D (ユニット0, 1, 2)変換特性(2)

条件 : $V_{CC} = 2.7 \sim 4.5V$, $V_{CC_USB} = 2.7 \sim 4.5V$, $3.0 \leq AV_{CC0} = AV_{CC1} = AV_{CC2} < 4.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 40MHz$,
 信号源インピーダンス = 1.0 k Ω

項目				min	typ	max	単位	測定条件
分解能				12	12	12	ビット	
アナログ入力容量				—	—	30	pF	
変換時間 (注1) (PCLKD = 40MHz 時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用 サンプル& ホールド回路 使用時	常時サンプリ ング有効	1.35	—	—	μs	● サンプルング時間 18 PCLKD
			常時サンプリ ング無効	1.80	—	—		● チャンネル専用サンプル&ホー ルド回路のサンプルング時間 18 PCLKD
		チャンネル専用サンプル&ホー ルド回路不使用時		1.13	—	—		● サンプルング時間 21 PCLKD
	AN003 ~ AN006, AN103 ~ AN106			1.13	—	—		● サンプルング時間 21 PCLKD
	AN007, AN107, AN200 ~ AN211			1.20	—	—		● サンプルング時間 24 PCLKD
	AN216 ~ AN217			1.28	—	—		● サンプルング時間 27 PCLKD
	オフセット誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.5	±7.5		LSB
チャンネル専用サンプル&ホー ルド回路不使用時			—	±1.5	±6.5			
フルスケール誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.5	±7.5	AN000 ~ AN002 = AVCC0 - 0.2V AN100 ~ AN102 = AVCC1 - 0.2V		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±1.5	±6.5			
量子化誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±0.5	—			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±0.5	—			
絶対精度	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時	—	±4.0	±8.0			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±2.5	±7.0			
	AN003 ~ AN007, AN103 ~ AN107			—	±2.5	±7.0		
	AN200 ~ AN211			—	±2.5	±7.0		
	AN216 ~ AN217			—	±2.5	±8.0		
DNL 微分非直線性誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±1.0	±4.5			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±1.0	±3.5			
INL 積分非直線性誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	±2.0	±5.0			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	±1.5	±3.5			
チャンネル専用サンプル&ホールド回路のホールド特性				—	—	20	μs	
ダイナミックレ ンジ	AN000 ~ AN002	チャンネル専用サンプル&ホー ルド回路使用時		0.2	—	AVCC0 - 0.2	V	
	AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時		0.2	—	AVCC1 - 0.2		

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表 5.43 A/D 内部基準電圧特性

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 60MHz$

項目	min	typ	max	単位	測定条件
A/D 内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

5.7 プログラマブルゲインアンプ特性

表5.44 PGA特性 (シングルエンド入力時)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	3	8	mV	
シングルエンド入力電圧範囲	V_{ISR}	$V_{OSR(min)}/G$	—	$V_{OSR(max)}/G$	V	
出力電圧範囲	V_{OR}	$0.10 \times AVCCn$	—	$0.90 \times AVCCn$		G = 2.000 ~ 3.636
		$0.15 \times AVCCn$	—	$0.85 \times AVCCn$		G = 4.000 ~ 6.667
		$0.20 \times AVCCn$	—	$0.80 \times AVCCn$		G = 8.000 ~ 20.000
ゲイン	G	2.000	—	20.000	倍	
ゲインエラー	E_G	—	± 0.5	± 2.0	%	G = 2.000
		—	± 0.5	± 2.0		G = 2.500
		—	± 0.5	± 2.0		G = 3.077
		—	± 0.5	± 2.0		G = 3.636
		—	± 0.6	± 2.0		G = 4.000
		—	± 0.6	± 2.0		G = 4.444
		—	± 0.7	± 2.0		G = 5.000
		—	± 0.7	± 3.0		G = 6.667
		—	± 0.7	± 3.0		G = 8.000
		—	± 0.7	± 4.0		G = 10.000
		—	± 1.1	± 4.0		G = 13.333
		—	± 1.3	± 4.0		G = 20.000
スルーレート	SR	10	—	—	V/ μ s	
動作安定時間	t_{start}	—	—	5	μ s	

n = 0, 1

表5.45 PGA特性 (疑似差動入力時)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件 (注1)
入力オフセット電圧	V_{IO}	—	10	20	mV	
差動入力電圧範囲	V_{IDR}	$-0.28 \times AVCCn / G$	—	$0.28 \times AVCCn / G$	V	
出力電圧範囲	V_{OR}	$0.22 \times AVCC$	—	$0.78 \times AVCC$		
入力電圧範囲(PGAVSS)	$V_{I(PGAVSS)}$	-0.5	—	0.3		
ゲインエラー	E_G	—	± 0.5	± 2.0	%	G = 1.500
		—	± 0.5	± 2.0		G = 4.000
		—	± 0.8	± 3.0		G = 7.000
		—	± 1.2	± 4.0		G = 12.333
スルーレート	SR	10	—	—	V/ μ s	
動作安定時間	t_{start}	—	—	5	μ s	

n = 0, 1

注1. $AVCC0 = AVCC1 = AVCC2 \geq 4.0V$ のとき、VOLSR.PGAVLS = 0
 $AVCC0 = AVCC1 = AVCC2 < 4.0V$ のとき、VOLSR.PGAVLS = 1

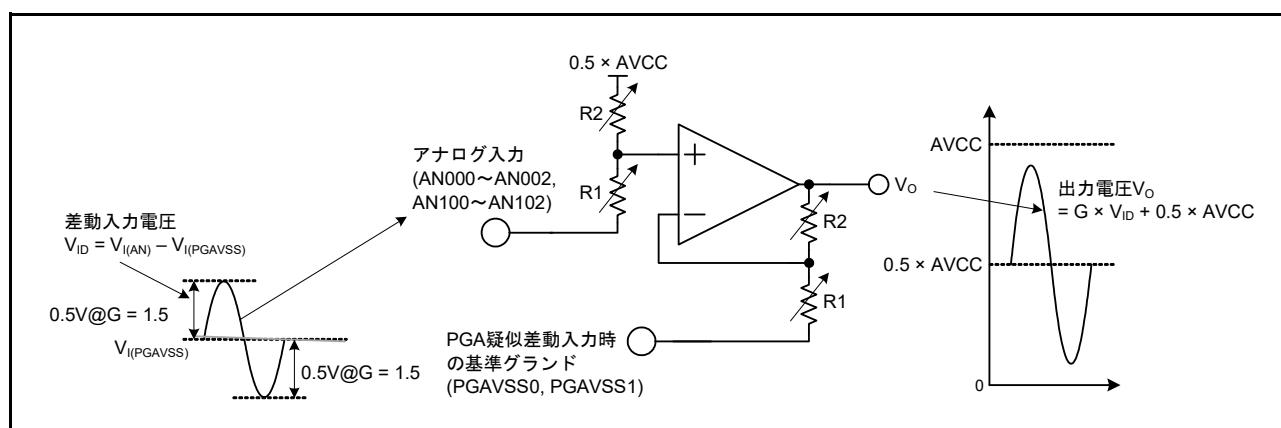


図 5.59 PGA 疑似差動設定時入出力信号レベル

5.8 コンパレータ特性

表5.46 コンパレータ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	8	40	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	AVCC1	V	CMPSEL1.CVRS[3:0] = 0100b, 1000b
		0	—	AVCC2		CMPSEL1.CVRS[3:0] = 0001b, 0010b
応答時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	$t_{tot(f)}$	—	—	200		
入力切り替え時の安定待ち時間	t_{cwait}	300	—	—		
動作安定時間	t_{cmp}	—	—	1	μs	

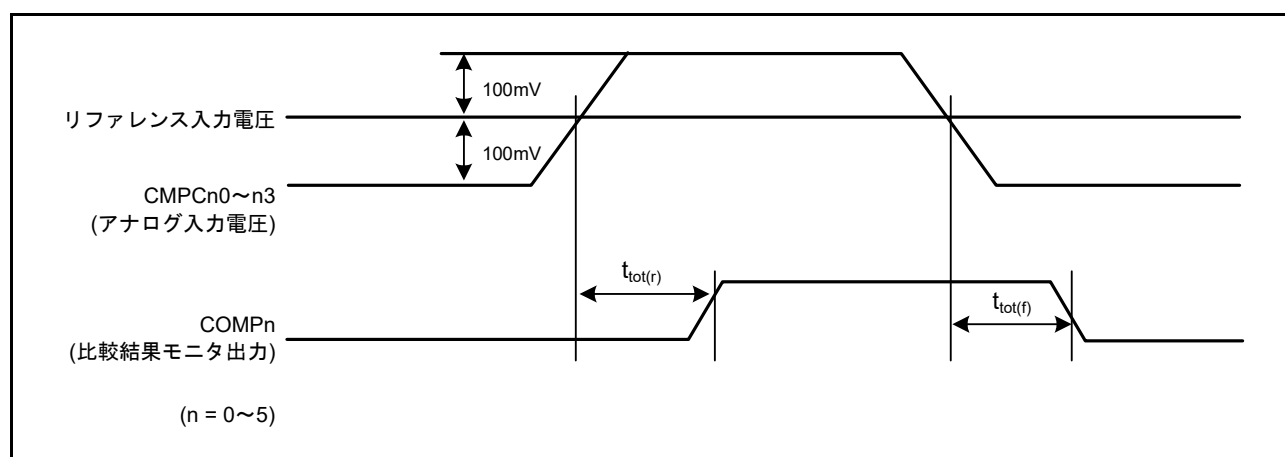


図 5.60 コンパレータ応答時間

5.9 D/A 変換特性

表 5.47 D/A 変換特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	± 6.0	LSB	負荷抵抗 $2M\Omega$ 、10 ビット換算
微分非直線性誤差 (DNL)	—	± 1.0	± 2.0	LSB	負荷抵抗 $2M\Omega$
出力抵抗 (R_O)	—	5.7	—	$k\Omega$	
変換時間	—	—	3	μs	負荷容量 $20pF$

5.10 温度センサ特性

表 5.48 温度センサ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $PCLKB = PCLKD = 8 \sim 60MHz$

項目	min	typ	max	単位	測定条件
相対精度	—	± 1.0	—	$^{\circ}C$	
温度傾斜	—	-2.0	—	$mV/^{\circ}C$	
出力電位	—	0.63	—	V	$T_a = 25^{\circ}C$
温度センサ起動時間	—	—	200	μs	
サンプリング時間 (注1)	3	—	—	μs	

注1. 12ビット A/D コンバータのサンプリング時間が本規格を満たすように S12AD2.ADSSTRT レジスタを設定してください。

5.11 パワーオンリセット回路、電圧検出回路特性

表5.49 パワーオンリセット回路、電圧検出回路特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	2.46	2.58	2.70	V	図 5.61
	電圧検出回路(LVD0)	V _{det0_1}	4.04	4.22	4.40		図 5.62
		V _{det0_2}	2.71	2.83	2.95		
	電圧検出回路(LVD1)	V _{det1_0}	4.39	4.57	4.75		図 5.63
		V _{det1_1}	4.29	4.47	4.65		
		V _{det1_2}	4.14	4.32	4.50		
		V _{det1_3}	2.81	2.93	3.05		
		V _{det1_4}	2.76	2.88	3.00		
		電圧検出回路(LVD2)	V _{det2_0}	4.39	4.57		
	V _{det2_1}		4.29	4.47	4.65		
	V _{det2_2}		4.14	4.32	4.50		
	V _{det2_3}		2.81	2.93	3.05		
	V _{det2_4}		2.76	2.88	3.00		
内部リセット時間	パワーオンリセット時間	t _{POR}	—	13.7	—	ms	図 5.61
	LVD0 リセット時間	t _{LVD0}	—	0.70	—		図 5.62
	LVD1 リセット時間	t _{LVD1}	—	0.57	—		図 5.63
	LVD2 リセット時間	t _{LVD2}	—	0.57	—		図 5.64
最小VCC低下時間		t _{VOFF}	200	—	—	μs	図 5.61、 図 5.62
応答遅延時間		t _{det}	—	—	200	μs	図 5.61 ~ 図 5.64
LVD動作安定時間(LVD有効切り替え時)		T _{d(E-A)}	—	—	20	μs	図 5.63、 図 5.64
ヒステリシス幅(LVD1, LVD2)		V _{LVH}	—	80	—	mV	

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} , V_{det1} , V_{det2} のmin値を下回っている時間です。

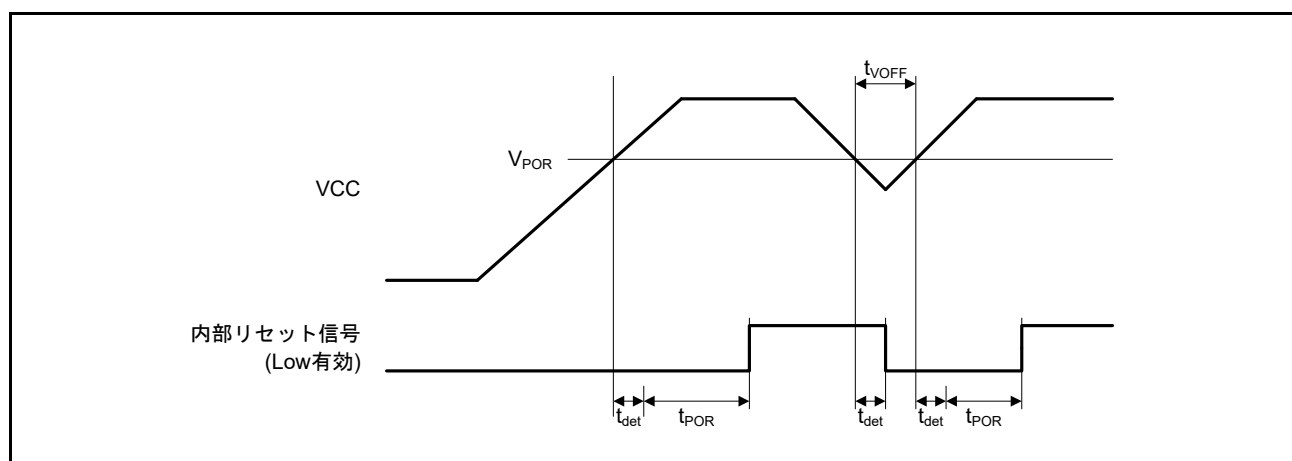
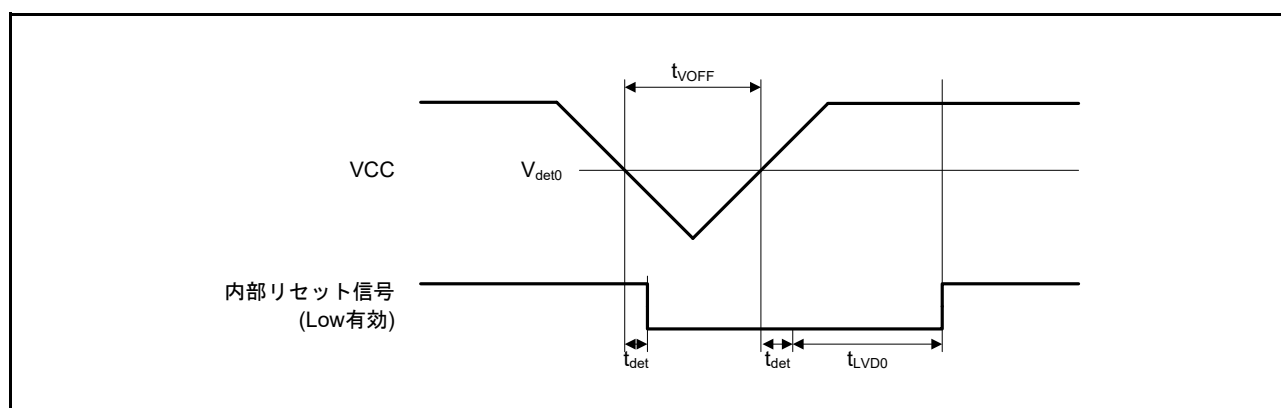
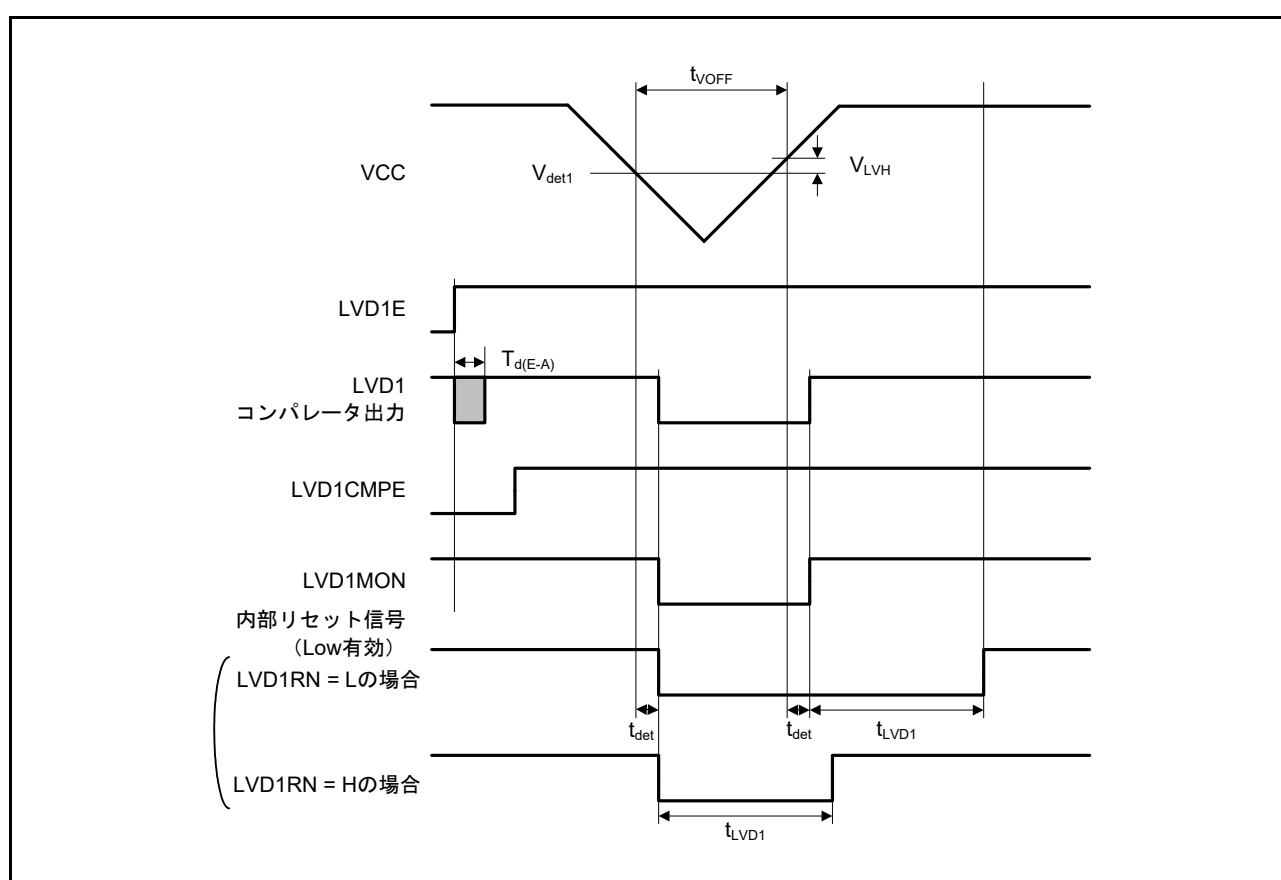
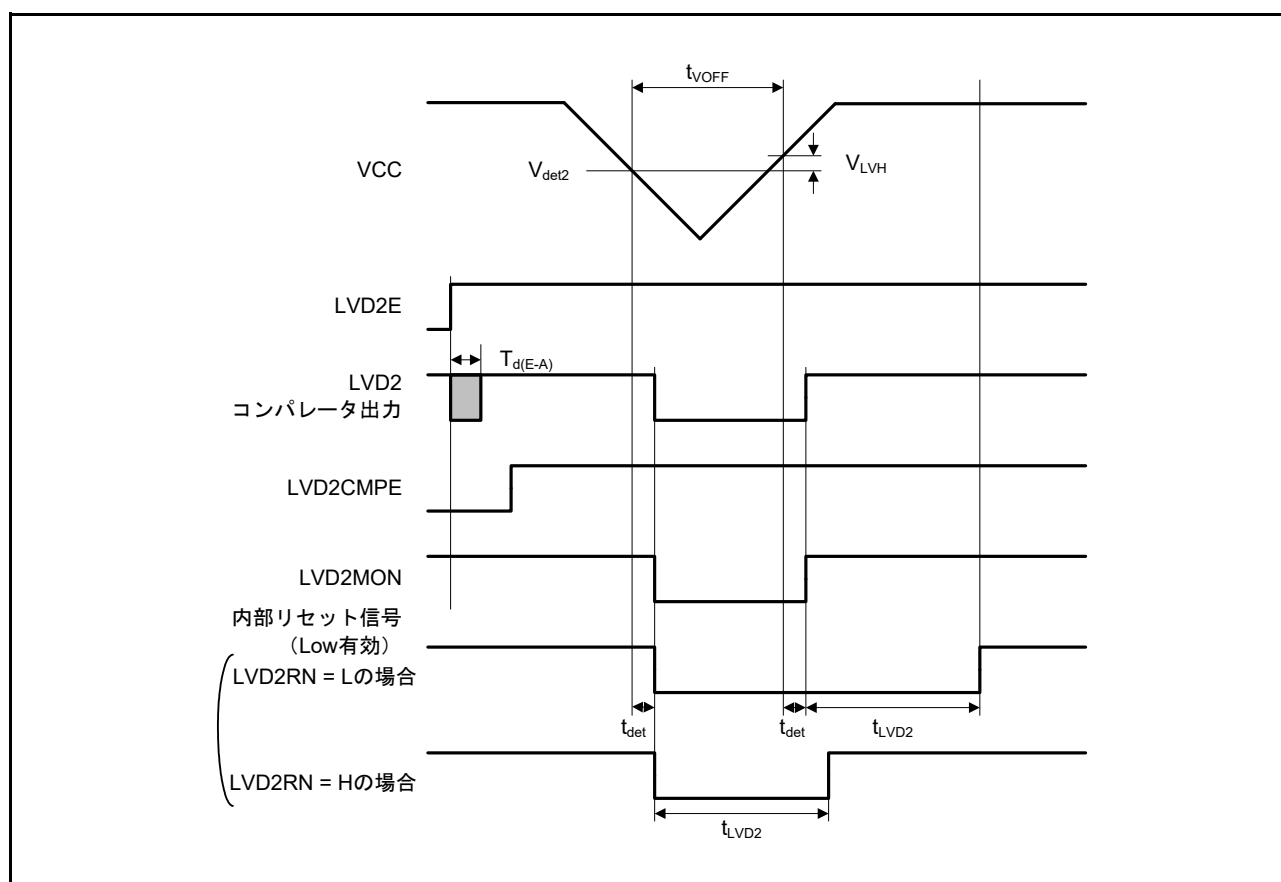


図 5.61 パワーオンリセットタイミング

図 5.62 電圧検出回路タイミング (V_{det0})図 5.63 電圧検出回路タイミング (V_{det1})

図 5.64 電圧検出回路タイミング (V_{det2})

5.12 発振停止検出タイミング

表 5.50 発振停止検出回路特性
条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 5.65

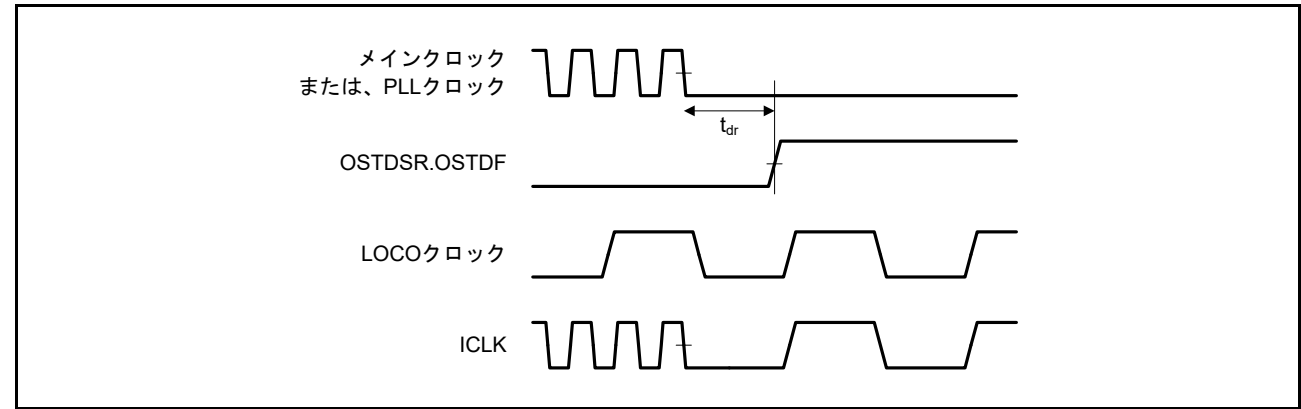


図 5.65 発振停止検出タイミング

5.13 フラッシュメモリ特性

表5.51 コードフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 ($N_{PEC} \leq 100$)	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms
	8Kバイト	t_{P8K}	—	29	176	—	13	80	
	32Kバイト	t_{P32K}	—	116	704	—	52	320	
プログラム時間 ($N_{PEC} > 100$)	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2	
	8Kバイト	t_{P8K}	—	35	212	—	16	96	
	32Kバイト	t_{P32K}	—	140	848	—	64	384	
イレーズ時間 ($N_{PEC} \leq 100$)	8Kバイト	t_{E8K}	—	71	216	—	39	120	
	32Kバイト	t_{E32K}	—	254	864	—	141	480	
イレーズ時間 ($N_{PEC} > 100$)	8Kバイト	t_{E8K}	—	85	260	—	47	144	
	32Kバイト	t_{E32K}	—	304	1040	—	169	576	
プログラム/イレーズ回数 (注1)	N_{PEC}		1000 (注2)	—	—	1000 (注2)	—	—	回
プログラムサスペンド遅延時間	t_{SPD}		—	—	264	—	—	120	μ s
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}		—	—	216	—	—	120	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}		—	—	1.7	—	—	1.7	ms
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}		—	—	1.7	—	—	1.7	
強制終了コマンド	t_{FD}		—	—	32	—	—	20	μ s
データ保持時間 (注3)	t_{DRP}		10	—	—	10	—	—	年

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、8Kバイトのブロックについて、それぞれ異なる番地に256バイトプログラムを32回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. プログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

表5.52 データフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10	
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs
	64バイト	t_{DBC64}	—	—	280	—	—	100	
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2200	
プログラム/イレーズ回数 (注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回
プログラムサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μs
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300	
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300	
強制終了コマンド		t_{FD}	—	—	32	—	—	20	
データ保持時間 (注3)		t_{DDRP}	10	—	—	10	—	—	年

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. プログラム/イレーズ回数が規定の回数をを超えていない場合の特性です。

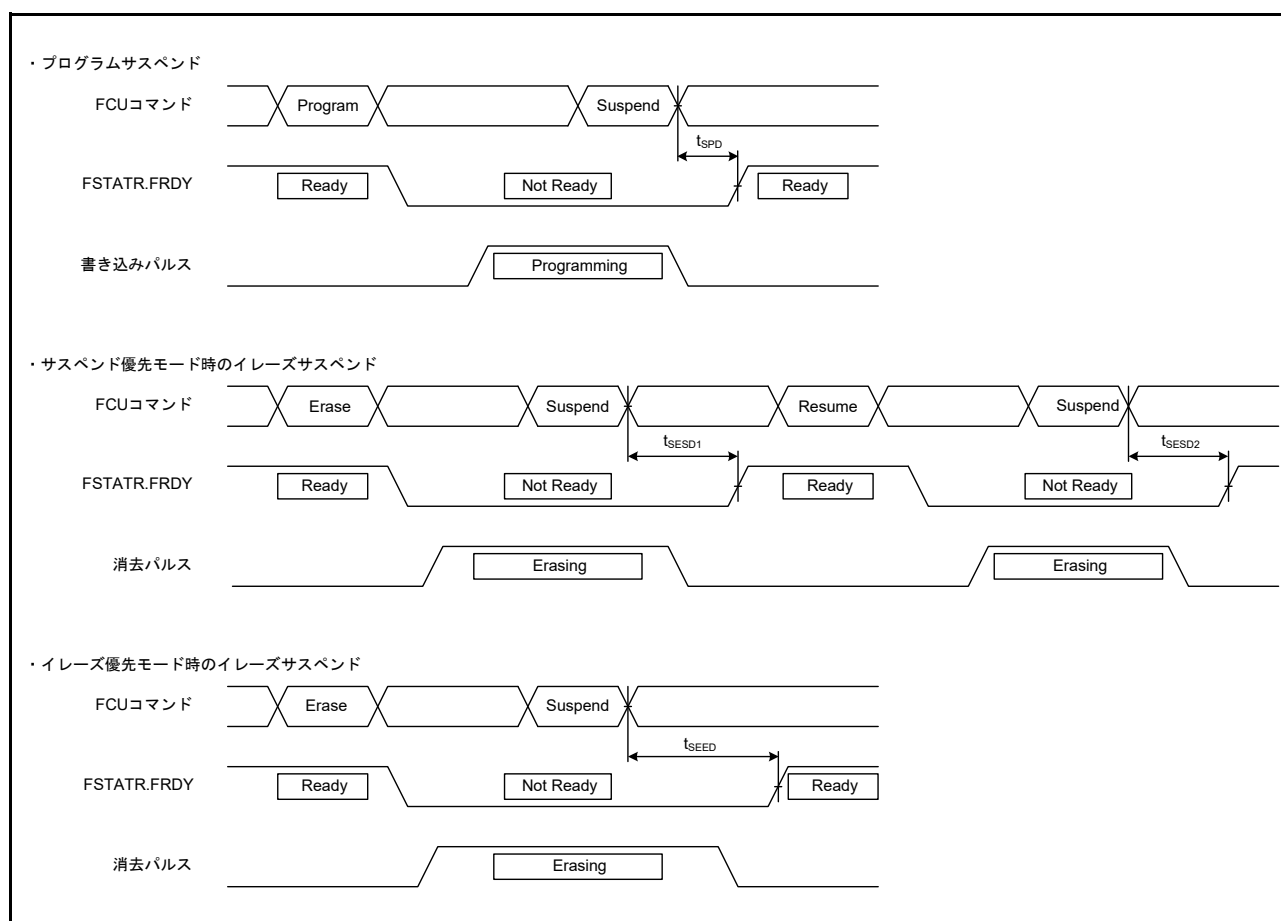


図 5.66 フラッシュメモリプログラム / イレースサスペンドタイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

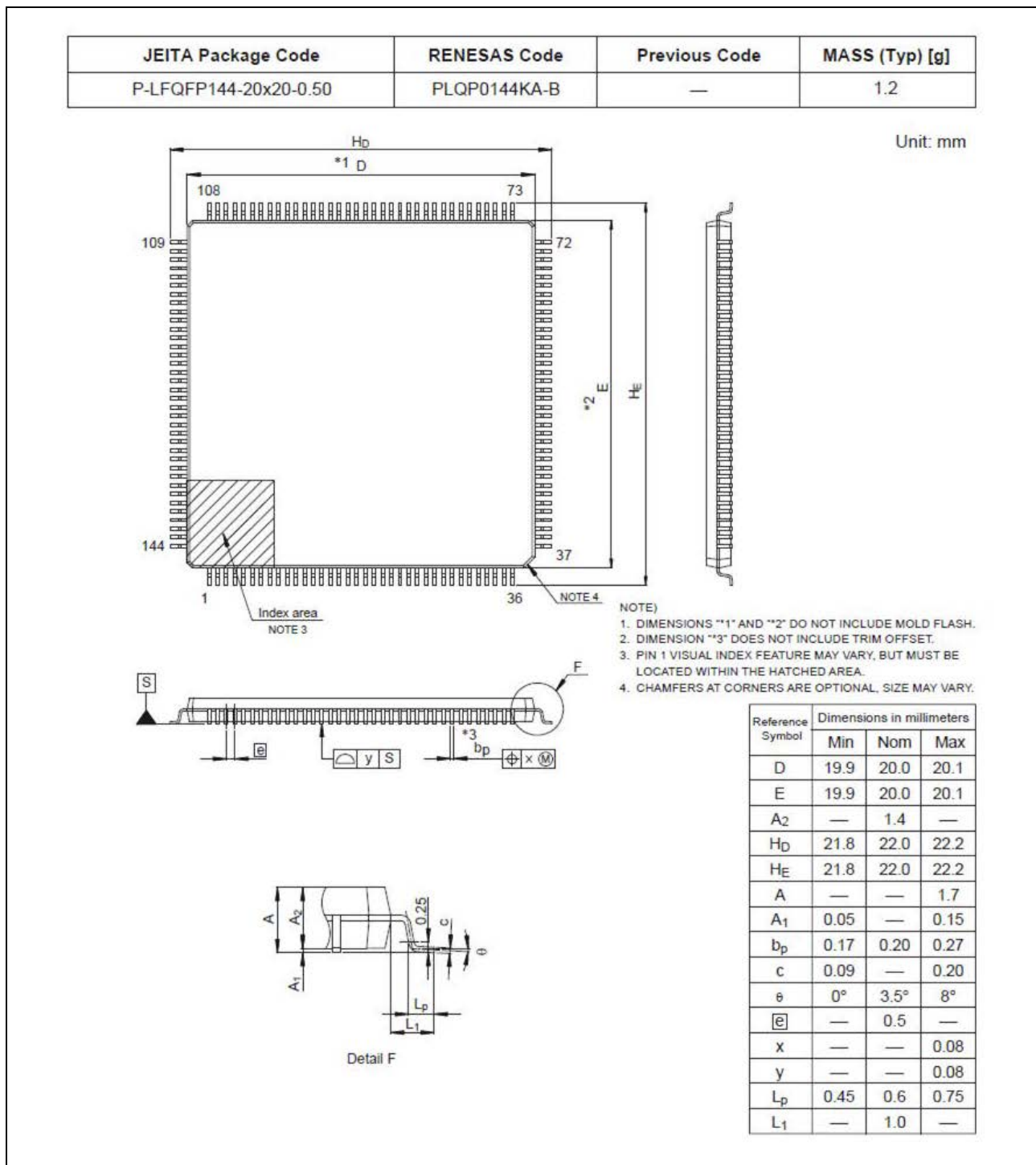


図 A. 144 ピン LFQFP (PLQP0144KA-B)

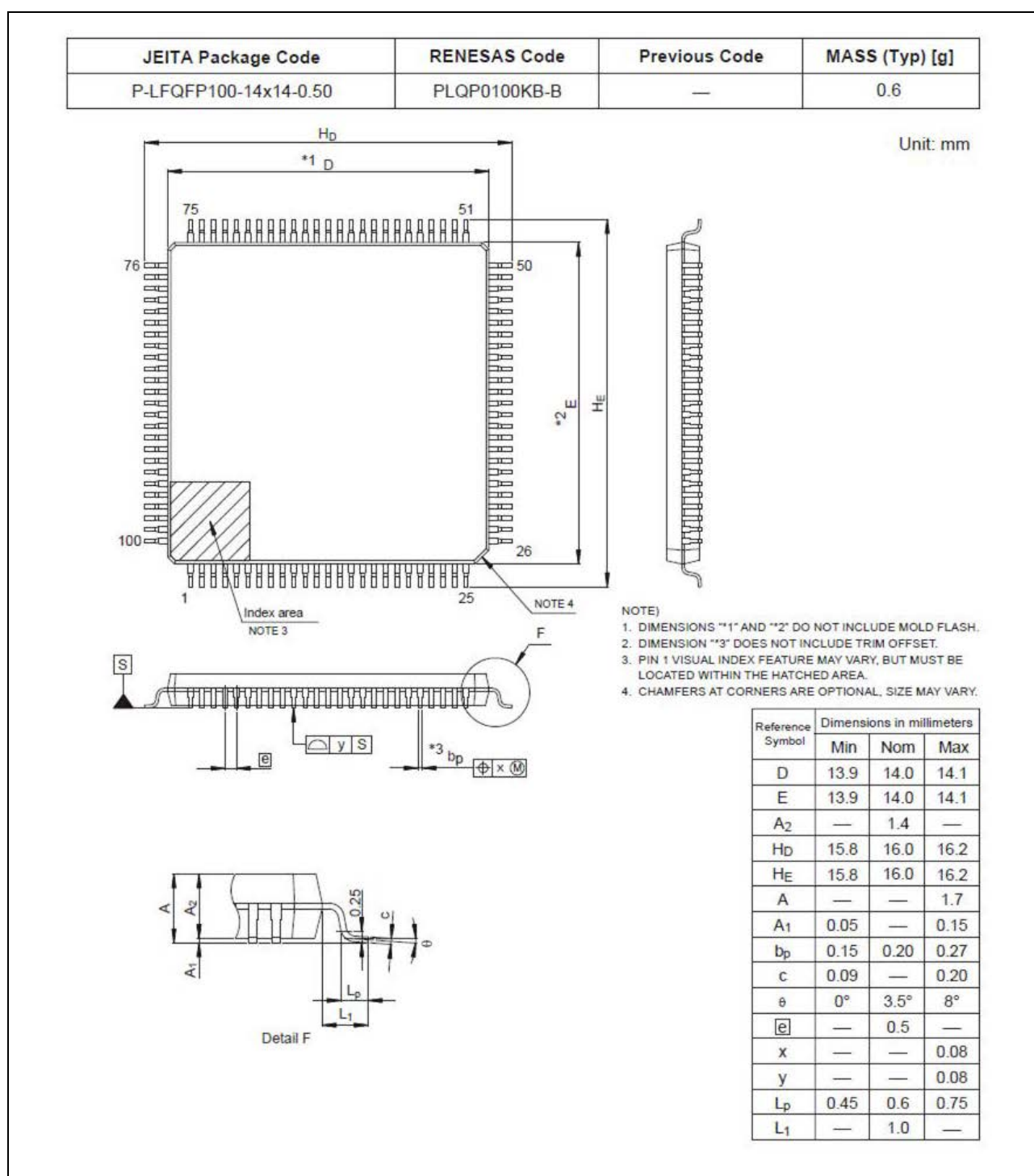


図 B. 100 ピン LFQFP (PLQP0100KB-B)

改訂記録	RX72T グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.02.08	—	初版発行	

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>