User's Manual

16

RL78/G13

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.3.10　2013.11

ご注意書き

1．本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。

2．本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

3．本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

4．当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。

5．当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準：　コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。

6．当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

7．当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。

8．当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。

9．本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。

10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。

11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

(2012.4)

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/G13の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

対象製品は，次に示す各製品です。

- 20ピン：R5F1006x（x = A, C, D, E）
  R5F1016x（x = A, C, D, E）
- 24ピン：R5F1007x（x = A, C, D, E）
  R5F1017x（x = A, C, D, E）
- 25ピン：R5F1008x（x = A, C, D, E）
  R5F1018x（x = A, C, D, E）
- 30ピン：R5F100Ax（x = A, C, D, E, F, G）
  R5F101Ax（x = A, C, D, E, F, G）
- 32ピン：R5F100Bx（x = A, C, D, E, F, G）
  R5F101Bx（x = A, C, D, E, F, G）
- 36ピン：R5F100Cx（x = A, C, D, E, F, G）
  R5F101Cx（x = A, C, D, E, F, G）
- 40ピン：R5F100Ex（x = A, C, D, E, F, G, H）
  R5F101Ex（x = A, C, D, E, F, G, H）
- 44ピン：R5F100Fx（x = A, C, D, E, F, G, H, J, K, L）
  R5F101Fx（x = A, C, D, E, F, G, H, J, K, L）
- 48ピン：R5F100Gx（x = A, C, D, E, F, G, H, J, K, L）
  R5F101Gx（x = A, C, D, E, F, G, H, J, K, L）
- 52ピン：R5F100Jx（x = C, D, E, F, G, H, J, K, L）
  R5F101Jx（x = C, D, E, F, G, H, J, K, L）
- 64ピン：R5F100Lx（x = C, D, E, F, G, H, J, K, L）
  R5F101Lx（x = C, D, E, F, G, H, J, K, L）
- 80ピン：R5F100Mx（x = F, G, H, J, K, L）
  R5F101Mx（x = F, G, H, J, K, L）
- 100ピン：R5F100Px（x = F, G, H, J, K, L）
  R5F101Px（x = F, G, H, J, K, L）
- 128ピン：R5F100Sx（x = H, J, K, L）
  R5F101Sx（x = H, J, K, L）

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/G13のマニュアルは，このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/G13 ユーザーズ・マニュアル ハードウェア編	RL78ファミリ ユーザーズ・マニュアル ソフトウェア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/G13マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡　　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：気をつけて読んでいただきたい内容
備考	：本文の補足説明
数の表記	：2進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/G13　ユーザーズ・マニュアル　ハードウェア編	このマニュアル	R01UH0146E
RL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資　料　名	資料番号	
	和　　文	英　　文
PG-FP5　フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注　「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文：http://japan.renesas.com/products/package/manual/index.jsp

英文：http://www.renesas.com/products/package/manual/index.jsp

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章　概　　説.....1

1. 1　**特　　徴**.....1
1. 2　**型名一覧**.....4
1. 3　**端子接続図**（Top View）.....17
1. 3. 1　20**ピン製品**.....17
1. 3. 2　24**ピン製品**.....18
1. 3. 3　25**ピン製品**.....19
1. 3. 4　30**ピン製品**.....20
1. 3. 5　32**ピン製品**.....21
1. 3. 6　36**ピン製品**.....22
1. 3. 7　40**ピン製品**.....23
1. 3. 8　44**ピン製品**.....24
1. 3. 9　48**ピン製品**.....25
1. 3. 10　52**ピン製品**.....27
1. 3. 11　64**ピン製品**.....28
1. 3. 12　80**ピン製品**.....30
1. 3. 13　100**ピン製品**.....31
1. 3. 14　128**ピン製品**.....33
1. 4　**端子名称**.....34
1. 5　**ブロック図**.....35
1. 5. 1　20**ピン製品**.....35
1. 5. 2　24**ピン製品**.....36
1. 5. 3　25**ピン製品**.....37
1. 5. 4　30**ピン製品**.....38
1. 5. 5　32**ピン製品**.....39
1. 5. 6　36**ピン製品**.....40
1. 5. 7　40**ピン製品**.....41
1. 5. 8　44**ピン製品**.....42
1. 5. 9　48**ピン製品**.....43
1. 5. 10　52**ピン製品**.....44
1. 5. 11　64**ピン製品**.....45
1. 5. 12　80**ピン製品**.....46
1. 5. 13　100**ピン製品**.....47
1. 5. 14　128**ピン製品**.....48
1. 6　**機能概要**.....49

第2章　端子機能.....55

2. 1　**ポート機能**.....55
2. 1. 1　20**ピン製品**.....56
2. 1. 2　24**ピン製品**.....58
2. 1. 3　25**ピン製品**.....60
2. 1. 4　30**ピン製品**.....62
2. 1. 5　32**ピン製品**.....64

2. 1. 6　36ピン製品 66
2. 1. 7　40ピン製品 68
2. 1. 8　44ピン製品 71
2. 1. 9　48ピン製品 74
2. 1. 10　52ピン製品 77
2. 1. 11　64ピン製品 80
2. 1. 12　80ピン製品 83
2. 1. 13　100ピン製品 86
2. 1. 14　128ピン製品 90
2. 2　ポート以外の機能 94
2. 2. 1　製品別の搭載機能 94
2. 2. 2　機能説明 98
2. 3　未使用端子の処理 100
2. 4　端子ブロック図 101

第3章　CPUアーキテクチャ 113

3. 1　メモリ空間 113
3. 1. 1　内部プログラム・メモリ空間 129
3. 1. 2　ミラー領域 133
3. 1. 3　内部データ・メモリ空間 135
3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域 136
3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 136
3. 1. 6　データ・メモリ・アドレッシング 137
3. 2　プロセッサ・レジスタ 138
3. 2. 1　制御レジスタ 138
3. 2. 2　汎用レジスタ 141
3. 2. 3　ES, CSレジスタ 142
3. 2. 4　特殊機能レジスタ（SFR：Special Function Register） 143
3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 149
3. 3　命令アドレスのアドレッシング 159
3. 3. 1　レラティブ・アドレッシング 159
3. 3. 2　イミーディエト・アドレッシング 159
3. 3. 3　テーブル・インダイレクト・アドレッシング 160
3. 3. 4　レジスタ・ダイレクト・アドレッシング 161
3. 4　処理データ・アドレスに対するアドレッシング 162
3. 4. 1　インプライド・アドレッシング 162
3. 4. 2　レジスタ・アドレッシング 162
3. 4. 3　ダイレクト・アドレッシング 163
3. 4. 4　ショート・ダイレクト・アドレッシング 164
3. 4. 5　SFRアドレッシング 165
3. 4. 6　レジスタ・インダイレクト・アドレッシング 166
3. 4. 7　ベースト・アドレッシング 167
3. 4. 8　ベースト・インデクスト・アドレッシング 171
3. 4. 9　スタック・アドレッシング 173

第4章　ポート機能 176

4. 1　ポートの機能 176

4. 2　ポートの構成 176
4. 2. 1　ポート0 178
4. 2. 2　ポート1 178
4. 2. 3　ポート2 179
4. 2. 4　ポート3 179
4. 2. 5　ポート4 179
4. 2. 6　ポート5 180
4. 2. 7　ポート6 180
4. 2. 8　ポート7 180
4. 2. 9　ポート8 181
4. 2. 10　ポート9 181
4. 2. 11　ポート10 181
4. 2. 12　ポート11 181
4. 2. 13　ポート12 182
4. 2. 14　ポート13 182
4. 2. 15　ポート14 182
4. 2. 16　ポート15 183
4. 3　ポート機能を制御するレジスタ 184
4. 3. 1　ポート・モード・レジスタ（PMxx） 190
4. 3. 2　ポート・レジスタ（Pxx） 192
4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx） 195
4. 3. 4　ポート入力モード・レジスタ（PIMxx） 197
4. 3. 5　ポート出力モード・レジスタ（POMxx） 198
4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx） 199
4. 3. 7　A/Dポート・コンフィギュレーション・レジスタ（ADPC） 200
4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR） 201
4. 3. 9　グローバル・デジタル・インプット・ディスエーブル・レジスタ （GDIDIS） 203
4. 4　ポート機能の動作 204
4. 4. 1　入出力ポートへの書き込み 204
4. 4. 2　入出力ポートからの読み出し 204
4. 4. 3　入出力ポートでの演算 204
4. 4. 4　$EV_{DD} \leqq V_{DD}$による異電位（1.8 V系, 2.5 V系, 3 V系）対応 205
4. 4. 5　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応 205
4. 5　兼用機能使用時のレジスタ設定 208
4. 5. 1　兼用機能使用時の基本的な考え方 208
4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定 209
4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例 210
4. 6　ポート機能使用時の注意事項 230
4. 6. 1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 230
4. 6. 2　端子設定に関する注意事項 231

第5章　クロック発生回路 232

5. 1　クロック発生回路の機能 232
5. 2　クロック発生回路の構成 234
5. 3　クロック発生回路を制御するレジスタ 236
5. 3. 1　クロック動作モード制御レジスタ（CMC） 236
5. 3. 2　システム・クロック制御レジスタ（CKC） 239

5. 3. 3　クロック動作ステータス制御レジスタ（CSC）.....240
5. 3. 4　発振安定時間カウンタ状態レジスタ（OSTC）.....241
5. 3. 5　発振安定時間選択レジスタ（OSTS）.....243
5. 3. 6　周辺イネーブル・レジスタ0（PER0）.....245
5. 3. 7　サブシステム・クロック供給モード制御レジスタ（OSMC）.....248
5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）.....249
5. 3. 9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）.....250
5. 4　システム・クロック発振回路.....251
5. 4. 1　X1発振回路.....251
5. 4. 2　XT1発振回路.....251
5. 4. 3　高速オンチップ・オシレータ.....255
5. 4. 4　低速オンチップ・オシレータ.....255
5. 5　クロック発生回路の動作.....256
5. 6　クロックの制御.....258
5. 6. 1　高速オンチップ・オシレータの設定例.....258
5. 6. 2　X1発振回路の設定例.....260
5. 6. 3　XT1発振回路の設定例.....261
5. 6. 4　CPUクロック状態移行図.....262
5. 6. 5　CPUクロックの移行前の条件と移行後の処理.....268
5. 6. 6　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間.....270
5. 6. 7　クロック発振停止前の条件.....271
5. 7　発振子と発振回路定数.....272

第6章　タイマ・アレイ・ユニット.....276

6. 1　タイマ・アレイ・ユニットの機能.....278
6. 1. 1　単独チャネル動作機能.....278
6. 1. 2　複数チャネル連動動作機能.....279
6. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）.....280
6. 1. 4　LIN-bus対応機能（ユニット0のチャネル7のみ）.....281
6. 2　タイマ・アレイ・ユニットの構成.....282
6. 2. 1　タイマ・カウンタ・レジスタmn（TCRmn）.....287
6. 2. 2　タイマ・データ・レジスタmn（TDRmn）.....289
6. 3　タイマ・アレイ・ユニットを制御するレジスタ.....290
6. 3. 1　周辺イネーブル・レジスタ0（PER0）.....291
6. 3. 2　タイマ・クロック選択レジスタm（TPSm）.....292
6. 3. 3　タイマ・モード・レジスタmn（TMRmn）.....295
6. 3. 4　タイマ・ステータス・レジスタmn（TSRmn）.....300
6. 3. 5　タイマ・チャネル許可ステータス・レジスタm（TEm）.....301
6. 3. 6　タイマ・チャネル開始レジスタm（TSm）.....302
6. 3. 7　タイマ・チャネル停止レジスタm（TTm）.....304
6. 3. 8　タイマ入力選択レジスタ0（TIS0）.....305
6. 3. 9　タイマ出力許可レジスタm（TOEm）.....306
6. 3. 10　タイマ出力レジスタm（TOm）.....307
6. 3. 11　タイマ出力レベル・レジスタm（TOLm）.....308
6. 3. 12　タイマ出力モード・レジスタm（TOMm）.....309
6. 3. 13　入力切り替え制御レジスタ（ISC）.....310
6. 3. 14　ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）.....311
6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ.....314

6. 4　タイマ・アレイ・ユニットの基本ルール 315
6. 4. 1　複数チャネル連動動作機能の基本ルール 315
6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） 317
6. 5　カウンタの動作 318
6. 5. 1　カウント・クロック（f_{TCLK}） 318
6. 5. 2　カウンタのスタート・タイミング 320
6. 5. 3　カウンタの動作 321
6. 6　チャネル出力（TOmn端子）の制御 326
6. 6. 1　TOmn端子の出力回路の構成 326
6. 6. 2　TOmn端子の出力設定 327
6. 6. 3　チャネル出力操作時の注意事項 328
6. 6. 4　TOmnビットの一括操作 333
6. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について 334
6. 7　タイマ入力（TImn）の制御 335
6. 7. 1　TImnの入力回路構成 335
6. 7. 2　ノイズ・フィルタ 335
6. 7. 3　チャネル入力操作時の注意事項 336
6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能 337
6. 8. 1　インターバル・タイマ／方形波出力としての動作 337
6. 8. 2　外部イベント・カウンタとしての動作 342
6. 8. 3　分周器としての動作（ユニット0のチャネル0のみ） 346
6. 8. 4　入力パルス間隔測定としての動作 350
6. 8. 5　入力信号のハイ／ロウ・レベル幅測定としての動作 354
6. 8. 6　ディレイ・カウンタとしての動作 358
6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能 362
6. 9. 1　ワンショット・パルス出力機能としての動作 362
6. 9. 2　PWM機能としての動作 369
6. 9. 3　多重PWM出力機能としての動作 376
6. 10　タイマ・アレイ・ユニット使用時の注意事項 384
6. 10. 1　タイマ出力使用時の注意事項 384

第7章　リアルタイム・クロック 385

7. 1　リアルタイム・クロックの機能 385
7. 2　リアルタイム・クロックの構成 386
7. 3　リアルタイム・クロックを制御するレジスタ 388
7. 3. 1　周辺イネーブル・レジスタ0（PER0） 389
7. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC） 390
7. 3. 3　リアルタイム・クロック・コントロール・レジスタ0（RTCC0） 391
7. 3. 4　リアルタイム・クロック・コントロール・レジスタ1（RTCC1） 392
7. 3. 5　秒カウント・レジスタ（SEC） 394
7. 3. 6　分カウント・レジスタ（MIN） 394
7. 3. 7　時カウント・レジスタ（HOUR） 395
7. 3. 8　日カウント・レジスタ（DAY） 397
7. 3. 9　曜日カウント・レジスタ（WEEK） 398
7. 3. 10　月カウント・レジスタ（MONTH） 399
7. 3. 11　年カウント・レジスタ（YEAR） 399
7. 3. 12　時計誤差補正レジスタ（SUBCUD） 400
7. 3. 13　アラーム分レジスタ（ALARMWM） 401

7. 3. 14　アラーム時レジスタ（ALARMWH）.....401
7. 3. 15　アラーム曜日レジスタ（ALARMWW）.....401
7. 3. 16　ポート・モード・レジスタ3（PM3）.....402
7. 3. 17　ポート・レジスタ3（P3）.....402
7. 4　リアルタイム・クロックの動作.....403
7. 4. 1　リアルタイム・クロックの動作開始.....403
7. 4. 2　動作開始後のHALT/STOPモードへの移行.....404
7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込み.....405
7. 4. 4　リアルタイム・クロックのアラーム設定.....407
7. 4. 5　リアルタイム・クロックの1 Hz出力.....408
7. 4. 6　リアルタイム・クロックの時計誤差補正例.....409

第8章　12ビット・インターバル・タイマ.....414

8. 1　12ビット・インターバル・タイマの機能.....414
8. 2　12ビット・インターバル・タイマの構成.....414
8. 3　12ビット・インターバル・タイマを制御するレジスタ.....414
8. 3. 1　周辺イネーブル・レジスタ0（PER0）.....415
8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）.....416
8. 3. 3　インターバル・タイマ・コントロール・レジスタ（ITMC）.....417
8. 4　12ビット・インターバル・タイマの動作.....418
8. 4. 1　12ビット・インターバル・タイマの動作タイミング.....418
8. 4. 2　HALT/STOP モードから復帰後にカウンタ動作開始し，
再度HALT/STOPモードへの移行.....419

第9章　クロック出力／ブザー出力制御回路.....420

9. 1　クロック出力／ブザー出力制御回路の機能.....420
9. 2　クロック出力／ブザー出力制御回路の構成.....422
9. 3　クロック出力／ブザー出力制御回路を制御するレジスタ.....422
9. 3. 1　クロック出力選択レジスタn（CKSn）.....422
9. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ.....424
9. 4　クロック出力／ブザー出力制御回路の動作.....425
9. 4. 1　出力端子の動作.....425
9. 5　クロック出力／ブザー出力制御回路の注意事項.....425

第10章　ウォッチドッグ・タイマ.....426

10. 1　ウォッチドッグ・タイマの機能.....426
10. 2　ウォッチドッグ・タイマの構成.....427
10. 3　ウォッチドッグ・タイマを制御するレジスタ.....428
10. 3. 1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）.....428
10. 4　ウォッチドッグ・タイマの動作.....429
10. 4. 1　ウォッチドッグ・タイマの動作制御.....429
10. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定.....430
10. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定.....431
10. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定.....432

第11章　A/Dコンバータ 433

11. 1　A/Dコンバータの機能 433
11. 2　A/Dコンバータの構成 436
11. 3　A/Dコンバータを制御するレジスタ 438
11. 3. 1　周辺イネーブル・レジスタ0（PER0） 439
11. 3. 2　A/Dコンバータ・モード・レジスタ0（ADM0） 440
11. 3. 3　A/Dコンバータ・モード・レジスタ1（ADM1） 448
11. 3. 4　A/Dコンバータ・モード・レジスタ2（ADM2） 449
11. 3. 5　10ビットA/D変換結果レジスタ（ADCR） 451
11. 3. 6　8ビットA/D変換結果レジスタ（ADCRH） 452
11. 3. 7　アナログ入力チャネル指定レジスタ（ADS） 453
11. 3. 8　変換結果比較上限値設定レジスタ（ADUL） 455
11. 3. 9　変換結果比較下限値設定レジスタ（ADLL） 455
11. 3. 10　A/Dテスト・レジスタ（ADTES） 456
11. 3. 11　アナログ入力端子のポート機能を制御するレジスタ 457
11. 4　A/Dコンバータの変換動作 458
11. 5　入力電圧と変換結果 460
11. 6　A/Dコンバータの動作モード 461
11. 6. 1　ソフトウエア・トリガ・モード
（セレクト・モード，連続変換モード） 461
11. 6. 2　ソフトウエア・トリガ・モード
（セレクト・モード，ワンショット変換モード） 462
11. 6. 3　ソフトウエア・トリガ・モード
（スキャン・モード，連続変換モード） 463
11. 6. 4　ソフトウエア・トリガ・モード
（スキャン・モード，ワンショット変換モード） 464
11. 6. 5　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，連続変換モード） 465
11. 6. 6　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，ワンショット変換モード） 466
11. 6. 7　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，連続変換モード） 467
11. 6. 8　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，ワンショット変換モード） 468
11. 6. 9　ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，連続変換モード） 469
11. 6. 10　ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，ワンショット変換モード） 470
11. 6. 11　ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，連続変換モード） 471
11. 6. 12　ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，ワンショット変換モード） 472
11. 7　A/Dコンバータの設定フロー・チャート 473
11. 7. 1　ソフトウエア・トリガ・モード設定 473
11. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定 474
11. 7. 3　ハードウエア・トリガ・ウエイト・モード設定 475
11. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定
（例　ソフトウエア・トリガ・モード，ワンショット変換モード時） 476

11. 7. 5　テスト・モード設定 477
11. 8　SNOOZEモード機能 478
11. 9　A/Dコンバータ特性表の読み方 482
11. 10　A/Dコンバータの注意事項 485

第12章　シリアル・アレイ・ユニット 489

12. 1　シリアル・アレイ・ユニットの機能 491
12. 1. 1　3線シリアルI/O
（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31） 491
12. 1. 2　UART（UART0-UART3） 492
12. 1. 3　簡易I^2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31） 493
12. 2　シリアル・アレイ・ユニットの構成 494
12. 2. 1　シフト・レジスタ 498
12. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット 498
12. 3　シリアル・アレイ・ユニットを制御するレジスタ 500
12. 3. 1　周辺イネーブル・レジスタ0（PER0） 501
12. 3. 2　シリアル・クロック選択レジスタm（SPSm） 503
12. 3. 3　シリアル・モード・レジスタmn（SMRmn） 504
12. 3. 4　シリアル通信動作設定レジスタmn（SCRmn） 506
12. 3. 5　シリアル・データ・レジスタmn（SDRmn） 509
12. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） 511
12. 3. 7　シリアル・ステータス・レジスタmn（SSRmn） 512
12. 3. 8　シリアル・チャネル開始レジスタm（SSm） 514
12. 3. 9　シリアル・チャネル停止レジスタm（STm） 515
12. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm） 516
12. 3. 11　シリアル出力許可レジスタm（SOEm） 517
12. 3. 12　シリアル出力レジスタm（SOm） 518
12. 3. 13　シリアル出力レベル・レジスタm（SOLm） 519
12. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm） 521
12. 3. 15　入力切り替え制御レジスタ（ISC） 522
12. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0） 523
12. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ 524
12. 4　動作停止モード 525
12. 4. 1　ユニット単位で動作停止とする場合 525
12. 4. 2　チャネルごとに動作停止とする場合 526
12. 5　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）
通信の動作 527
12. 5. 1　マスタ送信 530
12. 5. 2　マスタ受信 538
12. 5. 3　マスタ送受信 546
12. 5. 4　スレーブ送信 554
12. 5. 5　スレーブ受信 562
12. 5. 6　スレーブ送受信 568
12. 5. 7　SNOOZEモード機能 576
12. 5. 8　転送クロック周波数の算出 580
12. 5. 9　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）
通信時におけるエラー発生時の処理手順 582
12. 6　UART（UART0-UART3）通信の動作 583

12. 6. 1　UART送信 586
12. 6. 2　UART受信 595
12. 6. 3　SNOOZEモード機能 602
12. 6. 4　ボー・レートの算出 610
12. 6. 5　UART（UART0-UART3）通信時におけるエラー発生時の処理手順 614
12. 7　LIN通信の動作 615
12. 7. 1　LIN送信 615
12. 7. 2　LIN受信 618
12. 8　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）通信の動作 624
12. 8. 1　アドレス・フィールド送信 627
12. 8. 2　データ送信 632
12. 8. 3　データ受信 635
12. 8. 4　ストップ・コンディション発生 639
12. 8. 5　転送レートの算出 640
12. 8. 6　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）
通信時におけるエラー発生時の処理手順 642

第13章　シリアル・インタフェースIICA 643

13. 1　シリアル・インタフェースIICAの機能 643
13. 2　シリアル・インタフェースIICAの構成 646
13. 3　シリアル・インタフェースIICAを制御するレジスタ 649
13. 3. 1　周辺イネーブル・レジスタ0（PER0） 650
13. 3. 2　IICAコントロール・レジスタn0（IICCTLn0） 650
13. 3. 3　IICAステータス・レジスタn（IICSn） 655
13. 3. 4　IICAフラグ・レジスタn（IICFn） 657
13. 3. 5　IICAコントロール・レジスタn1（IICCTLn1） 659
13. 3. 6　IICAロウ・レベル幅設定レジスタn（IICWLn） 661
13. 3. 7　IICAハイ・レベル幅設定レジスタn（IICWHn） 661
13. 3. 8　ポート・モード・レジスタ6（PM6） 662
13. 4　I²Cバス・モードの機能 663
13. 4. 1　端子構成 663
13. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法 664
13. 5　I²Cバスの定義および制御方法 666
13. 5. 1　スタート・コンディション 666
13. 5. 2　アドレス 667
13. 5. 3　転送方向指定 667
13. 5. 4　アクノリッジ（$\overline{\text{ACK}}$） 668
13. 5. 5　ストップ・コンディション 669
13. 5. 6　ウエイト 670
13. 5. 7　ウエイト解除方法 672
13. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびウエイト制御 673
13. 5. 9　アドレスの一致検出方法 674
13. 5. 10　エラーの検出 674
13. 5. 11　拡張コード 675
13. 5. 12　アービトレーション 676
13. 5. 13　ウエイク・アップ機能 678
13. 5. 14　通信予約 681
13. 5. 15　その他の注意事項 685

13. 5. 16　通信動作 686
13. 5. 17　I²C割り込み要求（INTIICAn）の発生タイミング 694
13. 6　タイミング・チャート 715

第14章　乗除積和算器 730

14. 1　乗除積和算器の機能 730
14. 2　乗除積和算器の構成 730
14. 2. 1　乗除算データ・レジスタA（MDAH, MDAL） 732
14. 2. 2　乗除算データ・レジスタB（MDBL, MDBH） 733
14. 2. 3　乗除算データ・レジスタC（MDCL, MDCH） 734
14. 3　乗除積和算器を制御するレジスタ 736
14. 3. 1　乗除算コントロール・レジスタ0（MDUC） 736
14. 4　乗除積和算器の動作 738
14. 4. 1　乗算（符号なし）動作 738
14. 4. 2　乗算（符号付）動作 739
14. 4. 3　積和演算（符号なし）動作 740
14. 4. 4　積和演算（符号付）動作 742
14. 4. 5　除算動作 744

第15章　DMAコントローラ 746

15. 1　DMAコントローラの機能 746
15. 2　DMAコントローラの構成 747
15. 2. 1　DMA SFRアドレス・レジスタn（DSAn） 747
15. 2. 2　DMA RAMアドレス・レジスタn（DRAn） 748
15. 2. 3　DMAバイト・カウント・レジスタn（DBCn） 749
15. 3　DMAコントローラを制御するレジスタ 750
15. 3. 1　DMAモード・コントロール・レジスタn（DMCn） 751
15. 3. 2　DMA動作コントロール・レジスタn（DRCn） 754
15. 4　DMAコントローラの動作 755
15. 4. 1　動作手順 755
15. 4. 2　転送モード 756
15. 4. 3　DMA転送の終了 756
15. 5　DMAコントローラの設定例 757
15. 5. 1　CSI連続送信 757
15. 5. 2　A/D変換結果の連続取り込み 759
15. 5. 3　UART連続受信＋ACK送信 761
15. 5. 4　DWAITnビットによるDMA転送保留 763
15. 5. 5　ソフトウエアでの強制終了 764
15. 6　DMAコントローラの注意事項 766

第16章　割り込み機能 769

16. 1　割り込み機能の種類 769
16. 2　割り込み要因と構成 769
16. 3　割り込み機能を制御するレジスタ 776
16. 3. 1　割り込み要求フラグ・レジスタ
（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L） 780

16. 3. 2　割り込みマスク・フラグ・レジスタ
（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L） 782
16. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L） 784
16. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1） 787
16. 3. 5　プログラム・ステータス・ワード（PSW） 789
16. 4　割り込み処理動作 790
16. 4. 1　マスカブル割り込み要求の受け付け動作 790
16. 4. 2　ソフトウエア割り込み要求の受け付け動作 793
16. 4. 3　多重割り込み処理 793
16. 4. 4　割り込み要求の保留 797

第17章　キー割り込み機能 798

17. 1　キー割り込みの機能 798
17. 2　キー割り込みの構成 798
17. 3　キー割り込みを制御するレジスタ 800
17. 3. 1　キー・リターン・モード・レジスタ（KRM） 800
17. 3. 2　ポート・モード・レジスタ７（PM7） 801

第18章　スタンバイ機能 802

18. 1　スタンバイ機能 802
18. 2　スタンバイ機能を制御するレジスタ 803
18. 3　スタンバイ機能の動作 803
18. 3. 1　HALTモード 803
18. 3. 2　STOPモード 808
18. 3. 3　SNOOZEモード 813

第19章　リセット機能 816

19. 1　リセット動作のタイミング 818
19. 2　リセット期間中の動作状態 820
19. 3　リセット要因を確認するレジスタ 822
19. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF） 822

第20章　パワーオン・リセット回路 825

20. 1　パワーオン・リセット回路の機能 825
20. 2　パワーオン・リセット回路の構成 826
20. 3　パワーオン・リセット回路の動作 826

第21章　電圧検出回路 830

21. 1　電圧検出回路の機能 830
21. 2　電圧検出回路の構成 831
21. 3　電圧検出回路を制御するレジスタ 831
21. 3. 1　電圧検出レジスタ（LVIM） 832

21. 3. 2　電圧検出レベル・レジスタ（LVIS）.....833
21. 4　電圧検出回路の動作.....836
21. 4. 1　リセット・モードとして使用する場合の設定.....836
21. 4. 2　割り込みモードとして使用する場合の設定.....838
21. 4. 3　割り込み＆リセット・モードとして使用する場合の設定.....840
21. 5　電圧検出回路の注意事項.....846

第22章　安全機能.....849

22. 1　安全機能の概要.....849
22. 2　安全機能で使用するレジスタ.....850
22. 3　安全機能の動作.....850
22. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）.....850
22. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）.....850
22. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）.....852
22. 3. 2　CRC演算機能（汎用CRC）.....854
22. 3. 2. 1　CRC入力レジスタ（CRCIN）.....854
22. 3. 2. 2　CRCデータ・レジスタ（CRCD）.....855
22. 3. 3　RAMパリティ・エラー検出機能.....856
22. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL）.....856
22. 3. 4　RAMガード機能.....857
22. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）.....857
22. 3. 5　SFRガード機能.....858
22. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）.....858
22. 3. 6　不正メモリ・アクセス検出機能.....859
22. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）.....860
22. 3. 7　周波数検出機能.....861
22. 3. 7. 1　タイマ入力選択レジスタ0（TIS0）.....862
22. 3. 8　A/Dテスト機能.....863
22. 3. 8. 1　A/Dテスト・レジスタ（ADTES）.....865
22. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）.....866

第23章　レギュレータ.....868

23. 1　レギュレータの概要.....868

第24章　オプション・バイト.....869

24. 1　オプション・バイトの機能.....869
24. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）.....869
24. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）.....870
24. 2　ユーザ・オプション・バイトのフォーマット.....871
24. 3　オンチップ・デバッグ・オプション・バイトのフォーマット.....875
24. 4　オプション・バイトの設定.....876

第25章　フラッシュ・メモリ 877

25. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング 879
25. 1. 1　プログラミング環境 881
25. 1. 2　通信方式 881
25. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング 882
25. 2. 1　プログラミング環境 882
25. 2. 2　通信方式 883
25. 3　オンボード上の端子処理 884
25. 3. 1　P40/TOOL0端子 884
25. 3. 2　$\overline{\text{RESET}}$端子 884
25. 3. 3　ポート端子 885
25. 3. 4　REGC端子 885
25. 3. 5　X1, X2端子 885
25. 3. 6　電　　源 885
25. 4　シリアル・プログラミング方法 886
25. 4. 1　シリアル・プログラミング手順 886
25. 4. 2　フラッシュ・メモリ・プログラミング・モード 887
25. 4. 3　通信方式 889
25. 4. 4　通信コマンド 889
25. 5　PG-FP5使用時の各コマンド処理時間（参考値） 891
25. 6　セルフ・プログラミング 892
25. 6. 1　セルフ・プログラミング手順 893
25. 6. 2　ブート・スワップ機能 894
25. 6. 3　フラッシュ・シールド・ウインドウ機能 896
25. 7　セキュリティ設定 897
25. 8　データ・フラッシュ 899
25. 8. 1　データ・フラッシュの概要 899
25. 8. 2　データ・フラッシュを制御するレジスタ 900
25. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL） 900
25. 8. 3　データ・フラッシュへのアクセス手順 901

第26章　オンチップ・デバッグ機能 902

26. 1　E1オンチップデバッギングエミュレータとの接続 902
26. 2　オンチップ・デバッグ・セキュリティID 903
26. 3　ユーザ資源の確保 903

第27章　10進補正（BCD）回路 905

27. 1　10進補正回路の機能 905
27. 2　10進補正回路で使用するレジスタ 905
27. 2. 1　BCD補正結果レジスタ（BCDADJ） 905
27. 3　10進補正回路の動作 906

第28章　命令セットの概要 908

28. 1　凡　　例 909
28. 1. 1　オペランドの表現形式と記述方法 909

28. 1. 2　オペレーション欄の説明 910
28. 1. 3　フラグ動作欄の説明 911
28. 1. 4　PREFIX命令 911
28. 2　オペレーション一覧 912

第29章　電気的特性（A, D：TA = –40～＋85℃） 929

29. 1　絶対最大定格 930
29. 2　発振回路特性 932
29. 2. 1　X1, XT1発振回路特性 932
29. 2. 2　オンチップ・オシレータ特性 932
29. 3　DC特性 933
29. 3. 1　端子特性 933
29. 3. 2　電源電流特性 938
29. 4　AC特性 952
29. 5　周辺機能特性 956
29. 5. 1　シリアル・アレイ・ユニット 956
29. 5. 2　シリアル・インタフェースIICA 984
29. 6　アナログ特性 989
29. 6. 1　A/Dコンバータ特性 989
29. 6. 2　温度センサ／内部基準電圧特性 994
29. 6. 3　POR回路特性 994
29. 6. 4　LVD回路特性 995
29. 6. 5　電源電圧立ち上がり傾き特性 996
29. 7　データ・メモリSTOPモード低電源電圧データ保持特性 997
29. 8　フラッシュ・メモリ・プログラミング特性 997
29. 9　専用フラッシュ・メモリ・プログラマ通信（UART） 997
29. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング 998

第30章　電気的特性（G：TA = –40~＋105℃） 999

30. 1　絶対最大定格 1000
30. 2　発振回路特性 1002
30. 2. 1　X1, XT1発振回路特性 1002
30. 2. 2　オンチップ・オシレータ特性 1002
30. 3　DC特性 1003
30. 3. 1　端子特性 1003
30. 3. 2　電源電流特性 1008
30. 4　AC特性 1018
30. 5　周辺機能特性 1021
30. 5. 1　シリアル・アレイ・ユニット 1021
30. 5. 2　シリアル・インタフェースIICA 1042
30. 6　アナログ特性 1043
30. 6. 1　A/Dコンバータ特性 1043
30. 6. 2　温度センサ／内部基準電圧特性 1047
30. 6. 3　POR回路特性 1047
30. 6. 4　LVD回路特性 1048
30. 6. 5　電源電圧立ち上がり傾き特性 1048
30. 7　データ・メモリSTOPモード低電源電圧データ保持特性 1049

30. 8　フラッシュ・メモリ・プログラミング特性 1049
30. 9　専用フラッシュ・メモリ・プログラマ通信（UART） 1049
30. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング 1050

第31章　外 形 図 1051

31. 1　20ピン製品 1051
31. 2　24ピン製品 1052
31. 3　25ピン製品 1053
31. 4　30ピン製品 1054
31. 5　32ピン製品 1055
31. 6　36ピン製品 1056
31. 7　40ピン製品 1057
31. 8　44ピン製品 1058
31. 9　48ピン製品 1059
31. 10　52ピン製品 1061
31. 11　64ピン製品 1062
31. 12　80ピン製品 1065
31. 13　100ピン製品 1067
31. 14　128ピン製品 1069

付録A　改版履歴 1070

A. 1　本版で改訂された主な箇所 1070
A. 2　前版までの改版履歴 1071

第1章　概　　説

1. 1　特　　徴

超低消費電力テクノロジー

- V_{DD} = 1.6～5.5 Vの単一電源，1.8 V系の低電圧動作可能
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.03125 μs：高速オンチップ・オシレータ・クロック32 MHz動作時）から超低速（30.5 μs：サブシステム・クロック32.768 kHz動作時）までを変更可能
- アドレス空間：1Mバイト
- 汎用レジスタ：8ビット・レジスタ×8×4バンク
- 内蔵RAM：2KB～32KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：16KB～512KB
- ブロック・サイズ：1KB
- ブロック消去禁止，書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：4KB～8KB
- バックグランド・オペレーション（BGO）；データ・フラッシュ書き換え中に，プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（TYP.）
- 書き換え電圧：V_{DD} = 1.8～5.5 V

高速オンチップ・オシレータ

- 32 MHz／24 MHz／16 MHz／12 MHz／8 MHz／6 MHz／4 MHz／3 MHz／2 MHz／1 MHzから選択
- 高精度±1.0 %（V_{DD} = 1.8～5.5 V，T_A = －20～＋85 ℃）

動作周囲温度

- T_A = －40～＋85 ℃（A：民生用途，D：産業用途）
- T_A = －40～＋105 ℃（G：産業用途）

電源管理とリセット機能

- パワーオン・リセット（POR）回路内蔵
- 電圧検出（LVD）回路内蔵（割り込み，リセットを14段階で選択）

DMA（Direct Memory Access）コントローラ

- 2/4チャネル搭載
- 8ビット/16ビットのSFR⇔内蔵RAM間の転送が2クロック

乗除・積和演算器

- 16ビット×16ビット = 32ビット（符号付／符号なし）
- 32ビット÷32ビット = 32ビット（符号なし）
- 16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし）

シリアル・インタフェース

- CSI：2～8チャネル
- UART／UART（LIN-bus対応）：2～4チャネル
- I^2C／簡易I^2C：2～8チャネル

タイマ

- 16ビット・タイマ：8～16チャネル
- 12ビット・インターバル・タイマ：1チャネル
- リアルタイム・クロック：1チャネル（99年カレンダ，アラーム機能，時計補正機能）
- ウォッチドッグ・タイマ：1チャネル（専用の低速オンチップ・オシレータ・クロックで動作可能）

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ（V_{DD} = 1.6～5.5 V）
- アナログ入力：6～26チャネル
- 内部基準電圧（1.45 V）と温度センサを搭載[注1]

入出力ポート

- I/Oポート：16～120本（N-chオープン・ドレイン入出力[6V耐圧]：0～4本，
  N-chオープン・ドレイン入出力[V_{DD}耐圧[注1]/EV_{DD}耐圧[注2]]：5～25本）
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- 異電位（1.8/2.5/3 V系）動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

その他

- 10進補正（BCD）回路内蔵

注 1. HS（高速メイン）モードのみ選択可能
2. 20～52ピン製品の場合
3. 64～128ピン製品の場合

備考　製品によって，搭載している機能が異なります。1. 6　機能概要を参照してください。

○ROM, RAM容量

フラッシュ ROM	データ・フラッシュ	RAM	RL78/G13					
			20ピン	24ピン	25ピン	30ピン	32ピン	36ピン
128 KB	8 KB	12 KB	−	−	−	R5F100AG	R5F100BG	R5F100CG
	−		−	−	−	R5F101AG	R5F101BG	R5F101CG
96 KB	8 KB	8 KB	−	−	−	R5F100AF	R5F100BF	R5F100CF
	−		−	−	−	R5F101AF	R5F101BF	R5F101CF
64 KB	4 KB	4 KB 注1	R5F1006E	R5F1007E	R5F1008E	R5F100AE	R5F100BE	R5F100CE
	−		R5F1016E	R5F1017E	R5F1018E	R5F101AE	R5F101BE	R5F101CE
48 KB	4 KB	3 KB	R5F1006D	R5F1007D	R5F1008D	R5F100AD	R5F100BD	R5F100CD
	−		R5F1016D	R5F1017D	R5F1018D	R5F101AD	R5F101BD	R5F101CD
32 KB	4 KB	2 KB	R5F1006C	R5F1007C	R5F1008C	R5F100AC	R5F100BC	R5F100CC
	−		R5F1016C	R5F1017C	R5F1018C	R5F101AC	R5F101BC	R5F101CC
16 KB	4 KB	2 KB	R5F1006A	R5F1007A	R5F1008A	R5F100AA	R5F100BA	R5F100CA
	−		R5F1016A	R5F1017A	R5F1018A	R5F101AA	R5F101BA	R5F101CA

フラッシュ ROM	データ・フラッシュ	RAM	RL78/G13							
			40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
512 KB	8 KB	32 KB 注3	−	R5F100FL	R5F100GL	R5F100JL	R5F100LL	R5F100ML	R5F100PL	R5F100SL
	−		−	R5F101FL	R5F101GL	R5F101JL	R5F101LL	R5F101ML	R5F101PL	R5F101SL
384 KB	8 KB	24 KB	−	R5F100FK	R5F100GK	R5F100JK	R5F100LK	R5F100MK	R5F100PK	R5F100SK
	−		−	R5F101FK	R5F101GK	R5F101JK	R5F101LK	R5F101MK	R5F101PK	R5F101SK
256 KB	8 KB	20 KB 注2	−	R5F100FJ	R5F100GJ	R5F100JJ	R5F100LJ	R5F100MJ	R5F100PJ	R5F100SJ
	−		−	R5F101FJ	R5F101GJ	R5F101JJ	R5F101LJ	R5F101MJ	R5F101PJ	R5F101SJ
192 KB	8 KB	16 KB	R5F100EH	R5F100FH	R5F100GH	R5F100JH	R5F100LH	R5F100MH	R5F100PH	R5F100SH
	−		R5F101EH	R5F101FH	R5F101GH	R5F101JH	R5F101LH	R5F101MH	R5F101PH	R5F101SH
128 KB	8 KB	12 KB	R5F100EG	R5F100FG	R5F100GG	R5F100JG	R5F100LG	R5F100MG	R5F100PG	−
	−		R5F101EG	R5F101FG	R5F101GG	R5F101JG	R5F101LG	R5F101MG	R5F101PG	−
96 KB	8 KB	8 KB	R5F100EF	R5F100FF	R5F100GF	R5F100JF	R5F100LF	R5F100MF	R5F100PF	−
	−		R5F101EF	R5F101FF	R5F101GF	R5F101JF	R5F101LF	R5F101MF	R5F101PF	−
64 KB	4 KB	4 KB 注1	R5F100EE	R5F100FE	R5F100GE	R5F100JE	R5F100LE	−	−	−
	−		R5F101EE	R5F101FE	R5F101GE	R5F101JE	R5F101LE	−	−	−
48 KB	4 KB	3 KB	R5F100ED	R5F100FD	R5F100GD	R5F100JD	R5F100LD	−	−	−
	−		R5F101ED	R5F101FD	R5F101GD	R5F101JD	R5F101LD	−	−	−
32 KB	4 KB	2 KB	R5F100EC	R5F100FC	R5F100GC	R5F100JC	R5F100LC	−	−	−
	−		R5F101EC	R5F101FC	R5F101GC	R5F101JC	R5F101LC	−	−	−
16 KB	4 KB	2 KB	R5F100EA	R5F100FA	R5F100GA	−	−	−	−	−
	−		R5F101EA	R5F101FA	R5F101GA	−	−	−	−	−

注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は，約3 KB（詳細は，第3章参照）

2. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は，約19 KB（詳細は，第3章参照）

3. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は，約31 KB（詳細は，第3章参照）

1. 2　型名一覧

図1－1　RL78/G13の型名とメモリ・サイズ，パッケージ

型名　R5F100LEAxxxFB#V0

- 梱包仕様
  - #U0：Tray (HWQFN,VFBGA,WFLGA)
  - #V0：Tray (LFQFP,LQFP,LSSOP)
  - #W0：Embossed Tape (HWQFN,VFBGA,WFLGA)
  - #X0：Embossed Tape (LFQFP,LQFP,LSSOP)
- パッケージ種類
  - SP ： LSSOP, 0.65 mmピッチ
  - FP ： LFQFP, 0.80 mmピッチ
  - FA ： LFQFP, 0.65 mmピッチ
  - FB ： LFQFP, 0.50 mmピッチ
  - NA ： HWQFN, 0.50 mmピッチ
  - LA ： WFLGA, 0.50 mmピッチ注1
  - BG ： VFBGA, 0.40 mmピッチ注1
- ROM番号（ブランク品は省略）
- 用途区分
  - A ： 民生用途，T_A = －40～＋85 ℃
  - D ： 産業用途，T_A = －40～＋85 ℃
  - G： 産業用途，T_A = －40～＋105℃
- ROM容量
  - A： 16 KB
  - C： 32 KB
  - D： 48 KB
  - E： 64 KB
  - F： 96 KB
  - G : 128 KB
  - H : 192 KB
  - J : 256 KB
  - K : 384 KB注2
  - L : 512 KB注2
- ピン数
  - 6 ： 20ピン
  - 7 ： 24ピン
  - 8 ： 25ピン注1
  - A ： 30ピン
  - B ： 32ピン
  - C ： 36ピン注1
  - E ： 40ピン
  - F ： 44ピン
  - G： 48ピン
  - J ： 52ピン
  - L ： 64ピン
  - M： 80ピン
  - P ： 100ピン
  - S ： 128ピン注2
- RL78/G13グループ
  - 100： データ・フラッシュ搭載
  - 101： データ・フラッシュ非搭載注2
- ROMの種類
  - F ： フラッシュメモリ
- ルネサスマイコン
- ルネサス半導体

注1.　“A ：民生用途（T_A = －40～＋85 ℃）”製品のみ

2.　“A ：民生用途（T_A = －40～＋85 ℃）”製品および“D ：産業用途（T_A = －40～＋85 ℃）”製品のみ

表1-1　発注型名一覧

（1/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分[注]	発注型名
20ピン	20ピン・プラスチック LSSOP（7.62 mm（300）, 0.65mm ピッチ）	搭載	A	R5F1006AASP#V0, R5F1006CASP#V0, R5F1006DASP#V0, R5F1006EASP#V0 R5F1006AASP#X0, R5F1006CASP#X0, R5F1006DASP#X0, R5F1006EASP#X0
			D	R5F1006ADSP#V0, R5F1006CDSP#V0, R5F1006DDSP#V0, R5F1006EDSP#V0 R5F1006ADSP#X0, R5F1006CDSP#X0, R5F1006DDSP#X0, R5F1006EDSP#X0
			G	R5F1006AGSP#V0, R5F1006CGSP#V0, R5F1006DGSP#V0, R5F1006EGSP#V0 R5F1006AGSP#X0, R5F1006CGSP#X0, R5F1006DGSP#X0, R5F1006EGSP#X0
		非搭載	A	R5F1016AASP#V0, R5F1016CASP#V0, R5F1016DASP#V0, R5F1016EASP#V0 R5F1016AASP#X0, R5F1016CASP#X0, R5F1016DASP#X0, R5F1016EASP#X0
			D	R5F1016ADSP#V0, R5F1016CDSP#V0, R5F1016DDSP#V0, R5F1016EDSP#V0 R5F1016ADSP#X0, R5F1016CDSP#X0, R5F1016DDSP#X0, R5F1016EDSP#X0
24ピン	24ピン・プラスチック HWQFN（4x4mm, 0.5mmピッチ）	搭載	A	R5F1007AANA#U0, R5F1007CANA#U0, R5F1007DANA#U0, R5F1007EANA#U0 R5F1007AANA#W0, R5F1007CANA#W0, R5F1007DANA#W0, R5F1007EANA#W0
			D	R5F1007ADNA#U0, R5F1007CDNA#U0, R5F1007DDNA#U0, R5F1007EDNA#U0 R5F1007ADNA#W0, R5F1007CDNA#W0, R5F1007DDNA#W0, R5F1007EDNA#W0
			G	R5F1007AGNA#U0, R5F1007CGNA#U0, R5F1007DGNA#U0, R5F1007EGNA#U0 R5F1007AGNA#W0, R5F1007CGNA#W0, R5F1007DGNA#W0, R5F1007EGNA#W0
		非搭載	A	R5F1017AANA#U0, R5F1017CANA#U0, R5F1017DANA#U0, R5F1017EANA#U0 R5F1017AANA#W0, R5F1017CANA#W0, R5F1017DANA#W0, R5F1017EANA#W0
			D	R5F1017ADNA#U0, R5F1017CDNA#U0, R5F1017DDNA#U0, R5F1017EDNA#U0 R5F1017ADNA#W0, R5F1017CDNA#W0, R5F1017DDNA#W0, R5F1017EDNA#W0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（2/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
25ピン	25ピン・プラスチック WFLGA（3x3mm, 0.5mmピッチ）	搭載	A	R5F1008AALA#U0, R5F1008CALA#U0, R5F1008DALA#U0, R5F1008EALA#U0 R5F1008AALA#W0, R5F1008CALA#W0, R5F1008DALA#W0, R5F1008EALA#W0
		非搭載	A	R5F1018AALA#U0, R5F1018CALA#U0, R5F1018DALA#U0, R5F1018EALA#U0 R5F1018AALA#W0, R5F1018CALA#W0, R5F1018DALA#W0, R5F1018EALA#W0
30ピン	30ピン・プラスチック LSSOP（7.62 mm（300）, 0.65mmピッチ）	搭載	A	R5F100AAASP#V0, R5F100ACASP#V0, R5F100ADASP#V0, R5F100AEASP#V0, R5F100AFASP#V0, R5F100AGASP#V0 R5F100AAASP#X0, R5F100ACASP#X0, R5F100ADASP#X0 R5F100AEASP#X0, R5F100AFASP#X0, R5F100AGASP#X0
			D	R5F100AADSP#V0, R5F100ACDSP#V0, R5F100ADDSP#V0, R5F100AEDSP#V0, R5F100AFDSP#V0, R5F100AGDSP#V0 R5F100AADSP#X0, R5F100ACDSP#X0, R5F100ADDSP#X0, R5F100AEDSP#X0, R5F100AFDSP#X0, R5F100AGDSP#X0
			G	R5F100AAGSP#V0, R5F100ACGSP#V0, R5F100ADGSP#V0,R5F100AEGSP#V0, R5F100AFGSP#V0, R5F100AGGSP#V0 R5F100AAGSP#X0, R5F100ACGSP#X0, R5F100ADGSP#X0,R5F100AEGSP#X0, R5F100AFGSP#X0, R5F100AGGSP#X0
		非搭載	A	R5F101AAASP#V0, R5F101ACASP#V0, R5F101ADASP#V0, R5F101AEASP#V0, R5F101AFASP#V0, R5F101AGASP#V0 R5F101AAASP#X0, R5F101ACASP#X0, R5F101ADASP#X0, R5F101AEASP#X0, R5F101AFASP#X0, R5F101AGASP#X0
			D	R5F101AADSP#V0, R5F101ACDSP#V0, R5F101ADDSP#V0, R5F101AEDSP#V0, R5F101AFDSP#V0, R5F101AGDSP#V0 R5F101AADSP#X0, R5F101ACDSP#X0, R5F101ADDSP#X0, R5F101AEDSP#X0, R5F101AFDSP#X0, R5F101AGDSP#X0
32ピン	32ピン・プラスチック HWQFN（5x5mm, 0.5mmピッチ）	搭載	A	R5F100BAANA#U0, R5F100BCANA#U0, R5F100BDANA#U0, R5F100BEANA#U0, R5F100BFANA#U0, R5F100BGANA#U0 R5F100BAANA#W0, R5F100BCANA#W0, R5F100BDANA#W0, R5F100BEANA#W0, R5F100BFANA#W0, R5F100BGANA#W0
			D	R5F100BADNA#U0, R5F100BCDNA#U0, R5F100BDDNA#U0, R5F100BEDNA#U0, R5F100BFDNA#U0, R5F100BGDNA#U0 R5F100BADNA#W0, R5F100BCDNA#W0, R5F100BDDNA#W0, R5F100BEDNA#W0, R5F100BFDNA#W0, R5F100BGDNA#W0
			G	R5F100BAGNA#U0, R5F100BCGNA#U0, R5F100BDGNA#U0, R5F100BEGNA#U0, R5F100BFGNA#U0, R5F100BGGNA#U0 R5F100BAGNA#W0, R5F100BCGNA#W0, R5F100BDGNA#W0, R5F100BEGNA#W0, R5F100BFGNA#W0, R5F100BGGNA#W0
		非搭載	A	R5F101BAANA#U0, R5F101BCANA#U0, R5F101BDANA#U0, R5F101BEANA#U0, R5F101BFANA#U0, R5F101BGANA#U0 R5F101BAANA#W0, R5F101BCANA#W0, R5F101BDANA#W0, R5F101BEANA#W0, R5F101BFANA#W0, R5F101BGANA#W0
			D	R5F101BADNA#U0, R5F101BCDNA#U0, R5F101BDDNA#U0, R5F101BEDNA#U0, R5F101BFDNA#U0, R5F101BGDNA#U0 R5F101BADNA#W0, R5F101BCDNA#W0, R5F101BDDNA#W0, R5F101BEDNA#W0, R5F101BFDNA#W0, R5F101BGDNA#W0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（3/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
36ピン	36ピン・プラスチック WFLGA（4x4mm, 0.5mmピッチ）	搭載	A	R5F100CAALA#U0, R5F100CCALA#U0, R5F100CDALA#U0, R5F100CEALA#U0, R5F100CFALA#U0, R5F100CGALA#U0 R5F100CAALA#W0, R5F100CCALA#W0, R5F100CDALA#W0, R5F100CEALA#W0, R5F100CFALA#W0, R5F100CGALA#W0
		非搭載	A	R5F101CAALA#U0, R5F101CCALA#U0, R5F101CDALA#U0, R5F101CEALA#U0, R5F101CFALA#U0, R5F101CGALA#U0 R5F101CAALA#W0, R5F101CCALA#W0, R5F101CDALA#W0, R5F101CEALA#W0, R5F101CFALA#W0, R5F101CGALA#W0
40ピン	40ピン・プラスチック HWQFN（6x6mm, 0.5mmピッチ）	搭載	A	R5F100EAANA#U0, R5F100ECANA#U0, R5F100EDANA#U0, R5F100EEANA#U0, R5F100EFANA#U0, R5F100EGANA#U0, R5F100EHANA#U0 R5F100EAANA#W0, R5F100ECANA#W0, R5F100EDANA#W0, R5F100EEANA#W0, R5F100EFANA#W0, R5F100EGANA#W0, R5F100EHANA#W0
			D	R5F100EADNA#U0, R5F100ECDNA#U0, R5F100EDDNA#U0, R5F100EEDNA#U0, R5F100EFDNA#U0, R5F100EGDNA#U0, R5F100EHDNA#U0 R5F100EADNA#W0, R5F100ECDNA#W0, R5F100EDDNA#W0, R5F100EEDNA#W0, R5F100EFDNA#W0, R5F100EGDNA#W0, R5F100EHDNA#W0
			G	R5F100EAGNA#U0, R5F100ECGNA#U0, R5F100EDGNA#U0, R5F100EEGNA#U0, R5F100EFGNA#U0, R5F100EGGNA#U0, R5F100EHGNA#U0 R5F100EAGNA#W0, R5F100ECGNA#W0, R5F100EDGNA#W0, R5F100EEGNA#W0, R5F100EFGNA#W0, R5F100EGGNA#W0, R5F100EHGNA#W0
		非搭載	A	R5F101EAANA#U0, R5F101ECANA#U0, R5F101EDANA#U0, R5F101EEANA#U0, R5F101EFANA#U0, R5F101EGANA#U0, R5F101EHANA#U0 R5F101EAANA#W0, R5F101ECANA#W0, R5F101EDANA#W0, R5F101EEANA#W0, R5F101EFANA#W0, R5F101EGANA#W0, R5F101EHANA#W0
			D	R5F101EADNA#U0, R5F101ECDNA#U0, R5F101EDDNA#U0, R5F101EEDNA#U0, R5F101EFDNA#U0, R5F101EGDNA#U0, R5F101EHDNA#U0 R5F101EADNA#W0, R5F101ECDNA#W0, R5F101EDDNA#W0, R5F101EEDNA#W0, R5F101EFDNA#W0, R5F101EGDNA#W0, R5F101EHDNA#W0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（4/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
44ピン	44ピン・プラスチック LQFP（10x10mm, 0.8mmピッチ）	搭載	A	R5F100FAAFP#V0, R5F100FCAFP#V0, R5F100FDAFP#V0, R5F100FEAFP#V0, R5F100FFAFP#V0, R5F100FGAFP#V0, R5F100FHAFP#V0, R5F100FJAFP#V0, R5F100FKAFP#V0, R5F100FLAFP#V0 R5F100FAAFP#X0, R5F100FCAFP#X0, R5F100FDAFP#X0, R5F100FEAFP#X0, R5F100FFAFP#X0, R5F100FGAFP#X0, R5F100FHAFP#X0, R5F100FJAFP#X0, R5F100FKAFP#X0, R5F100FLAFP#X0
			D	R5F100FADFP#V0, R5F100FCDFP#V0, R5F100FDDFP#V0, R5F100FEDFP#V0, R5F100FFDFP#V0, R5F100FGDFP#V0, R5F100FHDFP#V0, R5F100FJDFP#V0, R5F100FKDFP#V0, R5F100FLDFP#V0 R5F100FADFP#X0, R5F100FCDFP#X0, R5F100FDDFP#X0, R5F100FEDFP#X0, R5F100FFDFP#X0, R5F100FGDFP#X0, R5F100FHDFP#X0, R5F100FJDFP#X0, R5F100FKDFP#X0, R5F100FLDFP#X0
			G	R5F100FAGFP#V0, R5F100FCGFP#V0, R5F100FDGFP#V0, R5F100FEGFP#V0, R5F100FFGFP#V0, R5F100FGGFP#V0, R5F100FHGFP#V0, R5F100FJGFP#V0 R5F100FAGFP#X0, R5F100FCGFP#X0, R5F100FDGFP#X0, R5F100FEGFP#X0, R5F100FFGFP#X0, R5F100FGGFP#X0, R5F100FHGFP#X0, R5F100FJGFP#X0
		非搭載	A	R5F101FAAFP#V0, R5F101FCAFP#V0, R5F101FDAFP#V0, R5F101FEAFP#V0, R5F101FFAFP#V0, R5F101FGAFP#V0, R5F101FHAFP#V0, R5F101FJAFP#V0, R5F101FKAFP#V0, R5F101FLAFP#V0 R5F101FAAFP#X0, R5F101FCAFP#X0, R5F101FDAFP#X0, R5F101FEAFP#X0, R5F101FFAFP#X0, R5F101FGAFP#X0, R5F101FHAFP#X0, R5F101FJAFP#X0, R5F101FKAFP#X0, R5F101FLAFP#X0
			D	R5F101FADFP#V0, R5F101FCDFP#V0, R5F101FDDFP#V0, R5F101FEDFP#V0, R5F101FFDFP#V0, R5F101FGDFP#V0, R5F101FHDFP#V0, R5F101FJDFP#V0, R5F101FKDFP#V0, R5F101FLDFP#V0 R5F101FADFP#X0, R5F101FCDFP#X0, R5F101FDDFP#X0, R5F101FEDFP#X0, R5F101FFDFP#X0, R5F101FGDFP#X0, R5F101FHDFP#X0, R5F101FJDFP#X0, R5F101FKDFP#X0, R5F101FLDFP#X0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（5/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
48ピン	48ピン・プラスチック LFQFP（7x7mm, 0.5mmピッチ）	搭載	A	R5F100GAAFB#V0, R5F100GCAFB#V0, R5F100GDAFB#V0, R5F100GEAFB#V0, R5F100GFAFB#V0, R5F100GGAFB#V0, R5F100GHAFB#V0, R5F100GJAFB#V0, R5F100GKAFB#V0, R5F100GLAFB#V0 R5F100GAAFB#X0, R5F100GCAFB#X0, R5F100GDAFB#X0, R5F100GEAFB#X0, R5F100GFAFB#X0, R5F100GGAFB#X0, R5F100GHAFB#X0, R5F100GJAFB#X0, R5F100GKAFB#X0, R5F100GLAFB#X0
			D	R5F100GADFB#V0, R5F100GCDFB#V0, R5F100GDDFB#V0, R5F100GEDFB#V0, R5F100GFDFB#V0, R5F100GGDFB#V0, R5F100GHDFB#V0, R5F100GJDFB#V0, R5F100GKDFB#V0, R5F100GLDFB#V0 R5F100GADFB#X0, R5F100GCDFB#X0, R5F100GDDFB#X0, R5F100GEDFB#X0, R5F100GFDFB#X0, R5F100GGDFB#X0, R5F100GHDFB#X0, R5F100GJDFB#X0, R5F100GKDFB#X0, R5F100GLDFB#X0
			G	R5F100GAGFB#V0, R5F100GCGFB#V0, R5F100GDGFB#V0, R5F100GEGFB#V0, R5F100GFGFB#V0, R5F100GGGFB#V0, R5F100GHGFB#V0, R5F100GJGFB#V0 R5F100GAGFB#X0, R5F100GCGFB#X0, R5F100GDGFB#X0, R5F100GEGFB#X0, R5F100GFGFB#X0, R5F100GGGFB#X0, R5F100GHGFB#X0, R5F100GJGFB#X0
		非搭載	A	R5F101GAAFB#V0, R5F101GCAFB#V0, R5F101GDAFB#V0, R5F101GEAFB#V0, R5F101GFAFB#V0, R5F101GGAFB#V0, R5F101GHAFB#V0, R5F101GJAF#V0B, R5F101GKAFB#V0, R5F101GLAFB#V0 R5F101GAAFB#X0, R5F101GCAFB#X0, R5F101GDAFB#X0, R5F101GEAFB#X0, R5F101GFAFB#X0, R5F101GGAFB#X0, R5F101GHAFB#X0, R5F101GJAF#X0B, R5F101GKAFB#X0, R5F101GLAFB#X0
			D	R5F101GADFB#V0, R5F101GCDFB#V0, R5F101GDDFB#V0, R5F101GEDFB#V0, R5F101GFDFB#V0, R5F101GGDFB#V0, R5F101GHDFB#V0, R5F101GJDF#V0B, R5F101GKDFB#V0, R5F101GLDFB#V0 R5F101GADFB#X0, R5F101GCDFB#X0, R5F101GDDFB#X0, R5F101GEDFB#X0, R5F101GFDFB#X0, R5F101GGDFB#X0, R5F101GHDFB#X0, R5F101GJDF#X0B, R5F101GKDFB#X0, R5F101GLDFB#X0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（6/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
48ピン	48ピン・プラスチック HWQFN（7x7mm, 0.5mmピッチ）	搭載	A	R5F100GAANA#U0, R5F100GCANA#U0, R5F100GDANA#U0, R5F100GEANA#U0, R5F100GFANA#U0, R5F100GGANA#U0, R5F100GHANA#U0, R5F100GJANA#U0, R5F100GKANA#U0, R5F100GLANA#U0 R5F100GAANA#W0, R5F100GCANA#W0, R5F100GDANA#W0, R5F100GEANA#W0, R5F100GFANA#W0, R5F100GGANA#W0, R5F100GHANA#W0, R5F100GJANA#W0, R5F100GKANA#W0, R5F100GLANA#W0
			D	R5F100GADNA#U0, R5F100GCDNA#U0, R5F100GDDNA#U0, R5F100GEDNA#U0, R5F100GFDNA#U0, R5F100GGDNA#U0, R5F100GHDNA#U0, R5F100GJDNA#U0, R5F100GKDNA#U0, R5F100GLDNA#U0 R5F100GADNA#W0, R5F100GCDNA#W0, R5F100GDDNA#W0, R5F100GEDNA#W0, R5F100GFDNA#W0, R5F100GGDNA#W0, R5F100GHDNA#W0, R5F100GJDNA#W0, R5F100GKDNA#W0, R5F100GLDNA#W0
			G	R5F100GAGNA#U0, R5F100GCGNA#U0, R5F100GDGNA#U0, R5F100GEGNA#U0, R5F100GFGNA#U0, R5F100GGGNA#U0, R5F100GHGNA#U0, R5F100GJGNA#U0 R5F100GAGNA#W0, R5F100GCGNA#W0, R5F100GDGNA#W0, R5F100GEGNA#W0, R5F100GFGNA#W0, R5F100GGGNA#W0, R5F100GHGNA#W0, R5F100GJGNA#W0
		非搭載	A	R5F101GAANA#U0, R5F101GCANA#U0, R5F101GDANA#U0, R5F101GEANA#U0, R5F101GFANA#U0, R5F101GGANA#U0, R5F101GHANA#U0, R5F101GJANA#U0, R5F101GKANA#U0, R5F101GLANA#U0 R5F101GAANA#W0, R5F101GCANA#W0, R5F101GDANA#W0, R5F101GEANA#W0, R5F101GFANA#W0, R5F101GGANA#W0, R5F101GHANA#W0, R5F101GJANA#W0, R5F101GKANA#W0, R5F101GLANA#W0
			D	R5F101GADNA#U0, R5F101GCDNA#U0, R5F101GDDNA#U0, R5F101GEDNA#U0, R5F101GFDNA#U0, R5F101GGDNA#U0, R5F101GHDNA#U0, R5F101GJDNA#U0, R5F101GKDNA#U0, R5F101GLDNA#U0 R5F101GADNA#W0, R5F101GCDNA#W0, R5F101GDDNA#W0, R5F101GEDNA#W0, R5F101GFDNA#W0, R5F101GGDNA#W0, R5F101GHDNA#W0, R5F101GJDNA#W0, R5F101GKDNA#W0, R5F101GLDNA#W0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（7/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
52ピン	52ピン・プラスチック LQFP（10x10mm, 0.65mm ピッチ）	搭載	A	R5F100JCAFA#V0, R5F100JDAFA#V0, R5F100JEAFA#V0, R5F100JFAFA#V0, R5F100JGAFA#V0, R5F100JHAFA#V0, R5F100JJAFA#V0, R5F100JKAFA#V0, R5F100JLAFA#V0 R5F100JCAFA#X0, R5F100JDAFA#X0, R5F100JEAFA#X0, R5F100JFAFA#X0, R5F100JGAFA#X0, R5F100JHAFA#X0, R5F100JJAFA#X0, R5F100JKAFA#X0, R5F100JLAFA#X0
			D	R5F100JCDFA#V0, R5F100JDDFA#V0, R5F100JEDFA#V0, R5F100JFDFA#V0, R5F100JGDFA#V0, R5F100JHDFA#V0, R5F100JJDFA#V0, R5F100JKDFA#V0, R5F100JLDFA#V0 R5F100JCDFA#X0, R5F100JDDFA#X0, R5F100JEDFA#X0, R5F100JFDFA#X0, R5F100JGDFA#X0, R5F100JHDFA#X0, R5F100JJDFA#X0, R5F100JKDFA#X0, R5F100JLDFA#X0
			G	R5F100JCGFA#V0, R5F100JDGFA#V0, R5F100JEGFA#V0, R5F100JFGFA#V0,R5F100JGGFA#V0, R5F100JHGFA#V0, R5F100JJGFA#V0 R5F100JCGFA#X0, R5F100JDGFA#X0, R5F100JEGFA#X0, R5F100JFGFA#X0,R5F100JGGFA#X0, R5F100JHGFA#X0, R5F100JJGFA#X0
		非搭載	A	R5F101JCAFA#V0, R5F101JDAFA#V0, R5F101JEAFA#V0, R5F101JFAFA#V0, R5F101JGAFA#V0, R5F101JHAFA#V0, R5F101JJAFA#V0, R5F101JKAFA#V0, R5F101JLAFA#V0 R5F101JCAFA#X0, R5F101JDAFA#X0, R5F101JEAFA#X0, R5F101JFAFA#X0, R5F101JGAFA#X0, R5F101JHAFA#X0, R5F101JJAFA#X0, R5F101JKAFA#X0, R5F101JLAFA#X0
			D	R5F101JCDFA#V0, R5F101JDDFA#V0, R5F101JEDFA#V0, R5F101JFDFA#V0, R5F101JGDFA#V0, R5F101JHDFA#V0, R5F101JJDFA#V0, R5F101JKDFA#V0, R5F101JLDFA#V0 R5F101JCDFA#X0, R5F101JDDFA#X0, R5F101JEDFA#X0, R5F101JFDFA#X0, R5F101JGDFA#X0, R5F101JHDFA#X0, R5F101JJDFA#X0, R5F101JKDFA#X0, R5F101JLDFA#X0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（8/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
64ピン	64ピン・プラスチック LQFP（12x12mm, 0.65mm ピッチ）	搭載	A	R5F100LCAFA#V0, R5F100LDAFA#V0, R5F100LEAFA#V0, R5F100LFAFA#V0, R5F100LGAFA#V0, R5F100LHAFA#V0, R5F100LJAFA#V0, R5F100LKAFA#V0, R5F100LLAFA#V0 R5F100LCAFA#X0, R5F100LDAFA#X0, R5F100LEAFA#X0, R5F100LFAFA#X0, R5F100LGAFA#X0, R5F100LHAFA#X0, R5F100LJAFA#X0, R5F100LKAFA#X0, R5F100LLAFA#X0
			D	R5F100LCDFA#V0, R5F100LDDFA#V0, R5F100LEDFA#V0, R5F100LFDFA#V0, R5F100LGDFA#V0, R5F100LHDFA#V0, R5F100LJDFA#V0, R5F100LKDFA#V0, R5F100LLDFA#V0 R5F100LCDFA#X0, R5F100LDDFA#X0, R5F100LEDFA#X0, R5F100LFDFA#X0, R5F100LGDFA#X0, R5F100LHDFA#X0, R5F100LJDFA#X0, R5F100LKDFA#X0, R5F100LLDFA#X0
			G	R5F100LCGFA#V0, R5F100LDGFA#V0, R5F100LEGFA#V0, R5F100LFGFA#V0 R5F100LCGFA#X0, R5F100LDGFA#X0, R5F100LEGFA#X0, R5F100LFGFA#X0 R5F100LGGFA#V0, R5F100LHGFA#V0, R5F100LJGFA#V0 R5F100LGGFA#X0, R5F100LHGFA#X0, R5F100LJGFA#X0
		非搭載	A	R5F101LCAFA#V0, R5F101LDAFA#V0, R5F101LEAFA#V0, R5F101LFAFA#V0, R5F101LGAFA#V0, R5F101LHAFA#V0, R5F101LJAFA#V0, R5F101LKAFA#V0, R5F101LLAFA#V0 R5F101LCAFA#X0, R5F101LDAFA#X0, R5F101LEAFA#X0, R5F101LFAFA#X0, R5F101LGAFA#X0, R5F101LHAFA#X0, R5F101LJAFA#X0, R5F101LKAFA#X0, R5F101LLAFA#X0
			D	R5F101LCDFA#V0, R5F101LDDFA#V0, R5F101LEDFA#V0, R5F101LFDFA#V0, R5F101LGDFA#V0, R5F101LHDFA#V0, R5F101LJDFA#V0, R5F101LKDFA#V0, R5F101LLDFA#V0 R5F101LCDFA#X0, R5F101LDDFA#X0, R5F101LEDFA#X0, R5F101LFDFA#X0, R5F101LGDFA#X0, R5F101LHDFA#X0, R5F101LJDFA#X0, R5F101LKDFA#X0, R5F101LLDFA#X0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（9/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
64ピン	64ピン・プラスチック LFQFP（10x10mm, 0.5mmピッチ）	搭載	A	R5F100LCAFB#V0, R5F100LDAFB#V0, R5F100LEAFB#V0, R5F100LFAFB#V0, R5F100LGAFB#V0, R5F100LHAFB#V0, R5F100LJAFB#V0, R5F100LKAFB#V0, R5F100LLAFB#V0 R5F100LCAFB#X0, R5F100LDAFB#X0, R5F100LEAFB#X0, R5F100LFAFB#X0, R5F100LGAFB#X0, R5F100LHAFB#X0, R5F100LJAFB#X0, R5F100LKAFB#X0, R5F100LLAFB#X0
			D	R5F100LCDFB#V0, R5F100LDDFB#V0, R5F100LEDFB#V0, R5F100LFDFB#V0, R5F100LGDFB#V0, R5F100LHDFB#V0, R5F100LJDFB#V0, R5F100LKDFB#V0, R5F100LLDFB#V0 R5F100LCDFB#X0, R5F100LDDFB#X0, R5F100LEDFB#X0, R5F100LFDFB#X0, R5F100LGDFB#X0, R5F100LHDFB#X0, R5F100LJDFB#X0, R5F100LKDFB#X0, R5F100LLDFB#X0
			G	R5F100LCGFB#V0, R5F100LDGFB#V0, R5F100LEGFB#V0, R5F100LFGFB#V0 R5F100LCGFB#X0, R5F100LDGFB#X0, R5F100LEGFB#X0, R5F100LFGFB#X0 R5F100LGGFB#V0, R5F100LHGFB#V0, R5F100LJGFB#V0 R5F100LGGFB#X0, R5F100LHGFB#X0, R5F100LJGFB#X0
		非搭載	A	R5F101LCAFB#V0, R5F101LDAFB#V0, R5F101LEAFB#V0, R5F101LFAFB#V0, R5F101LGAFB#V0, R5F101LHAFB, R5F101LJAFB, R5F101LKAFB, R5F101LLAFB R5F101LCAFB#X0, R5F101LDAFB#X0, R5F101LEAFB#X0, R5F101LFAFB#X0, R5F101LGAFB#X0, R5F101LHAFB, R5F101LJAFB, R5F101LKAFB, R5F101LLAFB
			D	R5F101LCDFB#V0, R5F101LDDFB#V0, R5F101LEDFB#V0, R5F101LFDFB#V0, R5F101LGDFB#V0, R5F101LHDFB, R5F101LJDFB, R5F101LKDFB, R5F101LLDFB R5F101LCDFB#X0, R5F101LDDFB#X0, R5F101LEDFB#X0, R5F101LFDFB#X0, R5F101LGDFB#X0, R5F101LHDFB, R5F101LJDFB, R5F101LKDFB, R5F101LLDFB
	64ピン・プラスチック VFBGA（4x4mm, 0.4mmピッチ）	搭載	A	R5F100LCABG#U0, R5F100LDABG#U0, R5F100LEABG#U0, R5F100LFABG#U0, R5F100LGABG#U0, R5F100LHABG#U0, R5F100LJABG#U0 R5F100LCABG#W0, R5F100LDABG#W0, R5F100LEABG#W0, R5F100LFABG#W0, R5F100LGABG#W0, R5F100LHABG#W0, R5F100LJABG#W0
		非搭載	A	R5F101LCABG#U0, R5F101LDABG#U0, R5F101LEABG#U0, R5F101LFABG#U0, R5F101LGABG#U0, R5F101LHABG#U0, R5F101LJABG#U0 R5F101LCABG#W0, R5F101LDABG#W0, R5F101LEABG#W0, R5F101LFABG#W0, R5F101LGABG#W0, R5F101LHABG#W0, R5F101LJABG#W0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（10/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
80ピン	80ピン・プラスチック LQFP（14x14mm, 0.65mmピッチ）	搭載	A	R5F100MFAFA#V0, R5F100MGAFA#V0, R5F100MHAFA#V0, R5F100MJAFA#V0, R5F100MKAFA#V0, R5F100MLAFA#V0 R5F100MFAFA#X0, R5F100MGAFA#X0, R5F100MHAFA#X0, R5F100MJAFA#X0, R5F100MKAFA#X0, R5F100MLAFA#X0
			D	R5F100MFDFA#V0, R5F100MGDFA#V0, R5F100MHDFA#V0, R5F100MJDFA#V0, R5F100MKDFA#V0, R5F100MLDFA#V0 R5F100MFDFA#X0, R5F100MGDFA#X0, R5F100MHDFA#X0, R5F100MJDFA#X0, R5F100MKDFA#X0, R5F100MLDFA#X0
			G	R5F100MFGFA#V0, R5F100MGGFA#V0, R5F100MHGFA#V0, R5F100MJGFA#V0 R5F100MFGFA#X0, R5F100MGGFA#X0, R5F100MHGFA#X0, R5F100MJGFA#X0
		非搭載	A	R5F101MFAFA#V0, R5F101MGAFA#V0, R5F101MHAFA#V0, R5F101MJAFA#V0, R5F101MKAFA#V0, R5F101MLAFA#V0 R5F101MFAFA#X0, R5F101MGAFA#X0, R5F101MHAFA#X0, R5F101MJAFA#X0, R5F101MKAFA#X0, R5F101MLAFA#X0
			D	R5F101MFDFA#V0, R5F101MGDFA#V0, R5F101MHDFA#V0, R5F101MJDFA#V0, R5F101MKDFA#V0, R5F101MLDFA#V0 R5F101MFDFA#X0, R5F101MGDFA#X0, R5F101MHDFA#X0, R5F101MJDFA#X0, R5F101MKDFA#X0, R5F101MLDFA#X0
	80ピン・プラスチック LFQFP（12x12mm, 0.5mmピッチ）	搭載	A	R5F100MFAFB#V0, R5F100MGAFB#V0, R5F100MHAFB#V0, R5F100MJAFB#V0, R5F100MKAFB#V0, R5F100MLAFB#V0 R5F100MFAFB#X0, R5F100MGAFB#X0, R5F100MHAFB#X0, R5F100MJAFB#X0, R5F100MKAFB#X0, R5F100MLAFB#X0
			D	R5F100MFDFB#V0, R5F100MGDFB#V0, R5F100MHDFB#V0, R5F100MJDFB#V0, R5F100MKDFB#V0, R5F100MLDFB#V0 R5F100MFDFB#X0, R5F100MGDFB#X0, R5F100MHDFB#X0, R5F100MJDFB#X0, R5F100MKDFB#X0, R5F100MLDFB#X0
			G	R5F100MFGFB#V0, R5F100MGGFB#V0, R5F100MHGFB#V0, R5F100MJGFB#V0 R5F100MFGFB#X0, R5F100MGGFB#X0, R5F100MHGFB#X0, R5F100MJGFB#X0
		非搭載	A	R5F101MFAFB#V0, R5F101MGAFB#V0, R5F101MHAFB#V0, R5F101MJAFB#V0, R5F101MKAFB#V0, R5F101MLAFB#V0 R5F101MFAFB#X0, R5F101MGAFB#X0, R5F101MHAFB#X0, R5F101MJAFB#X0, R5F101MKAFB#X0, R5F101MLAFB#X0
			D	R5F101MFDFB#V0, R5F101MGDFB#V0, R5F101MHDFB#V0, R5F101MJDFB#V0, R5F101MKDFB#V0, R5F101MLDFB#V0 R5F101MFDFB#X0, R5F101MGDFB#X0, R5F101MHDFB#X0, R5F101MJDFB#X0, R5F101MKDFB#X0, R5F101MLDFB#X0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（11/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分注	発注型名
100ピン	100ピン・プラスチックLFQFP（14x14mm, 0.65mmピッチ）	搭載	A	R5F100PFAFB#V0, R5F100PGAFB#V0, R5F100PHAFB#V0, R5F100PJAFB#V0, R5F100PKAFB#V0, R5F100PLAFB#V0
			D	R5F100PFAFB#X0, R5F100PGAFB#X0, R5F100PHAFB#X0, R5F100PJAFB#X0, R5F100PKAFB#X0, R5F100PLAFB#X0
			G	R5F100PFDFB#V0, R5F100PGDFB#V0, R5F100PHDFB#V0, R5F100PJDFB#V0, R5F100PKDFB#V0, R5F100PLDFB#V0 R5F100PFDFB#X0, R5F100PGDFB#X0, R5F100PHDFB#X0, R5F100PJDFB#X0, R5F100PKDFB#X0, R5F100PLDFB#X0 R5F100PFGFB#V0, R5F100PGGFB#V0, R5F100PHGFB#V0, R5F100PJGFB#V0 R5F100PFGFB#X0, R5F100PGGFB#X0, R5F100PHGFB#X0, R5F100PJGFB#X0
		非搭載	A	R5F101PFAFB#V0, R5F101PGAFB#V0, R5F101PHAFB#V0, R5F101PJAFB#V0, R5F101PKAFB#V0, R5F101PLAFB#V0 R5F101PFAFB#X0, R5F101PGAFB#X0, R5F101PHAFB#X0, R5F101PJAFB#X0, R5F101PKAFB#X0, R5F101PLAFB#X0
			D	R5F101PFDFB#V0, R5F101PGDFB#V0, R5F101PHDFB#V0, R5F101PJDFB#V0, R5F101PKDFB#V0, R5F101PLDFB#V0 R5F101PFDFB#X0, R5F101PGDFB#X0, R5F101PHDFB#X0, R5F101PJDFB#X0, R5F101PKDFB#X0, R5F101PLDFB#X0
	100ピン・プラスチックLQFP（14x20mm, 0.65mmピッチ）	搭載	A	R5F100PFAFA#V0, R5F100PGAFA#V0, R5F100PHAFA#V0, R5F100PJAFA#V0, R5F100PKAFA#V0, R5F100PLAFA#V0 R5F100PFAFA#X0, R5F100PGAFA#X0, R5F100PHAFA#X0, R5F100PJAFA#X0, R5F100PKAFA#X0, R5F100PLAFA#X0
			D	R5F100PFDFA#V0, R5F100PGDFA#V0, R5F100PHDFA#V0, R5F100PJDFA#V0, R5F100PKDFA#V0, R5F100PLDFA#V0 R5F100PFDFA#X0, R5F100PGDFA#X0, R5F100PHDFA#X0, R5F100PJDFA#X0, R5F100PKDFA#X0, R5F100PLDFA#X0
			G	R5F100PFGFA#V0, R5F100PGGFA#V0, R5F100PHGFA#V0, R5F100PJGFA#V0 R5F100PFGFA#X0, R5F100PGGFA#X0, R5F100PHGFA#X0, R5F100PJGFA#X0
		非搭載	A	R5F101PFAFA#V0, R5F101PGAFA#V0, R5F101PHAFA#V0, R5F101PJAFA#V0, R5F101PKAFA#V0, R5F101PLAFA#V0 R5F101PFAFA#X0, R5F101PGAFA#X0, R5F101PHAFA#X0, R5F101PJAFA#X0, R5F101PKAFA#X0, R5F101PLAFA#X0
			D	R5F101PFDFA#V0, R5F101PGDFA#V0, R5F101PHDFA#V0, R5F101PJDFA#V0, R5F101PKDFA#V0, R5F101PLDFA#V0 R5F101PFDFA#X0, R5F101PGDFA#X0, R5F101PHDFA#X0, R5F101PJDFA#X0, R5F101PKDFA#X0, R5F101PLDFA#X0

注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

表1-1　発注型名一覧

（12/12）

ピン数	パッケージ	データ・フラッシュ	用途・区分[注]	発注型名
128ピン	128ピン・プラスチックLFQFP（14x20mm, 0.5mmピッチ）	搭載	A	R5F100SHAFB#V0, R5F100SJAFB#V0, R5F100SKAFB#V0, R5F100SLAFB#V0 R5F100SHAFB#X0, R5F100SJAFB#X0, R5F100SKAFB#X0, R5F100SLAFB#X0
			D	R5F100SHDFB#V0, R5F100SJDFB#V0, R5F100SKDFB#V0, R5F100SLDFB#V0 R5F100SHDFB#X0, R5F100SJDFB#X0, R5F100SKDFB#X0, R5F100SLDFB#X0
		非搭載	A	R5F101SHAFB#V0, R5F101SJAFB#V0, R5F101SKAFB#V0, R5F101SLAFB#V0 R5F101SHAFB#X0, R5F101SJAFB#X0, R5F101SKAFB#X0, R5F101SLAFB#X0
			D	R5F101SHDFB#V0, R5F101SJDFB#V0, R5F101SKDFB#V0, R5F101SLDFB#V0 R5F101SHDFB#X0, R5F101SJDFB#X0, R5F101SKDFB#X0, R5F101SLDFB#X0

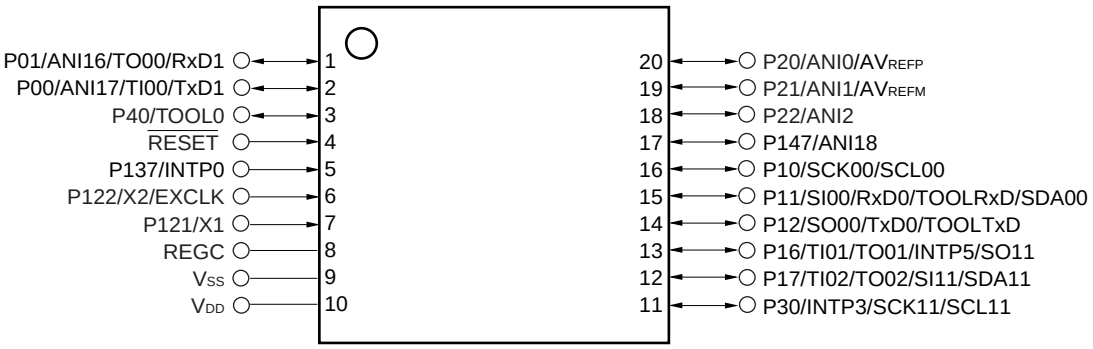
注　用途区分は，図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

1. 3　端子接続図（Top View）

1. 3. 1　20ピン製品

・20ピン・プラスチックLSSOP（7.62 mm（300），0.65mmピッチ）

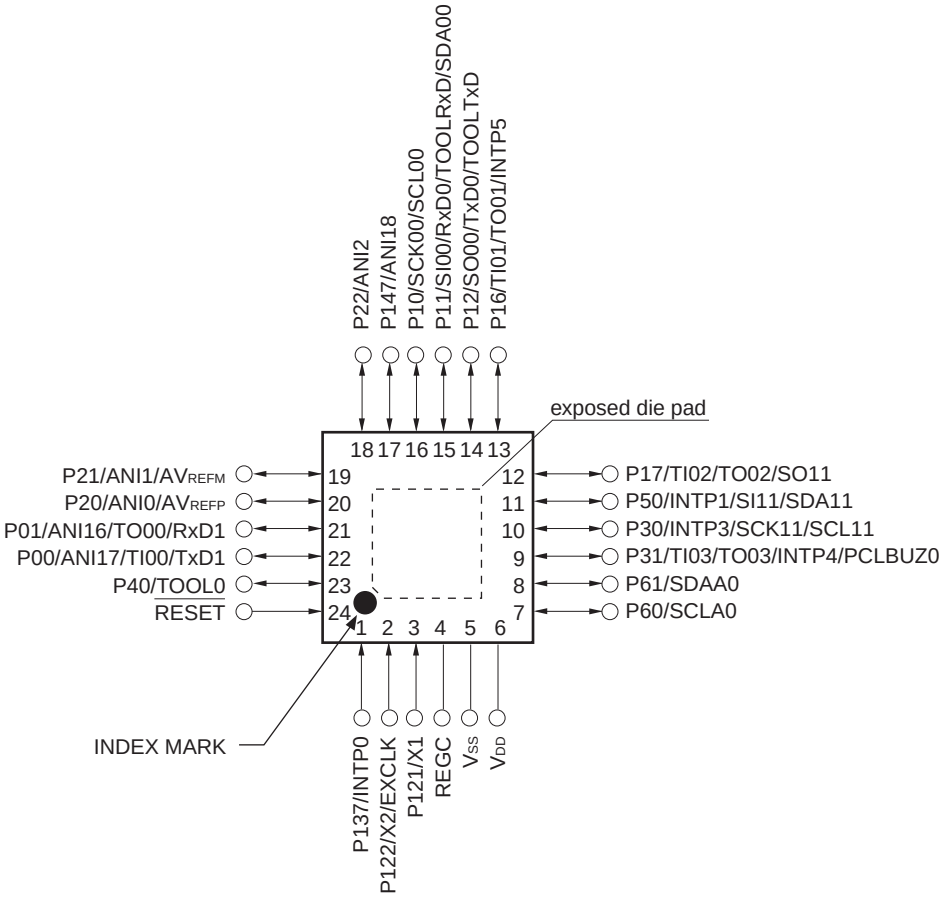


注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考　端子名称は，1. 4　端子名称を参照してください。

1. 3. 2　24ピン製品

・24ピン・プラスチックHWQFN（4×4mm，0.5mmピッチ）



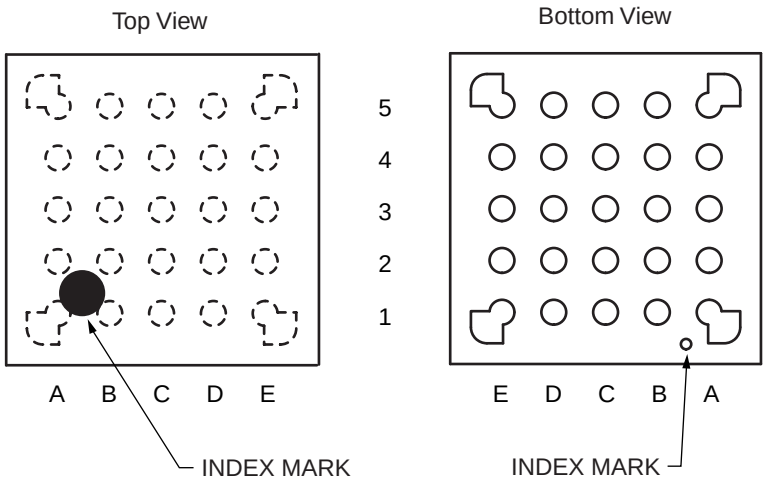
注意　REGC**端子はコンデンサ**（0.47～1 μF）**を介し，**Vss**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　exposed die pad**は，**Vss**に接続することを推奨します。**

1. 3. 3　25ピン製品

・25ピン・プラスチックWFLGA（3×3mm，0.50mmピッチ）



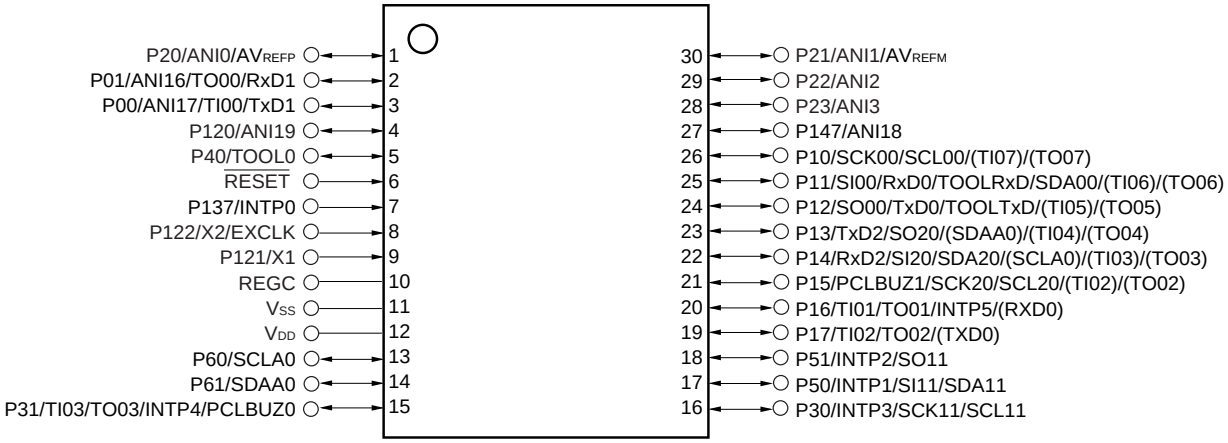
	A	B	C	D	E	
5	P40/TOOL0	$\overline{\text{RESET}}$	P01/ANI16/ TO00/RxD1	P22/ANI2	P147/ANI18	5
4	P122/X2/ EXCLK	P137/INTP0	P00/ANI17/ TI00/TxD1	P21/ANI1/ AV_{REFM}	P10/SCK00/ SCL00	4
3	P121/X1	V_{DD}	P20/ANI0/ AV_{REFP}	P12/SO00/ TxD0/ TOOLTxD	P11/SI00/ RxD0/ TOOLRxD/ SDA00	3
2	REGC	V_{SS}	P30/INTP3/ SCK11/SCL11	P17/TI02/ TO02/SO11	P50/INTP1/ SI11/SDA11	2
1	P60/SCLA0	P61/SDAA0	P31/TI03/ TO03/INTP4/ PCLBUZ0	P16/TI01/ TO01/INTP5	P130	1
	A	B	C	D	E	

注意　REGC**端子はコンデンサ**（0.47～1 μF）**を介し，**V_{SS}**に接続してください。**

備考　端子名称は，1. 4　**端子名称**を参照してください。

1. 3. 4　30ピン製品

・30ピン・プラスチックLSSOP（7.62 mm（300），0.65mmピッチ）



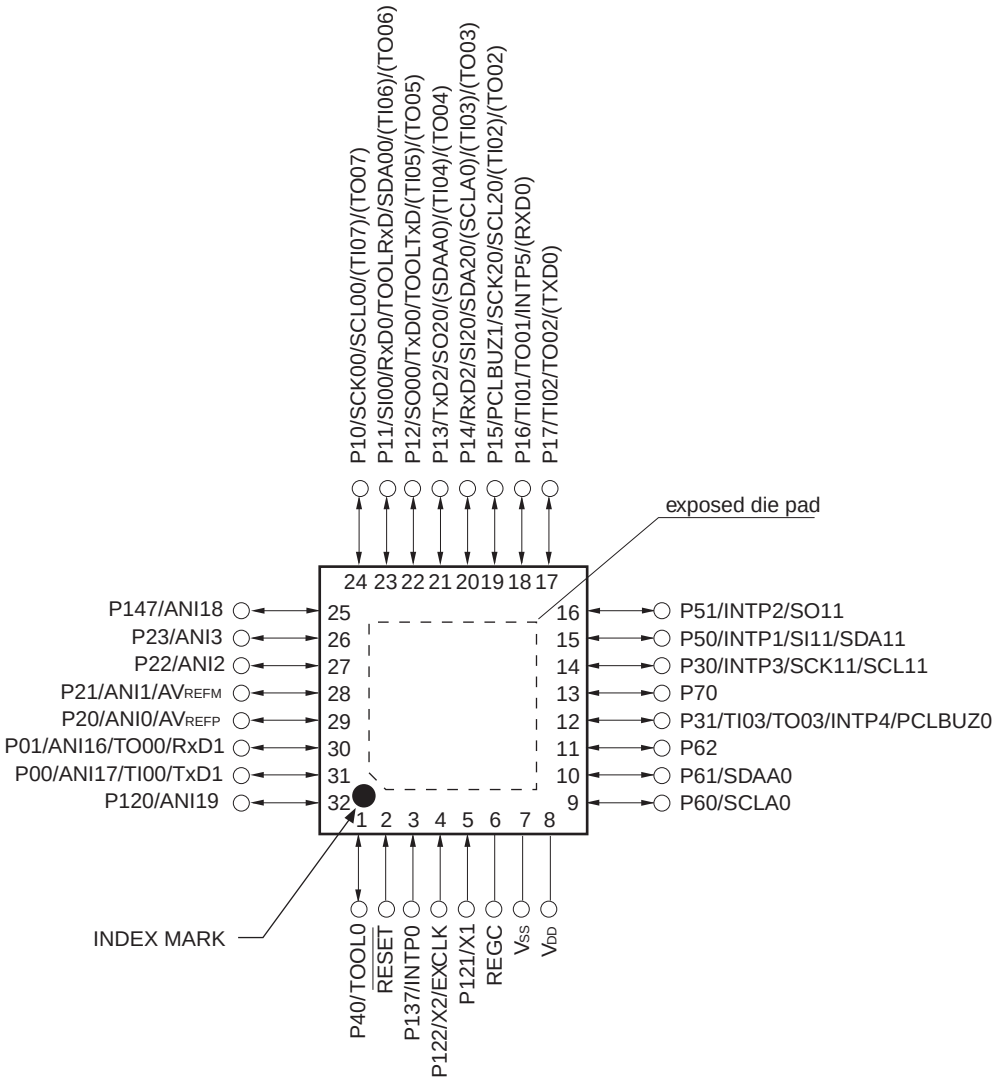
注意　REGC端子はコンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 3. 5　32ピン製品

・32ピン・プラスチックHWQFN（5×5mm，0.5mmピッチ）



注意　REGC**端子はコンデンサ**（0.47～1 μF）**を介し，**Vss**に接続してください。**

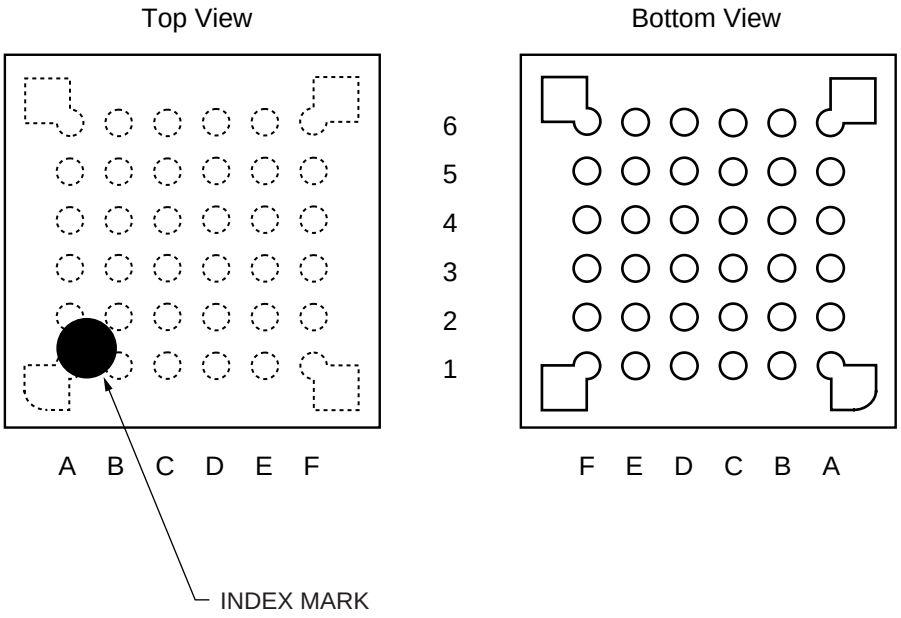
備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**上図の（ ）内の機能は，周辺**I/O**リダイレクション・レジスタ**（PIOR）**の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

3.　exposed die pad**は，**Vss**に接続することを推奨します。**

1. 3. 6　36ピン製品

・36ピン・プラスチックWFLGA（4×4mm，0.5mmピッチ）



	A	B	C	D	E	F	
6	P60/SCLA0	V_{DD}	P121/X1	P122/X2/EXCLK	P137/INTP0	P40/TOOL0	6
5	P62	P61/SDAA0	V_{SS}	REGC	$\overline{\text{RESET}}$	P120/ANI19	5
4	P72/SO21	P71/SI21/SDA21	P14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	P31/TI03/TO03/INTP4/PCLBUZ0	P00/TI00/TxD1	P01/TO00/RxD1	4
3	P50/INTP1/SI11/SDA11	P70/SCK21/SCL21	P15/PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)	P22/ANI2	P20/ANI0/AV_{REFP}	P21/ANI1/AV_{REFM}	3
2	P30/INTP3/SCK11/SCL11	P16/TI01/TO01/INTP5/(RxD0)	P12/SO00/TxD0/TOOLTxD/(TI05)/(TO05)	P11/SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	P24/ANI4	P23/ANI3	2
1	P51/INTP2/SO11	P17/TI02/TO02/(TxD0)	P13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)	P10/SCK00/SCL00/(TI07)/(TO07)	P147/ANI18	P25/ANI5	1
	A	B	C	D	E	F	

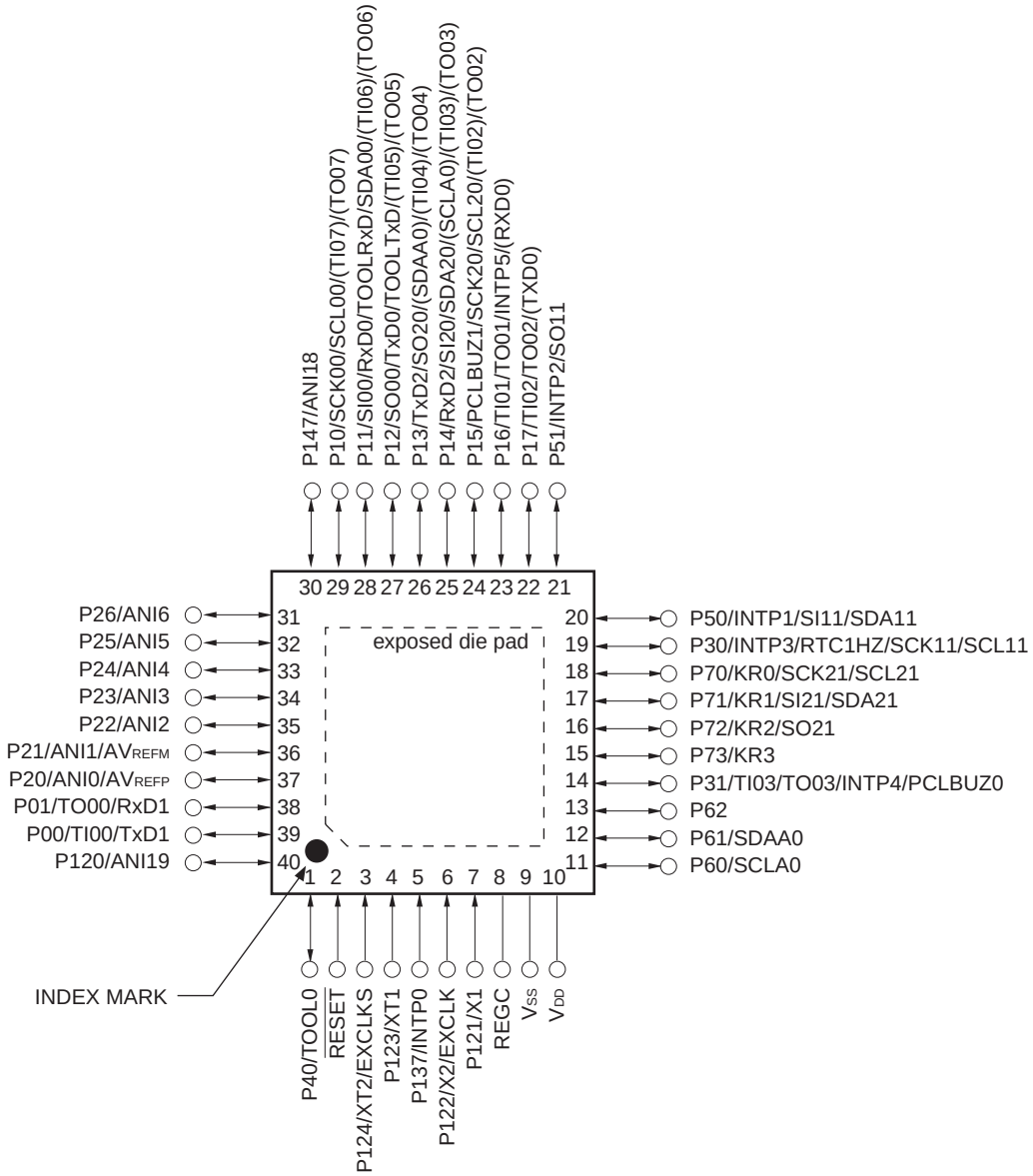
注意　REGC**端子はコンデンサ**（0.47～1 μF）**を介し，**V_{SS}**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**上図の（ ）内の機能は，周辺**I/O**リダイレクション・レジスタ**（PIOR）**の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 3. 7　40ピン製品

・40ピン・プラスチックHWQFN（6×6mm，0.5mmピッチ）



注意　REGC端子はコンデンサ（0.47～1 μF）を介し，Vssに接続してください。

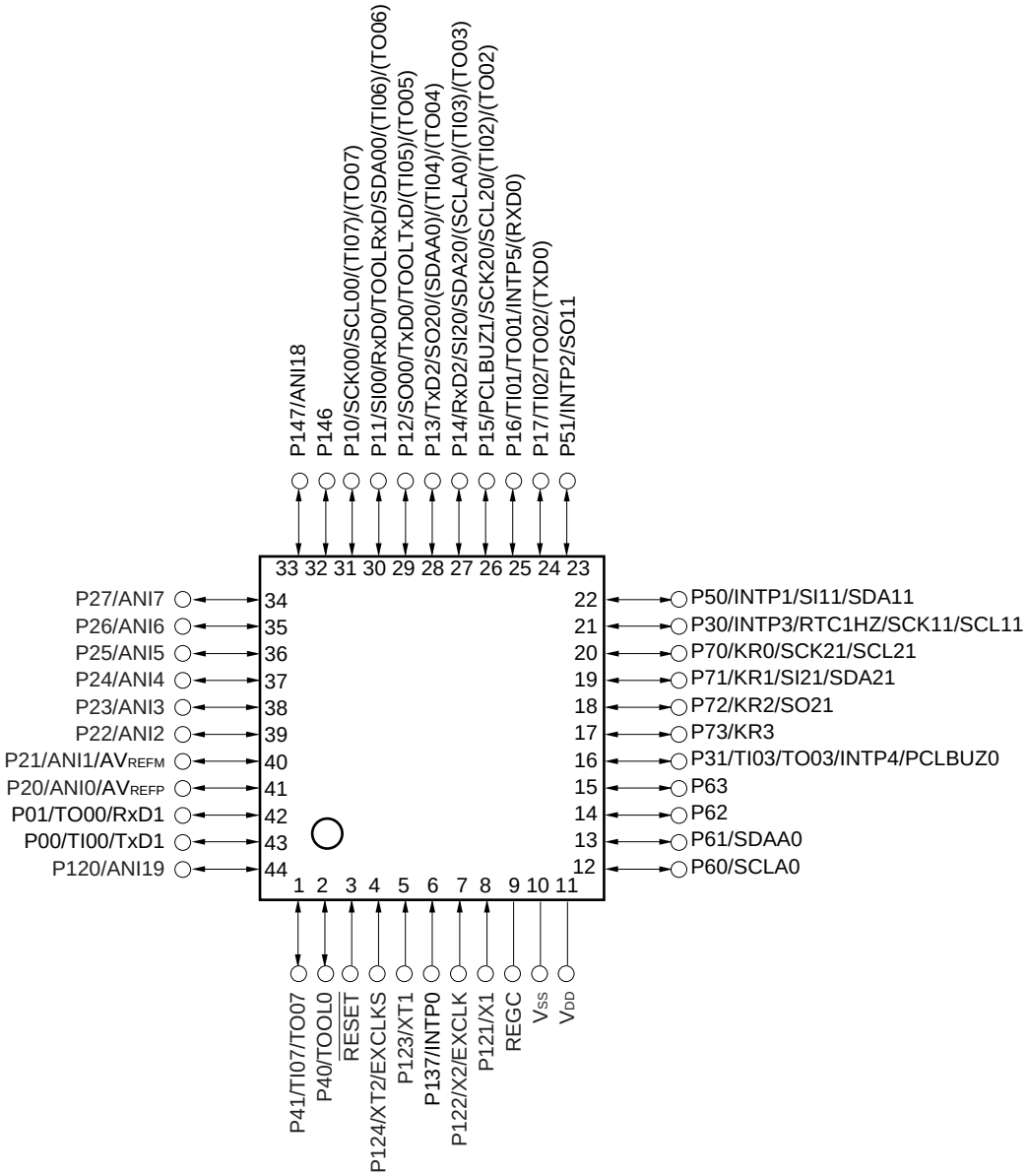
備考 1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

3.　exposed die padは，Vssに接続することを推奨します。

1. 3. 8　44ピン製品

・44ピン・プラスチックLQFP（10×10mm，0.8mmピッチ）



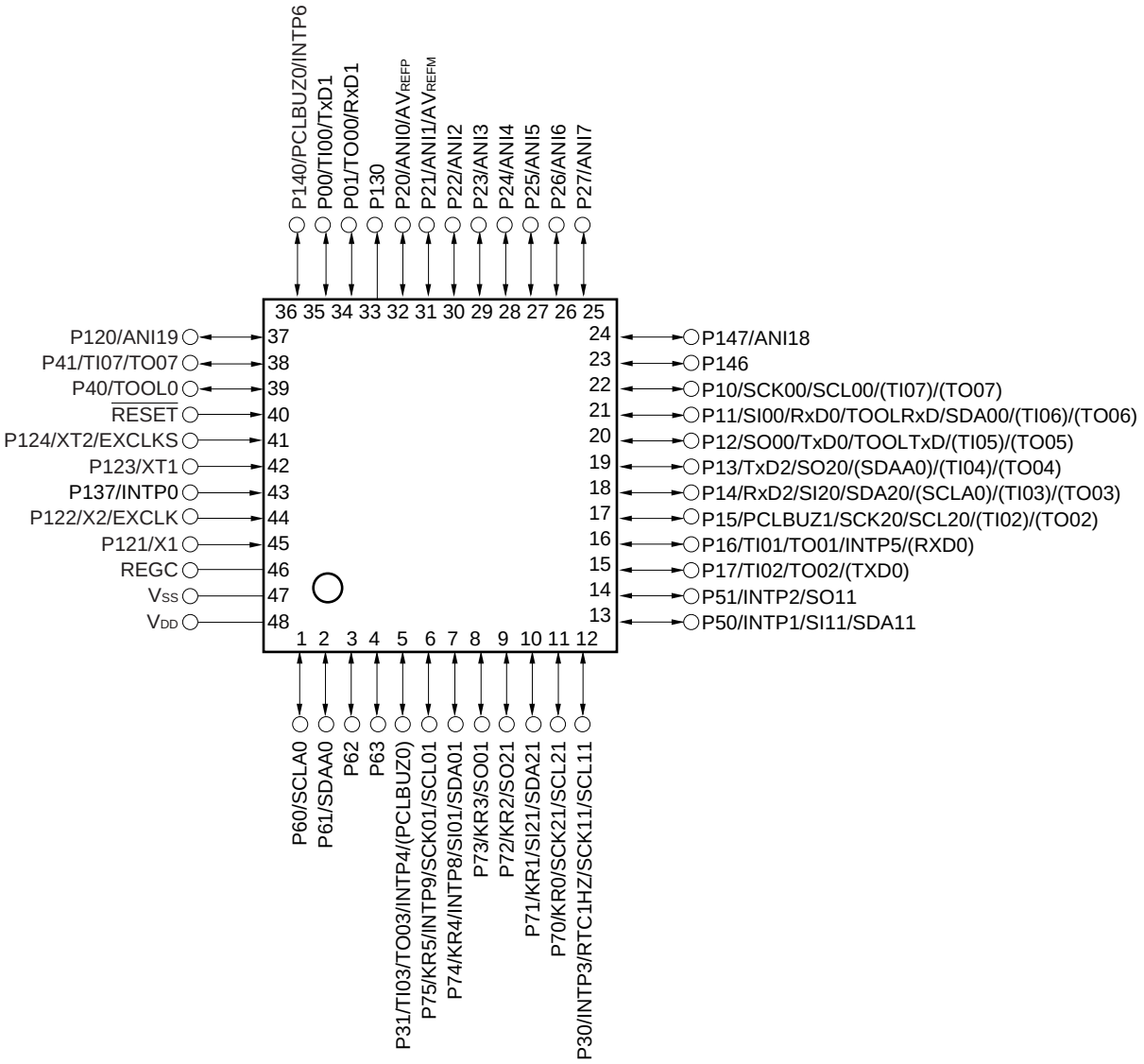
注意　REGC**端子はコンデンサ**（0.47～1 μF）**を介し，**VSS**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**上図の（ ）内の機能は，周辺**I/O**リダイレクション・レジスタ**（PIOR）**の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 3. 9　48ピン製品

・48ピン・プラスチックLFQFP（7×7mm，0.5mmピッチ）

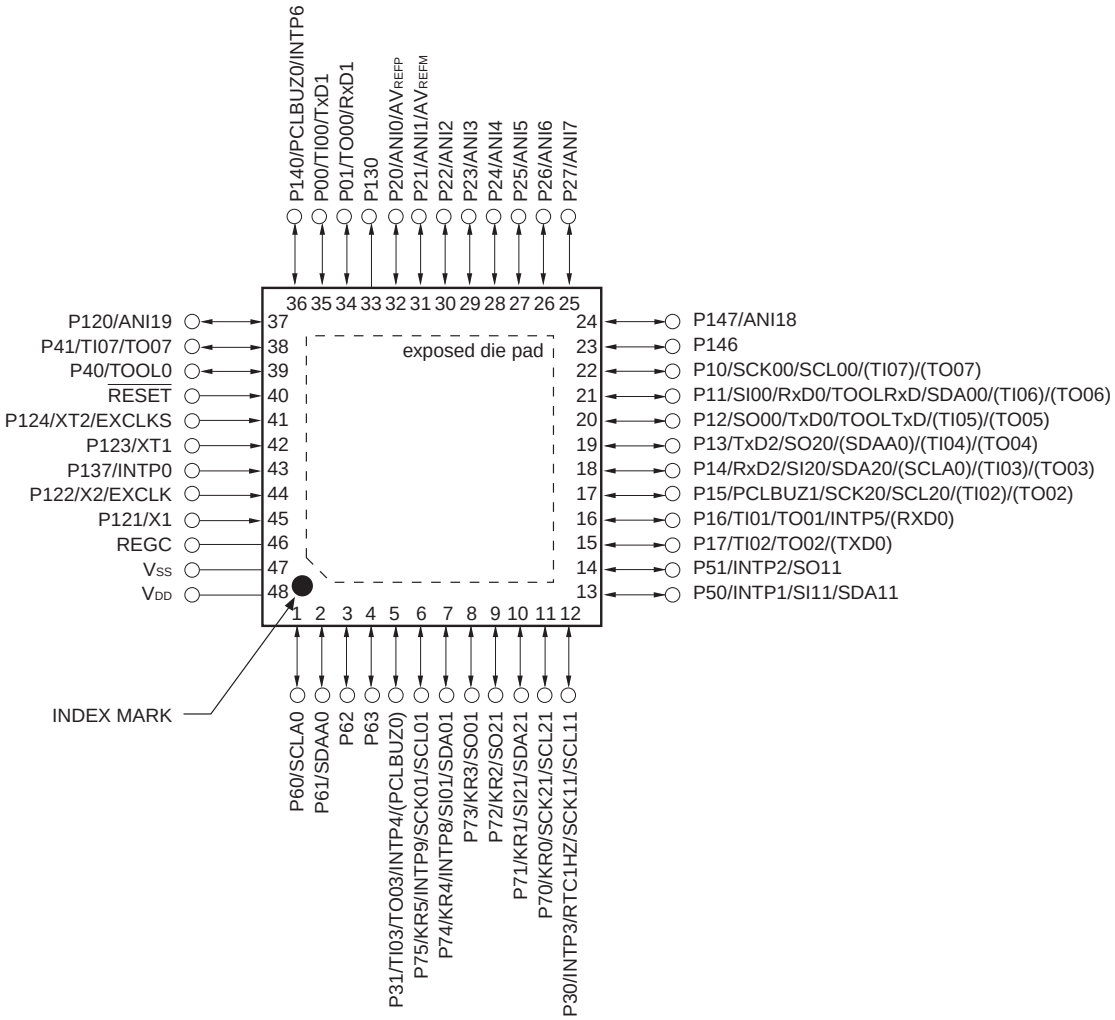


注意　REGC**端子はコンデンサ（**0.47～1 μF**）を介し，**VSS**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**上図の（ ）内の機能は，周辺**I/O**リダイレクション・レジスタ（**PIOR**）の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ（**PIOR**）のフォーマットを参照してください。**

・48ピン・プラスチックHWQFN（7×7mm，0.5mmピッチ）



注意　REGC**端子はコンデンサ**（0.47～1 μF）**を介し，**Vss**に接続してください。**

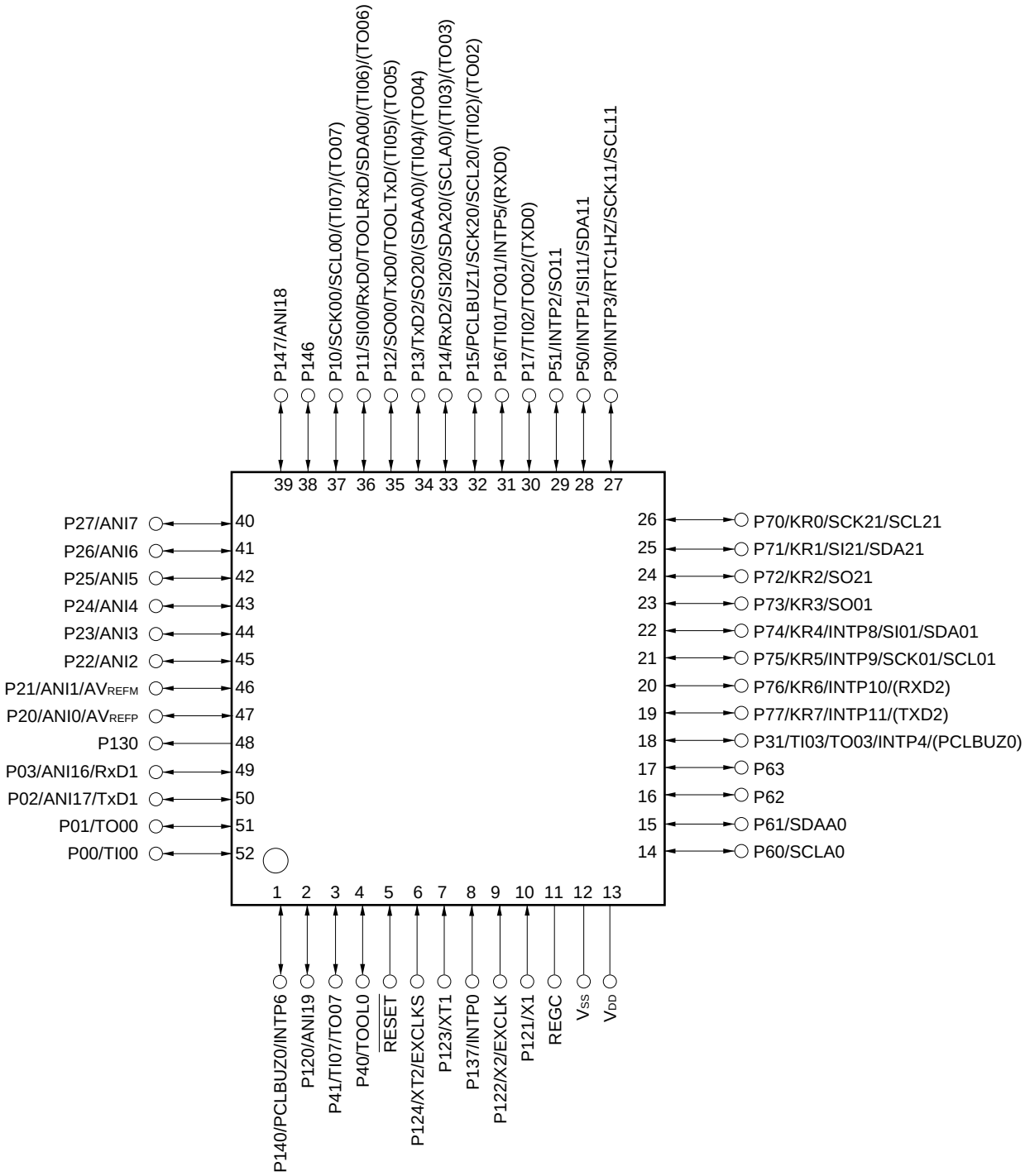
備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**上図の（ ）内の機能は，周辺**I/O**リダイレクション・レジスタ**（PIOR）**の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

3.　exposed die pad**は，**Vss**に接続することを推奨します。**

1. 3. 10　52ピン製品

・52ピン・プラスチックLQFP（10×10mm，0.65mmピッチ）



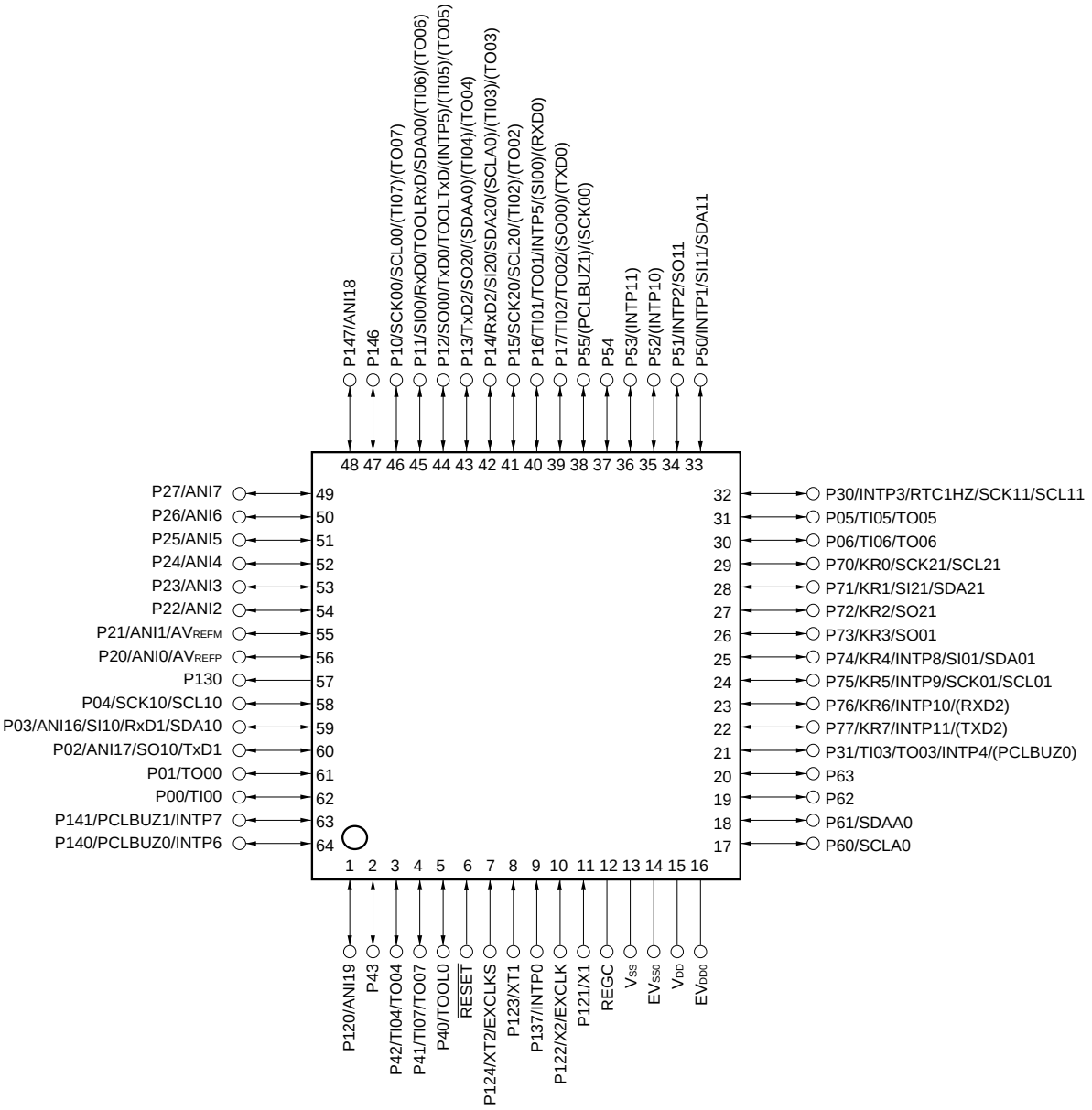
注意　REGC端子はコンデンサ（0.47～1 μF）を介し，Vssに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 3. 11　64ピン製品

- 64ピン・プラスチックLQFP（12×12mm，0.65mmピッチ）
- 64ピン・プラスチックLFQFP（10×10mm，0.5mmピッチ）



注意1.　EV_{SS0}**端子は，**V_{SS}**端子と同電位にしてください。**

2.　V_{DD}**端子は，**EV_{DD0}**端子以上の電圧にしてください。**

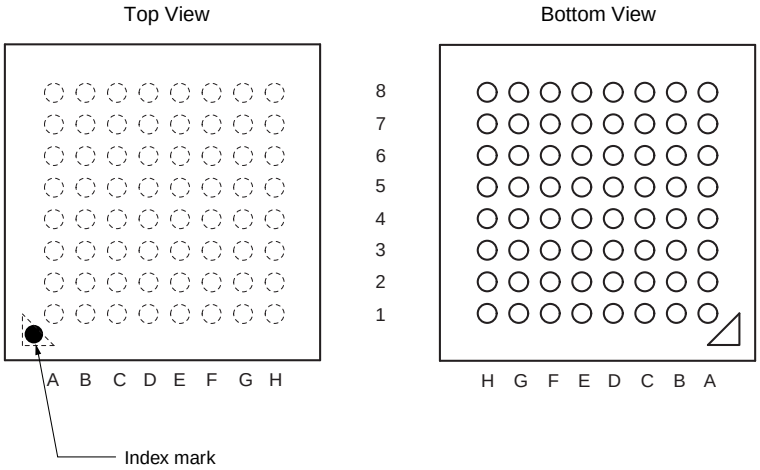
3.　REGC**端子はコンデンサ（**0.47～1 μF**）を介し，**V_{SS}**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，**V_{DD}**と**EV_{DD0}**に個別の電源を供給し，**V_{SS}**と**EV_{SS0}**を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。**

3.　**上図の（　）内の機能は，周辺**I/O**リダイレクション・レジスタ（**PIOR**）の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ（**PIOR**）のフォーマットを参照してください。**

・64ピン・プラスチックVFBGA（4×4mm，0.4mmピッチ）



ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	P05/TI05/TO05	C1	P51/INTP2/SO11	E1	P13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)	G1	P146
A2	P30/INTP3/RTC1HZ/SCK11/SCL11	C2	P71/KR1/SI21/SDA21	E2	P14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	G2	P25/ANI5
A3	P70/KR0/SCK21/SCL21	C3	P74/KR4/INTP8/SI01/SDA01	E3	P15/SCK20/SCL20/(TI02)/(TO02)	G3	P24/ANI4
A4	P75/KR5/INTP9/SCK01/SCL01	C4	P52/(INTP10)	E4	P16/TI01/TO01/INTP5/(SI00)/(RxD0)	G4	P22/ANI2
A5	P77/KR7/INTP11/(TxD2)	C5	P53/(INTP11)	E5	P03/ANI16/SI10/RxD1/SDA10	G5	P130
A6	P61/SDAA0	C6	P63	E6	P41/TI07/TO07	G6	P02/ANI17/SO10/TxD1
A7	P60/SCLA0	C7	V_{SS}	E7	$\overline{RESET}$	G7	P00/TI00
A8	EV_{DD0}	C8	P121/X1	E8	P137/INTP0	G8	P124/XT2/EXCLKS
B1	P50/INTP1/SI11/SDA11	D1	P55/(PCLBUZ1)/(SCK00)	F1	P10/SCK00/SCL00/(TI07)/(TO07)	H1	P147/ANI18
B2	P72/KR2/SO21	D2	P06/TI06/TO06	F2	P11/SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	H2	P27/ANI7
B3	P73/KR3/SO01	D3	P17/TI02/TO02/(SO00)/(TxD0)	F3	P12/SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	H3	P26/ANI6
B4	P76/KR6/INTP10/(RxD2)	D4	P54	F4	P21/ANI1/AV_{REFM}	H4	P23/ANI3
B5	P31/TI03/TO03/INTP4/(PCLBUZ0)	D5	P42/TI04/TO04	F5	P04/SCK10/SCL10	H5	P20/ANI0/AV_{REFP}
B6	P62	D6	P40/TOOL0	F6	P43	H6	P141/PCLBUZ1/INTP7
B7	V_{DD}	D7	REGC	F7	P01/TO00	H7	P140/PCLBUZ0/INTP6
B8	EV_{SS0}	D8	P122/X2/EXCLK	F8	P123/XT1	H8	P120/ANI19

注意1.　EV_{SS0}**端子は，**V_{SS}**端子と同電位にしてください。**

2.　V_{DD}**端子は，**EV_{DD0}**端子以上の電位にしてください。**

3.　REGC**端子はコンデンサ（**0.47～1 μF**）を介し，**V_{SS}**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

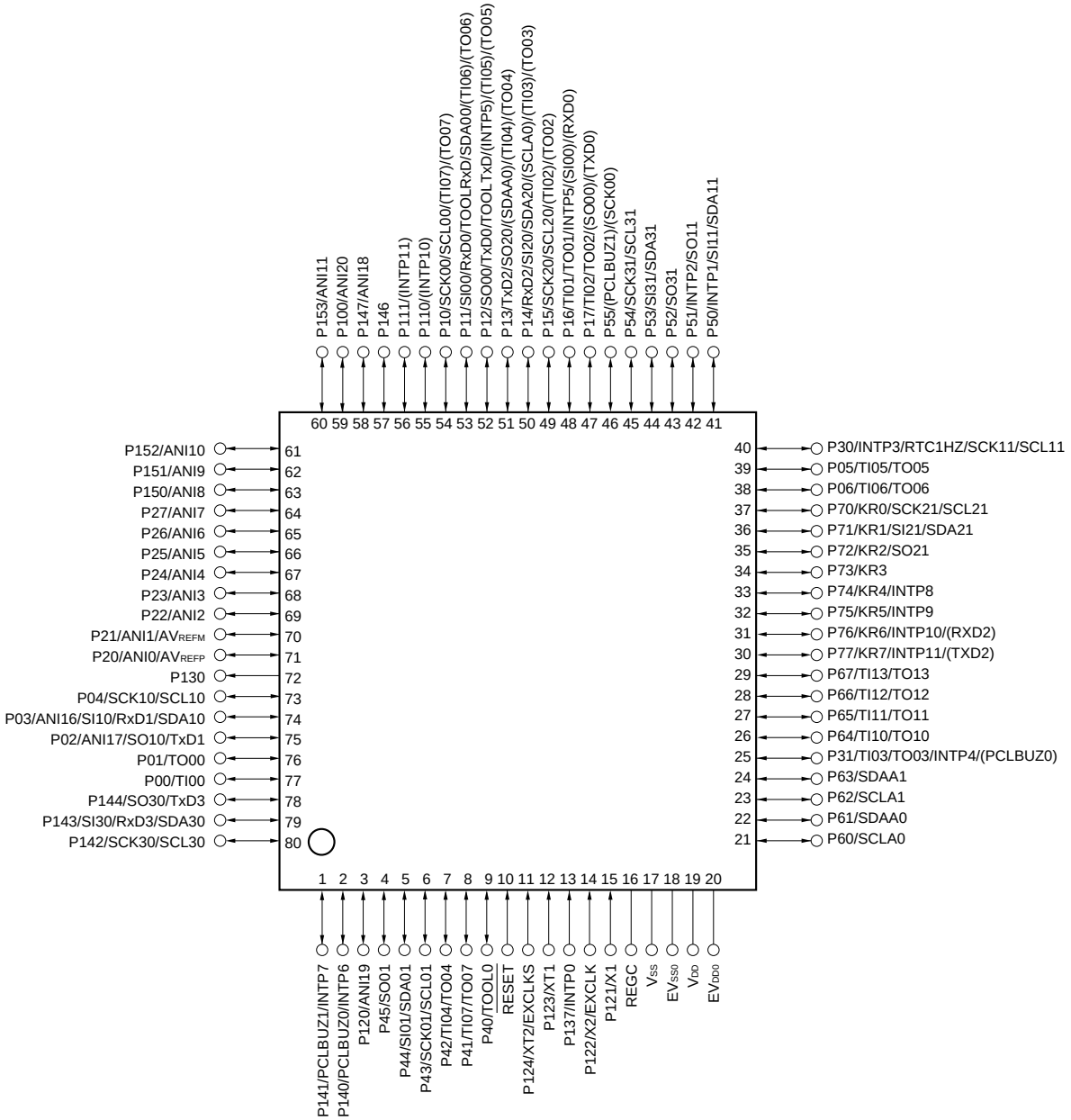
2.　**マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，**V_{DD}**と**EV_{DD0}**に個別の電源を供給し，**V_{SS}**と**EV_{SS0}**を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。**

3.　**上図の（ ）内の機能は，周辺**I/O**リダイレクション・レジスタ（**PIOR**）の設定により，割り当て可能です。**

図4－8　**周辺**I/O**リダイレクション・レジスタ（**PIOR**）のフォーマットを参照してください。**

1. 3. 12　80ピン製品

- 80ピン・プラスチックLQFP（14×14mm，0.65mmピッチ）
- 80ピン・プラスチックLFQFP（12×12mm，0.5mmピッチ）



注意 1. EVSS0端子は，VSS端子と同電位にしてください。

2. VDD端子は，EVDD0端子以上の電圧にしてください。

3. REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

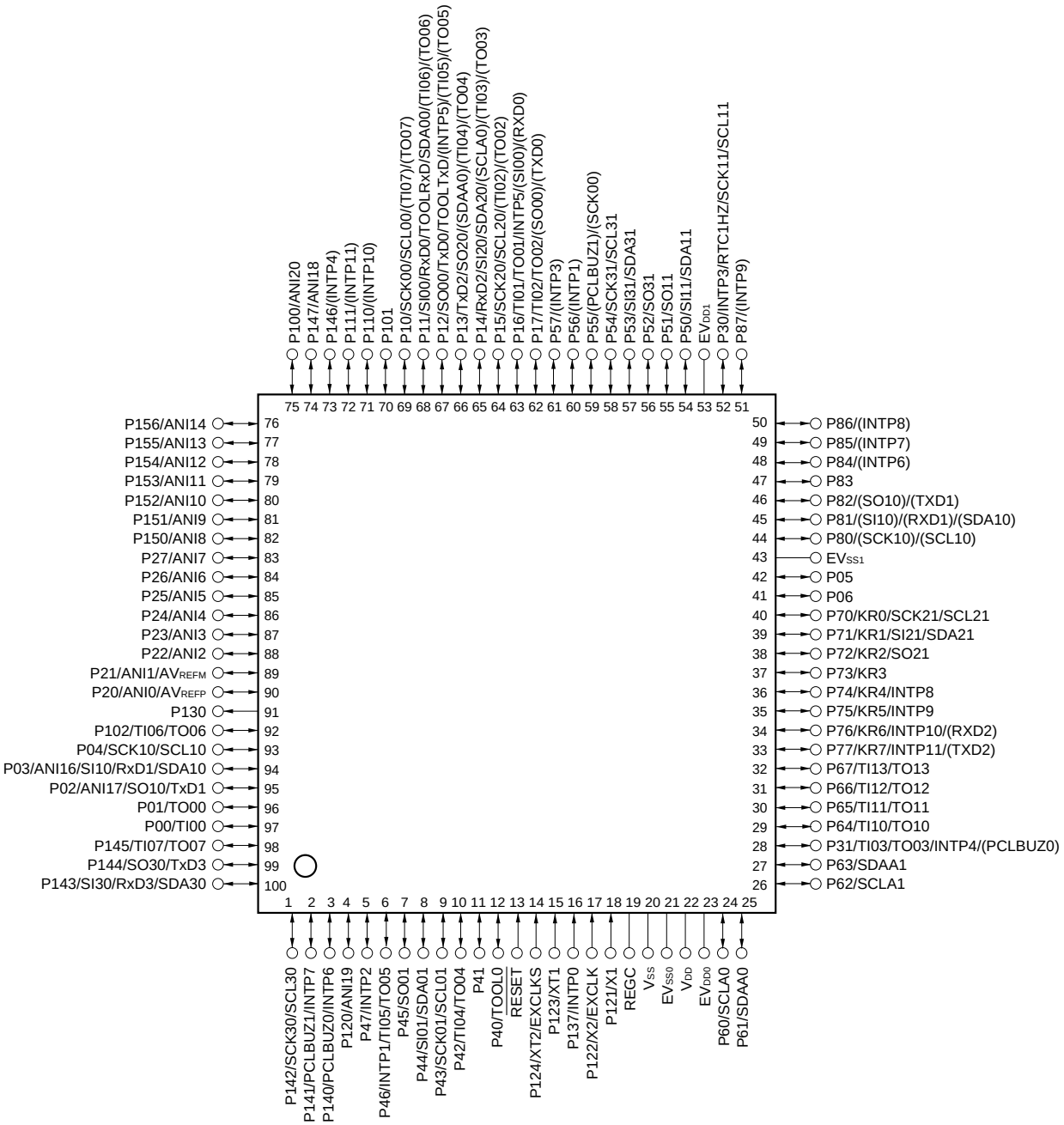
備考 1. 端子名称は，1. 4　端子名称を参照してください。

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，VDDとEVDD0に個別の電源を供給し，VSSとEVSS0を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

3. 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 3. 13　100ピン製品

・100ピン・プラスチックLFQFP（14×14mm，0.65mmピッチ）



注意1.　EVSS0, EVSS1**端子は，**VSS**端子と同電位にしてください。**

2.　VDD**端子は，**EVDD0, EVDD1**端子以上の電圧にしてください。また，**EVDD0 = EVDD1**としてください。**

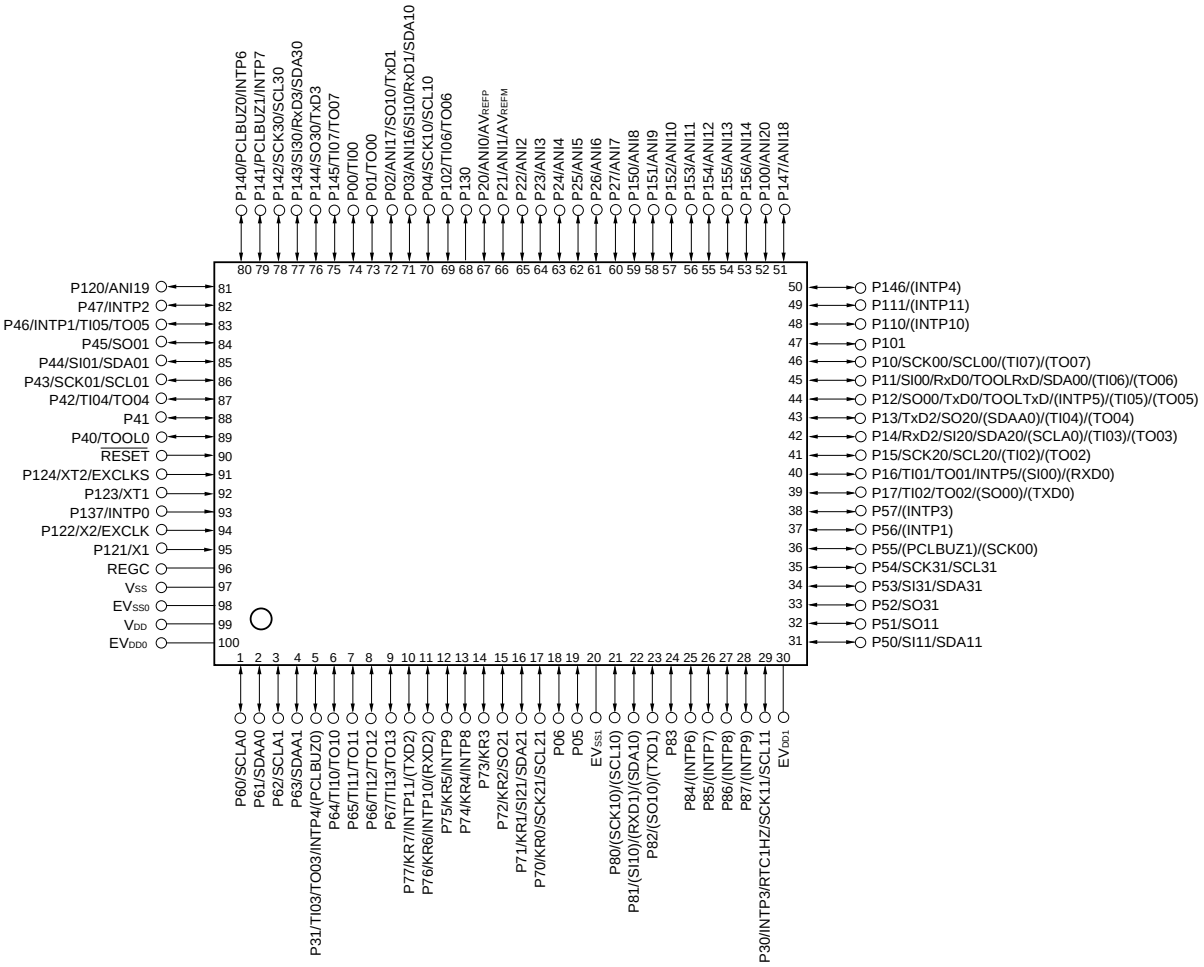
3.　REGC**端子はコンデンサ（**0.47～1 μF**）を介し，**VSS**に接続してください。**

備考1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，**VDD**と**EVDD0, EVDD1**に個別の電源を供給し，**VSS**と**EVSS0, EVSS1**を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。**

3.　**上図の（　）内の機能は，周辺**I/O**リダイレクション・レジスタ（**PIOR**）の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ（**PIOR**）のフォーマットを参照してください。**

・100ピン・プラスチックLQFP（14×20mm，0.65mmピッチ）



注意1.　EV_{SS0}, EV_{SS1}**端子は，**V_{SS}**端子と同電位にしてください。**

2.　V_{DD}**端子は，**EV_{DD0}, EV_{DD1}**端子以上の電圧にしてください。また，**EV_{DD0} = EV_{DD1}**としてください。**

3.　REGC**端子はコンデンサ（**0.47～1 μF**）を介し，**V_{SS}**に接続してください。**

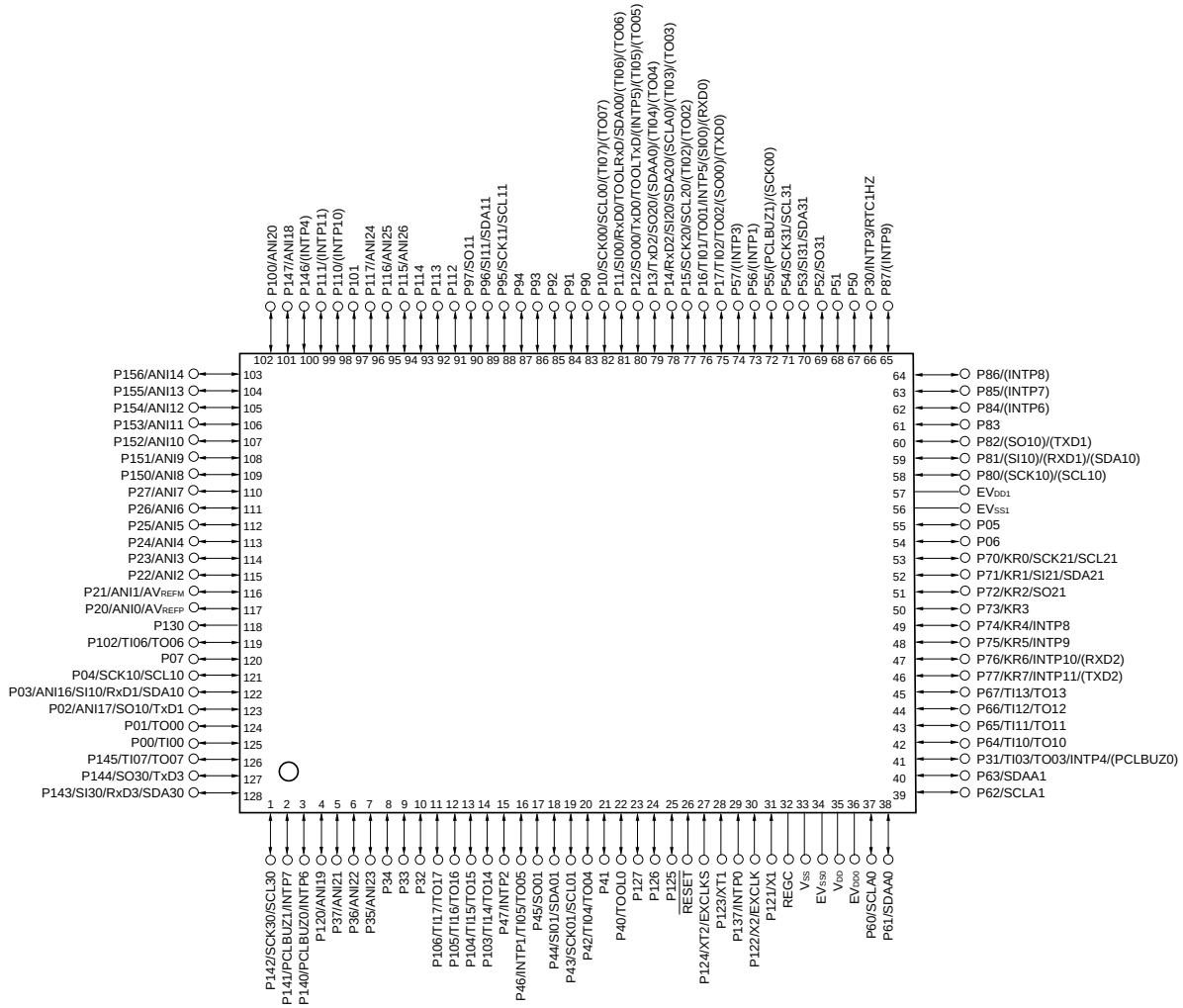
備考1.　**端子名称は，**1. 4　**端子名称**を参照してください。

2.　**マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，**V_{DD}**と**EV_{DD0}, EV_{DD1}**に個別の電源を供給し，**V_{SS}**と**EV_{SS0}, EV_{SS1}**を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。**

3.　**上図の（　）内の機能は，周辺**I/O**リダイレクション・レジスタ（**PIOR**）の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ（**PIOR**）のフォーマットを参照してください。**

1. 3. 14　128ピン製品

・128ピン・プラスチックLFQFP（14×20mm，0.5mmピッチ）



注意 1.　EVSS0, EVSS1**端子は，**VSS**端子と同電位にしてください。**

2.　VDD**端子は，**EVDD0, EVDD1**端子以上の電圧にしてください。また，**EVDD0 = EVDD1**としてください。**

3.　REGC**端子はコンデンサ（**0.47～1 μF**）を介し，**VSS**に接続してください。**

備考 1.　**端子名称は，**1. 4　**端子名称を参照してください。**

2.　**マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合，**VDD**と**EVDD0, EVDD1**に個別の電源を供給し，**VSS**と**EVSS0, EVSS1**を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。**

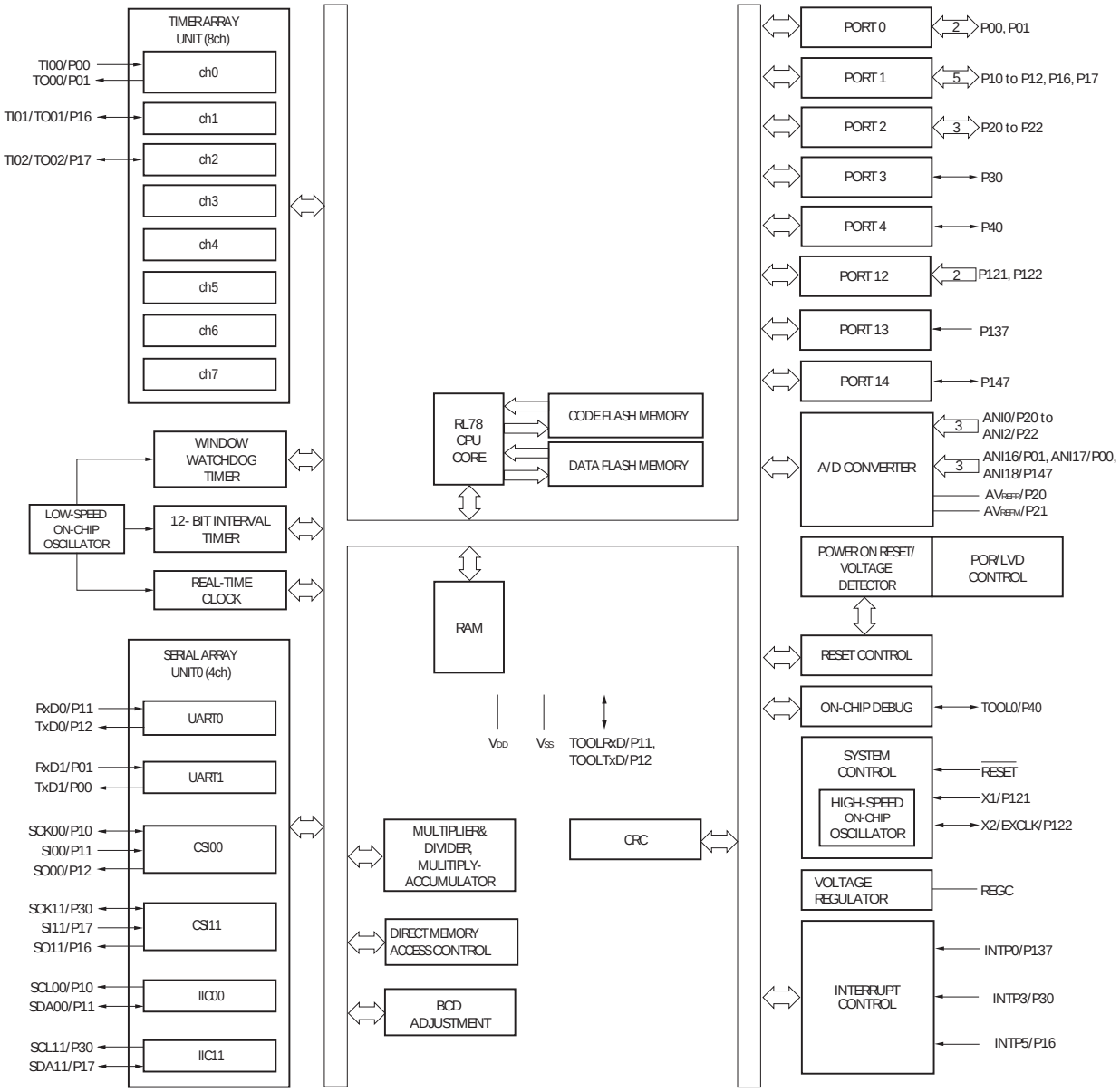
3.　**上図の（　）内の機能は，周辺**I/O**リダイレクション・レジスタ（**PIOR**）の設定により，割り当て可能です。図**4－8　**周辺**I/O**リダイレクション・レジスタ（**PIOR**）のフォーマットを参照してください。**

1. 4 端子名称

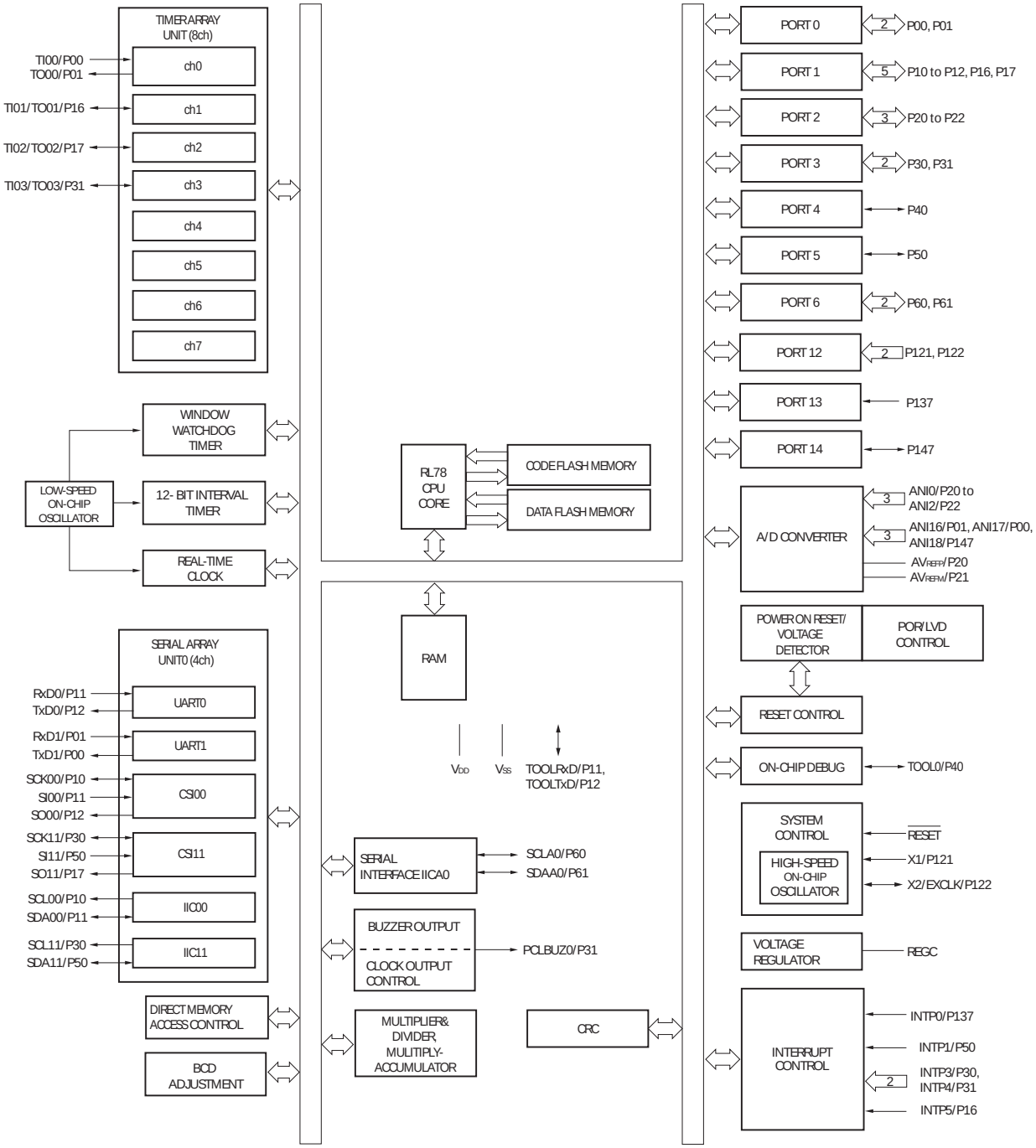
ANI0-ANI14, ANI16-ANI26	：Analog Input
AV_{REFM}	：Analog Reference Voltage Minus
AV_{REFP}	：Analog Reference Voltage Plus
EV_{DD0}, EV_{DD1},	：Power Supply for Port
EV_{SS0}, EV_{SS1}	：Ground for Port
EXCLK	：External Clock Input (Main System Clock)
EXCLKS	：External Clock Input (Subsystem Clock)
INTP0-INTP11	：Interrupt Request From Peripheral
KR0-KR7	：Key Return
P00-P07	：Port 0
P10-P17	：Port 1
P20-P27	：Port 2
P30-P37	：Port 3
P40-P47	：Port 4
P50-P57	：Port 5
P60-P67	：Port 6
P70-P77	：Port 7
P80-P87	：Port 8
P90-P97	：Port 9
P100-P106	：Port 10
P110-P117	：Port 11
P120-P127	：Port 12
P130, P137	：Port 13
P140-P147	：Port 14
P150-P156	：Port 15
PCLBUZ0, PCLBUZ1	：Programmable Clock Output/ Buzzer Output
REGC	：Regulator Capacitance
$\overline{\text{RESET}}$	：Reset
RTC1HZ	：Real-time Clock Correction Clock (1 Hz) Output
RxD0-RxD3	：Receive Data
SCLA0, SCLA1, SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31	：Serial Clock Input/Output
SCLA0, SCLA1, SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31	：Serial Clock Output
SDAA0, SDAA1, SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31	：Serial Data Input/Output
SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31	：Serial Data Input
SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31	：Serial Data Output
TI00-TI07, TI10-TI17	：Timer Input
TO00-TO07, TO10-TO17	：Timer Output
TOOL0	：Data Input/Output for Tool
TOOLRxD, TOOLTxD	：Data Input/Output for External Device
TxD0-TxD3	：Transmit Data
V_{DD}	：Power Supply
V_{SS}	：Ground
X1, X2	：Crystal Oscillator (Main System Clock)
XT1, XT2	：Crystal Oscillator (Subsystem Clock)

1. 5 ブロック図

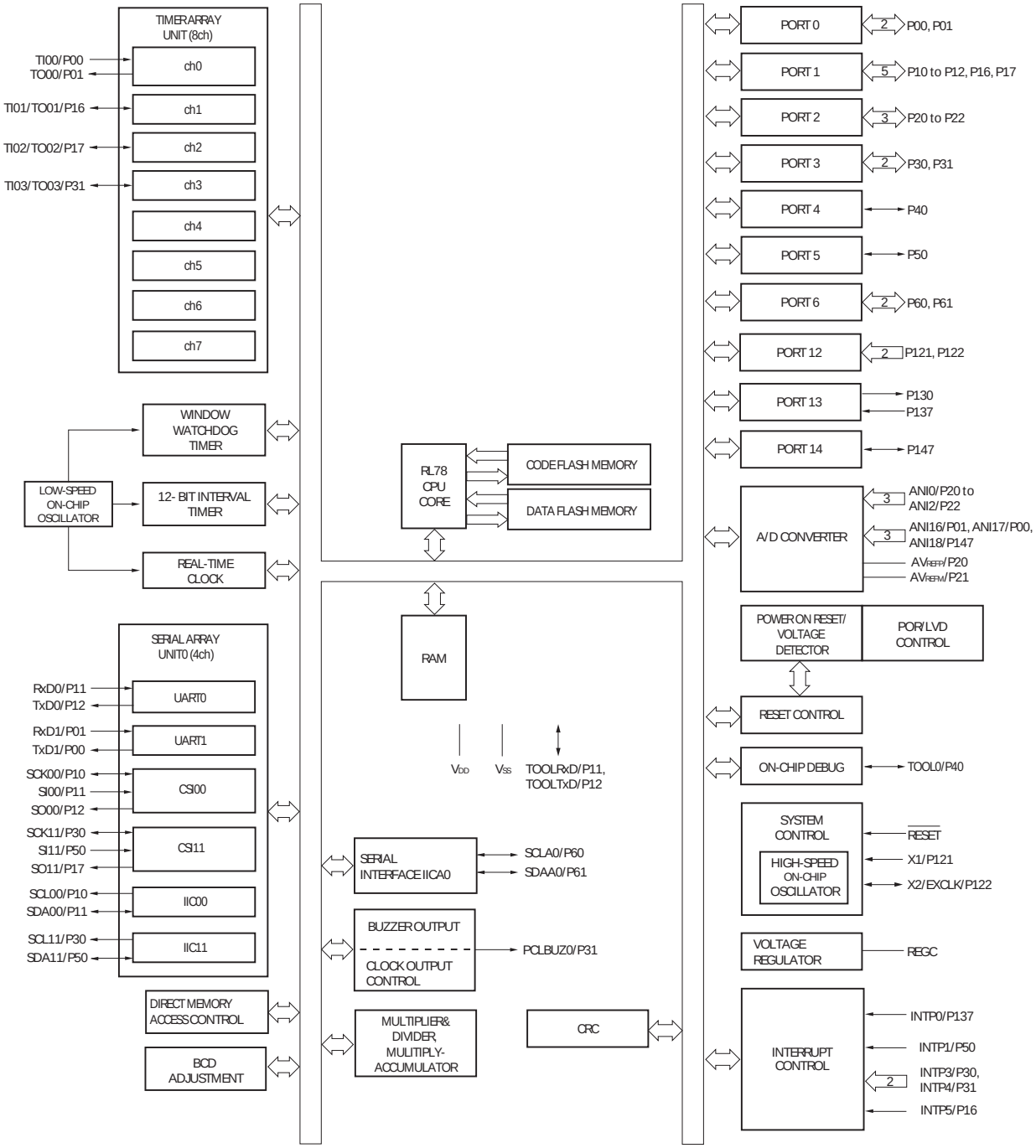
1. 5. 1 20ピン製品



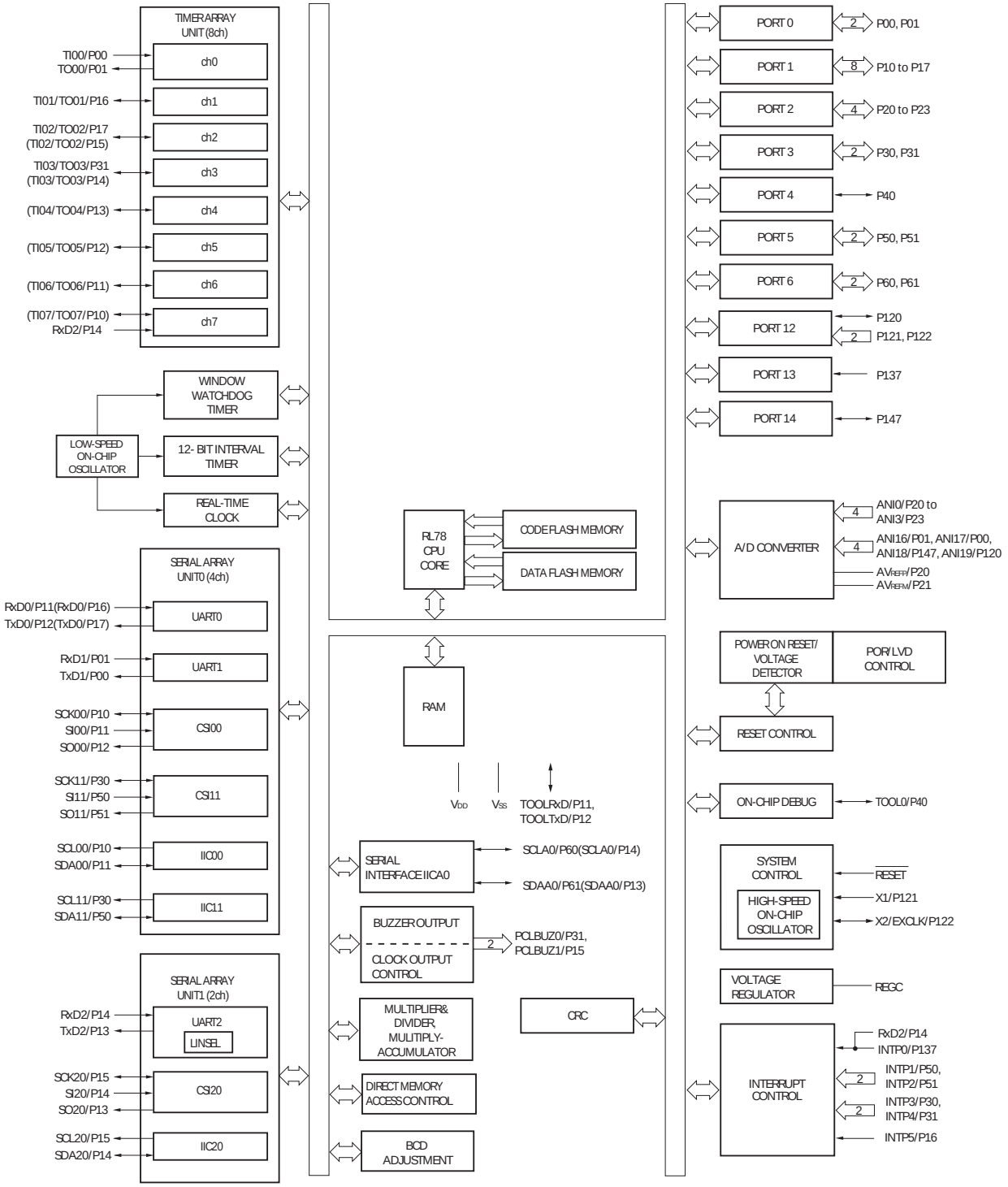
1. 5. 2　24ピン製品


TIMER ARRAY UNIT (8ch)
TI00/P00
TO00/P01
TI01/TO01/P16
TI02/TO02/P17
TI03/TO03/P31
ch0
ch1
ch2
ch3
ch4
ch5
ch6
ch7
WINDOW WATCHDOG TIMER
LOW-SPEED ON-CHIP OSCILLATOR
12- BIT INTERVAL TIMER
REAL-TIME CLOCK
SERIAL ARRAY UNIT0 (4ch)
RxD0/P11
TxD0/P12
RxD1/P01
TxD1/P00
SCK00/P10
SI00/P11
SO00/P12
SCK11/P30
SI11/P50
SO11/P17
SCL00/P10
SDA00/P11
SCL11/P30
SDA11/P50
UART0
UART1
CSI00
CSI11
IIC00
IIC11
DIRECT MEMORY ACCESS CONTROL
BCD ADJUSTMENT
RL78 CPU CORE
CODE FLASH MEMORY
DATA FLASH MEMORY
RAM
VDD
VSS
TOOLRxD/P11, TOOLTxD/P12
SERIAL INTERFACE IICA0
SCLA0/P60
SDAA0/P61
BUZZER OUTPUT
CLOCK OUTPUT CONTROL
PCLBUZ0/P31
MULTIPLIER& DIVIDER, MULITIPLY-ACCUMULATOR
CRC
PORT 0
PORT 1
PORT 2
PORT 3
PORT 4
PORT 5
PORT 6
PORT 12
PORT 13
PORT 14
P00, P01
P10 to P12, P16, P17
P20 to P22
P30, P31
P40
P50
P60, P61
P121, P122
P137
P147
A/D CONVERTER
ANI0/P20 to ANI2/P22
ANI16/P01, ANI17/P00, ANI18/P147
AVREFP/P20
AVREFM/P21
POWER ON RESET/ VOLTAGE DETECTOR
POR/LVD CONTROL
RESET CONTROL
ON-CHIP DEBUG
TOOL0/P40
SYSTEM CONTROL
HIGH-SPEED ON-CHIP OSCILLATOR
RESET
X1/P121
X2/EXCLK/P122
VOLTAGE REGULATOR
REGC
INTERRUPT CONTROL
INTP0/P137
INTP1/P50
INTP3/P30, INTP4/P31
INTP5/P16

1. 5. 3 25ピン製品

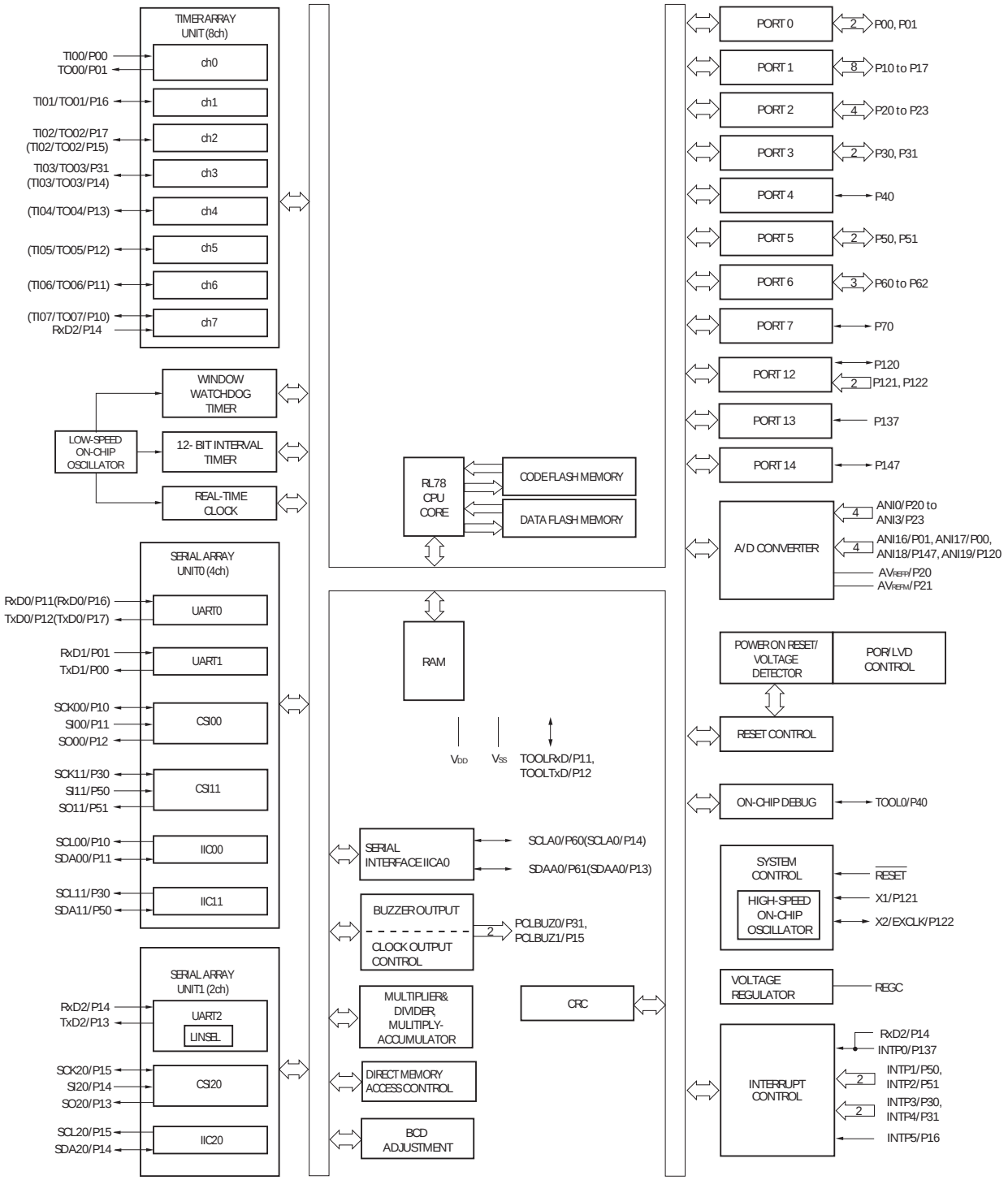

TIMER ARRAY UNIT (8ch)
TI00/P00
TO00/P01
TI01/TO01/P16
TI02/TO02/P17
TI03/TO03/P31
ch0
ch1
ch2
ch3
ch4
ch5
ch6
ch7
WINDOW WATCHDOG TIMER
LOW-SPEED ON-CHIP OSCILLATOR
12- BIT INTERVAL TIMER
REAL-TIME CLOCK
SERIAL ARRAY UNIT0 (4ch)
RxD0/P11
TxD0/P12
RxD1/P01
TxD1/P00
SCK00/P10
SI00/P11
SO00/P12
SCK11/P30
SI11/P50
SO11/P17
SCL00/P10
SDA00/P11
SCL11/P30
SDA11/P50
UART0
UART1
CSI00
CSI11
IIC00
IIC11
DIRECT MEMORY ACCESS CONTROL
BCD ADJUSTMENT
RL78 CPU CORE
CODE FLASH MEMORY
DATA FLASH MEMORY
RAM
VDD
VSS
TOOLRxD/P11, TOOLTxD/P12
SERIAL INTERFACE IICA0
SCLA0/P60
SDAA0/P61
BUZZER OUTPUT
CLOCK OUTPUT CONTROL
PCLBUZ0/P31
MULTIPLIER& DIVIDER, MULITIPLY-ACCUMULATOR
CRC
PORT 0
PORT 1
PORT 2
PORT 3
PORT 4
PORT 5
PORT 6
PORT 12
PORT 13
PORT 14
P00, P01
P10 to P12, P16, P17
P20 to P22
P30, P31
P40
P50
P60, P61
P121, P122
P130
P137
P147
A/D CONVERTER
ANI0/P20 to ANI2/P22
ANI16/P01, ANI17/P00, ANI18/P147
AVREFP/P20
AVREFM/P21
POWER ON RESET/ VOLTAGE DETECTOR
POR/LVD CONTROL
RESET CONTROL
ON-CHIP DEBUG
TOOL0/P40
SYSTEM CONTROL
HIGH-SPEED ON-CHIP OSCILLATOR
RESET
X1/P121
X2/EXCLK/P122
VOLTAGE REGULATOR
REGC
INTERRUPT CONTROL
INTP0/P137
INTP1/P50
INTP3/P30, INTP4/P31
INTP5/P16

1. 5. 4　30ピン製品



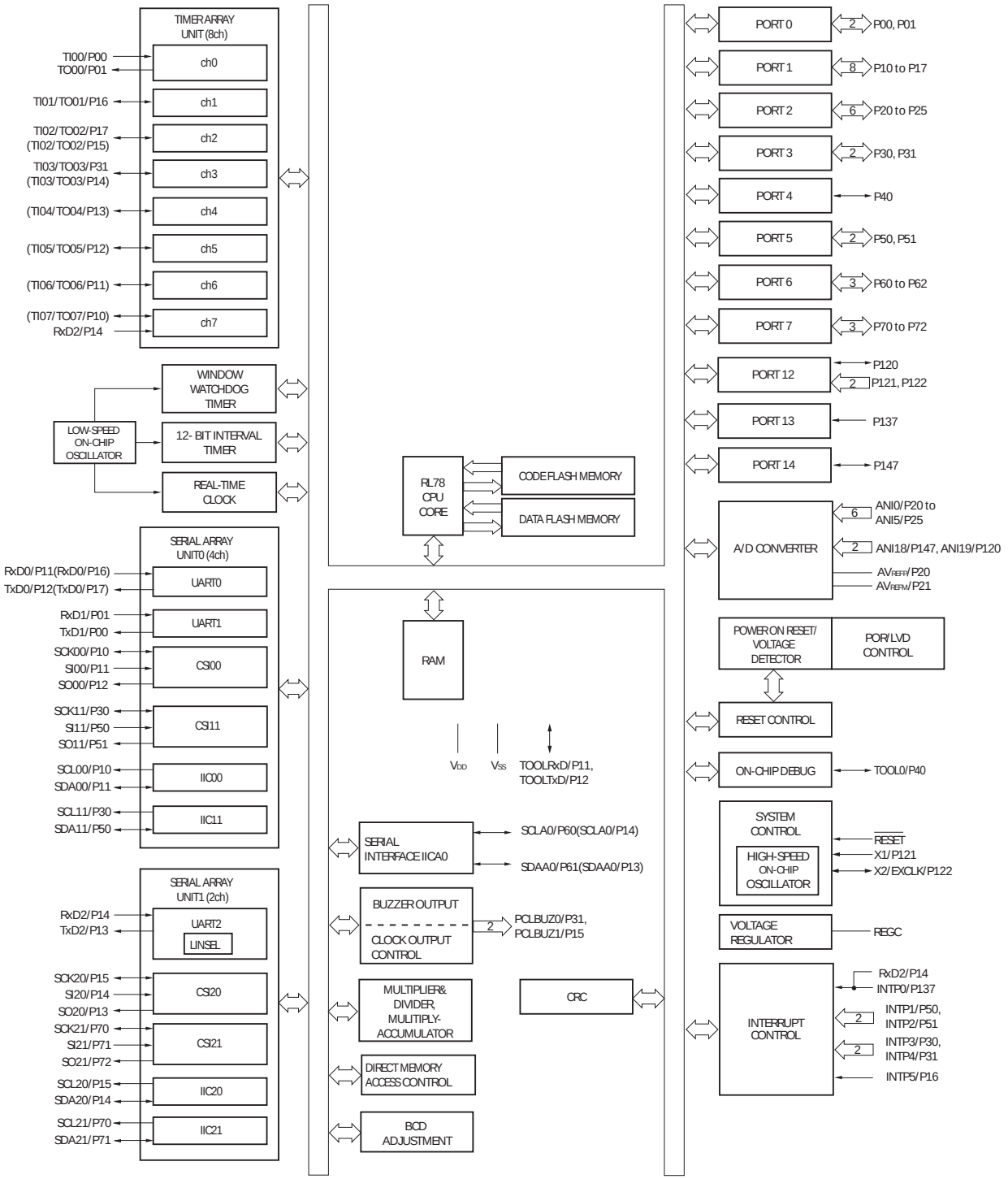
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 5. 5　32ピン製品



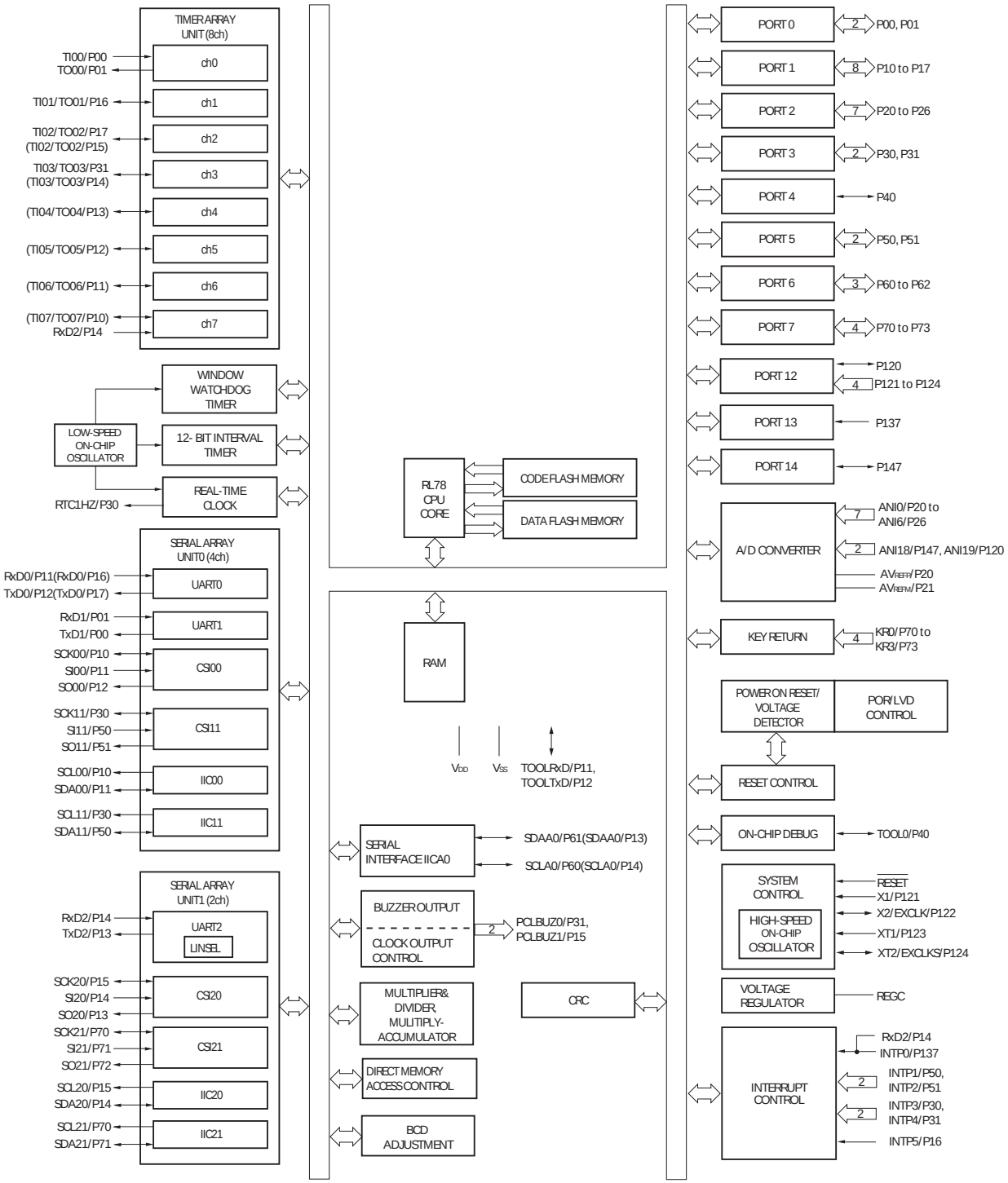
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 5. 6　36ピン製品



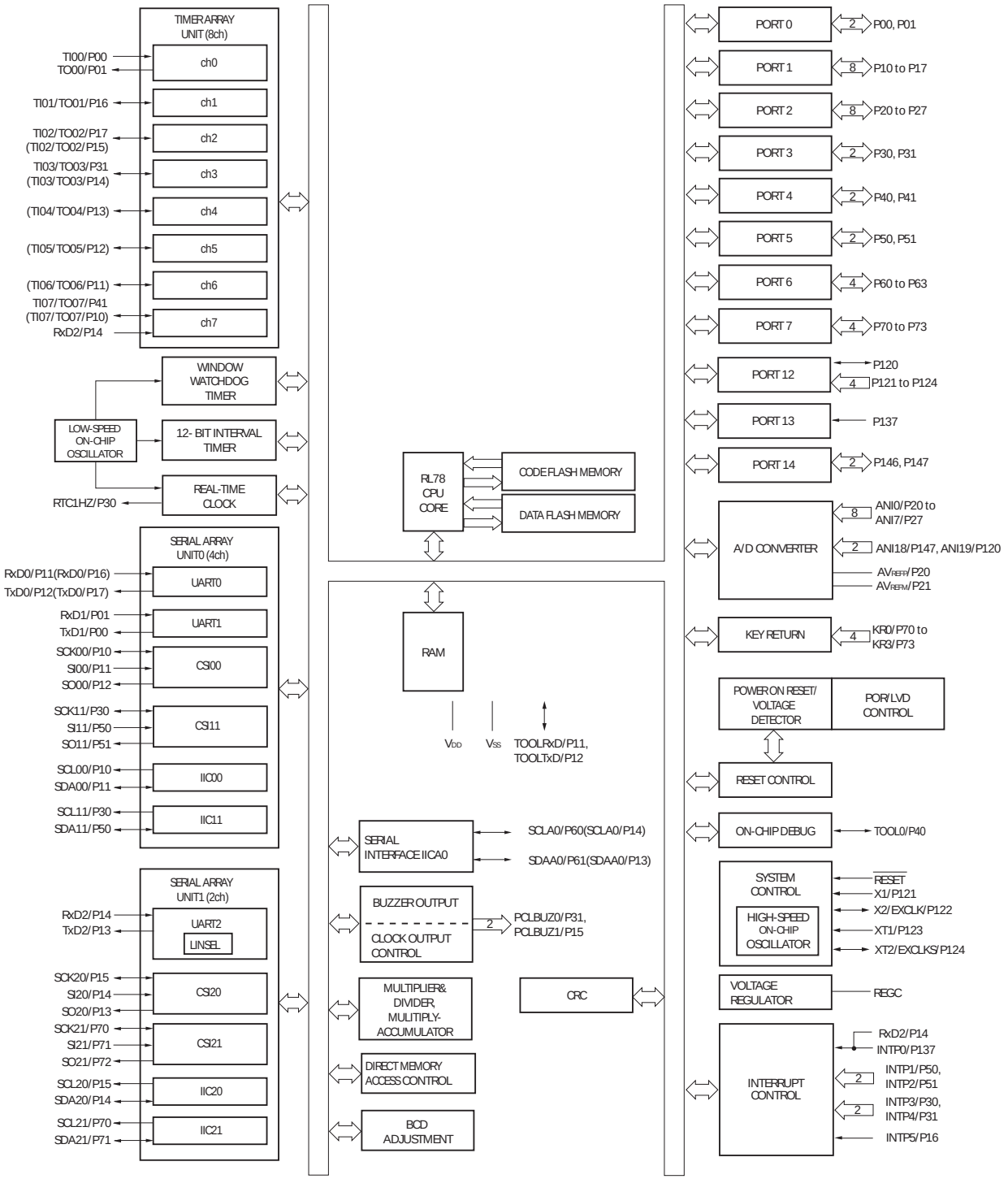
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 5. 7　40ピン製品



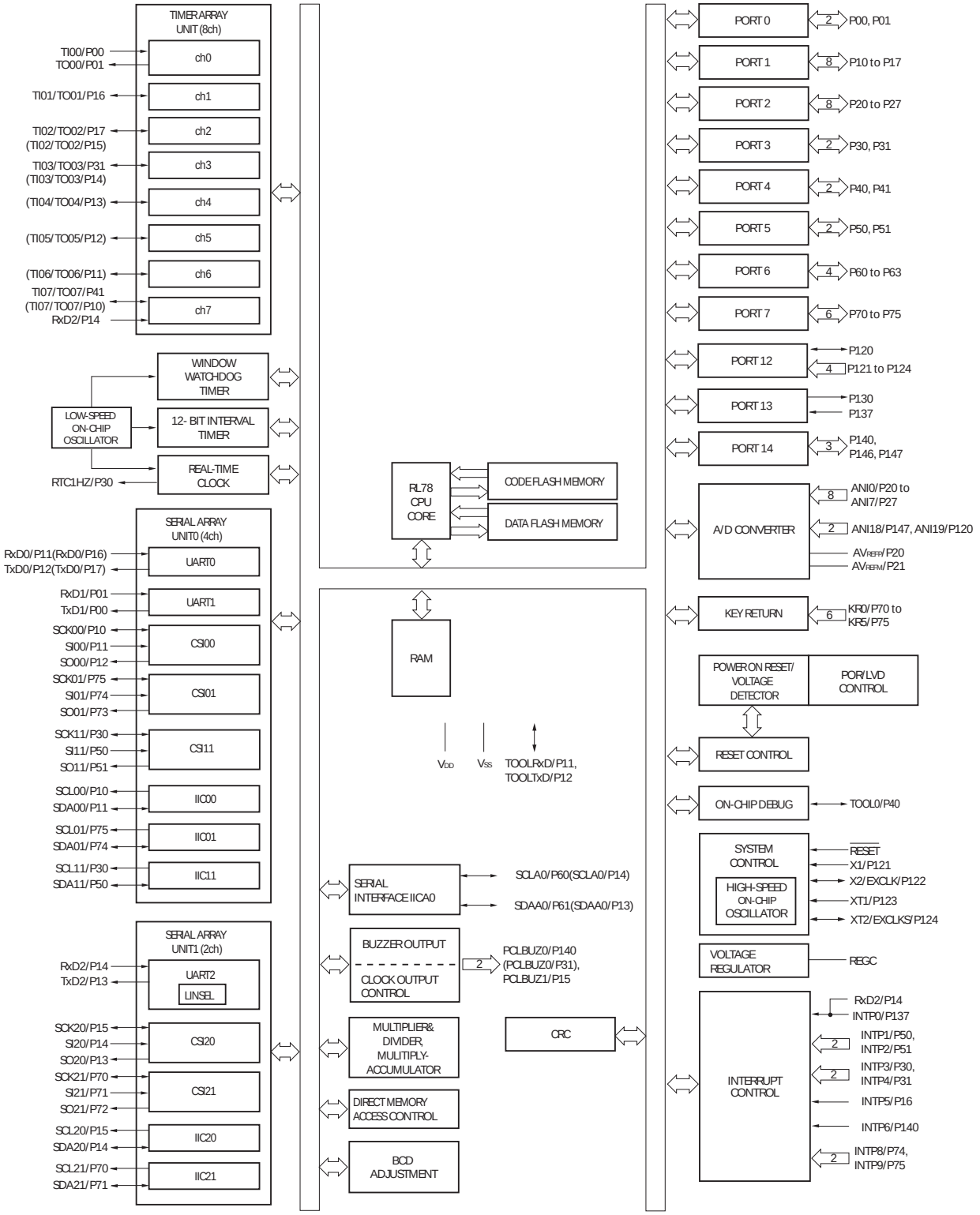
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 5. 8　44ピン製品



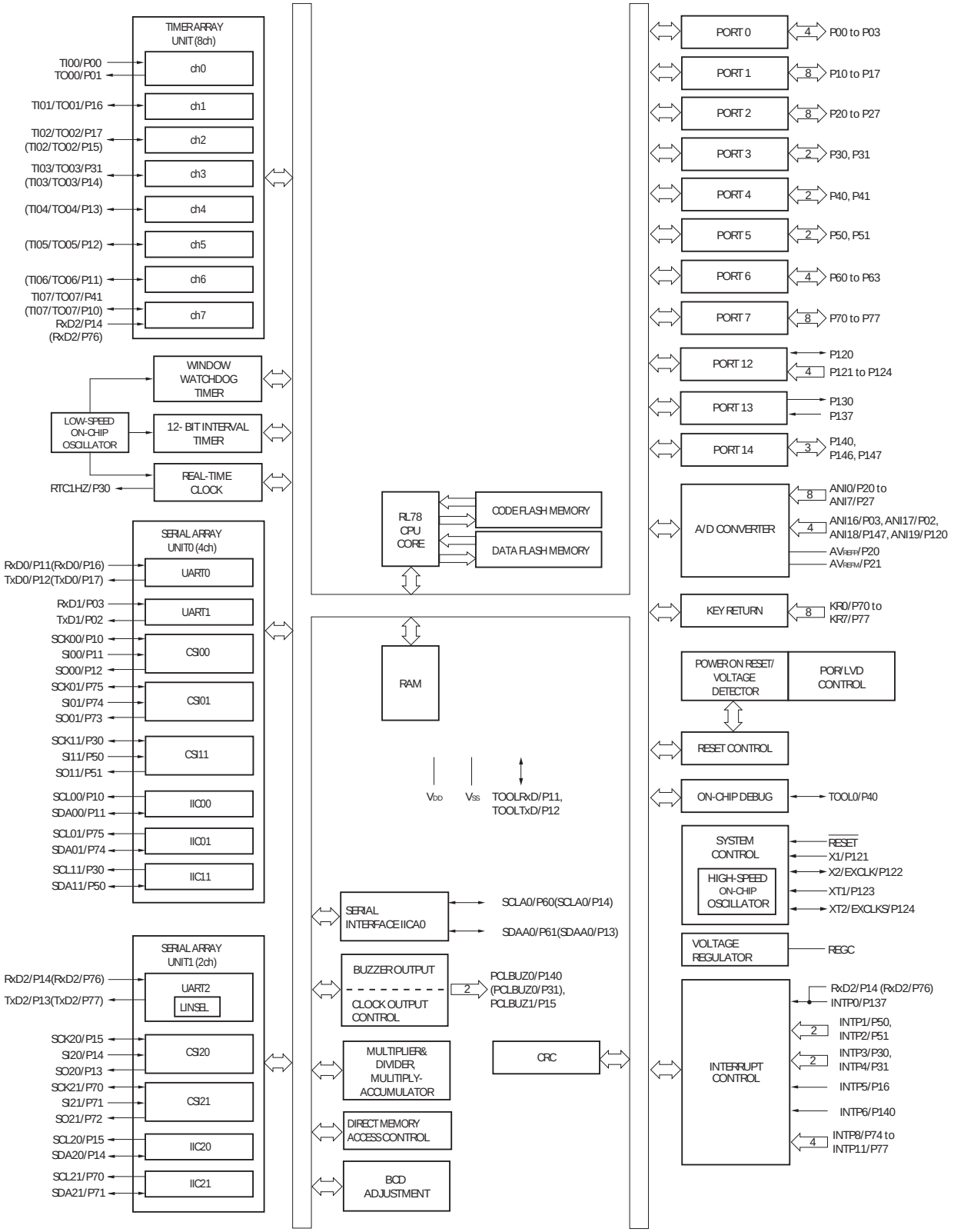
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 5. 9　48ピン製品



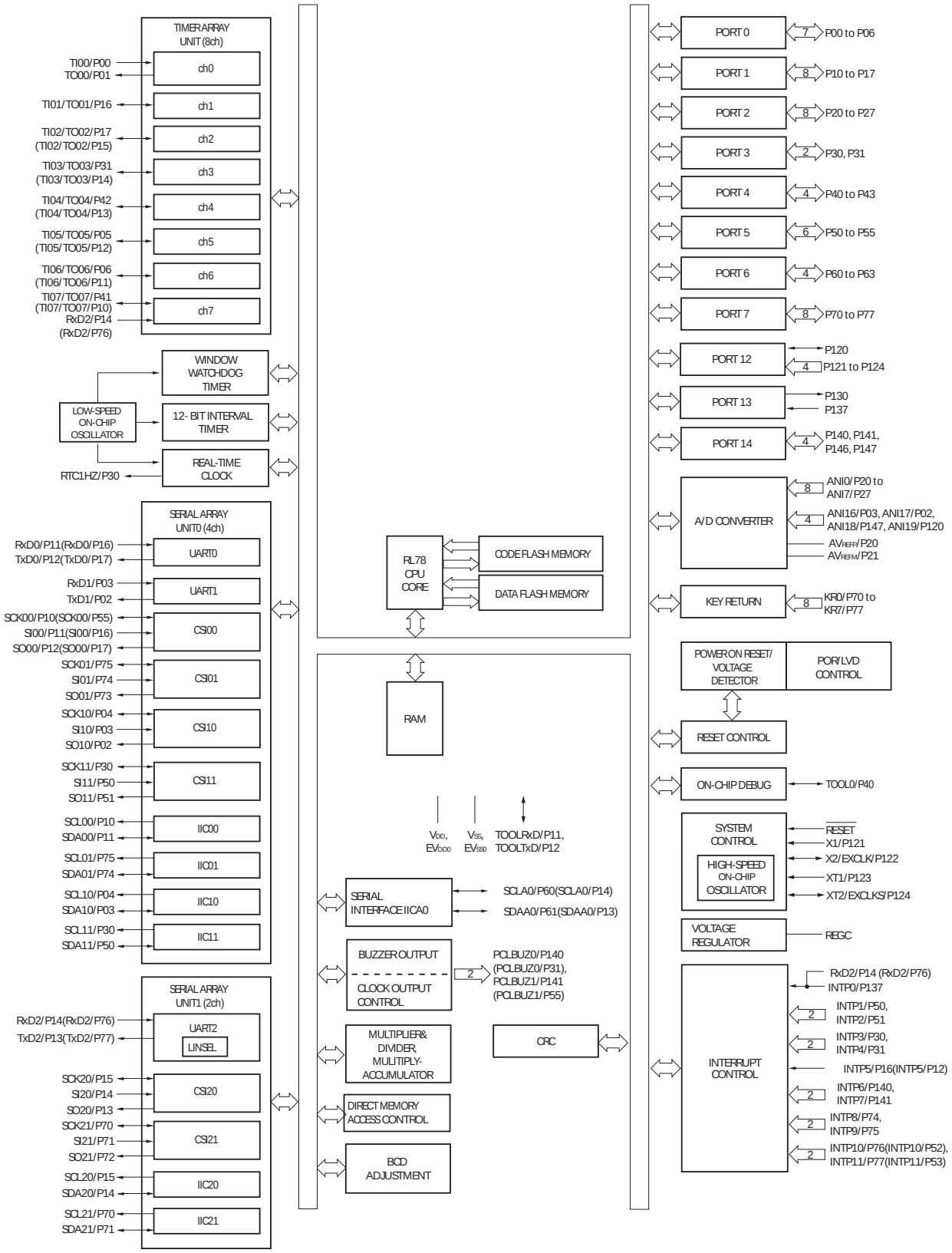
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 5. 10　52ピン製品



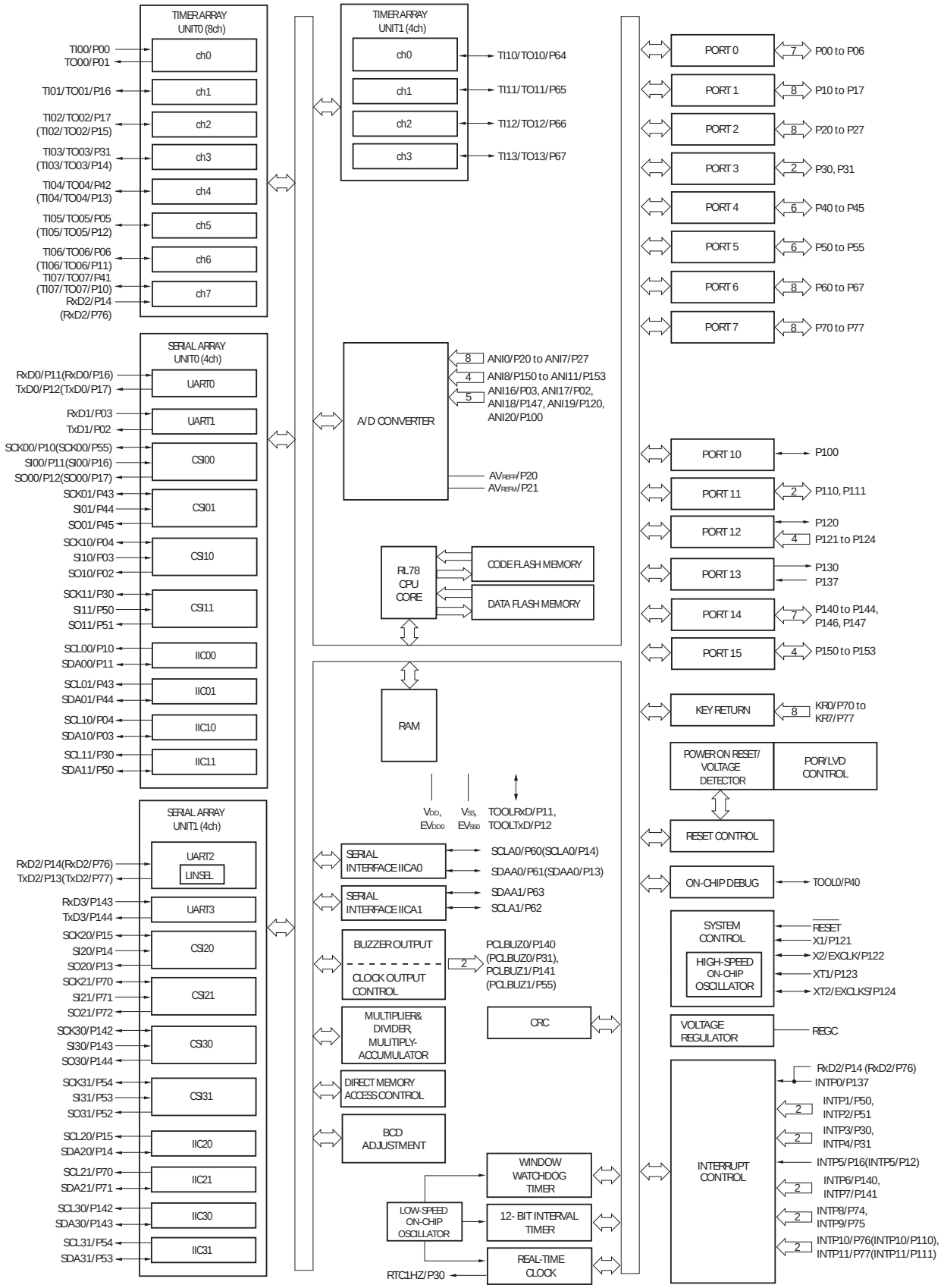
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 5. 11　64ピン製品



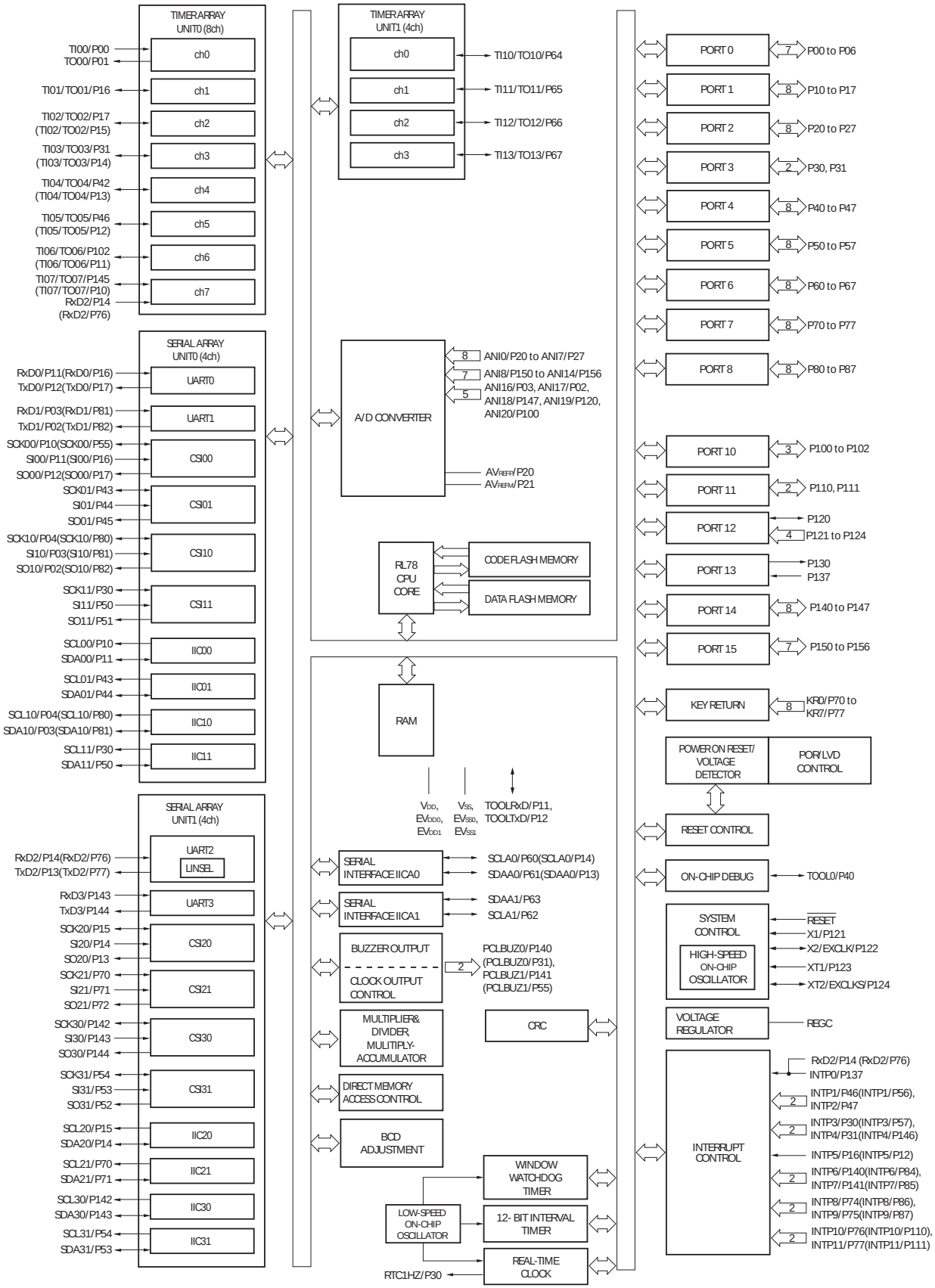
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 5. 12　80ピン製品



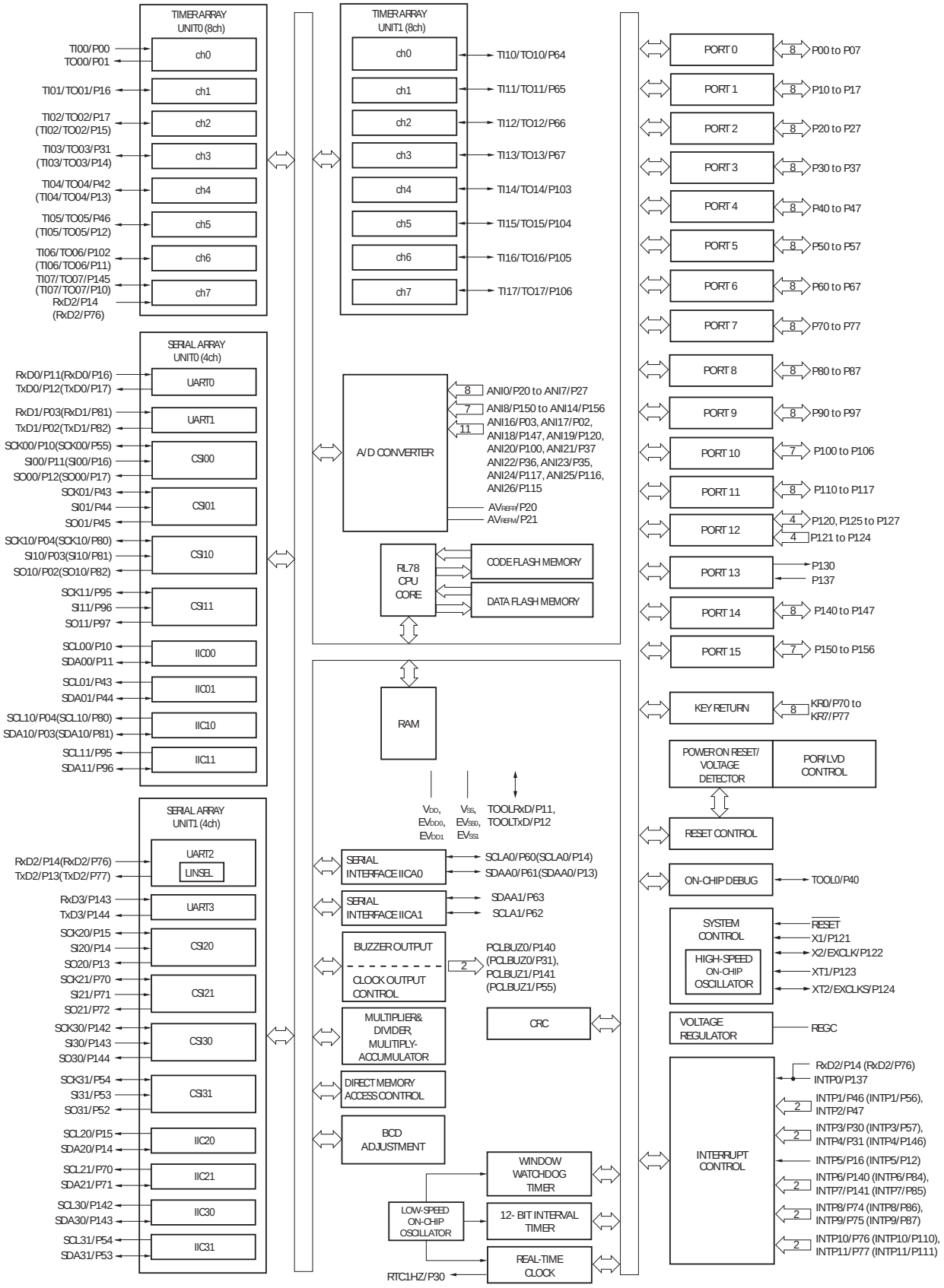
備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 5. 13　100ピン製品



備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。**図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマットを参照してください。**

1. 5. 14　128ピン製品



備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 6　機能概要

【20ピン，24ピン，25ピン，30ピン，32ピン，36ピン製品】

注意　周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定時の機能概要です。

（1/2）

項　　目		20ピン		24ピン		25ピン		30ピン		32ピン		36ピン	
		R5F1006x	R5F1016x	R5F1007x	R5F1017x	R5F1008x	R5F1018x	R5F100Ax	R5F101Ax	R5F100Bx	R5F101Bx	R5F100Cx	R5F101Cx
コード・フラッシュ・メモリ		16-64 KB		16-64 KB		16-64 KB		16-128 KB		16-128 KB		16-128 KB	
データ・フラッシュ・メモリ		4 KB	－	4 KB	－	4 KB	－	4-8 KB	－	4-8 KB	－	4-8 KB	－
RAM		2-4 KB注1		2-4 KB注1		2-4 KB注1		2-12 KB注1		2-12 KB注1		2-12 KB注1	
アドレス空間		1 Mバイト											
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 1～20 MHz：V_{DD} = 2.7～5.5 V, 1～8 MHz：V_{DD} = 1.8～2.7 V, 1～4 MHz：V_{DD} = 1.6～1.8 V											
	高速オンチップ・オシレータ・クロック	HS（高速メイン）モード：1～32 MHz（V_{DD} = 2.7～5.5 V）， HS（高速メイン）モード：1～16 MHz（V_{DD} = 2.4～5.5 V）， LS（低速メイン）モード：1～8 MHz（V_{DD} = 1.8～5.5 V）， LV（低電圧メイン）モード：1～4 MHz（V_{DD} = 1.6～5.5 V）											
サブシステム・クロック		－											
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）											
汎用レジスタ		（8ビット・レジスタ×8）×4バンク											
最小命令実行時間		0.03125 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 32 MHz動作時）											
		0.05 μs（高速システム・クロック：f_{MX} = 20 MHz動作時）											
命令セット		・データ転送（8/16ビット） ・加減／論理演算（8/16ビット） ・乗算（8ビット×8ビット） ・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など											
I/Oポート	合計	16		20		21		26		28		32	
	CMOS入出力	13 (N-ch O.D.入出力 [V_{DD}耐圧]：5)		15 (N-ch O.D.入出力 [V_{DD}耐圧]：6)		15 (N-ch O.D.入出力 [V_{DD}耐圧]：6)		21 (N-ch O.D.入出力 [V_{DD}耐圧]：9)		22 (N-ch O.D.入出力 [V_{DD}耐圧]：9)		26 (N-ch O.D.入出力 [V_{DD}耐圧]：10)	
	CMOS入力	3		3		3		3		3		3	
	CMOS出力	－		－		1		－		－		－	
	N-ch O.D.入出力（6 V耐圧）	－		2		2		2		3		3	
タイマ	16ビット・タイマ	8チャネル											
	ウォッチドッグ・タイマ	1チャネル											
	リアルタイム・クロック（RTC）	1チャネル注2											
	12ビット・インターバル・タイマ（IT）	1チャネル											
	タイマ出力	3本（PWM出力：2本注3）		4本（PWM出力：3本注3）				4本（PWM出力：3本注3），8本（PWM出力：7本注3）注4					
	RTC出力	－											

注1.　4 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約3 Kバイト（詳細は，第3章参照）

2.　低速オンチップ・オシレータ・クロック（f_{IL}）を利用した定周期割り込み機能のみ

3.　使用チャネルの設定(マスタとスレーブの数）によって，PWM出力数は変わります（6. 9. 3　多重PWM出力機能としての動作参照）。

4.　PIOR0 = 1に設定した場合です

(2/2)

項　　目		20ピン		24ピン		25ピン		30ピン		32ピン		36ピン	
		R5F1006x	R5F1016x	R5F1007x	R5F1017x	R5F1008x	R5F1018x	R5F100Ax	R5F101Ax	R5F100Bx	R5F101Bx	R5F100Cx	R5F101Cx
クロック出力／ブザー出力		－		1本		1本		2本		2本		2本	
		・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （メイン・システム・クロック：f_{MAIN} = 20 MHz動作時）											
8/10ビット分解能A/Dコンバータ		6チャネル		6チャネル		6チャネル		8チャネル		8チャネル		8チャネル	
シリアル・インタフェース		【20ピン，24ピン，25ピン製品】 ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル 【30ピン，32ピン製品】 ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：1チャネル／簡易I²C：1チャネル／UART（LIN-bus対応）：1チャネル 【36ピン製品】 ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル											
	I²Cバス	－		1チャネル		1チャネル		1チャネル		1チャネル		1チャネル	
乗除・積和演算器		乗算　　：16ビット×16ビット ＝32ビット（符号付／符号なし） 除算　　：32ビット÷32ビット ＝32ビット（符号なし） 積和演算　：16ビット×16ビット＋32ビット ＝32ビット（符号付／符号なし）											
DMAコントローラ		2チャネル											
ベクタ割り込み要因	内部	23		24		24		27		27		27	
	外部	3		5		5		6		6		6	
キー割り込み		－											
リセット		・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット											
パワーオン・リセット回路		・パワーオン・リセット　：1.51 V（TYP.） ・パワーダウン・リセット：1.50 V（TYP.）											
電圧検出回路		・立ち上がり：1.67 V～4.06 V（14段階） ・立ち下がり：1.63 V～3.98 V（14段階）											
オンチップ・デバッグ機能		あり											
電源電圧		V_{DD} = 1.6～5.5 V											
動作周囲温度		T_A = －40～＋85 ℃（A：民生用途，D：産業用途），T_A = －40～＋105 ℃（G：産業用途）											

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【40ピン，44ピン，48ピン，52ピン，64ピン製品】

注意　周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定時の機能概要です。

（1/2）

項　　目		40ピン		44ピン		48ピン		52ピン		64ピン	
		R5F100Ex	R5F101Ex	R5F100Fx	R5F101Fx	R5F100Gx	R5F101Gx	R5F100Jx	R5F101Jx	R5F100Lx	R5F101Lx
コード・フラッシュ・メモリ		16-192 KB		16-512 KB		16-512 KB		32-512 KB		32-512 KB	
データ・フラッシュ・メモリ		4-8 KB	－	4-8 KB	－	4-8 KB	－	4-8 KB	－	4-8 KB	－
RAM		2-16 KB注1		2-32 KB注1		2-32 KB注1		2-32 KB注1		2-32 KB注1	
アドレス空間		1 Mバイト									
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 1～20 MHz：V_{DD} = 2.7～5.5 V, 1～8 MHz：V_{DD} = 1.8～2.7 V, 1～4 MHz：V_{DD} = 1.6～1.8 V									
	高速オンチップ・オシレータ・クロック	HS（高速メイン）モード：1～32 MHz（V_{DD} = 2.7～5.5 V）， HS（高速メイン）モード：1～16 MHz（V_{DD} = 2.4～5.5 V）， LS（低速メイン）モード：1～8 MHz（V_{DD} = 1.8～5.5 V）， LV（低電圧メイン）モード：1～4 MHz（V_{DD} = 1.6～5.5 V）									
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS）　32.768 kHz									
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）									
汎用レジスタ		（8ビット・レジスタ×8）×4バンク									
最小命令実行時間		0.03125 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 32 MHz動作時）									
		0.05 μs（高速システム・クロック：f_{MX} = 20 MHz動作時）									
		30.5 μs（サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）									
命令セット		・データ転送（8/16ビット） ・加減／論理演算（8/16ビット） ・乗算（8ビット×8ビット） ・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など									
I/Oポート	合計	36		40		44		48		58	
	CMOS入出力	28 (N-ch O.D.入出力 [V_{DD}耐圧]：10)		31 (N-ch O.D.入出力 [V_{DD}耐圧]：10)		34 (N-ch O.D.入出力 [V_{DD}耐圧]：11)		38 (N-ch O.D.入出力 [V_{DD}耐圧]：13)		48 (N-ch O.D.入出力 [EV_{DD}耐圧]：15)	
	CMOS入力	5		5		5		5		5	
	CMOS出力	－		－		1		1		1	
	N-ch O.D.入出力 （6 V耐圧）	3		4		4		4		4	
タイマ	16ビット・タイマ	8チャネル									
	ウォッチドッグ・タイマ	1チャネル									
	リアルタイム・クロック（RTC）	1チャネル									
	12ビット・インターバル・タイマ（IT）	1チャネル									
	タイマ出力	4本（PWM出力：3本注2），8本（PWM出力：7本注2）注3		5本（PWM出力：4本注2），8本（PWM出力：7本注2）注3						8本（PWM出力：7本注2）	
	RTC出力	1本 ・1 Hz（サブシステム・クロック：f_{SUB} = 32.768 kHz）									

注1.　4 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約3 Kバイト（詳細は，第3章参照）
20 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約19 Kバイト（詳細は，第3章参照）
32 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約31 Kバイト（詳細は，第3章参照）

2.　使用チャネルの設定(マスタとスレーブの数）によって，PWM出力数は変わります（6. 9. 3　多重PWM出力機能としての動作参照）。

3.　PIOR0 = 1に設定した場合です。

（2/2）

項　　目	40ピン		44ピン		48ピン		52ピン		64ピン	
	R5F100Ex	R5F101Ex	R5F100Fx	R5F101Fx	R5F100Gx	R5F101Gx	R5F100Jx	R5F101Jx	R5F100Lx	R5F101Lx
クロック出力／ブザー出力	2本		2本		2本		2本		2本	
	・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （メイン・システム・クロック：f_{MAIN} = 20 MHz動作時） ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz （サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）									
8/10ビット分解能A/Dコンバータ	9チャネル		10チャネル		10チャネル		12チャネル		12チャネル	
シリアル・インタフェース	【40ピン，44ピン製品】 ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル 【48ピン，52ピン製品】 ・CSI：2チャネル／簡易I²C：2チャネル／UART：1チャネル ・CSI：1チャネル／簡易I²C：1チャネル／UART：1チャネル ・CSI：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル 【64ピン製品】 ・CSI：2チャネル／簡易I²C：2チャネル／UART：1チャネル ・CSI：2チャネル／簡易I²C：2チャネル／UART：1チャネル ・CSI：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル									
I²Cバス	1チャネル		1チャネル		1チャネル		1チャネル		1チャネル	
乗除・積和演算器	乗算　　：16ビット×16ビット = 32ビット（符号付／符号なし） 除算　　：32ビット÷32ビット = 32ビット（符号なし） 積和演算：16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし）									
DMAコントローラ	2チャネル									
ベクタ割り込み要因 内部	27		27		27		27		27	
ベクタ割り込み要因 外部	7		7		10		12		13	
キー割り込み	4		4		6		8		8	
リセット	・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット									
パワーオン・リセット回路	・パワーオン・リセット　：1.51 V（TYP.） ・パワーダウン・リセット：1.50 V（TYP.）									
電圧検出回路	・立ち上がり：1.67 V～4.06 V（14段階） ・立ち下がり：1.63 V～3.98 V（14段階）									
オンチップ・デバッグ機能	あり									
電源電圧	V_{DD} = 1.6～5.5 V									
動作周囲温度	T_A = －40～＋85 ℃（A：民生用途，D：産業用途），T_A = －40～＋105 ℃（G：産業用途）									

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【80ピン，100ピン，128ピン製品】

注意 周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定時の機能概要です。

（1/2）

項 目		80ピン		100ピン		128ピン	
		R5F100Mx	R5F101Mx	R5F100Px	R5F101Px	R5F100Sx	R5F101Sx
コード・フラッシュ・メモリ		96-512 KB		96-512 KB		192-512 KB	
データ・フラッシュ・メモリ		8 KB	－	8 KB	－	8 KB	－
RAM		8-32 KB注1		8-32 KB注1		16-32 KB注1	
アドレス空間		1 Mバイト					
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 1～20 MHz：V_{DD} = 2.7～5.5 V, 1～8 MHz：V_{DD} = 1.8～2.7 V, 1～4 MHz：V_{DD} = 1.6～1.8 V					
	高速オンチップ・オシレータ・クロック	HS（高速メイン）モード：1～32 MHz（V_{DD} = 2.7～5.5 V）， HS（高速メイン）モード：1～16 MHz（V_{DD} = 2.4～5.5 V）， LS（低速メイン）モード：1～8 MHz（V_{DD} = 1.8～5.5 V）， LV（低電圧メイン）モード：1～4 MHz（V_{DD} = 1.6～5.5 V）					
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz					
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）					
汎用レジスタ		（8ビット・レジスタ×8）×4バンク					
最小命令実行時間		0.03125 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 32 MHz動作時）					
		0.05 μs（高速システム・クロック：f_{MX} = 20 MHz動作時）					
		30.5 μs（サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）					
命令セット		・データ転送（8/16ビット） ・加減／論理演算（8/16ビット） ・乗算（8ビット×8ビット） ・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など					
I/Oポート	合計	74		92		120	
	CMOS入出力	64 (N-ch O.D.入出力 [EV_{DD}耐圧]：21)		82 (N-ch O.D.入出力 [EV_{DD}耐圧]：24)		110 (N-ch O.D.入出力 [EV_{DD}耐圧]：25)	
	CMOS入力	5		5		5	
	CMOS出力	1		1		1	
	N-ch O.D. 入出力（6 V耐圧）	4		4		4	
タイマ	16ビット・タイマ	12チャネル		12チャネル		16チャネル	
	ウォッチドッグ・タイマ	1チャネル		1チャネル		1チャネル	
	リアルタイム・クロック（RTC）	1チャネル		1チャネル		1チャネル	
	12ビット・インターバル・タイマ（IT）	1チャネル		1チャネル		1チャネル	
	タイマ出力	12本（PWM出力：10本注2）		12本（PWM出力：10本注2）		16本（PWM出力：14本注2）	
	RTC出力	1本 ・1 Hz（サブシステム・クロック：f_{SUB} = 32.768 kHz）					

注 1. 20 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約19 Kバイト（詳細は，第3章参照）

32 Kバイトの場合，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約31 Kバイト（詳細は，第3章参照）

2. 使用チャネルの設定(マスタとスレーブの数）によって，PWM出力数は変わります（6. 9. 3 多重PWM出力機能としての動作参照）

（2/2）

項　　目		80ピン		100ピン		128ピン	
		R5F100Mx	R5F101Mx	R5F100Px	R5F101Px	R5F100Sx	R5F101Sx
クロック出力／ブザー出力		2本		2本		2本	
		• 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （メイン・システム・クロック：f_{MAIN} = 20 MHz動作時） • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz （サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）					
8/10ビット分解能A/Dコンバータ		17チャネル		20チャネル		26チャネル	
シリアル・インタフェース		【80, 100, 128ピン製品】 • CSI：2チャネル／簡易I²C：2チャネル／UART：1チャネル • CSI：2チャネル／簡易I²C：2チャネル／UART：1チャネル • CSI：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル • CSI：2チャネル／簡易I²C：2チャネル／UART：1チャネル					
	I²Cバス	2チャネル		2チャネル		2チャネル	
乗除・積和演算器		乗算　　：16ビット×16ビット = 32ビット（符号付／符号なし） 除算　　：32ビット÷32ビット = 32ビット（符号なし） 積和演算　：16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし）					
DMAコントローラ		4チャネル					
ベクタ割り込み要因	内部	37		37		41	
	外部	13		13		13	
キー割り込み		8		8		8	
リセット		• $\overline{\text{RESET}}$端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路による内部リセット • 不正命令の実行による内部リセット注 • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット					
パワーオン・リセット回路		• パワーオン・リセット　：1.51 V（TYP.） • パワーダウン・リセット：1.50 V（TYP.）					
電圧検出回路		• 立ち上がり：1.67 V～4.06 V（14段階） • 立ち下がり：1.63 V～3.98 V（14段階）					
オンチップ・デバッグ機能		あり					
電源電圧		V_{DD} = 1.6～5.5 V					
動作周囲温度		T_A = －40～＋85 ℃（A：民生用途，D：産業用途），T_A = －40～＋105 ℃（G：産業用途）					

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2. 1　ポート機能

端子の入出力バッファ電源は，製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

(1) 20ピン，24ピン，25ピン，30ピン，32ピン，36ピン，40ピン，44ピン，48ピン，52ピン製品

電源	対応する端子
V_{DD}	すべての端子

(2) 64ピン製品

電源	対応する端子
EV_{DD0}	• P20-P27, P121-P124, P137以外のポート端子
V_{DD}	• P20-P27, P121-P124, P137 • $\overline{RESET}$, REGC

(3) 80ピン製品

電源	対応する端子
EV_{DD0}	• P20-P27, P121-P124, P137, P150-P153以外のポート端子
V_{DD}	• P20-P27, P121-P124, P137, P150-P153 • $\overline{RESET}$, REGC

(4) 100ピン製品

電源	対応する端子
EV_{DD0}, EV_{DD1}	• P20-P27, P121-P124, P137, P150-P156以外のポート端子
V_{DD}	• P20-P27, P121-P124, P137, P150-P156 • $\overline{RESET}$, REGC

(5) 128ピン製品

電源	対応する端子
EV_{DD0}, EV_{DD1}	• P20-P27, P121-P124, P137, P150-P156以外のポート端子
V_{DD}	• P20-P27, P121-P124, P137, P150-P156 • $\overline{RESET}$, REGC

注意　EV_{DD0}とEV_{DD1}は，同電位にしてください。

各ポートで設定した入出力やバッファ，プルアップ抵抗は，兼用機能に対しても有効です。

2. 1. 1　20ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-3-2	入出力	アナログ入力	ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01	8-3-1			ANI16/TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P16, P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00	
P12	7-1-2			SO00/TxD0/ TOOLTxD	
P16	8-1-1			TI01/TO01/INTP5/ SO11	
P17	8-1-2			TI02/TO02/SI11/SDA11	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P30	7-1-1	入出力	入力ポート	INTP3/SCK11/ SCL11	ポート3。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

（2/2）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 2　24ピン製品

（1/2）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-3-2	入出力	アナログ入力	ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01	8-3-1			ANI16/TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P16, P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00	
P12	7-1-2			SO00/TxD0/ TOOLTxD	
P16	8-1-1			TI01/TO01/INTP5	
P17	8-1-2			TI02/TO02/SO11	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P30	7-1-1	入出力	入力ポート	INTP3/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビットで入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/ PCLBUZ0	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 1ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 3　25ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-3-2	入出力	アナログ入力	ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01	8-3-1			ANI16/TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P16, P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00	
P12	7-1-2			SO00/TxD0/ TOOLTxD	
P16	8-1-1			TI01/TO01/INTP5	
P17	8-1-2			TI02/TO02/SO11	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P30	7-1-1	入出力	入力ポート	INTP3/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビットで入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/ PCLBUZ0	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 1ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				X2/EXCLK	
P130	1-1-1	出力	出力ポート	－	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 4　30ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-3-2	入出力	アナログ入力	ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01	8-3-1			ANI16/TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTXD/(TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/(RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P30	7-1-1	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビットで入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/PCLBUZ0	

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P120	7-3-1	入力	入力ポート	ANI19	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能[注]。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P121	2-2-1			X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 5　32ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-3-2	入出力	アナログ入力	ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01	8-3-1			ANI16/TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/(RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P30	7-1-1	入出力	入力ポート	INTP3/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビットで入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/PCLBUZ0	

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				－	
P70	7-1-1	入出力	入力ポート	－	ポート7。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 6　36ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P01	8-1-1			TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00/ (TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/ TOOLTxD/ (TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/ (SDAA0)/(TI04)/ (TO04)	
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)	
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/ (TO02)	
P16	8-1-1			TI01/TO01/INTP5/ (RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P30	7-1-1	入出力	入力ポート	INTP3/SCK11/ SCL11	ポート3。 2ビット入出力ポート。 1ビットで入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/ PCLBUZ0	

注　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				－	
P70	7-1-1	入出力	入力ポート	SCK21/SCL21	ポート7。 3ビット入出力ポート。 P71の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P71	7-1-2			SI21/SDA21	
P72	7-1-1			SO21	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 7　40ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P01	8-1-1			TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00/ (TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/ TOOLTxD/(TI05)/ (TO05)	
P13	8-1-2			TxD2/SO20/ (SDAA0)/(TI04)/ (TO04)	
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)	
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/ (TO02)	
P16	8-1-1			TI01/TO01/INTP5/ (RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ/ SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/ PCLBUZ0	

注　端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				－	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。 P71の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと４ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P147	7-3-1	入出力	アナログ入力	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 8　44ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P01	8-1-1			TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00/ (TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/ TOOLTxD/(TI05)/ (TO05)	
P13	8-1-2			TxD2/SO20/ (SDAA0)/(TI04)/ (TO04)	
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)	
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/ (TO02)	
P16	8-1-1			TI01/TO01/INTP5/ (RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/PCLBUZ0	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				–	
P63				–	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。 P71の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P146	7-1-1	入出力	入力ポート	－	ポート14。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
P147	7-3-1		アナログ入力	ANI18	
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 9　48ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P01	8-1-1			TO00/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00/ (TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/ TOOLTxD/(TI05)/ (TO05)	
P13	8-1-2			TxD2/SO20/ (SDAA0)/(TI04)/ (TO04)	
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)	
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/ (TO02)	
P16	8-1-1			TI01/TO01/INTP5/ (RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/(PCLBUZ0)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				–	
P63				–	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 6ビット入出力ポート。 P71, P74の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3/SO01	
P74	7-1-2			KR4/INTP8/SI01/SDA01	
P75	7-1-1			KR5/INTP9/SCK01/SCL01	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと４ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	–	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
P146				－	
P147	7-3-1		アナログ入力	ANI18	
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 10　52ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01, P03の入力はTTL入力バッファに設定可能。 P00, P02, P03の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能[注1]。
P01	8-1-1			TO00	
P02	7-3-2		アナログ入力	ANI17/ TxD1	
P03	8-3-2			ANI16/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/ (TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P11				SI00/RxD0/ TOOLRxD/SDA00/ (TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/ TOOLTxD/(TI05)/ (TO05)	
P13	8-1-2			TxD2/SO20/ (SDAA0)/(TI04)/ (TO04)	
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)	
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/ (TO02)	
P16	8-1-1			TI01/TO01/INTP5/ (RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/(PCLBUZ0)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				–	
P63				–	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 P71，P74の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3/SO01	
P74	7-1-2			KR4/INTP8/SI01/SDA01	
P75	7-1-1			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと４ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P130	1-1-1	出力	出力ポート	－	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
P146				－	
P147	7-3-1		アナログ入力	ANI18	
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 11　64ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能[注1]。
P01	8-1-1			TO00	
P02	7-3-2		アナログ入力	ANI17/SO10/TxD1	
P03	8-3-2			ANI16/SI10/RxD1/SDA10	
P04	8-1-2		入力ポート	SCK10/SCL10	
P05	7-1-1			TI05/TO05	
P06				TI06/TO06	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-1-2			TI02/TO02/(SO00)/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2/3）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/(PCLBUZ0)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P41				TI07/TO07	
P42				TI04/TO04	
P43				–	
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 6ビット入出力ポート。 P55の入力はTTL入力バッファに設定可能。 P50，P55の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P51	7-1-1			INTP2/SO11	
P52				(INTP10)	
P53				(INTP11)	
P54				–	
P55	8-1-2			(PCLBUZ1)/(SCK00)	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62				–	
P63				–	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 P71，P74の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3/SO01	
P74	7-1-2			KR4/INTP8/SI01/SDA01	
P75	7-1-1			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（3/3）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P130	1-1-1	出力	出力ポート	－	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能[注]。
P141				PCLBUZ1/INTP7	
P146				－	
P147	7-3-1		アナログ入力	ANI18	
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 1. 12　80ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01，P03，P04の入力はTTL入力バッファに設定可能。 P00，P02-P04の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能[注1]。
P01	8-1-1			TO00	
P02	7-3-2		アナログ入力	ANI17/SO10/TxD1	
P03	8-3-2			ANI16/SI10/RxD1/SDA10	
P04	8-1-2		入力ポート	SCK10/SCL10	
P05	7-1-1			TI05/TO05	
P06				TI06/TO06	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10，P11，P13-P17の入力はTTL入力バッファに設定可能。 P10-P15，P17の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-1-2			TI02/TO02/(SO00)/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/(PCLBUZ0)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P43, P44の入力はTTL入力バッファに設定可能。 P43-P45の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P41				TI07/TO07	
P42				TI04/TO04	
P43	8-1-2			SCK01/SCL01	
P44				SI01/SDA01	
P45	7-1-2			SO01	
P50	7-1-2	入出力	入力ポート	INTP1/SI11/SDA11	ポート5。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P53-P55の入力はTTL入力バッファに設定可能。 P50, P52-P55の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P51	7-1-1			INTP2/SO11	
P52	7-1-2			SO31	
P53	8-1-2			SI31/SDA31	
P54				SCK31/SCL31	
P55				(PCLBUZ1)/(SCK00)	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63はN-chオープン・ドレイン出力（6 V耐圧） P64-P67は，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SCLA1	
P63				SDAA1	
P64	7-1-1			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3	
P74	7-1-2			KR4/INTP8	
P75	7-1-1			KR5/INTP9	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（3/3）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P100	7-3-1	入出力	アナログ入力	ANI20	ポート10。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 アナログ入力に設定可能[注1]。
P110	7-1-1	入出力	入力ポート	(INTP10)	ポート11。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P111				(INTP11)	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注1]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	－	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	PCLBUZ0/INTP6	
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P147はアナログ入力に設定可能[注1]。
P141				PCLBUZ1/INTP7	
P142	8-1-2			SCK30/SCL30	
P143				SI30/RxD3/SDA30	
P144	7-1-2			SO30/TxD3	
P146	7-1-1			－	
P147	7-3-1		アナログ入力	ANI18	
P150	4-3-1	入出力	アナログ入力	ANI8	ポート15。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P151				ANI9	
P152				ANI10	
P153				ANI11	
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注 1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図**4－8　**周辺**I/O**リダイレクション・レジスタ**（PIOR）**のフォーマット**を参照してください。

2. 1. 13　100ピン製品

(1/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01，P03，P04の入力はTTL入力バッファに設定可能。 P00，P02-P04の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能[注1]。
P01	8-1-1			TO00	
P02	7-3-2		アナログ入力	ANI17/SO10/TxD1	
P03	8-3-2			ANI16/SI10/RxD1/SDA10	
P04	8-1-2		入力ポート	SCK10/SCL10	
P05	7-1-1			–	
P06				–	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10，P11，P13-P17の入力はTTL入力バッファに設定可能。 P10-P15，P17の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-1-2			TI02/TO02/(SO00)/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注 1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート アナログ入力	INTP3/RTC1HZ/ SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/ (PCLBUZ0)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P43, P44の入力はTTL入力バッファに設定可能。 P43-P45の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P41				－	
P42				TI04/TO04	
P43	8-1-2			SCK01/SCL01	
P44				SI01/SDA01	
P45	7-1-2			SO01	
P46	7-1-1			INTP1/TI05/TO05	
P47				INTP2	
P50	7-1-2	入出力	入力ポート	SI11/SDA11	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P53-P55の入力はTTL入力バッファに設定可能。 P50，P52-P55の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P51	7-1-1			SO11	
P52	7-1-2			SO31	
P53	8-1-2			SI31/SDA31	
P54				SCK31/SCL31	
P55				(PCLBUZ1)/(SCK00)	
P56	7-1-1			(INTP1)	
P57				(INTP3)	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63はN-chオープン・ドレイン出力（6 V耐圧） P64-P67は，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SCLA1	
P63				SDAA1	
P64	7-1-1			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P71，P74の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3	
P74	7-1-2			KR4/INTP8	
P75	7-1-1			KR5/INTP9	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(3/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P80	8-1-2	入出力	入力ポート	(SCK10)/(SCL10)	ポート8。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P80, P81の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P81				(SI10)/(RxD1)/(SDA10)	
P82	7-1-2			(SO10)/(TxD1)	
P83	7-1-1			–	
P84				(INTP6)	
P85				(INTP7)	
P86				(INTP8)	
P87				(INTP9)	
P100	7-3-1	入出力	アナログ入力	ANI20	ポート10。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P100はアナログ入力に設定可能[注1]。
P101	7-1-1		入力ポート	–	
P102				TI06/TO06	
P110	7-1-1	入出力	入力ポート	(INTP10)	ポート11。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P111				(INTP11)	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注1]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	–	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P147はアナログ入力に設定可能[注1]。
P141				PCLBUZ1/INTP7	
P142	8-1-2			SCK30/SCL30	
P143				SI30/RxD3/SDA30	
P144	7-1-2			SO30/TxD3	
P145	7-1-1			TI07/TO07	
P146				(INTP4)	
P147	7-3-1		アナログ入力	ANI18	

注 1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（4/4）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P150	4-3-1	入出力	アナログ入力	ANI8	ポート15。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注]。
P151				ANI9	
P152				ANI10	
P153				ANI11	
P154				ANI12	
P155				ANI13	
P156				ANI14	
$\overline{\text{RESET}}$	2-1-1	入力	–	–	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

2. 1. 14　128ピン製品

(1/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	TI00	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能[注1]。
P01	8-1-1			TO00	
P02	7-3-2		アナログ入力	ANI17/SO10/TxD1	
P03	8-3-2			ANI16/SI10/RxD1/SDA10	
P04	8-1-2		入力ポート	SCK10/SCL10	
P05	7-1-1			–	
P06				–	
P07				–	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTxD/(INTP5)/(TI05)/(TO05)	
P13	8-1-2			TxD2/SO20/(SDAA0)/(TI04)/(TO04)	
P14				RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/(SI00)/(RxD0)	
P17	8-1-2			TI02/TO02/(SO00)/(TxD0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	

注1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P35-P37はアナログ入力に設定可能[注]。
P31				TI03/TO03/INTP4/(PCLBUZ0)	
P32				–	
P33				–	
P34				–	
P35	7-3-1		アナログ入力	ANI23	
P36				ANI22	
P37				ANI21	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P43, P44の入力はTTL入力バッファに設定可能。 P43-P45の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P41				–	
P42				TI04/TO04	
P43	8-1-2			SCK01/SCL01	
P44				SI01/SDA01	
P45	7-1-2			SO01	
P46	7-1-1			INTP1/TI05/TO05	
P47				INTP2	
P50	7-1-2	入出力	入力ポート	–	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P53-P55の入力はTTL入力バッファに設定可能。 P50，P52-P55の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P51	7-1-1			–	
P52	7-1-2			SO31	
P53	8-1-2			SI31/SDA31	
P54				SCK31/SCL31	
P55				(PCLBUZ1)/(SCK00)	
P56	7-1-1			(INTP1)	
P57				(INTP3)	
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63はN-chオープン・ドレイン出力（6 V耐圧） P64-P67は，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SCLA1	
P63				SDAA1	
P64	7-1-1			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（3/4）

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P70	7-1-1	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P71，P74の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P71	7-1-2			KR1/SI21/SDA21	
P72	7-1-1			KR2/SO21	
P73				KR3	
P74	7-1-2			KR4/INTP8	
P75	7-1-1			KR5/INTP9	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P80	8-1-2	入出力	入力ポート	(SCK10)/(SCL10)	ポート8。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P80, P81の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P81				(SI10)/(RxD1)/(SDA10)	
P82	7-1-2			(SO10)/(TxD1)	
P83	7-1-1			–	
P84				(INTP6)	
P85				(INTP7)	
P86				(INTP8)	
P87				(INTP9)	
P90	7-1-1	入出力	入力ポート	–	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P96の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。
P91				–	
P92				–	
P93				–	
P94				–	
P95				SCK11/SCL11	
P96	7-1-2			SI11/SDA11	
P97	7-1-1			SO11	
P100	7-3-1	入出力	アナログ入力	ANI20	ポート10。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P100はアナログ入力に設定可能[注]。
P101	7-1-1		入力ポート	–	
P102				TI06/TO06	
P103				TI14/TO14	
P104				TI15/TO15	
P105				TI16/TO16	
P106				TI17/TO17	

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。
詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(4/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機　　能
P110	7-1-1	入出力	入力ポート	(INTP10)	ポート11。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P115-P117はアナログ入力に設定可能[注1]。
P111				(INTP11)	
P112				–	
P113				–	
P114				–	
P115	7-3-1		アナログ入力	ANI26	
P116				ANI25	
P117				ANI24	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 4ビット入出力ポートと4ビット入力専用ポート。 P120, P125-P127のみ，入力／出力の指定が可能。 P120, P125-P127のみ，入力ポートではソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注1]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-1-1	入出力		–	
P126				–	
P127				–	
P130	1-1-1	出力	出力ポート	–	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-1	入出力		PCLBUZ0/INTP6	ポート14。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能。 P147はアナログ入力に設定可能[注1]。
P141				PCLBUZ1/INTP7	
P142	8-1-2			SCK30/SCL30	
P143				SI30/RxD3/SDA30	
P144	7-1-2			SO30/TxD3	
P145	7-1-1			TI07/TO07	
P146				(INTP4)	
P147	7-3-1		アナログ入力	ANI18	
P150	4-3-1	入出力	アナログ入力	ANI8	ポート15。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注2]。
P151				ANI9	
P152				ANI10	
P153				ANI11	
P154				ANI12	
P155				ANI13	
P156				ANI14	
$\overline{\text{RESET}}$	2-1-1	入力	–	–	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注1. 各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

2. 2　ポート以外の機能

2. 2. 1　製品別の搭載機能

(1/4)

機能名称	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
ANI0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ANI1	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ANI2	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ANI3	○	○	○	○	○	○	○	○	○	○	○	–	–	–
ANI4	○	○	○	○	○	○	○	○	○	–	–	–	–	–
ANI5	○	○	○	○	○	○	○	○	○	–	–	–	–	–
ANI6	○	○	○	○	○	○	○	○	–	–	–	–	–	–
ANI7	○	○	○	○	○	○	○	–	–	–	–	–	–	–
ANI8	○	○	○	–	–	–	–	–	–	–	–	–	–	–
ANI9	○	○	○	–	–	–	–	–	–	–	–	–	–	–
ANI10	○	○	○	–	–	–	–	–	–	–	–	–	–	–
ANI11	○	○	○	–	–	–	–	–	–	–	–	–	–	–
ANI12	○	○	–	–	–	–	–	–	–	–	–	–	–	–
ANI13	○	○	–	–	–	–	–	–	–	–	–	–	–	–
ANI14	○	○	–	–	–	–	–	–	–	–	–	–	–	–
ANI16	○	○	○	○	○	–	–	–	–	○	○	○	○	○
ANI17	○	○	○	○	○	–	–	–	–	○	○	○	○	○
ANI18	○	○	○	○	○	○	○	○	○	○	○	○	○	○
ANI19	○	○	○	○	○	○	○	○	○	○	○	–	–	–
ANI20	○	○	○	–	–	–	–	–	–	–	–	–	–	–
ANI21	○	–	–	–	–	–	–	–	–	–	–	–	–	–
ANI22	○	–	–	–	–	–	–	–	–	–	–	–	–	–
ANI23	○	–	–	–	–	–	–	–	–	–	–	–	–	–
ANI24	○	–	–	–	–	–	–	–	–	–	–	–	–	–
ANI25	○	–	–	–	–	–	–	–	–	–	–	–	–	–
ANI26	○	–	–	–	–	–	–	–	–	–	–	–	–	–
INTP0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP1	○	○	○	○	○	○	○	○	○	○	○	○	○	–
INTP2	○	○	○	○	○	○	○	○	○	○	○	–	–	–
INTP3	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP4	○	○	○	○	○	○	○	○	○	○	○	○	○	–
INTP5	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP6	○	○	○	○	○	○	–	–	–	–	–	–	–	–
INTP7	○	○	○	○	–	–	–	–	–	–	–	–	–	–
INTP8	○	○	○	○	○	○	–	–	–	–	–	–	–	–
INTP9	○	○	○	○	○	○	–	–	–	–	–	–	–	–
INTP10	○	○	○	○	○	–	–	–	–	–	–	–	–	–
INTP11	○	○	○	○	○	–	–	–	–	–	–	–	–	–

(2/4)

機能名称	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
KR0	○	○	○	○	○	○	○	○	–	–	–	–	–	–
KR1	○	○	○	○	○	○	○	○	–	–	–	–	–	–
KR2	○	○	○	○	○	○	○	○	–	–	–	–	–	–
KR3	○	○	○	○	○	○	○	○	–	–	–	–	–	–
KR4	○	○	○	○	○	○	–	–	–	–	–	–	–	–
KR5	○	○	○	○	○	○	–	–	–	–	–	–	–	–
KR6	○	○	○	○	○	–	–	–	–	–	–	–	–	–
KR7	○	○	○	○	○	–	–	–	–	–	–	–	–	–
PCLBUZ0	○	○	○	○	○	○	○	○	○	○	○	○	○	–
PCLBUZ1	○	○	○	○	○	○	○	○	○	○	○	–	–	–
REGC	○	○	○	○	○	○	○	○	○	○	○	○	○	○
RTC1HZ	○	○	○	○	○	○	○	○	–	–	–	–	–	–
$\overline{\text{RESET}}$	○	○	○	○	○	○	○	○	○	○	○	○	○	○
RxD0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
RxD1	○	○	○	○	○	○	○	○	○	○	○	○	○	○
RxD2	○	○	○	○	○	○	○	○	○	○	○	–	–	–
RxD3	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TxD0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TxD1	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TxD2	○	○	○	○	○	○	○	○	○	○	○	–	–	–
TxD3	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SCK00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SCK01	○	○	○	○	○	○	–	–	–	–	–	–	–	–
SCK10	○	○	○	○	–	–	–	–	–	–	–	–	–	–
SCK11	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SCK20	○	○	○	○	○	○	○	○	○	○	○	–	–	–
SCK21	○	○	○	○	○	○	○	○	○	–	–	–	–	–
SCK30	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SCK31	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SCL00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SCL01	○	○	○	○	○	○	–	–	–	–	–	–	–	–
SCL10	○	○	○	○	–	–	–	–	–	–	–	–	–	–
SCL11	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SCL20	○	○	○	○	○	○	○	○	○	○	○	–	–	–
SCL21	○	○	○	○	○	○	○	○	○	–	–	–	–	–
SCL30	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SCL31	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SDA00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SDA01	○	○	○	○	○	○	–	–	–	–	–	–	–	–
SDA10	○	○	○	○	–	–	–	–	–	–	–	–	–	–
SDA11	○	○	○	○	○	○	○	○	○	○	○	○	○	○

(3/4)

機能名称	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
SDA20	○	○	○	○	○	○	○	○	○	○	○	–	–	–
SDA21	○	○	○	○	○	○	○	○	○	–	–	–	–	–
SDA30	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SDA31	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SI00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SI01	○	○	○	○	○	○	–	–	–	–	–	–	–	–
SI10	○	○	○	○	–	–	–	–	–	–	–	–	–	–
SI11	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SI20	○	○	○	○	○	○	○	○	○	○	○	–	–	–
SI21	○	○	○	○	○	○	○	○	○	–	–	–	–	–
SI30	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SI31	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SO00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SO01	○	○	○	○	○	○	–	–	–	–	–	–	–	–
SO10	○	○	○	○	–	–	–	–	–	–	–	–	–	–
SO11	○	○	○	○	○	○	○	○	○	○	○	○	○	○
SO20	○	○	○	○	○	○	○	○	○	○	○	–	–	–
SO21	○	○	○	○	○	○	○	○	○	–	–	–	–	–
SO30	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SO31	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SCLA0	○	○	○	○	○	○	○	○	○	○	○	○	○	–
SCLA1	○	○	○	–	–	–	–	–	–	–	–	–	–	–
SDAA0	○	○	○	○	○	○	○	○	○	○	○	○	○	–
SDAA1	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TI00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TI01	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TI02	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TI03	○	○	○	○	○	○	○	○	○	○	○	○	○	–
TI04	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–
TI05	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–
TI06	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–
TI07	○	○	○	○	○	○	○	(○)	(○)	(○)	(○)	–	–	–
TI10	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TI11	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TI12	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TI13	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TI14	○	–	–	–	–	–	–	–	–	–	–	–	–	–
TI15	○	–	–	–	–	–	–	–	–	–	–	–	–	–
TI16	○	–	–	–	–	–	–	–	–	–	–	–	–	–
TI17	○	–	–	–	–	–	–	–	–	–	–	–	–	–

備考　上図の（○）は，周辺I/Oリダイレクション・レジスタ（PIOR）の対応ビットに1を設定した場合のみ使用可能になります。

(4/4)

機能名称	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
TO00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TO01	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TO02	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TO03	○	○	○	○	○	○	○	○	○	○	○	○	○	–
TO04	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–
TO05	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–
TO06	○	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–
TO07	○	○	○	○	○	○	○	(○)	(○)	(○)	(○)	–	–	–
TO10	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TO11	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TO12	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TO13	○	○	○	–	–	–	–	–	–	–	–	–	–	–
TO14	○	–	–	–	–	–	–	–	–	–	–	–	–	–
TO15	○	–	–	–	–	–	–	–	–	–	–	–	–	–
TO16	○	–	–	–	–	–	–	–	–	–	–	–	–	–
TO17	○	–	–	–	–	–	–	–	–	–	–	–	–	–
X1	○	○	○	○	○	○	○	○	○	○	○	○	○	○
X2	○	○	○	○	○	○	○	○	○	○	○	○	○	○
EXCLK	○	○	○	○	○	○	○	○	○	○	○	○	○	○
XT1	○	○	○	○	○	○	○	○	–	–	–	–	–	–
XT2	○	○	○	○	○	○	○	○	–	–	–	–	–	–
EXCLKS	○	○	○	○	○	○	○	○	–	–	–	–	–	–
V_{DD}	○	○	○	○	○	○	○	○	○	○	○	○	○	○
EV_{DD0}	○	○	○	○	–	–	–	–	–	–	–	–	–	–
EV_{DD1}	○	○	–	–	–	–	–	–	–	–	–	–	–	–
AV_{REFP}	○	○	○	○	○	○	○	○	○	○	○	○	○	○
AV_{REFM}	○	○	○	○	○	○	○	○	○	○	○	○	○	○
V_{SS}	○	○	○	○	○	○	○	○	○	○	○	○	○	○
EV_{SS0}	○	○	○	○	–	–	–	–	–	–	–	–	–	–
EV_{SS1}	○	○	–	–	–	–	–	–	–	–	–	–	–	–
TOOLRxD	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TOOLTxD	○	○	○	○	○	○	○	○	○	○	○	○	○	○
TOOL0	○	○	○	○	○	○	○	○	○	○	○	○	○	○

備考　上図の（○）は，周辺I/Oリダイレクション・レジスタ（PIOR）の対応ビットに1を設定した場合のみ使用可能になります。

2. 2. 2　機能説明

（1/2）

機能名称	入出力	機　　能
ANI0-ANI14, ANI16-ANI26	入力	A/Dコンバータのアナログ入力（図11－44　アナログ入力端子の処理参照）
INTP0-INTP11	入力	外部割り込み要求入力 有効エッジ指定： 立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
REGC	－	内部動作用レギュレータ出力安定容量接続。 コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。 また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。
RxD0-RxD3	入力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・クロック入出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ入力
SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31	出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ出力
SCLA0, SCLA1	入出力	シリアル・インタフェースIICA0, IICA1のクロック入出力
SDAA0, SDAA1	入出力	シリアル・インタフェースIICA0, IICA1のシリアル・データ入出力
TI00-TI07, TI10-TI17	入力	16ビット・タイマ00-07, 10-17への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07, TO10-TO17	出力	16ビット・タイマ00-07, 10-17のタイマ出力
X1, X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力

（2/2）

機能名称	入出力	機　　能
V_{DD}	－	＜20ピン，24ピン，25ピン，30ピン，32ピン，36ピン，40ピン，44ピン，48ピン，52ピン製品の場合＞ すべての端子の正電源 ＜64ピン，80ピン，100ピン，128ピン製品の場合＞ P20-P27, P121-P124, P137, P150-P156，およびポート以外の端子の正電源
EV_{DD0}, EV_{DD1}	－	ポート端子（P20-P27, P121-P124, P137, P150-P156以外）の正電源
AV_{REFP}	入力	A/Dコンバータの基準電圧（＋側）入力
AV_{REFM}	入力	A/Dコンバータの基準電圧（－側）入力
V_{SS}	－	＜20ピン，24ピン，25ピン，30ピン，32ピン，36ピン，40ピン，44ピン，48ピン，52ピン製品の場合＞ すべての端子のグランド電位 ＜64ピン，80ピン，100ピン，128ピン製品の場合＞ P20-P27, P121-P124, P137, P150-P156，およびポート以外の端子のグランド電位
EV_{SS0}, EV_{SS1}	－	ポート端子（P20-P27, P121-P124, P137, P150-P156以外）のグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

注意　リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2－2　リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は，25. 4　シリアル・プログラミング方法を参照してください。

備考　ノイズ対策およびラッチアップ対策として，V_{DD} - V_{SS}，EV_{DD0} - EV_{SS0}，EV_{DD1} - EV_{SS1}ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2. 3　未使用端子の処理

各端子の未使用端子の処理を表2－3に示します。

備考　製品により，搭載している端子が異なります。1. 3　**端子接続図**（Top View），2. 1　**ポート機能**を参照してください。

表2－3　各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：オープンにしてください。
P10-P17		
P20-P27		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P30-P37		入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}に接続またはオープンにしてください。 出力時：オープンにしてください。
P41-P47		入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：オープンにしてください。
P50-P57		
P60-P63		入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン，またはポートの出力ラッチに1を設定し，個別に抵抗を介してEV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。
P64-P67		入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：オープンにしてください。
P70-P77		
P80-P87		
P90-P97		
P100-P106		
P110-P117		
P120		
P121-P124	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。
P140-P147	入出力	入力時：個別に抵抗を介して，EV_{DD0}, EV_{DD1}またはEV_{SS0}, EV_{SS1}に接続してください。 出力時：オープンにしてください。
P150-P156	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
$\overline{\text{RESET}}$	入力	V_{DD}に直接接続または抵抗を介して接続してください。
REGC	－	コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。

備考　EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

2. 4　端子ブロック図

2.1.1 20ピン製品～2.1.14 128ピン製品に記載した端子タイプについて、端子ブロック図を図2－1～図2－14に示します。

図2－1　端子タイプ 1-1-1 の端子ブロック図

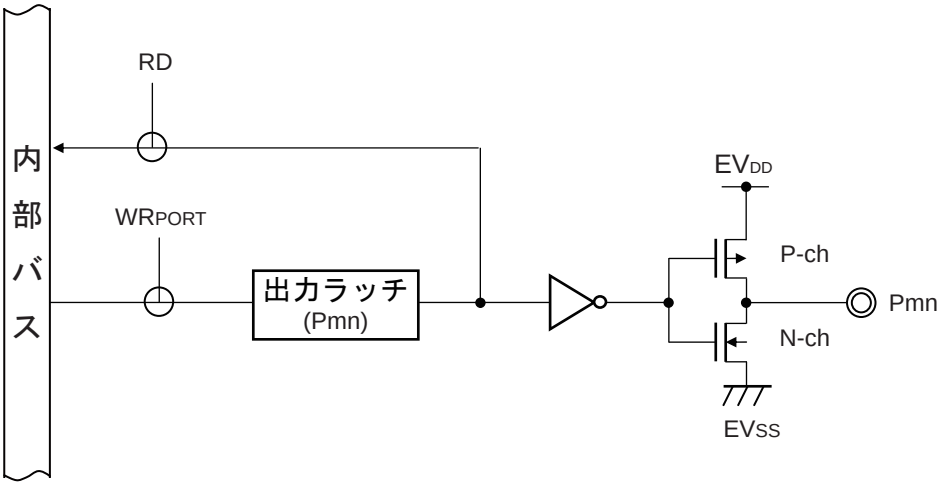


図2－2　端子タイプ 2-1-1 の端子ブロック図

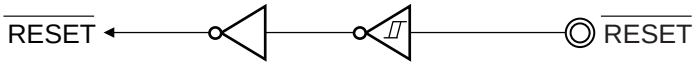
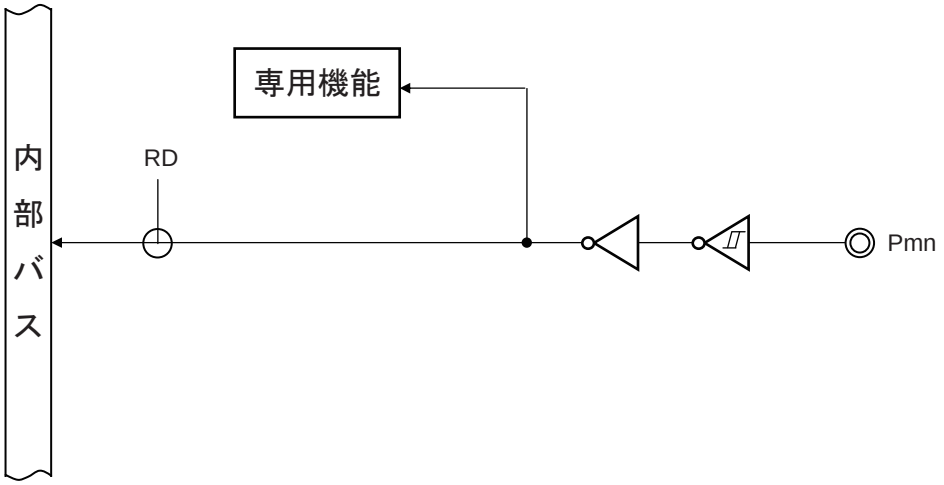
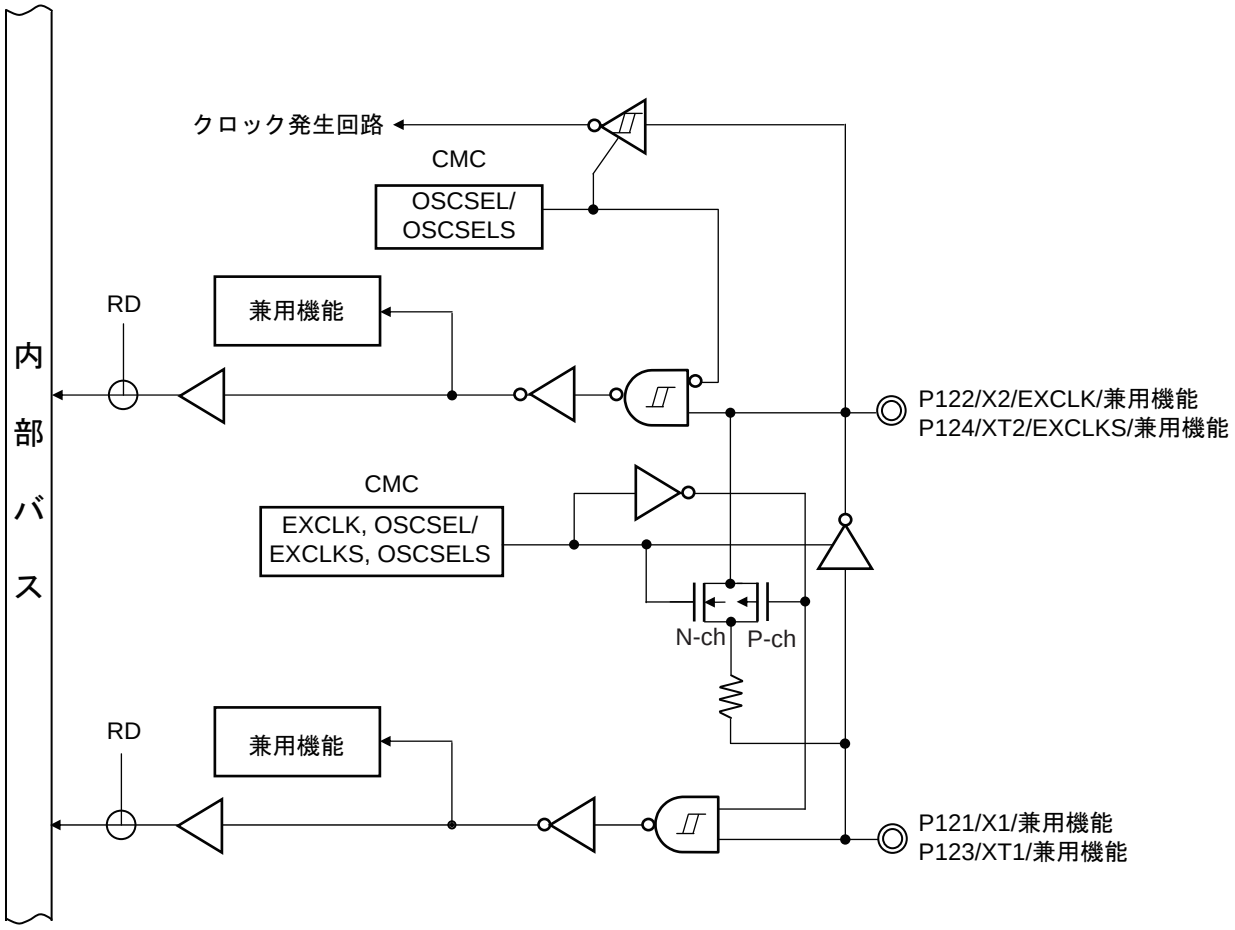


図2－3 端子タイプ 2-1-2 の端子ブロック図



備考　兼用機能は，2. 1　ポート機能を参照してください。

図2ー4 端子タイプ 2-2-1 **の端子ブロック図**



備考　兼用機能は，2. 1　**ポート機能を参照してください。**

図2－5 端子タイプ 4-3-1 **の端子ブロック図**

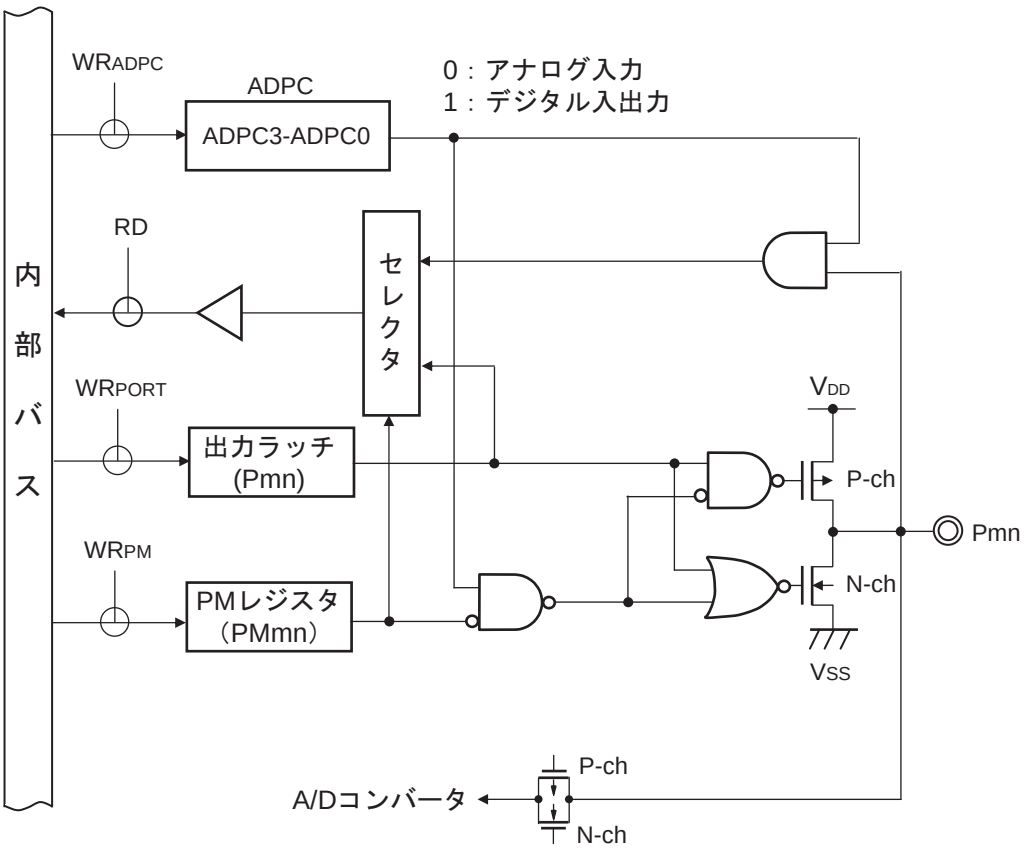
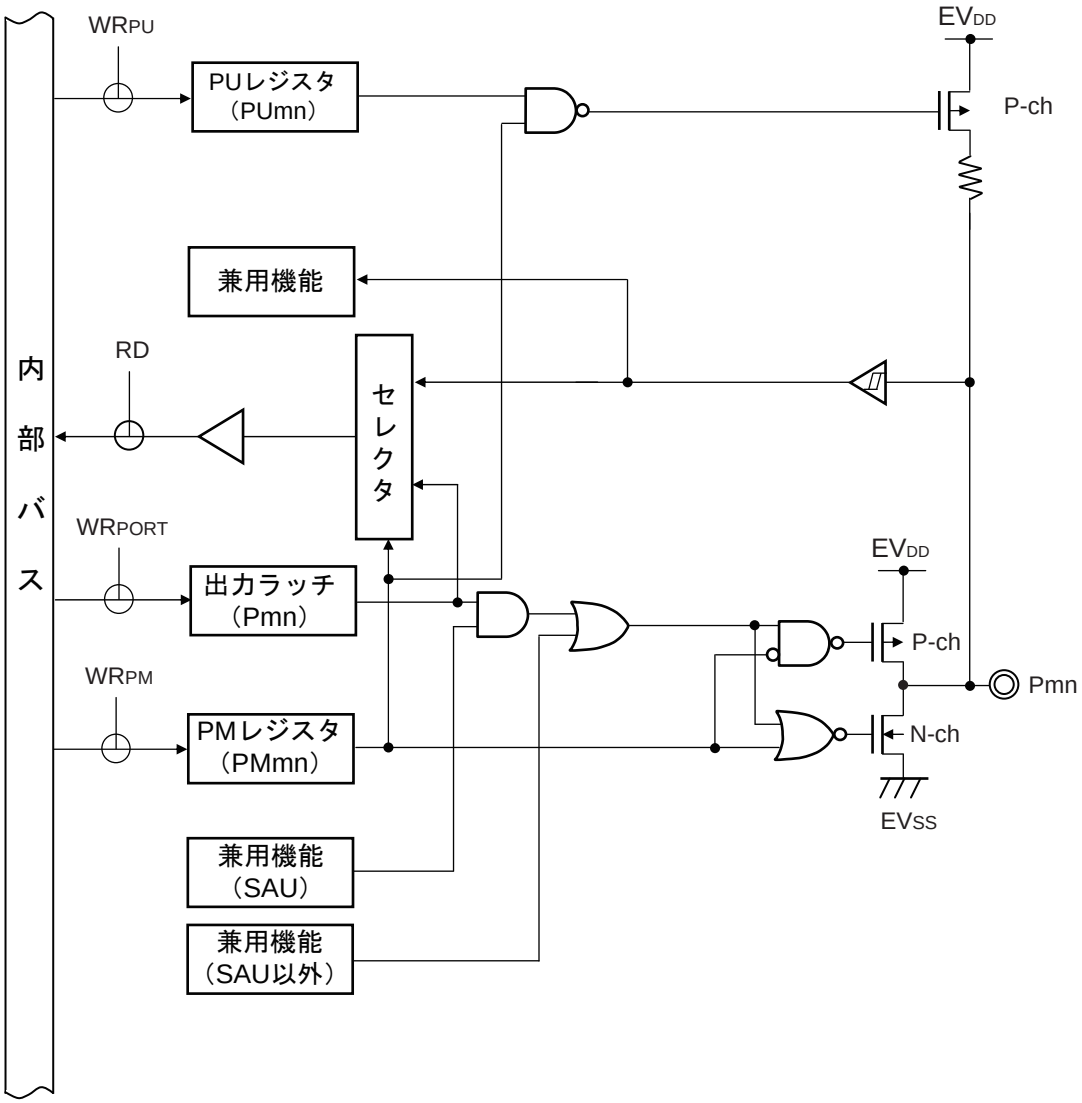


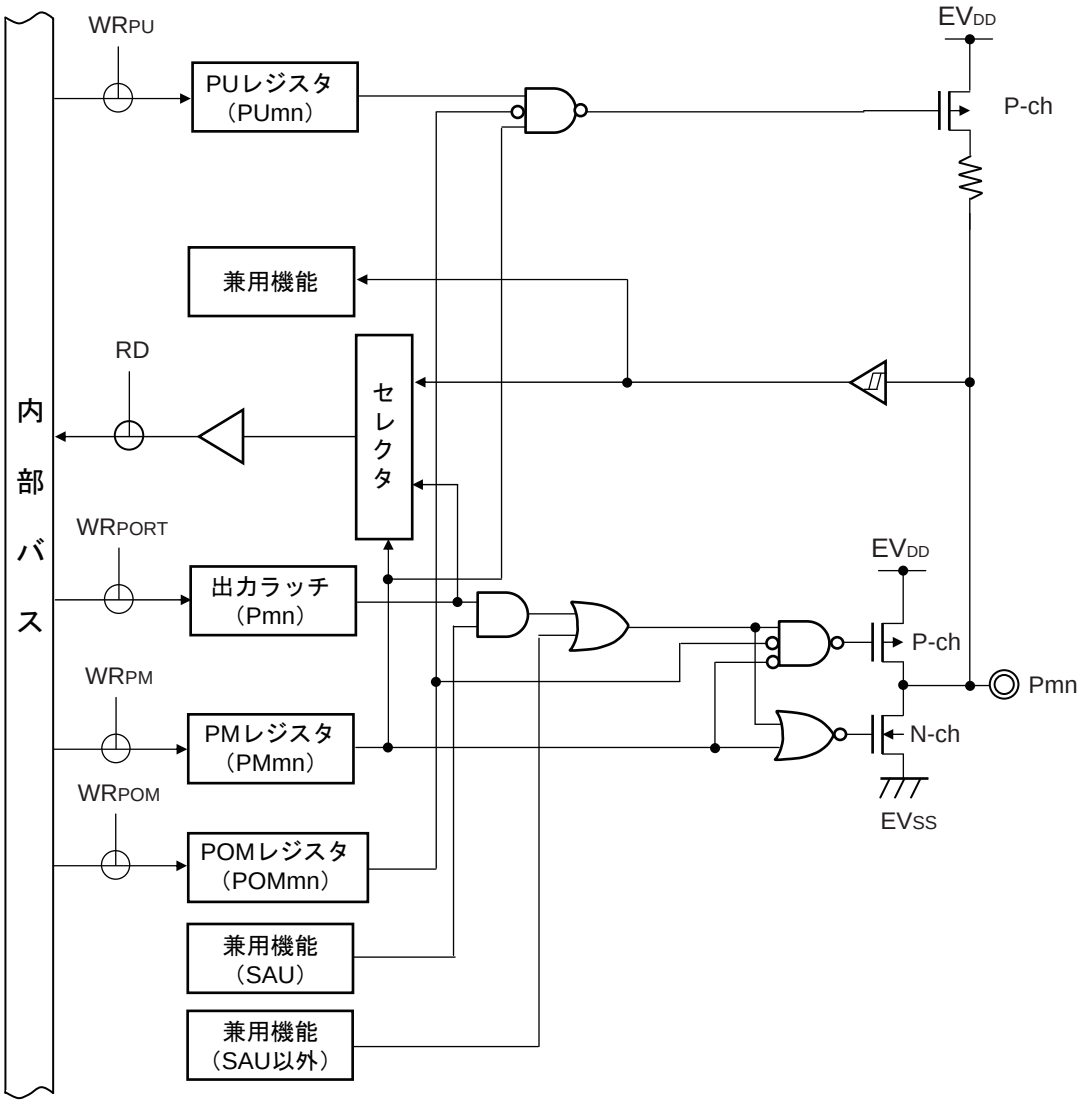
図2－6 端子タイプ 7-1-1 の端子ブロック図



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU：**シリアル・アレイ・ユニット**

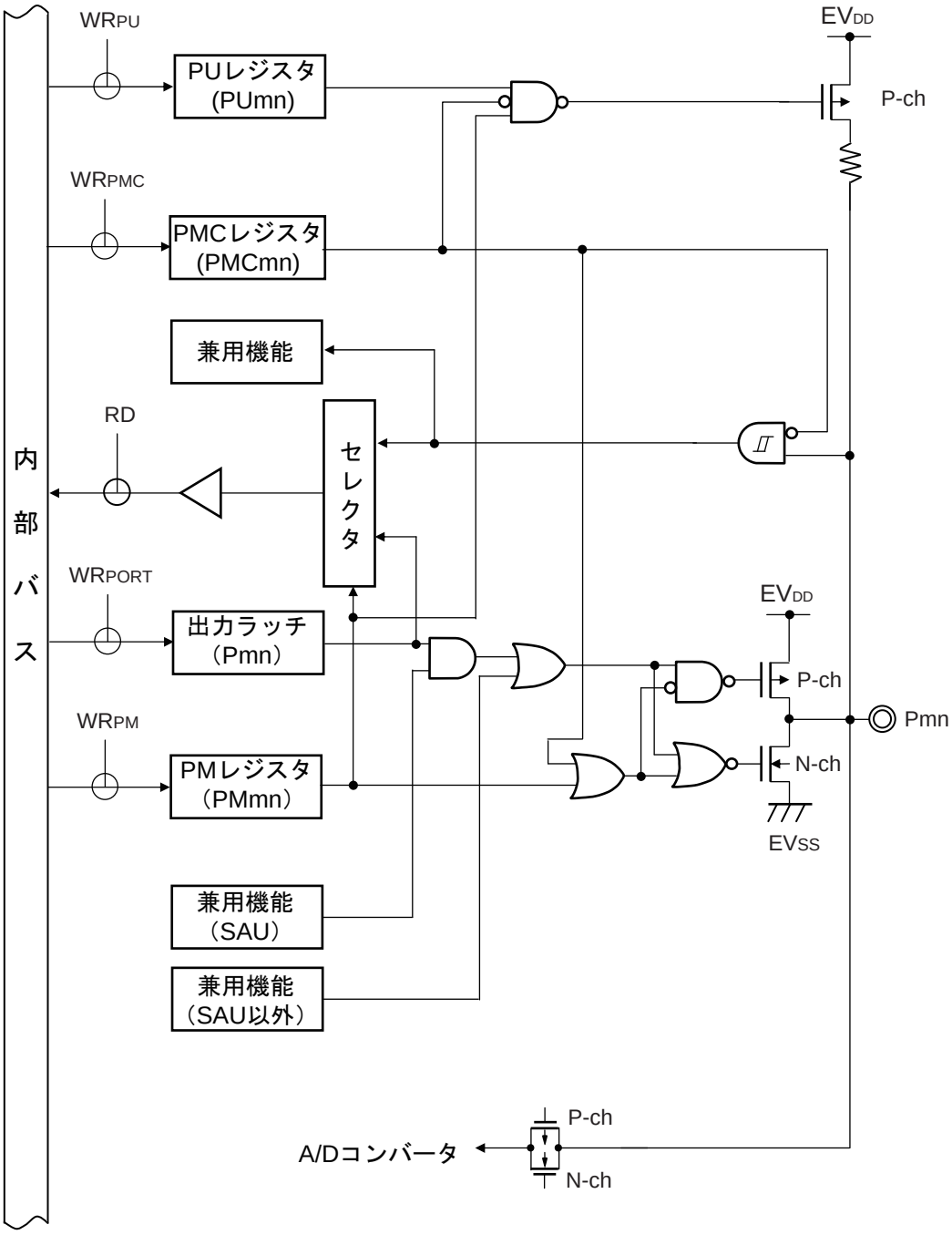
図2－7 端子タイプ 7-1-2 の端子ブロック図



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU：**シリアル・アレイ・ユニット**

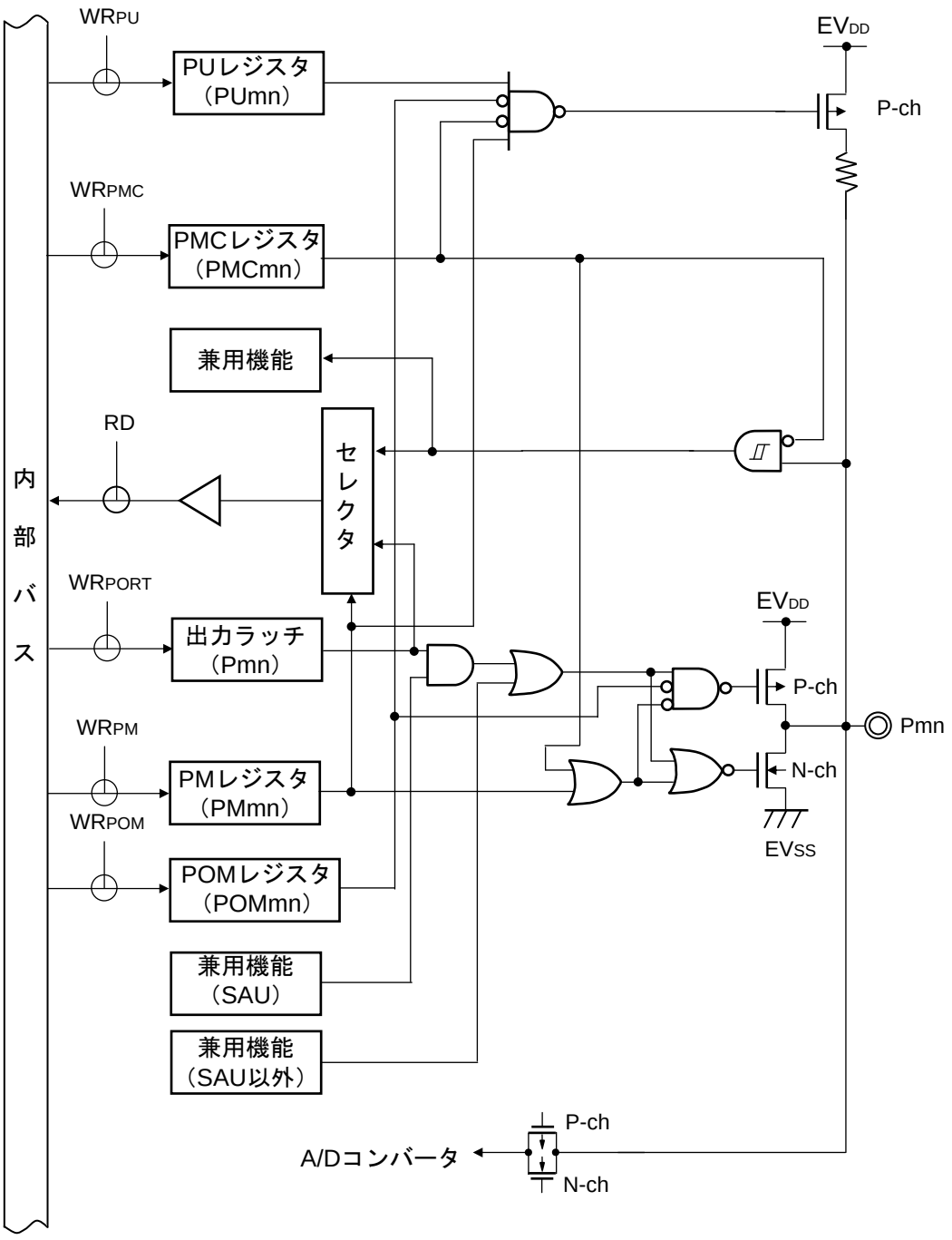
図2－8 端子タイプ 7-3-1 の端子ブロック図



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU：**シリアル・アレイ・ユニット**

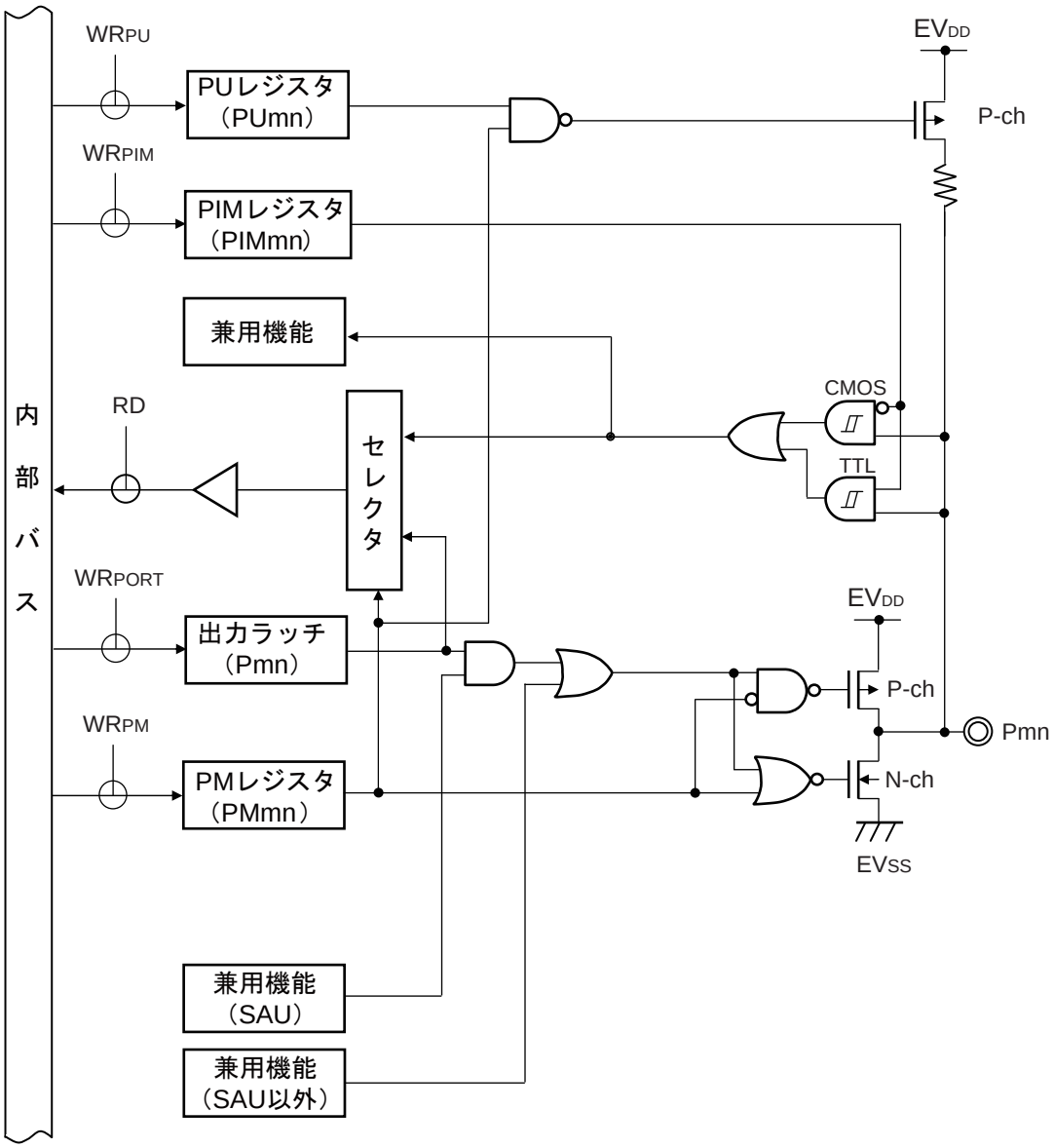
図2－9 端子タイプ 7-3-2 **の端子ブロック図**



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU**：シリアル・アレイ・ユニット**

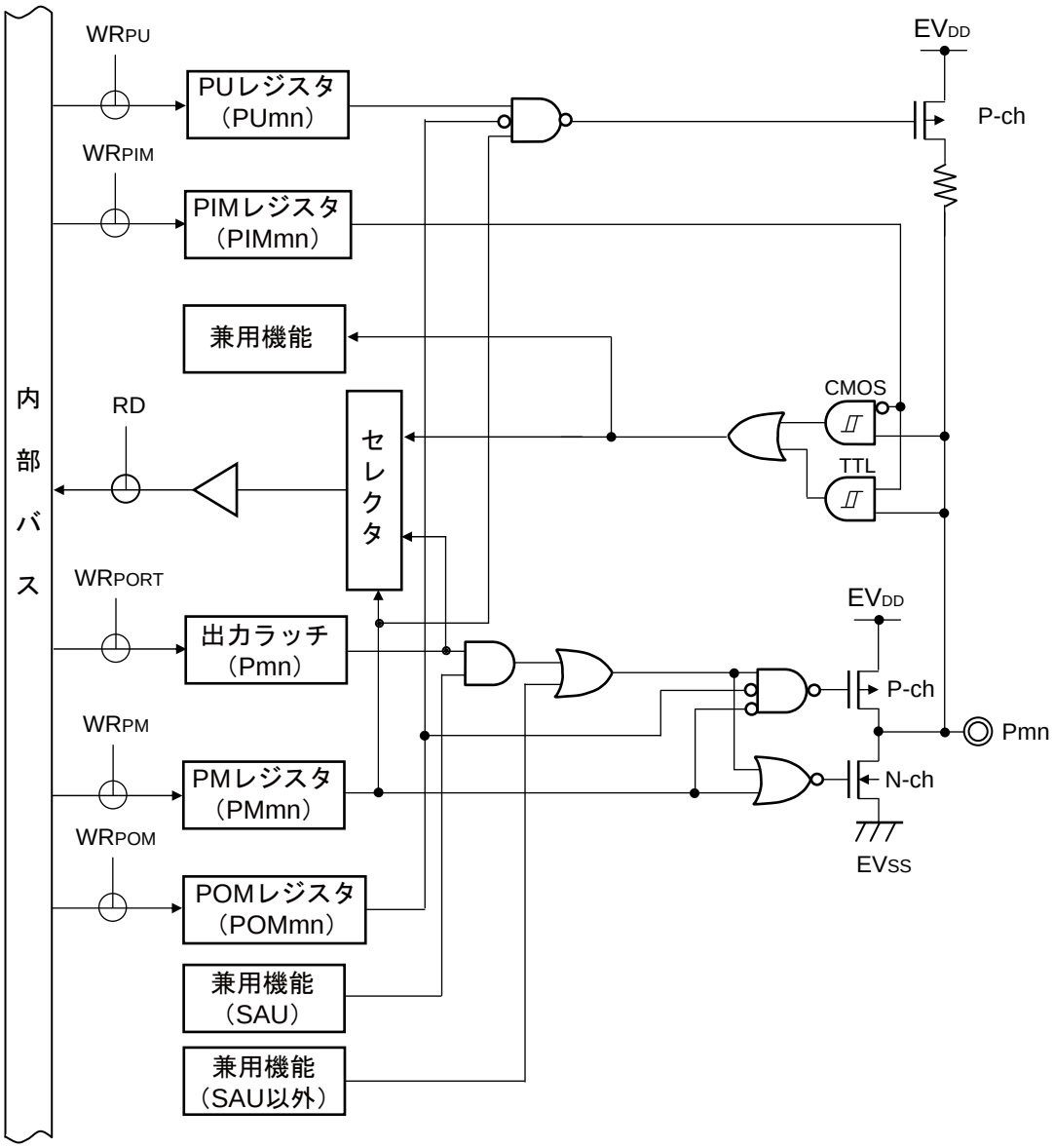
図2－10 端子タイプ 8-1-1 の端子ブロック図



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU**：シリアル・アレイ・ユニット**

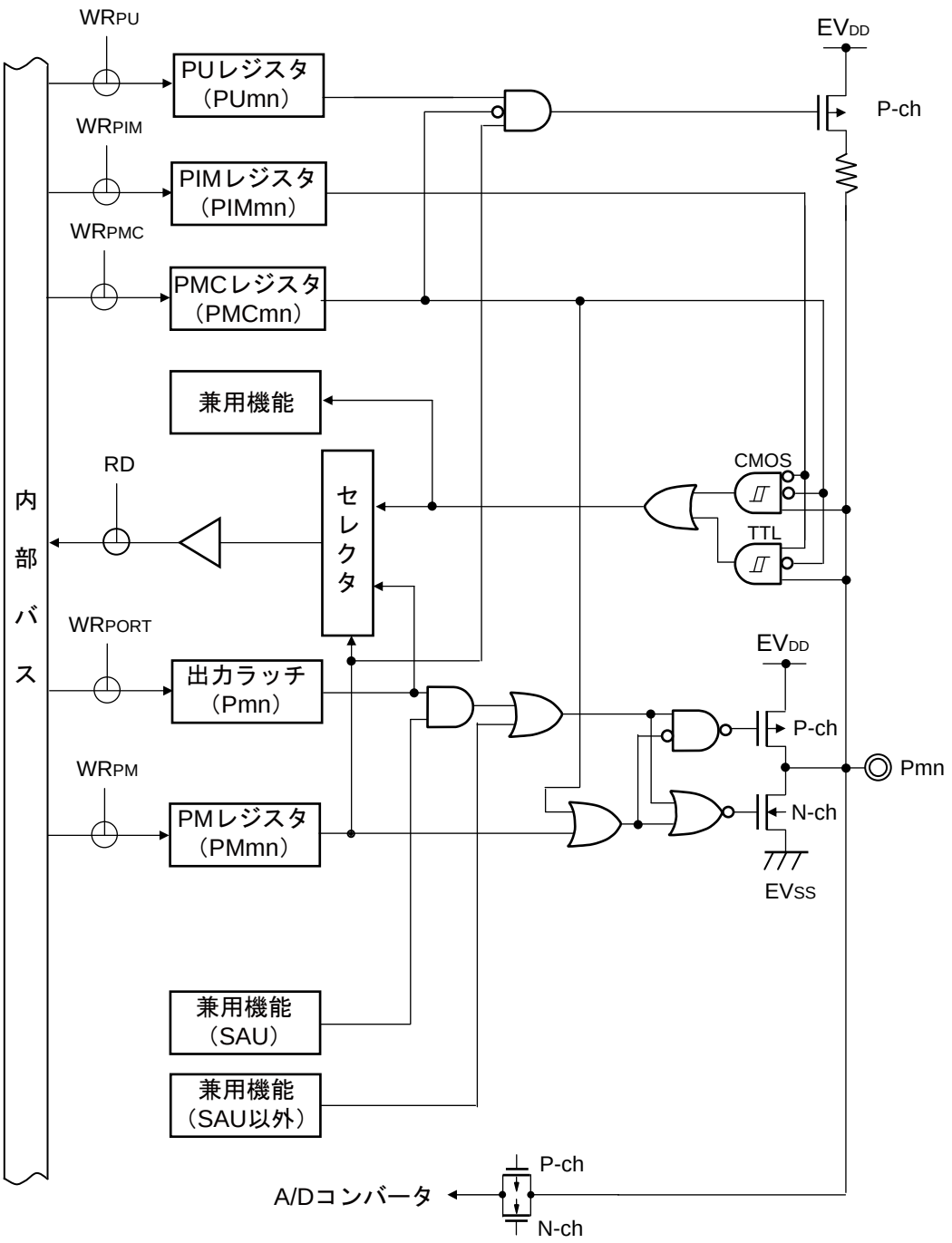
図2－11 端子タイプ 8-1-2 の端子ブロック図



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU：**シリアル・アレイ・ユニット**

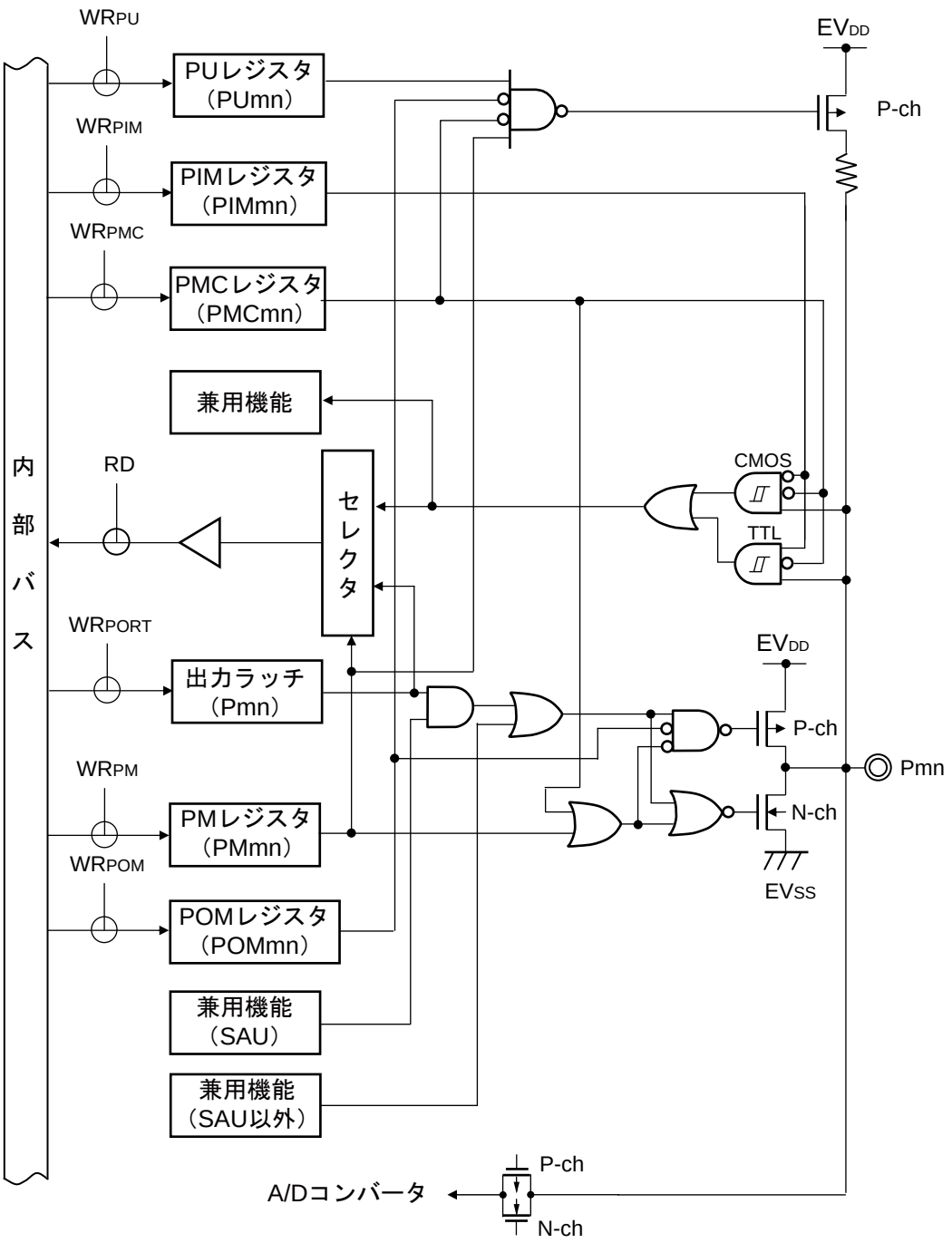
図2－12 端子タイプ 8-3-1 の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：**シリアル・アレイ・ユニット**

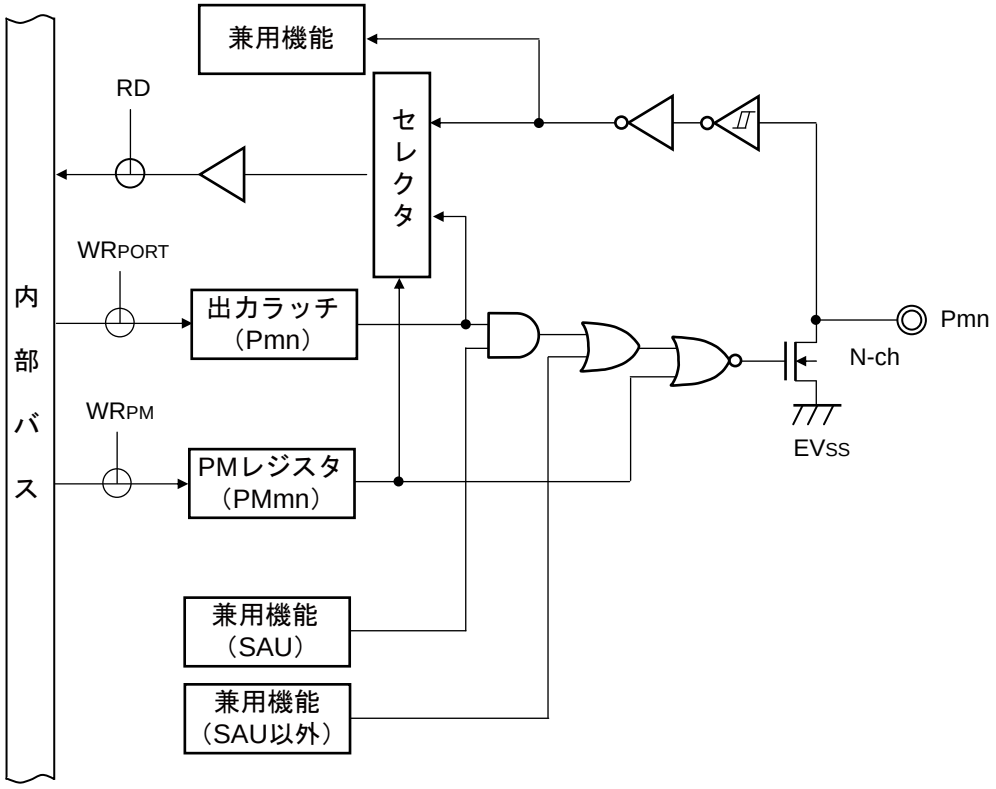
図2－13 端子タイプ 8-3-2 **の端子ブロック図**



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

2.　SAU：**シリアル・アレイ・ユニット**

図2－14 端子タイプ 12-1-1 の端子ブロック図



備考1.　**兼用機能は，**2. 1　**ポート機能を参照してください。**

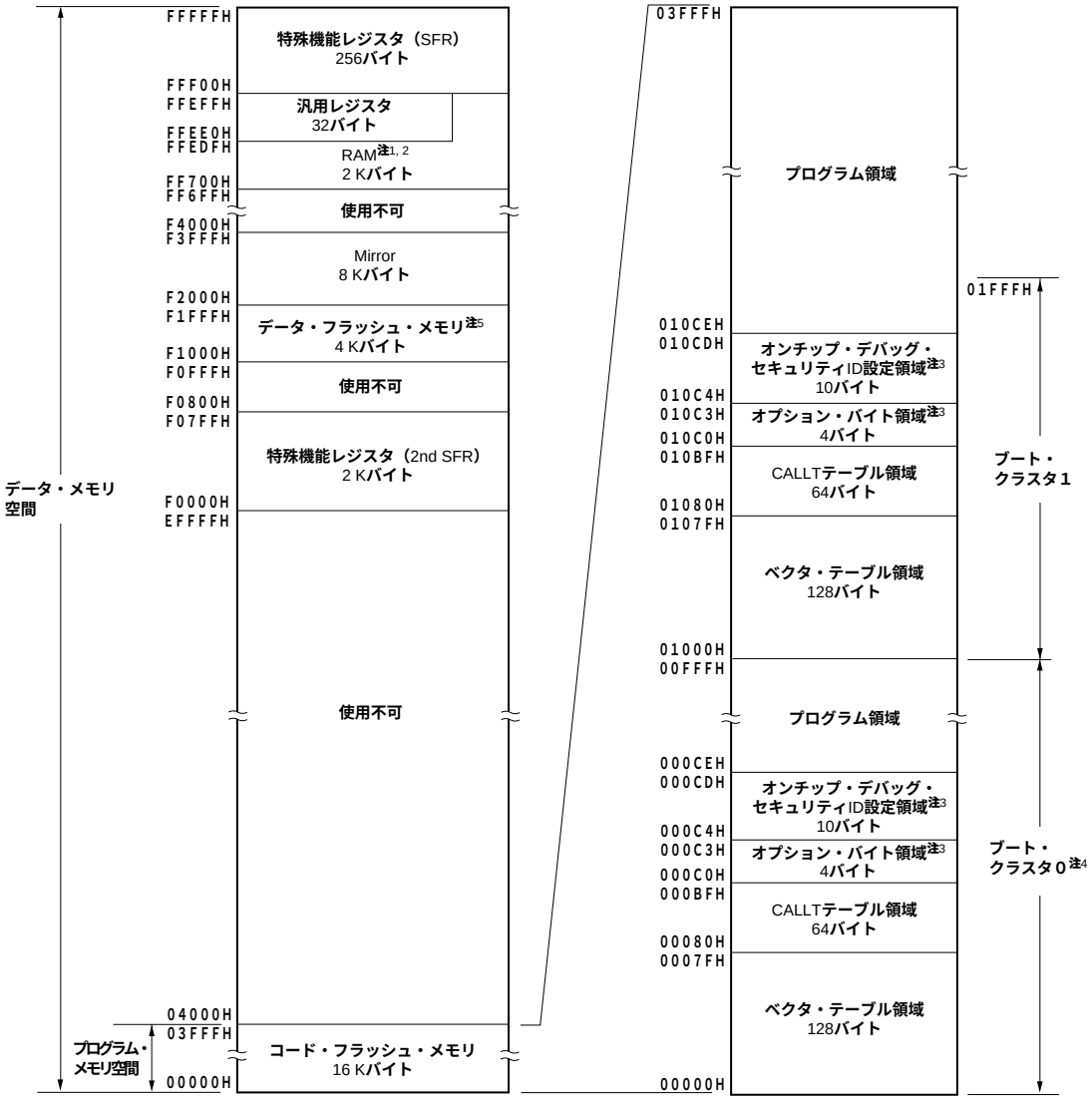
2.　SAU：**シリアル・アレイ・ユニット**

第3章　CPUアーキテクチャ

3. 1　メモリ空間

RL78/G13は，1 Mバイトのアドレス空間をアクセスできます。図3－1～図3－10に，メモリ・マップを示します。

図3ー1　メモリ・マップ（R5F100xA, R5F101xA（x = 6-8, A-C, E-G））



注1.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。

2.　汎用レジスタを除いたRAM領域から命令実行をすることができます。

3.　ブート・スワップ未使用時　：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

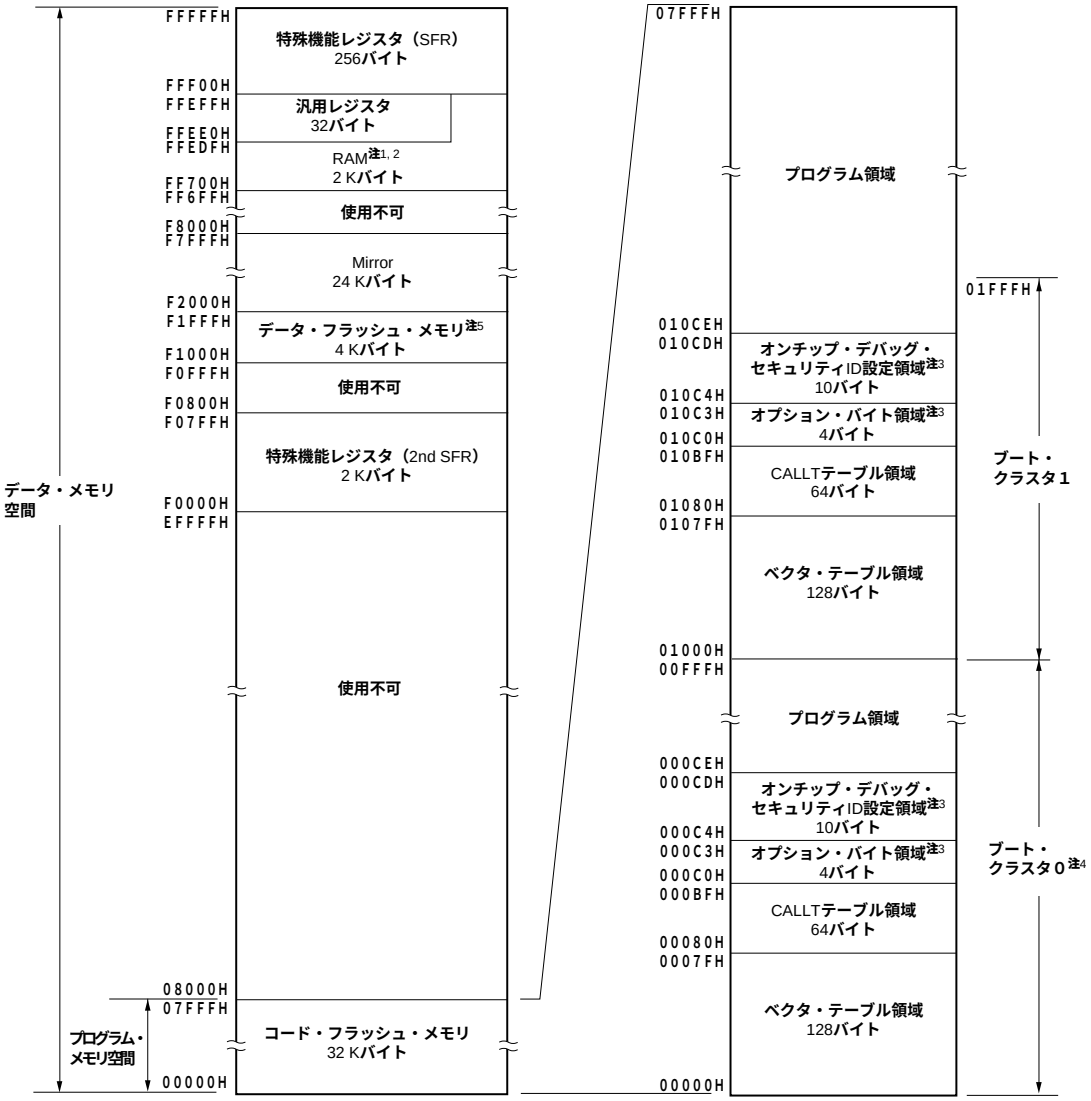
ブート・スワップ使用時　　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4.　セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（25. 7　**セキュリティ設定**を参照）。

5.　R5F101xAは使用不可領域になります。

注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，22. 3. 3　RAMパリティ・エラー検出機能を参照してください。

図3ー2　メモリ・マップ（R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L））



注 1.　**セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先や**DMA**による転送先／転送元で利用する**RAM**アドレスを**FFE20H-FFEDFH**の領域に配置しないでください。**

2.　**汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

3.　**ブート・スワップ未使用時：**000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

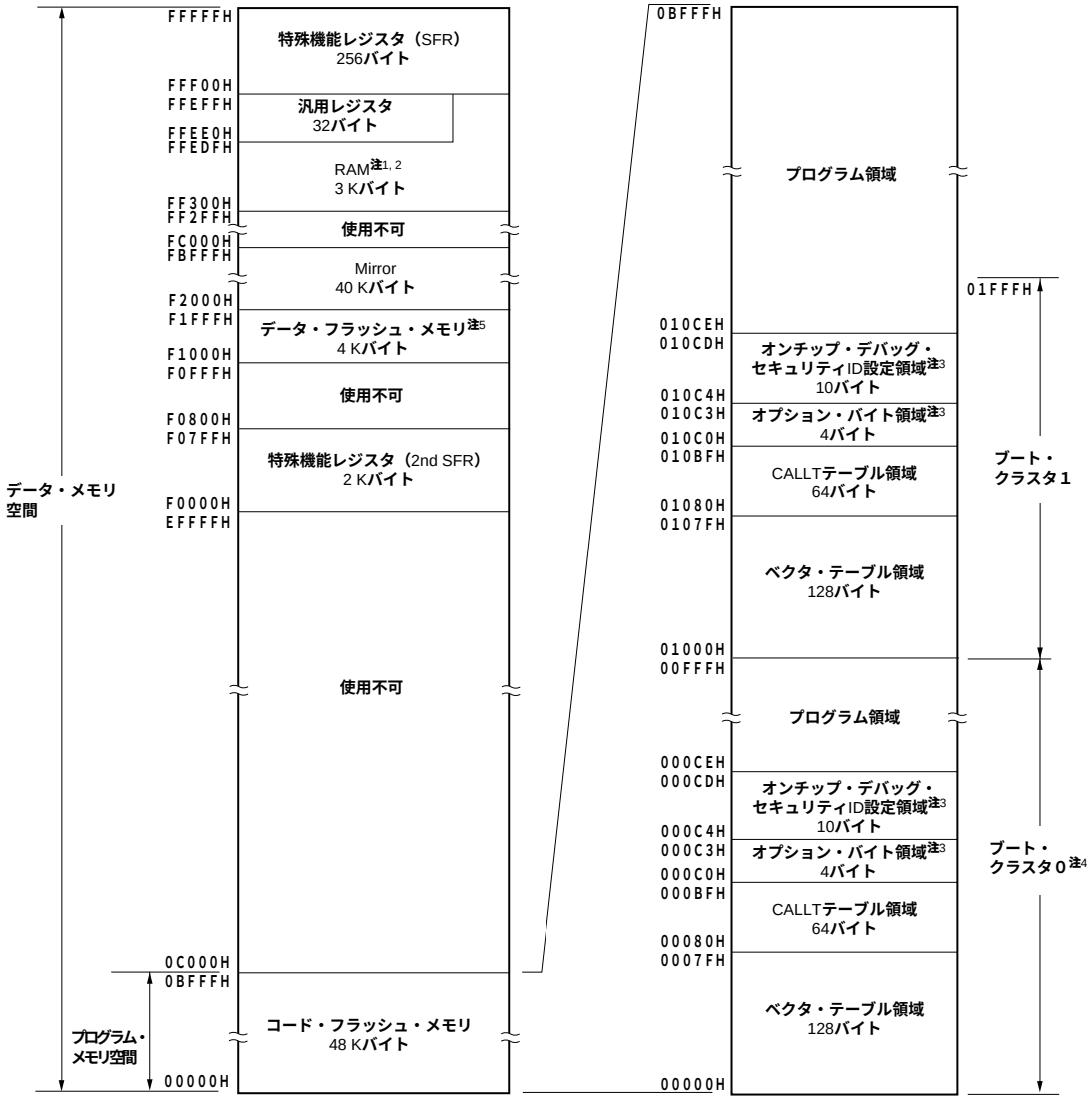
ブート・スワップ使用時　：000C0H-000C3H**，**010C0H-010C3H**にオプション・バイト，**000C4H-000CDH**，**010C4H-010CDH**にオンチップ・デバッグ・セキュリティ**ID**設定**

4.　**セキュリティの設定により，ブート・クラスタ**0**は書き換えを禁止することができます（**25. 7　**セキュリティ設定を参照）。**

5.　R5F101xC**は使用不可領域になります。**

注意　RAM**パリティ・エラー・リセット発生を許可（**RPERDIS = 0**）で使用する場合，　データ・アクセス時は「使用する**RAM**領域」を，**RAM**領域からの命令実行時は　「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。　リセット発生により，**RAM**パリティ・エラー・リセット発生許可（**RPERDIS = 0**）となります。詳細は，**22. 3. 3　RAM**パリティ・エラー検出機能を参照してください。**

図3ー3 メモリ・マップ（R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また，FF300H-FF309Hの領域は各ライブラリで使用するため使用禁止になります。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

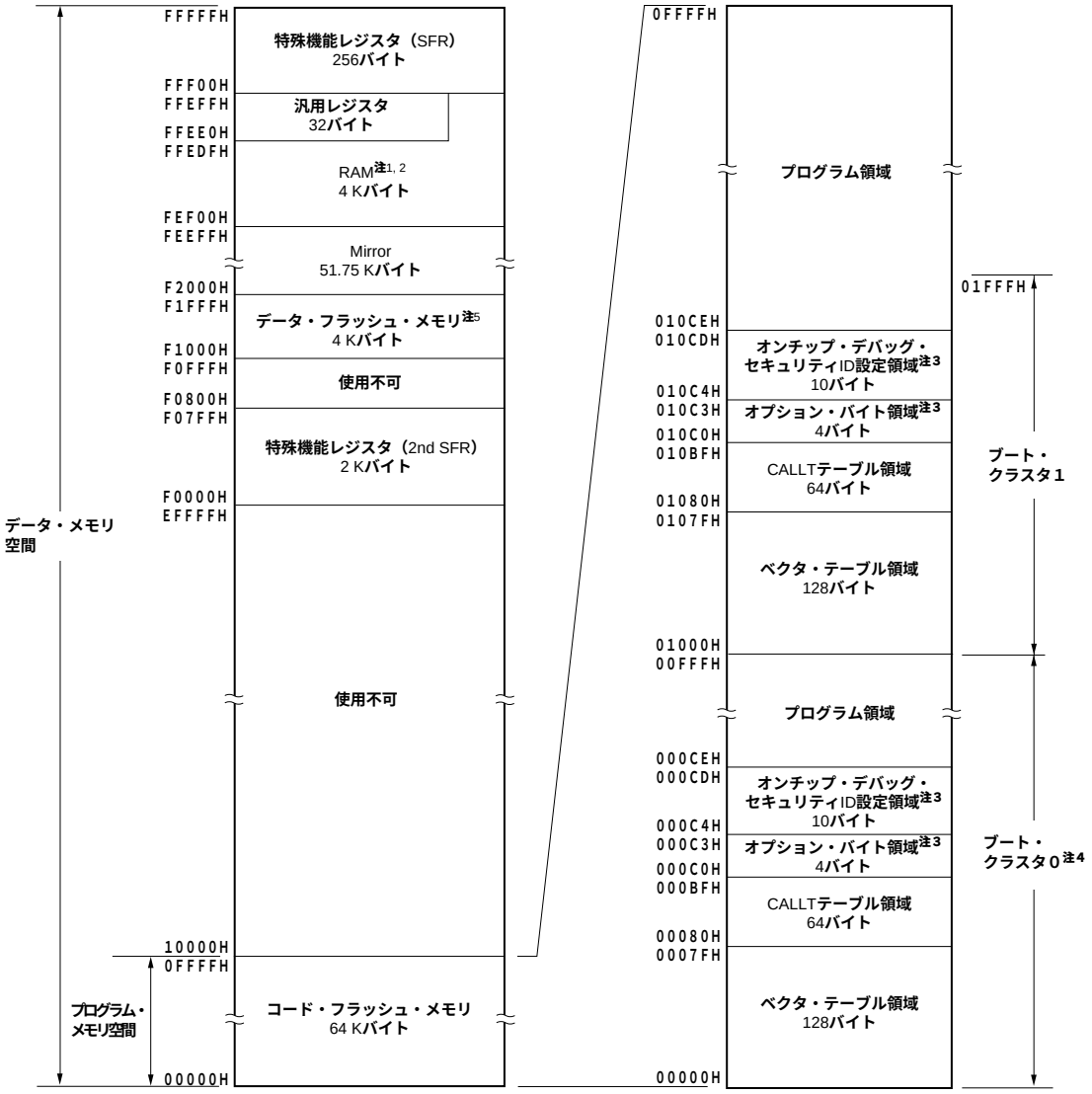
   ブート・スワップ使用時 ：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（25. 7 **セキュリティ設定**を参照）。

5. R5F101xDは使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合， データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は 「使用するRAM領域＋10バイト」の領域を必ず初期化してください。 リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，22. 3. 3 RAMパリティ・エラー検出機能を参照してください。

図3ー4 メモリ・マップ（R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また，FEF00H-FF309Hの領域は各ライブラリで使用するため使用禁止になります。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時 ：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

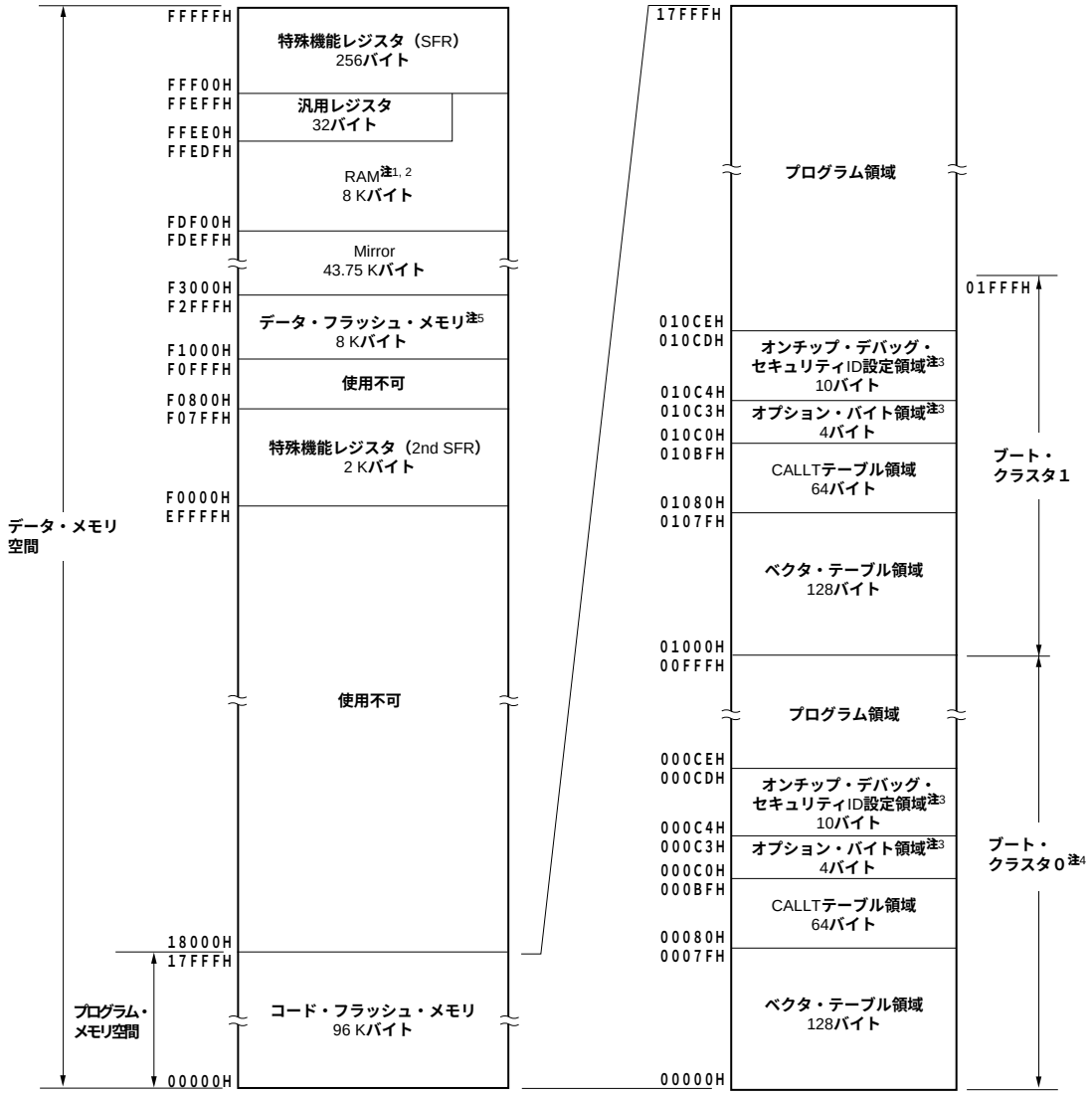
   ブート・スワップ使用時 ：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（25. 7 **セキュリティ設定**を参照）。

5. R5F101xEは使用不可領域になります。

注意 RAM**パリティ・エラー・リセット発生を許可**（RPERDIS = 0）**で使用する場合， データ・アクセス時は「使用する**RAM**領域」を，**RAM**領域からの命令実行時は 「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。 リセット発生により，**RAM**パリティ・エラー・リセット発生許可**（RPERDIS = 0）**となります。詳細は，**22. 3. 3 RAM**パリティ・エラー検出機能を参照してください。**

図3ー5 メモリ・マップ（R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P））



注1. **セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先や**DMA **による転送先／転送元で利用するRAMアドレスを**FFE20H-FFEDFH **の領域に配置しないでください。**

2. **汎用レジスタを除いたRAM領域から命令実行をすることができます。**

3. **ブート・スワップ未使用時 ：**000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

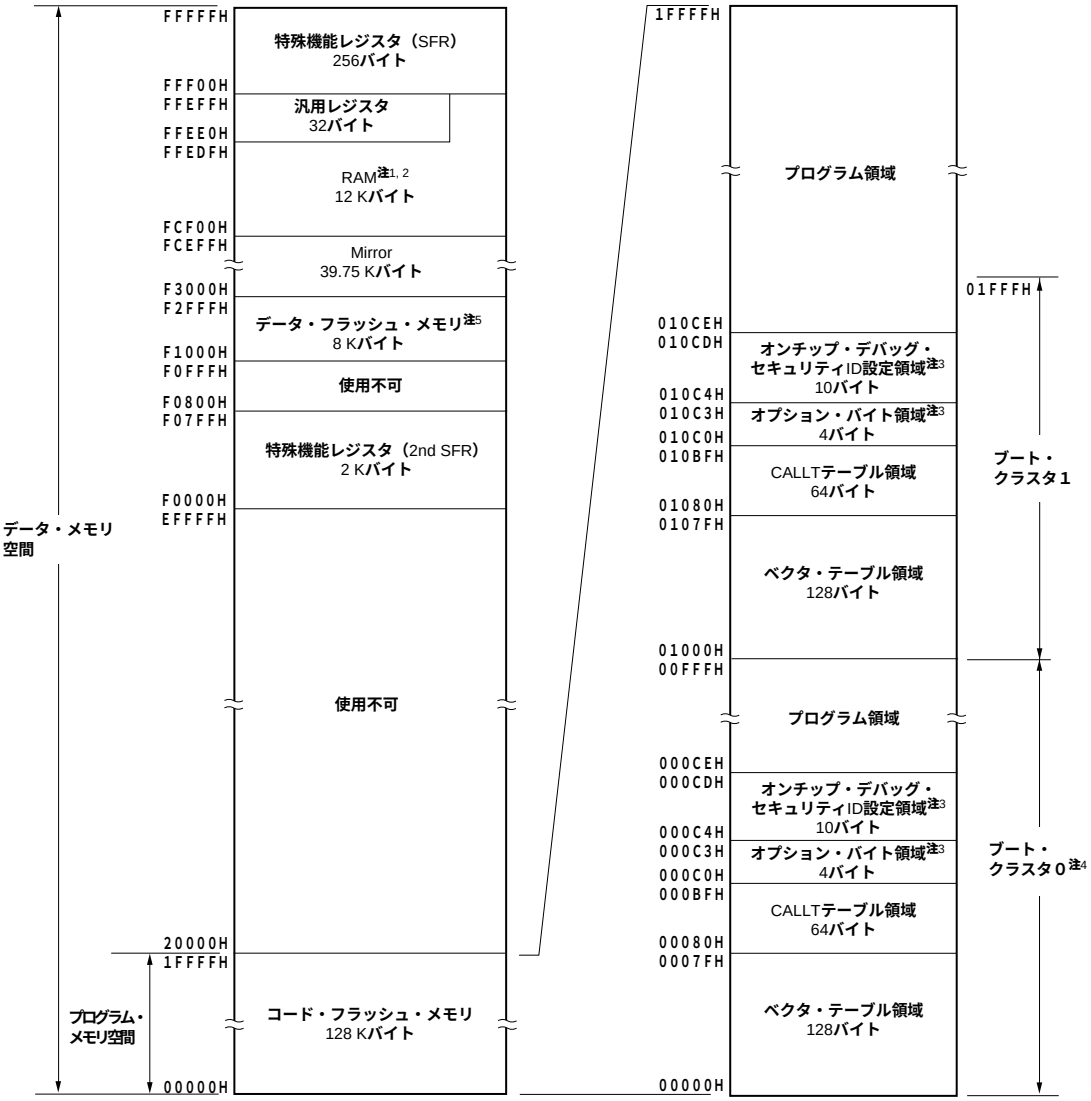
   ブート・スワップ使用時 ：000C0H-000C3H**，**010C0H-010C3H**にオプション・バイト，**000C4H-000CDH**，**010C4H-010CDH**にオンチップ・デバッグ・セキュリティ**ID**設定**

4. **セキュリティの設定により，ブート・クラスタ**0**は書き換えを禁止することができます（**25. 7 **セキュリティ設定を参照）。**

5. R5F101xF**は使用不可領域になります。**

注意 RAM**パリティ・エラー・リセット発生を許可（**RPERDIS = 0**）で使用する場合， データ・アクセス時は「使用するRAM領域」を，**RAM**領域からの命令実行時は 「使用するRAM領域＋**10**バイト」の領域を必ず初期化してください。 リセット発生により，**RAM**パリティ・エラー・リセット発生許可（**RPERDIS = 0**）となります。詳細は，**22. 3. 3 RAM**パリティ・エラー検出機能を参照してください。**

図3ー6 メモリ・マップ（R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P））



注 1. **セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先や**DMA **による転送先／転送元で利用する**RAM**アドレスを**FFE20H-FFEDFH **の領域に配置しないでください。**

2. **汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

3. **ブート・スワップ未使用時：**000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

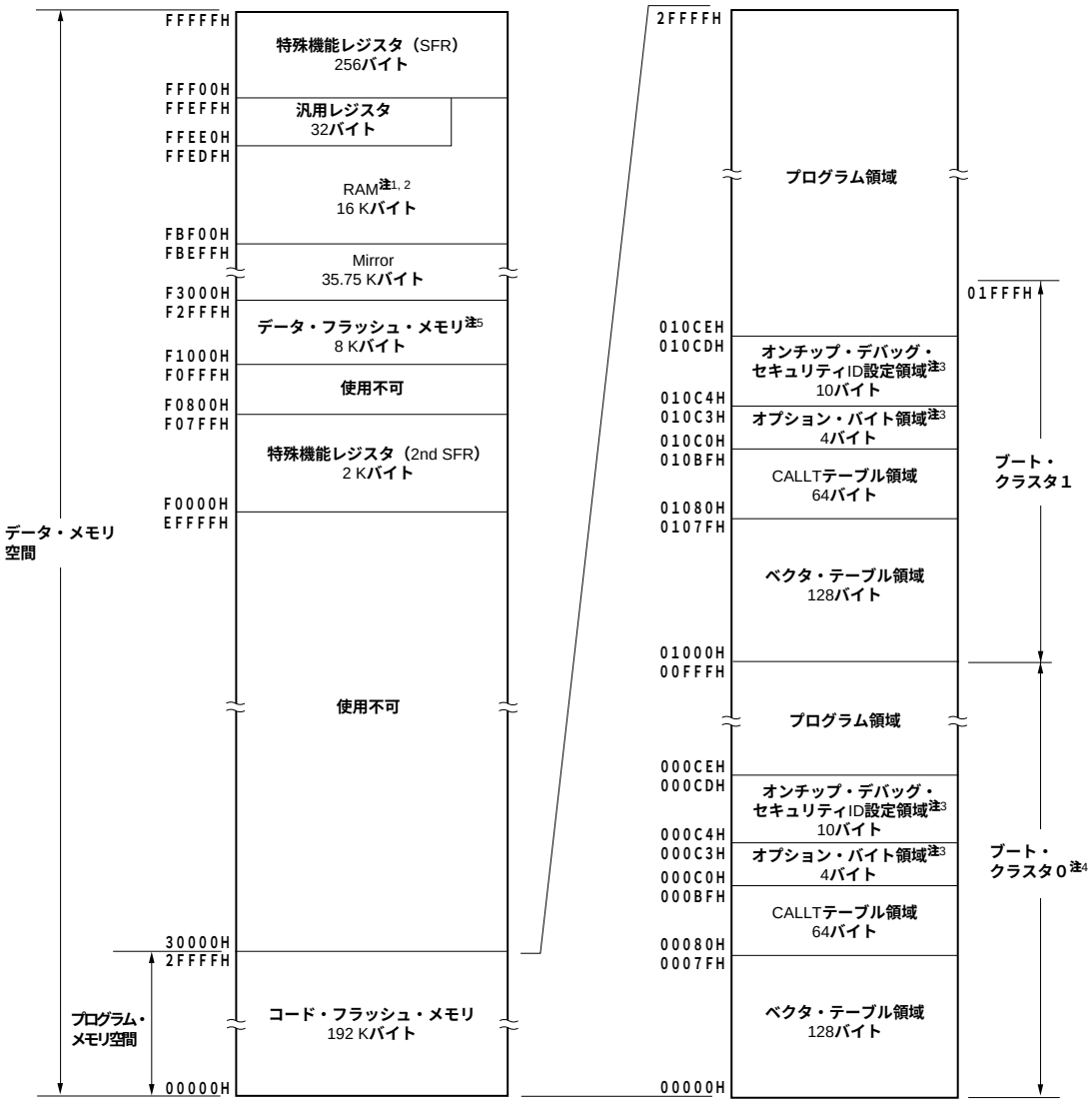
   ブート・スワップ使用時　：000C0H-000C3H**，**010C0H-010C3H**にオプション・バイト，**000C4H-000CDH**，**010C4H-010CDH**にオンチップ・デバッグ・セキュリティ**ID**設定**

4. **セキュリティの設定により，ブート・クラスタ**0**は書き換えを禁止することができます（**25. 7 **セキュリティ設定を参照）。**

5. R5F101xG**は使用不可領域になります。**

注意 RAM**パリティ・エラー・リセット発生を許可（**RPERDIS = 0**）で使用する場合， データ・アクセス時は「使用する**RAM**領域」を，**RAM**領域からの命令実行時は 「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。 リセット発生により，**RAM**パリティ・エラー・リセット発生許可（**RPERDIS = 0**）となります。詳細は，**22. 3. 3 RAM**パリティ・エラー検出機能を参照してください。**

図3ー7 メモリ・マップ（R5F100xH, R5F101xH（x = E-G, J, L, M, P, S））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時 ：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

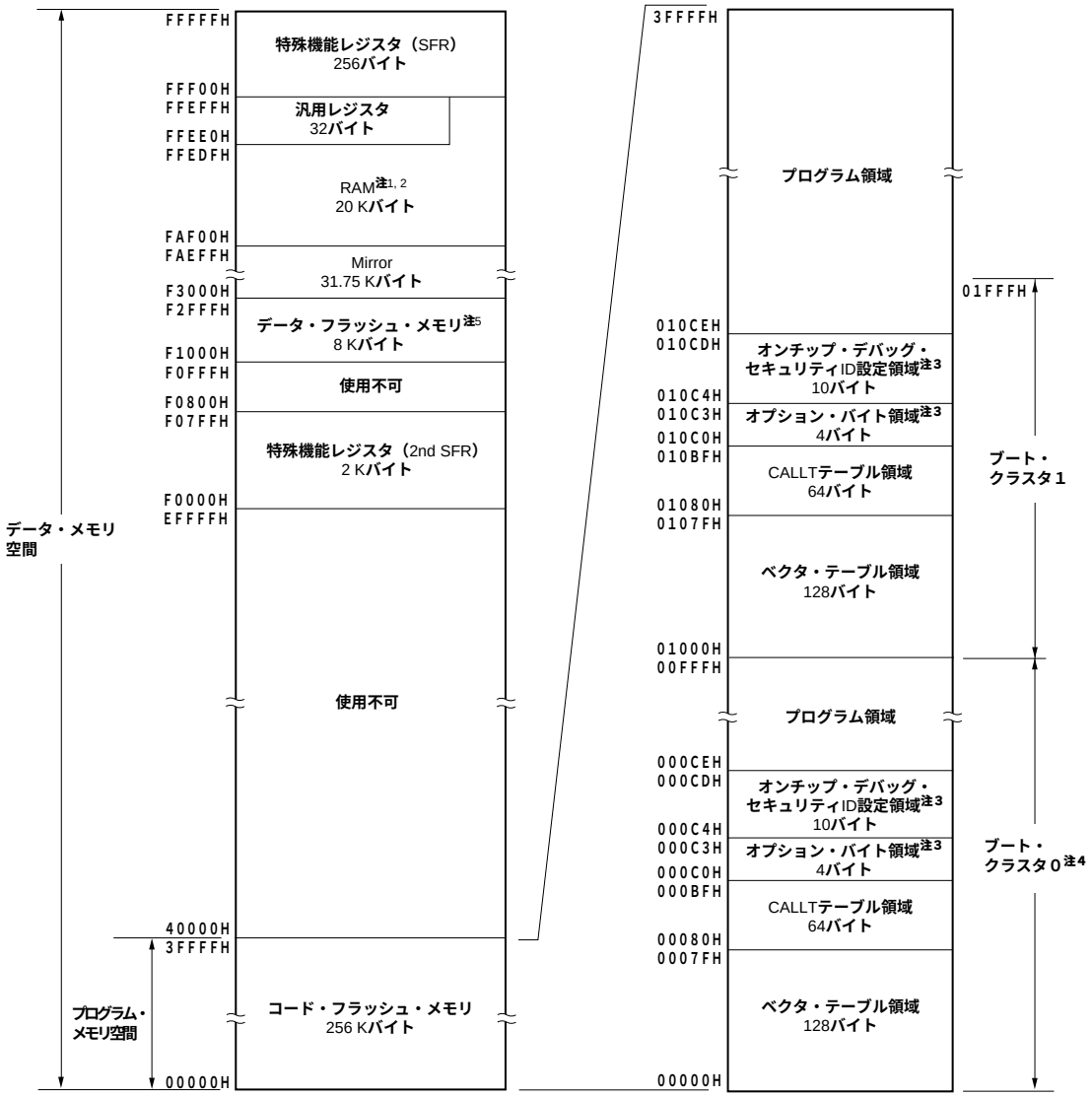
   ブート・スワップ使用時 ：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（25. 7 **セキュリティ設定**を参照）。

5. R5F101xHは使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合， データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は 「使用するRAM領域＋10バイト」の領域を必ず初期化してください。 リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，22. 3. 3 RAMパリティ・エラー検出機能を参照してください。

図3ー8 メモリ・マップ（R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また，R5F100xJ, R5F101xJ（x = F, G, J, L, M, P）のFAF00H-FB309Hの領域は各ライブラリで使用するため使用禁止になります。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

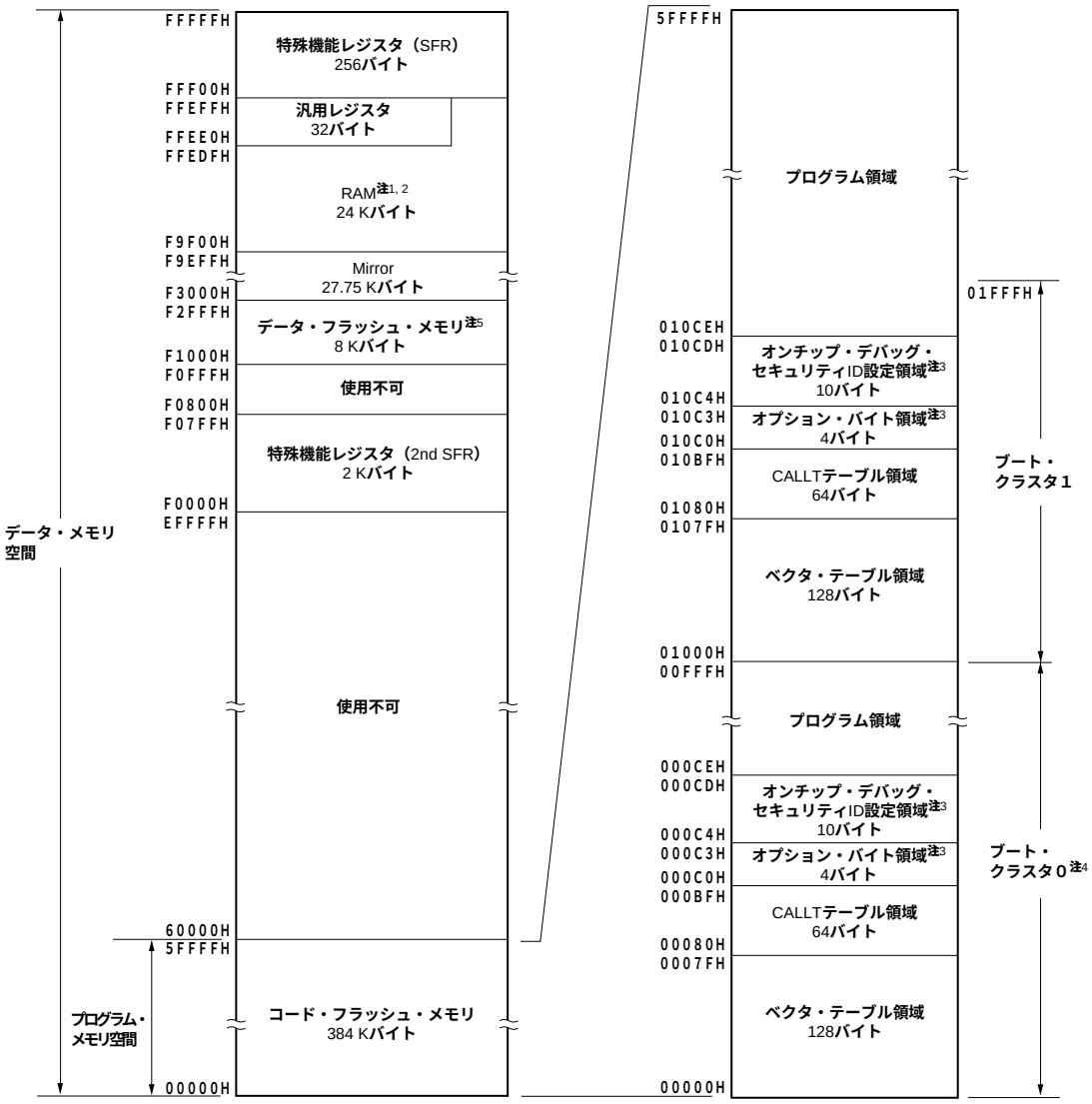
   ブート・スワップ使用時 ：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（25. 7 **セキュリティ設定**を参照）。

5. R5F101xJは使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合， データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は 「使用するRAM領域＋10バイト」の領域を必ず初期化してください。 リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，22. 3. 3 RAMパリティ・エラー検出機能を参照してください。

図3ー9 メモリ・マップ（R5F100xK, R5F101xK（x = F, G, J, L, M, P, S））



注1. **セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先や**DMA **による転送先／転送元で利用する**RAM**アドレスを**FFE20H-FFEDFH **の領域に配置しないでください。**

2. **汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

3. **ブート・スワップ未使用時：**000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

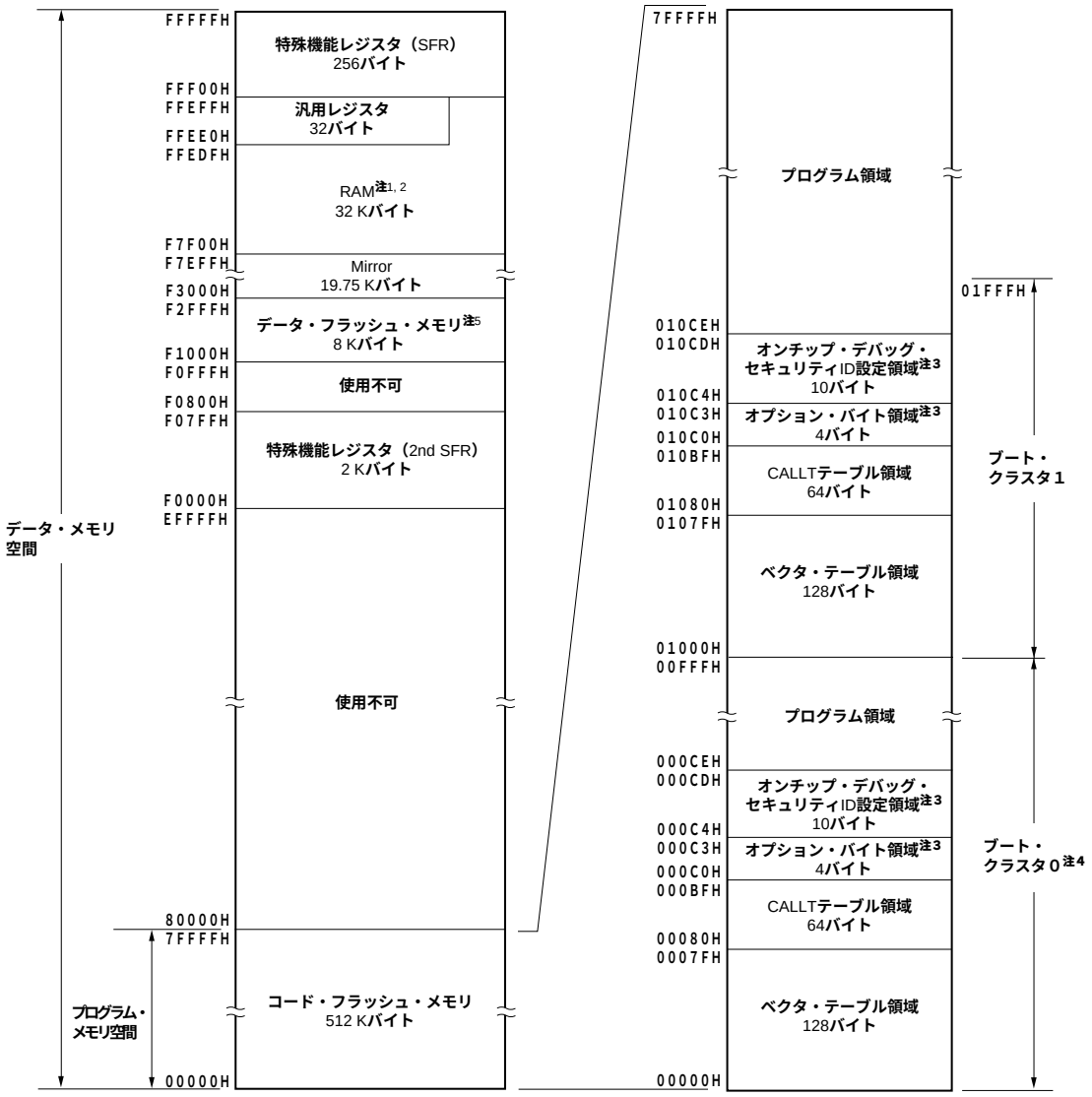
   ブート・スワップ使用時 ：000C0H-000C3H**，**010C0H-010C3H**にオプション・バイト，**000C4H-000CDH**，**010C4H-010CDH**にオンチップ・デバッグ・セキュリティ**ID**設定**

4. **セキュリティの設定により，ブート・クラスタ**0**は書き換えを禁止することができます（**25. 7 **セキュリティ設定を参照）。**

5. R5F101xK**は使用不可領域になります。**

注意 RAM**パリティ・エラー・リセット発生を許可（**RPERDIS = 0**）で使用する場合， データ・アクセス時は「使用する**RAM**領域」を，**RAM**領域からの命令実行時は 「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。 リセット発生により，**RAM**パリティ・エラー・リセット発生許可（**RPERDIS = 0**）となります。詳細は，**22. 3. 3 RAM**パリティ・エラー検出機能を参照してください。**

図3ー10 メモリ・マップ（R5F100xL, R5F101xL（x = F, G, J, L, M, P, S））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また，F7F00H-F8309Hの領域は各ライブラリで使用するため使用禁止になります。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

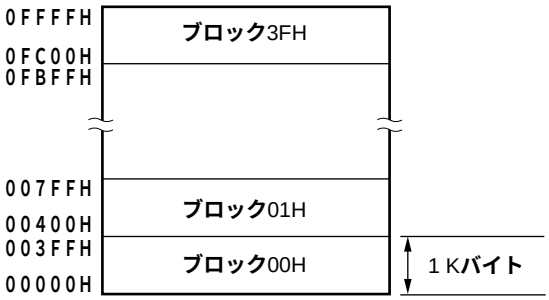
   ブート・スワップ使用時 ：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（25. 7 セキュリティ設定を参照）。

5. R5F101xLは使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合， データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は 「使用するRAM領域＋10バイト」の領域を必ず初期化してください。 リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，22. 3. 3 RAMパリティ・エラー検出機能を参照してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1 Kバイト）。アドレス値とブロック番号については，表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



（R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）の場合）

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応（1/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考　R5F100xA, R5F101xA（x = 6-8, A-C, E-G）　：**ブロック番号**00H-0FH

R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L）　：**ブロック番号**00H-1FH

R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）　：**ブロック番号**00H-2FH

R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）　：**ブロック番号**00H-3FH

R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P）　：**ブロック番号**00H-5FH

R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P）　：**ブロック番号**00H-7FH

表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応（2/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

備考　R5F100xH, R5F101xH（x = E-G, J, L, M, P, S）　**：ブロック番号**00H-BFH

R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S）　**：ブロック番号**00H-FFH

表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応（3/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
40000H-403FFH	100H	48000H-483FFH	120H	50000H-503FFH	140H	58000H-583FFH	160H
40400H-407FFH	101H	48400H-487FFH	121H	50400H-507FFH	141H	58400H-587FFH	161H
40800H-40BFFH	102H	48800H-48BFFH	122H	50800H-50BFFH	142H	58800H-58BFFH	162H
40C00H-40FFFH	103H	48C00H-48FFFH	123H	50C00H-50FFFH	143H	58C00H-58FFFH	163H
41000H-413FFH	104H	49000H-493FFH	124H	51000H-513FFH	144H	59000H-593FFH	164H
41400H-417FFH	105H	49400H-497FFH	125H	51400H-517FFH	145H	59400H-597FFH	165H
41800H-41BFFH	106H	49800H-49BFFH	126H	51800H-51BFFH	146H	59800H-59BFFH	166H
41C00H-41FFFH	107H	49C00H-49FFFH	127H	51C00H-51FFFH	147H	59C00H-59FFFH	167H
42000H-423FFH	108H	4A000H-4A3FFH	128H	52000H-523FFH	148H	5A000H-5A3FFH	168H
42400H-427FFH	109H	4A400H-4A7FFH	129H	52400H-527FFH	149H	5A400H-5A7FFH	169H
42800H-42BFFH	10AH	4A800H-4ABFFH	12AH	52800H-52BFFH	14AH	5A800H-5ABFFH	16AH
42C00H-42FFFH	10BH	4AC00H-4AFFFH	12BH	52C00H-52FFFH	14BH	5AC00H-5AFFFH	16BH
43000H-433FFH	10CH	4B000H-4B3FFH	12CH	53000H-533FFH	14CH	5B000H-5B3FFH	16CH
43400H-437FFH	10DH	4B400H-4B7FFH	12DH	53400H-537FFH	14DH	5B400H-5B7FFH	16DH
43800H-43BFFH	10EH	4B800H-4BBFFH	12EH	53800H-53BFFH	14EH	5B800H-5BBFFH	16EH
43C00H-43FFFH	10FH	4BC00H-4BFFFH	12FH	53C00H-53FFFH	14FH	5BC00H-5BFFFH	16FH
44000H-443FFH	110H	4C000H-4C3FFH	130H	54000H-543FFH	150H	5C000H-5C3FFH	170H
44400H-447FFH	111H	4C400H-4C7FFH	131H	54400H-547FFH	151H	5C400H-5C7FFH	171H
44800H-44BFFH	112H	4C800H-4CBFFH	132H	54800H-54BFFH	152H	5C800H-5CBFFH	172H
44C00H-44FFFH	113H	4CC00H-4CFFFH	133H	54C00H-54FFFH	153H	5CC00H-5CFFFH	173H
45000H-453FFH	114H	4D000H-4D3FFH	134H	55000H-553FFH	154H	5D000H-5D3FFH	174H
45400H-457FFH	115H	4D400H-4D7FFH	135H	55400H-557FFH	155H	5D400H-5D7FFH	175H
45800H-45BFFH	116H	4D800H-4DBFFH	136H	55800H-55BFFH	156H	5D800H-5DBFFH	176H
45C00H-45FFFH	117H	4DC00H-4DFFFH	137H	55C00H-55FFFH	157H	5DC00H-5DFFFH	177H
46000H-463FFH	118H	4E000H-4E3FFH	138H	56000H-563FFH	158H	5E000H-5E3FFH	178H
46400H-467FFH	119H	4E400H-4E7FFH	139H	56400H-567FFH	159H	5E400H-5E7FFH	179H
46800H-46BFFH	11AH	4E800H-4EBFFH	13AH	56800H-56BFFH	15AH	5E800H-5EBFFH	17AH
46C00H-46FFFH	11BH	4EC00H-4EFFFH	13BH	56C00H-56FFFH	15BH	5EC00H-5EFFFH	17BH
47000H-473FFH	11CH	4F000H-4F3FFH	13CH	57000H-573FFH	15CH	5F000H-5F3FFH	17CH
47400H-477FFH	11DH	4F400H-4F7FFH	13DH	57400H-577FFH	15DH	5F400H-5F7FFH	17DH
47800H-47BFFH	11EH	4F800H-4FBFFH	13EH	57800H-57BFFH	15EH	5F800H-5FBFFH	17EH
47C00H-47FFFH	11FH	4FC00H-4FFFFH	13FH	57C00H-57FFFH	15FH	5FC00H-5FFFFH	17FH

備考　R5F100xK, R5F101xK（x = E-G, J, L, M, P, S）　　**：ブロック番号**00H-17FH

表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応（4/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
60000H-603FFH	180H	68000H-683FFH	1A0H	70000H-703FFH	1C0H	78000H-783FFH	1E0H
60400H-607FFH	181H	68400H-687FFH	1A1H	70400H-707FFH	1C1H	78400H-787FFH	1E1H
60800H-60BFFH	182H	68800H-68BFFH	1A2H	70800H-70BFFH	1C2H	78800H-78BFFH	1E2H
60C00H-60FFFH	183H	68C00H-68FFFH	1A3H	70C00H-70FFFH	1C3H	78C00H-78FFFH	1E3H
61000H-613FFH	184H	69000H-693FFH	1A4H	71000H-713FFH	1C4H	79000H-793FFH	1E4H
61400H-617FFH	185H	69400H-697FFH	1A5H	71400H-717FFH	1C5H	79400H-797FFH	1E5H
61800H-61BFFH	186H	69800H-69BFFH	1A6H	71800H-71BFFH	1C6H	79800H-79BFFH	1E6H
61C00H-61FFFH	187H	69C00H-69FFFH	1A7H	71C00H-71FFFH	1C7H	79C00H-79FFFH	1E7H
62000H-623FFH	188H	6A000H-6A3FFH	1A8H	72000H-723FFH	1C8H	7A000H-7A3FFH	1E8H
62400H-627FFH	189H	6A400H-6A7FFH	1A9H	72400H-727FFH	1C9H	7A400H-7A7FFH	1E9H
62800H-62BFFH	18AH	6A800H-6ABFFH	1AAH	72800H-72BFFH	1CAH	7A800H-7ABFFH	1EAH
62C00H-62FFFH	18BH	6AC00H-6AFFFH	1ABH	72C00H-72FFFH	1CBH	7AC00H-7AFFFH	1EBH
63000H-633FFH	18CH	6B000H-6B3FFH	1ACH	73000H-733FFH	1CCH	7B000H-7B3FFH	1ECH
63400H-637FFH	18DH	6B400H-6B7FFH	1ADH	73400H-737FFH	1CDH	7B400H-7B7FFH	1EDH
63800H-63BFFH	18EH	6B800H-6BBFFH	1AEH	73800H-73BFFH	1CEH	7B800H-7BBFFH	1EEH
63C00H-63FFFH	18FH	6BC00H-6BFFFH	1AFH	73C00H-73FFFH	1CFH	7BC00H-7BFFFH	1EFH
64000H-643FFH	190H	6C000H-6C3FFH	1B0H	74000H-743FFH	1D0H	7C000H-7C3FFH	1F0H
64400H-647FFH	191H	6C400H-6C7FFH	1B1H	74400H-747FFH	1D1H	7C400H-7C7FFH	1F1H
64800H-64BFFH	192H	6C800H-6CBFFH	1B2H	74800H-74BFFH	1D2H	7C800H-7CBFFH	1F2H
64C00H-64FFFH	193H	6CC00H-6CFFFH	1B3H	74C00H-74FFFH	1D3H	7CC00H-7CFFFH	1F3H
65000H-653FFH	194H	6D000H-6D3FFH	1B4H	75000H-753FFH	1D4H	7D000H-7D3FFH	1F4H
65400H-657FFH	195H	6D400H-6D7FFH	1B5H	75400H-757FFH	1D5H	7D400H-7D7FFH	1F5H
65800H-65BFFH	196H	6D800H-6DBFFH	1B6H	75800H-75BFFH	1D6H	7D800H-7DBFFH	1F6H
65C00H-65FFFH	197H	6DC00H-6DFFFH	1B7H	75C00H-75FFFH	1D7H	7DC00H-7DFFFH	1F7H
66000H-663FFH	198H	6E000H-6E3FFH	1B8H	76000H-763FFH	1D8H	7E000H-7E3FFH	1F8H
66400H-667FFH	199H	6E400H-6E7FFH	1B9H	76400H-767FFH	1D9H	7E400H-7E7FFH	1F9H
66800H-66BFFH	19AH	6E800H-6EBFFH	1BAH	76800H-76BFFH	1DAH	7E800H-7EBFFH	1FAH
66C00H-66FFFH	19BH	6EC00H-6EFFFH	1BBH	76C00H-76FFFH	1DBH	7EC00H-7EFFFH	1FBH
67000H-673FFH	19CH	6F000H-6F3FFH	1BCH	77000H-773FFH	1DCH	7F000H-7F3FFH	1FCH
67400H-677FFH	19DH	6F400H-6F7FFH	1BDH	77400H-777FFH	1DDH	7F400H-7F7FFH	1FDH
67800H-67BFFH	19EH	6F800H-6FBFFH	1BEH	77800H-77BFFH	1DEH	7F800H-7FBFFH	1FEH
67C00H-67FFFH	19FH	6FC00H-6FFFFH	1BFH	77C00H-77FFFH	1DFH	7FC00H-7FFFFH	1FFH

備考　R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）　　**：ブロック番号**00H-1FFH

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G13は，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3ー2　内部ROM容量

製　　品	内部ROM	
	構　　造	容　　量
R5F100xA, R5F101xA（x = 6-8, A-C, E-G）	フラッシュ・メモリ	16384×8ビット（00000H-03FFFH）
R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L）		32768×8ビット（00000H-07FFFH）
R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）		49152×8ビット（00000H-0BFFFH）
R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）		65536×8ビット（00000H-0FFFFH）
R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P）		98304×8ビット（00000H-17FFFH）
R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P）		131072×8ビット（00000H-1FFFFH）
R5F100xH, R5F101xH（x = E-G, J, L, M, P, S）		196608×8ビット（00000H-2FFFFH）
R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S）		262144×8ビット（00000H-3FFFFH）
R5F100xK, R5F101xK（x = F, G, J, L, M, P, S）		393216×8ビット（00000H-5FFFFH）
R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）		524288×8ビット（00000H-7FFFFH）

内部プログラム・メモリ空間には，次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，01000H-0107FHにもベクタ・テーブルを設定してください。

表3－3 ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0004H	INTWDTI	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0006H	INTLVI	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0008H	INTP0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
000AH	INTP1	○	○	○	○	○	○	○	○	○	○	○	○	○	－
000CH	INTP2	○	○	○	○	○	○	○	○	○	○	○	－	－	－
000EH	INTP3	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0010H	INTP4	○	○	○	○	○	○	○	○	○	○	○	○	○	－
0012H	INTP5	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○	○	○	○	○	○	○	－	－	－
0016H	INTSR2/INTCSI21/INTIIC21	○	○	○	○	○	○	○	○	○	注1	注1	－	－	－
0018H	INTSRE2	○	○	○	○	○	○	○	○	○	○	○	－	－	－
	INTTM11H	○	○	○	－	－	－	－	－	－	－	－	－	－	－
001AH	INTDMA0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
001CH	INTDMA1	○	○	○	○	○	○	○	○	○	○	○	○	○	○
001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0020H	INTSR0/INTCSI01/INTIIC01	○	○	○	○	○	○	注2	注2	注2	注2	注2	注2	注2	注2
0022H	INTSRE0	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	INTTM01H	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0024H	INTST1/INTCSI10/INTIIC10	○	○	○	○	注3	注3	注3	注3	注3	注3	注3	注3	注3	注3
0026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0028H	INTSRE1	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	INTTM03H	○	○	○	○	○	○	○	○	○	○	○	○	○	○
002AH	INTIICA0	○	○	○	○	○	○	○	○	○	○	○	○	○	－
002CH	INTTM00	○	○	○	○	○	○	○	○	○	○	○	○	○	○
002EH	INTTM01	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0030H	INTTM02	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0032H	INTTM03	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0034H	INTAD	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0036H	INTRTC	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0038H	INTIT	○	○	○	○	○	○	○	○	○	○	○	○	○	○
003AH	INTKR	○	○	○	○	○	○	○	○	－	－	－	－	－	－
003CH	INTST3/INTCSI30/INTIIC30	○	○	○	－	－	－	－	－	－	－	－	－	－	－
003EH	INTSR3/INTCSI31/INTIIC31	○	○	○	－	－	－	－	－	－	－	－	－	－	－
0040H	INTTM13	○	○	○	－	－	－	－	－	－	－	－	－	－	－

注1. INTSR2のみ

2. INTSR0のみ

3. INTST1のみ

表3－3　ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	24ピン	24ピン	20ピン
0042H	INTTM04	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0044H	INTTM05	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0046H	INTTM06	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0048H	INTTM07	○	○	○	○	○	○	○	○	○	○	○	○	○	○
004AH	INTP6	○	○	○	○	○	○	－	－	－	－	－	－	－	－
004CH	INTP7	○	○	○	○	－	－	－	－	－	－	－	－	－	－
004EH	INTP8	○	○	○	○	○	○	－	－	－	－	－	－	－	－
0050H	INTP9	○	○	○	○	○	○	－	－	－	－	－	－	－	－
0052H	INTP10	○	○	○	○	○	－	－	－	－	－	－	－	－	－
0054H	INTP11	○	○	○	○	○	－	－	－	－	－	－	－	－	－
0056H	INTTM10	○	○	○	－	－	－	－	－	－	－	－	－	－	－
0058H	INTTM11	○	○	○	－	－	－	－	－	－	－	－	－	－	－
005AH	INTTM12	○	○	○	－	－	－	－	－	－	－	－	－	－	－
005CH	INTSRE3	○	○	○	－	－	－	－	－	－	－	－	－	－	－
	INTTM13H	○	○	○	－	－	－	－	－	－	－	－	－	－	－
005EH	INTMD	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0060H	INTIICA1	○	○	○	－	－	－	－	－	－	－	－	－	－	－
0062H	INTFL	○	○	○	○	○	○	○	○	○	○	○	○	○	○
0064H	INTDMA2	○	○	○	－	－	－	－	－	－	－	－	－	－	－
0066H	INTDMA3	○	○	○	－	－	－	－	－	－	－	－	－	－	－
0068H	INTTM14	○	－	－	－	－	－	－	－	－	－	－	－	－	－
006AH	INTTM15	○	－	－	－	－	－	－	－	－	－	－	－	－	－
006CH	INTTM16	○	－	－	－	－	－	－	－	－	－	－	－	－	－
006EH	INTTM17	○	－	－	－	－	－	－	－	－	－	－	－	－	－
007EH	BRK	○	○	○	○	○	○	○	○	○	○	○	○	○	○

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には，01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第24章　オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID**設定領域**

000C4H-000CDH，010C4H-010CDH**の**10**バイト領域にオンチップ・デバッグ・セキュリティ**ID**設定領域を用意しています。ブート・スワップ未使用時には**000C4H-000CDH**に，ブート・スワップ使用時には**000C4H-000CDH**と**010C4H-010CDH**に**10**バイトのオンチップ・デバッグ・セキュリティ**ID**を設定してください。詳細は第**26**章　オンチップ・デバッグ機能を参照してください。

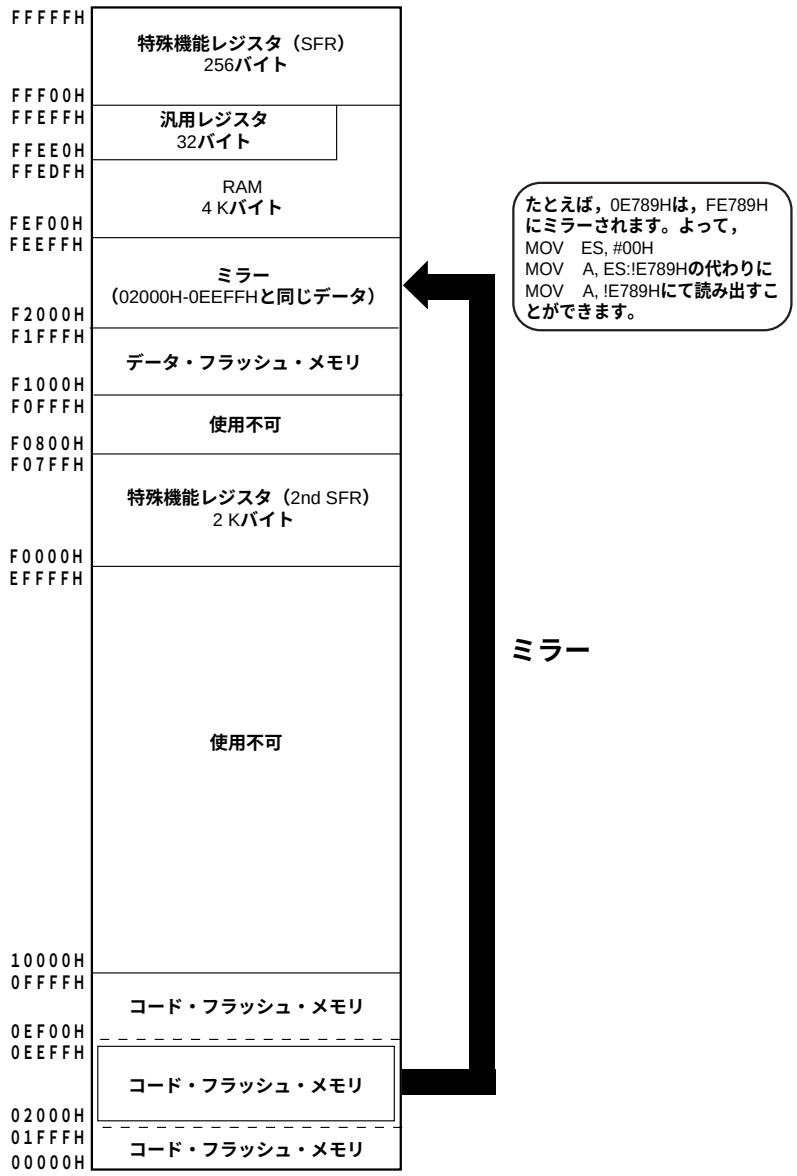
3. 1. 2　ミラー領域

RL78/G13では，00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーしています。フラッシュ・メモリが96 KB以上の製品では，00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H- FFFFFHへミラーしています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

ミラー先のF0000H-FFFFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張SFR，RAM領域，使用不可領域にはミラーされません。

各製品のミラー領域は，3. 1　メモリ空間を参照してください。
ミラー領域は読み出しのみ可能で，命令フェッチはできません。
次に例を示します。

例　R5F100xE（x = 6-8, A-C, E-G, J, L）（フラッシュ・メモリ 64 Kバイト，RAM 4 Kバイト）の場合



次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3－11　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー注

注意1.　フラッシュ・メモリが64 KB以下の製品の場合は，必ずビット0（MAA）を0（初期値）でご使用ください。

2.　PMCレジスタの設定後，1命令以上空けてミラー領域にアクセスしてください。

3. 1. 3　内部データ・メモリ空間

RL78/G13は，次に示すRAMを内蔵しています。

表3－4　内部RAM容量

製　　品	内部RAM
R5F100xA, R5F101xA（x = 6-8, A-C, E-G）	2048×8ビット（FF700H-FFEFFH）
R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L）	
R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）	3072×8ビット（FF300H-FFEFFH）
R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）	4096×8ビット（FEF00H-FFEFFH）
R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P）	8192×8ビット（FDF00H-FFEFFH）
R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P）	12288×8ビット（FCF00H-FFEFFH）
R5F100xH, R5F101xH（x = E-G, J, L, M, P, S）	16384×8ビット（FBF00H-FFEFFH）
R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S）	20480×8ビット（FAF00H-FFEFFH）
R5F100xK, R5F101xK（x = F, G, J, L, M, P, S）	24576×8ビット（F9F00H-FFEFFH）
R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）	32768×8ビット（F7F00H-FFEFFH）

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

また，スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。

2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM 領域は，各ライブラリで使用するため使用禁止になります。

R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）　：FF300H-FF309H

R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）　：FEF00H-FF309H

R5F100xJ, R5F101xJ（x = F, G, J, L, M, P）　：FAF00H-FB309H

R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）　：F7F00H-F8309H

3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）の表3ー5参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の表3ー6参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

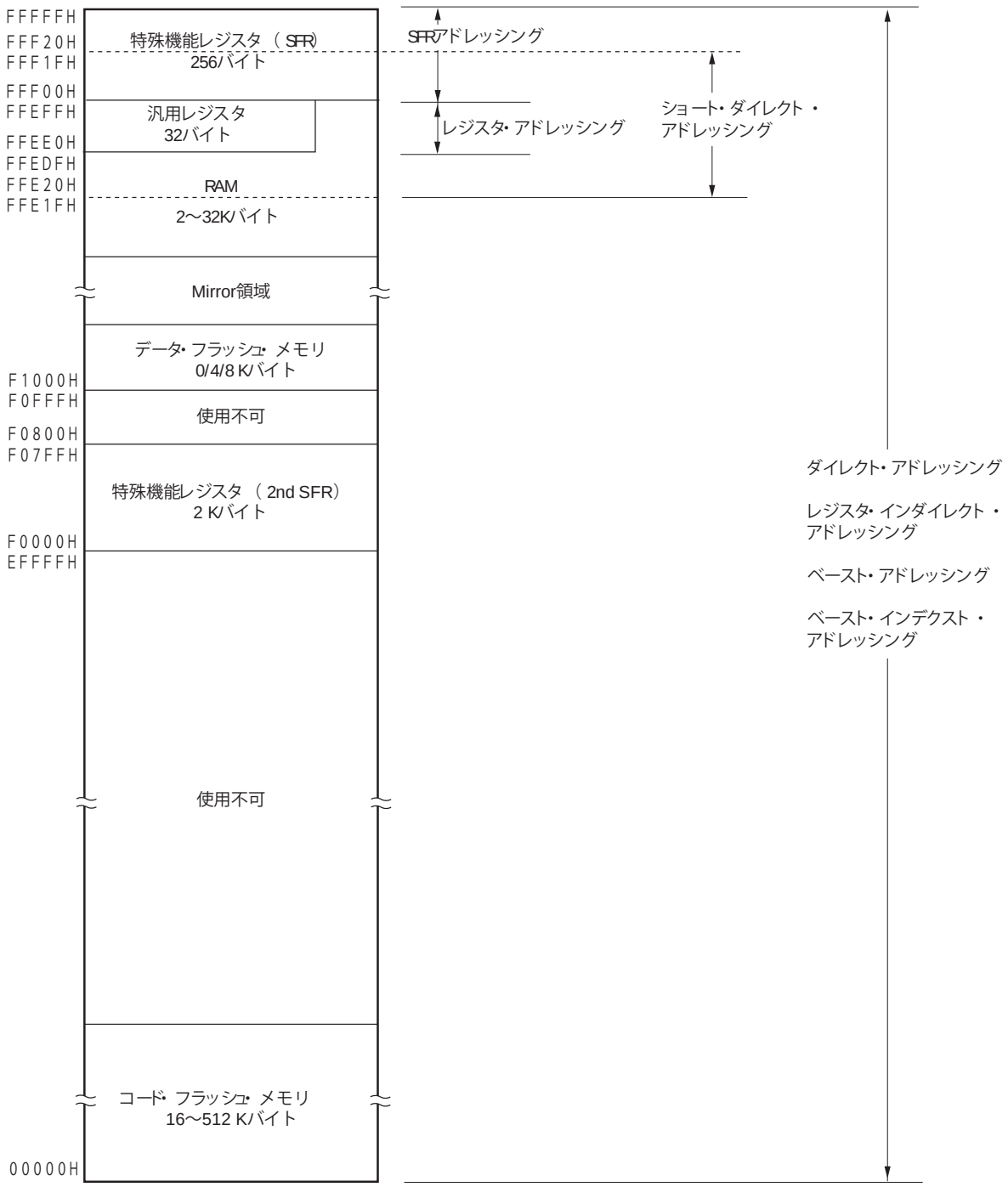
3. 1. 6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/G13では，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3－12にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3. 4　処理データ・アドレスに対するアドレッシングを参照してください。

図3－12　データ・メモリとアドレッシングの対応



3. 2　プロセッサ・レジスタ

RL78/G13は，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

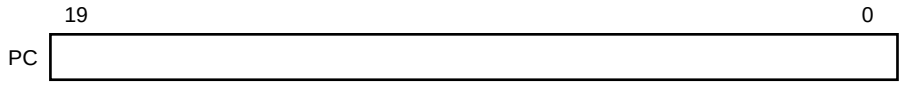
(1) プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，0000H, 0001H番地のリセット・ベクタ・テーブルの値が，下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3－13　プログラム・カウンタの構成



(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－14　プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1, ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算や比較で結果がゼロまたは等しいときセット（1）され，それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ（RBS0, RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ（AC）

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

(e) インサービス・プライオリティ・フラグ（ISP1, ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L）（16. 3. 3参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際にベクタ割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

(f) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(3) スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3ー15　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1. SP**の内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。**

2. **汎用レジスタ（**FFEE0H-FFEFFH**）の空間は，命令フェッチやスタック領域としての使用を禁止します。**

3. **セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先や**DMA **による転送先／転送元で利用する**RAM**アドレスを**FFE20H-FFEDFH **の領域に配置しないでください。**

4. **セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品の**RAM **領域は，各ライブラリで使用するため使用禁止になります。**

R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）：FF300H-FF309H
R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）：FEF00H-FF309H
R5F100xJ, R5F101xJ（x = F, G, J, L, M, P）：FAF00H-FB309H
R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）：F7F00H-F8309H

3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

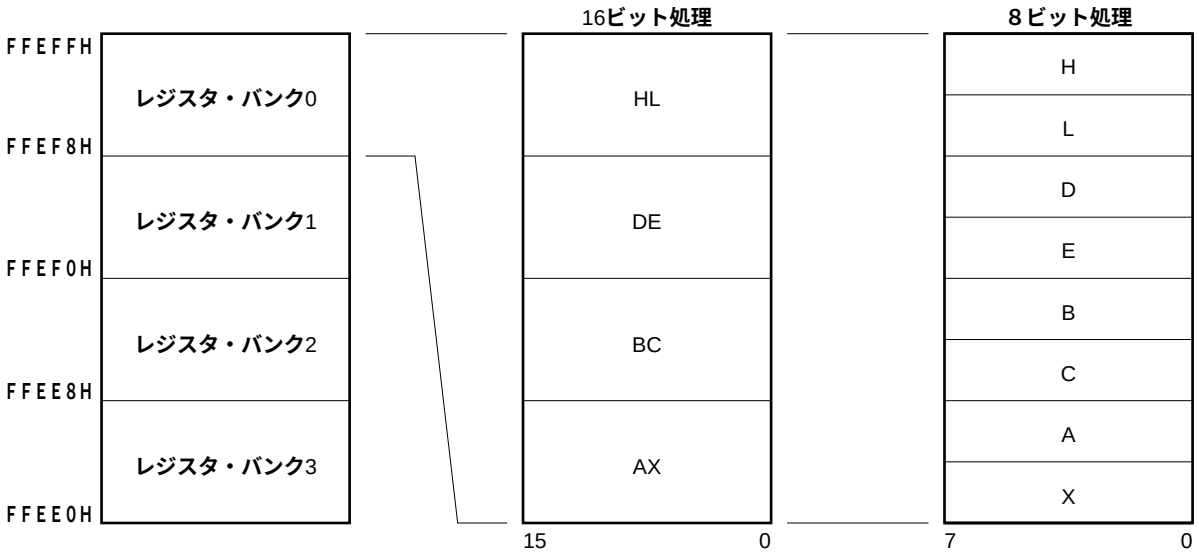
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み処理で使用するレジスタをバンク切り替えすれば，効率のよいプログラムを作成できます。

注意　汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

図3－16　汎用レジスタの構成

（a）機能名称



3. 2. 3　ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで(レジスタ・ダイレクト・アドレシング）分岐命令実行時の，それぞれ上位アドレスを指定できます。

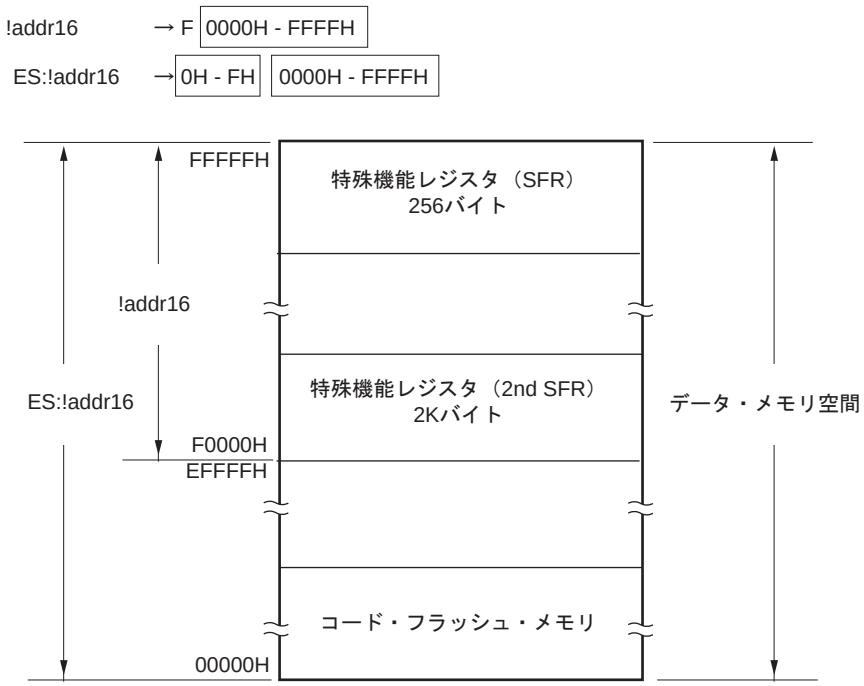
ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

図3－17　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3－18　データ・アクセス領域の拡張



3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

  1ビット操作命令のオペランド（sfr.bit）には，次のような記述をしてください。

  ビット名称が定義されている場合：<ビット名称>

  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

  8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

  16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

  特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W ：読み出し／書き込みがともに可能

  R ：読み出しのみ可能

  W ：書き込みのみ可能

- 操作可能ビット単位

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- リセット時

  リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については，3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を参照してください。

表3－5　SFR一覧（1/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	－	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	－	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	－	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	－	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	－	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	－	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	－	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	－	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	－	00H
FFF09H	ポート・レジスタ9	P9		R/W	○	○	－	00H
FFF0AH	ポート・レジスタ10	P10		R/W	○	○	－	00H
FFF0BH	ポート・レジスタ11	P11		R/W	○	○	－	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	－	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	－	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	－	00H
FFF0FH	ポート・レジスタ15	P15		R/W	○	○	－	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－		
FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－		
FFF14H	シリアル・データ・レジスタ12	TXD3/SIO30	SDR12	R/W	－	○	○	0000H
FFF15H		－			－	－		
FFF16H	シリアル・データ・レジスタ13	RXD3/SIO31	SDR13	R/W	－	○	○	0000H
FFF17H		－			－	－		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	－	－	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	－	○	○	00H
FFF1BH		TDR01H			－	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	－	－	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	－	○	－	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	－	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	－	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	－	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	－	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	－	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	－	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	－	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	－	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	－	FFH
FFF29H	ポート・モード・レジスタ9	PM9		R/W	○	○	－	FFH

表3－5　SFR一覧（2/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF2AH	ポート・モード・レジスタ10	PM10		R/W	○	○	－	FFH
FFF2BH	ポート・モード・レジスタ11	PM11		R/W	○	○	－	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	－	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	－	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	－	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	－	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	－	00H
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	－	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	－	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	－	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	－	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	－	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	－	○	○	0000H
FFF45H		－			－	－		
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	－	○	○	0000H
FFF47H		－			－	－		
FFF48H	シリアル・データ・レジスタ10	TXD2/SIO20	SDR10	R/W	－	○	○	0000H
FFF49H		－			－	－		
FFF4AH	シリアル・データ・レジスタ11	RXD2/SIO21	SDR11	R/W	－	○	○	0000H
FFF4BH		－			－	－		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	－	○	－	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	－	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	－	00H
FFF54H	IICAシフト・レジスタ1	IICA1		R/W	－	○	－	00H
FFF55H	IICAステータス・レジスタ1	IICS1		R	○	○	－	00H
FFF56H	IICAフラグ・レジスタ1	IICF1		R/W	○	○	－	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	－	－	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	－	○	○	00H
FFF67H		TDR03H			－	○		00H
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	－	－	○	0000H
FFF69H								

表3ー5　SFR一覧（3/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	ー	ー	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	ー	ー	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	ー	ー	○	0000H
FFF6FH								
FFF70H	タイマ・データ・レジスタ10	TDR10		R/W	ー	ー	○	0000H
FFF71H								
FFF72H	タイマ・データ・レジスタ11	TDR11L	TDR11	R/W	ー	○	○	00H
FFF73H		TDR11H			ー	○		00H
FFF74H	タイマ・データ・レジスタ12	TDR12		R/W	ー	ー	○	0000H
FFF75H								
FFF76H	タイマ・データ・レジスタ13	TDR13L	TDR13	R/W	ー	○	○	00H
FFF77H		TDR13H			ー	○		00H
FFF78H	タイマ・データ・レジスタ14	TDR14		R/W	ー	ー	○	0000H
FFF79H								
FFF7AH	タイマ・データ・レジスタ15	TDR15		R/W	ー	ー	○	0000H
FFF7BH								
FFF7CH	タイマ・データ・レジスタ16	TDR16		R/W	ー	ー	○	0000H
FFF7DH								
FFF7EH	タイマ・データ・レジスタ17	TDR17		R/W	ー	ー	○	0000H
FFF7FH								
FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	ー	ー	○	0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	ー	○	ー	00H
FFF93H	分カウント・レジスタ	MIN		R/W	ー	○	ー	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	ー	○	ー	12H[注]
FFF95H	曜日カウント・レジスタ	WEEK		R/W	ー	○	ー	00H
FFF96H	日カウント・レジスタ	DAY		R/W	ー	○	ー	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	ー	○	ー	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	ー	○	ー	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	ー	○	ー	00H
FFF9AH	アラーム分レジスタ	ALARMWM		R/W	ー	○	ー	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	ー	○	ー	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	ー	○	ー	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	ー	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	ー	00H

注　リセット後に，AMPMビット（リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3）に1をセットした場合は00Hとなります。

表3ー5　SFR一覧（4/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	ー	○	ー	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	ー	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	ー	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	ー	○	ー	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	ー	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	ー	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	ー	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	ー	○	ー	不定[注1]
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	ー	00H[注1]
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	ー	00H/01H/81H[注1]
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	ー	○	ー	1AH/9AH[注2]
FFFACH	CRC入力レジスタ	CRCIN		R/W	ー	○	ー	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	ー	○	ー	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	ー	○	ー	00H
FFFB2H	DMA RAMアドレス・レジスタ0	DRA0L	DRA0	R/W	ー	○	○	00H
FFFB3H		DRA0H		R/W	ー	○		00H
FFFB4H	DMA RAMアドレス・レジスタ1	DRA1L	DRA1	R/W	ー	○	○	00H
FFFB5H		DRA1H		R/W	ー	○		00H
FFFB6H	DMA バイト・カウント・レジスタ0	DBC0L	DBC0	R/W	ー	○	○	00H
FFFB7H		DBC0H		R/W	ー	○		00H
FFFB8H	DMA バイト・カウント・レジスタ1	DBC1L	DBC1	R/W	ー	○	○	00H
FFFB9H		DBC1H		R/W	ー	○		00H
FFFBAH	DMA モード・コントロール・レジスタ0	DMC0		R/W	○	○	ー	00H
FFFBBH	DMA モード・コントロール・レジスタ1	DMC1		R/W	○	○	ー	00H
FFFBCH	DMA 動作コントロール・レジスタ0	DRC0		R/W	○	○	ー	00H
FFFBDH	DMA 動作コントロール・レジスタ1	DRC1		R/W	○	○	ー	00H

注1.　リセット要因により，次のように異なります。

レジスタ ＼ リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア（0）		セット（1）	保持			保持
	WDTRF			保持	セット（1）	保持		
	RPERF			保持		セット（1）	保持	
	IAWRF			保持			セット（1）	
	LVIRF			保持				セット（1）
LVIM	LVISEN	クリア（0）						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

2.　WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3ー5　SFR一覧（5/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W	○	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	乗除算データ・レジスタA（L）	MDAL		R/W	ー	ー	○	0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA（H）	MDAH		R/W	ー	ー	○	0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB（H）	MDBH		R/W	ー	ー	○	0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB（L）	MDBL		R/W	ー	ー	○	0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	ー	00H

備考　拡張SFR（2nd SFR）については，表3ー6　拡張SFR（2nd SFR）一覧を参照してください。

3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

  1ビット操作命令のオペランド（!addr16.bit）には，次のような記述をしてください。

  ビット名称が定義されている場合：<ビット名称>

  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

  8ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

  16ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

  拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

  該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W ：読み出し／書き込みがともに可能

  R ：読み出しのみ可能

  W ：書き込みのみ可能

- 操作可能ビット単位

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- リセット時

  リセット信号発生時の各レジスタの状態を示します。

注意　拡張SFR（2nd SFR）が割り付けられていないアドレスにアクセスしないでください。

備考　SFR領域のSFRについては，3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）を参照してください。

表3ー6　拡張SFR（2nd SFR）一覧（1/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	ー	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	ー	○	ー	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	ー	○	ー	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	ー	○	ー	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	ー	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	ー	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	ー	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	ー	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	ー	00H
F0036H	プルアップ抵抗オプション・レジスタ6	PU6	R/W	○	○	ー	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	ー	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	ー	00H
F0039H	プルアップ抵抗オプション・レジスタ9	PU9	R/W	○	○	ー	00H
F003AH	プルアップ抵抗オプション・レジスタ10	PU10	R/W	○	○	ー	00H
F003BH	プルアップ抵抗オプション・レジスタ11	PU11	R/W	○	○	ー	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	ー	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	ー	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	ー	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	ー	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	ー	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	ー	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	ー	00H
F004EH	ポート入力モード・レジスタ14	PIM14	R/W	○	○	ー	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	ー	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	ー	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	ー	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	ー	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	ー	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	ー	00H
F0059H	ポート出力モード・レジスタ9	POM9	R/W	○	○	ー	00H
F005EH	ポート出力モード・レジスタ14	POM14	R/W	○	○	ー	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	ー	FFH
F0063H	ポート・モード・コントロール・レジスタ3	PMC3	R/W	○	○	ー	FFH
F006AH	ポート・モード・コントロール・レジスタ10	PMC10	R/W	○	○	ー	FFH
F006BH	ポート・モード・コントロール・レジスタ11	PMC11	R/W	○	○	ー	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	ー	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	ー	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	ー	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	ー	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W	○	○	ー	00H

表3ー6　拡張SFR（2nd SFR）一覧（2/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0073H	入力切り替え制御レジスタ	ISC		R/W	○	○	ー	00H
F0074H	タイマ入力選択レジスタ0	TIS0		R/W	ー	○	ー	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC		R/W	ー	○	ー	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR		R/W	ー	○	ー	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL		R/W	ー	○	ー	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS		R/W	○	○	ー	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL		R/W	○	○	ー	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM		R/W	ー	○	ー	不定[注1]
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV		R/W	ー	○	ー	不定[注2]
F00E0H	乗除算データ・レジスタC（L）	MDCL		R/W	ー	ー	○	0000H
F00E2H	乗除算データ・レジスタC（H）	MDCH		R/W	ー	ー	○	0000H
F00E8H	乗除算コントロール・レジスタ	MDUC		R/W	○	○	ー	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	ー	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC		R/W	ー	○	ー	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	ー	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	ー	○	ー	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	ー	○	○	0000H
F0101H		ー			ー	ー		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	ー	○	○	0000H
F0103H		ー			ー	ー		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	ー	○	○	0000H
F0105H		ー			ー	ー		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	ー	○	○	0000H
F0107H		ー			ー	ー		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	ー	○	○	0000H
F0109H		ー			ー	ー		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	ー	○	○	0000H
F010BH		ー			ー	ー		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	ー	○	○	0000H
F010DH		ー			ー	ー		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	ー	○	○	0000H
F010FH		ー			ー	ー		

注1.　リセット値は出荷時に調整した値です。

2.　オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

表3ー6 拡張SFR（2nd SFR）一覧（3/9）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	ー	ー	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	ー	ー	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	ー	ー	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	ー	ー	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	ー	ー	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	ー	ー	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	ー	ー	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	ー	ー	○	0087H
F011FH								
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		ー			ー	ー		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		ー			ー	ー		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		ー			ー	ー		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	ー	○	○	0000H
F0127H		ー			ー	ー		
F0128H	シリアル出力レジスタ0	SO0		R/W	ー	ー	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		ー			ー	ー		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	ー	○	○	0000H
F0135H		ー			ー	ー		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	ー	○	○	0000H
		ー			ー	ー		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	ー	○	○	0000H
F0141H		ー			ー	ー		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	ー	○	○	0000H
F0143H		ー			ー	ー		
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	ー	○	○	0000H
F0145H		ー			ー	ー		
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	ー	○	○	0000H
F0147H		ー			ー	ー		

表3ー6 拡張SFR（2nd SFR）一覧（4/9）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	ー	○	○	0000H
F0149H		ー			ー	ー		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	ー	○	○	0000H
F014BH		ー			ー	ー		
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ12	SIR12L	SIR12	R/W	ー	○	○	0000H
F014DH		ー			ー	ー		
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ13	SIR13L	SIR13	R/W	ー	○	○	0000H
F014FH		ー			ー	ー		
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	ー	ー	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	ー	ー	○	0020H
F0153H								
F0154H	シリアル・モード・レジスタ12	SMR12		R/W	ー	ー	○	0020H
F0155H								
F0156H	シリアル・モード・レジスタ13	SMR13		R/W	ー	ー	○	0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	ー	ー	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	ー	ー	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W	ー	ー	○	0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W	ー	ー	○	0087H
F015FH								
F0160H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		ー			ー	ー		
F0162H	シリアル・チャネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		ー			ー	ー		
F0164H	シリアル・チャネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		ー			ー	ー		
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	ー	○	○	0000H
F0167H		ー			ー	ー		
F0168H	シリアル出力レジスタ1	SO1		R/W	ー	ー	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		ー			ー	ー		
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	ー	○	○	0000H
F0175H		ー			ー	ー		
F0178H	シリアル・スタンバイ・コントロール・レジスタ1	SSC1L	SSC1	R/W	ー	○	○	0000H
		ー			ー	ー		

表3ー6　拡張SFR（2nd SFR）一覧（5/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	ー	ー	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	ー	ー	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	ー	ー	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	ー	ー	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	ー	ー	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	ー	ー	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	ー	ー	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	ー	ー	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	ー	ー	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	ー	ー	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	ー	ー	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	ー	ー	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	ー	ー	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	ー	ー	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	ー	ー	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	ー	ー	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	ー	○	○	0000H
F01A1H		ー			ー	ー		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	ー	○	○	0000H
F01A3H		ー			ー	ー		

表3ー6　拡張SFR（2nd SFR）一覧（6/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	ー	○	○	0000H
F01A5H		ー			ー	ー		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	ー	○	○	0000H
F01A7H		ー			ー	ー		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	ー	○	○	0000H
F01A9H		ー			ー	ー		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	ー	○	○	0000H
F01ABH		ー			ー	ー		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	ー	○	○	0000H
F01ADH		ー			ー	ー		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	ー	○	○	0000H
F01AFH		ー			ー	ー		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		ー			ー	ー		
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		ー			ー	ー		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		ー			ー	ー		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	ー	ー	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	ー	○	○	0000H
F01B9H		ー			ー	ー		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		ー			ー	ー		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	ー	○	○	0000H
F01BDH		ー			ー	ー		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	ー	○	○	0000H
F01BFH		ー			ー	ー		
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	ー	ー	○	FFFFH
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	ー	ー	○	FFFFH
F01C3H								
F01C4H	タイマ・カウンタ・レジスタ12	TCR12		R	ー	ー	○	FFFFH
F01C5H								
F01C6H	タイマ・カウンタ・レジスタ13	TCR13		R	ー	ー	○	FFFFH
F01C7H								

表3ー6　拡張SFR（2nd SFR）一覧（7/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01C8H	タイマ・カウンタ・レジスタ14	TCR14		R	ー	ー	○	FFFFH
F01C9H								
F01CAH	タイマ・カウンタ・レジスタ15	TCR15		R	ー	ー	○	FFFFH
F01CBH								
F01CCH	タイマ・カウンタ・レジスタ16	TCR16		R	ー	ー	○	FFFFH
F01CDH								
F01CEH	タイマ・カウンタ・レジスタ17	TCR17		R	ー	ー	○	FFFFH
F01CFH								
F01D0H	タイマ・モード・レジスタ10	TMR10		R/W	ー	ー	○	0000H
F01D1H								
F01D2H	タイマ・モード・レジスタ11	TMR11		R/W	ー	ー	○	0000H
F01D3H								
F01D4H	タイマ・モード・レジスタ12	TMR12		R/W	ー	ー	○	0000H
F01D5H								
F01D6H	タイマ・モード・レジスタ13	TMR13		R/W	ー	ー	○	0000H
F01D7H								
F01D8H	タイマ・モード・レジスタ14	TMR14		R/W	ー	ー	○	0000H
F01D9H								
F01DAH	タイマ・モード・レジスタ15	TMR15		R/W	ー	ー	○	0000H
F01DBH								
F01DCH	タイマ・モード・レジスタ16	TMR16		R/W	ー	ー	○	0000H
F01DDH								
F01DEH	タイマ・モード・レジスタ17	TMR17		R/W	ー	ー	○	0000H
F01DFH								
F01E0H	タイマ・ステータス・レジスタ10	TSR10L	TSR10	R	ー	○	○	0000H
F01E1H		ー			ー	ー		
F01E2H	タイマ・ステータス・レジスタ11	TSR11L	TSR11	R	ー	○	○	0000H
F01E3H		ー			ー	ー		
F01E4H	タイマ・ステータス・レジスタ12	TSR12L	TSR12	R	ー	○	○	0000H
F01E5H		ー			ー	ー		
F01E6H	タイマ・ステータス・レジスタ13	TSR13L	TSR13	R	ー	○	○	0000H
F01E7H		ー			ー	ー		
F01E8H	タイマ・ステータス・レジスタ14	TSR14L	TSR14	R	ー	○	○	0000H
F01E9H		ー			ー	ー		
F01EAH	タイマ・ステータス・レジスタ15	TSR15L	TSR15	R	ー	○	○	0000H
F01EBH		ー			ー	ー		
F01ECH	タイマ・ステータス・レジスタ16	TSR16L	TSR16	R	ー	○	○	0000H
F01EDH		ー			ー	ー		
F01EEH	タイマ・ステータス・レジスタ17	TSR17L	TSR17	R	ー	○	○	0000H
F01EFH		ー			ー	ー		

表3ー6　拡張SFR（2nd SFR）一覧（8/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01F0H	タイマ・チャネル許可ステータス・レジスタ1	TE1L	TE1	R	○	○	○	0000H
F01F1H		ー			ー	ー		
F01F2H	タイマ・チャネル開始レジスタ1	TS1L	TS1	R/W	○	○	○	0000H
F01F3H		ー			ー	ー		
F01F4H	タイマ・チャネル停止レジスタ1	TT1L	TT1	R/W	○	○	○	0000H
F01F5H		ー			ー	ー		
F01F6H	タイマ・クロック選択レジスタ1	TPS1		R/W	ー	ー	○	0000H
F01F7H								
F01F8H	タイマ出力レジスタ1	TO1L	TO1	R/W	ー	○	○	0000H
F01F9H		ー			ー	ー		
F01FAH	タイマ出力許可レジスタ1	TOE1L	TOE1	R/W	○	○	○	0000H
F01FBH		ー			ー	ー		
F01FCH	タイマ出力レベル・レジスタ1	TOL1L	TOL1	R/W	ー	○	○	0000H
F01FDH		ー			ー	ー		
F01FEH	タイマ出力モード・レジスタ1	TOM1L	TOM1	R/W	ー	○	○	0000H
F01FFH		ー			ー	ー		
F0200H	DMA SFRアドレス・レジスタ2	DSA2		R/W	ー	○	ー	00H
F0201H	DMA SFRアドレス・レジスタ3	DSA3		R/W	ー	○	ー	00H
F0202H	DMA RAMアドレス・レジスタ2	DRA2L	DRA2	R/W	ー	○	○	00H
F0203H		DRA2H		R/W	ー	○		00H
F0204H	DMA RAMアドレス・レジスタ3	DRA3L	DRA3	R/W	ー	○	○	00H
F0205H		DRA3H		R/W	ー	○		00H
F0206H	DMA バイト・カウント・レジスタ2	DBC2L	DBC2	R/W	ー	○	○	00H
F0207H		DBC2H		R/W	ー	○		00H
F0208H	DMA バイト・カウント・レジスタ3	DBC3L	DBC3	R/W	ー	○	○	00H
F0209H		DBC3H		R/W	ー	○		00H
F020AH	DMA モード・コントロール・レジスタ2	DMC2		R/W	○	○	ー	00H
F020BH	DMA モード・コントロール・レジスタ3	DMC3		R/W	○	○	ー	00H
F020CH	DMA 動作コントロール・レジスタ2	DRC2		R/W	○	○	ー	00H
F020DH	DMA 動作コントロール・レジスタ3	DRC3		R/W	○	○	ー	00H

表3－6　拡張SFR（2nd SFR）一覧（9/9）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	－	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	－	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	－	○	－	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	－	○	－	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	－	○	－	00H
F0238H	IICAコントロール・レジスタ10	IICCTL10	R/W	○	○	－	00H
F0239H	IICAコントロール・レジスタ11	IICCTL11	R/W	○	○	－	00H
F023AH	IICAロウ・レベル幅設定レジスタ1	IICWL1	R/W	－	○	－	FFH
F023BH	IICAハイ・レベル幅設定レジスタ1	IICWH1	R/W	－	○	－	FFH
F023CH	スレーブ・アドレス・レジスタ1	SVA1	R/W	－	○	－	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	－	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	－	－	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	－	－	○	0000H

備考　SFR領域のSFRについては，表3－5　SFR一覧を参照してください。

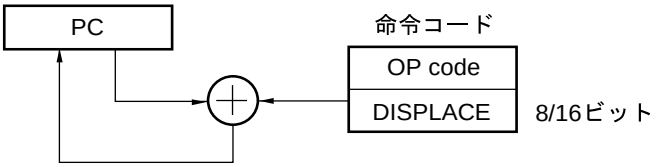
3. 3　命令アドレスのアドレッシング

3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－19　レラティブ・アドレッシングの概略



3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－20　CALL !!addr20/BR !!addr20の例

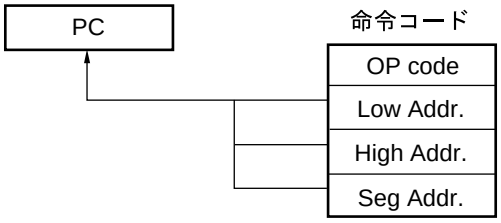
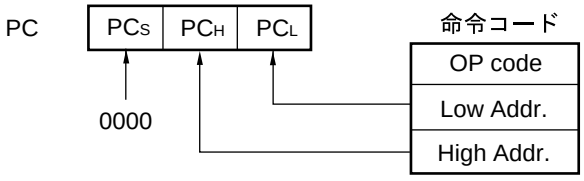


図3－21　CALL !addr16/BR !addr16の例



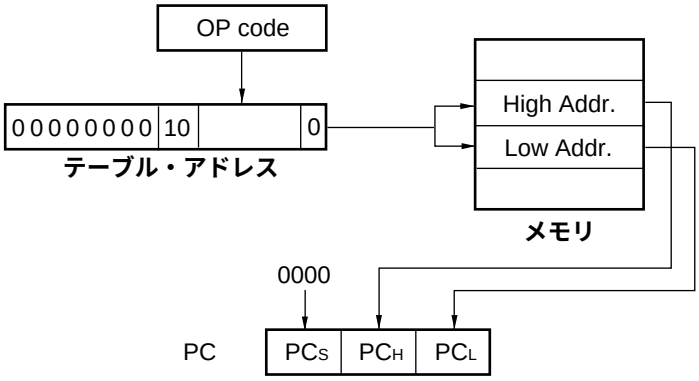
3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－22　テーブル・インダイレクト・アドレッシングの概略

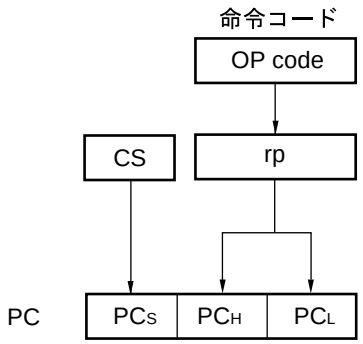


3. 3. 4　レジスタ・ダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－23　レジスタ・ダイレクト・アドレッシングの概略



3. 4　処理データ・アドレスに対するアドレッシング

3. 4. 1　インプライド・アドレッシング

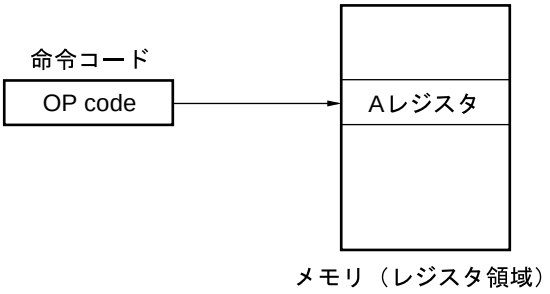
【機　　能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－24　インプライド・アドレッシングの概略



3. 4. 2　レジスタ・アドレッシング

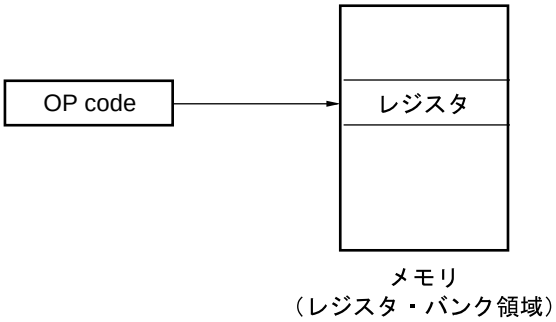
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット，16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3－25　レジスタ・アドレッシングの概略



3. 4. 3　ダイレクト・アドレッシング

【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	**ラベルまたは16ビット・イミーディエト・データ** **（F0000H-FFFFFH空間のみ指定可能）**
ES:!addr16	**ラベルまたは16ビット・イミーディエト・データ** **（ESレジスタにて上位4ビット・アドレス指定）**

図3ー26　!addr16の例

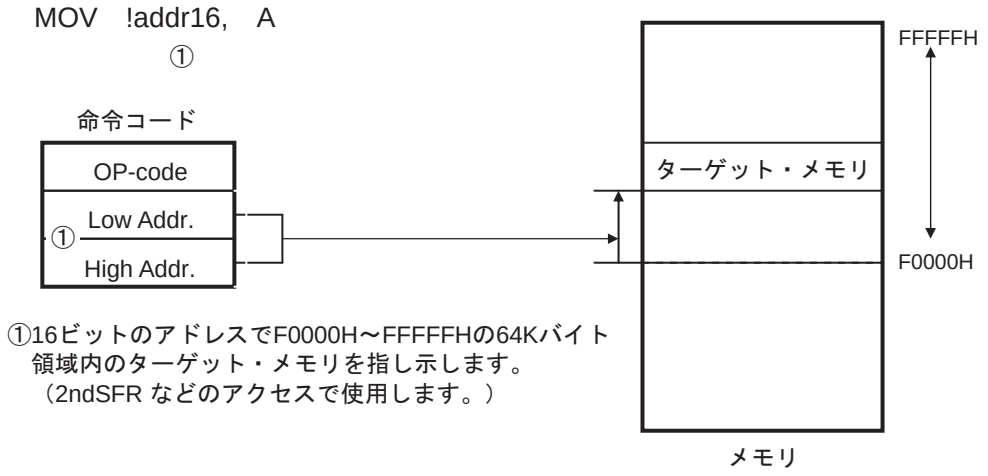
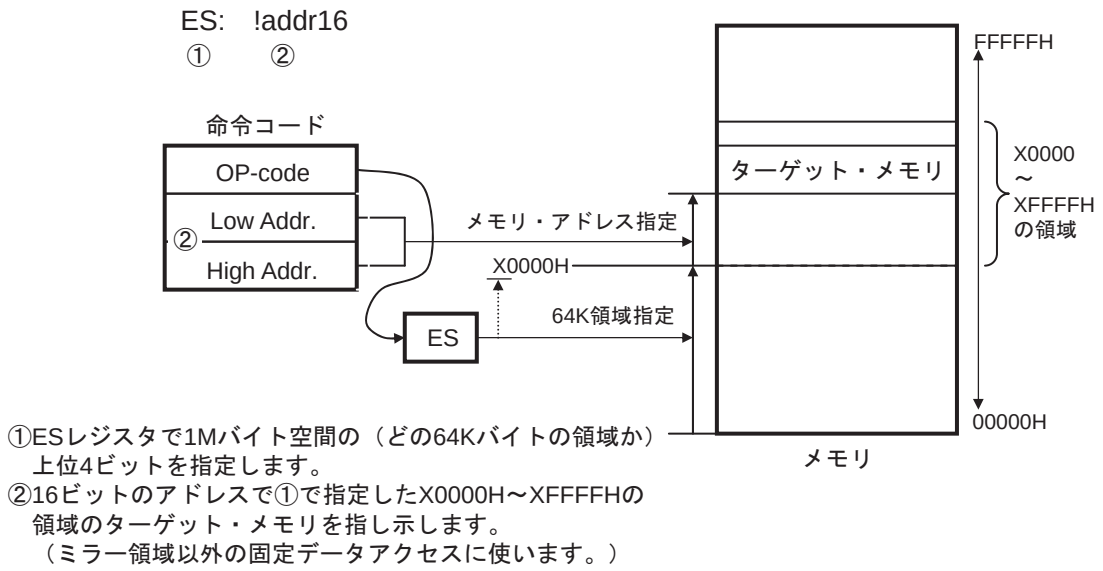


図3ー27　ES:!addr16の例



3. 4. 4　ショート・ダイレクト・アドレッシング

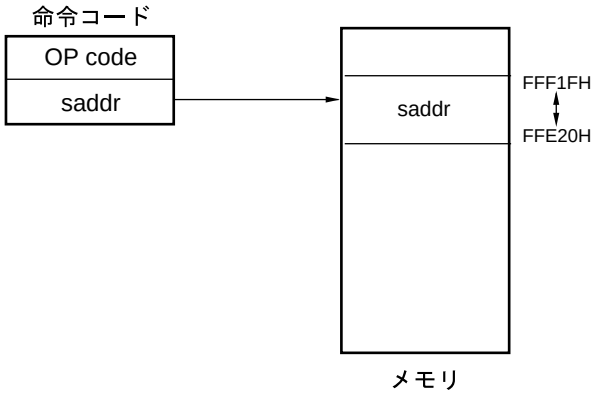
【機　　能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ （FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ） （FFE20H-FFF1FH空間のみ指定可能）

図3－28　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3. 4. 5　SFRアドレッシング

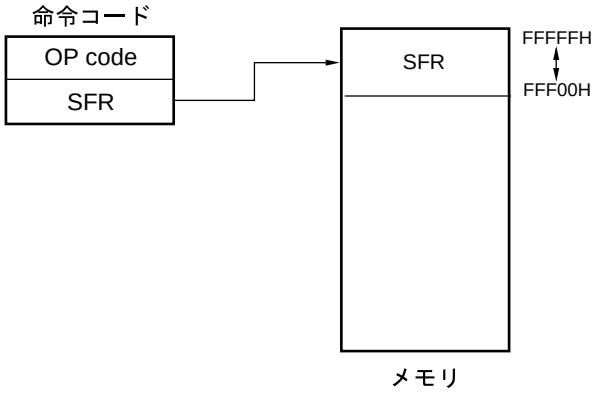
【機　　能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3ー29　SFRアドレッシングの概略



3. 4. 6　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[DE]，[HL] **（**F0000H-FFFFFH**空間のみ指定可能）**
－	ES:[DE]，ES:[HL] **（**ES**レジスタにて上位**4**ビット・アドレス指定）**

図3**－**30　[DE]**，**[HL]**の例**

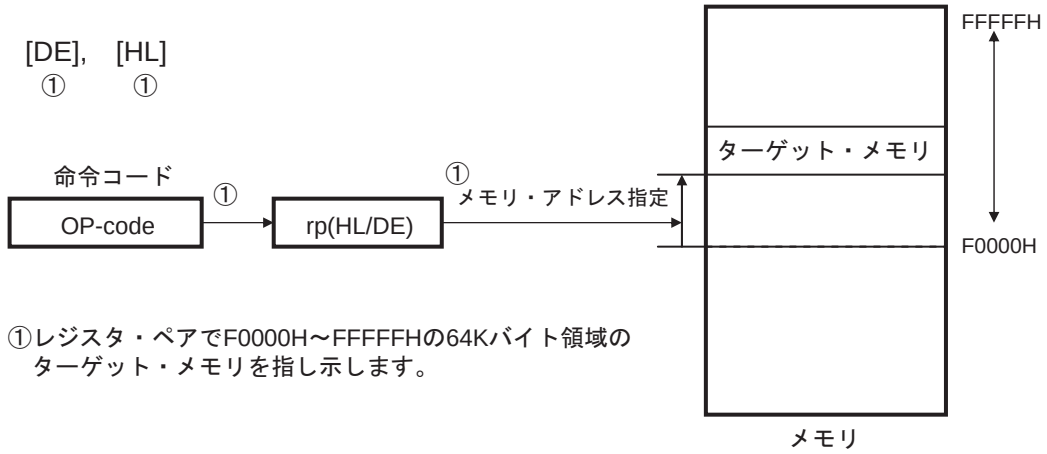
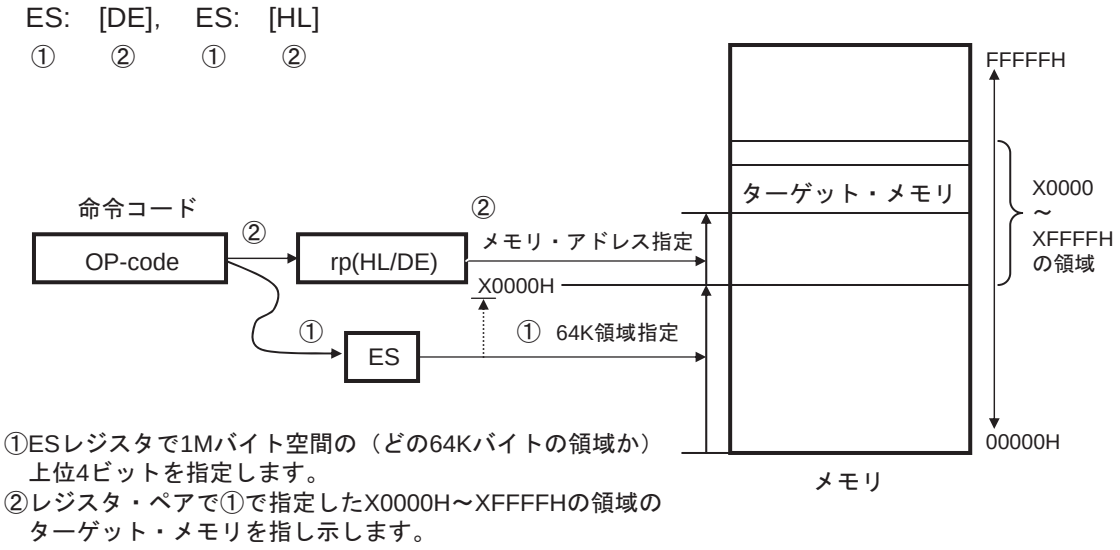


図3**－**31　ES:[DE]**，**ES:[HL]**の例**



3. 4. 7　ベースト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋byte]，[DE + byte]，[SP + byte] （F0000H-FFFFFH空間のみ指定可能）
－	word[B]，word[C] （F0000H-FFFFFH空間のみ指定可能）
－	word[BC] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋byte]，ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[B]，ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3－32　[SP+byte]の例

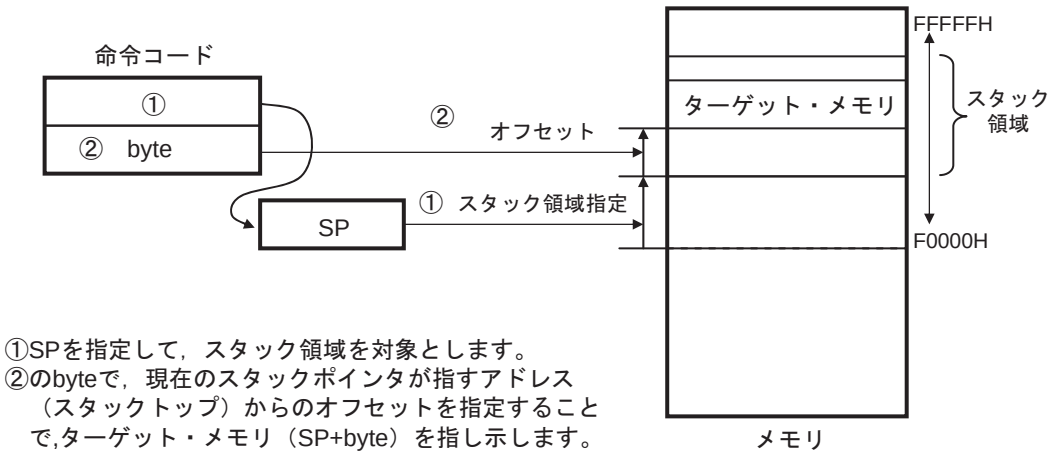


図3－33 [HL+byte]，[DE+byte]の例

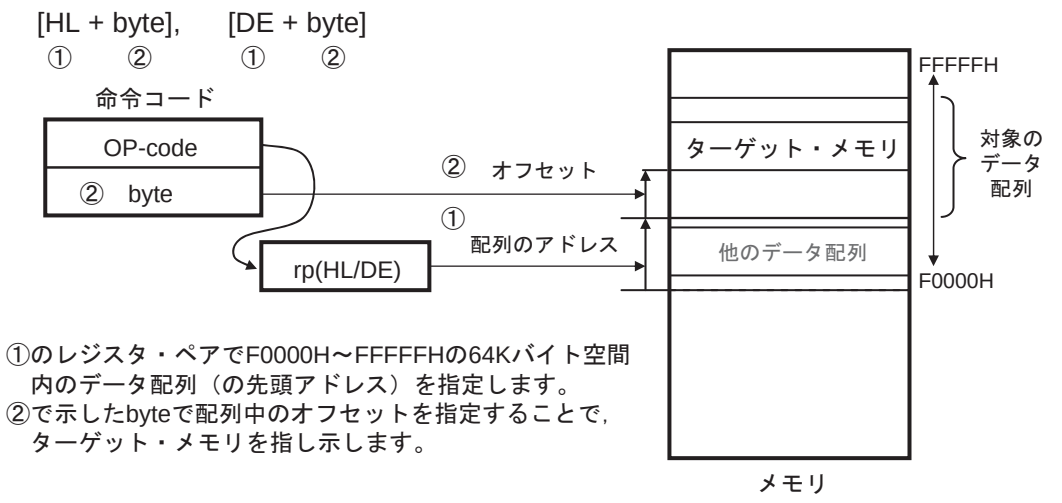


図3－34 word[B]，word[C]の例

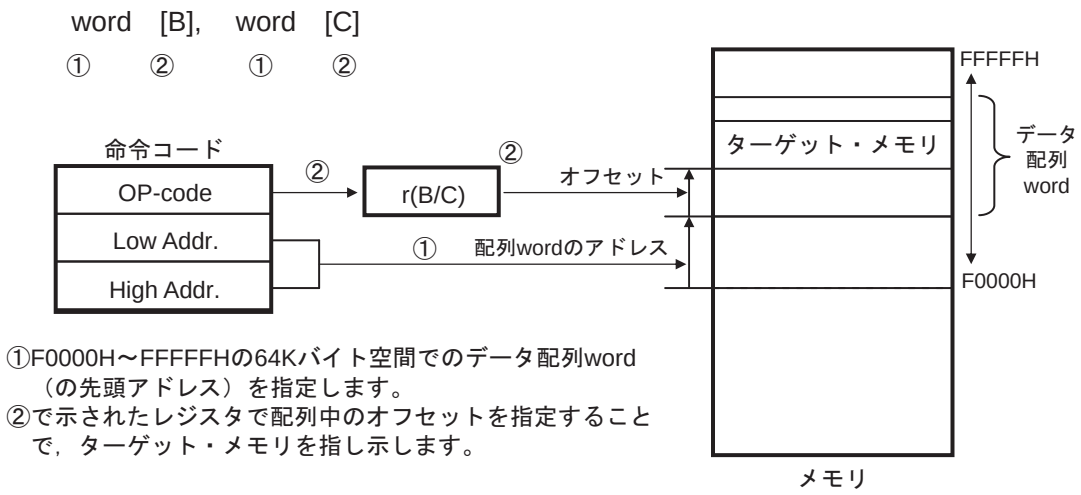


図3－35 word[BC]の例

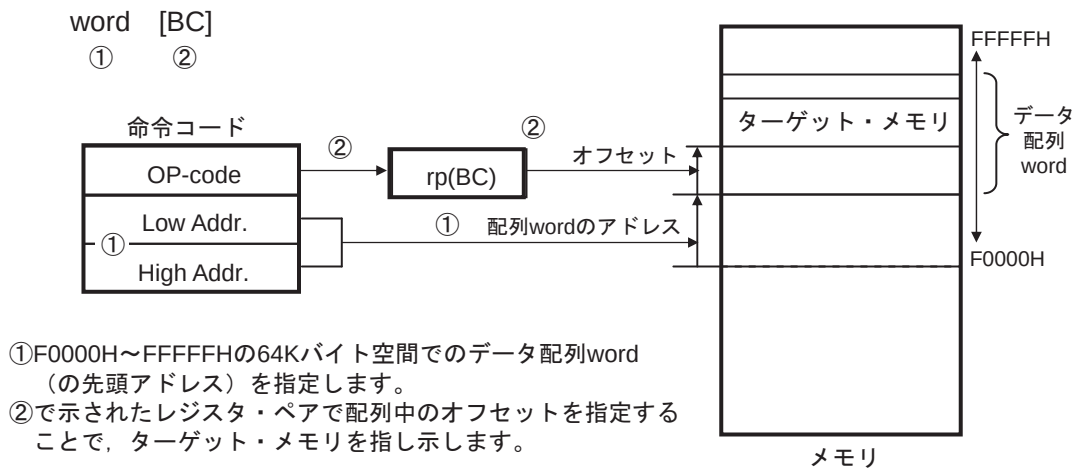
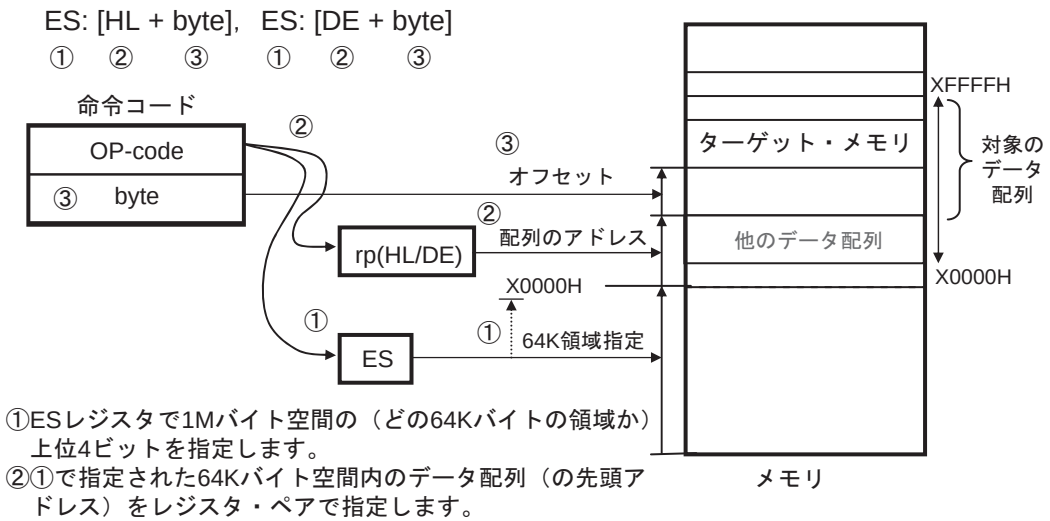
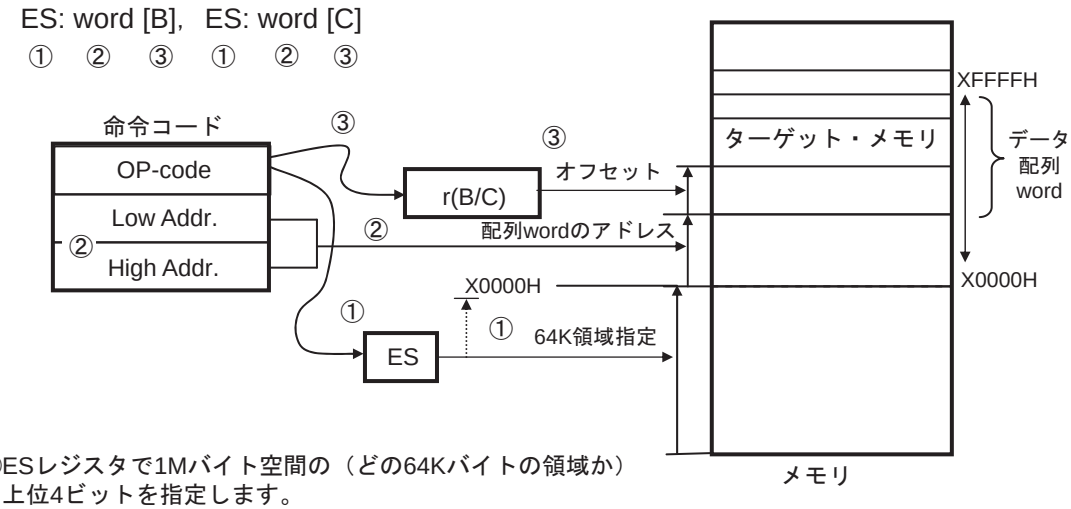


図3ー36　ES:[HL+byte]，ES:[DE+byte]の例



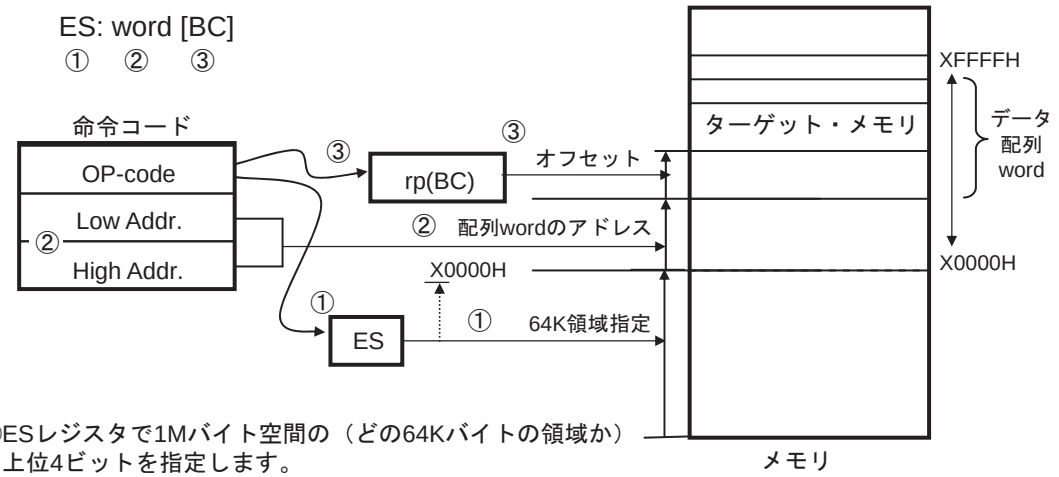
①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）
　上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭ア
　ドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，
　ターゲット・メモリを指し示します。

図3ー37　ES:word[B]，ES:word[C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）
　上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先
　頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，
　ターゲット・メモリを指し示します。

図3ー38　ES:word[BC]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3. 4. 8　ベースト・インデクスト・アドレッシング

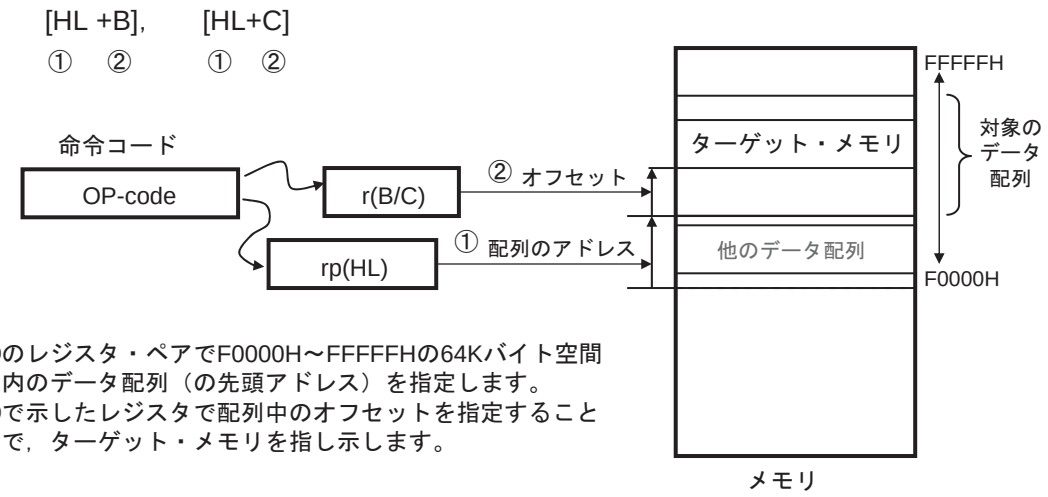
【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

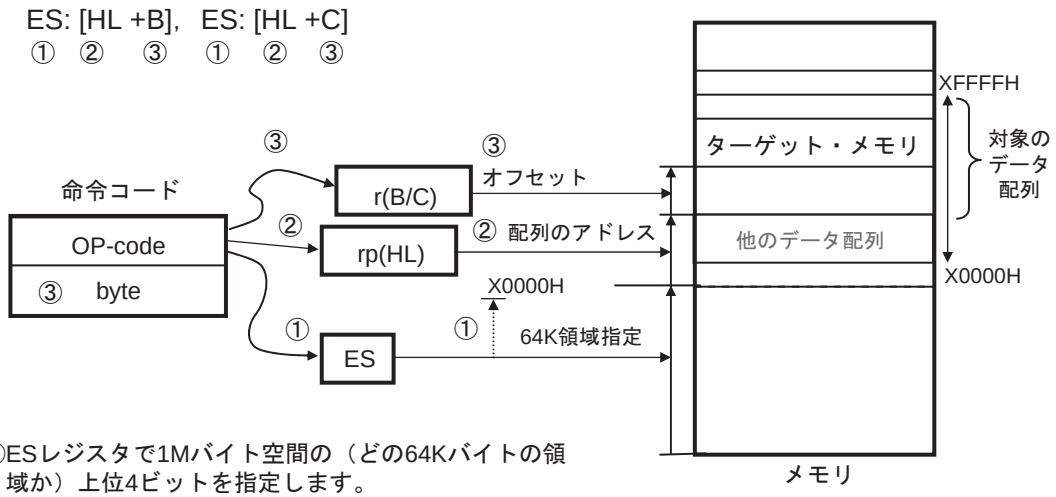
表現形式	記述方法
－	[HL＋B]，[HL＋C] **（F0000H-FFFFFH空間のみ指定可能）**
－	ES:[HL＋B]，ES:[HL＋C] **（ESレジスタにて上位4ビット・アドレス指定）**

図3－39　[HL+B]，[HL+C]の例



①のレジスタ・ペアでF0000H～FFFFFHの64Kバイト空間内のデータ配列（の先頭アドレス）を指定します。
②で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3ー40　ES:[HL+B]，ES:[HL+C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3. 4. 9　スタック・アドレッシング

【機　　能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP，サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

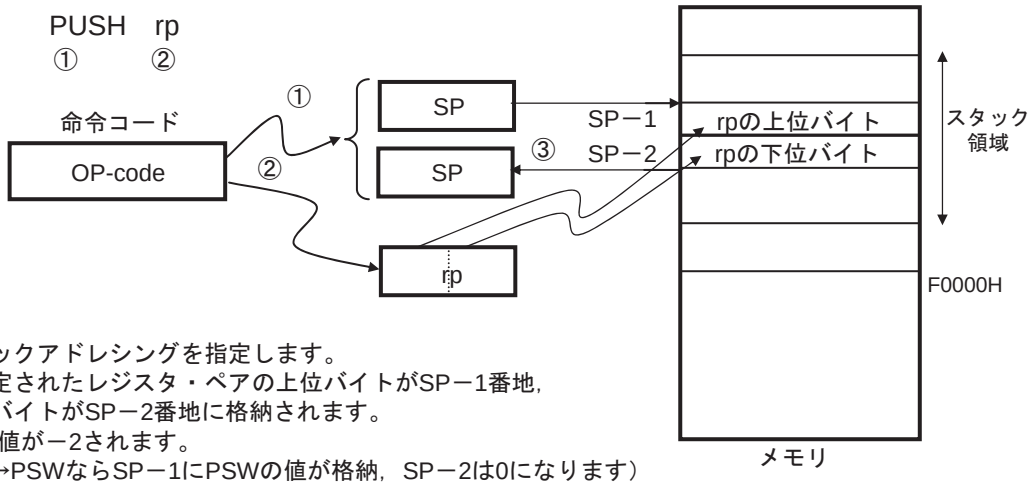
スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
－	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

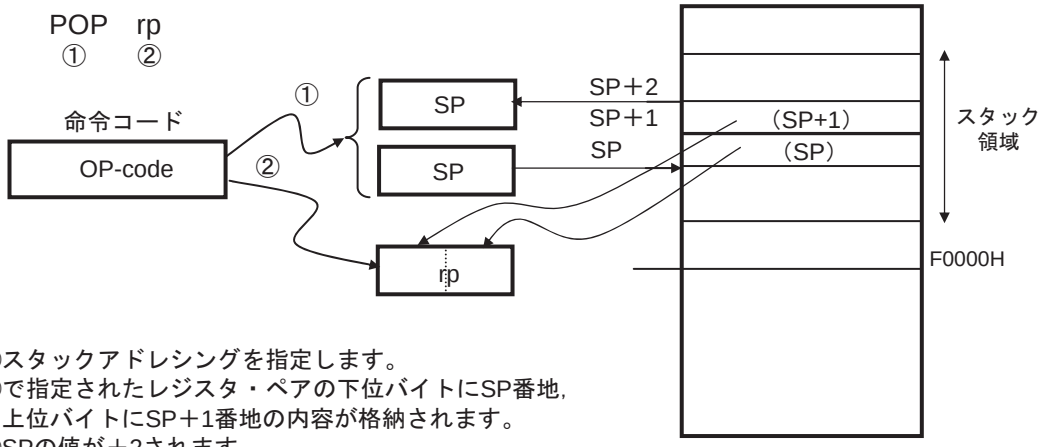
各スタック動作によって退避／復帰されるデータは図3－41～図3－46のようになります。

図3－41　PUSH rpの例



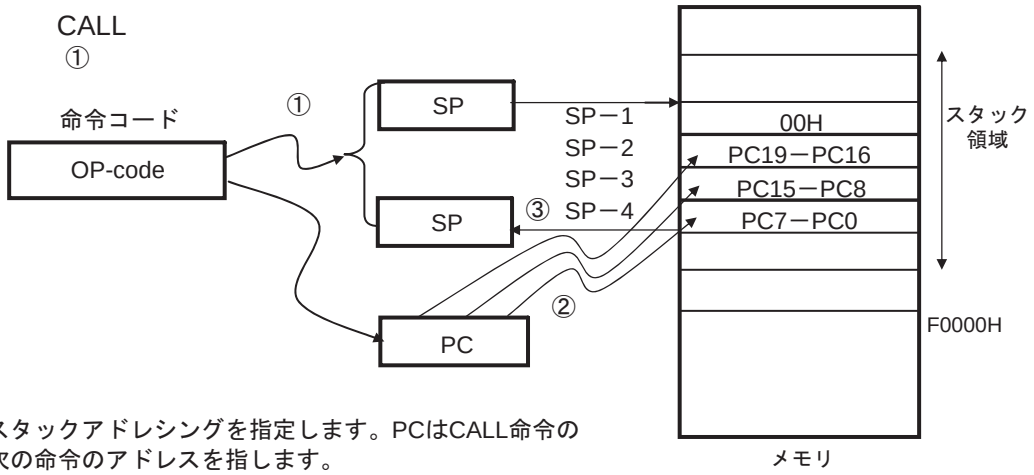
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－42　POPの例



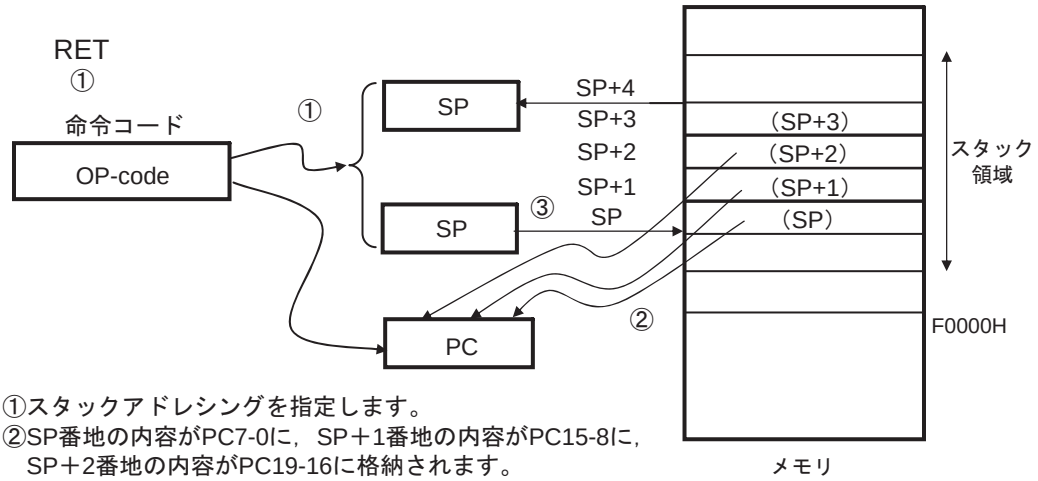
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
　上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
　（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－43　CALL，CALLTの例



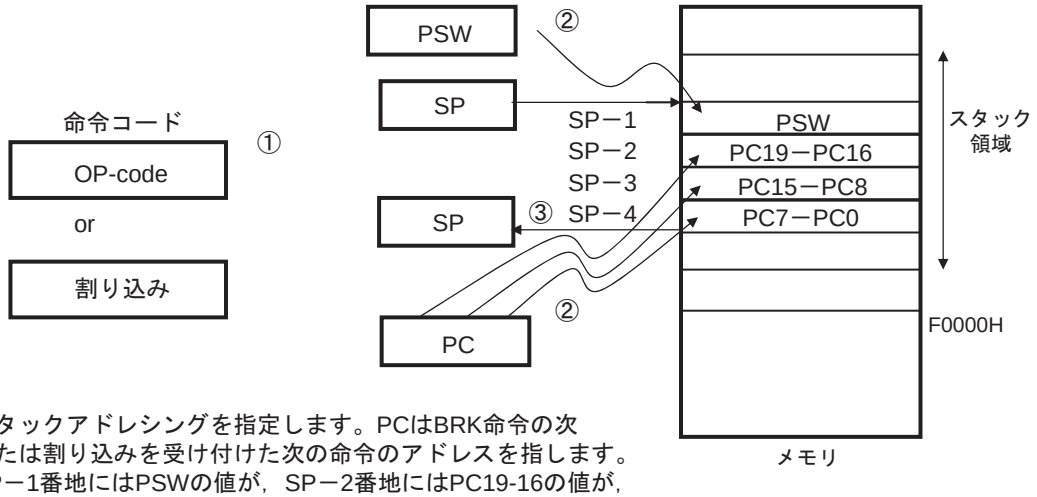
①スタックアドレシングを指定します。PCはCALL命令の
　次の命令のアドレスを指します。
②SP－1番地には00Hが，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の
　値が格納されます。
③SPの値が－4されます。

図3－44　RETの例



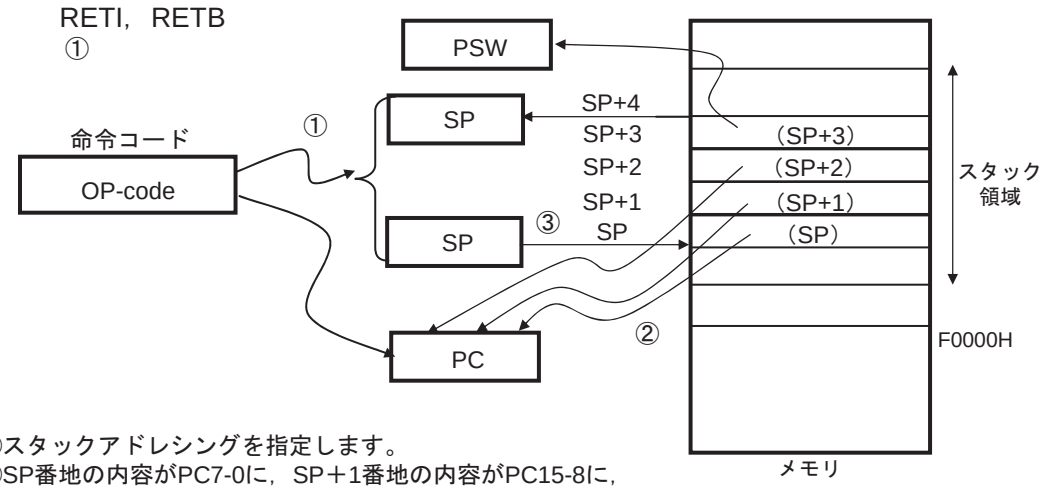
①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－45　割り込み，BRKの例



①スタックアドレシングを指定します。PCはBRK命令の次
　または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が
　格納されます。
③SPの値が－4されます。

図3－46　RETI，RETBの例



①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW
　格納されます。
③SPの値が＋4されます。

第4章　ポート機能

4. 1　ポートの機能

RL78/G13は，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章端子機能を参照してください。

4. 2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－1　ポートの構成（1/2）

項　目	構　成
制御レジスタ	ポート・モード・レジスタ（PM0-PM12, PM14, PM15） ポート・レジスタ（P0 -P15） プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3- PU12, PU14） ポート入力モード・レジスタ（PIM0, PIM1, PIM4, PIM5, PIM8, PIM14） ポート出力モード・レジスタ（POM0, POM1, POM4, POM5, POM7-POM9, POM14） ポート・モード・コントロール・レジスタ（PMC0, PMC3, PMC10-PMC12, PMC14） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR） グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）
ポート	・20ピン製品： 合計：16本（CMOS入出力：13本（N-ch O.D.入出力[V_{DD}耐圧]：5本），CMOS入力：3本） ・24ピン製品： 合計：20本（CMOS入出力：15本（N-ch O.D.入出力[V_{DD}耐圧]：6本），CMOS入力：3本，N-chオープン・ドレイン入出力[6V耐圧]：2本） ・25ピン製品： 合計：21本（CMOS入出力：15本（N-ch O.D.入出力[V_{DD}耐圧]：6本），CMOS入力：3本，CMOS出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：2本） ・30ピン製品： 合計：26本（CMOS入出力：21本（N-ch O.D.入出力[V_{DD}耐圧]：9本），CMOS入力：3本，N-chオープン・ドレイン入出力[6V耐圧]：2本） ・32ピン製品： 合計：28本（CMOS入出力：22本（N-ch O.D.入出力[V_{DD}耐圧]：9本），CMOS入力：3本，N-chオープン・ドレイン入出力[6V耐圧]：3本） ・36ピン製品： 合計：32本（CMOS入出力：26本（N-ch O.D.入出力[V_{DD}耐圧]：10本），CMOS入力：3本，N-chオープン・ドレイン入出力[6V耐圧]：3本）

表4－1　ポートの構成（2/2）

項　　目	構　　成
ポート	・40ピン製品： 合計：36本（CMOS入出力：28本（N-ch O.D.入出力[V_{DD}耐圧]：10本），CMOS入力：5本，N-ch オープン・ドレイン入出力[6V耐圧]：3本） ・44ピン製品： 合計：40本（CMOS入出力：31本（N-ch O.D.入出力[V_{DD}耐圧]：10本），CMOS入力：5本，N-ch オープン・ドレイン入出力[6V耐圧]：4本） ・48ピン製品： 合計：44本（CMOS入出力：34本（N-ch O.D.入出力[V_{DD}耐圧]：11本），CMOS入力：5本，CMOS 出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：4本） ・52ピン製品： 合計：48本（CMOS入出力：38本（N-ch O.D.入出力[V_{DD}耐圧]：13本），CMOS入力：5本，CMOS 出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：4本） ・64ピン製品： 合計：58本（CMOS入出力：48本（N-ch O.D.入出力[EV_{DD}耐圧]：15本），CMOS入力：5本，CMOS 出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：4本） ・80ピン製品： 合計：74本（CMOS入出力：64本（N-ch O.D.入出力[EV_{DD}耐圧]：21本），CMOS入力：5本，CMOS 出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：4本） ・100ピン製品： 合計：92本（CMOS入出力：82本（N-ch O.D.入出力[EV_{DD}耐圧]：24本），CMOS入力：5本，CMOS 出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：4本） ・128ピン製品： 合計：120本（CMOS入出力：110本（N-ch O.D.入出力[EV_{DD}耐圧]：25本），CMOS入力：5本，CMOS 出力：1本，N-chオープン・ドレイン入出力[6V耐圧]：4本）
プルアップ抵抗	・20ピン製品　　：合計：10本 ・24ピン製品　　：合計：12本 ・25ピン製品　　：合計：12本 ・30ピン製品　　：合計：17本 ・32ピン製品　　：合計：18本 ・36ピン製品　　：合計：20本 ・40ピン製品　　：合計：21本 ・44ピン製品　　：合計：23本 ・48ピン製品　　：合計：26本 ・52ピン製品　　：合計：30本 ・64ピン製品　　：合計：40本 ・80ピン製品　　：合計：52本 ・100ピン製品　　：合計：67本 ・128ピン製品　　：合計：95本

4. 2. 1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03, P04端子の入力は，ポート入力モード・レジスタ0（PIM0）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00, P02-P04端子の出力は，ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

P00-P03端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ0（PMC0）で“デジタル入出力“を設定してください（1ビット単位で設定可能）。

また，兼用機能としてタイマの入出力，A/Dコンバータのアナログ入力，シリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，以下のようになります。

- 20ピン，24ピン，25ピン，30ピン，32ピン製品のP00, P01端子　…　アナログ入力
- その他の製品のP00, P01, P04-P07端子　…　入力モード
- その他の製品のP02, P03端子　…　アナログ入力

注1.　20～52ピン製品の場合
　2.　64～128ピン製品の場合

4. 2. 2　ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P17端子の入力は，ポート入力モード・レジスタ1（PIM1）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10-P15, P17端子の出力は，ポート出力モード・レジスタ1（POM1）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，プログラミングUARTの送受信，タイマの入出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

注1.　20～52ピン製品の場合
　2.　64～128ピン製品の場合

4. 2. 3　ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの＋側基準電圧入力，A/Dコンバータの－側基準電圧入力があります。

P20/ANI0-P27/ANI7をデジタル入出力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で“デジタル入出力”に設定して，上位ビットから使用してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

表4－2　P20/ANI0-P27/ANI7端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P20/ANI0-P27/ANI7はすべてアナログ入力になります。

4. 2. 4　ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P35-P37端子は，ポート・モード・コントロール・レジスタ3（PMC3）の設定により1ビット単位でデジタル入出力／アナログ入力の指定ができます。

また，兼用機能として外部割り込み要求入力，リアルタイム・クロックの補正クロック出力，クロック／ブザー出力，タイマの入出力，A/Dコンバータのアナログ入力があります。

リセット信号の発生により，P30-P34は入力モードになり，P35-P37はアナログ入力になります。

4. 2. 5　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P43, P44端子の入力は，ポート入力モード・レジスタ4（PIM4）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P43-P45端子の出力は，ポート出力モード・レジスタ4（POM4）により1ビット単位でN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能です。

また，兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，タイマの入出力，シリアル・インタフェースのデータ入出力，クロック入出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

4. 2. 6　ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P53-P55端子の入力は，ポート入力モード・レジスタ5（PIM5）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50, P52-P55端子の出力は，ポート出力モード・レジスタ5（POM5）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，入力モードになります。

注1.　24～52ピン製品の場合
　2.　64～128ピン製品の場合

4. 2. 7　ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。P64-P67端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ6（PU6）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は，N-chオープン・ドレイン出力（6 V耐圧）です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 8　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P71, P74端子の出力は，ポート出力モード・レジスタ7（POM7）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）に設定可能です。

また，兼用機能としてキー割り込み入力，シリアル・インタフェースのデータ入出力，クロック入出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

注1.　36～52ピン製品の場合
　2.　64～128ピン製品の場合

4. 2. 9　ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8（PM8）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ8（PU8）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P80, P81端子の入力は，ポート入力モード・レジスタ8（PIM8）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80-P82端子の出力は，ポート出力モード・レジスタ8（POM8）により1ビット単位でN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能です。

リセット信号の発生により，入力モードになります。

4. 2. 10　ポート9

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9（PM9）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ9（PU9）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P96端子の出力は，ポート出力モード・レジスタ9（POM9）により1ビット単位でN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 11　ポート10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ10（PM10）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ10（PU10）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P100端子は，ポート・モード・コントロール・レジスタ10（PMC10）の設定によりデジタル入出力／アナログ入力の指定ができます。

また，兼用機能としてタイマの入出力，A/Dコンバータのアナログ入力があります。

リセット信号の発生により，P100はアナログ入力になります。P101-P106は入力モードになります。

4. 2. 12　ポート11

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ11（PM11）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ11（PU11）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P115-P117端子は，ポート・モード・コントロール・レジスタ11（PMC11）の設定により1ビット単位でデジタル入出力／アナログ入力の指定ができます。

また，兼用機能として，A/Dコンバータのアナログ入力があります。

リセット信号の発生により，P110-P114は入力モードになります。P115-P117はアナログ入力になります。

4. 2. 13　ポート12

P120, P125-P127は出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ12（PM12）により，1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力専用ポートです。

P120端子は，ポート・モード・コントロール・レジスタ12（PMC12）の設定によりデジタル入出力／アナログ入力の指定ができます。

また兼用機能としてA/Dコンバータのアナログ入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により，P120はアナログ入力になります。P121-P127は入力モードになります。

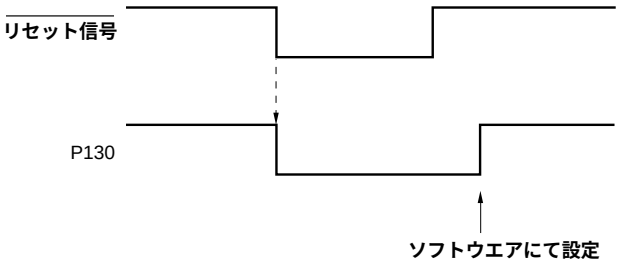
4. 2. 14　ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード，P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

備考　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4. 2. 15　ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14（PM14）により1ビット単位で入力モード／出力モードの指定ができます。P140-P147端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ14（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P142, P143端子の入力は，ポート入力モード・レジスタ14（PIM14）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P142-P144端子の出力は，ポート出力モード・レジスタ14（POM14）により1ビット単位でN-chオープン・ドレイン出力（EV_{DD}耐圧）に設定可能です。

P147端子は，ポート・モード・コントロール・レジスタ14（PMC14）の設定によりデジタル入出力／アナログ入力の指定ができます。

また，兼用機能としてクロック／ブザー出力，外部割り込み要求入力，A/Dコンバータのアナログ入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマ入出力があります。

リセット信号の発生により，P140-P146は入力モードになります。P147はアナログ入力になります。

4. 2. 16　ポート15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15（PM15）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力があります。

P150/ANI8-P156/ANI14をデジタル入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で ” デジタル入出力 ” に設定して，かつPM15レジスタで入力モードに設定して，上位ビットから使用してください。

P150/ANI8-P156/ANI14をデジタル出力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で ” デジタル入出力 ” に設定して，かつPM15レジスタで出力モードに設定して，上位ビットから使用してください。

P150/ANI8-P156/ANI14をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM15レジスタで入力モードに設定して，下位ビットから使用してください。

表4ー3　P150/ANI8-P156/ANI14端子機能の設定

ADPCレジスタ	PM15レジスタ	ADSレジスタ	P150/ANI8-P156/ANI14端子
デジタル入出力選択	入力モード	–	デジタル入力
	出力モード	–	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P150/ANI8-P156/ANI14はすべてアナログ入力になります。

4. 3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- プルアップ抵抗オプション・レジスタ（PUxx）
- ポート入力モード・レジスタ（PIMx）
- ポート出力モード・レジスタ（POMx）
- ポート・モード・コントロール・レジスタ（PMCxx）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）
- 周辺I/Oリダイレクション・レジスタ（PIOR）
- グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表4－4, 表4－5を参照してください。また，搭載していないビットには必ず初期値を設定してください。

表4－4　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（20ピン製品～64ピン製品）（1/3）

ポート		ビット名						64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PMCxxレジスタ											
ポート0	0	PM00	P00	PU00	－	POM00	PMC00[注]	○	○	○	○	○	○	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	－	PMC01[注]	○	○	○	○	○	○	○	○	○	○	○
	2	PM02	P02	PU02	－	POM02	PMC02	○	○	－	－	－	－	－	－	－	－	－
	3	PM03	P03	PU03	PIM03	POM03	PMC03	○	○	－	－	－	－	－	－	－	－	－
	4	PM04	P04	PU04	PIM04	POM04	－	○	－	－	－	－	－	－	－	－	－	－
	5	PM05	P05	PU05	－	－	－	○	－	－	－	－	－	－	－	－	－	－
	6	PM06	P06	PU06	－	－	－	○	－	－	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
ポート1	0	PM10	P10	PU10	PIM10	POM10	－	○	○	○	○	○	○	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	－	○	○	○	○	○	○	○	○	○	○	○
	2	PM12	P12	PU12	－	POM12	－	○	○	○	○	○	○	○	○	○	○	○
	3	PM13	P13	PU13	PIM13	POM13	－	○	○	○	○	○	○	○	○	－	－	－
	4	PM14	P14	PU14	PIM14	POM14	－	○	○	○	○	○	○	○	○	－	－	－
	5	PM15	P15	PU15	PIM15	POM15	－	○	○	○	○	○	○	○	○	－	－	－
	6	PM16	P16	PU16	PIM16	－	－	○	○	○	○	○	○	○	○	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	－	○	○	○	○	○	○	○	○	○	○	○
ポート2	0	PM20	P20	－	－	－	－	○	○	○	○	○	○	○	○	○	○	○
	1	PM21	P21	－	－	－	－	○	○	○	○	○	○	○	○	○	○	○
	2	PM22	P22	－	－	－	－	○	○	○	○	○	○	○	○	○	○	○
	3	PM23	P23	－	－	－	－	○	○	○	○	○	○	○	○	－	－	－
	4	PM24	P24	－	－	－	－	○	○	○	○	○	○	－	－	－	－	－
	5	PM25	P25	－	－	－	－	○	○	○	○	○	○	－	－	－	－	－
	6	PM26	P26	－	－	－	－	○	○	○	○	○	－	－	－	－	－	－
	7	PM27	P27	－	－	－	－	○	○	○	○	－	－	－	－	－	－	－

注　20ピン，24ピン，25ピン，30ピン，32ピン製品のみ

表4ー4　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット
（20ピン製品～64ピン製品）（2/3）

ポート		ビット名						64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ											
ポート3	0	PM30	P30	PU30	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	○
	1	PM31	P31	PU31	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	ー
	2	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	3	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	4	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート4	0	PM40	P40	PU40	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	○
	1	PM41	P41	PU41	ー	ー	ー	○	○	○	○	ー	ー	ー	ー	ー	ー	ー
	2	PM42	P42	PU42	ー	ー	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	3	PM43	P43	PU43	ー	ー	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	4	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート5	0	PM50	P50	PU50	ー	POM50	ー	○	○	○	○	○	○	○	○	○	○	ー
	1	PM51	P51	PU51	ー	ー	ー	○	○	○	○	○	○	○	○	ー	ー	ー
	2	PM52	P52	PU52	ー	ー	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	3	PM53	P53	PU53	ー	ー	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	4	PM54	P54	PU54	ー	ー	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	PM55	P55	PU55	PIM55	POM55	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート6	0	PM60	P60	ー	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	ー
	1	PM61	P61	ー	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	ー
	2	PM62	P62	ー	ー	ー	ー	○	○	○	○	○	○	○	ー	ー	ー	ー
	3	PM63	P63	ー	ー	ー	ー	○	○	○	○	ー	ー	ー	ー	ー	ー	ー
	4	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート7	0	PM70	P70	PU70	ー	ー	ー	○	○	○	○	○	○	○	ー	ー	ー	ー
	1	PM71	P71	PU71	ー	POM71	ー	○	○	○	○	○	○	ー	ー	ー	ー	ー
	2	PM72	P72	PU72	ー	ー	ー	○	○	○	○	○	○	ー	ー	ー	ー	ー
	3	PM73	P73	PU73	ー	ー	ー	○	○	○	○	○	ー	ー	ー	ー	ー	ー
	4	PM74	P74	PU74	ー	POM74	ー	○	○	○	ー	ー	ー	ー	ー	ー	ー	ー
	5	PM75	P75	PU75	ー	ー	ー	○	○	○	ー	ー	ー	ー	ー	ー	ー	ー
	6	PM76	P76	PU76	ー	ー	ー	○	○	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	PM77	P77	PU77	ー	ー	ー	○	○	ー	ー	ー	ー	ー	ー	ー	ー	ー

表4ー4　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット
（20ピン製品～64ピン製品）（3/3）

ポート		ビット名						64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PMCxxレジスタ											
ポート8	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート9	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート10	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート11	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート12	0	PM120	P120	PU120	ー	ー	PMC120	○	○	○	○	○	○	○	○	ー	ー	ー
	1	ー	P121	ー	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	○
	2	ー	P122	ー	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	○
	3	ー	P123	ー	ー	ー	ー	○	○	○	○	○	ー	ー	ー	ー	ー	ー
	4	ー	P124	ー	ー	ー	ー	○	○	○	○	○	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート13	0	ー	P130	ー	ー	ー	ー	○	○	○	ー	ー	ー	ー	ー	○	ー	ー
	1	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	2	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	3	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	4	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	P137	ー	ー	ー	ー	○	○	○	○	○	○	○	○	○	○	○
ポート14	0	PM140	P140	PU140	ー	ー	ー	○	○	○	ー	ー	ー	ー	ー	ー	ー	ー
	1	PM141	P141	PU141	ー	ー	ー	○	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	2	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	3	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	4	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	PM146	P146	PU146	ー	ー	ー	○	○	○	○	ー	ー	ー	ー	ー	ー	ー
	7	PM147	P147	PU147	ー	ー	PMC147	○	○	○	○	○	○	○	○	○	○	○
ポート15	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー

表4ー5　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（80ピン製品～128ピン製品）（1/4）

ポート		ビット名						128ピン	100ピン	80ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PMCxxレジスタ			
ポート0	0	PM00	P00	PU00	ー	POM00	ー	○	○	○
	1	PM01	P01	PU01	PIM01	ー	ー	○	○	○
	2	PM02	P02	PU02	ー	POM02	PMC02	○	○	○
	3	PM03	P03	PU03	PIM03	POM03	PMC03	○	○	○
	4	PM04	P04	PU04	PIM04	POM04	ー	○	○	○
	5	PM05	P05	PU05	ー	ー	ー	○	○	○
	6	PM06	P06	PU06	ー	ー	ー	○	○	○
	7	PM07	P07	PU07	ー	ー	ー	○	ー	ー
ポート1	0	PM10	P10	PU10	PIM10	POM10	ー	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	ー	○	○	○
	2	PM12	P12	PU12	ー	POM12	ー	○	○	○
	3	PM13	P13	PU13	PIM13	POM13	ー	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	ー	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	ー	○	○	○
	6	PM16	P16	PU16	PIM16	ー	ー	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	ー	○	○	○
ポート2	0	PM20	P20	ー	ー	ー	ー	○	○	○
	1	PM21	P21	ー	ー	ー	ー	○	○	○
	2	PM22	P22	ー	ー	ー	ー	○	○	○
	3	PM23	P23	ー	ー	ー	ー	○	○	○
	4	PM24	P24	ー	ー	ー	ー	○	○	○
	5	PM25	P25	ー	ー	ー	ー	○	○	○
	6	PM26	P26	ー	ー	ー	ー	○	○	○
	7	PM27	P27	ー	ー	ー	ー	○	○	○
ポート3	0	PM30	P30	PU30	ー	ー	ー	○	○	○
	1	PM31	P31	PU31	ー	ー	ー	○	○	○
	2	PM32	P32	PU32	ー	ー	ー	○	ー	ー
	3	PM33	P33	PU33	ー	ー	ー	○	ー	ー
	4	PM34	P34	PU34	ー	ー	ー	○	ー	ー
	5	PM35	P35	PU35	ー	ー	PMC35	○	ー	ー
	6	PM36	P36	PU36	ー	ー	PMC36	○	ー	ー
	7	PM37	P37	PU37	ー	ー	PMC37	○	ー	ー

表4ー5　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（80ピン製品～128ピン製品）（2/4）

ポート		ビット名						128ピン	100ピン	80ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PMCxxレジスタ			
ポート4	0	PM40	P40	PU40	ー	ー	ー	○	○	○
	1	PM41	P41	PU41	ー	ー	ー	○	○	○
	2	PM42	P42	PU42	ー	ー	ー	○	○	○
	3	PM43	P43	PU43	PIM43	POM43	ー	○	○	○
	4	PM44	P44	PU44	PIM44	POM44	ー	○	○	○
	5	PM45	P45	PU45	ー	POM45	ー	○	○	○
	6	PM46	P46	PU46	ー	ー	ー	○	○	ー
	7	PM47	P47	PU47	ー	ー	ー	○	○	ー
ポート5	0	PM50	P50	PU50	ー	POM50	ー	○	○	○
	1	PM51	P51	PU51	ー	ー	ー	○	○	○
	2	PM52	P52	PU52	ー	POM52	ー	○	○	○
	3	PM53	P53	PU53	PIM53	POM53	ー	○	○	○
	4	PM54	P54	PU54	PIM54	POM54	ー	○	○	○
	5	PM55	P55	PU55	PIM55	POM55	ー	○	○	○
	6	PM56	P56	PU56	ー	ー	ー	○	○	ー
	7	PM57	P57	PU57	ー	ー	ー	○	○	ー
ポート6	0	PM60	P60	ー	ー	ー	ー	○	○	○
	1	PM61	P61	ー	ー	ー	ー	○	○	○
	2	PM62	P62	ー	ー	ー	ー	○	○	○
	3	PM63	P63	ー	ー	ー	ー	○	○	○
	4	PM64	P64	PU64	ー	ー	ー	○	○	○
	5	PM65	P65	PU65	ー	ー	ー	○	○	○
	6	PM66	P66	PU66	ー	ー	ー	○	○	○
	7	PM67	P67	PU67	ー	ー	ー	○	○	○
ポート7	0	PM70	P70	PU70	ー	ー	ー	○	○	○
	1	PM71	P71	PU71	ー	POM71	ー	○	○	○
	2	PM72	P72	PU72	ー	ー	ー	○	○	○
	3	PM73	P73	PU73	ー	ー	ー	○	○	○
	4	PM74	P74	PU74	ー	POM74	ー	○	○	○
	5	PM75	P75	PU75	ー	ー	ー	○	○	○
	6	PM76	P76	PU76	ー	ー	ー	○	○	○
	7	PM77	P77	PU77	ー	ー	ー	○	○	○
ポート8	0	PM80	P80	PU80	PIM80	POM80	ー	○	○	ー
	1	PM81	P81	PU81	PIM81	POM81	ー	○	○	ー
	2	PM82	P82	PU82	ー	POM82	ー	○	○	ー
	3	PM83	P83	PU83	ー	ー	ー	○	○	ー
	4	PM84	P84	PU84	ー	ー	ー	○	○	ー
	5	PM85	P85	PU85	ー	ー	ー	○	○	ー
	6	PM86	P86	PU86	ー	ー	ー	○	○	ー
	7	PM87	P87	PU87	ー	ー	ー	○	○	ー

表4ー5　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（80ピン製品～128ピン製品）（3/4）

ポート		ビット名						128ピン	100ピン	80ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PMCxxレジスタ			
ポート9	0	PM90	P90	PU90	ー	ー	ー	○	ー	ー
	1	PM91	P91	PU91	ー	ー	ー	○	ー	ー
	2	PM92	P92	PU92	ー	ー	ー	○	ー	ー
	3	PM93	P93	PU93	ー	ー	ー	○	ー	ー
	4	PM94	P94	PU94	ー	ー	ー	○	ー	ー
	5	PM95	P95	PU95	ー	ー	ー	○	ー	ー
	6	PM96	P96	PU96	ー	POM96	ー	○	ー	ー
	7	PM97	P97	PU97	ー	ー	ー	○	ー	ー
ポート10	0	PM100	P100	PU100	ー	ー	PMC100	○	○	○
	1	PM101	P101	PU101	ー	ー	ー	○	○	ー
	2	PM102	P102	PU102	ー	ー	ー	○	○	ー
	3	PM103	P103	PU103	ー	ー	ー	○	ー	ー
	4	PM104	P104	PU104	ー	ー	ー	○	ー	ー
	5	PM105	P105	PU105	ー	ー	ー	○	ー	ー
	6	PM106	P106	PU106	ー	ー	ー	○	ー	ー
	7	ー	ー	ー	ー	ー	ー	ー	ー	ー
ポート11	0	PM110	P110	PU110	ー	ー	ー	○	○	○
	1	PM111	P111	PU111	ー	ー	ー	○	○	○
	2	PM112	P112	PU112	ー	ー	ー	○	ー	ー
	3	PM113	P113	PU113	ー	ー	ー	○	ー	ー
	4	PM114	P114	PU114	ー	ー	ー	○	ー	ー
	5	PM115	P115	PU115	ー	ー	PMC115	○	ー	ー
	6	PM116	P116	PU116	ー	ー	PMC116	○	ー	ー
	7	PM117	P117	PU117	ー	ー	PMC117	○	ー	ー
ポート12	0	PM120	P120	PU120	ー	ー	PMC120	○	○	○
	1	ー	P121	ー	ー	ー	ー	○	○	○
	2	ー	P122	ー	ー	ー	ー	○	○	○
	3	ー	P123	ー	ー	ー	ー	○	○	○
	4	ー	P124	ー	ー	ー	ー	○	○	○
	5	PM125	P125	PU125	ー	ー	ー	○	ー	ー
	6	PM126	P126	PU126	ー	ー	ー	○	ー	ー
	7	PM127	P127	PU127	ー	ー	ー	○	ー	ー
ポート13	0	ー	P130	ー	ー	ー	ー	○	○	○
	1	ー	ー	ー	ー	ー	ー	ー	ー	ー
	2	ー	ー	ー	ー	ー	ー	ー	ー	ー
	3	ー	ー	ー	ー	ー	ー	ー	ー	ー
	4	ー	ー	ー	ー	ー	ー	ー	ー	ー
	5	ー	ー	ー	ー	ー	ー	ー	ー	ー
	6	ー	ー	ー	ー	ー	ー	ー	ー	ー
	7	ー	P137	ー	ー	ー	ー	○	○	○

表4－5　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット
（80ピン製品～128ピン製品）（4/4）

ポート		ビット名						128ピン	100ピン	80ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PMCxxレジスタ			
ポート14	0	PM140	P140	PU140	－	－	－	○	○	○
	1	PM141	P141	PU141	－	－	－	○	○	○
	2	PM142	P142	PU142	PIM142	POM142	－	○	○	○
	3	PM143	P143	PU143	PIM143	POM143	－	○	○	○
	4	PM144	P144	PU144	－	POM144	－	○	○	○
	5	PM145	P145	PU145	－	－	－	○	○	－
	6	PM146	P146	PU146	－	－	－	○	○	○
	7	PM147	P147	PU147	－	－	PMC147	○	○	○
ポート15	0	PM150	P150	－	－	－	－	○	○	○
	1	PM151	P151	－	－	－	－	○	○	○
	2	PM152	P152	－	－	－	－	○	○	○
	3	PM153	P153	－	－	－	－	○	○	○
	4	PM154	P154	－	－	－	－	○	○	－
	5	PM155	P155	－	－	－	－	○	○	－
	6	PM156	P156	－	－	－	－	○	○	－
	7	－	－	－	－	－	－	－	－	－

4. 3. 1　ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，4. 5　兼用機能使用時のレジスタ設定を参照し，設定してください。

図4－1　ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM10	1	PM106	PM105	PM104	PM103	PM102	PM101	PM100	FFF2AH	FFH	R/W
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	FFF2BH	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-12, 14, 15; n = 0-7)
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 2　ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます[注]。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注　P02，P03，P20-P27，P35-P37，P100，P115-P117，P120，P147，P150-P156をA/Dコンバータのアナログ入力機能として設定した場合に，ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4－2　ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H（出力ラッチ）	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H（出力ラッチ）	R/W
P10	0	P106	P105	P104	P103	P102	P101	P100	FFF0AH	00H（出力ラッチ）	R/W
P11	P117	P116	P115	P114	P113	P112	P111	P110	FFF0BH	00H（出力ラッチ）	R/W
P12	P127	P126	P125	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W注1
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H（出力ラッチ）	R/W
P15	0	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H（出力ラッチ）	R/W

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 1.　P121-P124, P137はRead Onlyです。

2.　P137：不定

P130：0（出力ラッチ）

注意　搭載していないビットには必ず初期値を設定してください。

備考　m = 0-15 ; n = 0-7

4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定（PMC = 1, ADPC = 1）にしている場合も同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H（PU4のみ01H）になります。

注意　PIMnレジスタがあるポートで，異電位デバイスからTTLバッファに入力する場合は，PUmn = 0を設定して，外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4－3　プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU9	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90	F0039H	00H	R/W
PU10	0	PU106	PU105	PU104	PU103	PU102	PU101	PU100	F003AH	00H	R/W
PU11	PU117	PU116	PU115	PU114	PU113	PU112	PU111	PU110	F003BH	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 4　ポート入力モード・レジスタ（PIMxx）

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－4　ポート入力モード・レジスタのフォーマット（128ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	0	0	F0044H	00H	R/W
PIM5	0	0	PIM55	PIM54	PIM53	0	0	0	F0045H	00H	R/W
PIM8	0	0	0	0	0	0	PIM81	PIM80	F0048H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 （m = 0, 1, 4, 5, 8, 14 ; n = 0-7）
0	通常入力バッファ
1	TTL入力バッファ

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 5　ポート出力モード・レジスタ（POMxx）

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I^2C通信時のSDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31端子にN-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードを選択できます。

また，POMxxレジスタはPUxxレジスタとともに，内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モード（POMmn = 1）を設定したビットは，内蔵プルアップ抵抗が接続されません。

図4－5　ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM4	0	0	POM45	POM44	POM43	0	0	0	F0054H	00H	R/W
POM5	0	0	POM55	POM54	POM53	POM52	0	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	0	POM71	0	F0057H	00H	R/W
POM8	0	0	0	0	0	POM82	POM81	POM80	F0058H	00H	R/W
POM9	0	POM96	0	0	0	0	0	0	F0059H	00H	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W

POMmn	Pmn端子の出力モードの選択 （m = 0, 1, 4, 5, 7-9, 14 ; n = 0-7）
0	通常出力モード
1	N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モード

注 1.　20～52ピン製品の場合

2.　64～128ピン製品の場合

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4－6　ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03	PMC02	PMC01	PMC00	F0060H	FFH	R/W
PMC3	PMC37	PMC36	PMC35	1	1	1	1	1	F0063H	FFH	R/W
PMC10	1	1	1	1	1	1	1	PMC100	F006AH	FFH	R/W
PMC11	PMC117	PMC116	PMC115	1	1	1	1	1	F006BH	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 （m = 0, 3, 10-12, 14；n = 0-3, 5-7）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注意 1.　PMCxxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 3, 10-12, 14（PM0, PM3, PM10-PM12, PM14）で入力モードに選択してください。

2.　PMCxxレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　搭載していないビットには必ず初期値を設定してください。

4. 3. 7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P20-ANI7/P27, ANI8/P150-ANI14/P156端子を，A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え														
				ANI14/P156	ANI13/P155	ANI12/P154	ANI11/P153	ANI10/P152	ANI9/P151	ANI8/P150	ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	1	1	1	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A
1	0	0	0	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
1	0	0	1	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A
1	0	1	0	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
1	0	1	1	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
1	1	0	0	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
1	1	0	1	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A
1	1	1	0	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	1	1	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A

注意1.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2, 15（PM2, PM15）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は，PIORレジスタでポートを割り当ててから，動作許可にしてください。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIORレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット

アドレス：F0077H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	PIOR5	PIOR4	PIOR3	PIOR2	PIOR1	PIOR0

ビット	兼用機能	128/100ピン		80ピン		64ピン		52ピン		48ピン		44ピン		40/36/32/30ピン	
		設定値		設定値		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1	0	1	0	1
PIOR5	INTP1	P46	P56	兼用機能として使用できません。0（初期値）を設定してください。											
	INTP3	P30	P57												
	INTP4	P31	P146												
	INTP6	P140	P84												
	INTP7	P141	P85												
	INTP8	P74	P86												
	INTP9	P75	P87												
	TxD1	P02	P82												
	RxD1	P03	P81												
	SCL10	P04	P80												
	SDA10	P03	P81												
	SI10	P03	P81												
	SO10	P02	P82												
	SCK10	P04	P80												
PIOR4	PCLBUZ1	P141	P55	P141	P55	P141	P55								
	INTP5	P16	P12	P16	P12	P16	P12								
PIOR3	PCLBUZ0	P140	P31	P140	P31	P140	P31	P140	P31	P140	P31				
PIOR2	SCLA0	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14
	SDAA0	P61	P13	P61	P13	P61	P13	P61	P13	P61	P13	P61	P13	P61	P13
PIOR1	INTP10	P76	P110	P76	P110	P76	P52	P76	－	－	－	－	－	－	－
	INTP11	P77	P111	P77	P111	P77	P53	P77	－	－	－	－	－	－	－
	TxD2	P13	P77	P13	P77	P13	P77	P13	P77	P13	－	P13	－	P13	－
	RxD2	P14	P76	P14	P76	P14	P76	P14	P76	P14	－	P14	－	P14	－
	SCL20	P15	－	P15	－	P15	－	P15	－	P15	－	P15	－	P15	－
	SDA20	P14	－	P14	－	P14	－	P14	－	P14	－	P14	－	P14	－
	SI20	P14	－	P14	－	P14	－	P14	－	P14	－	P14	－	P14	－
	SO20	P13	－	P13	－	P13	－	P13	－	P13	－	P13	－	P13	－
	SCK20	P15	－	P15	－	P15	－	P15	－	P15	－	P15	－	P15	－
	TxD0	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17
	RxD0	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16
	SCL00	P10	－	P10	－	P10	－	P10	－	P10	－	P10	－	P10	－
	SDA00	P11	－	P11	－	P11	－	P11	－	P11	－	P11	－	P11	－
	SI00	P11	P16	P11	P16	P11	P16	P11	－	P11	－	P11	－	P11	－
	SO00	P12	P17	P12	P17	P12	P17	P12	－	P12	－	P12	－	P12	－
	SCK00	P10	P55	P10	P55	P10	P55	P10	－	P10	－	P10	－	P10	－
PIOR0	TI02/TO02	P17	P15	P17	P15	P17	P15	P17	P15	P17	P15	P17	P15	P17	P15
	TI03/TO03	P31	P14	P31	P14	P31	P14	P31	P14	P31	P14	P31	P14	P31	P14
	TI04/TO04	P42	P13	P42	P13	P42	P13	－	P13	－	P13	－	P13	－	P13
	TI05/TO05	P46	P12	P05	P12	P05	P12	－	P12	－	P12	－	P12	－	P12
	TI06/TO06	P102	P11	P06	P11	P06	P11	－	P11	－	P11	－	P11	－	P11
	TI07/TO07	P145	P10	P41	P10	P41	P10	P41	P10	P41	P10	P41	P10	－	P10

注意　20～25**ピン製品では，**PIOR**レジスタは非搭載です。**

備考　**－：兼用機能として使用できません。**

4. 3. 9　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）

EV_{DD}の電源をオフする時に，EV_{DD}を電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EV_{DD}を電源とする入出力ポートを全て使用しない場合，GDIDISレジスタをセット（1）してEV_{DD}の電源をオフすることにより，低消費電力にすることができます。

GDIDIS0ビットを1に設定することにより，EV_{DD}を電源とするすべての入力バッファを入力禁止とし，EV_{DD}の電源をオフした時の貫通電流を防止します。

GDIDISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　GDIDISレジスタは，64, 80, 100, 128ピン製品に搭載しています。

図4－9　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）

アドレス：F007DH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EV_{DD}電源の入力バッファ設定
0	入力バッファの入力許可（デフォルト）
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

EV_{DD}の電源をオフする場合は，次の手順で設定してください。

① 入力バッファの入力禁止（GDIDIS0 = 1）に設定

② EV_{DD}の電源オフ

EV_{DD}の電源を再投入する場合は，次の手順で設定してください。

① EV_{DD}の電源オン

② 入力バッファの入力許可（GDIDIS0 = 0）に設定

注意1.　EV_{DD}を電源とする入力ポートに，EV_{DD}以上の入力電圧を入力しないでください。

2.　入力バッファの入力禁止（GDIDIS0 = 1）を設定した場合，EV_{DD}を電源とするポートのポート・レジスタ（Pxx）の読み出し値は“1”となります。また，ポート出力モード・レジスタ（POMxx）に"1"（N-chオープン・ドレイン出力（EV_{DD}耐圧））設定時は，ポート・レジスタ（Pxx）の読み出し値は“0”となります。

備考1.　GDIDISレジスタは，64, 80, 100, 128ピン製品に搭載しています。

2.　入力バッファの入力禁止（GDIDIS0 = 1）を設定した場合でも，EV_{DD}を電源とするポート機能を使用しない周辺機能は使用できます。

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1　入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2　入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4. 4. 4　EV_{DD}≦V_{DD}による異電位（1.8 V系, 2.5 V系, 3 V系）対応

異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続時には，EV_{DD}を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

4. 4. 5　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ（PIMxx），ポート出力モード・レジスタ（POMxx）で入出力バッファを切り換えることにより，異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ0, 1, 4, 5, 8, 14（PIM0, PIM1, PIM4, PIM5, PIM8, PIM14）をビットごとに設定して，通常入力（CMOS）/TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ0, 1, 4, 5, 8, 14（POM0, POM1, POM4, POM5, POM8, POM14）をビットごとに設定して，通常出力（CMOS）/N-chオープン・ドレイン（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

注1.　20～52ピン製品の場合
　2.　64～128ピン製品の場合

(1)　UART0-UART3, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合　：P11（P16）
UART1の場合　：P03（P81）
UART2の場合　：P14
UART3の場合　：P143
CSI00の場合　：P10, P11（P16, P55）
CSI01の場合　：P43, P44
CSI10の場合　：P03, P04（P80, P81）
CSI20の場合　：P14, P15
CSI30の場合　：P142, P143
CSI31の場合　：P53, P54

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。

② PIM0, PIM1, PIM4, PIM5, PIM8, PIM14レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，V_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

③ シリアル・アレイ・ユニットを動作許可し，UART/CSIモードに設定します。

（2）UART0-UART3, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 ：P12（P17）
UART1の場合 ：P02（P82）
UART2の場合 ：P13
UART3の場合 ：P144
CSI00の場合 ：P10, P12（P55, P17）
CSI01の場合 ：P43, P45
CSI10の場合 ：P02, P04（P82, P80）
CSI20の場合 ：P13, P15
CSI30の場合 ：P142, P144
CSI31の場合 ：P52, P54

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。

③ 該当するポートの出力ラッチに1を設定します。

④ POM0, POM1, POM4, POM5, POM8, POM14レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードに設定します。

⑤ シリアル・アレイ・ユニットを動作許可し，UART/CSIモードに設定します。

⑥ PM0, PM1, PM4, PM5, PM8, PM14レジスタを操作して出力モードに設定します。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

注1.　20～52ピン製品の場合
2.　64～128ピン製品の場合

(3) IIC00, IIC01, IIC10, IIC20, IIC30, IIC31機能の入出力ポートを，異電位（1.8 V系, 2.5 V系, 3 V系）で使用する場合の設定手順

IIC00の場合　：P10, P11
IIC01の場合　：P43, P44
IIC10の場合　：P03, P04(P80, P81)
IIC20の場合　：P14, P15
IIC30の場合　：P142, P143
IIC31の場合　：P53, P54

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0, POM1, POM4, POM5, POM14レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードに設定します。
⑤ PIM0, PIM1, PIM4, PIM5, PIM14レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，V_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
⑥ シリアル・アレイ・ユニットを動作許可し，簡易I^2Cモードに設定します。
⑦ PM0, PM1, PM4, PM5, PM14レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

注1. 20～52ピン製品の場合
2. 64～128ピン製品の場合

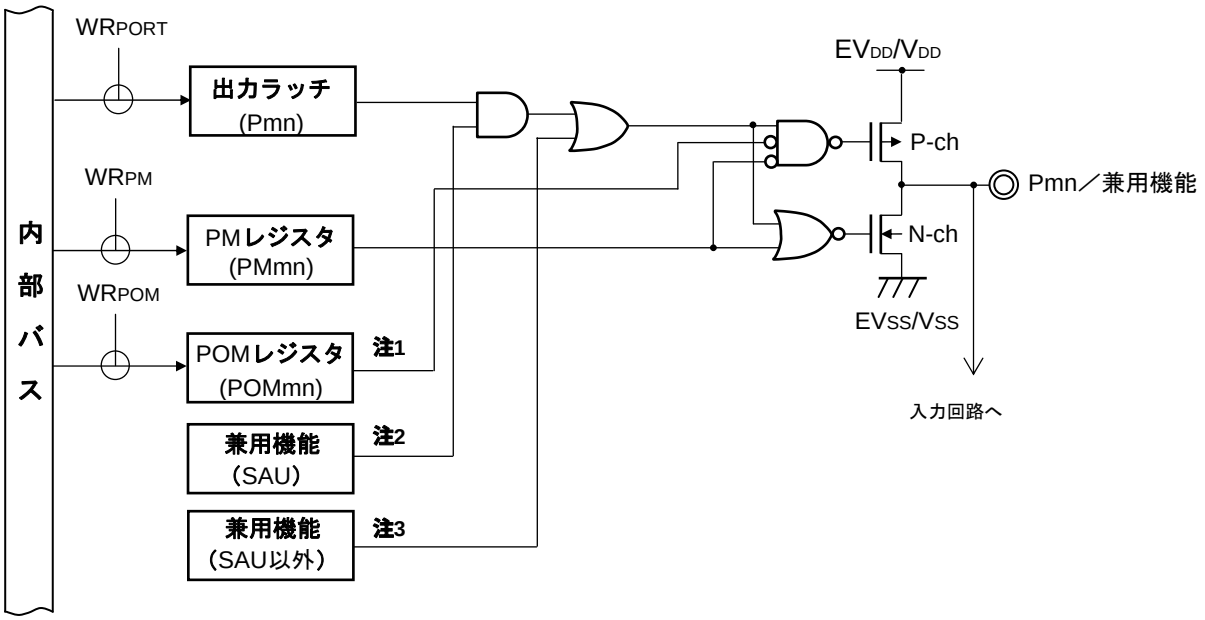
4. 5　兼用機能使用時のレジスタ設定

4. 5. 1　兼用機能使用時の基本的な考え方

最初に，アナログ入力と兼用している端子については，アナログ入力で使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4－10に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能（TAU，RTC，クロック／ブザー出力，IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4－6に示します。

図4－10　端子の出力回路の基本的な構成



注1. POMレジスタがない場合には，この信号はLow（0）と考えてください。
2. 兼用機能がない場合には，この信号はHigh（1）と考えてください。
3. 兼用機能がない場合には，この信号はLow（0）と考えてください。

備考　m：ポート番号（m = 0-15），n：ビット番号（n = 0-7）

表4－6　基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	－	出力はHigh（1）	出力はLow（0）
SAUの出力機能	High（1）	－	出力はLow（0）
SAU以外の出力機能	Low（0）	出力はHigh（1）	出力はLow（0）注

注　1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow（0）にしておく必要があります。具体的な設定方法については，4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ（PIOR）を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります

(1) SOp＝1/TxDq＝1（SAUのシリアル出力（SOp/TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど，シリアル出力（SOp/TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2) SCKp＝1/SDAr＝1/SCLr＝1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）を0（動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3) TOmn＝0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4) SDAAn＝0/SCLAn＝0（IICAを使用しない場合の設定）
IICAを使用しない場合は，IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) PCLBUZn＝0（クロック出力/ブザー出力を使用しない場合の設定）
クロック出力/ブザー出力を使用しない場合は，クロック出力選択レジスタn（CKSn）のPCLOEnビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4－7に示します。ポート機能を制御するレジスタを表4－7のように設定してください。なお，表4－7の表記については次の備考を参照してください。

備考　－　：対象外
×　：don't care
PIOR×　：周辺I/Oリダイレクション・レジスタ
POM××：ポート出力モード・レジスタ
PMC××：ポート・モード・コントロール・レジスタ
PM××　：ポート・モード・レジスタ
P××　：ポートの出力ラッチ
（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（1/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAUの出力機能	SAU以外														
P00	P00	入力	－	×	0[注2]	1	×	×	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	0[注2]	0	0/1	TxD1 = 1 [注3]	－														
		N-chOD出力	－	1	0[注2]	0	0/1																
	ANI17	アナログ入力	－	×	1	1	×	×	－	○	○	○	○	○	×	×	×	×	×	×	×	×	×
	TI00	入力	－	×	0[注2]	1	×	×	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	TxD1	出力	－	0/1	0[注2]	0	1	×	－	○	○	○	○	○	○	○	○	○	×	×	×	×	×
P01	P01	入力	－	－	0[注2]	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	0[注2]	0	0/1	－	TO00 = 0														
	ANI16	アナログ入力	－	－	1	1	×	×	×	○	○	○	○	○	×	×	×	×	×	×	×	×	×
	TO00	出力	－	－	0[注2]	0	0	－	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	RxD1	入力	－	－	0[注2]	1	×	－	×	○	○	○	○	○	○	○	○	○	×	×	×	×	×
P02	P02	入力	－	×	0	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
		出力	－	0	0	0	0/1	TxD1/ SO10 = 1	－														
		N-chOD出力	－	1	0	0	0/1																
	ANI17	アナログ入力	－	－	1	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	TxD1	出力	PIOR5=0[注4]	0/1	0	0	1	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	SO10	出力	PIOR5=0[注4]	0/1	0	0	1	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
P03	P03	入力	－	×	0	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
		出力	－	0	0	0	0/1	SDA10 = 1 [注5]	－														
		N-chOD出力	－	1	0	0	0/1																
	ANI16	アナログ入力	－	－	1	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	SI10	入力	PIOR5=0[注4]	－	0	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	RxD1	入力	PIOR5=0[注4]	－	0	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	SDA10	入出力	PIOR5=0[注4]	－	0	0	1	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○

注 1. 30～128ピン製品のみ
2. 20～32ピン製品のみ
3. 20～48ピン製品のみ
4. 100，128ピン製品のみ
5. 64～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（2/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P04	P04	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SCK10/ SCL10 = 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SCK10	入力	PIOR5=0[注2]	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	PIOR5=0[注2]	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	SCL10	出力	PIOR5=0[注2]	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
P05	P05	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	－	－	0	0/1	－	TO05 = 0 [注3]														
	TI05	入力	PIOR0=0[注3]	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	×	×
	TO05	出力	PIOR0=0[注3]	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	○	○	×	×
P06	P06	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	－	－	0	0/1	－	TO06 = 0 [注3]														
	TI06	入力	PIOR0=0[注3]	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	×	×
	TO06	出力	PIOR0=0[注3]	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	○	○	×	×
P07	P07	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	－														
P10	P10	入力	－	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SCK00/ SCL00 = 1	(TO07)= 0 [注1]														
		N-chOD出力	－	1	－	0	0/1																
	SCK00	入力	PIOR1=0	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	PIOR1=0	0/1	－	0	1	×	(TO07)= 0 [注1]	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	SCL00	出力	PIOR1=0	0/1	－	0	1	×	(TO07)= 0 [注1]	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	(TI07)	入力	PIOR0=1	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TO07)	出力	PIOR0=1	0	－	0	0	SCK00/ SCL00 = 1	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○

注 1. 30～128ピン製品のみ
2. 100，128ピン製品のみ
3. 64，80ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（3/21）

端子名称	使用機能		PIOR×[注]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P11	P11	入力	－	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SDA00= 1	(TO06)= 0[注]														
		N-chOD出力	－	1	－	0	0/1	SDA00 = 1	(TO06)= 0[注]														
	SI00	入力	PIOR1=0	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	RxD0	入力	PIOR1=0	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	SDA00	入出力	PIOR1=0	1	－	0	1	×	(TO06)= 0[注]	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	(TI06)	入力	PIOR0=1	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TO06)	出力	PIOR0=1	0	－	0	0	SDA00 = 1	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P12	P12	入力	－	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SO00/ TxD0 = 1	(TO05)= 0[注]														
		N-chOD出力	－	1	－	0	0/1																
	SO00	出力	PIOR1=0	0/1	－	0	1	×	(TO05)= 0[注]	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	TxD0	出力	PIOR1=0	0/1	－	0	1	×	(TO05)= 0[注]	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	(INTP5)	入力	PIOR4=1	×	－	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	(TI05)	入力	PIOR0=1	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TO05)	出力	PIOR0=1	0	－	0	0	SO00/ TxD0 = 1	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P13	P13	入力	－	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	TxD2/ SO20 = 1	(TO04)= 0 (SDAA0)= 0														
		N-chOD出力	－	1	－	0	0/1																
	TxD2	出力	PIOR1=0	0/1	－	0	1	×	(TO04)= 0 (SDAA0)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	SO20	出力	PIOR1=0	0/1	－	0	1	×	(TO04) = 0 (SDAA0) = 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(SDAA0)	入出力	PIOR2=1	1	－	0	0	TxD2/ SO20 = 1	(TO04)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TI04)	入力	PIOR0=1	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TO04)	出力	PIOR0=1	0	－	0	0	TxD2/ SO20 = 1	(SDAA0)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○

注　30～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（4/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P14	P14	入力	－	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SDA20 = 1	(TO03)= 0 (SCLA0)= 0														
		N-chOD出力	－	1	－	0	0/1																
	RxD2	入力	PIOR1=0	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	SI20	入力	PIOR1=0	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	SDA20	入出力	PIOR1=0	1	－	0	1	×	(TO03)= 0 (SCLA0)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(SCLA0)	入出力	PIOR2=1	1	－	0	0	SDA20 = 1	(TO03)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TI03)	入力	PIOR0=1	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TO03)	出力	PIOR0=1	0	－	0	0	SDA20 = 1	(SCLA0)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P15	P15	入力	－	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SCK20/ SCL20 = 1	PCLBUZ1 =0[注2] (TO02)= 0														
		N-chOD出力	－	1	－	0	0/1																
	PCLBUZ1	出力	－	0	－	0	0	SCK20/ SCL20 = 1	(TO02)= 0	×	×	×	○	○	○	○	○	○	○	×	×	×	×
	SCK20	入力	PIOR1=0	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	PIOR1=0	0/1	－	0	1	×	PCLBUZ1 =0[注2] (TO02)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	SCL20	出力	PIOR1=0	0/1	－	0	1	×	PCLBUZ1 =0[注2] (TO02)= 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TI02)	入力	PIOR0=1	×	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(TO02)	出力	PIOR0=1	0	－	0	0	SCK20/ SCL20 = 1	PCLBUZ1 =0[注2]	×	×	×	○	○	○	○	○	○	○	○	○	○	○

注 1. 30～128ピン製品のみ
　 2. 30～52ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（5/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P16	P16	入力	－	－	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SO11 = 1[注2]	TO01 = 0														
	TI01	入力	－	－	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	TO01	出力	－	－	－	0	0	SO11 = 1[注2]	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	INTP5	入力	PIOR4=0[注3]	－	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	SO11	出力	－	－	－	0	1	×	TO01 = 0	○	×	×	×	×	×	×	×	×	×	×	×	×	×
	(SI00)	入力	PIOR1=1	－	－	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	(RxD0)	入力	PIOR1=1	－	－	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P17	P17	入力	－	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SDA11 = 1[注2] SO11 = 1[注4] (TxD0)= 1[注1] (SO00)= 1[注3]	TO02 = 0														
		N-chOD 出力	－	1	－	0	0/1																
	TI02	入力	PIOR0=0	×	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	TO02	出力	PIOR0=0	0	－	0	0	SDA11 = 1[注2] SO11 = 1[注4] (TxD0)= 1[注1] (SO00)= 1[注3]	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	SI11	入力	－	×	－	1	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×	×	×
	SDA11	入出力	－	1	－	0	1	×	TO02 = 0	○	×	×	×	×	×	×	×	×	×	×	×	×	×
	SO11	出力	－	0/1	－	0	1	×	TO02 = 0	×	○	○	×	×	×	×	×	×	×	×	×	×	×
	(TxD0)	出力	PIOR1=1	0/1	－	0	1	×	TO02 = 0	×	×	×	○	○	○	○	○	○	○	○	○	○	○
	(SO00)	出力	PIOR1=1	0/1	－	0	1	×	TO02 = 0	×	×	×	×	×	×	×	×	×	×	○	○	○	○

注 1. 30～128ピン製品のみ
2. 20ピン製品のみ
3. 64～128ピン製品のみ
4. 24～25ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（6/21）

端子名称	使用機能		ADPC	ADM2	PM××	P××	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力																		
P20	P20	入力	ADPC = 01H	×	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H	×	0	0/1														
	ANI0	アナログ入力	ADPC = 00H/02H～0FH	00x0xx0x， 10x0xx0x	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	AV_{REFP}	基準電圧	ADPC = 00H/02H～0FH	01x0xx0x	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P21	P21	入力	ADPC = 01H/02H	×	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H/02H	×	0	0/1														
	ANI1	アナログ入力	ADPC = 00H/3～0FH	xx00xx0x	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	AV_{REFM}	基準電圧	ADPC = 00H/3～0FH	xx10xx0x	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P22	P22	入力	ADPC = 01H～03H	×	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H～03H	×	0	0/1														
	ANI2	アナログ入力	ADPC = 00H/04H～0FH	×	1	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P23	P23	入力	ADPC = 01～04H	×	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01～04H	×	0	0/1														
	ANI3	アナログ入力	ADPC = 00H/5H～0FH	×	1	×	×	×	×	○	○	○	○	○	○	○	○	○	○	○
P24	P24	入力	ADPC = 01H～05H	×	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H～05H	×	0	0/1														
	ANI4	アナログ入力	ADPC = 00H/06H～0FH	×	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○
P25	P25	入力	ADPC = 01H～06H	×	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H～06H	×	0	0/1														
	ANI5	アナログ入力	ADPC = 00H/07H～0FH	×	1	×	×	×	×	×	×	○	○	○	○	○	○	○	○	○
P26	P26	入力	ADPC = 01H～07H	×	1	×	×	×	×	×	×	×	○	○	○	○	○	○	○	○
		出力	ADPC = 01H～07H	×	0	0/1														
	ANI6	アナログ入力	ADPC = 00H/08H～0FH	×	1	×	×	×	×	×	×	×	○	○	○	○	○	○	○	○
P27	P27	入力	ADPC = 01H～08H	×	1	×	×	×	×	×	×	×	×	○	○	○	○	○	○	○
		出力	ADPC = 01H～08H	×	0	0/1														
	ANI7	アナログ入力	ADPC = 00H/09H～0FH	×	1	×	×	×	×	×	×	×	×	○	○	○	○	○	○	○

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（7/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P30	P30	入力	－	－	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SCK11/ SCL11=1[注2]	RTC1HZ=0[注3]														
	INTP3	入力	PIOR5=0[注4]	－	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	RTC1HZ	出力	－	－	－	0	0	SCK11/ SCL11=1[注5]	×	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	SCK11	入力	－	－	－	1	×	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○	×
		出力	－	－	－	0	1	×	RTC1HZ=0[注5]	○	○	○	○	○	○	○	○	○	○	○	○	○	×
	SCL11	出力	－	－	－	0	1	×	RTC1HZ=0[注5]	○	○	○	○	○	○	○	○	○	○	○	○	○	×
P31	P31	入力	－	－	－	1	×	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	－	TO03 = 0, PLCBUZ0=0[注6], (PCLBUZ0)=0[注7]														
	TI03	入力	PIOR0=0	－	－	1	×	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	TO03	出力	PIOR0=0	－	－	0	0	－	PLCBUZ0=0[注6], (PCLBUZ0)=0[注7]	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	INTP4	入力	PIOR5=0[注4]	－	－	1	×	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCLBUZ0	出力	－	－	－	0	0	－	TO03 = 0	×	○	○	○	○	○	○	○	×	×	×	×	×	×
	(PCLBUZ0)	出力	PIOR3=1	－	－	0	0	－	TO03 = 0	×	×	×	×	×	×	×	×	○	○	○	○	○	○
P32-P34	P32-P34	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	－														
P35-P37	P35-P37	入力	－	－	0	1	－	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	0	0	0/1	－	－														
	ANI23-ANI21	アナログ入力	－	－	1	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○

注 1. 30～128ピン製品のみ
2. 20～100ピン製品のみ
3. 40～128ピン製品のみ
4. 128ピン製品のみ
5. 40～100ピン製品のみ
6. 24～44ピン製品のみ
7. 48～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（8/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P40	P40	入力	－	－	－	1	×	－	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	－	－														
P41	P41	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	－	TO07 = 0[注2]														
	TI07	入力	PIOR0=0	－	－	1	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	×	×
	TO07	出力	PIOR0=0	－	－	0	0	－	×	×	×	×	×	×	×	×	○	○	○	○	○	×	×
P42	P42	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	－	－	0	0/1	－	TO04 = 0														
	TI04	入力	PIOR0=0	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	TO04	出力	PIOR0=0	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
P43	P43	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SCK01/ SCL01 = 0[注3]	－														
		N-chOD出力	－	1	－	0	0/1																
	SCK01	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	SCL01	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P44	P44	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SDA01 = 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SI01	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	SDA01	入出力	－	1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
P45	P45	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SO01 = 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SO01	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○

注 1. 30～128ピン製品のみ
2. 44～80ピン製品のみ
3. 80～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（9/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P46	P46	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	TO05 = 0														
	INTP1	入力	PIOR5=0	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	TI05	入力	PIOR0=0	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	TO05	出力	PIOR0=0	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P47	P47	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	INTP2	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P50	P50	入力	－	－	－	1	×	×	－	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SDA11 = 1[注2]	－														
		N-chOD出力	－	1	－	0	0/1																
	INTP1	入力	－	×	－	1	×	×	－	×	○	○	○	○	○	○	○	○	○	○	○	×	×
	SI11	入力	－	×	－	1	×	×	－	×	○	○	○	○	○	○	○	○	○	○	○	○	×
	SDA11	入出力	－	1	－	0	1	×	－	×	○	○	○	○	○	○	○	○	○	○	○	○	×
P51	P51	入力	－	－	－	1	×	×	－	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SO01 = 1[注3]	－														
	INTP2	入力	－	－	－	1	×	×	－	×	×	×	○	○	○	○	○	○	○	○	○	×	×
	SO11	出力	－	－	－	0	1	×	－	×	×	×	○	○	○	○	○	○	○	○	○	○	×
P52	P52	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SO31 = 1[注4]	－														
		N-chOD出力	－	1	－	0	0/1													×			
	SO31	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	(INTP10)	入力	PIOR1=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	○	×	×	×

注 1. 30～128ピン製品のみ
2. 24～100ピン製品のみ
3. 30～100ピン製品のみ
4. 80～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（10/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P53	P53	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SDA31 =1 注	－														
		N-chOD出力	－	1	－	0	0/1													×			
	SI31	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	SDA31	入出力	－	1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	(INTP11)	入力	PIOR1=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	○	×	×	×
P54	P54	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	SCK31/ SCL1=1注	－														
		N-chOD出力	－	1	－	0	0/1													×			
	SCK31	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	SCL31	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P55	P55	入力	－	－	－	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	0	－	0	0/1	(SCK00)= 1	(PCLBUZ1) = 0														
		N-chOD出力	－	1	－	0	0/1																
	(PCLBUZ1)	出力	PIOR4=1	0	－	0	0	(SCK00)= 1	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	(SCK00)	入力	PIOR1=1	×	－	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	PIOR1=1	0/1	－	0	1	×	(PCLBUZ1) = 0	×	×	×	×	×	×	×	×	×	×	○	○	○	○
P56	P56	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP1)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P57	P57	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP3)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○

注　80～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（11/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P60	P60	入力		－	－	1	×	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力(6V耐圧)		－	－	0	0/1	－	SCLA0 = 0														
	SCLA0	入出力	PIOR2=0	－	－	0	0	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
P61	P61	入力		－	－	1	×	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力(6V耐圧)		－	－	0	0/1	－	SDAA0 = 0														
	SDAA0	入出力	PIOR2=0	－	－	0	0	－	×	×	○	○	○	○	○	○	○	○	○	○	○	○	○
P62	P62	入力	－	－	－	1	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○	○
		N-chOD出力(6V耐圧)	－	－	－	0	0/1	－	SCLA1 = 0[注2]														
	SCLA1	入出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P63	P63	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○	○
		N-chOD出力(6V耐圧)	－	－	－	0	0/1	－	SDAA1 = 0[注2]														
	SDAA1	入出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P64	P64	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	－	0	0/1	－	TO10= 0														
	TI10	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	TO10	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P65	P65	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	－	0	0/1	－	TO11= 0														
	TI11	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	TO11	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P66	P66	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	－	0	0/1	－	TO12= 0														
	TI12	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	TO12	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○

注 1. 30～128ピン製品のみ
　 2. 80～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（12/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P67	P67	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	－	0	0/1	－	TO13= 0														
	TI13	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	TO13	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P70	P70	入力	－	－	－	1	×	×	－	×	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SCK21/ SCL21 = 1[注1]	－														
	KR0	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	SCK21	入力	－	－	－	1	×	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	1	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
	SCL21	出力	－	－	－	0	1	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
P71	P71	入力	－	－	－	1	×	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SDA21 = 1	－														
		N-chOD出力	－	1	－	0	0/1																
	KR1	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	SI21	入力	－	×	－	1	×	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
	SDA21	入出力	－	1	－	0	1	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
P72	P72	入力	－	－	－	1	×	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SO21 = 1	－														
	KR2	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	SO21	出力	－	－	－	0	1	×	－	×	×	×	×	×	○	○	○	○	○	○	○	○	○
P73	P73	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SO01 = 1[注2]	－														
	KR3	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	SO0	出力	－	－	－	0	1	×	－	×	×	×	×	×	×	×	×	○	○	○	×	×	×

注 1. 36～128ピン製品のみ
　 2. 48～64ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（13/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P74	P74	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	－	0	－	0	0/1	SDA01= 1[注1]	－														
		N-chOD出力	－	1	－	0	0/1																
	KR4	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○
	INTP8	入力	PIOR5=0[注2]	×	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○
	SI01	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	×	×	×
	SDA01	入出力	－	1	－	0	1	×	－	×	×	×	×	×	×	×	×	○	○	○	×	×	×
P75	P75	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	－	－	－	0	0/1	SCK01/ SCL01=1[注1]	－														
	KR5	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○
	INTP9	入力	PIOR5=0[注2]	－	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	○	○	○
	SCK01	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	○	○	○	×	×	×
		出力	－	－	－	0	1	×	－	×	×	×	×	×	×	×	×	○	○	○	×	×	×
	SCL01	出力	－	－	－	0	1	×	－	×	×	×	×	×	×	×	×	○	○	○	×	×	×
P76	P76	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
		出力	－	－	－	0	0/1	－	－														
	KR6	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	INTP10	入力	PIOR1=0	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	(RxD2)	入力	PIOR1=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
P77	P77	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
		出力	－	－	－	0	0/1	(TxD2)= 1	－														
	KR7	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	INTP11	入力	PIOR1=0	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○
	(TxD2)	出力	PIOR1=1	－	－	0	1	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○

注 1. 48～64ピン製品のみ
　 2. 100，128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（14/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P80	P80	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	0	－	0	0/1	(SCK10)/ (SCL10)=1	－														
		N-chOD出力	－	1	－	0	0/1																
	(SCK10)	入力	PIOR5=1	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	PIOR5=1	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	(SCL10)	出力	PIOR5=1	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P81	P81	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	0	－	0	0/1	(SDA10)= 1	－														
		N-chOD出力	－	1	－	0	0/1																
	(SI10)	入力	PIOR5=1	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	(RxD1)	入力	PIOR5=1	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	(SDA10)	出力	PIOR5=1	1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P82	P82	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	0	－	0	0/1	(SO10)/ (TxD1)= 1	－														
		N-chOD出力	－	1	－	0	0/1																
	(SO10)	出力	PIOR5=1	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	(TxD1)	出力	PIOR5=1	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P83	P83	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
P84	P84	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP6)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P85	P85	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP7)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（15/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P86	P86	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP8)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P87	P87	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP9)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P90-P94	P90-P94	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	－														
P95	P95	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	SCK11/ SCL11 = 1	－														
	SCK11	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
	SCL11	出力	－	－	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P96	P96	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	0	－	0	0/1	SDA11= 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SI11	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
	SDA11	入出力	－	1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P97	P97	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	SO11 = 1	－														
	SO11	出力	－	－	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P100	P100	入力	－	－	0	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	0	0	0/1	－	－														
	ANI20	アナログ入力	－	－	1	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P101	P101	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	－														

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（16/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P102	P102	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	TO06 = 0														
	TI06	入力	PIOR0=0	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	TO06	出力	PIOR0=0	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P103	P103	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	TO14 = 0														
	TI14	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
	TO14	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P104	P104	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	TO15= 0														
	TI15	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
	TO15	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P105	P105	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	TO16= 0														
	TI16	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
	TO16	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P106	P106	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	TO17 = 0														
	TI17	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
	TO17	出力	－	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P110	P110	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP10)	入力	PIOR1=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P111	P111	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP11)	入力	PIOR1=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（17/21）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P112 － P114	P112 － P114	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	－														
P115 － P117	P115 － P117	入力	－	－	0	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	0	0	0/1	－	－														
	ANI26 － ANI24	アナログ入力	－	－	1	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
P120	P120	入力	－	－	0	1	×	－	－	×	×	×	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	0	0	0/1	－	－														
	ANI19	アナログ入力	－	－	1	1	×	－	－	×	×	×	○	○	○	○	○	○	○	○	○	○	○

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（18/21）

端子名称	使用機能		CMC	P××	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力	(EXCLK,OSCSEL, EXCLKS, OSCSELS)															
P121	P121	入力	00xx/10 xx/11 xx	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	X1	－	01 xx	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P122	P122	入力	00 xx/10 xx	×	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	X2	－	01 xx	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	EXCLK	入力	11 xx	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P123	P123	入力	xx 00/xx 10/xx11	×	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	XT1	－	xx 01	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
P124	P123	入力	xx 00/xx 10	×	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	XT2	－	xx 01	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○
	EXCLKS	入力	xx 11	－	×	×	×	×	×	×	○	○	○	○	○	○	○	○

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（19/21）

端子名称	使用機能		PIOR×[注1]	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P125 － P127	P125 － P127	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○
		出力	－	－	－	0	0/1	－	－														
P130	P130	出力	－	－	－	－	0/1	－	－	×	×	○	×	×	×	×	×	○	○	○	○	○	○
P137	P137	入力	－	－	－	－	×	－	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	INTP0	入力	－	－	－	－	×	－	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
P140	P140	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	－	－	－	0	0/1	－	PCLBUZ0 = 0														
	PCLBUZ0	出力	PIOR3=0	－	－	0	0	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○	○
	INTP6	入力	PIOR5=0[注2]	－	－	1	×	－	×	×	×	×	×	×	×	×	×	○	○	○	○	○	○
P141	P141	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
		出力	－	－	－	0	0/1	－	PCLBUZ1 = 0														
	PCLBUZ1	出力	PIOR4=0	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
	INTP7	入力	PIOR5=0[注2]	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○	○
P142	P142	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	0	－	0	0/1	SCK30/ SCL30= 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SCK30	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	SCL30	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P143	P143	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	0	－	0	0/1	SDA30= 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SI30	入力	－	×	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	RxD3	入力	－	×	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	SDA30	入出力	－	1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○

注 1. 30～128ピン製品のみ
　 2. 100，128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（20/21）

端子名称	使用機能		PIOR×注	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力						SAU系	それ以外														
P144	P144	入力	－	－	－	1	×	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	－	0	－	0	0/1	SO30/ TxD3 = 1	－														
		N-chOD出力	－	1	－	0	0/1																
	SO30	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
	TxD3	出力	－	0/1	－	0	1	×	－	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P145	P145	入力	－	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	－	－	－	0	0/1	－	TO07 = 0														
	TI07	入力	PIOR0=0	－	－	1	×	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
	TO07	出力	PIOR0=0	－	－	0	0	－	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P146	P146	入力	－	－	－	1	×	－	－	×	×	×	×	×	×	×	○	○	○	○	○	○	○
		出力	－	－	－	0	0/1	－	－														
	(INTP4)	入力	PIOR5=1	－	－	1	×	－	－	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P147	P147	入力	－	－	0	1	×	－	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		出力	－	－	0	0	0/1	－	－														
	ANI18	アナログ入力	－	－	1	1	×	－	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○

注　30～128ピン製品のみ

表4－7　端子機能使用時のレジスタ，出力ラッチの設定例（21/21）

端子名称	使用機能		ADPC	PM××	P××	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン
	機能名称	入出力																	
P150	P150	入力	ADPC = 01H～09H	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	ADPC = 01H～09H	0	0/1														
	ANI8	アナログ入力	ADPC = 00H/0AH～0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P151	P151	入力	ADPC = 01H～0AH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	ADPC = 01H～0AH	0	0/1														
	ANI9	アナログ入力	ADPC = 00H/0BH～0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P152	P152	入力	ADPC = 01H～0BH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	ADPC = 01H～0BH	0	0/1														
	ANI10	アナログ入力	ADPC = 00H/0CH～0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P153	P153	入力	ADPC = 01H～0CH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
		出力	ADPC = 01H～0CH	0	0/1														
	ANI11	アナログ入力	ADPC = 00H/0DH～0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	○	○	○
P154	P154	入力	ADPC = 01H～0DH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	ADPC = 01H～0DH	0	0/1														
	ANI12	アナログ入力	ADPC = 00H/0EH/0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P155	P155	入力	ADPC = 01H～0EH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	ADPC = 01H～0EH	0	0/1														
	ANI13	アナログ入力	ADPC = 00H/0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
P156	P156	入力	ADPC = 01H～0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○
		出力	ADPC = 01H～0FH	0	0/1														
	ANI14	アナログ入力	ADPC = 00H	1	×	×	×	×	×	×	×	×	×	×	×	×	×	○	○

4. 6　ポート機能使用時の注意事項

4. 6. 1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P10は出力ポート，P11-P17は入力ポート（端子状態はすべてハイ・レベル）で，かつポート1の出力ラッチの値が“00H”のとき，出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート1の出力ラッチの値は，“FFH”になります。

説明： PMnmビット ＝1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G13内部で，次の順序で行われます。

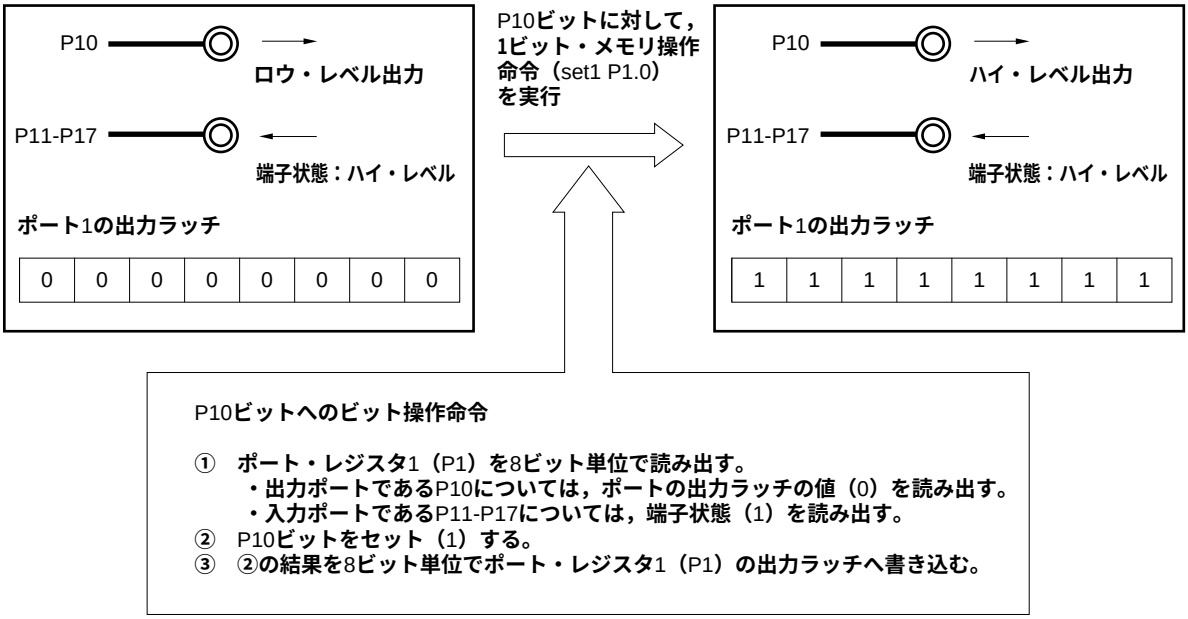
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP10は出力ラッチの値（0）を読み出し，入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ･レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図4－11　1ビット・メモリ操作命令（P10の場合）



4. 6. 2　端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当てられた機能も同様です。兼用出力については，4. 5　兼用機能使用時のレジスタ設定を参照してください。

入力として使用する端子では，兼用機能の出力が無効（バッファ出力がHi-Z）となるので，処理不要です。

なお，入力だけや入出力のないブロックを含めて，低消費電力化のために，使用しない機能は停止させることをおすすめします。

第5章　クロック発生回路

メイン・システム・クロック用発振子接続端子／外部クロック入力端子，サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	20, 24, 25, 30, 32, 36ピン製品	40, 44, 48, 52, 64, 80, 100, 128ピン製品
X1, X2端子	○	○
EXCLK端子	○	○
XT1, XT2端子	−	○
EXCLKS端子	−	○

5. 1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより，f_X = 1〜20 MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により，f_{IH} = 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し，発振させることができます。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は，図5−9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットを参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）									
	1	2	3	4	6	8	12	16	24	32
2.7 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	○	○
2.4 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	−	−
1.8 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	−	−	−	−
1.6 V≦V_{DD}≦5.5 V	○	○	○	○	−	−	−	−	−	−

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

(2) サブシステム・クロック

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより，f_{XT} = 32.768 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOPビットの設定により，外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック（低速オンチップ・オシレータ）

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウエアのみです。

・ウォッチドッグ・タイマ
・リアルタイム・クロック
・12ビット・インターバル・タイマ

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ただし，WDTON = 1， WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

注意　リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック（f_{IL}）を選択できるのは，定周期割り込み機能使用時のみです。

備考　f_X　：X1クロック発振周波数
f_{IH}　：高速オンチップ・オシレータ・クロック周波数
f_{EX}　：外部メイン・システム・クロック周波数
f_{XT}　：XT1クロック発振周波数
f_{EXS}　：外部サブシステム・クロック周波数
f_{IL}　：低速オンチップ・オシレータ・クロック周波数

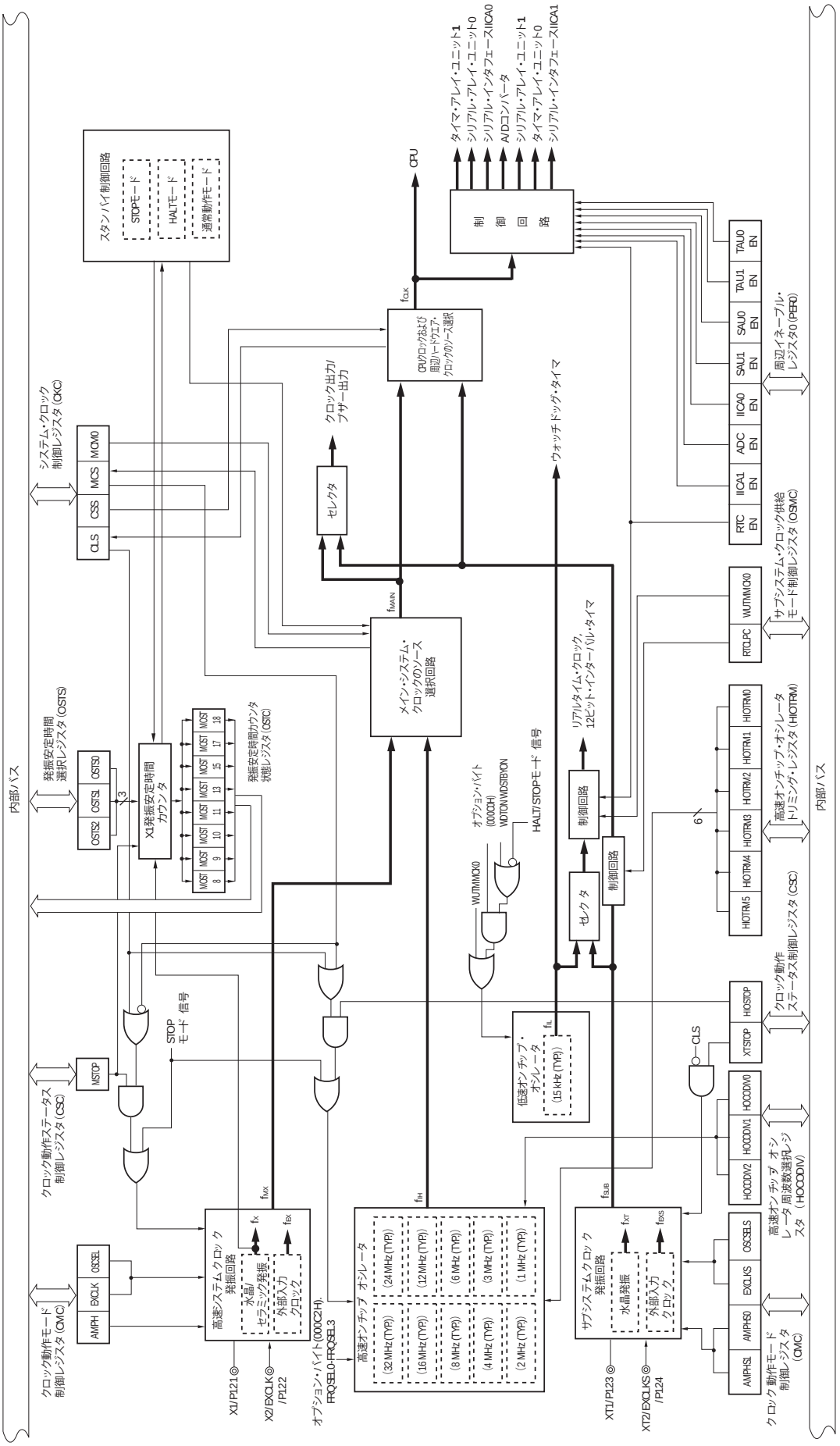
5. 2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

項　　目	構　　成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） 周辺イネーブル・レジスタ0（PER0） サブシステム・クロック供給モード制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5－1　クロック発生回路のブロック図



（備考は次ページにあります。）

備考 f_X ：X1クロック発振周波数

f_{IH} ：高速オンチップ・オシレータ・クロック周波数

f_{EX} ：外部メイン・システム・クロック周波数

f_{MX} ：高速システム・クロック周波数

f_{MAIN} ：メイン・システム・クロック周波数

f_{XT} ：XT1クロック発振周波数

f_{EXS} ：外部サブシステム・クロック周波数

f_{SUB} ：サブシステム・クロック周波数

f_{CLK} ：CPU／周辺ハードウエア・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

5. 3　クロック発生回路を制御するレジスタ

クロック発生回路は，次の9種類のレジスタで制御します。

- クロック動作モード制御レジスタ（CMC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0（PER0）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5. 3. 1　クロック動作モード制御レジスタ（CMC）

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります。

図5－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振（デフォルト）
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	1 MHz≦f_X≦10 MHz
1	10 MHz＜f_X≦20 MHz

注意 1. CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，リセット解除後は必ず00Hに設定してください。

2. リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。

（注意，備考は次ページに続きます。）

注意3. X1クロック発振周波数が10 MHzを越える場合は，必ずAMPHビットに1を設定してください。

4. AMPH, AMPHS1, AMPHS0ビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}やf_{SUB}に切り替える前の状態）で設定してください。

5. f_{XT}の発振安定時間は，ソフトウェアでカウントしてください。

6. システム・クロックの周波数上限は32 MHzですが，X1発振回路の周波数上限は20 MHzになります。

7. XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。
   - 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
   - XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は，5. 7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
   - XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
   - 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
   - XT1発振回路の周辺には，できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
   - XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
   - 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
   - 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

備考　f_X：X1クロック発振周波数

5. 3. 2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウエア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU／周辺ハードウエア・クロック（f_{CLK}）のステータス
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

CSS	CPU／周辺ハードウエア・クロック（f_{CLK}）の選択
0	メイン・システム・クロック（f_{MAIN}）
1 [注2]	サブシステム・クロック（f_{SUB}）

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0[注2]	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）に高速オンチップ・オシレータ・クロック（f_{IH}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注1.　ビット7, 5は，Read Onlyです。
　2.　CSS = 1を設定した状態で，MCM0ビットの値を変更することは禁止です。

備考　f_{IH}　：高速オンチップ・オシレータ・クロック周波数
　　f_{MX}　：高速システム・クロック周波数
　　f_{MAIN}　：メイン・システム・クロック周波数
　　f_{SUB}　：サブシステム・クロック周波数

注意1.　ビット0-3には，必ず0を設定してください。
　2.　CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウエア・クロックも同時に変更されます（リアルタイム・クロック，12ビット・インターバル・タイマ，クロック出力／ブザー出力，およびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウエア・クロックを変更する場合は，各周辺機能を停止してください。
　3.　周辺ハードウエア・クロックとしてサブシステム・クロックが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第29章または第30章　電気的特性を参照してください。

5. 3. 3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　リセット時：C0H　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4. XTSTOPビットの設定でXT1発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

5. CPU／周辺ハードウエア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

6. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。

表5－2　クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU／周辺ハードウエア・クロックが高速システム・クロック以外で動作 （CLS = 0かつMCS = 0，またはCLS = 1）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU／周辺ハードウエア・クロックがサブシステム・クロック以外で動作 （CLS = 0）	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウエア・クロックが高速オンチップ・オシレータ・クロック以外で動作 （CLS = 0かつMCS = 1，またはCLS = 1）	HIOSTOP = 1

5. 3. 4　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。

- X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- STOPモードを解除したとき

図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　**リセット時：**00H　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

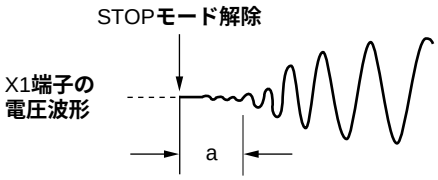
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6μs未満	12.8μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6μs以上	12.8μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2μs以上	25.6μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102μs以上	51.2μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204μs以上	102μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819μs以上	409μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27ms以上	1.63ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1ms以上	6.55ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2ms以上	13.1ms以上

注意1．**上記時間経過後，**MOST8**ビットから順番に“**1**”となっていき，そのまま“**1**”を保持します。**

2．**発振安定時間カウンタは発振安定時間選択レジスタ（**OSTS**）で設定した発振安定時間までしかカウントしません。**
次のときには，OSTS**レジスタの発振安定時間を，**OSTC**レジスタで確認したいカウント値より大きい値に設定してください。**

- CPU**クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，**X1**クロックの発振を開始したい場合**
- CPU**クロックが高速オンチップ・オシレータ・クロックで，**X1**クロックも発振している状態で**STOP**モードに移行し，その後，**STOP**モードを解除したい場合**
（したがって，STOP**モード解除後の**OSTC**レジスタは，**OSTS**レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

3．X1**クロックの発振安定時間は，クロック発振を開始するまでの時間（下図**a**）は含みません。**



備考　fx：X1**クロック発振周波数**

5. 3. 5　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は，X1発振回路動作（MSTOP=0）後，OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから，X1クロックに切り換える場合や，CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後STOPモードを解除した場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図5－6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　**リセット時：**07H　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6μs	12.8μs
0	0	1	$2^9/f_X$	51.2μs	25.6μs
0	1	0	$2^{10}/f_X$	102μs	51.2μs
0	1	1	$2^{11}/f_X$	204μs	102μs
1	0	0	$2^{13}/f_X$	819μs	409μs
1	0	1	$2^{15}/f_X$	3.27ms	1.63ms
1	1	0	$2^{17}/f_X$	13.1ms	6.55ms
1	1	1	$2^{18}/f_X$	26.2ms	13.1ms

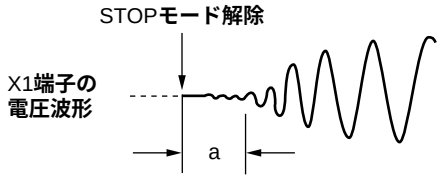
注意1．OSTS**レジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（**CSC**）の**MSTOP**ビットを**0**に設定する前に行ってください。**

2．**発振安定時間カウンタは**OSTS**レジスタで設定した発振安定時間までしかカウントしません。**

次のときには，OSTS**レジスタの発振安定時間を，発振開始後に**OSTC**レジスタで確認したいカウント値より大きい値に設定してください。**

- CPU**クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，**X1**クロックの発振を開始したい場合**
- CPU**クロックが高速オンチップ・オシレータ・クロックで，**X1**クロックも発振している状態で**STOP**モードに移行し，その後，**STOP**モードを解除したい場合（したがって，**STOP**モード解除後の**OSTC**レジスタは，**OSTS**レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

3．X1**クロックの発振安定時間は，クロック発振を開始するまでの時間（下図**a**）は含みません。**



備考　f_X：X1**クロック発振周波数**

5. 3. 6　周辺イネーブル・レジスタ0（PER0）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- リアルタイム・クロック，12ビット・インターバル・タイマ
- シリアル・インタフェースIICA1
- A/Dコンバータ
- シリアル・インタフェースIICA0
- シリアル・アレイ・ユニット1
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット1
- タイマ・アレイ・ユニット0

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/3）

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意　次のビットには必ず“0”を設定してください。

20ピン製品：ビット1, 3, 4, 6

24, 25ピン製品：ビット1, 3, 6

30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（2/3）

アドレス：F00F0H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

IICA1EN	シリアル・インタフェースIICA1の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA1で使用するSFRへのライト不可 ・シリアル・インタフェースIICA1はリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICA1で使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

注意　次のビットには必ず“0”を設定してください。

20**ピン製品**　：**ビット**1, 3, 4, 6

24, 25**ピン製品**　：**ビット**1, 3, 6

30, 32, 36, 40, 44, 48, 52, 64**ピン製品**　：**ビット**1, 6

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（3/3）

アドレス：F00F0H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU1EN	タイマ・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意　次のビットには必ず“0”を設定してください。

20**ピン製品**　：**ビット**1, 3, 4, 6

24, 25**ピン製品**　：**ビット**1, 3, 6

30, 32, 36, 40, 44, 48, 52, 64**ピン製品**　：**ビット**1, 6

5. 3. 7　サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック，12ビット・インターバル・タイマのカウント・クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－8　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 （動作許可となる周辺機能については，表18－1，表18－2，表18－3参照）
1	リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマのカウント・クロックの選択
0	サブシステム・クロック
1	低速オンチップ・オシレータ・クロック

5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし，オプション・バイト（000C2H）のFRQSEL3ビットの値によって，選択できる周波数が異なります。

HOCODIVレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，オプション・バイト（000C2H）のFRQSEL2-FRQSEL0で設定した値になります。

図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　リセット時：オプション・バイト（000C2H）FRQSEL2 - FRQSEL0の設定値　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV(低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS(低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～32 MHz	2.7 V～5.5 V

2. HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択している状態で行ってください。
3. HOCODIVレジスタで周波数を変更後，次の遷移時間経過して周波数が切り替わります。
   - 変更前の周波数で最大3クロック動作
   - 変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

5. 3. 9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRMレジスタは，8ビット・メモリ操作命令で設定します。

注意　精度補正後に温度，V_{DD}端子電圧に変化があった場合，周波数は変動します。
温度，V_{DD}電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5－10　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　リセット時：不定[注]　R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
・ ・ ・						
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速

注　リセット値は出荷時に調整した値です。

備考1.　HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

2.　HIOTRMレジスタの使用例は，RL78 MCUシリーズ 高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.4　システム・クロック発振回路

5.4.1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また，外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振　：EXCLK, OSCSEL = 0, 1

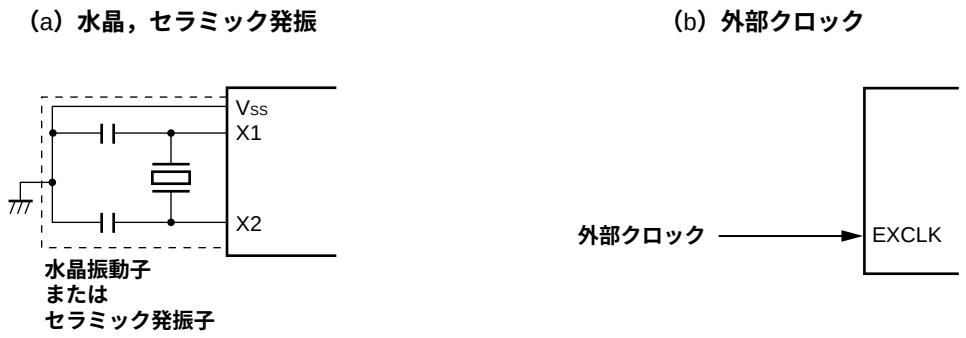
・外部クロック入力　　：EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3　各端子の未使用端子処理を参照してください。

図5－11にX1発振回路の外付け回路例を示します。

図5－11　X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2　XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(32.768 kHz (TYP.))によって発振します。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

・水晶発振　　：EXCLKS, OSCSELS = 0, 1

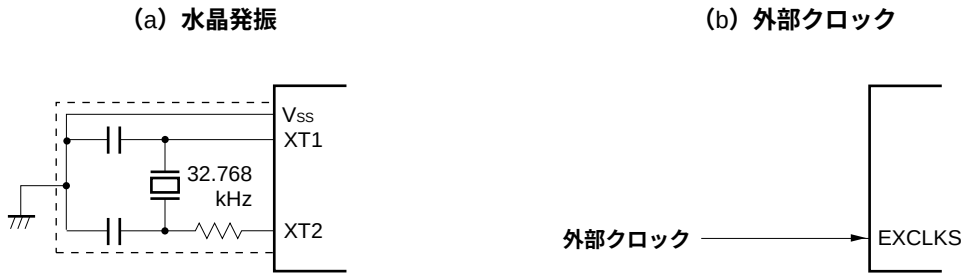
・外部クロック入力　　：EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3　各端子の未使用端子処理を参照してください。

図5－12にXT1発振回路の外付け回路例を示します。

図5－12　XT1発振回路の外付け回路例



注意　X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－11，図5－12の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- 他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

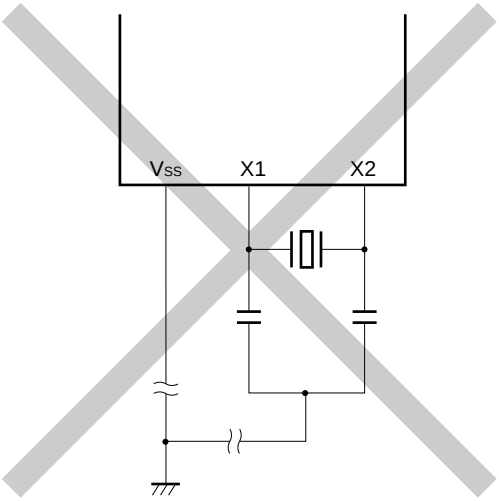
特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は5. 7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
- 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

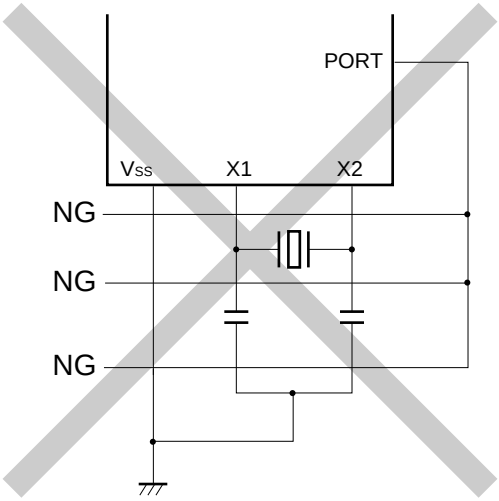
図5－13に発振子の接続の悪い例を示します。

図5－13　発振子の接続の悪い例（1/2）

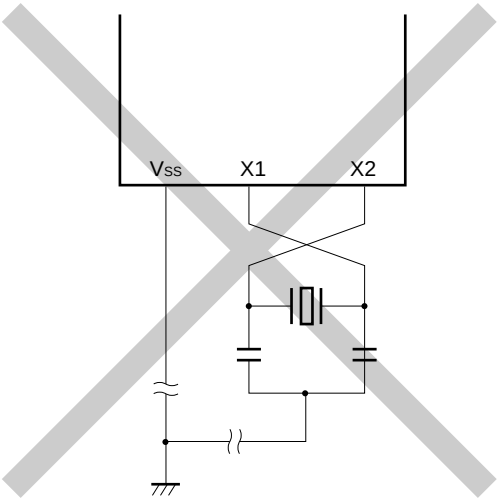
（a）接続回路の配線が長い



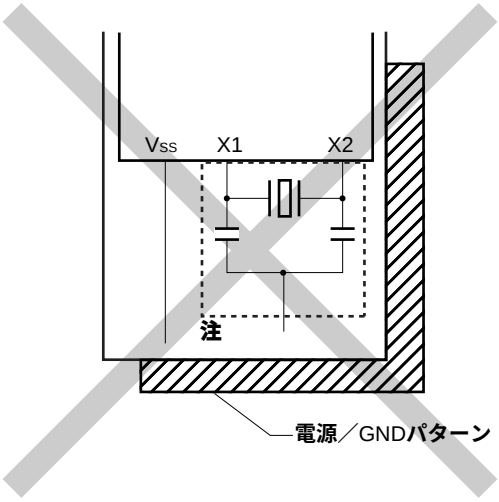
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



（d）X1, X2配線の下に電源／GNDパターンがある

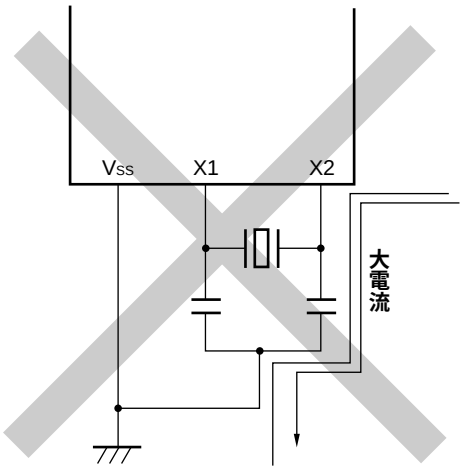


注　多層基板や両面基板において，X1, X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

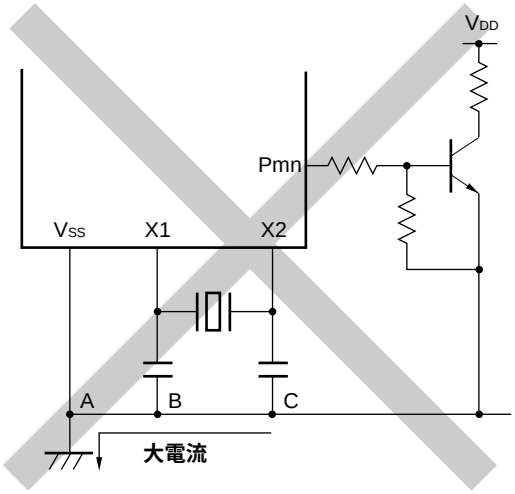
備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

図5－13　発振子の接続の悪い例（2/2）

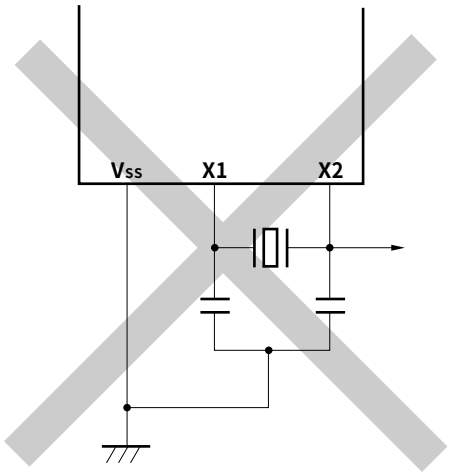
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



注意　X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

5. 4. 3　高速オンチップ・オシレータ

RL78/G13は，高速オンチップ・オシレータを内蔵しています。オプション・バイト（000C2H）により32 MHz，24 MHz，16 MHz，12 MHz，8 MHz，6 MHz，4 MHz，3 MHz，2 MHz，1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

5. 4. 4　低速オンチップ・オシレータ

RL78/G13は，低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは，ウォッチドッグ・タイマ，リアルタイム・クロック，12ビット・インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時かつ，WUTMMCK0 = 0以外では，低速オンチップ・オシレータの発振は継続します。但し，ウォッチドック・タイマ動作時かつWUTMMCK0=0の場合のみ，WDSTBYON=0かつHALTおよびSTOP，SNOOZEモードの状態で低速オンチップ・オシレータの発振が停止します。ウォッチドッグ・タイマ動作時に，プログラムが暴走する場合においても，低速オンチップ・オシレータ・クロックが停止することはありません。

5. 5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　f_{MAIN}
- 高速システム・クロック　f_{MX}
  - X1クロック　f_X
  - 外部メイン・システム・クロック　f_{EX}
- 高速オンチップ・オシレータ・クロック　f_{IH}

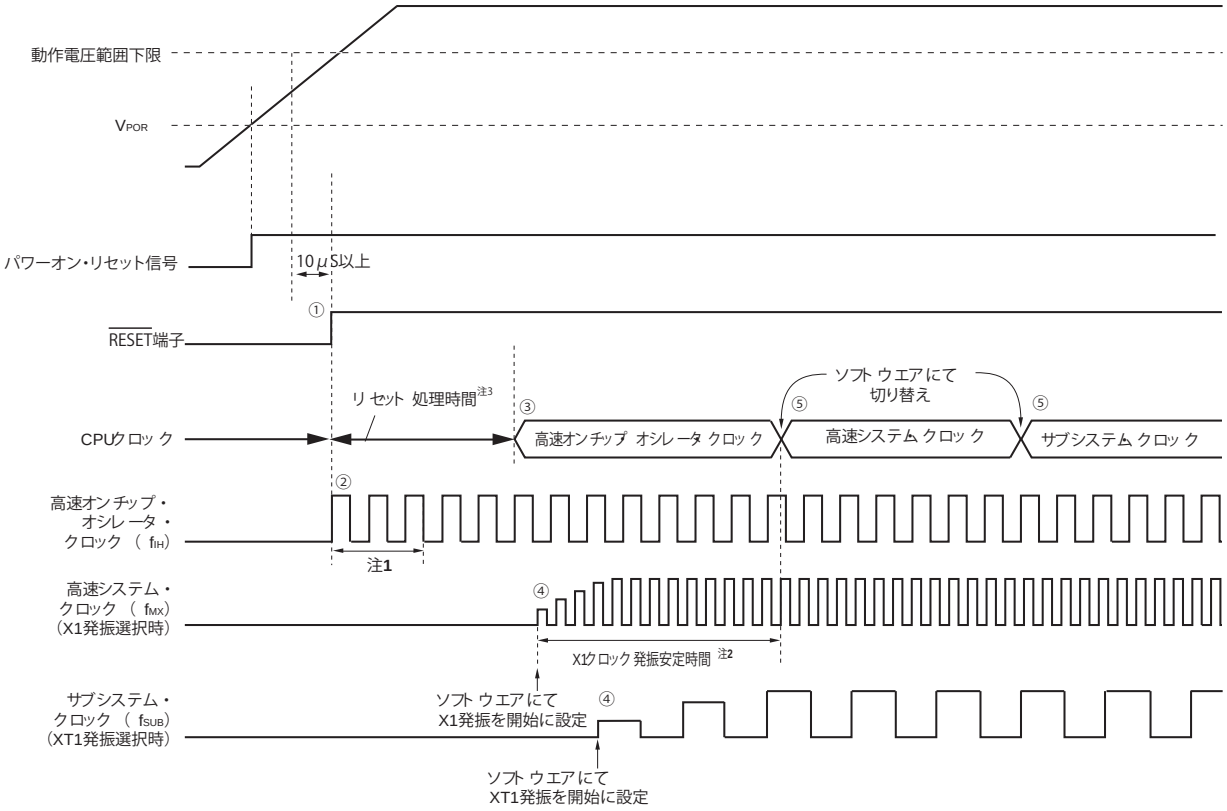
○サブシステム・クロック　f_{SUB}
- XT1クロック　f_{XT}
- 外部サブシステム・クロック　f_{EXS}

○低速オンチップ・オシレータ・クロック　f_{IL}

○CPU／周辺ハードウエア・クロック　f_{CLK}

RL78/G13では，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，図5－14に示します。

図5－14　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生されます。
ただし，29.4 または30.4 AC特性に示す動作電圧範囲に達するまで，電圧検出回路か外部リセットでリセット状態を保ちます（上図は，外部リセット使用時の例）。

② リセットが解除されると，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックまたはXT1クロックは，ソフトウエアにて発振開始を設定してください（5. 6. 2　X1発振回路の設定例，5. 6. 3　XT1発振回路の設定例を参照）。

⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください（5. 6. 2　X1発振回路の設定例，5. 6. 3　XT1発振回路の設定例を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。
2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
3. リセット処理時間は，第20章　パワーオン・リセット回路を参照してください。

注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

5. 6　クロックの制御

5. 6. 1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL3により，32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV（低電圧メイン）モード	V_{DD} = 1.6 V～5.5 V @ 1 MHz～4 MHz
1	0	LS（低速メイン）モード	V_{DD} = 1.8 V～5.5 V @ 1 MHz～8 MHz
1	1	HS（高速メイン）モード	V_{DD} = 2.4 V～5.5 V @ 1 MHz～16 MHz V_{DD} = 2.7 V～5.5 V @ 1 MHz～32 MHz
上記以外		設定禁止	

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	**高速オンチップ・オシレータ・クロック周波数の選択**	
			FRQSEL3**ビットが**0**のとき**	FRQSEL3**ビットが**1**のとき**
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	**設定禁止**	2 MHz
1	0	1	**設定禁止**	1 MHz
上記以外			**設定禁止**	

5. 6. 2　X1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，発振安定時間選択レジスタ（OSTS），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），f_X＞10 MHzの場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	EXCLKS 0	OSCSELS 0	0	AMPHS1 0	AMPHS0 0	AMPH 0/1

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	0	HIOSTOP 0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	0	0

5. 6. 3　XT1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，XT1発振クロックに変更する場合，サブシステム・クロック供給モード制御レジスタ（OSMC），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① STOPモード時およびサブHALTモード時にリアルタイム・クロック，12ビット・インターバル・タイマのみサブシステム・クロックで動作（超低消費電流）させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

② CMCレジスタのOSCSELSビットをセット（1）してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

③ CSCレジスタのXTSTOPビットをクリア（0）してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

④ タイマ機能などを用いて，サブシステム・クロックに必要な発振安定時間をソフトウエアでウエイトしてください。

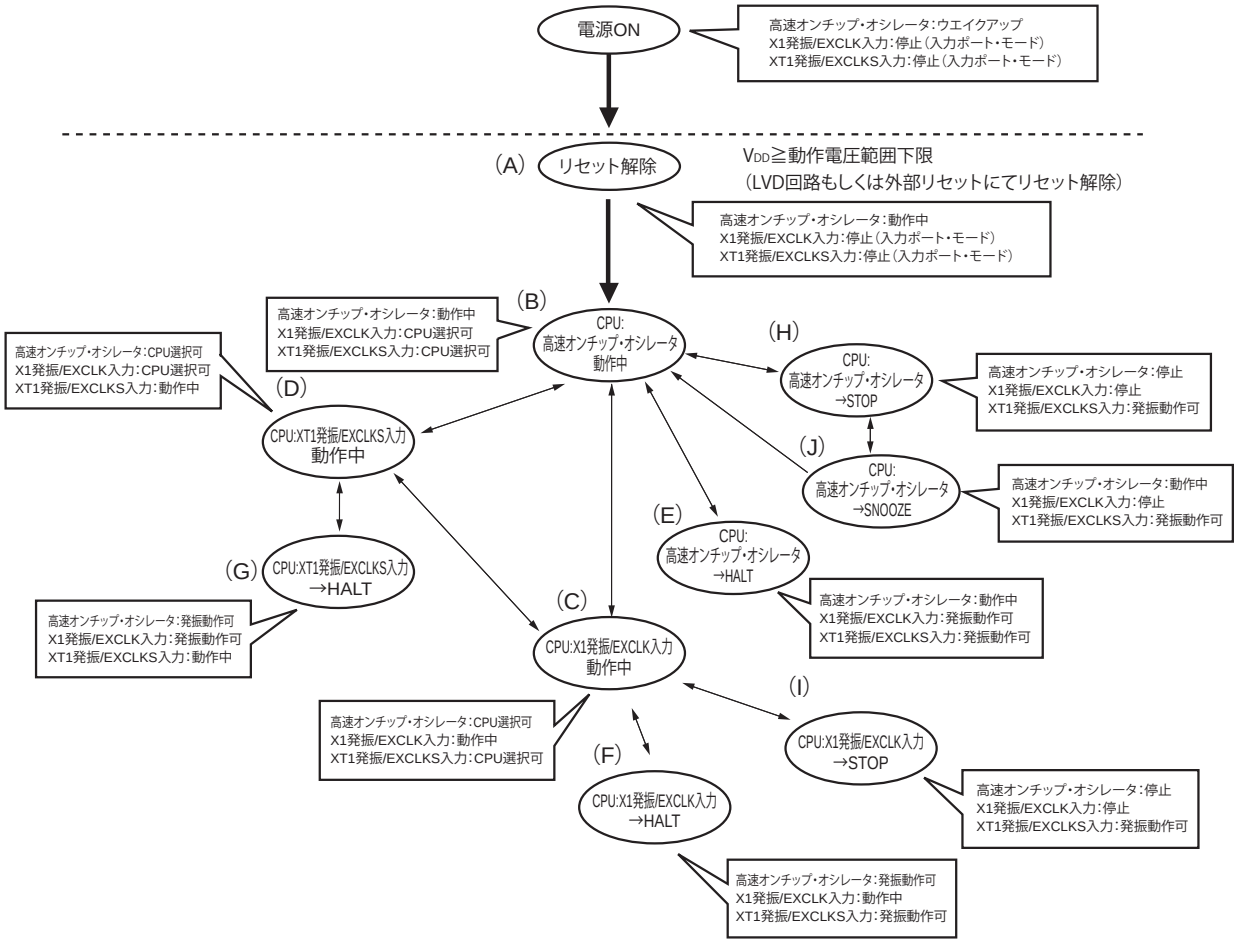
⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5. 6. 4　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－15に示します。

図5－15　CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5－3に示します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（1/5）

（1）リセット解除後 (A) に，CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要（リセット解除後の初期状態）

（2）リセット解除後 (A) に，CPUを高速システム・クロック動作 (C) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) （外部メイン・クロック）	1	1	×	注2	0	確認不要	1

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

- 期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第29章または第30章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

（3）リセット解除後 (A) に，CPUをサブシステム・クロック動作 (D) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CMCレジスタ注				CSC レジスタ	発振安定待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) （XT1クロック）	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D) （外部サブ・クロック）	1	1	×	×	0	必要	1

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1.　×：don't care

2.　表5－3の (A) – (J) は，図5－15の(A) – (J) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（2/5）

（4）CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ／状態遷移	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	注2	0	確認必要	1
(B) → (C) （外部メイン・クロック）	1	1	×	注2	0	確認不要	1

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。
設定済みの場合は不要です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。
- 期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第29章または第30章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

（5）CPUを高速オンチップ・オシレータ・クロック動作 (B) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ／状態遷移	CMCレジスタ注			CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1,0	XTSTOP		CSS
(B) → (D) （XT1クロック）	0	1	00：低消費発振 01：通常発振 10：超低消費発振	0	必要	1
(B) → (D) （外部サブ・クロック）	1	1	×	0	必要	1

設定済みの場合は不要　　サブシステム・クロック動作中の場合は不要

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。
設定済みの場合は不要です。

備考1.　×：don't care

2.　表5－3の (A) – (J) は，図5－15の(A) – (J) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（3/5）

（6）CPUを高速システム・クロック動作 (C) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ MCM0
(C) → (B)	0	18 μs～65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

（7）CPUを高速システム・クロック動作 (C) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ XTSTOP	発振安定待ち	CKCレジスタ CSS
(C) → (D)	0	必要	1

サブシステム･クロック動作中の場合は不要

（8）CPUをサブシステム・クロック動作 (D) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ CSS
(D) → (B)	0	18 μs～65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考1.　表5－3の (A) – (J) は，図5－15の(A) – (J) と対応しています。

2.　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（4/5）

（9）CPUをサブシステム・クロック動作（D）から高速システム・クロック動作（C）へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ CSS
(D) → (C)（X1クロック：1 MHz≦fx≦10 MHz）	注	0	確認必要	0
(D) → (C)（X1クロック：10 MHz＜fx≦20 MHz）	注	0	確認必要	0
(D) → (C)（外部メイン・クロック）	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。
- 期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第29章または第30章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

（10）
- CPUが高速オンチップ・オシレータ・クロック動作中（B）にHALTモード（E）へ移行
- CPUが高速システム・クロック動作中（C）にHALTモード（F）へ移行
- CPUがサブシステム・クロック動作中（D）にHALTモード（G）へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G)	HALT命令を実行する

備考　表5－3の（A）–（J）は，図5－15の(A) – (J) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（5/5）

（11）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード（H）へ移行
・CPUが高速システム・クロック動作中 (C) にSTOPモード（I）へ移行

（設定順序）→

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止の周辺機能を停止する	－	STOP命令を実行する
(C) → (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		－	

（12）・STOPモード (H) からSNOOZEモード (J) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については，11. 8　SNOOZEモード機能，12. 5. 7　SNOOZEモード機能，12. 6. 3　SNOOZEモード機能を参照してください。

備考　表5－3の (A) – (J) は，図5－15の(A) – (J) と対応しています。

5. 6. 5　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表5－4　CPUクロックの移行について（1/2）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	X1発振停止可能（MSTOP = 1）
	外部メイン・システム・クロック	移行不可	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	X1発振停止可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	X1発振停止可能（MSTOP = 1）
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	X1クロック	移行不可	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）

表5－4　CPUクロックの移行について（2/2）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	－
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	－

5. 6. 6　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4, 6（MCM0, CSS）の設定により，CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック），メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表5－5～表5－7参照）。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか，高速オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウエア・クロックも同時に切り替わります。

表5－5　システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{IH}	←→	f_{MX}	表5－6参照
f_{MAIN}	←→	f_{SUB}	表5－7参照

表5－6　f_{IH} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f_{MAIN} ＝ f_{IH})	1 (f_{MAIN} ＝ f_{MX})
0 (f_{MAIN} ＝ f_{IH})	$f_{MX} \geqq f_{IH}$		2クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$クロック
1 (f_{MAIN} ＝ f_{MX})	$f_{MX} \geqq f_{IH}$	$2f_{MX}/f_{IH}$クロック	
	$f_{MX} < f_{IH}$	2クロック	

表5－7　f_{MAIN} ↔ f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 (f_{CLK} ＝ f_{MAIN})	1 (f_{CLK} ＝ f_{SUB})
0 (f_{CLK} ＝ f_{MAIN})		$1+2f_{MAIN}/f_{SUB}$クロック
1 (f_{CLK} ＝ f_{SUB})	3クロック	

備考1.　表5－6，表5－7のクロック数は，切り替え前のCPUクロックのクロック数です。

2.　表5－6，表5－7のクロック数は，小数点以下を切り上げてください。

例　メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（f_{IH} = 8 MHz選択, f_{MX} = 10 MHz発振時）

$2f_{MX}/f_{IH}$ = 2(10/8) = 2.5 → 3クロック

5. 6. 7　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5－8　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 （CPUクロックがサブシステム・クロック以外で動作）	XTSTOP = 1

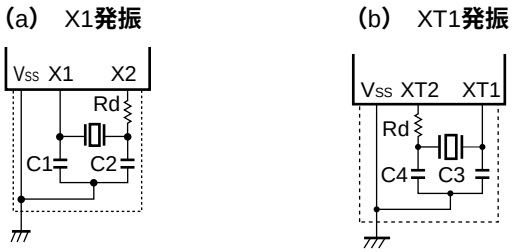
5. 7　発振子と発振回路定数

動作確認済みの発振子と，その発振回路定数（参考）を示します。

注意1.　この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは，実装回路上での評価を発振子メーカに依頼してください。
また，別製品からのマイコンの変更、基板の変更の際には，再度，実装回路上での評価を発振子メーカに依頼してください。

2.　発振電圧，発振周波数は，あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については，DC, AC特性の規格内で使用してください。

図5－16　外付け発振回路例



（1）X1発振　　2013年3月現在（1/2）

メーカ	発振子	品　名[注3]	SMD/リード	周波数 (MHz)	ﾌﾗｯｼｭ動作ﾓｰﾄﾞ[注1]	発振回路定数[注2]（参考） C1 (pF)	C2 (pF)	Rd (kΩ)	電圧範囲 (V) MIN.	MAX.
株式会社村田製作所	セラミック発振子	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	リード			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M38G52-R0	SMD	8.388	HS	(10)	(10)	0	2.4	5.5
		CSTLS8M38G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
		CSTCE12M0G52-R0	SMD	12.0		(10)	(10)	0		
		CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0		
		CSTLS16M0X51-B0	リード			(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20.0		(5)	(5)	0	2.7	5.5
		CSTLS20M0X51-B0	リード			(5)	(5)	0		

注 1. フラッシュ動作モードは，オプション・バイト（000C2H）のCMODE1, CMODE0ビットで設定します。
2. C1, C2の欄の（ ）内は，内蔵容量値を示しています。
3. 105℃対応の製品は品名が異なります。詳細は，株式会社村田製作所（http://www.murata.co.jp）へお問い合わせください。

備考　動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

LS（低速メイン）モード　：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

LV（低電圧メイン）モード：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

2013年3月現在（2/2）

メーカ	発振子	品　名[注3]	SMD/リード	周波数 (kHz)	ﾌﾗｯｼｭ動作ﾓｰﾄﾞ[注1]	発振回路定数[注2]（参考） C1 (pF)	C2 (pF)	Rd (kΩ)	電圧範囲 (V) MIN.	MAX
日本電波工業株式会社	水晶振動子	NX8045GB[注4]	SMD	8.0	注4					
		NX5032GA[注4]	SMD	16.0						
		NX3225HA[注4]	SMD	20.0						
京セラクリスタルデバイス株式会社	水晶振動子	CX8045GB04000D0PPTZ1[注5]	SMD	4.0	LV	12	12	0	1.6	5.5
					LS				1.8	5.5
		CX8045GB04915D0PPTZ1[注5]	SMD	4.915	LS	12	12	0	1.8	5.5
		CX8045GB08000D0PPTZ1[注5]	SMD	8.0		12	12	0		
		CX8045GB10000D0PPTZ1[注5]	SMD	10.0	HS	12	12	0	2.4	5.5
		CX3225GB12000B0PPTZ1[注5]	SMD	12.0		5	5	0		
		CX3225GB16000B0PPTZ1[注5]	SMD	16.0		5	5	0		
		CX3225SB20000B0PPTZ1[注5]	SMD	20.0		5	5	0	2.7	5.5
リバーエレテック株式会社	水晶振動子	FCX-03 - 8.000MHZ - J21140[注6]	SMD	8.0	HS	3	3	0	2.4	5.5
		FCX-04C - 10.000MHZ - J21139[注6]	SMD	10.0		4	4	0		
		FCX-05 - 12.000MHZ - J21138[注6]	SMD	12.0		6	6	0		
		FCX-06 - 16.000MHZ - J21137[注6]	SMD	16.0		4	4	0		

注 1. フラッシュ動作モードは，オプション・バイト（000C2H）のCMODE1, CMODE0ビットで設定します。

2. C1, C2の欄の（ ）内は，内蔵容量値を示しています。

3. この振動子は85℃まで対応しています。105℃対応の製品に関しては，発振子メーカへお問い合わせください。

4. この振動子を使用する場合，マッチングの詳細については，日本電波工業株式会社（http://www.ndk.com）にお問い合わせください。

5. この振動子を使用する場合，マッチングの詳細については，京セラクリスタルデバイス株式会社（http://www.kyocera-crystal.jp，http://www.kyocera.co.jp）にお問い合わせください。

6. この振動子を使用する場合，マッチングの詳細については，リバーエレテック株式会社（http://www.river-ele.co.jp）にお問い合わせください。

備考　動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

LS（低速メイン）モード　：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

LV（低電圧メイン）モード：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

（2）XT1発振（水晶振動子）　2013年3月現在

メーカ	品　名[注2]	SMD/リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振モード[注1]	発振回路定数（参考） C1 (pF)	C2 (pF)	Rd (kΩ)	電圧範囲 (V) MIN.	MAX
セイコーインスツル株式会社	SSP-T7-F[注3]	SMD	32.768	7	通常発振	11	11	0	1.6	5.5
	SSP-T7-FL[注3]			6		9	9	0		
				6	低消費発振	9	9	0		
				4.4		6	5	0		
				4.4	超低消費発振	6	5	0		
				3.7		4	4	0		
	VT-200-FL[注3]	リード		6	通常発振	9	9	0		
				6	低消費発振	9	9	0		
				4.4		6	5	0		
				4.4	超低消費発振	6	5	0		
				3.7		4	4	0		
日本電波工業株式会社	NX3215SA[注4]	SMD	32.768	6	通常発振	7	7	0	1.6	5.5
					低消費発振					
					超低消費発振					
	NX2012SA[注4]	SMD	32.768	6	通常発振	7	7	0		
					低消費発振					
					超低消費発振					
京セラクリスタルデバイス株式会社	ST3215SB[注5]	SMD	32.768	7	通常発振	10	10	0	1.6	5.5
					低消費発振					
					超低消費発振					
リバーエレテック株式会社	TFX-02‐32.768KHZ‐J20986[注6]	SMD	32.768	9	通常発振	12	10	0	1.6	5.5
					低消費発振					
	TFX-03‐32.768KHZ‐J13375[注6]	SMD	32.768	7	通常発振	12	10	0		

注 1. XT1発振モードは，クロック動作モード制御レジスタ（CMC）のAMPHS0, AMPHS1ビットで設定します。

2. この振動子は85℃まで対応しています。105℃対応の製品に関しては，発振子メーカへお問い合わせください。

3. この振動子は，低消費電力用製品です。使用する場合， マッチングの詳細については，セイコーインスツル株式会社（http://www.sii-crystal.com）にお問い合わせください。

4. この振動子を使用する場合，マッチングの詳細については，日本電波工業株式会社（http://www.ndk.com/）にお問い合わせください。

5. この振動子を使用する場合，マッチングの詳細については，京セラクリスタルデバイス株式会社（http://www.kyocera-crystal.jp，http://www.kyocera.co.jp）にお問い合わせください。

6. この振動子を使用する場合，マッチングの詳細については，リバーエレテック株式会社（http://www.river-ele.co.jp）にお問い合わせください。

第6章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのユニット，チャネル数は，製品によって異なります。

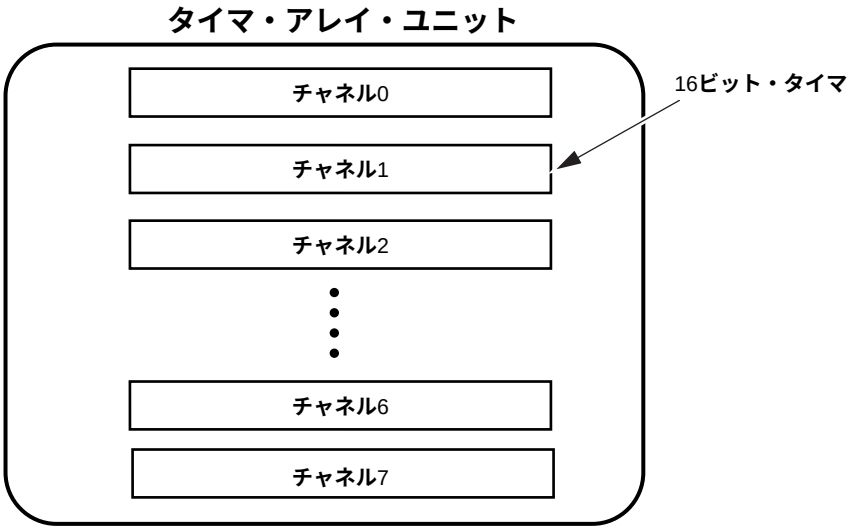
ユニット	チャネル	20, 24, 25, 30, 32, 36, 40, 44, 48, 52, 64ピン	80, 100ピン	128ピン
ユニット0	チャネル0	○	○	○
	チャネル1	○	○	○
	チャネル2	○	○	○
	チャネル3	○	○	○
	チャネル4	○	○	○
	チャネル5	○	○	○
	チャネル6	○	○	○
	チャネル7	○	○	○
ユニット1	チャネル0	－	○	○
	チャネル1	－	○	○
	チャネル2	－	○	○
	チャネル3	－	○	○
	チャネル4	－	－	○
	チャネル5	－	－	○
	チャネル6	－	－	○
	チャネル7	－	－	○

注意1.　タイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

2.　この章では，以降の主な説明を128ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→6. 8. 1参照） ・方形波出力（→6. 8. 1参照） ・外部イベント・カウンタ（→6. 8. 2参照） ・分周器注（→6. 8. 3参照） ・入力パルス間隔測定（→6. 8. 4参照） ・入力信号のハイ／ロウ・レベル幅測定（→6. 8. 5参照） ・ディレイ・カウンタ（→6. 8. 6参照）	・ワンショット・パルス出力（→6. 9. 1参照） ・PWM出力（→6. 9. 2参照） ・多重PWM出力（→6. 9. 3参照）

注　ユニット0のチャネル0のみ

ユニット0, 1のチャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

・インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
・外部イベント・カウンタ（下位8ビット・タイマのみ）
・ディレイ・カウンタ（下位8ビット・タイマのみ）

また，ユニット0のチャネル7は，シリアル・アレイ・ユニットのUART2と連携し，LIN-bus通信動作を実現することができます（30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128ピン製品のみ）。

6. 1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

6. 1. 1　単独チャネル動作機能

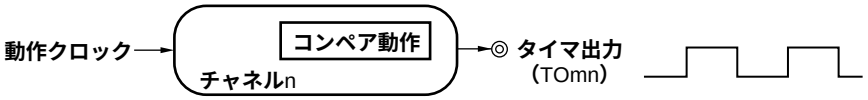
単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

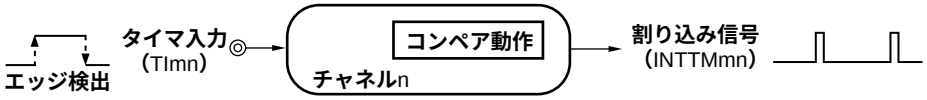
(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TOmn）より出力します。



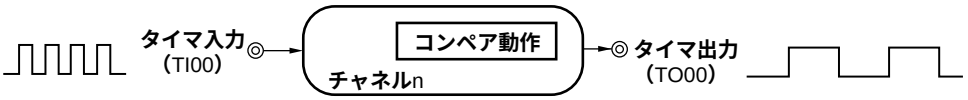
(3) 外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



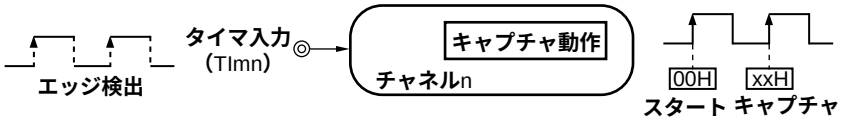
(4) 分周器機能（ユニット0のチャネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



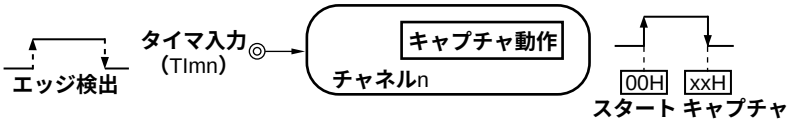
(5) 入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



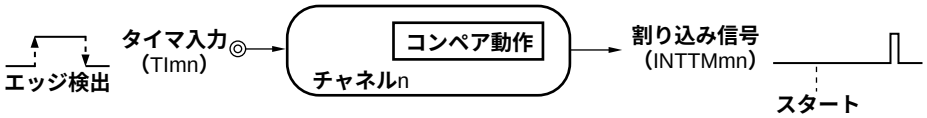
(6) 入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考1.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2.　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

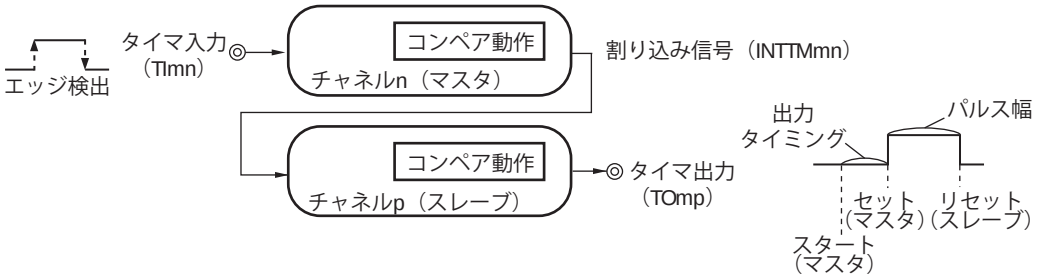
6. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

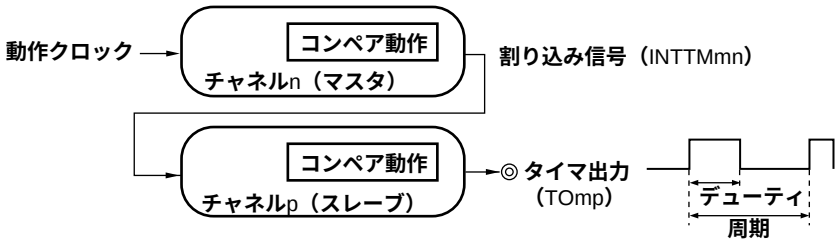
(1) ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



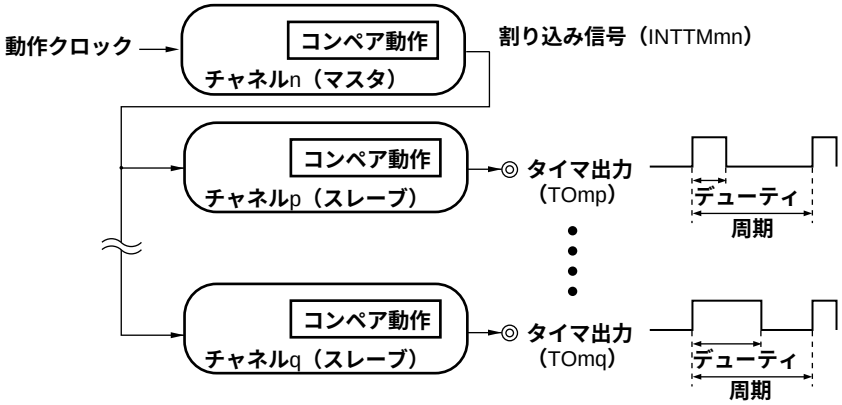
(2) PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7），
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

6. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。チャネル1, 3のみが使用できます。

注意　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。

6. 1. 4　LIN-bus対応機能（ユニット0のチャネル7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウエイクアップ信号の検出

UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウエイクアップ信号検出後，UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後，UART2のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については，6. 3. 13　**入力切り替え制御レジスタ（ISC）**，6. 8. 5　**入力信号のハイ／ロウ・レベル幅測定としての動作**を参照してください。

6. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタmn（TCRmn）
レジスタ	タイマ・データ・レジスタmn（TDRmn）
タイマ入力	TI00-TI07, TI10-TI17[注1]，RxD2端子（LIN-bus用）
タイマ出力	TO00-TO07, TO10-TO17[注1]，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・タイマ・クロック選択レジスタm（TPSm） ・タイマ・チャネル許可ステータス・レジスタm（TEm） ・タイマ・チャネル開始レジスタm（TSm） ・タイマ・チャネル停止レジスタm（TTm） ・タイマ入力選択レジスタ0（TIS0） ・タイマ出力許可レジスタm（TOEm） ・タイマ出力レジスタm（TOm） ・タイマ出力レベル・レジスタm（TOLm） ・タイマ出力モード・レジスタm（TOMm）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタmn（TMRmn） ・タイマ・ステータス・レジスタmn（TSRmn） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2） ・ポート・モード・コントロール・レジスタ（PMCxx）[注2] ・ポート・モード・レジスタ（PMxx）[注2] ・ポート・レジスタ（Pxx）[注2]

注1. チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

2. 製品によって設定するポート・モード・コントロール・レジスタ（PMCxx），ポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）が異なります。詳細は，4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例を参照してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子の有無は，製品によって異なります。

表6－2　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル		各製品の入出力端子の有無									
		128ピン	100ピン	80ピン	64ピン	52ピン	44, 48ピン	40ピン	30, 32, 36ピン	24, 25ピン	20ピン
ユニット0	チャネル0	TI00, TO00									
	チャネル1	TI01/TO01									
	チャネル2	TI02/TO02									
	チャネル3	TI03/TO03									－
	チャネル4	TI04/TO04				(TI04/TO04)	(TI04/TO04)	(TI04/TO04)	(TI04/TO04)	－	－
	チャネル5	TI05/TO05		TI05/TO05		(TI05/TO05)	(TI05/TO05)	(TI05/TO05)	(TI05/TO05)	－	－
	チャネル6	TI06/TO06		TI06/TO06		(TI06/TO06)	(TI06/TO06)	(TI06/TO06)	(TI06/TO06)	－	－
	チャネル7	TI07/TO07		TI07/TO07				(TI07/TO07)	(TI07/TO07)	－	－
ユニット1	チャネル0	TI10/TO10			×	×	×	×	×	×	×
	チャネル1	TI11/TO11			×	×	×	×	×	×	×
	チャネル2	TI12/TO12			×	×	×	×	×	×	×
	チャネル3	TI13/TO13			×	×	×	×	×	×	×
	チャネル4	TI14/TO14	×	×	×	×	×	×	×	×	×
	チャネル5	TI15/TO15	×	×	×	×	×	×	×	×	×
	チャネル6	TI16/TO16	×	×	×	×	×	×	×	×	×
	チャネル7	TI17/TO17	×	×	×	×	×	×	×	×	×

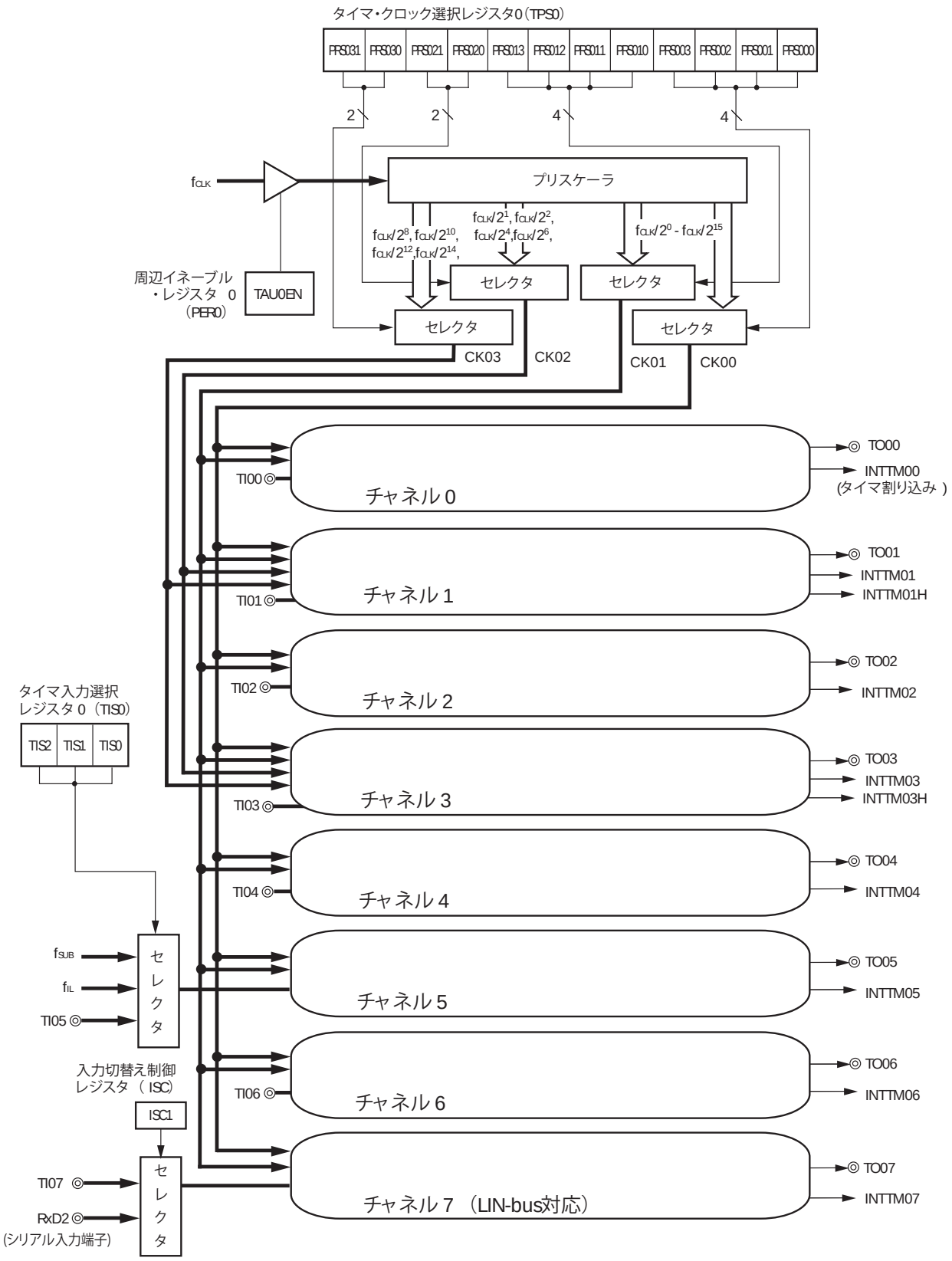
備考1.　タイマ入力とタイマ出力が同一端子で兼用されている場合は，タイマ入力かタイマ出力のどちらかのみ使用可能です。

2.　－：タイマ入出力端子はないが，チャネルは搭載（インターバルタイマとしてのみ使用可能）
　　×：チャネル非搭載

3.　(　) は周辺I/Oリダイレクション・レジスタ（PIOR）のビット0を“1”に設定したときの兼用ポート

図6－1にタイマ・アレイ・ユニットのブロック図を示します。

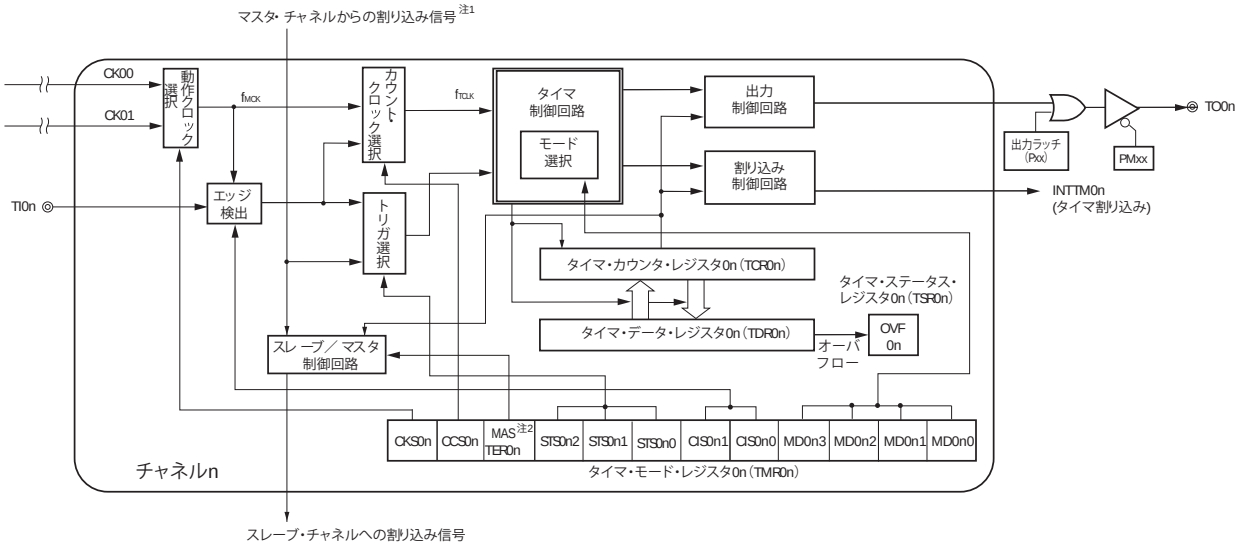
図6－1　タイマ・アレイ・ユニット0の全体ブロック図（例：64ピン製品）



備考　f_{SUB}　**：サブシステム・クロック周波数**

f_{IL}　**：低速オンチップ・オシレータ・クロック周波数**

図6－2 タイマ・アレイ・ユニット0のチャネル0, 2, 4, 6内部ブロック図

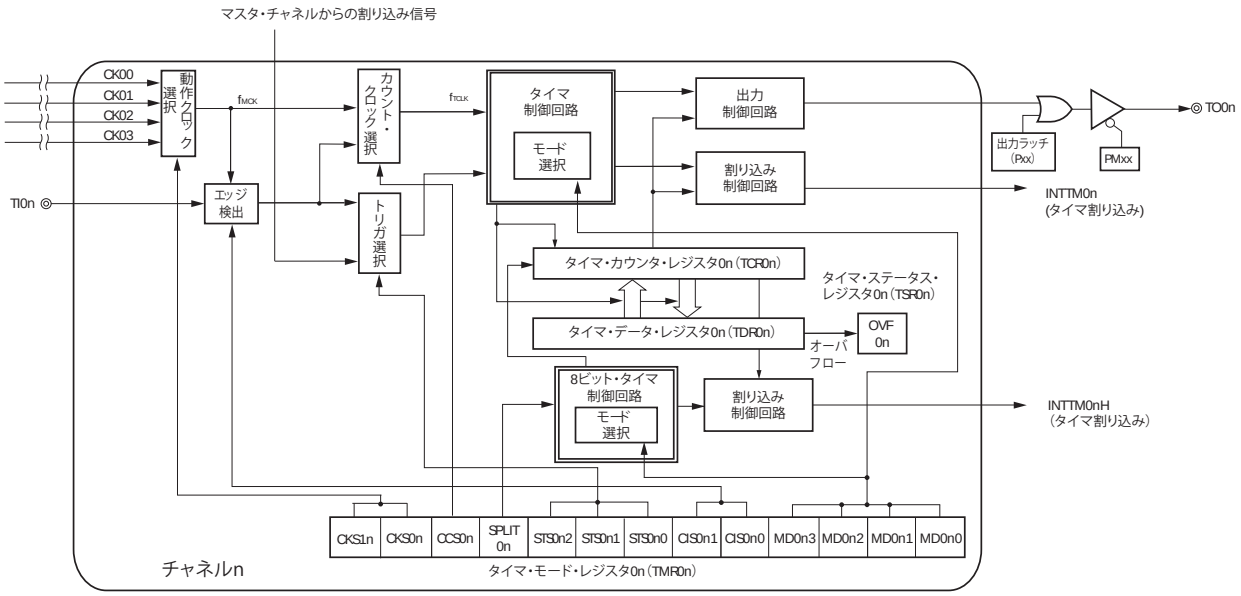


注 1. **チャネル**2, 4, 6**のみ**

2. n =2, 4, 6**のみ**

備考 n = 0, 2, 4, 6

図6－3 タイマ・アレイ・ユニット0のチャネル1, 3内部ブロック図



備考 n = 1, 3

図6－4 タイマ・アレイ・ユニット0のチャネル5内部ブロック図

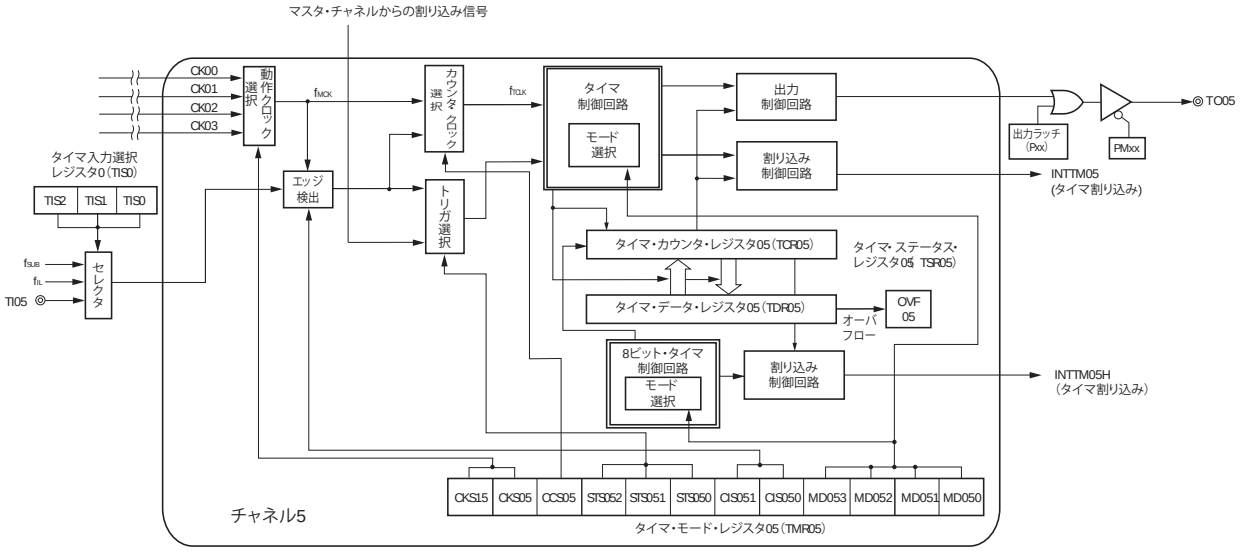
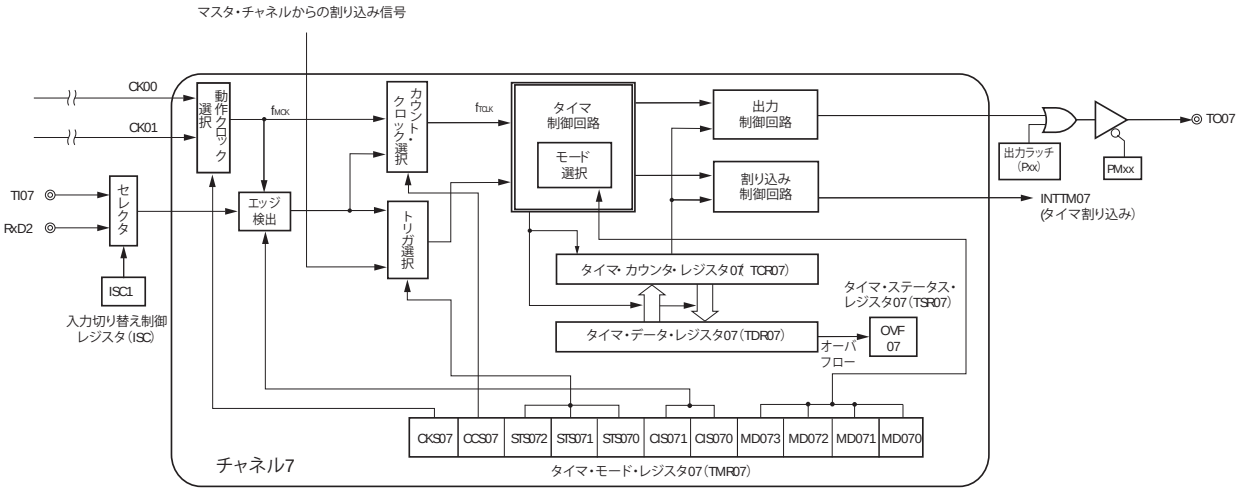


図6－5 タイマ・アレイ・ユニット0のチャネル7内部ブロック図



6. 2. 1　タイマ・カウンタ・レジスタmn（TCRmn）

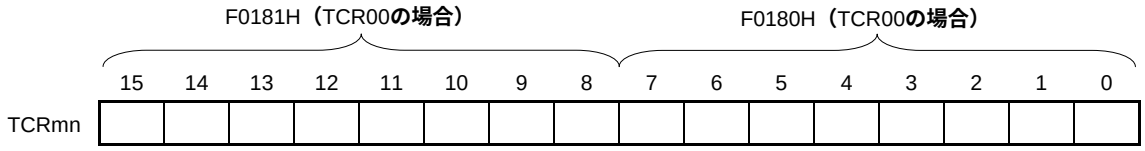
TCRmnレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります（6. 3. 3 タイマ・モード・レジスタmn（TMRmn）参照）。

図6－6　タイマ・カウンタ・レジスタmn（TCRmn）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F018EH, F018FH（TCR07），　リセット時：FFFFH　　R
：F01C0H, F01C1H（TCR10）- F01CEH, F01CFH（TCR17）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

タイマ・カウンタ・レジスタmn（TCRmn）をリードすることにより，カウント値をリードできます。
次の場合，カウント値はFFFFHになります。
- リセット信号の発生時
- 周辺イネーブル・レジスタ0（PER0）のTAUmENビットをクリアしたとき
- PWM出力モードで，スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。
- キャプチャ・モード時に，スタート・トリガが入力されたとき
- キャプチャ・モード時で，キャプチャ完了時

注意　TCRmnレジスタをリードしても，タイマ・データ・レジスタmn（TDRmn）にはキャプチャしません。

TCRmnレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCRmn）の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）した場合の値	カウント動作を一時停止（TTmn = 1）後，動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン･カウント	FFFFH	停止時の値	不定	－
キャプチャ・モード	アップ･カウント	0000H	停止時の値	不定	－
イベント・カウンタ・モード	ダウン･カウント	FFFFH	停止時の値	不定	－
ワンカウント・モード	ダウン･カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ･カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値＋1

注　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の，TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 2. 2　タイマ・データ・レジスタmn（TDRmn）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDRm1, TDRm3レジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタm1, m3（TMRm1, TMRm3）のSPLITビットが1）に，上位8ビットをTDRm1H, TDRm3H，下位8ビットをTDRm1L, TDRm3Lとして，8ビット単位でリード/ライト可能になります。

リセット信号の発生により，TDRmnレジスタは0000Hになります。

図6－7　タイマ・データ・レジスタmn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF64H, FFF65H（TDR02）,　リセット時：0000H　R/W
FFF68H, FFF69H（TDR04）- FFF6EH, FFF6FH（TDR07）,
FFF70H, FFF71H（TDR10）, FFF74H, FFF75H（TDR12）,
FFF78H, FFF79H（TDR14）- FFF7EH, FFF7FH（TDR17）

	FFF19H（TDR00の場合）								FFF18H（TDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRmn																

図6－8　タイマ・データ・レジスタmn（TDRmn）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF66H, FFF67H（TDR03）,　リセット時：0000H　R/W
FFF72H, FFF73H（TDR11）, FFF76H, FFF77H（TDR13）

	FFF1BH（TDR01Hの場合）								FFF1AH（TDR01Lの場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRmn																

（ｉ）タイマ・データ・レジスタmn（TDRmn）をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ii）タイマ・データ・レジスタmn（TDRmn）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタmn（TCRmn）のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして，TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタmn（TMRmn）で設定します。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- タイマ・クロック選択レジスタm（TPSm）
- タイマ・モード・レジスタmn（TMRmn）
- タイマ・ステータス・レジスタmn（TSRmn）
- タイマ・チャネル許可ステータス・レジスタm（TEm）
- タイマ・チャネル開始レジスタm（TSm）
- タイマ・チャネル停止レジスタm（TTm）
- タイマ入力選択レジスタ0（TIS0）
- タイマ出力許可レジスタm（TOEm）
- タイマ出力レジスタm（TOm）
- タイマ出力レベル・レジスタm（TOLm）
- タイマ出力モード・レジスタm（TOMm）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）
- ポート・モード・コントロール・レジスタ（PMCxx）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）

注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

タイマ・アレイ・ユニット1を使用する場合は，必ずビット1（TAU1EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－9　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注1	ADCEN	IICA0EN注2	SAU1EN注3	SAU0EN	TAU1EN注1	TAU0EN

TAU1EN	タイマ・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注1.　80, 100, 128ピン製品のみ。

2.　20ピン製品には搭載されていません。

3.　20, 24, 25ピン製品には搭載されていません。

（注意は次ページにあります。）

注意1. タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAUmEN = 1の状態で，下記のレジスタの設定を行ってください。TAUmEN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタは初期値となり，書き込みは無視されます（タイマ入力選択レジスタ0（TIS0），入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2），ポート・モード・コントロール・レジスタ0, 3, 14（PMC0, PMC3, PMC14），ポート・モード・レジスタ0, 1, 3, 4, 6, 10, 14（PM0,PM1, PM3, PM4, PM6, PM10, PM14），ポート・レジスタ0, 1, 3, 4, 6, 10, 14（P0, P1, P3, P4, P6,P10, P14）は除く）。

- タイマ・クロック選択レジスタm（TPSm）
- タイマ・モード・レジスタmn（TMRmn）
- タイマ・ステータス・レジスタmn（TSRmn）
- タイマ・チャネル許可ステータス・レジスタm（TEm）
- タイマ・チャネル開始レジスタm（TSm）
- タイマ・チャネル停止レジスタm（TTm）
- タイマ出力許可レジスタm（TOEm）
- タイマ出力レジスタm（TOm）
- タイマ出力レベル・レジスタm（TOLm）
- タイマ出力モード・レジスタm（TOMm）

2. 次のビットには必ず“0”を設定してください。

20ピン製品：ビット1, 3, 4, 6

24, 25ピン製品：ビット1, 3, 6

30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

6. 3. 2 タイマ・クロック選択レジスタm（TPSm）

TPSmレジスタは，各チャネルに共通して供給される2種類または4種類の動作クロック（CKm0, CKm1, CKm2, CKm3）を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で，CKm1はTPSmレジスタのビット7-4で選択します。さらにチャネル1, 3のみ，CKm2，CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で，CKm3はTPSmレジスタのビット13，12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは，次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 0, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm10-PRSm13ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 0, 1）しているチャネルがすべて停止状態（TEmn = 0）

PRSm20, PRSm21ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 1, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm30-PRSm31ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 1, 1）しているチャネルがすべて停止状態（TEmn = 0）

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSmレジスタは0000Hになります。

図6－10　タイマ・クロック選択レジスタm（TPSm）のフォーマット（1/2）

アドレス：F01B6H, F01B7H（TPS0）, F01F6H, F01F7H（TPS1）　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注]（k = 0, 1）					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

注意1.　ビット15, 14, 11, 10には，必ず0を設定してください。

2.　動作クロック（CKmk）にf_{CLK}（分周なし）を選択し，TDRnm = 0000H（n = 0, 1, m = 0-7）を設定すると，タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPSmレジスタで選択するクロックの波形は，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります（m = 1-15）。詳しくは，6. 5. 1　**カウント・クロック（f_{TCLK}）**を参照してください。

図6－10　タイマ・クロック選択レジスタm（TPSm）のフォーマット（2/2）

アドレス：F01B6H, F01B7H（TPS0）, F01F6H, F01F7H（TPS1）　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック（CKm2）の選択[注]					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック（CKm3）の選択[注]					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には，必ず0を設定してください。

チャネル1, 3を8ビット・タイマ・モードで使用し，CKm2, CKm3を動作クロックとすることにより，インターバル・タイマ機能で，表6－4に示すインターバル時間を実現することが可能です。

表6－4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間[注]（f_{CLK} = 32 MHz）			
		10 μs	100 μs	1 ms	10 ms
CKm2	$f_{CLK}/2$	○	–	–	–
	$f_{CLK}/2^2$	○	–	–	–
	$f_{CLK}/2^4$	○	○	–	–
	$f_{CLK}/2^6$	○	○	–	–
CKm3	$f_{CLK}/2^8$	–	○	○	–
	$f_{CLK}/2^{10}$	–	○	○	–
	$f_{CLK}/2^{12}$	–	–	○	○
	$f_{CLK}/2^{14}$	–	–	○	○

注　○には5%以下の誤差が含まれます。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPSmレジスタで選択する$f_{CLK}/2^j$の波形の詳細は，6. 5. 1　カウント・クロック（f_{TCLK}）を参照してください。

6. 3. 3　タイマ・モード・レジスタmn（TMRmn）

TMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMRmnレジスタは，動作中（TEmn = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CISmn1, CISmn0）は，一部の機能で動作中（TEmn = 1のとき）の書き換えが可能です（詳細は6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能，6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能を参照）。

TMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMRmnレジスタは0000Hになります。

注意　TMRmnレジスタのビット11は，チャネルによって搭載するビットが異なります。
TMRm2, TMRm4, TMRm6：MASTERmnビット（n = 2, 4, 6）
TMRm1, TMRm3：SPLITmnビット（n = 1, 3）
TMRm0, TMRm5, TMRm7：0固定

図6－11　タイマ・モード・レジスタmn（TMRmn）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）,　**リセット時：**0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCKm2, CKm3は，チャネル1, 3のみ選択可能です。		

CCS mn	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
1	TImn端子からの入力信号の有効エッジ チャネル5では，TIS0で選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，タイマ・カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

注意 1. ビット13, 5, 4には，必ず0を設定してください。

2. カウント・クロック（f_{TCLK}）にCKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm＝00FFH）させてください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－11　タイマ・モード・レジスタmn（TMRmn）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）,　**リセット時：**0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MASTERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

（TMRmn（n = 2, 4, 6）のビット11）

MASTERmn	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2, 4, 6のみマスタ・チャネル（MASTERmn = 1）に設定できます。 チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0 にします。	

（TMRmn（n = 1, 3）のビット11）

SPLITmn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－11　タイマ・モード・レジスタmn（TMRmn）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）,　**リセット時：**0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKSmn1	CKSmn0	0	CCSmn	0注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CISmn1	CISmn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。		

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－11　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），　**リセット時：**0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2, 4, 6）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0, 5, 7）	CKS mn1	CKS mn0	0	CCS mn	0[注1]	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は，MDmn0ビットによって変わります（下表を参照）。					

動作モード（MDmn3-MDmn1で設定（上表参照））	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード[注2]（1, 0, 0）	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注3]。 その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。

注1.　ビット11はRead onlyの0固定で，書き込みは無視されます。
2.　ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTMmn），TOmn出力は制御しません。
3.　動作中にスタート・トリガ（TSmn = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生せず）。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3. 4　タイマ・ステータス・レジスタmn（TSRmn）

TSRmnレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは，キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでのOVFビットの動作とセット／クリア条件は表6－5を参照してください。

TSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは，TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmnレジスタは0000Hになります。

図6－12　タイマ・ステータス・レジスタmn（TSRmn）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01AEH, F01AFH（TSR07），　リセット時：0000H　R
F01E0H, F01E1H（TSR10）- F01EEH, F01EFH（TSR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

表6－5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

6. 3. 5　タイマ・チャネル許可ステータス・レジスタm（TEm）

TEmレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは，タイマ・チャネル開始レジスタm（TSm）とタイマ・チャネル停止レジスタm（TTm）の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると，TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TEmレジスタは，16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは，TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEmレジスタは0000Hになります。

図6－13　タイマ・チャネル許可ステータス・レジスタm（TEm）のフォーマット

アドレス：F01B0H, F01B1H（TE0）, F01F0H, F01F1H（TE1）　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1，3が8ビット・タイマ・モード時は，TEm1，TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3. 6　タイマ・チャネル開始レジスタm（TSm）

TSmレジスタは，タイマ・カウンタ・レジスタmn（TCRmn）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので，動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは，16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは，TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TSmレジスタは0000Hになります。

図6－14　タイマ・チャネル開始レジスタm（TSm）のフォーマット

アドレス：F01B2H, F01B3H（TS0）, F01F2H, F01F3H（TS1）　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は，インターバル・タイマ・モードになります（6. 5. 2　カウンタのスタート・タイミングの表6－6参照）。

TSHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は，インターバル・タイマ・モードになります（6. 5. 2　カウンタのスタート・タイミングの表6－6参照）。

TSmn	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は，各動作モードにより異なります（6. 5. 2　カウンタのスタート・タイミングの表6－6参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意，備考は次ページにあります。）

注意1. **ビット**15-12, 10, 8**には必ず**0**を設定してください。**

2. TImn**端子入力を使用しない機能から，**TImn**端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタ**mn**（**TMRmn**）設定後，**TSmn**（**TSHm1, TSHm3**）ビットを**1**に設定するまでに，次の期間ウエイトが必要になります。**

TImn**端子のノイズ・フィルタ有効時**（TNFENmn = 1）**：動作クロック**（f_{MCK}）**の**4**クロック**

TImn**端子のノイズ・フィルタ無効時**（TNFENmn = 0）**：動作クロック**（f_{MCK}）**の**2**クロック**

備考1. TSm**レジスタの読み出し値は常に**0**となります。**

2. m**：ユニット番号**（m = 0, 1），n**：チャネル番号**（n = 0-7）

6. 3. 7　タイマ・チャネル停止レジスタm（TTm）

TTmレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので，動作停止状態（TEmn, TEHm1, TEHm3 = 0）になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは，16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは，TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TTmレジスタは0000Hになります。

図6－15　タイマ・チャネル停止レジスタm（TTm）のフォーマット

アドレス：F01B4H, F01B5H（TT0）, F01F4H, F01F5H（TT1）　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし，カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし，カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし，カウント動作停止状態になる。 チャネル1，3が8ビット・タイマ・モード時は，TTm1，TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意　ビット15-12, 10, 8**には必ず**0**を設定してください。**

備考1.　TTmレジスタの読み出し値は常に0となります。

2.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3. 8　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，ユニット0のチャネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TIS0レジスタは00Hになります。

図6－16　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

注意　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/f_{MCK}+10 ns**以上必要となります。**
そのため，f_{CLK}**に**f_{SUB}**を選択時（**CKS**レジスタの**CSS = 1**）は，**TIS02**ビットに**1**を設定できません。**

6. 3. 9　タイマ出力許可レジスタm（TOEm）

TOEmレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタm（TOm）のTOmnビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEmレジスタは，16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは，TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOEmレジスタは0000Hになります。

図6－17　タイマ出力許可レジスタm（TOEm）のフォーマット

アドレス：F01BAH, F01BBH（TOE0）, F01FAH, F01FBH（TOE1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず，出力を固定します。 TOmnビットへの書き込みが可能となり，TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し，出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　ビット15-8には必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3. 10　タイマ出力レジスタm（TOm）

TOmレジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタのTOmnビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，P00/TI00，P01/TO00，P16/TI01/TO01，P17/TI02/TO02，P31/TI03/TO03，P42/TI04/TO04，P46/TI05/TO05，P102/TI06/TO06，P145/TI07/TO07，P64/TI10/TO10，P65/TI11/TO11，P66/TI12/TO12，P67/TI13/TO13，P103/TI14/TO14，P104/TI15/TO15，P105/TI16/TO16，P106/TI17/TO17をポート機能として使用する場合は，該当するTOmnビットに“0”を設定してください。

TOmレジスタは，16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは，TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOmレジスタは0000Hになります。

図6－18　タイマ出力レジスタm（TOm）のフォーマット

アドレス：F01B8H, F01B9H（TO0）, F01F8H, F01F9H（TO1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意　ビット15-8には必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 3. 11　タイマ出力レベル・レジスタm（TOLm）

TOLmレジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOEmn = 1），複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には，このレジスタの設定は無効となります。

TOLmレジスタは，16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは，TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOLmレジスタは0000Hになります。

図6－19　タイマ出力レベル・レジスタm（TOLm）のフォーマット

アドレス：F01BCH, F01BDH（TOL0）, F01FCH, F01FDH（TOL1）　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注意　ビット15-8, 0**には必ず**0**を設定してください。**

備考1.　タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2.　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

6. 3. 12　タイマ出力モード・レジスタm（TOMm）

TOMmレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMmレジスタは，16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは，TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOMmレジスタは0000Hになります。

図6－20　タイマ出力モード・レジスタm（TOMm）のフォーマット

アドレス：F01BEH, F01BFH（TOM0）, F01FEH, F01FFH（TOM1）　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意　ビット15-8, 0には必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

n＜p≦7

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください）

6. 3. 13　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1, ISC0ビットは，チャネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると，シリアル・データ入力端子（RxD2）の入力信号がタイマ入力として選択されます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図6－21　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128ピン製品： TI07端子の入力信号をタイマ入力とする（通常動作） 20, 24, 25,ピン製品の場合： チャネル7でタイマ入力信号を使用しない
1	RxD2端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定） 20, 24, 25ピン製品の場合は設定不可。

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット7-2に必ず0を設定してください。

備考　LIN-bus通信を使用する場合は，ISC1 = 1に設定してRxD2端子の入力信号を選択しておいてください。

6. 3. 14　ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）

NFEN1, NFEN2レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います[注]。

NFEN1, NFEN2レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1, NFEN2レジスタは00Hになります。

注　詳細は，6. 5. 1（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1），6. 5. 2 カウンタのスタート・タイミング，6. 7　タイマ入力（TImn）の制御を参照してください。

図6－22　ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）のフォーマット（1/2）

アドレス：F0071H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

アドレス：F0072H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN2	TNFEN17	TNFEN16	TNFEN15	TNFEN14	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN07	TI07/TO07/P145端子またはRxD2/P14端子入力信号のノイズ・フィルタ使用可否[注]
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	TI06/TO06/P102端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05/TO05/P46端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN04	TI04/TO04/P04端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03/TO03/P31端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02/TO02/P17端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01/TO01/P16端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00/P00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注　入力切り替え制御レジスタ（ISC）のISC1ビットを設定することにより，適用する端子を切り替えることができます。

ISC1 = 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定：RxD2端子のノイズ・フィルタ使用可否選択が可能

備考　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

図6－22　ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）のフォーマット（2/2）

アドレス：F0071H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

アドレス：F0072H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN2	TNFEN17	TNFEN16	TNFEN15	TNFEN14	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN17	TI17/TO17/P106端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN16	TI16/TO16/P105端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN15	TI15/TO15/P104端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN14	TI14/TO14/P103端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN13	TI13/TO13/P67端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN12	TI12/TO12/P66端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN11	TI11/TO11/P65端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN10	TI10/TO10/P64端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

備考　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 2　ポート・レジスタ（Pxx），4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

また，製品によって設定するポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート・モード・コントロール・レジスタ（PMCxx）が異なります。詳細は，4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例を参照してください。

タイマ出力端子を兼用するポート（P00/TI00, P01/TO00など）をタイマ出力として使用するときは，各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビット，ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P01/ TO00をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート（P00/TI00など）をタイマ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P00/TI00をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定

ポート・モード・レジスタ0のPM00ビットを1に設定

ポート・レジスタ0のP00ビットを0または1に設定

6.4　タイマ・アレイ・ユニットの基本ルール

6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2，チャネル4，…）のみ設定できます。
(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例　チャネル2をマスタ・チャネルにした場合，チャネル3以降（チャネル3，チャネル4，チャネル5，…）をスレーブ・チャネルに設定できます。

(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例　チャネル0，チャネル4をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル5-7をスレーブ・チャネルとして設定できません。

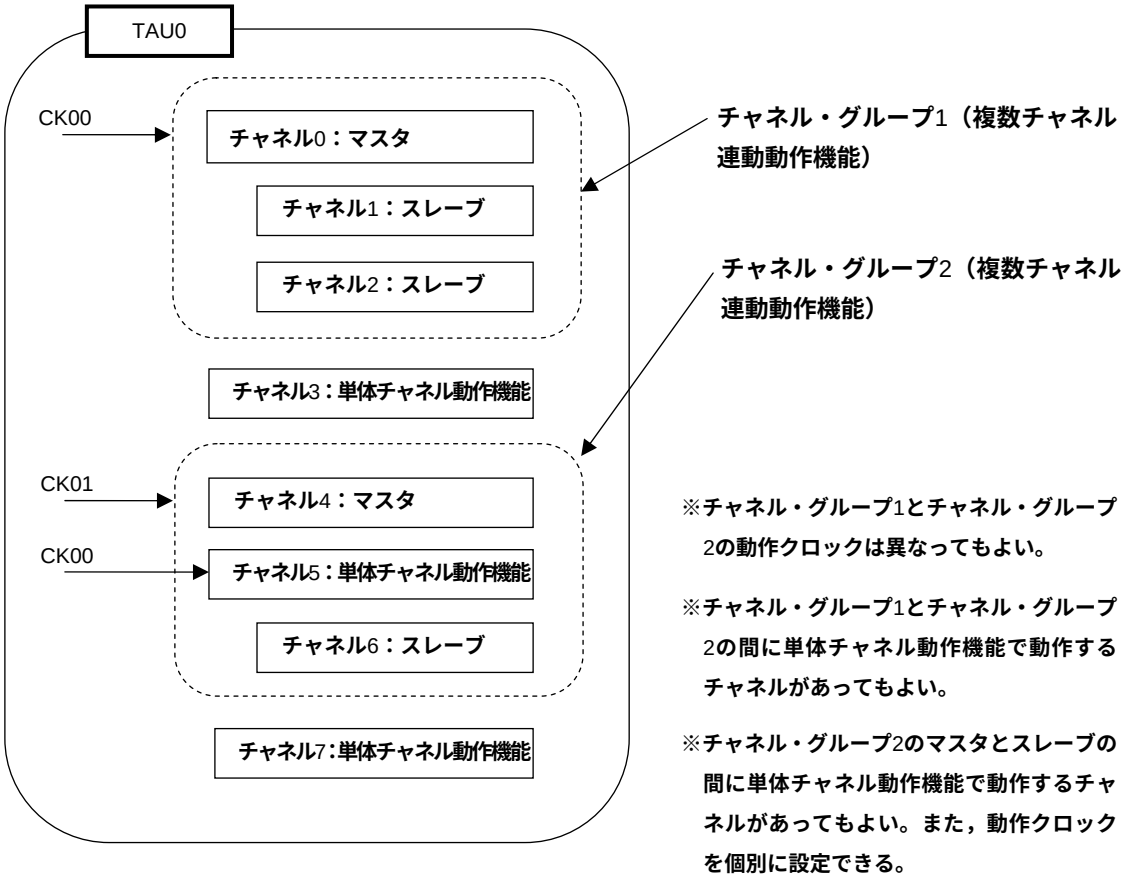
(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
(11) カウント動作中のTSmnビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
(13) 連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，CKm2/CKm3は選択できません。
(14) タイマ・モード・レジスタm0（TMRm0）は，マスタ・ビットがなく，”0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

例


TAU0
CK00
チャネル0：マスタ
チャネル1：スレーブ
チャネル2：スレーブ
チャネル3：単体チャネル動作機能
CK01
チャネル4：マスタ
CK00
チャネル5：単体チャネル動作機能
チャネル6：スレーブ
チャネル7：単体チャネル動作機能
チャネル・グループ1（複数チャネル連動動作機能）
チャネル・グループ2（複数チャネル連動動作機能）
※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。
※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。
※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また，動作クロックを個別に設定できる。

6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

(2) 8ビット・タイマとして使用する場合には，タイマ・モード・レジスタmn（TMRmn）のSPLITビットを“1”に設定します。

(3) 上位8ビットは，インターバル・タイマ機能として動作することができます。

(4) 上位8ビットは，動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。

(5) 上位8ビットの動作クロック選択は，下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。

(6) 上位8ビットは，TSHm1/TSHm3ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3ビットで確認できます。

(7) 下位8ビットは，TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能
- ディレイ・カウント機能

(8) 下位8ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3ビットで確認できます。

(9) 16ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。

(10) 8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1, 3）

6. 5　カウンタの動作

6. 5. 1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタmn（TMRmn）のCCSmnビットにより，以下のどちらかを選択することができます。

- CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
- TImn端子からの入力信号の有効エッジ

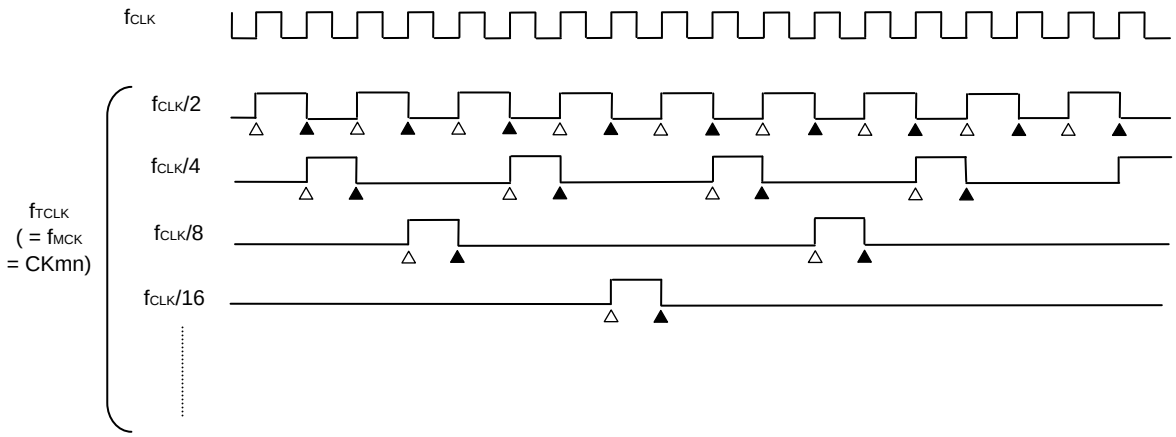
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

(1) CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタm（TPSm）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただし，f_{CLK}の分周を選んだ場合，TPSmレジスタで選択するクロックは，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるため，カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6－23　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCSmn = 0時）



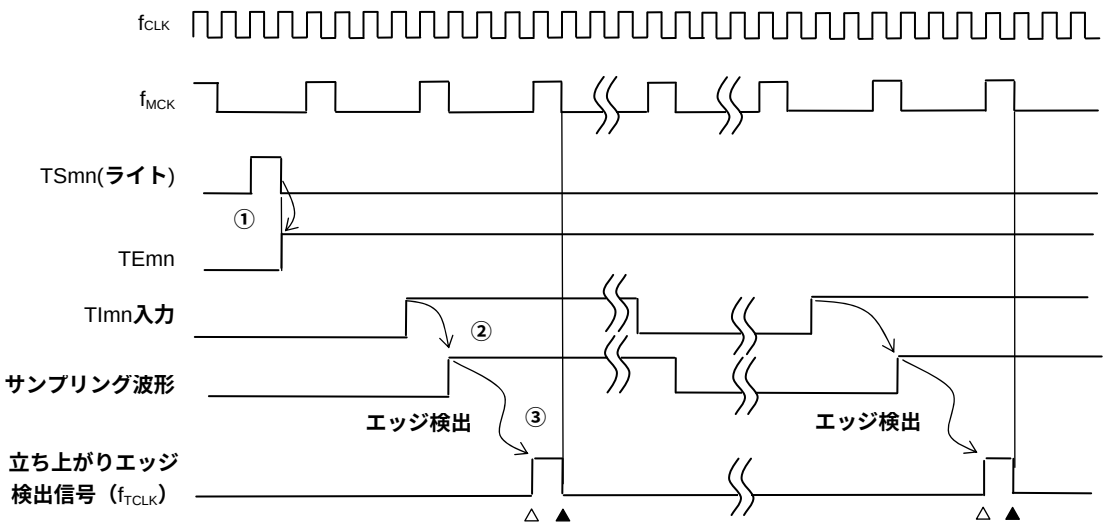
備考1．△：カウント･クロックの立ち上がり
　　▲：同期化，カウンタのインクリメント／デクリメント
　2．f_{CLK}：CPU／周辺ハードウエア・クロック

（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（f_{TCLK}）は，TImn端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTImn端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図6－24　カウント・クロック（f_{TCLK}）のタイミング（CCSmn = 1，ノイズ・フィルタ未使用時）



①TSmnビットをセットすることでタイマが動作を開始し，TImn入力の有効エッジ待ちになります。

②TImn入力の立ち上がりがf_{MCK}でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

備考1．△：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2．f_{CLK}：CPU／周辺ハードウエア・クロック

f_{MCK}：チャネルnの動作クロック

3．入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTImn入力も同様の波形になります。

6. 5. 2　カウンタのスタート・タイミング

タイマ・カウント・レジスタmn（TCRmn）は，タイマ・チャネル開始レジスタm（TSm）のTSmnビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作を，表6－6に示します。

表6－6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（1）インターバル・タイマ・モードの動作参照）。
・イベント・カウンタ・モード	TSmnビットに1を書き込むことにより， TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（2）イベント・カウンタ・モードの動作参照）。
・キャプチャ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 5. 3（3）キャプチャ・モードの動作（入力パルス間隔測定）参照）。
・ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（4）ワンカウント・モードの動作参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 5. 3（5）キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）参照）。

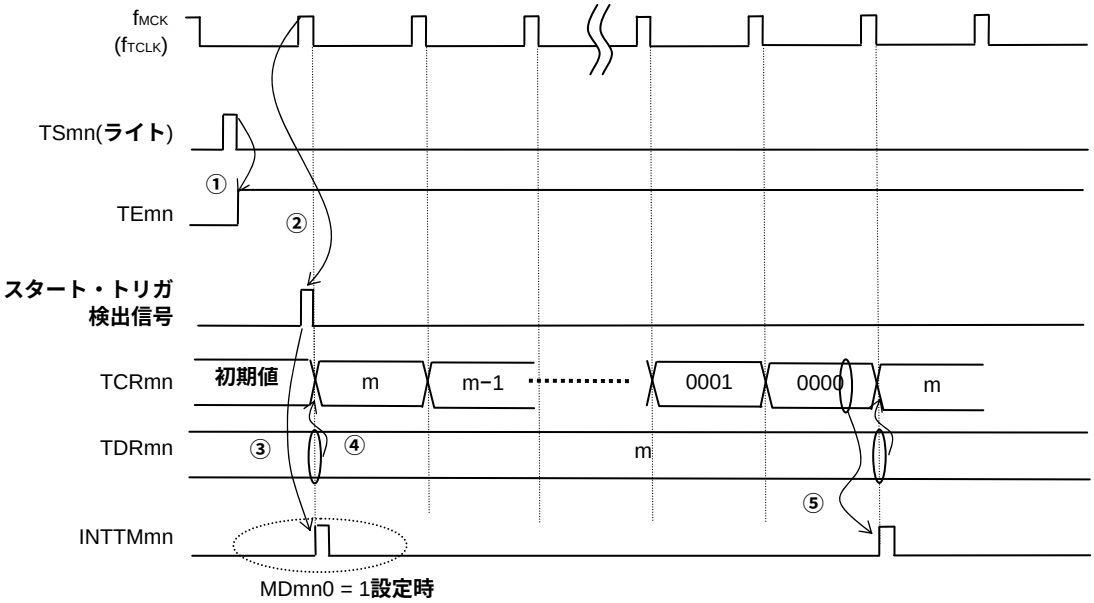
6. 5. 3　カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（f_{MCK}）でINTTMmnを発生し，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図6－25　動作タイミング（インターバル・タイマ・モード）



注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　f_{MCK}，スタート・トリガ検出信号，INTTMmnは，f_{CLK}に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

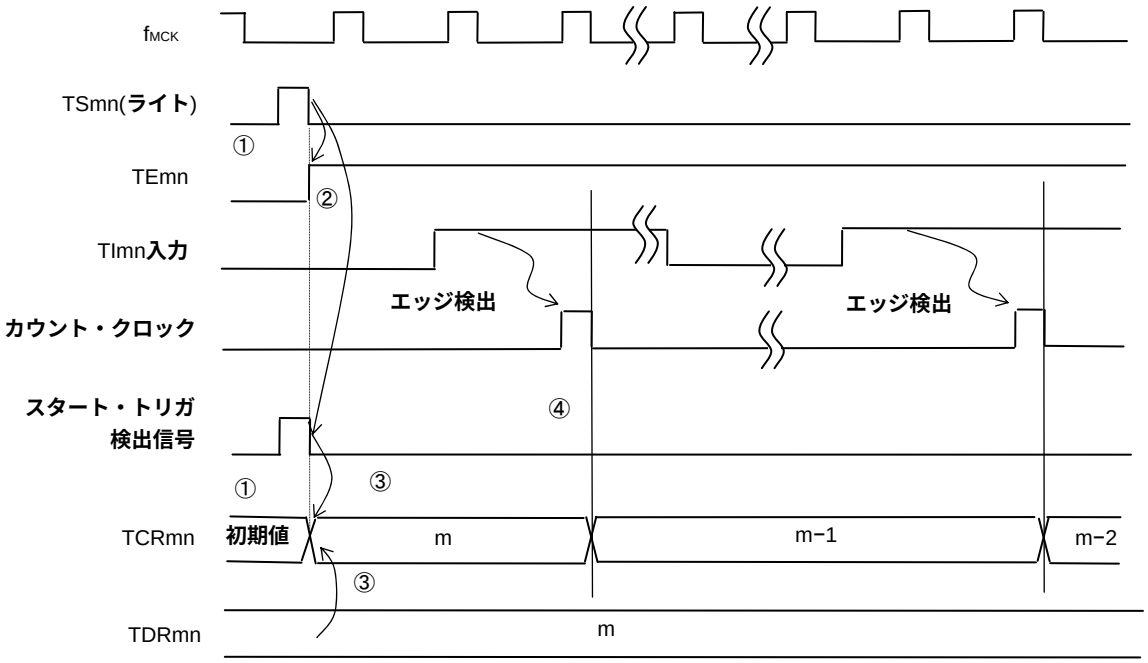
① 動作停止状態（TEmn = 0）の期間，タイマ・カウンタ・レジスタmn（TCRmn）は，初期値を保持します。

② TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。

③ TSmn = 1→TEmn = 1と同時に， TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし，カウントを開始します。

④ 以降はTImn入力の有効エッジでのカウント・クロックに従い， TCRmnレジスタの値をダウン・カウントします。

図6－26　動作タイミング（イベント・カウンタ・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。

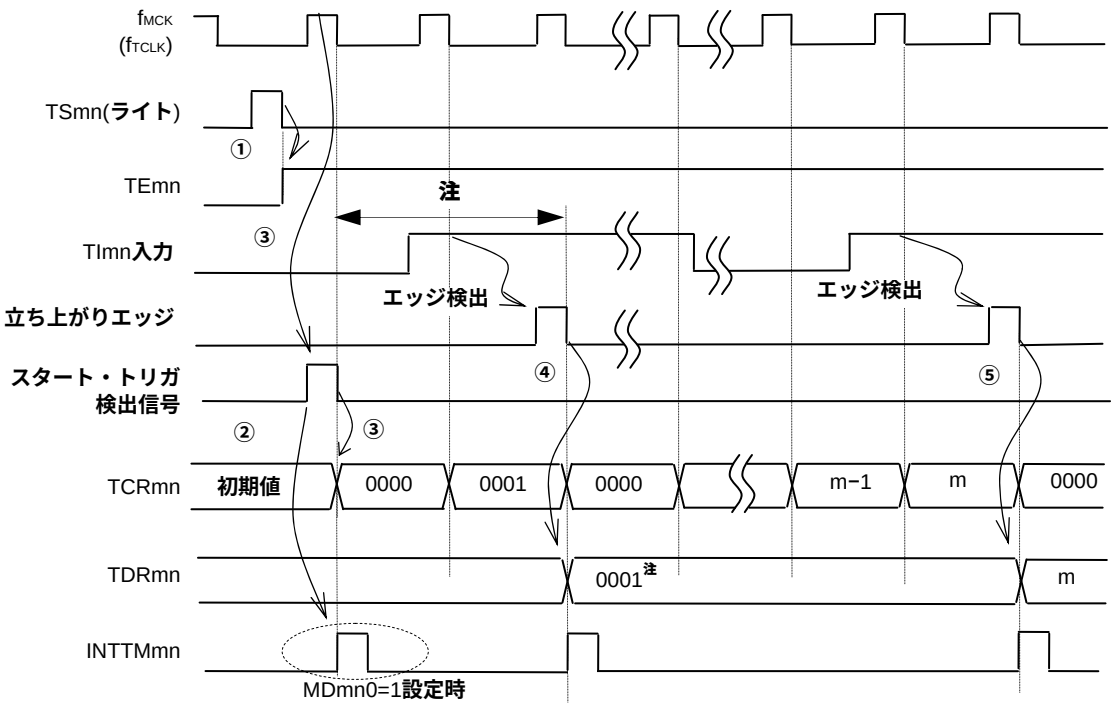
② タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。）

④ TImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。

⑤ 次のTImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－27　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前からTImnにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

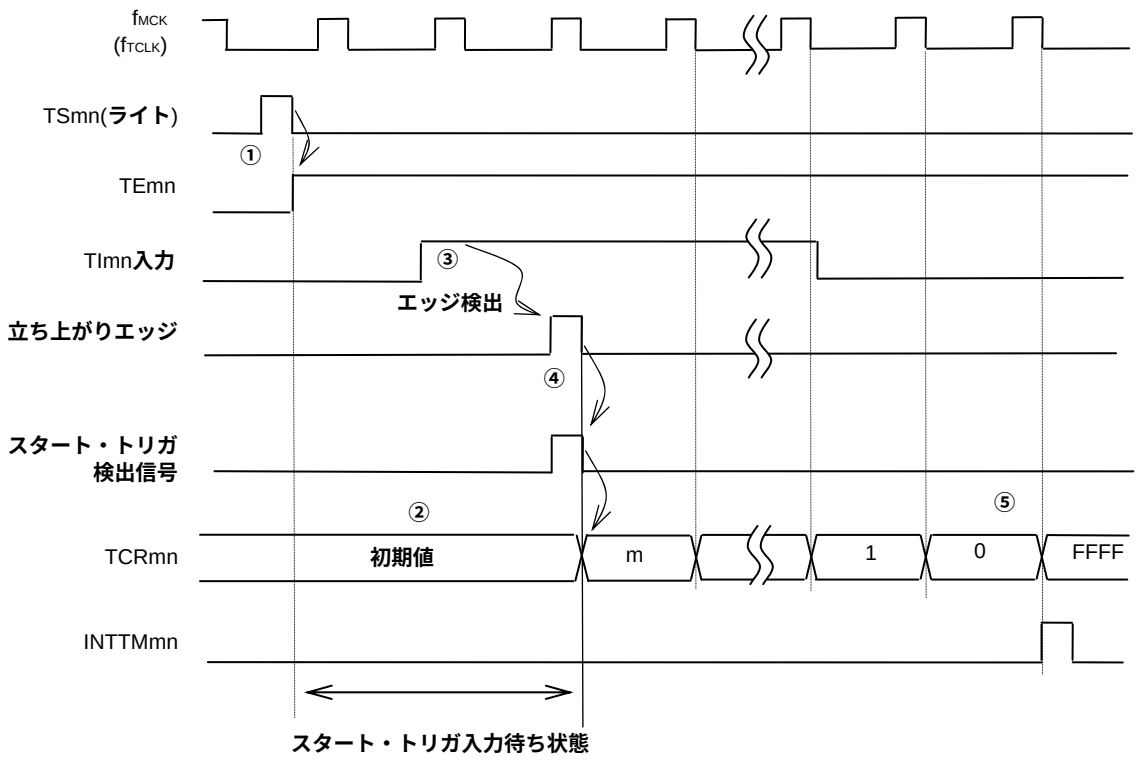
注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

(4) ワンカウント・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDRmnレジスタの値（m）をTCRmnレジスタにロードし，カウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，INTTMmn割り込みを発生し，TCRmnレジスタはFFFFHで停止します。

図6－28　動作タイミング（ワンカウント・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより，動作許可状態（TEmn = 1）となります。

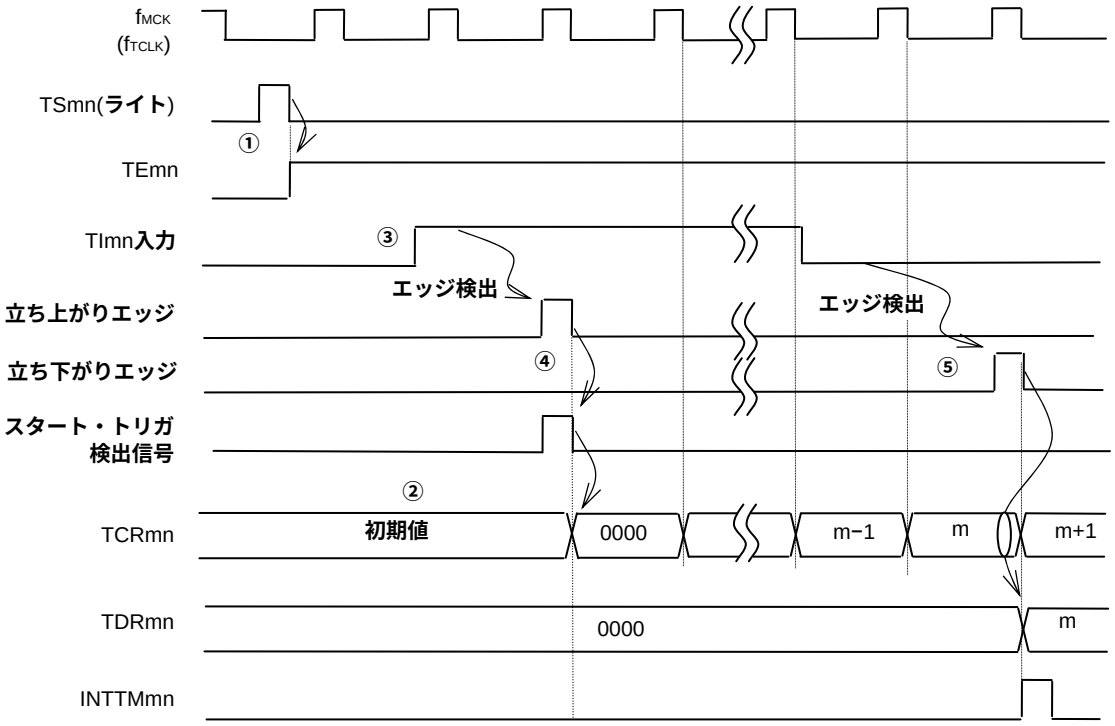
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持します。

③ TImn入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000HをTCRmnレジスタにロードし，カウントを開始します。

⑤ TImn入力の立ち下がりエッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－29　動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

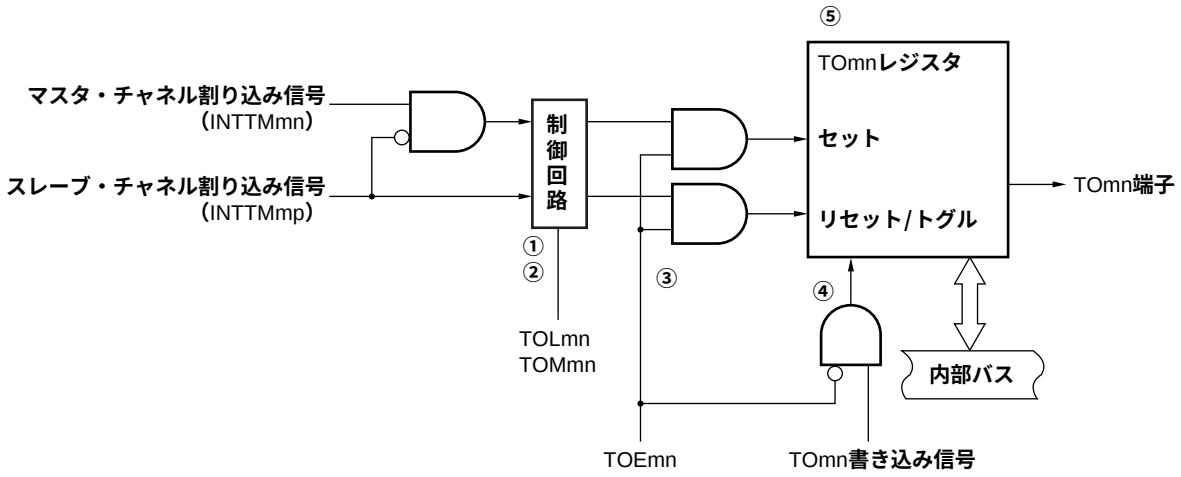


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

6. 6　チャネル出力（TOmn端子）の制御

6. 6. 1　TOmn端子の出力回路の構成

図6－30　出力回路構成図



TOmn端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタm（TOLm）の設定値は無視され，INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタm（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。
このとき，TOLmレジスタが有効となり，次のように信号を制御します。

TOLmn = 0の場合　：正論理出力（INTTMmn→セット，INTTMmp→リセット）
TOLmn = 1の場合　：負論理出力（INTTMmn→リセット，INTTMmp→セット）

また，INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は，INTTMmp（リセット信号）が優先され，INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。TOmレジスタへの書き込み（TOmnライト信号）は無効となります。
また，TOEmn = 1のとき，割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は，タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で，対象チャネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。 タイマ出力禁止状態（TOEmn = 0）のとき，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）はTOmレジスタに伝えられません。

⑤ TOmレジスタは常に読み出し可能であり，TOmn端子の出力レベルを確認することができます。

（備考は次ページにあります。）

備考　m：ユニット番号（m = 0, 1）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

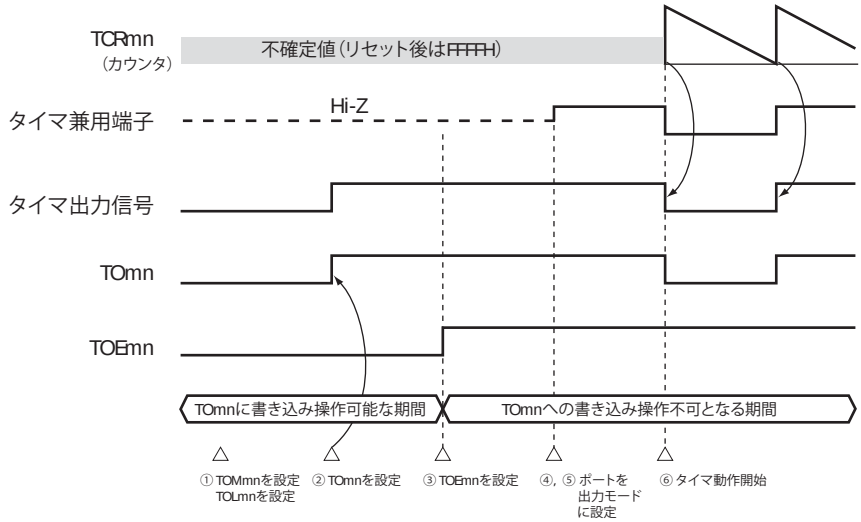
p：スレーブ・チャネル番号

n＜p≦7

6. 6. 2　TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6－31　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）
- TOLmnビット（0：正論理出力，1：負論理出力）

②タイマ出力レジスタm（TOm）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEmnビットに1を書き込み，タイマ出力動作を許可します（TOmレジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ（PMCxx）でポートをデジタル入出力に設定します（6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ参照）。

⑤ ポートの入出力設定を出力に設定します（6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ参照）。

⑥ タイマを動作許可にします（TSmn = 1）。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 6. 3　チャネル出力操作時の注意事項

(1) タイマ動作中のTOm,TOEm,TOLm**レジスタの設定値変更について**

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn）,**タイマ・データ・レジスタ**mn（TDRmn）**の動作）は，**TOmn**出力回路とは独立しています。よって，タイマ出力レジスタ**m（TOm）**，タイマ出力許可レジスタ**m（TOEm）**，タイマ出力レベル・レジスタ**m（TOLm）**の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形を**TOmn**端子から出力するためには，**6. 7, 6. 8**節で示す各動作のレジスタ設定内容例の値に設定してください。**

各チャネルのタイマ割り込み（INTTMmn**）近辺で，**TOm**レジスタを除く**TOEm**レジスタ，**TOLm**レジスタの設定値変更を行うと，タイマ割り込み（**INTTMmn**）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（**INTTMmn**）信号発生タイミング直後に設定値変更が実施された場合とでは，**TOmn**端子に出力される波形が異なる場合があります。**

備考　m**：ユニット番号（**m = 0, 1**），**n**：チャネル番号（**n = 0-7**）**

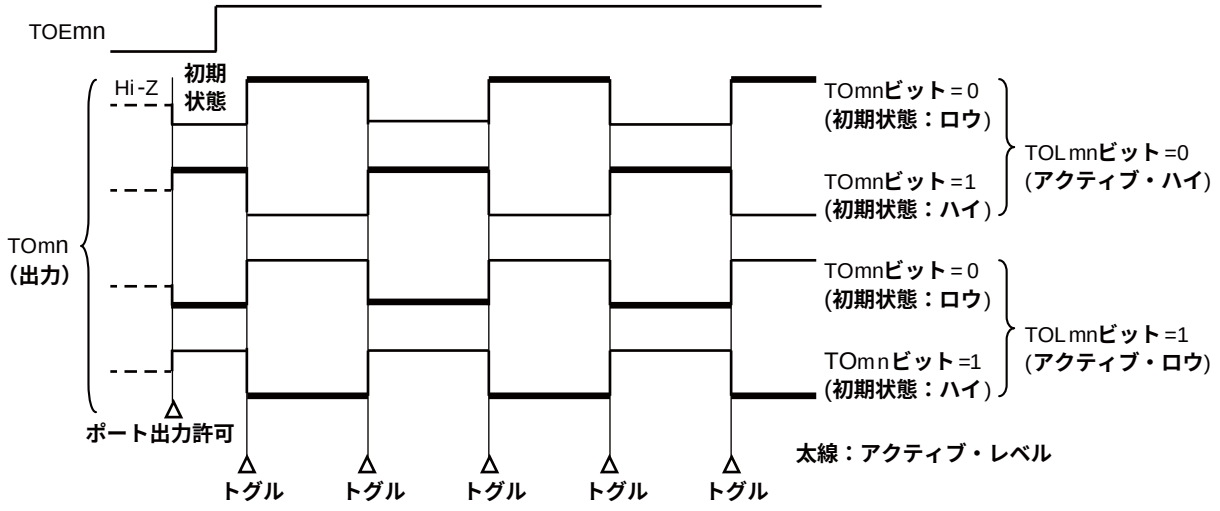
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャネル出力モード（TOMmn= 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn= 0）の時，タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6－32　トグル出力時（TOMmn = 0）のTOmn端子出力状態



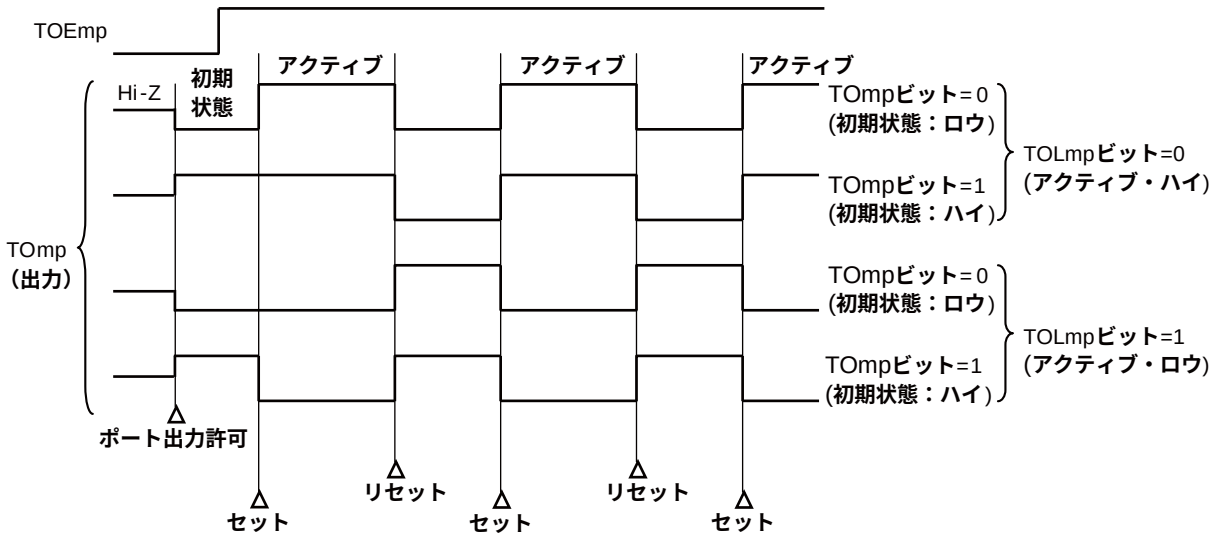
備考1.　トグル：TOmn端子の出力状態を反転

2.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

(b) スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）の時，タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図6ー33　PWM出力時（TOMmp = 1）のTOmp端子出力状態



備考1.　**セット**　：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：**ユニット番号**（m = 0, 1），p：**チャネル番号**（p = 1-7）

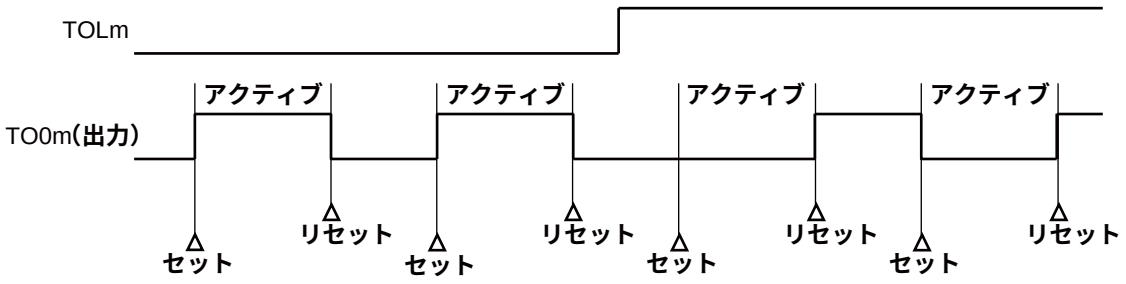
(3) TOmn端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合，設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは，TOmn端子の出力レベルは変化しません。

TOMmn = 1で，タイマ動作中（TEmn = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図6－34　タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1.　セット　　：TOmn端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化
　　リセット　：TOmn端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化
　2.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

(b) セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

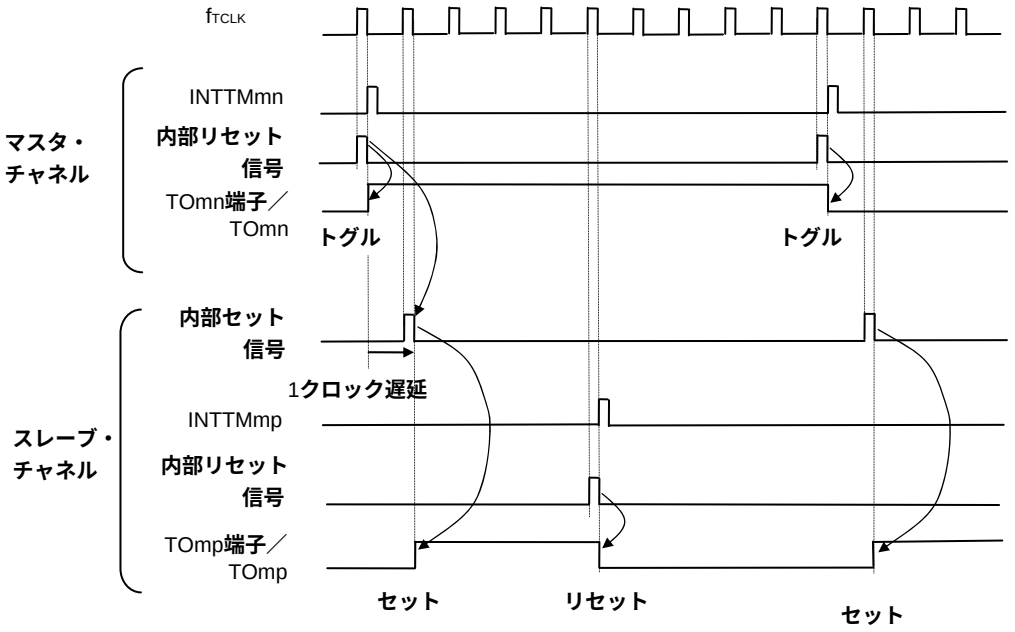
セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図6－35に示します。

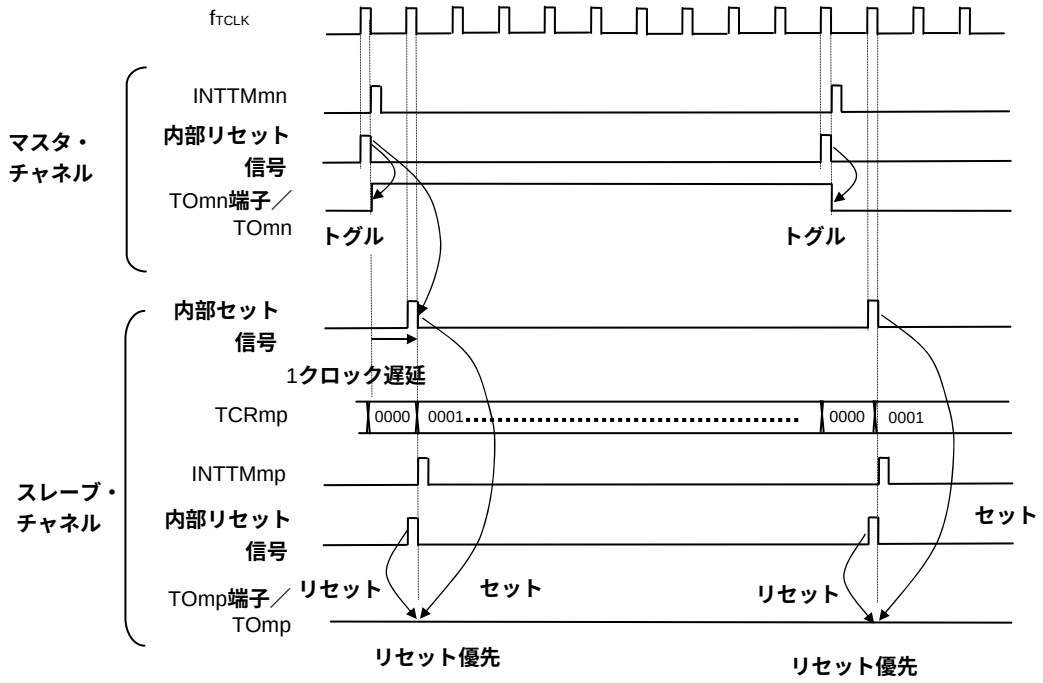
マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0
スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6－35　セット／リセット・タイミング動作状態

（1）基本動作タイミング



（2）0 %デューティ時の動作タイミング



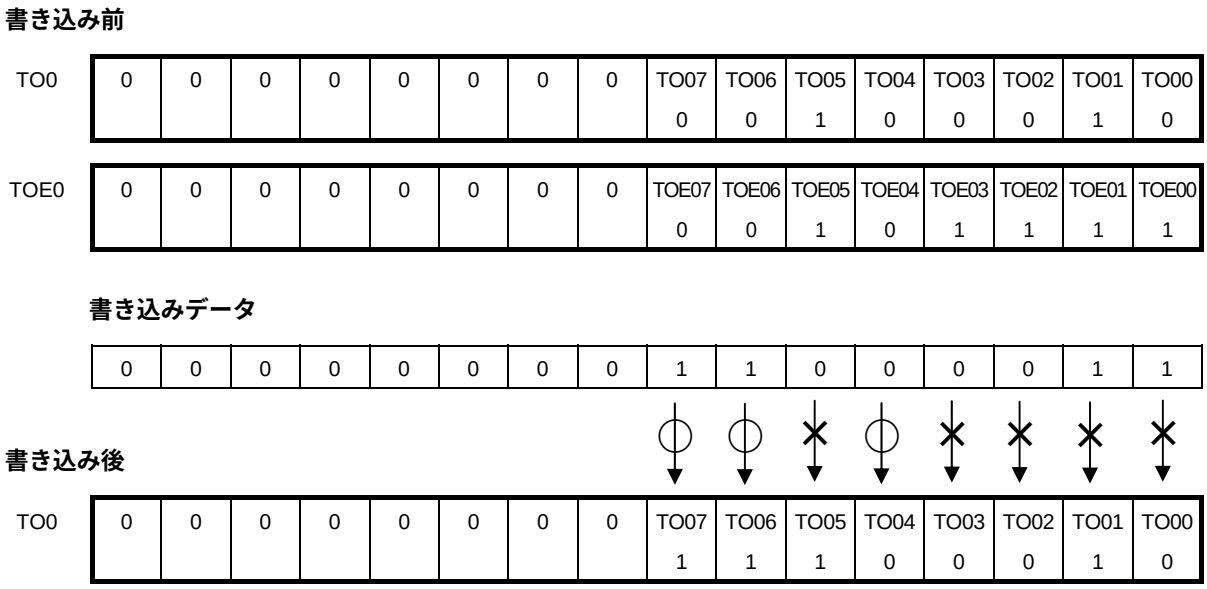
備考1.　**内部リセット信号**：TOmn**端子のリセット／トグル信号**
　　内部セット信号　：TOmn**端子のセット信号**

2.　m：**ユニット番号**（m = 0, 1）
　　n：**チャネル番号**
　　n = 0-7（**マスタ・チャネル時**：n = 0, 2, 4, 6）
　　p：**スレーブ・チャネル番号**
　　n＜p≦7

6. 6. 4　TOmnビットの一括操作

タイマ出力レジスタm（TOm）には，タイマ・チャネル開始レジスタm（TSm）と同様に，1レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって，全チャネルのTOmnビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOmn）のみTOmnビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

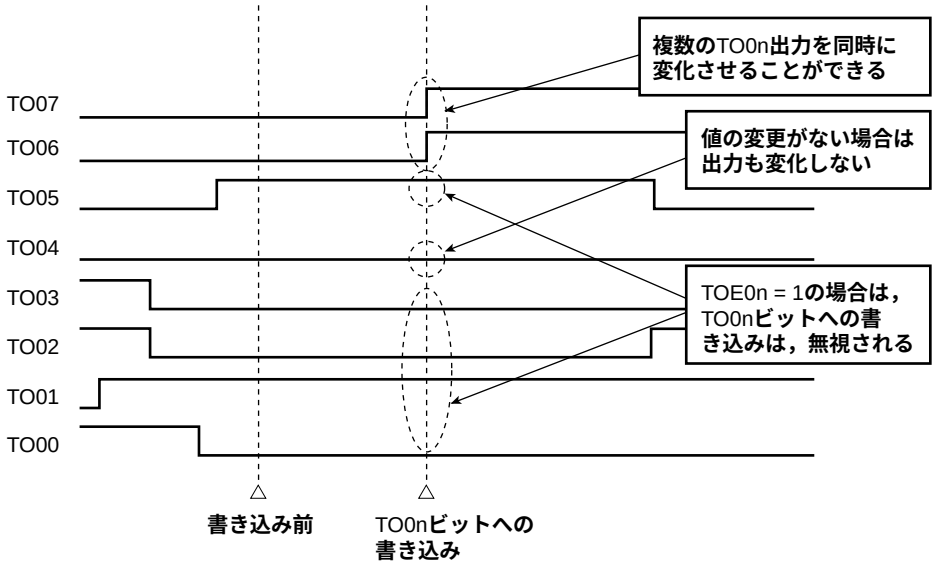
図6－36　TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn（チャネル出力）は，書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図6－37　TO0nビットの一括操作によるTO0nの端子状態



（注意，備考は次ページにあります）

注意　タイマ出力許可状態（TOEmn = 1）において，各チャネルのタイマ割り込み（INTTMmn）による出力とTOmnビットへの書き込みが競合しても，TOmn端子は正常に出力動作が行われます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタmn（TMRmn）のMDmn0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

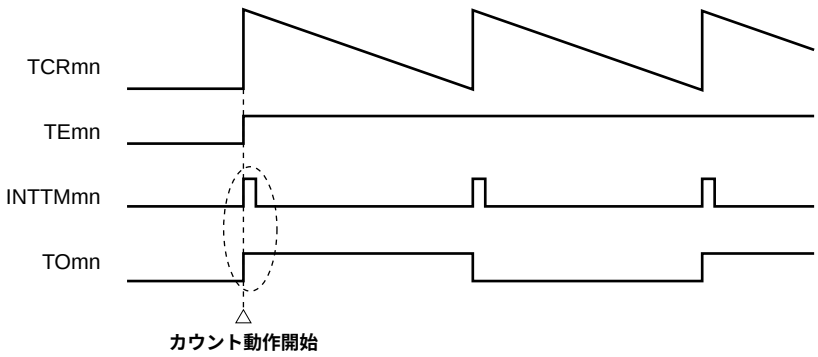
MDmn0 = 1に設定することで，タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn出力は制御しません。

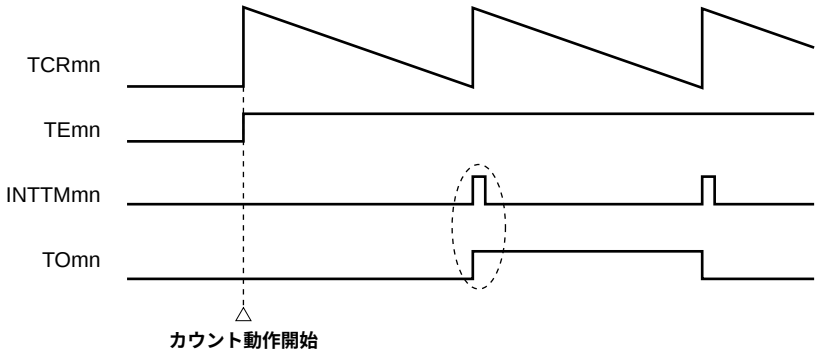
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図6－38　カウント動作開始時のタイマ割り込み，TOmn出力の動作例

（a）MDmn0 = 1に設定した場合



（b）MDmn0 = 0に設定した場合



MDmn0 = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）が出力され，TOmnがトグル動作します。

MDmn0 = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後，INTTMmnを出力し，TOmnがトグル動作します。

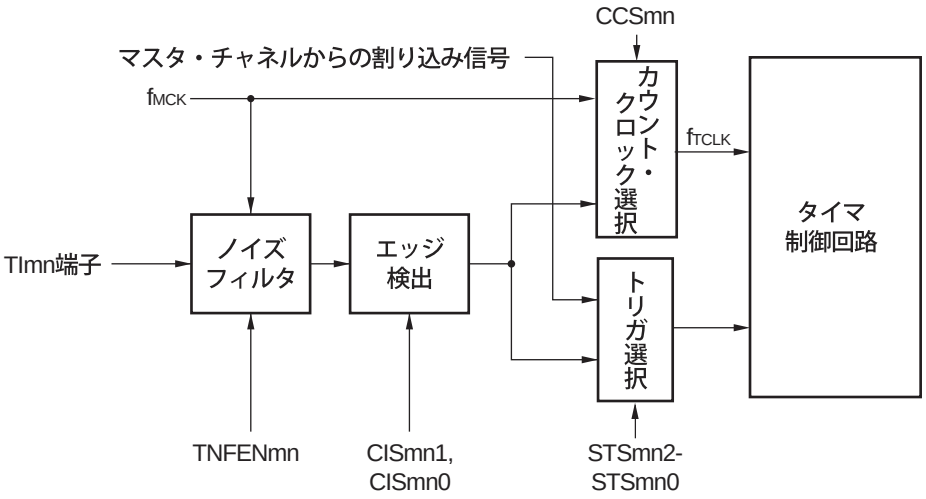
備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 7　タイマ入力（TImn）の制御

6. 7. 1　TImnの入力回路構成

タイマ入力端子から信号は，ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

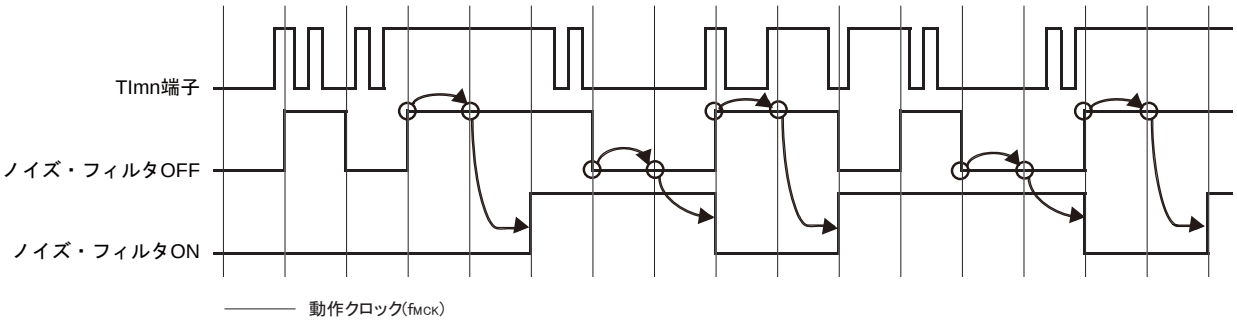
図6－39　入力回路構成図



6. 7. 2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック（f_{MCK}）で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。以下に，TImn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6－40　TImn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



6. 7. 3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の2サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の4サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能

6. 8. 1　インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmn）の設定値＋1)

(2) 方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

・TOmnからの出力方形波の周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）×2
・TOmnからの出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TDRmnの設定値＋1）×2}

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後，最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

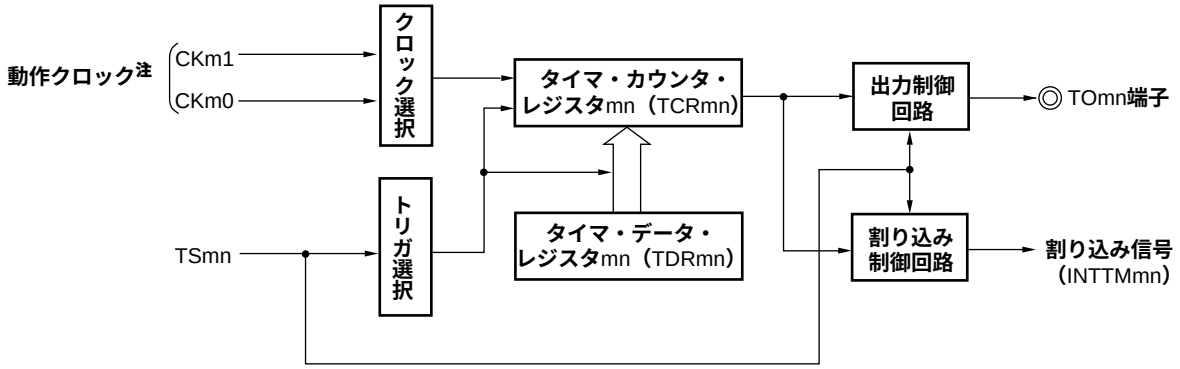
その後， TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら，次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また，同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降，同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

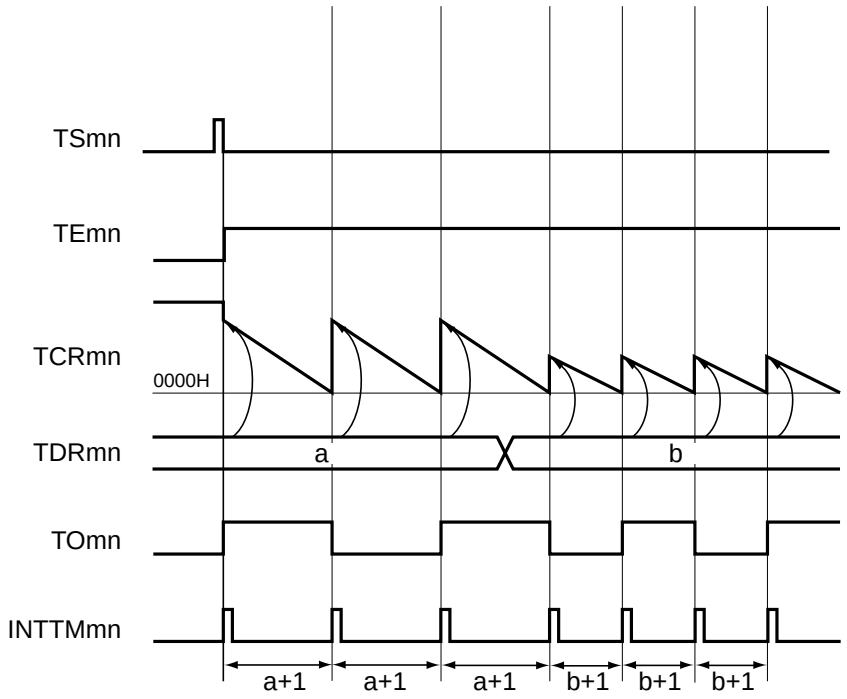
備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－41　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6－42　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）



備考1.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

TOmn　：TOmn端子出力信号

図6－43　インターバル・タイマ／方形波出力時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0

チャネルnの動作モード
000B:**インターバル・タイマ**

カウント開始時の動作設定
0：**カウント開始時に**INTTMmn**発生せず，タイマ出力反転せず**
1：**カウント開始時に**INTTMmn**発生し，タイマ出力反転する**

TImn**端子入力のエッジ選択**
00B:**使用しないので**00**を設定**

スタート・トリガ選択
000B：**ソフトウエア・スタートのみを選択**

MASTERmn**ビットの設定（チャネル**2, 4, 6）
0：**単独チャネル動作**
SPLITmn**ビットの設定（チャネル**1, 3）
0：16**ビット・タイマ**
1：8**ビット・タイマ**

カウント・クロック選択
0：**動作クロック（**f_{MCK}**）を選択**

動作クロック（f_{MCK}**）の選択**
00B：**チャネル**n**の動作クロックに**CKm0**を選択**
10B：**チャネル**n**の動作クロックに**CKm1**を選択**
01B：**チャネル**1, 3**の動作クロックに**CKm2**を選択（チャネル**1, 3**のみ選択可）**
11B：**チャネル**1, 3**の動作クロックに**CKm3**を選択（チャネル**1, 3**のみ選択可）**

(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	1/0

0：TOmn**より**0**を出力する**
1：TOmn**より**1**を出力する**

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	1/0

0：**カウント動作による**TOmn**出力動作停止**
1：**カウント動作による**TOmn**出力動作許可**

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（**マスタ・チャネル出力モード**）**では**0**を設定**

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：**マスタ・チャネル出力モードを設定**

注　TMRm2, TMRm4, TMRm6**の場合**　：MASTERmn**ビット**
TMRm1, TMRm3**の場合**　：SPLITmn**ビット**
TMRm0, TMRm5, TMRm7**の場合**　：0**固定**

備考　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

図6－44　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	TOmn出力を使用する場合， タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し，TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 →	チャネルは動作停止状態なので，TOmnは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作開始	（TOmn出力を使用する場合で，かつ動作再開時のみTOEmnビットに1を設定する） TSmn（TSHm1, TSHm3）ビットに1を設定する →	TEmn（TEHm1, TEHm3）＝1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
	TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので，自動的に0に戻る	
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm, TOEmレジスタは，設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止	カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn ＝ 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。以降，この動作を繰り返す。
動作停止	TTmn（TTHm1, TTHm3）ビットに1を設定する →	TEmn（TEHm1, TEHmn）＝0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので，自動的に0に戻る	
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

動作再開

（備考は次ページにあります。）

図6－44　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmnビットが0になり，TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 8. 2　外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値＋1

タイマ・カウンタ・レジスタmn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）の任意のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。

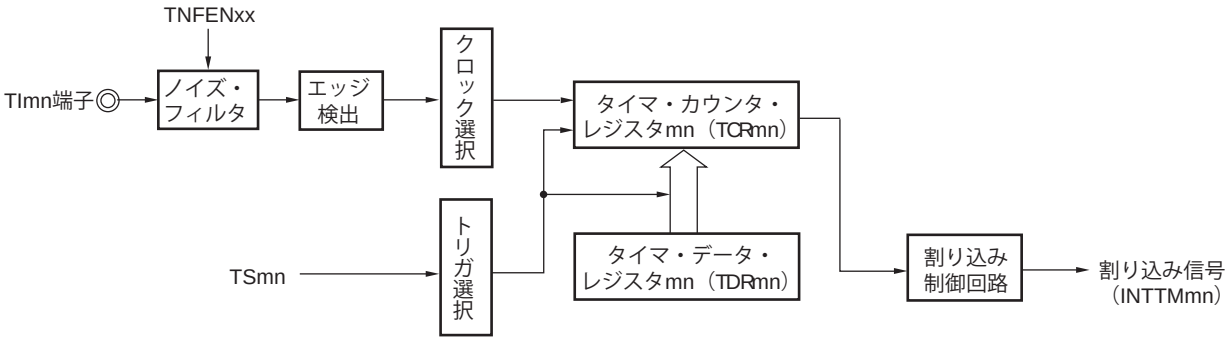
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い， TCRmn = 0000Hとなったら，再びTDRmnレジスタの値をロードして，INTTMmnを出力します。

以降，同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定して出力動作を停止するようにしてください。

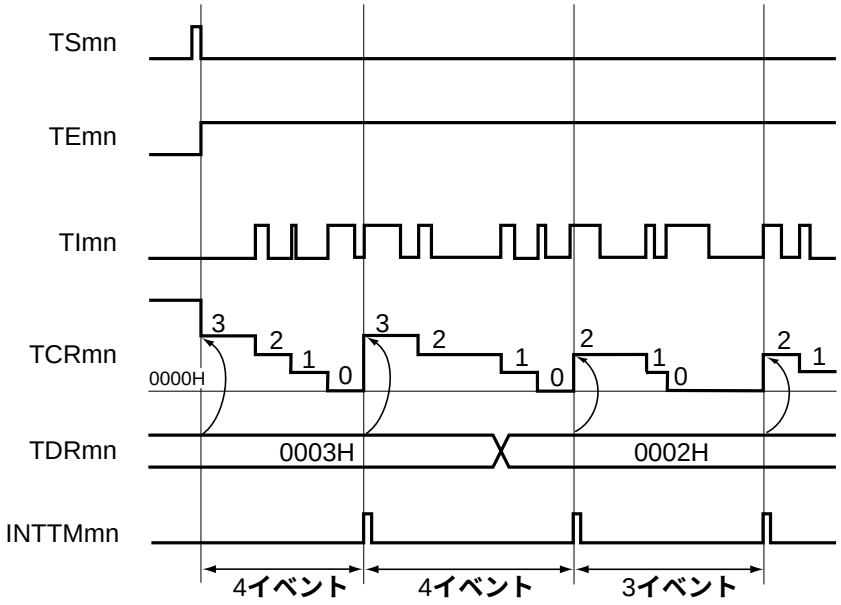
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6－45　外部イベント・カウンタとしての動作のブロック図



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－46　外部イベント・カウンタとしての動作の基本タイミング例



備考1.　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

2.　TSmn　：**タイマ・チャネル開始レジスタ**m（TSm）**のビット**n

TEmn　：**タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n

TImn　：TImn**端子入力信号**

TCRmn　：**タイマ・カウンタ・レジスタ**mn（TCRmn）

TDRmn　：**タイマ・データ・レジスタ**mn（TDRmn）

図6－47　外部イベント・カウンタ・モード時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルnの動作モード
011B：**イベント・カウント・モード**

カウント開始時の動作設定
0：**カウント開始時に**INTTMmn**発生せず，タイマ出力反転せず**

TImn**端子入力のエッジ選択**
00B：**立ち下がりエッジ検出**
01B：**立ち上がりエッジ検出**
10B：**両エッジ検出**
11B：**設定禁止**

スタート・トリガ選択
000B：**ソフトウエア・スタートのみを選択**

MASTERmn**ビットの設定（チャネル**2, 4, 6）
0：**単独チャネル動作**
SPLITmn**ビットの設定（チャネル**1, 3）
0：16**ビット・タイマ**
1：8**ビット・タイマ**

カウント・クロック選択
1：TImn**端子入力の有効エッジを選択**

動作クロック（f_{MCK}**）の選択**
00B：**チャネル**n**の動作クロックに**CKm0**を選択**
10B：**チャネル**n**の動作クロックに**CKm1**を選択**
01B：**チャネル**1, 3**の動作クロックに**CKm2**を選択（チャネル**1, 3**のみ選択可）**
11B：**チャネル**1, 3**の動作クロックに**CKm3**を選択（チャネル**1, 3**のみ選択可）**

(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmn**より**0**を出力する**

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：**カウント動作による**TOmn**出力動作停止**

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（**マスタ・チャネル出力モード**）**では**0**を設定**

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：**マスタ・チャネル出力モードを設定**

注　TMRm2, TMRm4, TMRm6**の場合**　：MASTERmn**ビット**
TMRm1, TMRm3**の場合**　：SPLITmn**ビット**
TMRm0, TMRm5, TMRm7**の場合**　：0**固定**

備考　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

図6－48 外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する →	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子入力のエッジが検出されるごとに，カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する →	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 8. 3　分周器としての動作（ユニット0のチャネル0のみ）

TI00端子に入力されたクロックを分周し，TO00端子から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ／立ち下がりエッジ選択時：

分周クロック周波数 = 入力クロック周波数／{（TDR00 の設定値＋1）×2}

・両エッジ選択時：

分周クロック周波数　　入力クロック周波数／（TDR00の設定値＋1）

タイマ・カウンタ・レジスタ00（TCR00）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS00）に1を設定後，TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00（TDR00）の値をロードします。このときタイマ・モード・レジスタ00（TMR00）のMD000 = 0ならば，INTTM00を出力せず，TO00はトグルしません。TMR00レジスタのMD000 = 1ならば，INTTM00を出力して，TO00をトグルします。

その後，TI00端子入力の有効エッジに合わせてダウン・カウントを行い， TCR00 = 0000Hとなったら，TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして，カウントを継続します。

TI00端子入力の両エッジ検出を選択すると，入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には，動作クロック1周期分のサンプリング誤差が含まれます。

TO00出力のクロック周期 = 理想のTO00出力クロック周期±動作クロック周期（誤差）

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6－49　分周器としての動作のブロック図

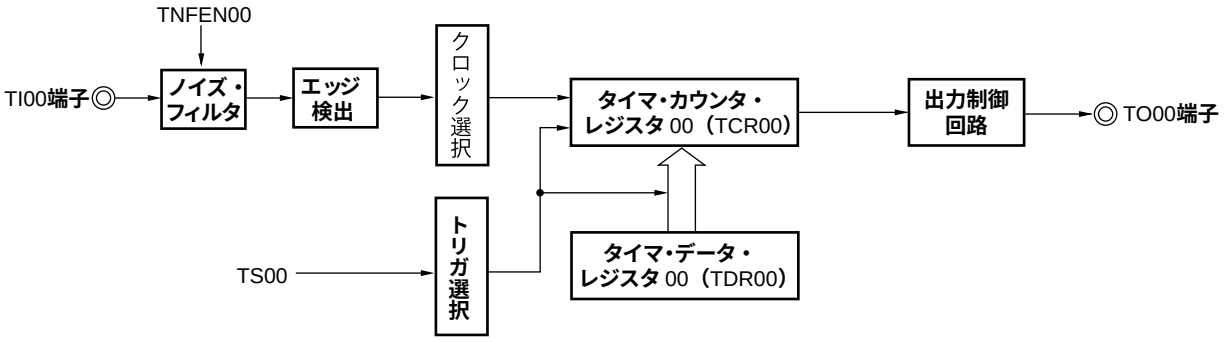
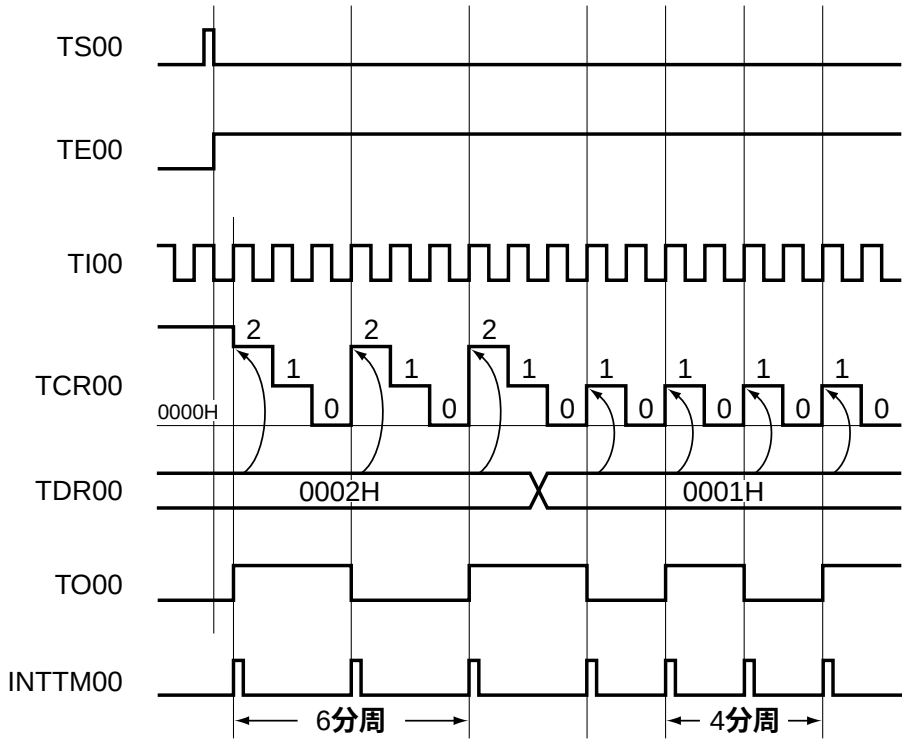


図6－50　分周器としての動作の基本タイミング例（MD000 = 1）



備考　TS00　：タイマ・チャネル開始レジスタ0（TS0）のビット0

TE00　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビット0

TI00　：TI00端子入力信号

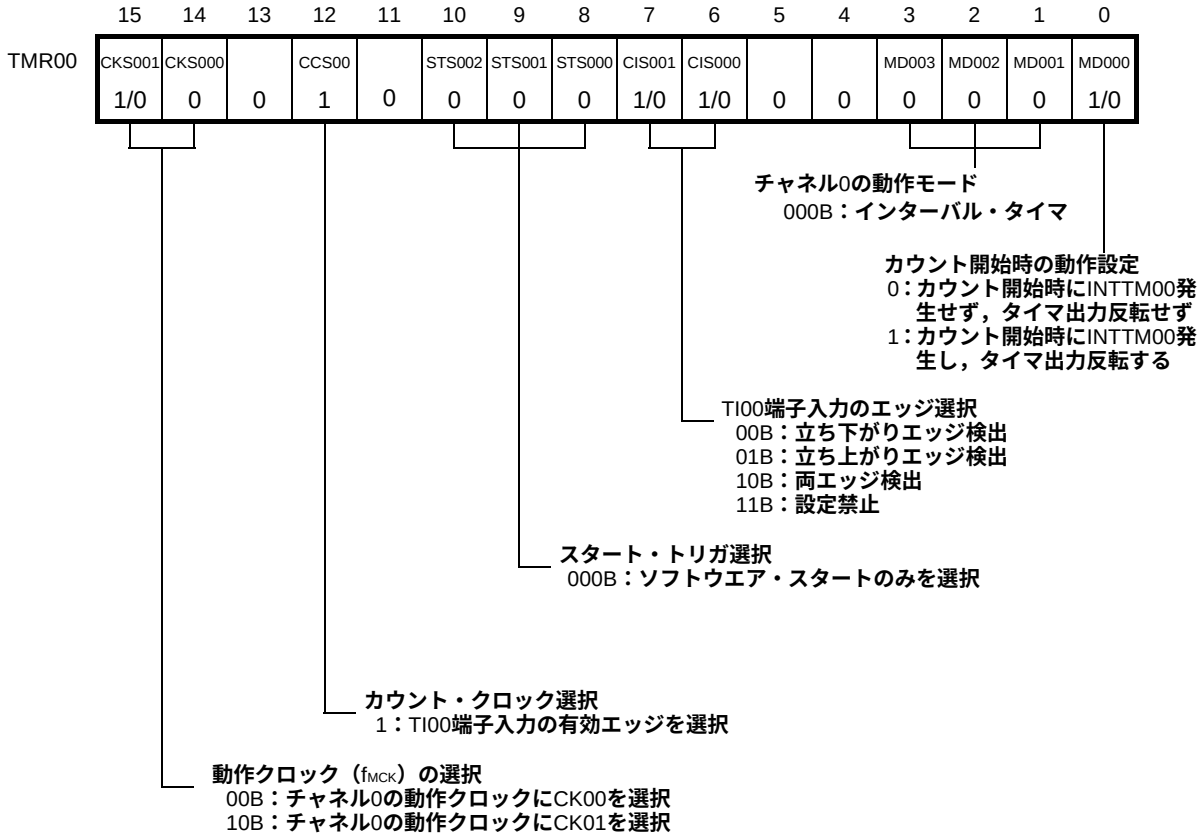
TCR00：タイマ・カウンタ・レジスタ00（TCR00）

TDR00：タイマ・データ・レジスタ00（TDR00）

TO00　：TO00端子出力信号

図6－51　分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ00（TMR00）



(b) タイマ出力レジスタ0（TO0）

	ビット0	
TO0	TO00 1/0	0：TO00より0を出力する 1：TO00より1を出力する

(c) タイマ出力許可レジスタ0（TOE0）

	ビット0	
TOE0	TOE00 1/0	0：カウント動作によるTO00出力動作停止 1：カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0（TOL0）

	ビット0	
TOL0	TOL00 0	0：マスタ・チャネル出力モード（TOM00 = 0）では0を設定

(e) タイマ出力モード・レジスタ0（TOM0）

	ビット0	
TOM0	TOM00 0	0：マスタ・チャネル出力モードを設定

図6－52　分周器機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU 初期 設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタ00（TMR00）を設定する（チャネルの動作モード確定，検出エッジの選択） タイマ・データ・レジスタ00（TDR00）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	タイマ出力モード・レジスタ0（TOM0）のTOM00ビットに0（マスタ・チャネル出力モード）を設定する TOL00ビットに0を設定する TO00ビットを設定し，TO00出力の初期レベルを確定する →	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し，TO00の動作を許可 →	チャネルは動作停止状態なので，TO00は変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TO00端子はTO00設定レベルを出力
動作 開始	TOE00ビットに1を設定する（動作再開時のみ） TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので，自動的に0に戻る	TE00 = 1になり，カウント動作開始 タイマ・カウンタ・レジスタ00（TCR00）はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は，INTTM00を発生し，TO00もトグル動作する。
動作 中	TDR00レジスタは，任意に設定値変更が可能 TCR00レジスタは，常に読み出し可能 TSR00レジスタは，使用しない TO0, TOE0レジスタは，設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは，設定値変更禁止	カウンタ（TCR00）はダウン・カウント動作を行い，0000Hまでカウントしたら,再びTCR00レジスタはTDR00レジスタの値をロードし，カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し，TO00はトグル動作する。 以降，この動作を繰り返す。
動作 停止	TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので，自動的に0に戻る	TE00 = 0になり，カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず，状態保持
	TOE00ビットに0を設定し，TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TO00ビットが0になり，TO00端子はポート機能となる）

動作再開

6. 8. 4　入力パルス間隔測定としての動作

TImn有効エッジでカウント値をキャプチャし，TImn入力パルスの間隔を測定することができます。また，TEmn = 1の期間中に，ソフトウェア操作（TSmn = 1）をキャプチャ・トリガにして，カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 = カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ·レジスタmn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

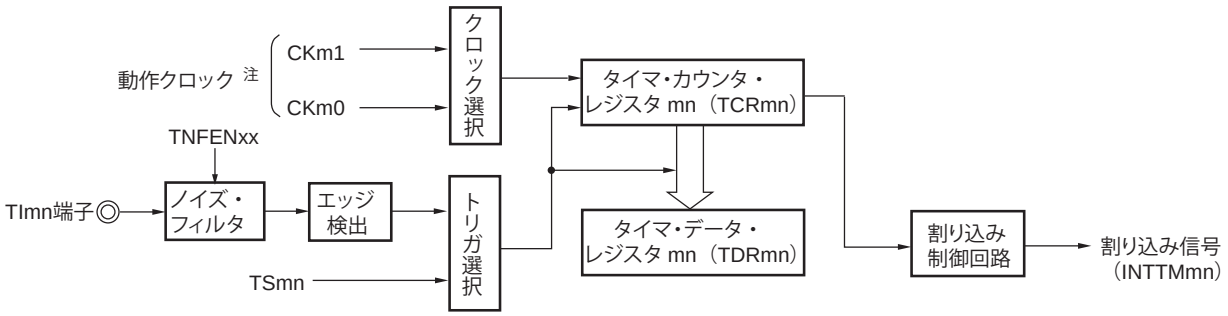
TImn端子入力の有効エッジを検出すると，TCRmnレジスタのカウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）すると同時に，TCRmnレジスタを0000Hにクリアして，INTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

カウント値がTDRmnレジスタにキャプチャされると同時に,測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して，TImn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

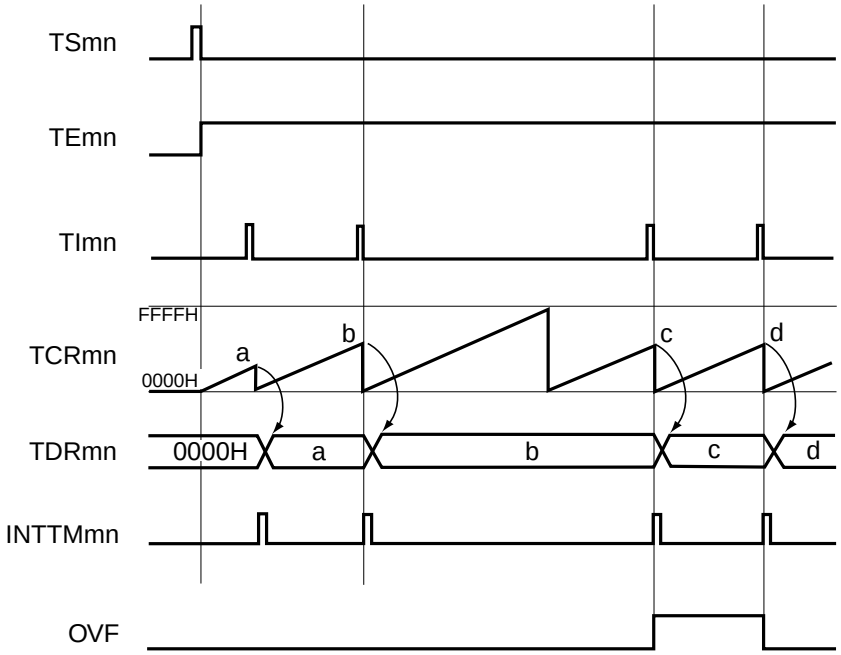
図6－53　入力パルス間隔測定としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－54　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）



備考1.　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

2.　TSmn　：**タイマ・チャネル開始レジスタ**m（TSm）**のビット**n

TEmn　：**タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n

TImn　：TImn**端子入力信号**

TCRmn　：**タイマ・カウンタ・レジスタ**mn（TCRmn）

TDRmn　：**タイマ・データ・レジスタ**mn（TDRmn）

OVF　：**タイマ・ステータス・レジスタ**mn（TSRmn）**のビット**0

図6－55　入力パルス間隔測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルnの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生しない
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－56　入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生する。
動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは，常に読み出し可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジの検出または，TSmnビットに1を設定すると，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に，TCRmnレジスタを0000Hにクリアし，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 8. 5　入力信号のハイ／ロウ・レベル幅測定としての動作

注意　LIN-bus対応機能として使用する場合は，入力切り替え制御レジスタ（ISC）のビット1（ISC1）を1に設定してください。また，以降の説明では「TImn」を「RxD2」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TImnの信号幅は次の式で求めることができます。

TImn入力の信号幅 = カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタmn（TDRmn）に転送すると同時にINTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは，「TDRmnレジスタに転送した値＋1」の値で停止し，TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に,測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

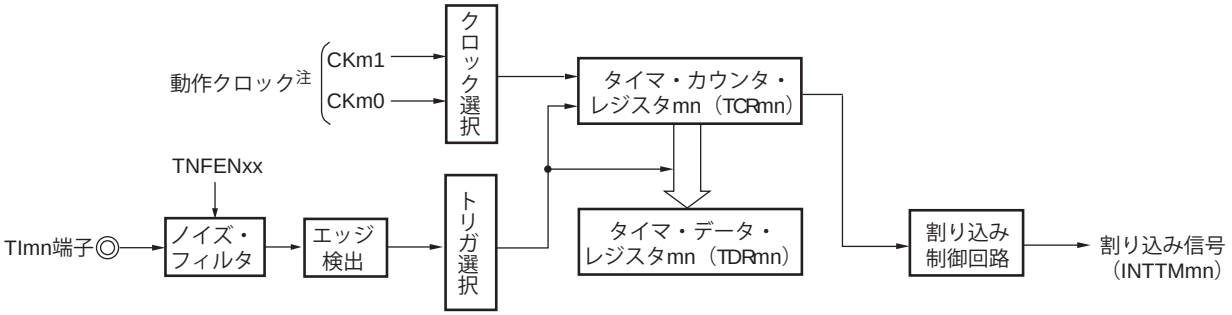
TImn端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは， TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は，TImn端子入力の信号幅測定を目的とするため，TEmn = 1期間中のTSmnビットのセット（1）は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する

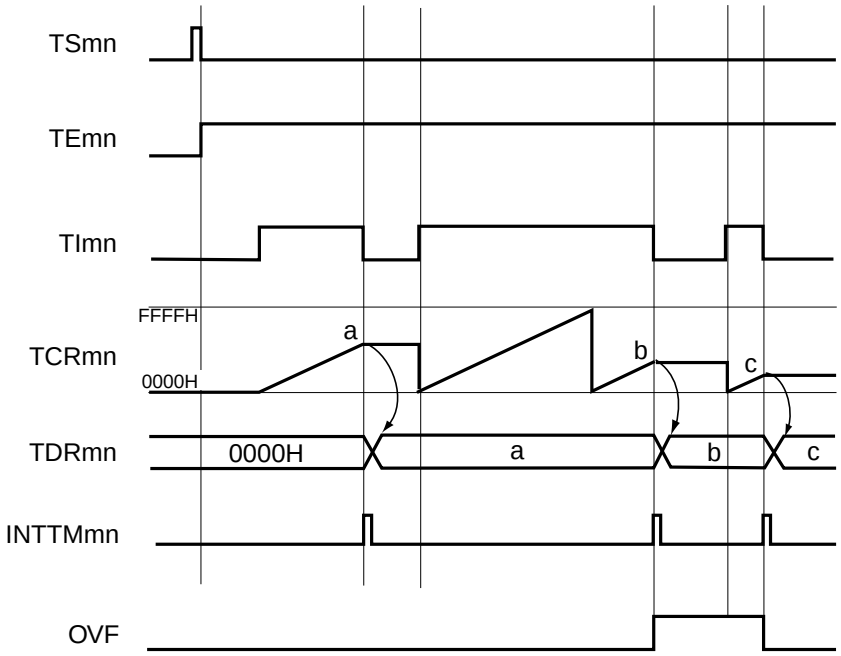
TMRmnレジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図6－57　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



注　チャネル1, 3**の場合は，**CKm0, CKm1, CKm2, CKm3**からクロックを選択できます。**

図6－58　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1.　m**：ユニット番号**（m = 0, 1）**，**n**：チャネル番号**（n = 0-7）

2.　TSmn　**：タイマ・チャネル開始レジスタ**m（TSm）**のビット**n

TEmn　**：タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n

TImn　**：**TImn**端子入力信号**

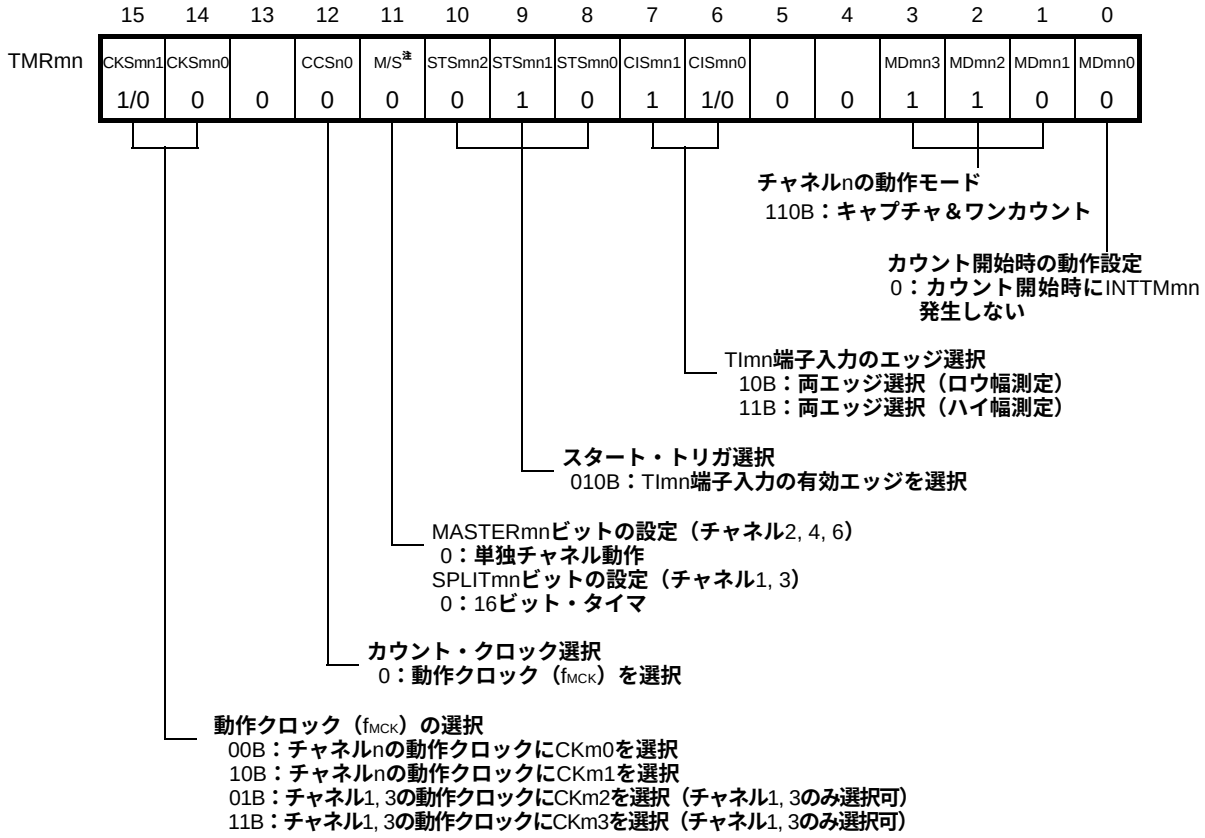
TCRmn　**：タイマ・カウンタ・レジスタ**mn（TCRmn）

TDRmn　**：タイマ・データ・レジスタ**mn（TDRmn）

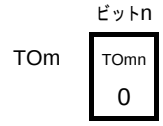
OVF　**：タイマ・ステータス・レジスタ**mn（TSRmn）**のビット**0

図6－59　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

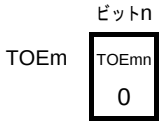


(b) タイマ出力レジスタm（TOm）



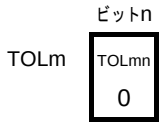
0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）



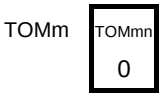
0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）



0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）



0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－60　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する →	TEmn = 1になり，TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子のスタート・エッジ検出後，カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは，次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する →	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 8. 6　ディレイ・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することができます。

また，TEmn = 1の期間中に，ソフトウェア操作でTSmn = 1に設定することで，ダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求める事ができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

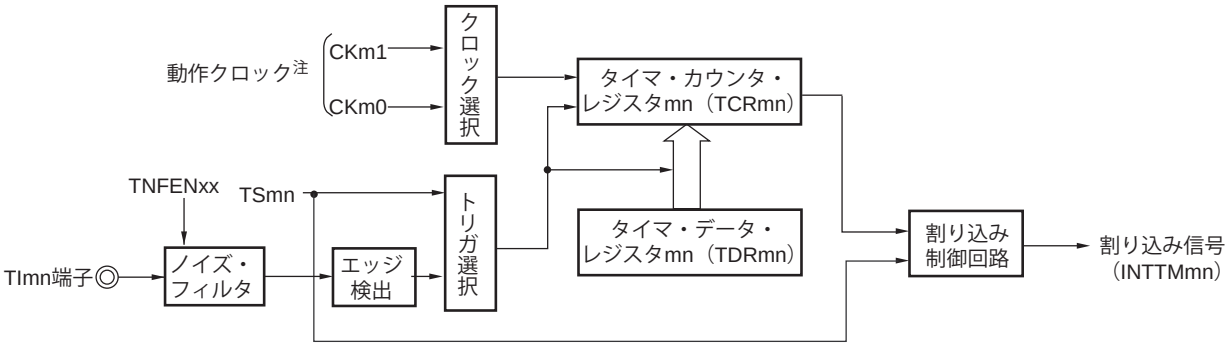
タイマ・カウンタ・レジスタmn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定すると，TEmn, TEHm1, TEHm3 = 1となりTImn端子の有効エッジ検出待ち状態となります。

TCRmnレジスタは，TImn端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCRmn = 0000Hとなったら INTTMmnを出力し，次のTImn端子入力の有効エッジがあるまで，カウントを停止します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

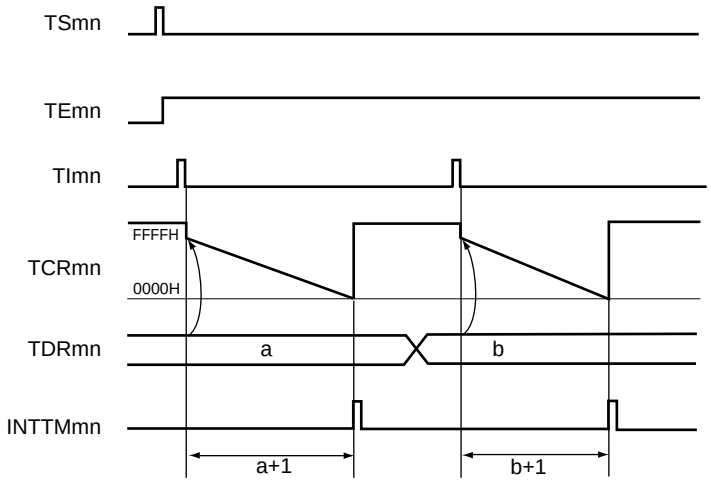
図6－61　ディレイ・カウンタとしての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－62　ディレイ・カウンタとしての動作の基本タイミング例



備考1.　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

2.　TSmn　：**タイマ・チャネル開始レジスタ**m（TSm）**のビット**n

TEmn　：**タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n

TImn　：TImn**端子入力信号**

TCRmn：**タイマ・カウンタ・レジスタ**mn（TCRmn）

TDRmn：**タイマ・データ・レジスタ**mn（TDRmn）

図6－63　ディレイ・カウンタ機能時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0

チャネルnの動作モード
100B:**ワンカウント・モード**

動作中のスタート・トリガ
0：**トリガ入力は無効**
1：**トリガ入力は有効**

TImn**端子入力のエッジ選択**
00B：**立ち下がりエッジ検出**
01B：**立ち上がりエッジ検出**
10B：**両エッジ検出**
11B：**設定禁止**

スタート・トリガ選択
001B：TImn**端子入力の有効エッジを選択**

MASTERmn**ビットの設定（チャネル**2, 4, 6）
0：**単独チャネル動作**
SPLITmn**ビットの設定（チャネル**1, 3）
0：16**ビット・タイマ**
1：8**ビット・タイマ**

カウント・クロック選択
0：**動作クロック（**f_{MCK}**）を選択**

動作クロック（f_{MCK}**）の選択**
00B：**チャネル**nの**動作クロックに**CKm0**を選択**
10B：**チャネル**nの**動作クロックに**CKm1**を選択**
01B：**チャネル**1, 3**の動作クロックに**CKm2**を選択（チャネル**1, 3**のみ選択可）**
11B：**チャネル**1, 3**の動作クロックに**CKm3**を選択（チャネル**1, 3**のみ選択可）**

(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmn**より**0**を出力する**

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：**カウント動作による**TOmn**出力動作停止**

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（**マスタ・チャネル出力モード**）**では**0**を設定**

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：**マスタ・チャネル出力モードを設定**

注　TMRm2, TMRm4, TMRm6**の場合**　：MASTERmn**ビット**
TMRm1, TMRm3**の場合**　：SPLITmn**ビット**
TMRm0, TMRm5, TMRm7**の場合**　：0**固定**

備考　m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0-7）

図6－64　ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルnの動作モード確定） タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，スタート・トリガ検出（TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定）待ち状態となる
	次のスタート・トリガ検出によって， ダウン・カウントを開始します。 ・TImn端子入力の有効エッジ検出 → ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmn出力を発生し，次のスタート・トリガ検出（TImn端子入力の有効エッジの検出，またはTSmnビットに1を設定）までTCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

6. 9. 1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝ {TDRmn（マスタ）の設定値＋2} ×カウント・クロック周期
パルス幅 ＝ {TDRmp（スレーブ）の設定値} ×カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCRmn = 0000Hとなったら INTTMmnを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

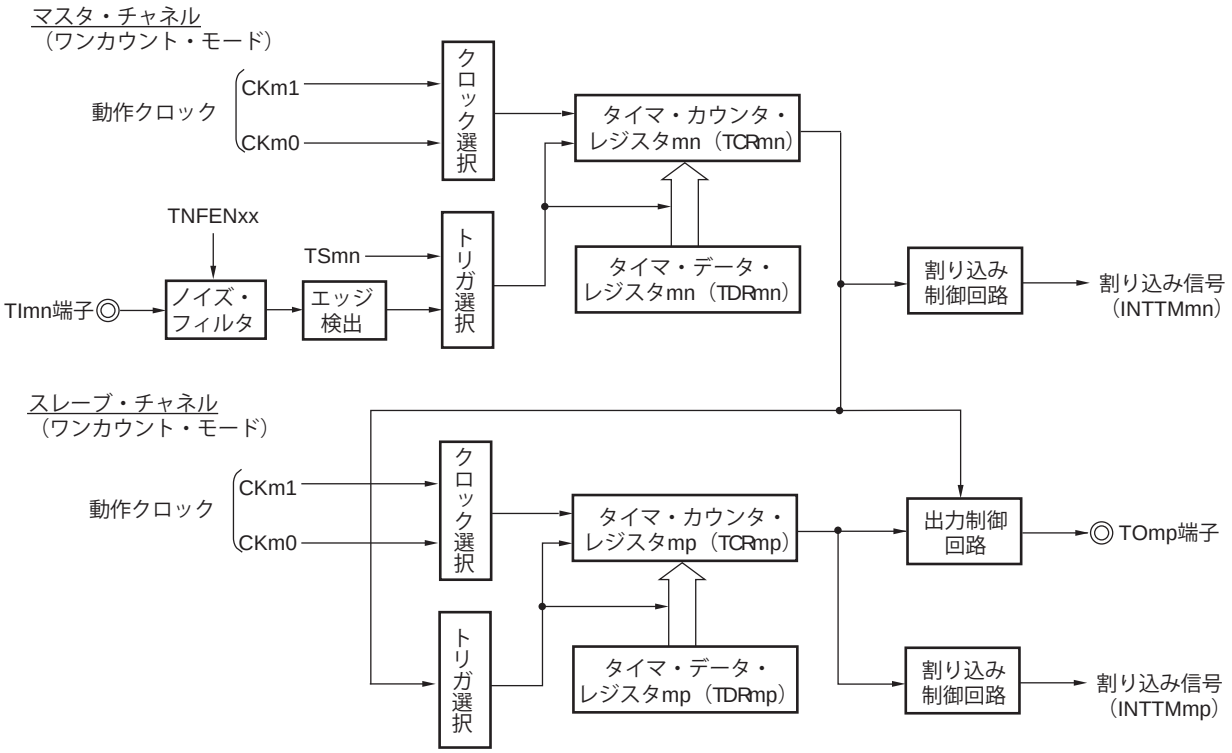
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し，TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000Hとなったら INTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルのINTTMmn）検出があるまで，カウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタでは，ロード・タイミングが異なるため，動作中にTDRmnレジスタ，TDRmpレジスタを書き換えると不正波形が出力されます。TDRmnレジスタはINTTMmn発生後に，TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

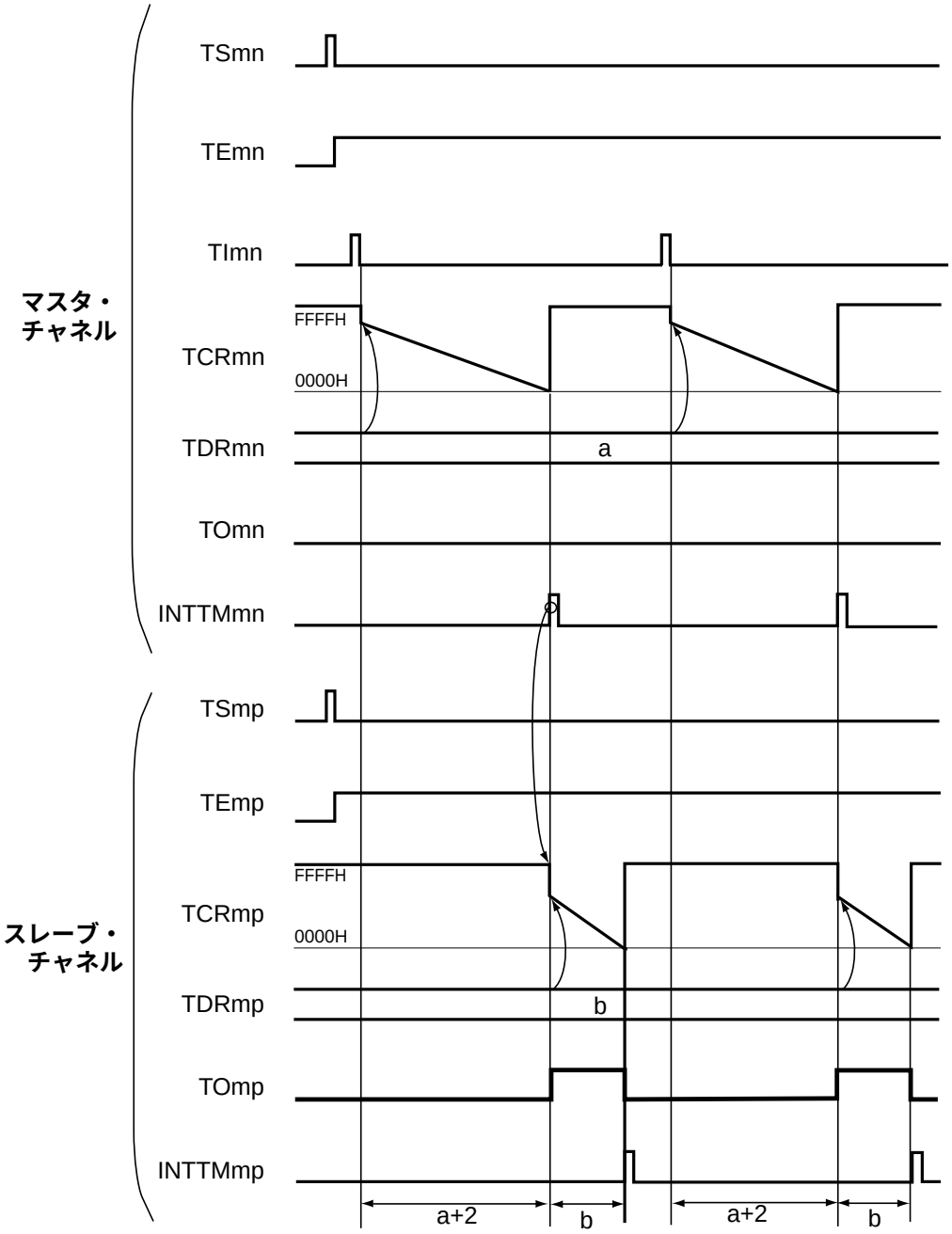
図6－65　ワンショット・パルス出力機能としての動作のブロック図



備考　m：**ユニット番号**（m = 0, 1），n：**マスタ・チャネル番号**（n = 0, 2, 4, 6）

p：**スレーブ・チャネル番号**（n＜p≦7）

図6－66 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m：**ユニット番号**（m = 0, 1），n：**マスタ・チャネル番号**（n = 0, 2, 4, 6）

p：**スレーブ・チャネル番号**（n＜p≦7）

2. TSmn, TSmp ：**タイマ・チャネル開始レジスタ**m（TSm）**のビット**n, p

TEmn, TEmp ：**タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n, p

TImn, TImp ：TImn, TImp**端子入力信号**

TCRmn, TCRmp：**タイマ・カウンタ・レジスタ**mn, mp（TCRmn, TCRmp）

TDRmn, TDRmp：**タイマ・データ・レジスタ**mn, mp（TDRmn, TDRmp）

TOmn, TOmp ：TOmn, TOmp**端子出力信号**

図6－67　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn※	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	1	1/0	1/0	0	0	1	0	0	0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択

(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図6－68　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp（TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmpビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmpビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCKm0を選択
10B：チャネルpの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタm（TOm）

	ビットp
TOm	TOmp
	1/0

0：TOmpより0を出力する
1：TOmpより1を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットp
TOEm	TOEmp
	1/0

0：カウント動作によるTOmp出力動作停止
1：カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットp
TOLm	TOLmp
	1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタm（TOMm）

	ビットp
TOMm	TOMmp
	1

1：スレーブ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図6－69　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU 初期 設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間，スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

（注，備考は次ページにあります。）

図6－69　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となり，マスタ・チャネルはスタート・トリガ検出（TImn端子入力の有効エッジの検出，または，マスタ・チャネルのTSmnビットに1を設定）待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャネルのスタート・トリガ検出によって，マスタ・チャネルのカウント動作を開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでマスタ・チャネルのTSmnビットに1を設定[注] 注　スレーブ・チャネルのTSmnビットには1を設定しないでください	マスタ・チャネルがカウント動作開始
動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ，TOMmn, TOMmp, TOLmn, TOLmpビットは，設定値変更禁止 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない スレーブ・チャネルのTOm, TOEmレジスタは，設定値変更可能	マスタ・チャネルでは，スタート・トリガ検出（TImn端子入力の有効エッジの検出または，マスタ・チャネルのTSmnビットに1を設定）により，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。 TCRmn = 0000Hまでカウントしたら INTTMmn出力を発生し，次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

6. 9. 2　PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値＋1} ×カウント・クロック周期
デューティ [%] = {TDRmp（スレーブ）の設定値} ／ {TDRmn（マスタ）の設定値＋1} ×100
0 %出力　　：TDRmp（スレーブ）の設定値 = 0000H
100 %出力　：TDRmp（スレーブ）の設定値≧ {TDRmn（マスタ）の設定値＋1}

備考　TDRmp（スレーブの設定値）＞ {TDRmn（マスタ）の設定値＋1} の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，割り込み（INTTMmn）を出力して，タイマ・データ・レジスタmn（TDRmn）に設定した値をタイマ・カウンタ・レジスタmn（TCRmn）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTMmnを出力して，再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタm（TTm）のチャネル・ストップ・トリガ・ビット（TTmn）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして，TDRmpレジスタからTCRmpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTMmn）が来るまで待機します。

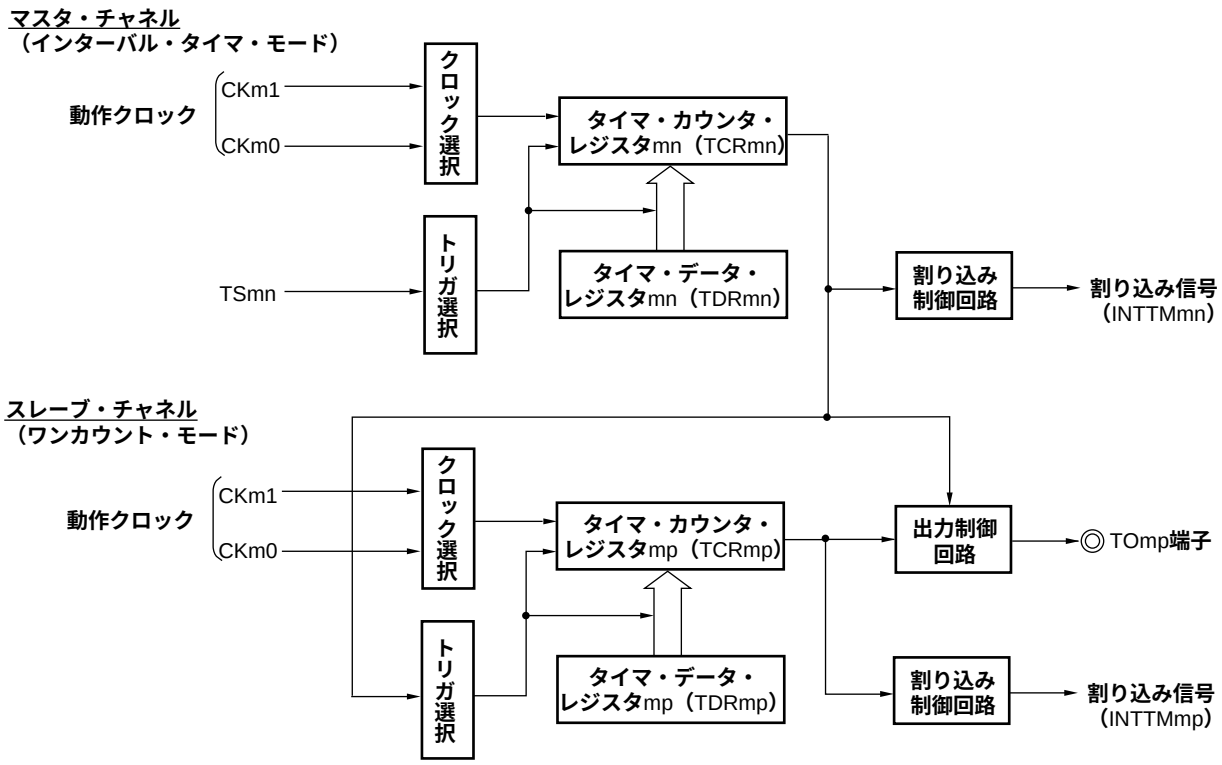
PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）のデューティとなります。

PWM出力（TOmp）は，マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCRmn，TCRmpレジスタにTDRmn，TDRmpレジスタの値がロードされるのは，マスタ・チャネルのINTTMmn発生時となります。そのため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は期待通りの波形を出力できません。したがって，マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

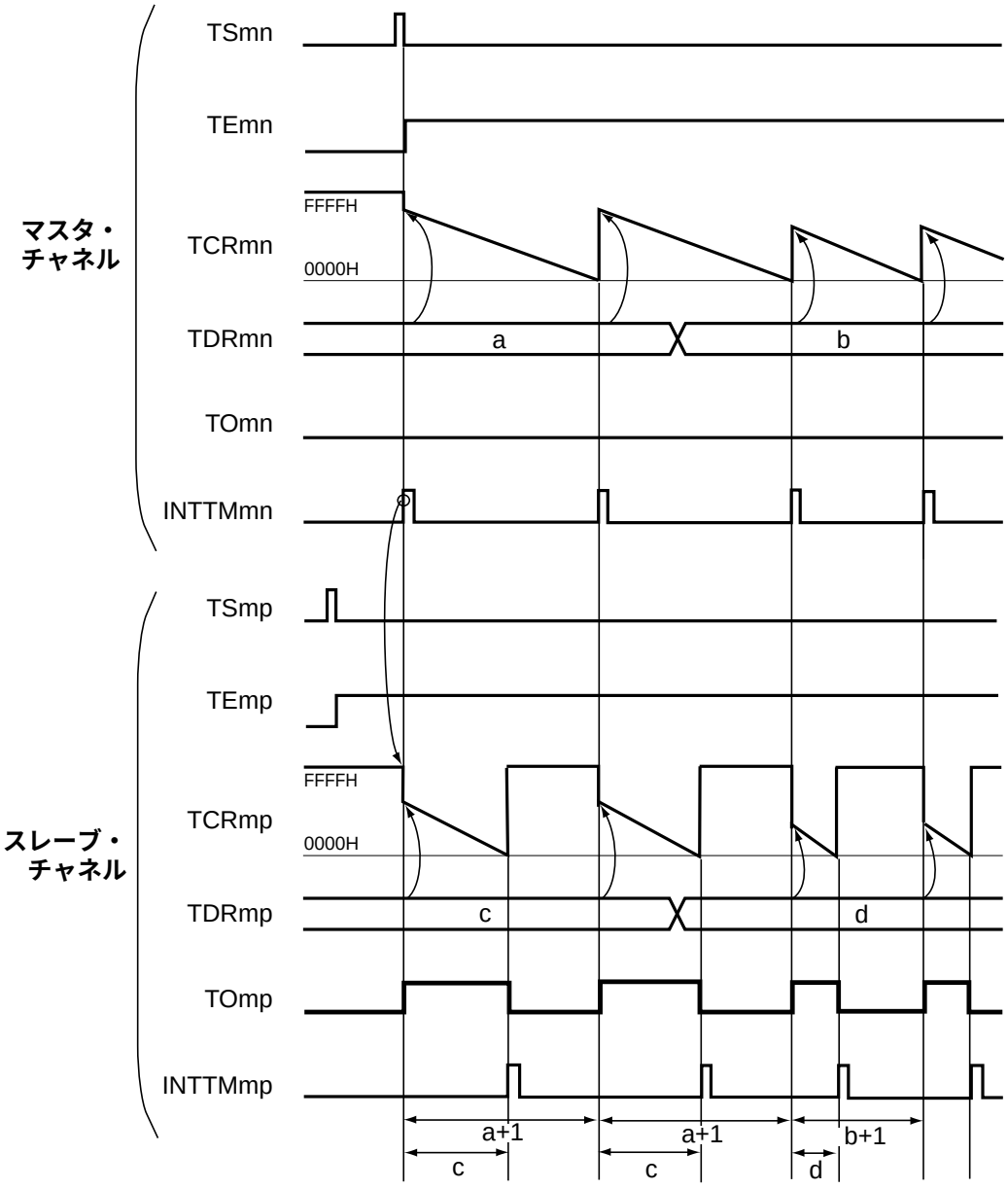
図6－70　PWM機能としての動作のブロック図



備考　m：**ユニット番号**（m = 0, 1），n：**マスタ・チャネル番号**（n = 0, 2, 4, 6）

p：**スレーブ・チャネル番号**（n＜p≦7）

図6－71　PWM機能としての動作の基本タイミング例

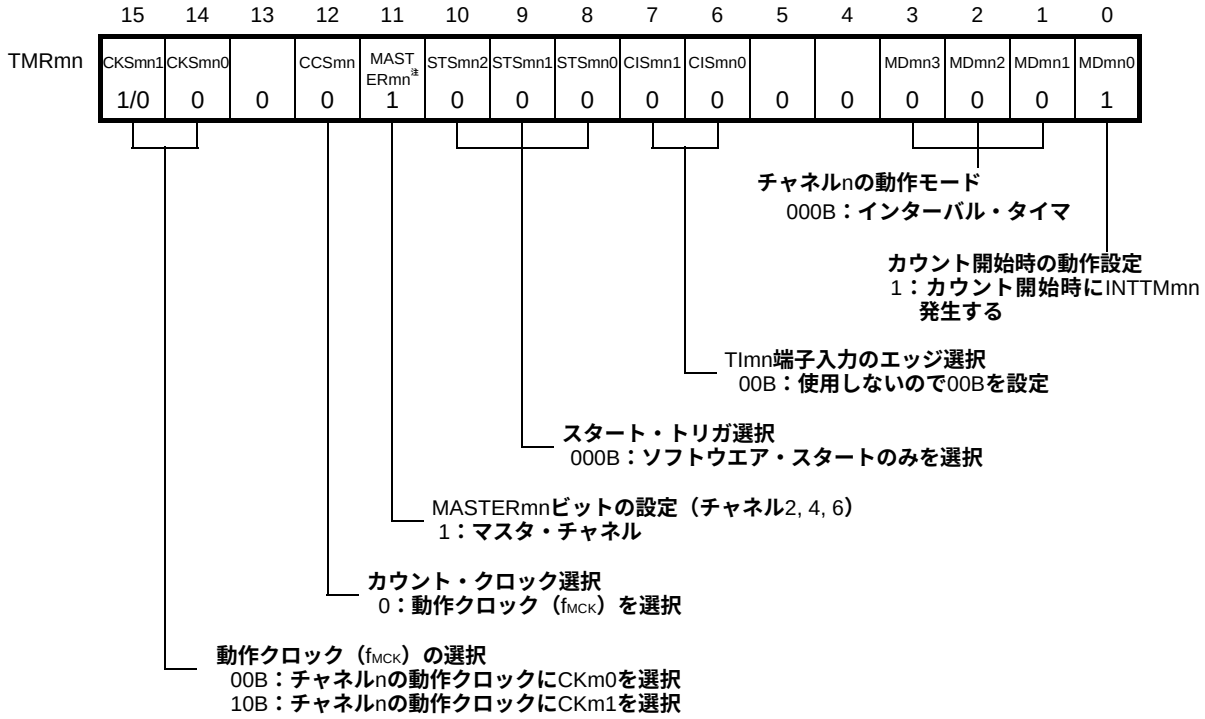


備考1.　m：**ユニット番号**（m = 0, 1），n：**マスタ・チャネル番号**（n = 0, 2, 4, 6）
p：**スレーブ・チャネル番号**（n＜p≦7）

2.　TSmn, TSmp　：**タイマ・チャネル開始レジスタ**m（TSm）**のビット**n, p
TEmn, TEmp　：**タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n, p
TCRmn, TCRmp　：**タイマ・カウンタ・レジスタ**mn, mp（TCRmn, TCRmp）
TDRmn, TDRmp　：**タイマ・データ・レジスタ**mn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp**端子出力信号**

図6－72　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図6－73　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp（TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmpビットの設定（チャネル2･4･6）
0：スレーブ・チャネル
SPLITmpビットの設定（チャネル1･3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCKm0を選択
10B：チャネルpの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタm（TOm）

	ビットp
TOm	TOmp
	1/0

0：TOmpより0を出力
1：TOmpより1を出力

(c) タイマ出力許可レジスタm（TOEm）

	ビットp
TOEm	TOEmp
	1/0

0：カウント動作によるTOmp出力動作停止
1：カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットp
TOLm	TOLmp
	1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタm（TOMm）

	ビットp
TOMm	TOMmp
	1

1：スレーブ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合：　MASTERmnビット
TMRm1, TMRm3の場合：　SPLITmpビット
TMRm5, TMRm7　：　0固定

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図6－74　PWM機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

図6－74　PWM機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャネルがカウント動作開始し， INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmpレジスタ，TOMmn, TOMmp, TOLmn, TOLmpビットは，設定値変更禁止 TDRmn, TDRmpレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

6. 9. 3　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = ｛TDRmn（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ1 [%] = ｛TDRmp（スレーブ1）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100
デューティ2 [%] = ｛TDRmq（スレーブ2）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100

備考　TDRmp（スレーブ1）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合
または TDRmq（スレーブ2）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合は，
デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCRmpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp端子よりPWM波形を出力します。TCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして， タイマ・データ・レジスタmp（TDRmp）の値をロードし，ダウン・カウントを行います。TCRmp = 0000Hとなったら，INTTMmpを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

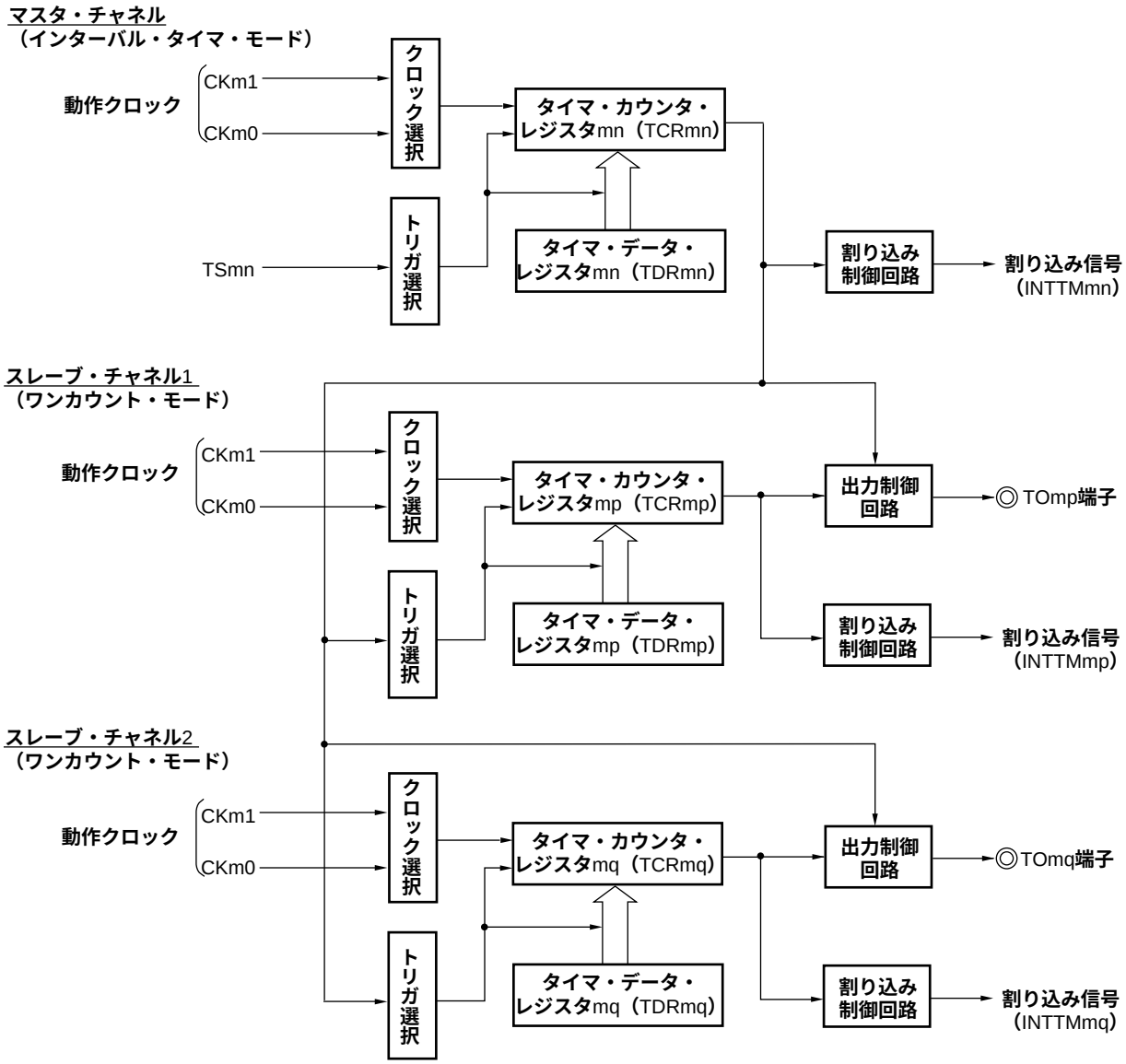
スレーブ・チャネル2のTCRmqレジスタも，スレーブ・チャネル1のTCRmpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq端子よりPWM波形を出力します。TCRmqレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして， TDRmqレジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000Hとなったら，INTTMmqを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmqの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大7種のPWMを同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは，マスタ・チャネルのINTTMmn発生後となるため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は，期待通りの波形を出力できません。したがって， TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTDRmqレジスタの場合も同様です。）

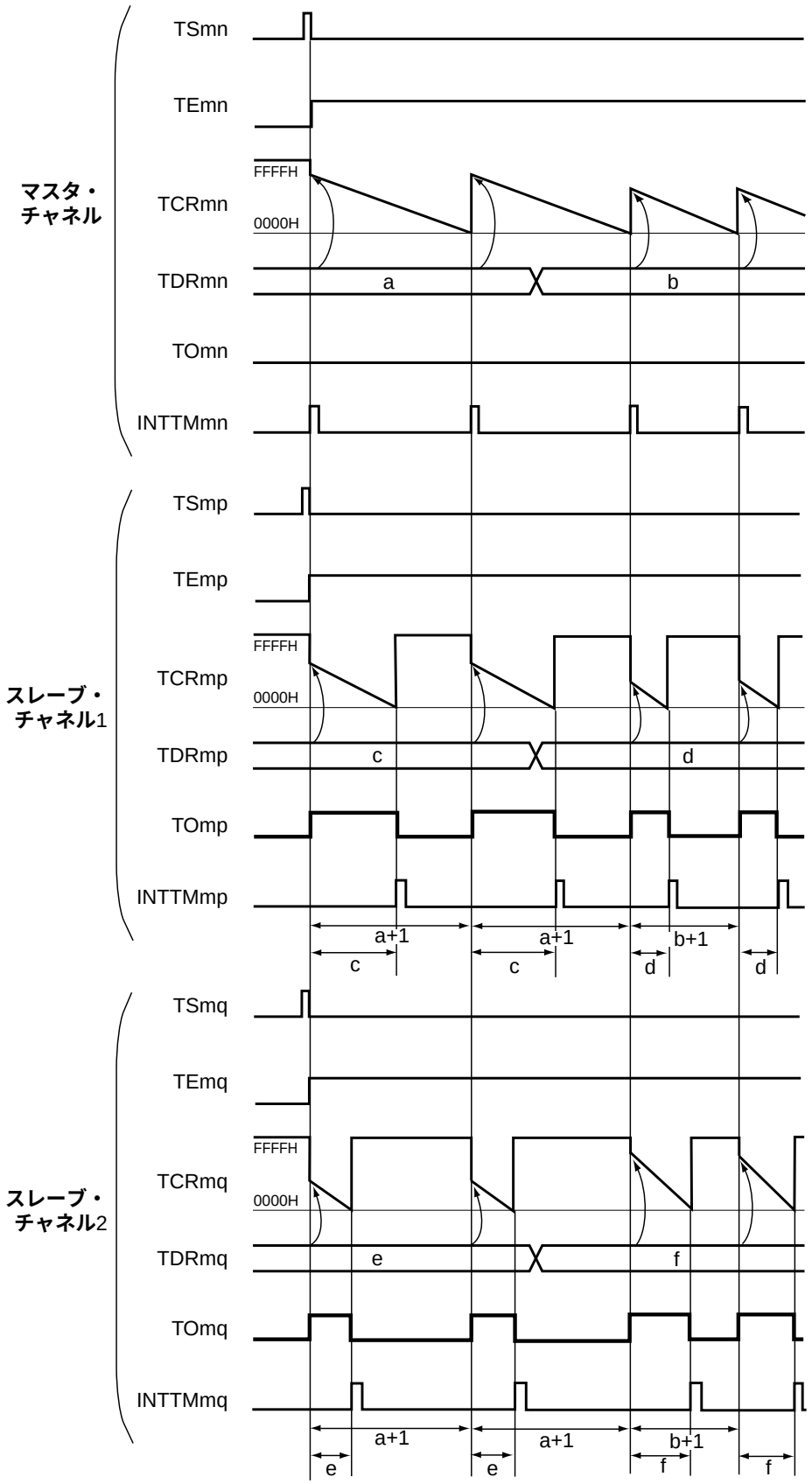
備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6ー75　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）



備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－76　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



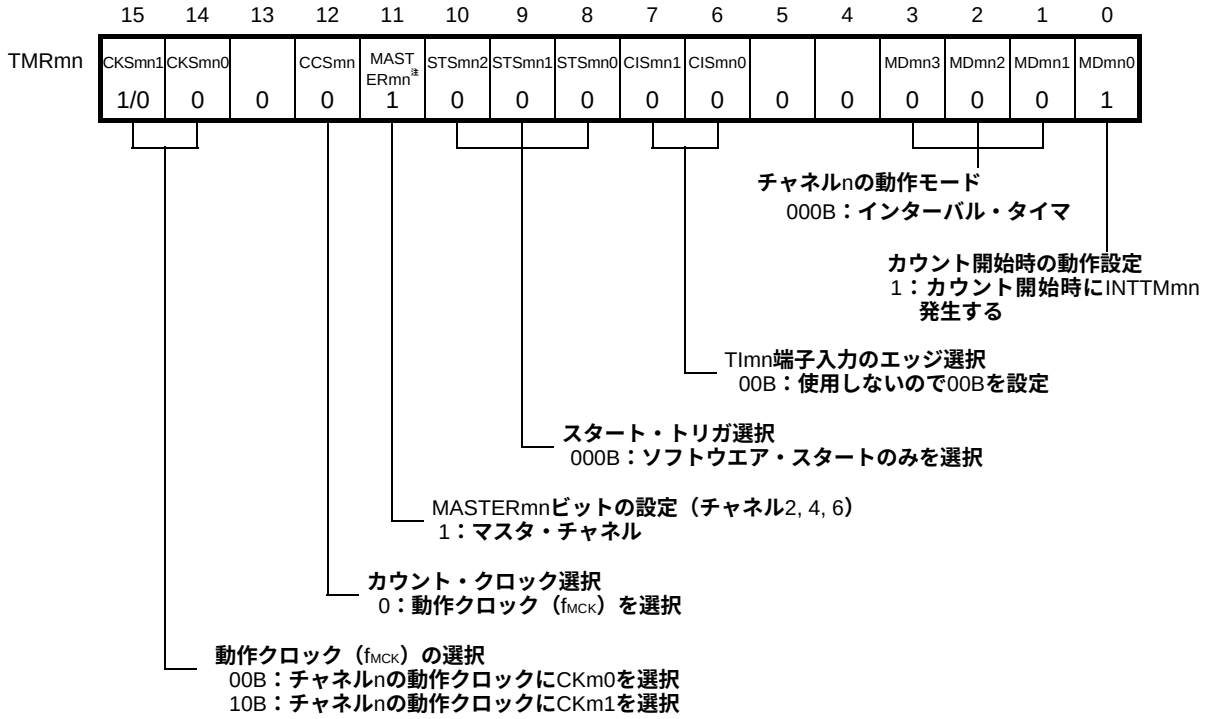
（備考は次ページにあります。）

備考1.　m：**ユニット番号**（m = 0, 1），n：**マスタ・チャネル番号**（n = 0, 2, 4）
p：**スレーブ・チャネル番号**，q：**スレーブ・チャネル番号**
n＜p＜q≦7（**ただし**p, q**は**，n**以降の整数**）

2.　TSmn, TSmp, TSmq　：**タイマ・チャネル開始レジスタ**m（TSm）**のビット**n, p, q
TEmn, TEmp, TEmq　：**タイマ・チャネル許可ステータス・レジスタ**m（TEm）**のビット**n, p, q
TCRmn, TCRmp, TCRmq　：**タイマ・カウンタ・レジスタ**mn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq　：**タイマ・データ・レジスタ**mn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq　：TOmn, TOmp, TOmq**端子出力信号**

図6－77　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合：　MASTERmn = 1
TMRm0の場合：　0固定

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

図6－78　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

(a) タイマ・モード・レジスタmp, mq（TMRmp, TMRmq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
TMRmq	CKSmq1	CKSmq0		CCSmq	M/S注	STSmq2	STSmq1	STSmq0	CISmq1	CISmq0			MDmq3	MDmq2	MDmq1	MDmq0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp, q**の動作モード**
100B：**ワンカウント・モード**

動作中のスタート・トリガ
1：**トリガ入力を有効とする**

TImp, TImq**端子入力のエッジ選択**
00B：**使用しないので**00B**を設定**

スタート・トリガ選択
100B：**マスタ・チャネルの**INTTMmn**を選択**

MASTERmp, MASTERmq**ビットの設定（チャネル**2, 4, 6）
0：**スレーブ・チャネル**
SPLITmp, SPLITmq**ビットの設定（チャネル**1, 3）
0：16**ビット・タイマ**

カウント・クロック選択
0：**動作クロック（**f_{MCK}**）を選択**

動作クロック（f_{MCK}**）の選択**
00B：**チャネル**p, q**の動作クロックに**CKm0**を選択**
10B：**チャネル**p, q**の動作クロックに**CKm1**を選択**
※**マスタ・チャネルと同一設定にする**

(b) タイマ出力レジスタm（TOm）

	ビットq	ビットp
TOm	TOmq	TOmp
	1/0	1/0

0：TOmp, TOmq**より**0**を出力する**
1：TOmp, TOmq**より**1**を出力する**

(c) タイマ出力許可レジスタm（TOEm）

	ビットq	ビットp
TOEm	TOEmq	TOEmp
	1/0	1/0

0：**カウント動作によるTOmp, TOmq出力動作停止**
1：**カウント動作によるTOmp, TOmq出力動作許可**

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットq	ビットp
TOLm	TOLmq	TOLmp
	1/0	1/0

0：**正論理出力（アクティブ・ハイ）**
1：**負論理出力（アクティブ・ロウ）**

(e) タイマ出力モード・レジスタm（TOMm）

	ビットq	ビットp
TOMm	TOMmq	TOMmp
	1	1

1：**スレーブ・チャネル出力モードを設定**

注　TMRm2, TMRm4, TMRm6**の場合**　：MASTERmp, MASTERmq**ビット**
TMRm1, TMRm3**の場合**　：SPLITmp, SPLITmq**ビット**
TMRm5, TMRm7**の場合**　：0**固定**

備考　m：**ユニット番号**（m = 0, 1），n：**マスタ・チャネル番号**（n = 0, 2, 4）
p：**スレーブ・チャネル番号**，q：**スレーブ・チャネル番号**
n＜p＜q≦7（**ただし**p, q**は**，n**以降の整数**）

図6－79　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し，TOmp, TOmq出力の初期レベルを確定する → TOEmp, TOEmqビットに1を設定し，TOmp, TOmqの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp, TOmq初期設定レベルが出力される。 チャネルは動作停止状態なので，TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作開始	（動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp, TSmq（スレーブ）ビットに同時に1を設定する → TSmn, TSmp, TSmqビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し， INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

動作再開（次ページへ）

図6－79　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページへ）

	ソフトウエア操作	ハードウエアの状態
動 作 中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは，設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは，常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmpレジスタ値をTCRmpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmqレジスタ値をTCRmqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmq出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動 作 停止	TTmn（マスタ），TTmp, TTmq（スレーブ）ビットに同時に1を設定する →	TEmn, TEmp, TEmq = 0になり，カウント動作停止 TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず，状態保持
	TTmn, TTmp, TTmqビットはトリガ・ビットなので，自動的に0に戻る	
	スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し，TOmp, TOmqビットに値を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU 停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp, TOmqビットに0を設定する →	TOmp, TOmq端子出力レベルはポート機能により保持される。
	TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmp, TOmqビットが0になり，TOmp, TOmq端子はポート機能となる）

備考　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の連続した整数）

6. 10　タイマ・アレイ・ユニット使用時の注意事項

6. 10. 1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

詳細は，4. 5　兼用機能使用時のレジスタ設定を参照してください。

第7章　リアルタイム・クロック

7. 1　リアルタイム・クロックの機能

リアルタイム・クロックには，次のような機能があります。

・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
・定周期割り込み機能（周期：0.5秒，1秒，1分，1時間，1日，1月）
・アラーム割り込み機能（アラーム：曜日・時・分）
・1 Hzの端子出力機能（40ピン, 44ピン, 48ピン, 52ピン, 64ピン, 80ピン, 100ピン, 128ピン製品のみ）

リアルタイム・クロック割り込み信号（INTRTC）を，STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

注意　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 15 kHz）を選択時は，定周期割り込み機能のみ使用できます。20-36ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。
ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

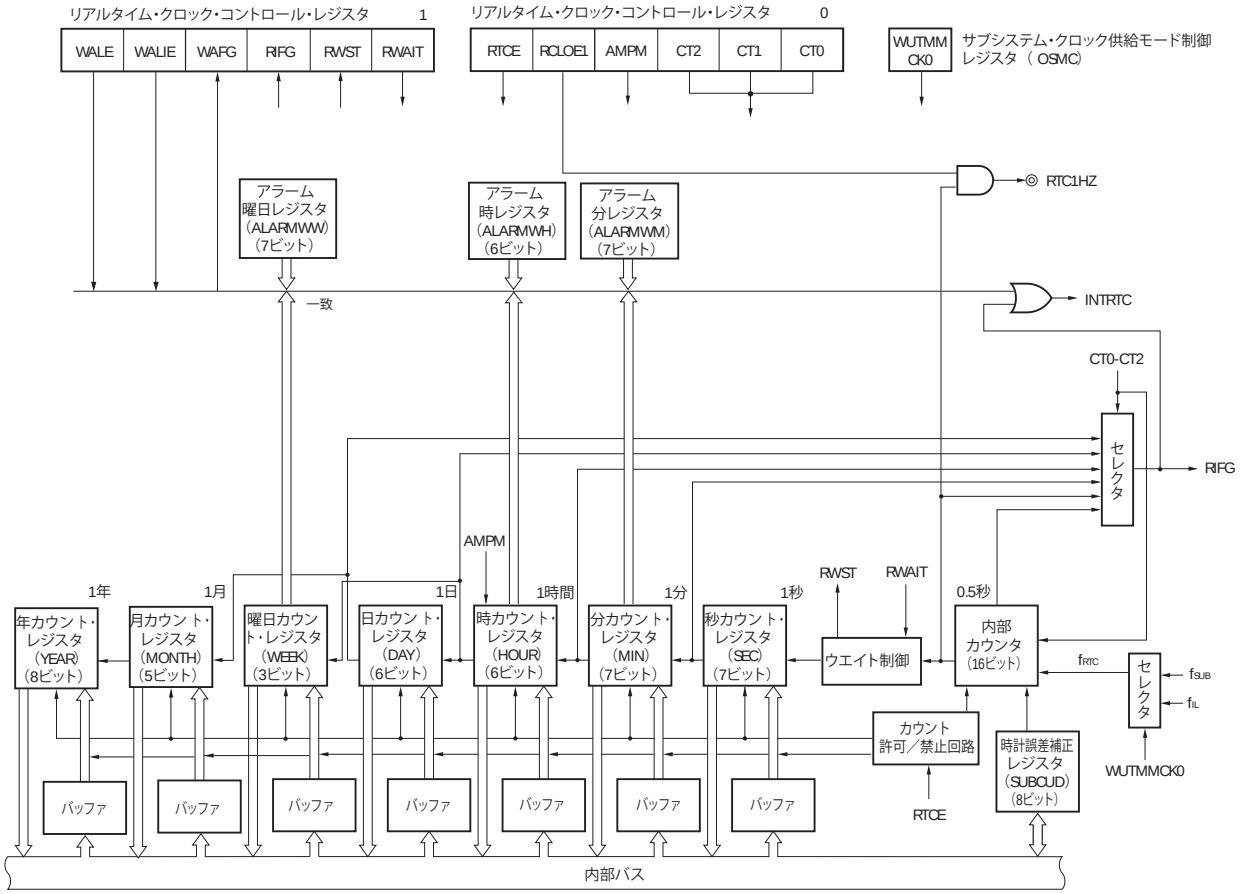
7. 2　リアルタイム・クロックの構成

リアルタイム・クロックは，次のハードウエアで構成されています。

表7－1　リアルタイム・クロックの構成

項　　目	構　　成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
	アラーム曜日レジスタ（ALARMWW）

図7－1　リアルタイム・クロックのブロック図



注意　**リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 15 kHz）を選択時は，定周期割り込み機能のみ使用できます。**20-36**ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。**

ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0**レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。**

7. 3　リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
- リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
- 秒カウント・レジスタ（SEC）
- 分カウント・レジスタ（MIN）
- 時カウント・レジスタ（HOUR）
- 日カウント・レジスタ（DAY）
- 曜日カウント・レジスタ（WEEK）
- 月カウント・レジスタ（MONTH）
- 年カウント・レジスタ（YEAR）
- 時計誤差補正レジスタ（SUBCUD）
- アラーム分レジスタ（ALARMWM）
- アラーム時レジスタ（ALARMWH）
- アラーム曜日レジスタ（ALARMWW）
- ポート・モード・レジスタ3（PM3）
- ポート・レジスタ3（P3）

7. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは，必ずビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注1	ADCEN	IICA0EN注2	SAU1EN注3	SAU0EN	TAU1EN注1	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注1.　80, 100, 128ピン製品のみ。

2.　20ピン製品には搭載されていません。

3.　20, 24, 25ピン製品には搭載されていません。

注意1.　リアルタイム・クロックを使用する際には，カウント・クロック（fRTC）が発振安定した状態で，必ず最初にRTCEN ＝ 1に設定してから下記のレジスタの設定を行ってください。
RTCEN = 0の場合は，リアルタイム・クロックの制御レジスタへの書き込みは無視され，読み出し値は初期値となります（サブシステム・クロック供給モード制御レジスタ（OSMC），ポート・モード・レジスタ3（PM3），ポート・レジスタ3（P3）は除く）。
・リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
・リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
・秒カウント・レジスタ（SEC）
・分カウント・レジスタ（MIN）
・時カウント・レジスタ（HOUR）
・日カウント・レジスタ（DAY）
・曜日カウント・レジスタ（WEEK）
・月カウント・レジスタ（MONTH）
・年カウント・レジスタ（YEAR）
・時計誤差補正レジスタ（SUBCUD）
・アラーム分レジスタ（ALARMWM）
・アラーム時レジスタ（ALARMWH）
・アラーム曜日レジスタ（ALARMWW）

2. サブシステム・クロック・供給モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブシステム・クロック時HALTモードで，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。
3. 次のビットには必ず“0”を設定してください。

   20ピン製品：ビット1, 3, 4, 6

   24, 25ピン製品：ビット1, 3, 6

   30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

7. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0ビットでリアルタイム・クロックのカウント・クロック（f_{RTC}）を選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章　クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマの動作クロック（f_{RTC}）の選択
0	サブシステム・クロック（f_{SUB}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）

注意　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 15 kHz）を選択時は，定周期割り込み機能のみ使用できます。20-36ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。

ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

7. 3. 3　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック動作の開始／停止，RTC1HZ端子の制御，12/24時間制，定期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット

アドレス：FFF9DH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1[注]	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

AMPM	12時間制／24時間制の選択
0	12時間制（午前／午後を表示）
1	24時間制

・AMPMビットの値を変更する場合は，RWAITビット（リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のビット0）＝1にしてから書き換えてください。AMPMビットの値を変更すると，時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。

・時間桁表示表を表7－2に示します。

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度（秒カウントアップに同期）
0	1	0	1秒に1度（秒カウントアップと同時）
0	1	1	1分に1度（毎分00秒）
1	0	0	1時間に1度（毎時00分00秒）
1	0	1	1日に1度（毎日00時00分00秒）
1	1	×	1月に1度（毎月1日午前00時00分00秒）

カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RIFGフラグ，RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注　20-36ピン製品は，RCLOE1ビットに"0"を設定してください。

注意1.　RTCE = 1のときにRCLOE1ビットを変更しないでください。

2.　RTCE = 0のときに，RCCOE1 = 1に設定しても1Hz出力されません。

備考　×：don't care

7. 3. 4　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウエイトを制御する8ビットのレジスタです。

RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/2）

アドレス：FFF9EH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，f_{RTC}の1クロック後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

図7－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）

RWST	リアルタイム・クロックのウエイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。	

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し，書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。 内部カウンタ（16ビット）は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。 RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで最大f_{RTC}の1クロックの時間がかかります。 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。 ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。	

注意　RTCC1レジスタに1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に，RIFGフラグ，WAFGフラグをクリアしないようにするためには，該当ビットに書き込みが無効となる“1”を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き換わっても問題ない場合は，RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1.　定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

2.　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

7. 3. 5　秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

内部カウンタ（16ビット）からのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，最大f_{RTC}の2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－6　秒カウント・レジスタ（SEC）のフォーマット

アドレス：FFF92H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

備考　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 6　分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－7　分カウント・レジスタ（MIN）のフォーマット

アドレス：FFF93H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 7　時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

図7－8　時カウント・レジスタ（HOUR）のフォーマット

アドレス：FFF94H　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1.　HOURレジスタのビット5（HOUR20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表7－2に示します。

表7－2　時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

7. 3. 8　日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- 01-31（1, 3, 5, 7, 8, 10, 12月）
- 01-30（4, 6, 9, 11月）
- 01-29（2月 うるう年）
- 01-28（2月 通常年）

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図7－9　日カウント・レジスタ（DAY）のフォーマット

アドレス：FFF96H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 9　曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。

また設定する値は，10進の00-06をBCDコードで設定してください。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－10　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス：FFF95H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1.　曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。
リセット解除後，次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 10　月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図7－11　月カウント・レジスタ（MONTH）のフォーマット

アドレス：FFF97H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 11　年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－12　年カウント・レジスタ（YEAR）のフォーマット

アドレス：FFF98H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 12　時計誤差補正レジスタ（SUBCUD）

内部カウンタ（16ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－13　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス：FFF99H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。 ・DEV = 0設定時：SEC = 00H, 20H, 40Hの期間 ・DEV = 1設定時：SEC = 00Hの期間	

F6	時計誤差補正値の設定
0	{（F5, F4, F3, F2, F1, F0）－1}　×2だけ増加
1	{（/F5, /F4, /F3, /F2, /F1, /F0）＋1）×2だけ減少
（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。 /F5～/F0は，ビット反転した値（111100のときは000011）となります。 補正値の範囲：（F6=0のとき）　2, 4, 6, 8,・・・120, 122, 124 （F6=1のとき）　－2, －4, －6, －8,・・・－120, －122, －124	

次に，時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	－189.2 ppm～189.2 ppm	－63.1 ppm～63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

7. 3. 13　アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

ALARMWMレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　設定する値は，10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図7－14　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス：FFF9AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

7. 3. 14　アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

ALARMWHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

注意　設定する値は，10進の00～23または，01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図7－15　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス：FFF9BH　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意　ALARMWHレジスタのビット5（WH20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

7. 3. 15　アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－16　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス：FFF9CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜　日							12時間表示				24時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	10時	1時	10分	1分	10時	1時	10分	1分
毎日　午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日　午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日　午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金　午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜　午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金　午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

7. 3. 16　ポート・モード・レジスタ3（PM3）

PM3レジスタは，1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

RTC1HZ端子の1Hz出力として使用する時は，PM30ビットに”0”を設定してください。

図7－17　ポート・モード・レジスタ3（PM3）のフォーマット

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

7. 3. 17　ポート・レジスタ3（P3）

P3レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

RTC1Hz端子へ1Hz出力として使用する時は，P30ビットに”0”を設定してください。

図7－18　ポート3（P3）のフォーマット

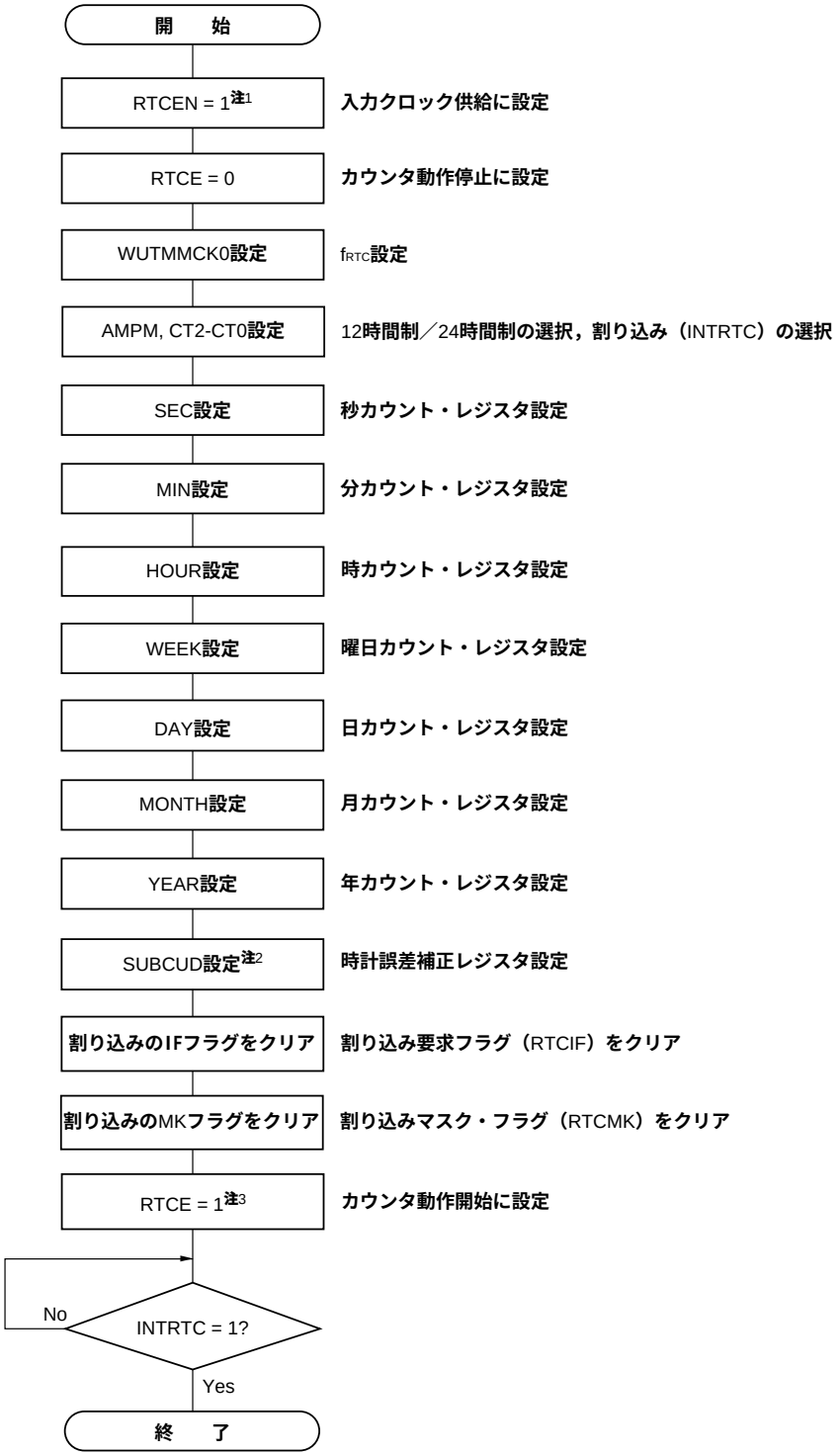
アドレス：FFF03H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

7. 4　リアルタイム・クロックの動作

7. 4. 1　リアルタイム・クロックの動作開始

図7－19　リアルタイム・クロックの動作開始手順



注 1.　カウント・クロック（f_{RTC}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2.　時計誤差補正する必要がある場合のみ。補正値の算出方法は，7. 4. 6　**リアルタイム・クロックの時計誤差補正例**を参照してください。

3.　RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は，7. 4. 2　**動作開始後の**HALT/STOP**モードへの移行の手順**を確認してください。

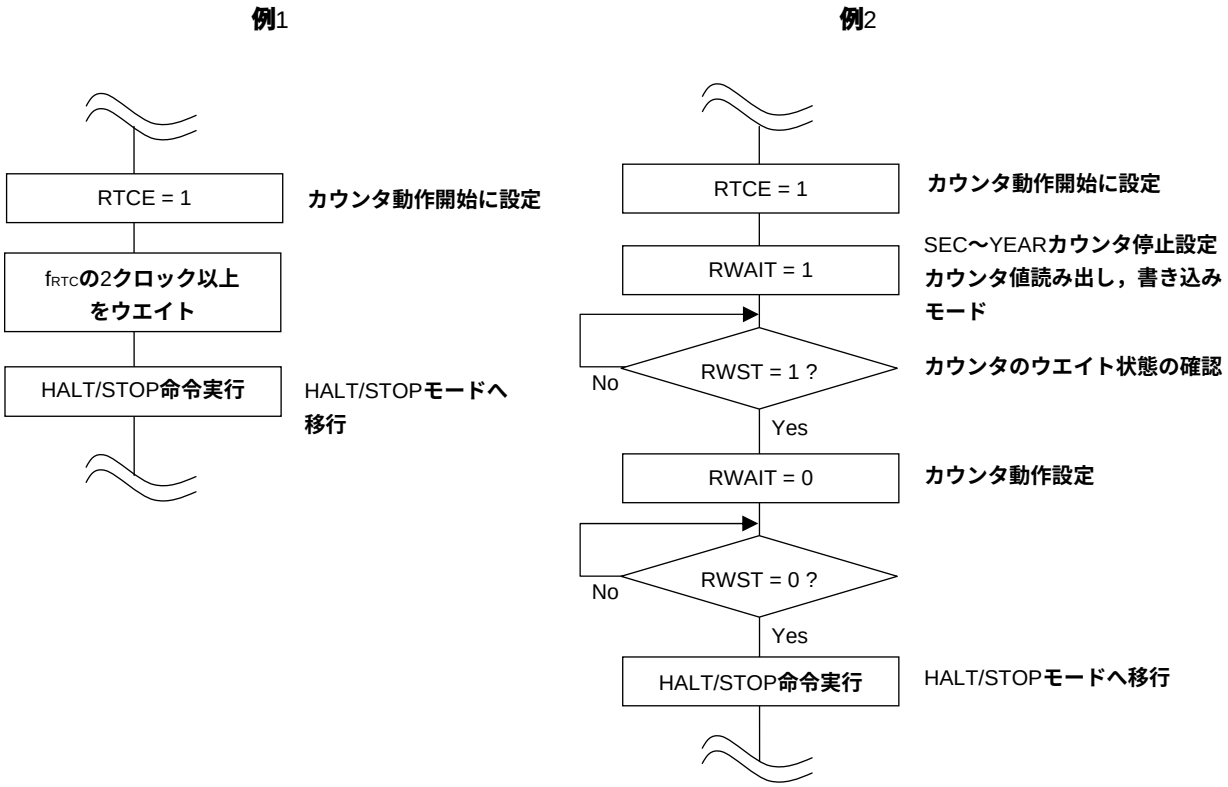
7. 4. 2　動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1に設定後，INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は，これらの処理は必要ありません。

- RTCE = 1に設定してから，カウント・クロック（f_{RTC}）の2クロック分以上経過後にHALT/STOPモードへ移行する（図7－20 例1参照）。
- RTCE = 1に設定後，RWAIT = 1に設定し，RWSTビットが1になるのをポーリングで確認する。それから，RWAIT = 0に設定し，RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（図7－20 例2参照）。

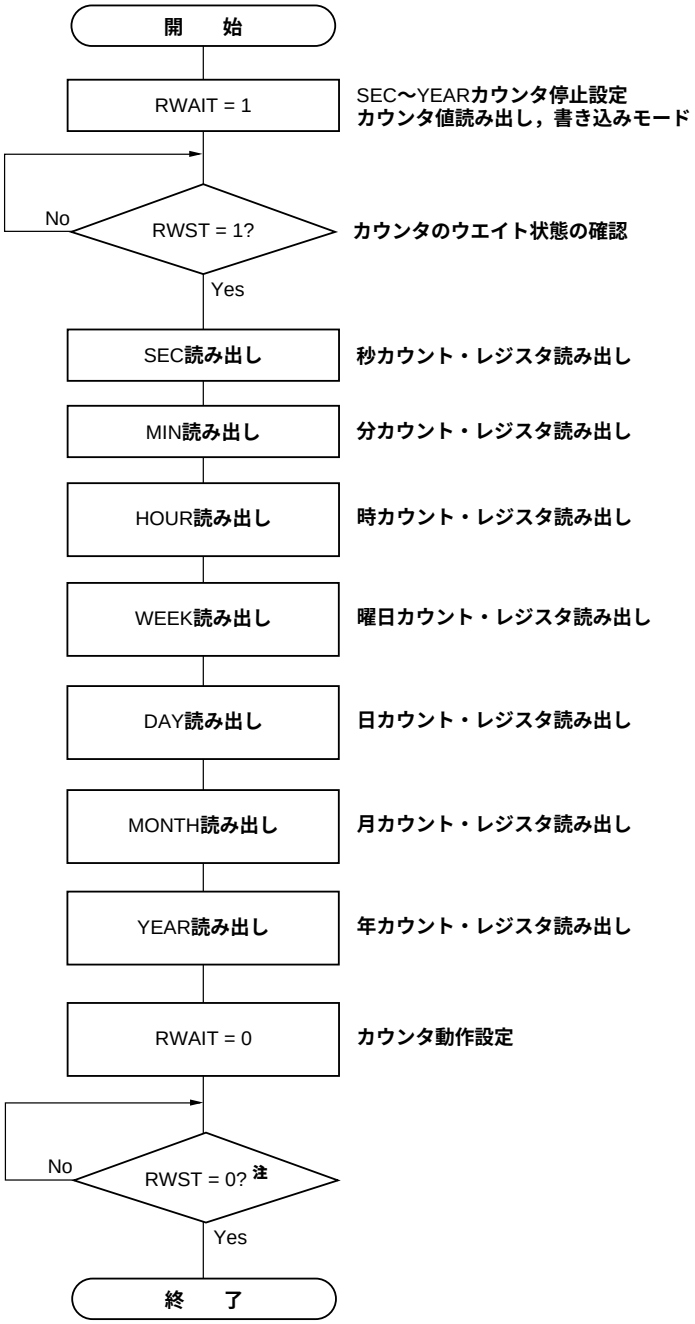
図7－20　RTCE = 1に設定後のHALT/STOPモードへの移行手順



7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは，最初にRWAIT = 1にしてから行ってください。
カウンタの読み出し／書き込み終了後は，RWAIT = 0にしてください。

図7ー21　リアルタイム・クロックの読み出し手順



注　STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意　RWAIT = 1 からRWAIT = 0までの処理を1秒以内で行ってください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。
また，すべてのレジスタを読み出す必要はなく，一部のレジスタのみを読み出しても構いません。

図7－22　リアルタイム・クロックの書き込み手順

注　STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意　1.　RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

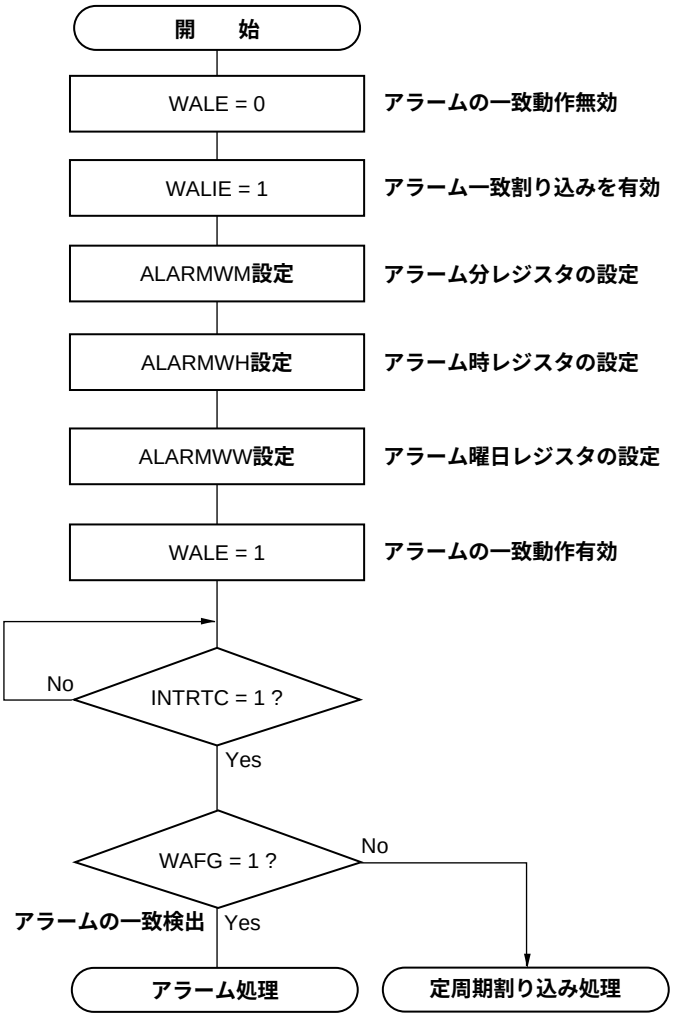
2.　カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

7. 4. 4　リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図7－23　アラーム処理手順

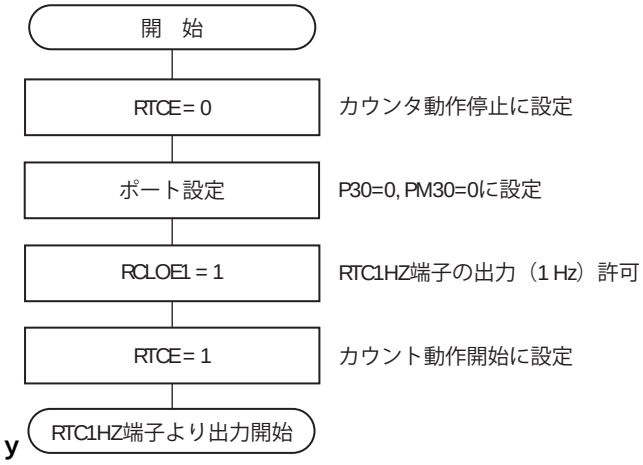


備考1.　アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

2.　定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

7. 4. 5　リアルタイム・クロックの1 Hz出力

図7－24　1 Hz出力の設定手順



注意 1.　**カウント・クロック（f_{SUB}）が発振安定状態において，最初に**RTCEN = 1**の設定を行ってください。**

2.　20-30**ピン製品は，リアルタイムクロックの**1Hz**出力機能はありません。**

7. 4. 6　リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより，時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ（16ビット）のカウント値を補正する際の補正値は，次の式で算出できます。

補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

（DEV = 0の場合）

補正値[注] = 1分間の補正カウント数÷3 =（発振周波数÷ターゲット周波数－1）×32768×60÷3

（DEV = 1の場合）

補正値[注] = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

注　補正値とは，時計誤差補正レジスタ（SUBCUD）のビット6-0の値により求められる時計誤差補正値です。

（F6=0の場合）補正値 = {（F5, F4, F3, F2, F1, F0）－1} ×2

（F6=1の場合）補正値 = － {（/F5, /F4, /F3, /F2, /F1, /F0）＋1} ×2

（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。

/F5～/F0は，ビット反転した値（111100のときは000011）となります。

備考1.　補正値は，2, 4, 6, 8,・・・120, 122, 124，または－2, －4, －6, －8・・・－120, －122, －124です。

2.　発振周波数とは，カウント・クロック（f_{RTC}）の値です。
時計誤差補正レジスタが初期値（00H）時のRTC1HZ端子の出力周波数×32768で求めることができます。

3.　ターゲット周波数とは，時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hzから32768 Hz（32772.3 Hz－131.2 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注]はPCLBUZ0端子から約32.768 kHzを出力するか，時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は，7. 4. 5 リアルタイム・クロックの1Hz出力を，PCLBUZ0端子から約32 kHzの出力の設定手順は，9. 4 クロック出力／ブザー出力制御回路の動作を参照してください。

【補正値の算出】

（PCLBUZ0端子からの出力周波数が32772.3 Hzの場合）

ターゲット周波数を32768 Hz（32772.3 Hz－131.2 ppm）とすると，－131.2 ppmは補正範囲が－63.1 ppm以下なので，DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数÷3 = （発振周波数÷ターゲット周波数– 1）×32768×60÷3

= （32772.3÷32768 – 1）×32768×60÷3

= 86

【（F6～F0）への設定値の算出】

（補正値 = 86の場合）

補正値が0以上（遅くする場合）では，F6 = 0とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

{（F5, F4, F3, F2, F1, F0）－1} ×2 = 86

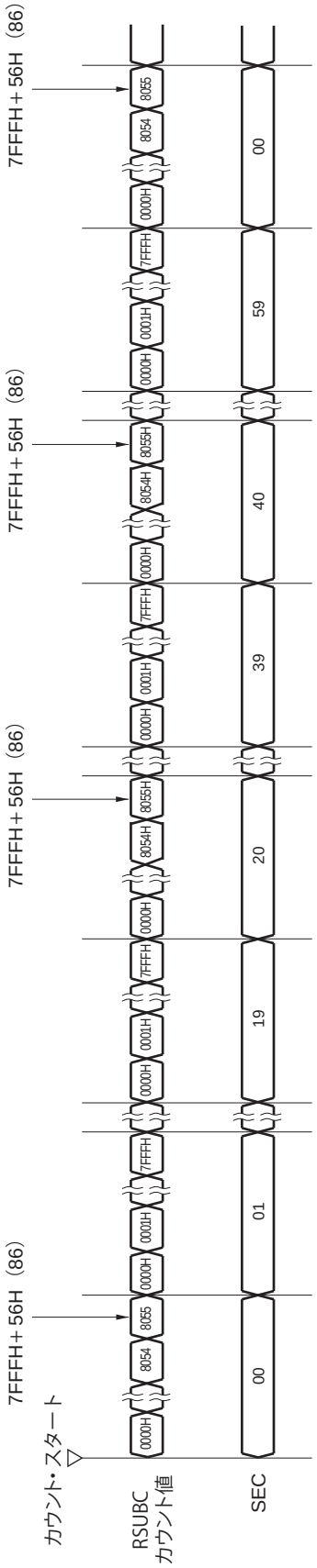
（F5, F4, F3, F2, F1, F0） = 44

（F5, F4, F3, F2, F1, F0） =（1, 0, 1, 1, 0, 0）

したがって，32772.3 Hzから32768 Hz（32772.3 Hz－131.2 ppm）への補正の場合，DEV = 0，補正値 = 86（SUBCUDレジスタのビット6-0：0101100）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作を図7－25に示します。

図7－25　(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作



補正例②

32767.4 Hzから32768 Hz（32767.4 Hz＋18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注]を，時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注　RTC1Hz出力の設定手順は，7. 4. 5 リアルタイム・クロックの1Hz出力を参照してください。

【補正値の算出】

（RTC1HZ端子からの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768×0.9999817　　32767.4 Hz

ターゲット周波数を32768 Hz（32767.4 Hz＋18.3 ppm）とし，DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

=（32767.4÷32768 – 1）×32768×60

= －36

【（F6～F0）への設定値の算出】

（補正値 = －36の場合）

補正値が0以下（速くする場合）では，F6 = 1とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

－｛（/F5, /F4, /F3, /F2, /F1, /F0）＋1｝×2 = －36

（/F5, /F4, /F3, /F2, /F1, /F0） = 17

（/F5, /F4, /F3, /F2, /F1, /F0） =（0, 1, 0, 0, 0, 1）

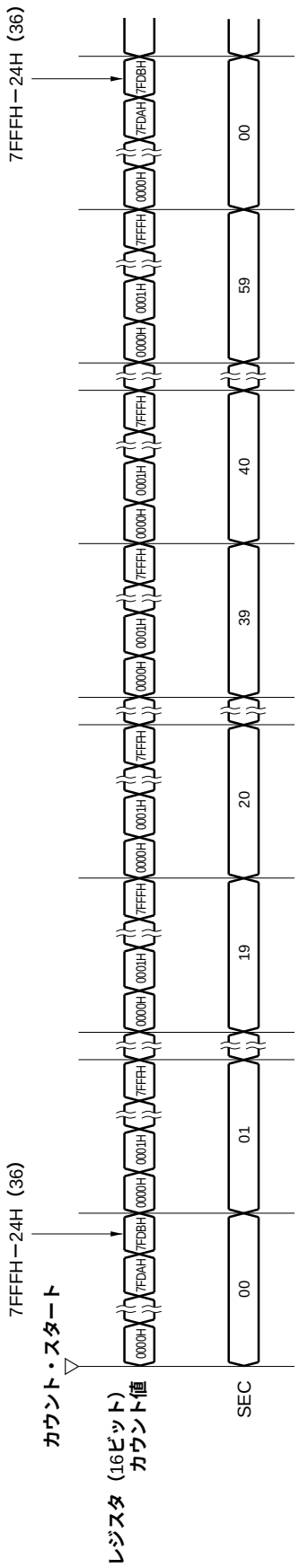
（F5,F4,F3,F2,F1,F0） =（1, 0, 1, 1, 1, 0）

したがって，32767.4 Hzから32768 Hz（32767.4Hz＋18.3 ppm）への補正の場合，

DEV = 1，補正値 = －36（SUBCUDレジスタのビット6-0：1101110）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の動作を図7－26に示します。

図7－26　（DEV, F6, F5, F4, F3, F2, F1, F0）＝（1, 1, 1, 0, 1, 1, 1, 0）の場合の補正動作



第8章　12ビット・インターバル・タイマ

8. 1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウエイク･アップや，A/Dコンバータの SNOOZEモードのトリガに使えます。

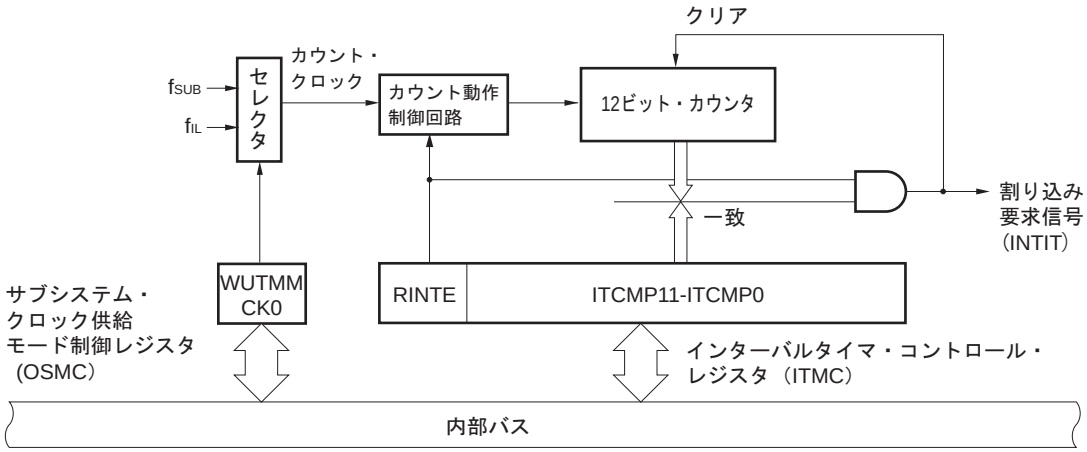
8. 2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表8－1　12ビット・インターバル・タイマの構成

項　目	構　成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタ（ITMC）

図8－1　12ビット・インターバル・タイマのブロック図



注意　カウント・クロックにサブシステム・クロック（f_{SUB}）を選択できるのは、40-128ピン製品です。

8. 3　12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- インターバル・タイマ・コントロール・レジスタ（ITMC）

8. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは，必ずビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注1	ADCEN	IICA0EN注2	SAU1EN注3	SAU0EN	TAU1EN注1	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマへのクロック供給の制御
0	クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注1.　80, 100, 128ピン製品のみ。

2.　20ピン製品には搭載されていません。

3.　20, 24, 25ピン製品には搭載されていません。

注意1.　12ビット・インターバル・タイマを使用する際には，カウント・クロックが発振安定した状態で，必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は，12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され，読み出し値は初期値となります（サブシステム・クロック供給モード制御レジスタ（OSMCは除く））

・インターバル・タイマ・コントロール・レジスタ（ITMC）

2.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブシステム・クロック時HALTモードで，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止することが可能です。

3.　次のビットには必ず“0”を設定してください。

20ピン製品：ビット1, 3, 4, 6

24, 25ピン製品：ビット1, 3, 6

30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0ビットで12ビット・インターバル・タイマ，リアルタイム・クロックの動作クロックを選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章　クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックの選択
0	サブシステム・クロック（f_{SUB}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）

8. 3. 3　インターバル・タイマ・コントロール・レジスタ（ITMC）

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります。

図8－4　インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット

アドレス：FFF90H　リセット時：0FFFH　R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止（カウント・クリア）
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期×（ITCMP設定値＋1）」の定周期割り込みを発生します。
・ ・ ・	
FFFH	
000H	設定禁止

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例

・ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（1＋1）= 0.06103515625 [ms]　　61.03 [μs]

・ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（4095＋1）= 125 [ms]

注意1.　RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

2.　RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

3.　スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ･モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。

4.　ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

8. 4　12ビット・インターバル・タイマの動作

8. 4. 1　12ビット・インターバル・タイマの動作タイミング

ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

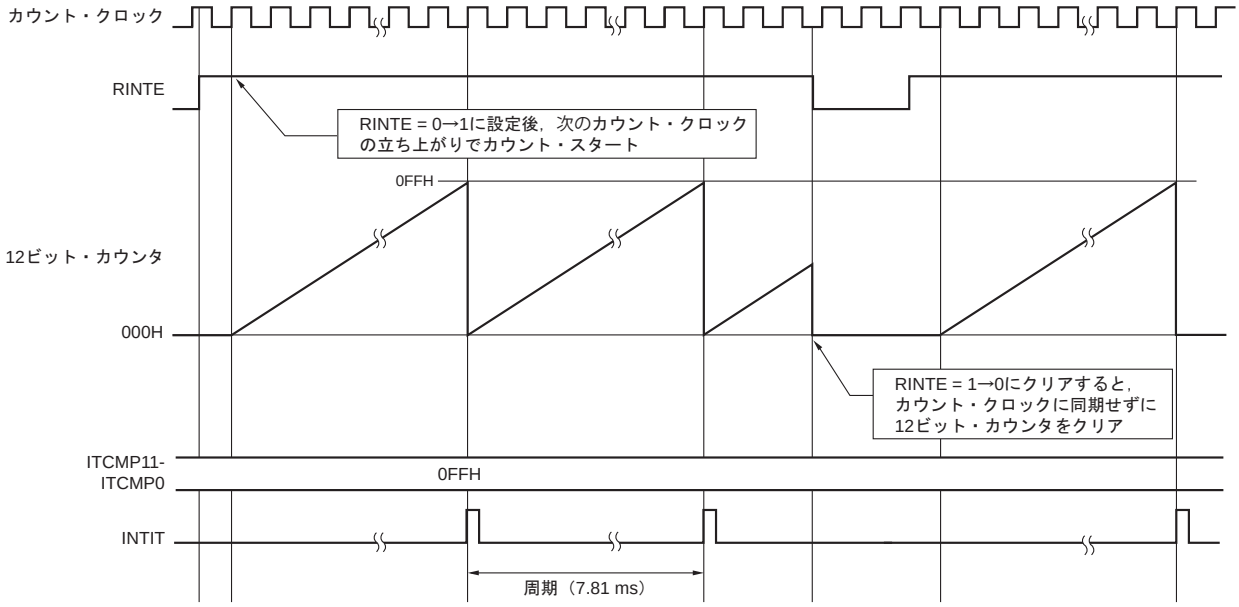
RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図8－5に示します。

図8－5　12ビット・インターバル・タイマ動作のタイミング

（ITCMP11-ITCMP00 = 0FFH，カウント・クロック：f_{SUB} = 32.768 kHZ）

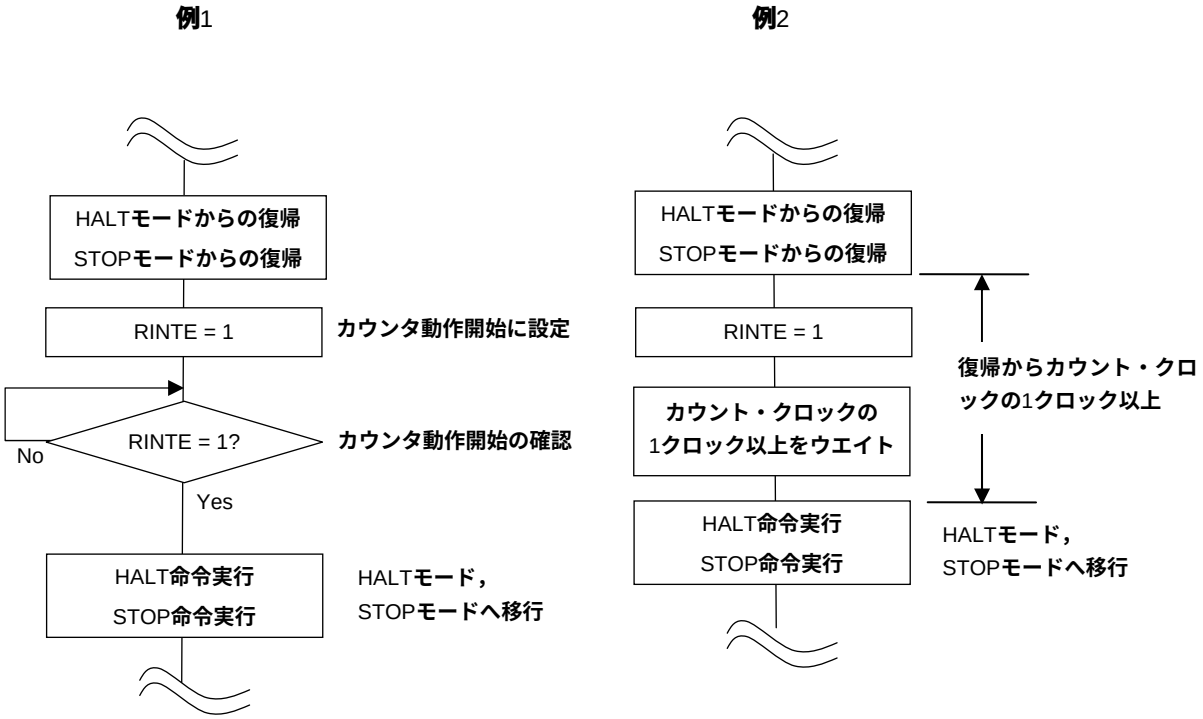


8. 4. 2　HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する（図8－6　例1参照）。
- RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する（図8－6　例2参照）。

図8－6　RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



第9章　クロック出力／ブザー出力制御回路

クロック出力／ブザー出力制御回路の出力端子数は，製品によって異なります。

出力端子	20ピン製品	24, 25ピン製品	30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128ピン製品
PCLBUZ0	－	○	○
PCLBUZ1	－	－	○

注意　この章では，以降の主な説明を64ピン製品の場合で説明しています。

9. 1　クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

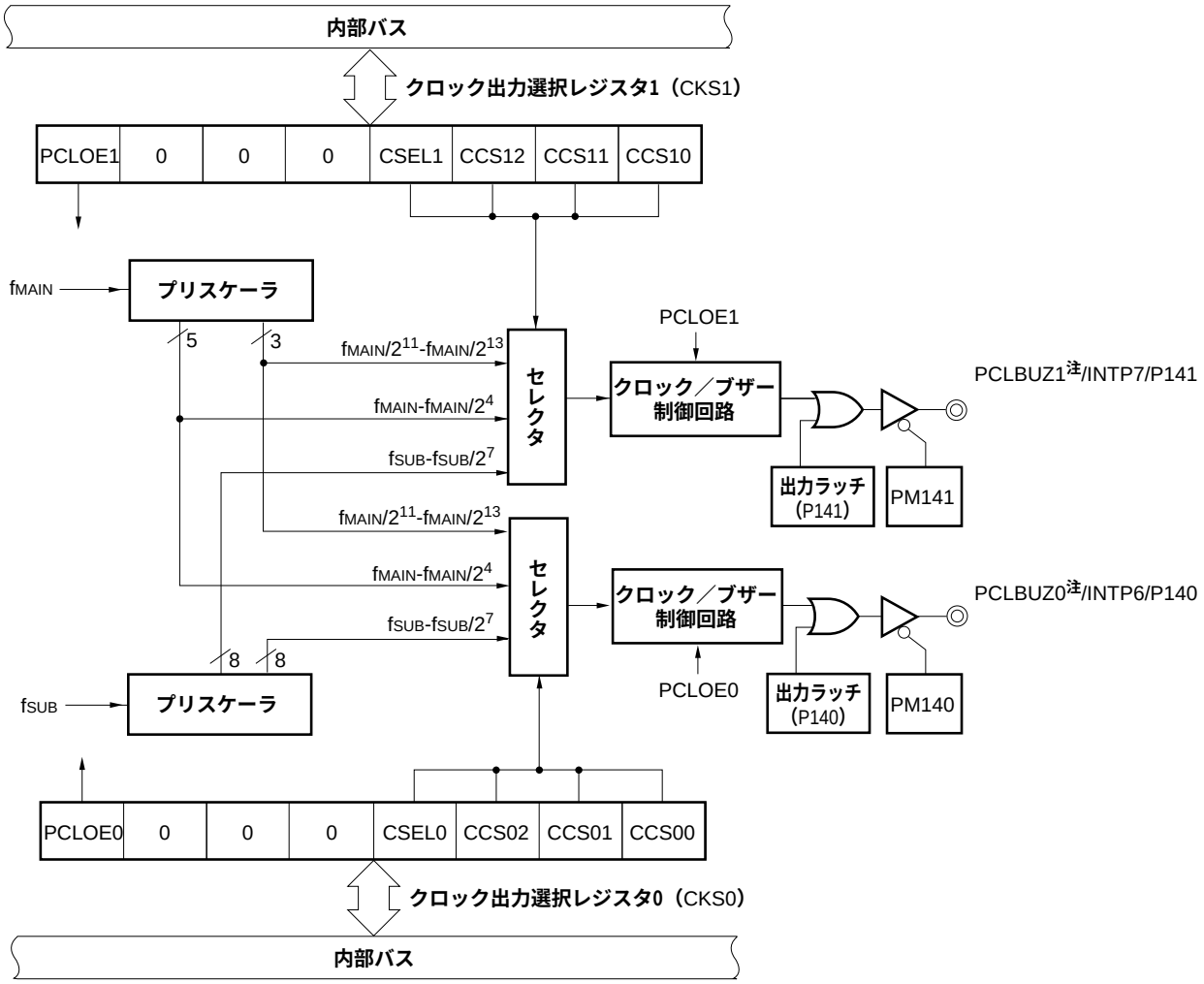
PCLBUZn端子は，クロック出力選択レジスタn（CKSn）で選択したクロックを出力します。

図9－1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC＝1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時は，PCLBUZn端子から，サブシステム・クロック（f_{SUB}）を出力することはできません。

備考　n = 0, 1

図9－1　クロック出力／ブザー出力制御回路のブロック図



注　PCLBUZ0, PCLBUZ1端子から出力可能な周波数は，29. 4または30. 4　AC特性を参照してください。

備考　この図のクロック出力／ブザー出力端子は，64-128ピン製品でPIOR3 = 0, PIOR4 = 0の場合です。

9. 2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表9－1　クロック出力／ブザー出力制御回路の構成

項　　目	構　　成
制御レジスタ	クロック出力選択レジスタn（CKSn） ポート・モード・レジスタ1, 3, 5, 14（PM1, PM3, PM5, PM14） ポート・レジスタ1, 3, 5, 14（P1, P3, P5, P14）

9. 3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次のレジスタで制御します。

- クロック出力選択レジスタn（CKSn）
- ポート・モード・レジスタ1, 3, 5, 14（PM1, PM3, PM5, PM14）
- ポート・レジスタ1, 3, 5, 14（P1, P3, P5, P14）

9. 3. 1　クロック出力選択レジスタn（CKSn）

クロック出力またはブザー周波数出力の端子（PCLBUZn）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKSnレジスタで，PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－2　クロック出力選択レジスタn（CKSn）のフォーマット

アドレス：FFFA5H（CKS0），FFFA6（CKS1）　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 32 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注	16 MHz注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	8 MHz注
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	f_{SUB}	32.768 kHz			
1	0	0	1	$f_{SUB}/2$	16.384 kHz			
1	0	1	0	$f_{SUB}/2^2$	8.192 kHz			
1	0	1	1	$f_{SUB}/2^3$	4.096 kHz			
1	1	0	0	$f_{SUB}/2^4$	2.048 kHz			
1	1	0	1	$f_{SUB}/2^5$	1.024 kHz			
1	1	1	0	$f_{SUB}/2^6$	512 Hz			
1	1	1	1	$f_{SUB}/2^7$	256 Hz			

注　出力クロックは，16 MHz以内の範囲で使用してください。詳しくは，29. 4または30. 4　AC特性を参照してください。

注意1.　出力クロックの切り替えは，出力禁止（PCLOEn = 0）にしてから行ってください。

2.　メイン・システム・クロック選択時（CSELn = 0）にSTOPモードに移行する場合は，STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時（CSELn = 1）は，サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC＝0かつSTOPモード時にクロック出力が可能なためPCLOEn = 1に設定可能です。

3.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC＝1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時は，PCLBUZn端子から，サブシステム・クロック（f_{SUB}）を出力することはできません。

備考1．n = 0, 1

2．f_{MAIN} ：メイン・システム・クロック周波数

f_{SUB} ：サブシステム・クロック周波数

9. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 2　ポート・レジスタ（Pxx）を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P140/INTP6/PCLBUZ0, P141/INTP7/PCLBUZ1など）をクロック出力／ブザー出力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P140/INTP6/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ14のPM140ビットを0に設定

ポート・レジスタ14のP140ビットを0に設定

9. 4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

PCLBUZ1端子は，クロック出力選択レジスタ1（CKS1）で選択したクロック／ブザーを出力します。

9. 4. 1　出力端子の動作

PCLBUZn端子は，次の手順で出力します。

① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）のビットに0を設定する。

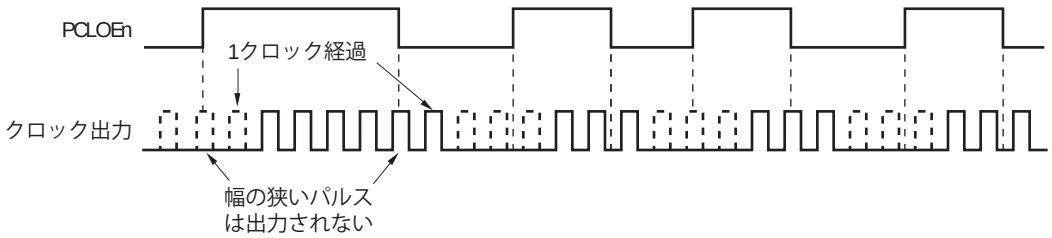
② PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-3（CCSn0-CCSn2，CSELn）で出力周波数を選択する（出力は禁止の状態）。

③ CKSnレジスタのビット7（PCLOEn）に1を設定し，クロック出力／ブザー出力を許可する。

備考1.　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図9－3に示します。

2.　n = 0, 1

図9－3　PCLBUZn**端子からのクロック出力のタイミング**



9. 5　クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択（CSELn = 0）している場合は，出力停止設定（PCLOEn = 0）にしてからPCLBUZn端子の出力クロックの1.5クロック以内にHALT/STOPモードへ移行すると，PCLBUZnの出力幅が短くなります。

第10章　ウォッチドッグ・タイマ

10. 1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは，低速オンチップ・オシレータ・クロック（f_{IL}）で動作します。

ウォッチドッグ・タイマは，プログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については第19章　リセット機能を参照してください。

また，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

10. 2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表10－1　ウォッチドッグ・タイマの構成

項　　目	構　　成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

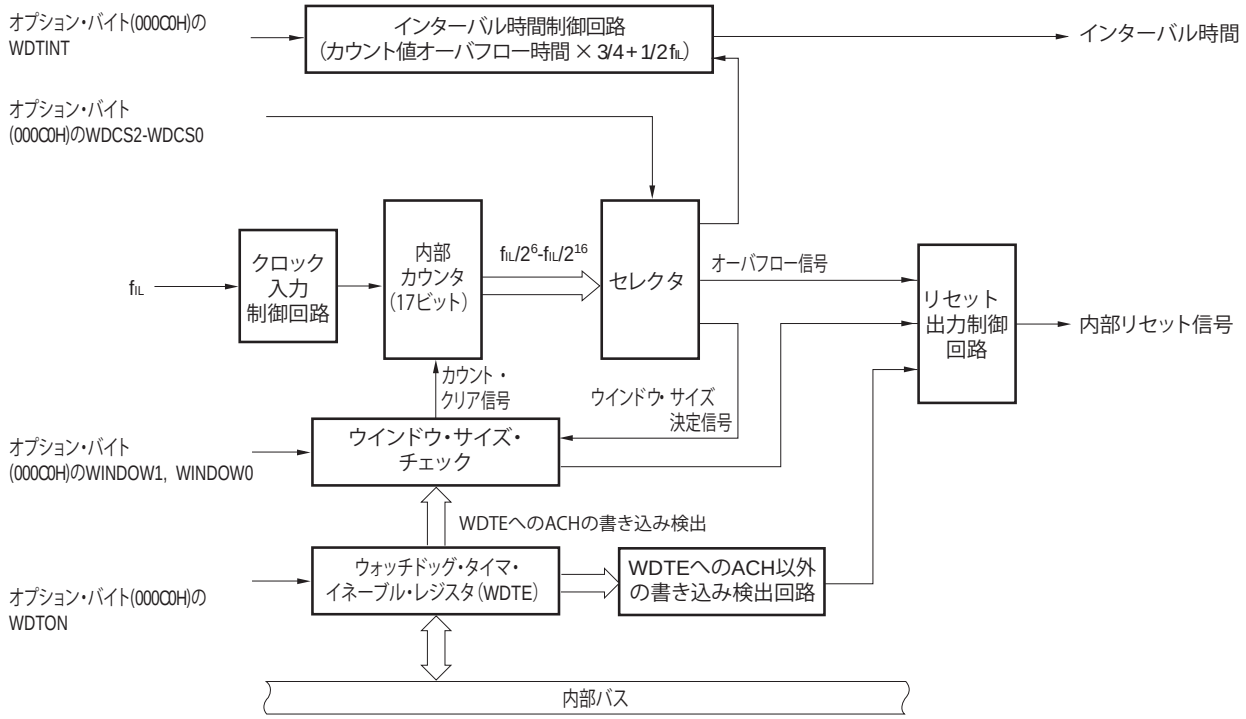
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表10－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）	ビット0（WDSTBYON）

備考　オプション・バイトについては，第24章　オプション・バイトを参照してください。

図10－1　ウォッチドッグ・タイマのブロック図



備考　f_{IL}：低速オンチップ・オシレータ・クロック

10. 3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

10. 3. 1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH[注]になります。

図10－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：9AH／1AH[注]　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1．WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2．WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3．WDTEレジスタのリード値は，“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

10. 4　ウォッチドッグ・タイマの動作

10. 4. 1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

   ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，第24章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

   ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，10. 4. 2および第24章を参照）。
   ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は，10. 4. 3および第24章を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

   ・WDTEレジスタに1ビット操作命令を使用した場合
   ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
2. WDTEレジスタに“ACH”を書き込んでから，ウォッチドッグ・タイマのカウンタがクリアされるまで，最大f_{IL}の2クロックの誤差が生じる場合があります。
3. ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4.　**オプション・バイト**（000C0H）**のビット**0（WDSTBYON）**の設定値により，ウォッチドッグ・タイマの**HALT，STOP，**および**SNOOZE**モード時の動作は，次のように異なります。**

	WDSTBYON = 0	WDSTBYON = 1
HALT**モード時**	**ウォッチドッグ・タイマ動作停止**	**ウォッチドッグ・タイマ動作継続**
STOP**モード時**		
SNOOZE**モード時**		

WDSTBYON = 0**の場合，**HALT**および**STOP**モード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア**（0）**して，カウント開始します。**

STOP**モード解除後に**X1**発振クロックで動作する場合は，**CPU**は発振安定時間経過後に動作を開始します。**

そのため，STOP**モード解除後からウォッチドッグ･タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。**

よって，インターバル割り込みによるSTOP**モード解除後に**X1**発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。**

10. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）**のビット**3-1（WDCS2-WDCS0）**で設定します。**

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）**に“**ACH**”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。**

設定可能なオーバフロー時間を次に示します。

表10－3　**ウォッチドッグ・タイマのオーバフロー時間の設定**

WDCS2	WDCS1	WDCS0	**ウォッチドッグ・タイマのオーバフロー時間**（f_{IL} = 17.25 kHz（MAX.）**の場合**）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）
1	1	0	$2^{14}/f_{IL}$（949.79 ms）
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）

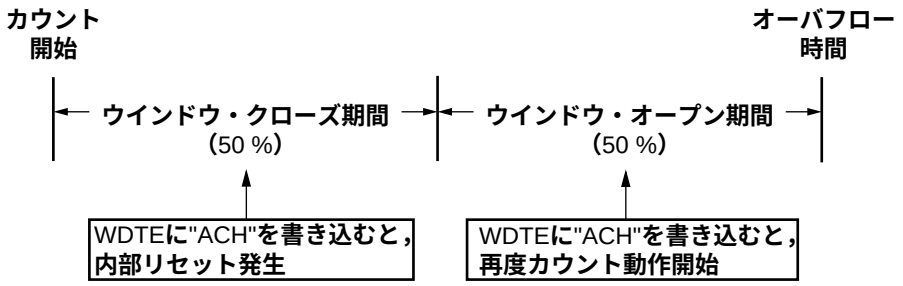
備考　f_{IL}：**低速オンチップ・オシレータ・クロック周波数**

10. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト（000C0H）のビット6，5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ ACH ”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
- ウインドウ・クローズ期間中は，WDTEレジスタに“ ACH ”を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50 %の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表10－4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意　オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$2^9/f_{IL}$ (MAX.) = 2^9 /17.25 kHz = 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$ (MIN.) ×（1－0.5）= 0～2^9/12.75 kHz ×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$ (MIN.) ×（1－0.5）～$2^9/f_{IL}$ (MAX.) = 2^9/12.75 kHz ×0.5～2^9 /17.25 kHz

= 20.08～29.68 ms

10. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表10－5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。

そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。

よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第11章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

	20, 24, 25 ピン	30, 32 ピン	36ピン	40ピン	44, 48 ピン	52, 64 ピン	80ピン	100ピン	128ピン
アナログ入力チャネル	6ch (ANI0-ANI2, ANI16-ANI18)	8ch (ANI0-ANI3, ANI16-ANI19)	8ch (ANI0-ANI5, ANI18, ANI19)	9ch (ANI0-ANI6, ANI18, ANI19)	10ch (ANI0-ANI7, ANI18, ANI19)	12ch (ANI0-ANI7, ANI16-ANI19)	17ch (ANI0-ANI11, ANI16-ANI20)	20ch (ANI0-ANI14, ANI16-ANI20)	26ch (ANI0-ANI14, ANI16-ANI26)

11. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大26チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI14, ANI16-ANI26）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには，次のような機能があります。

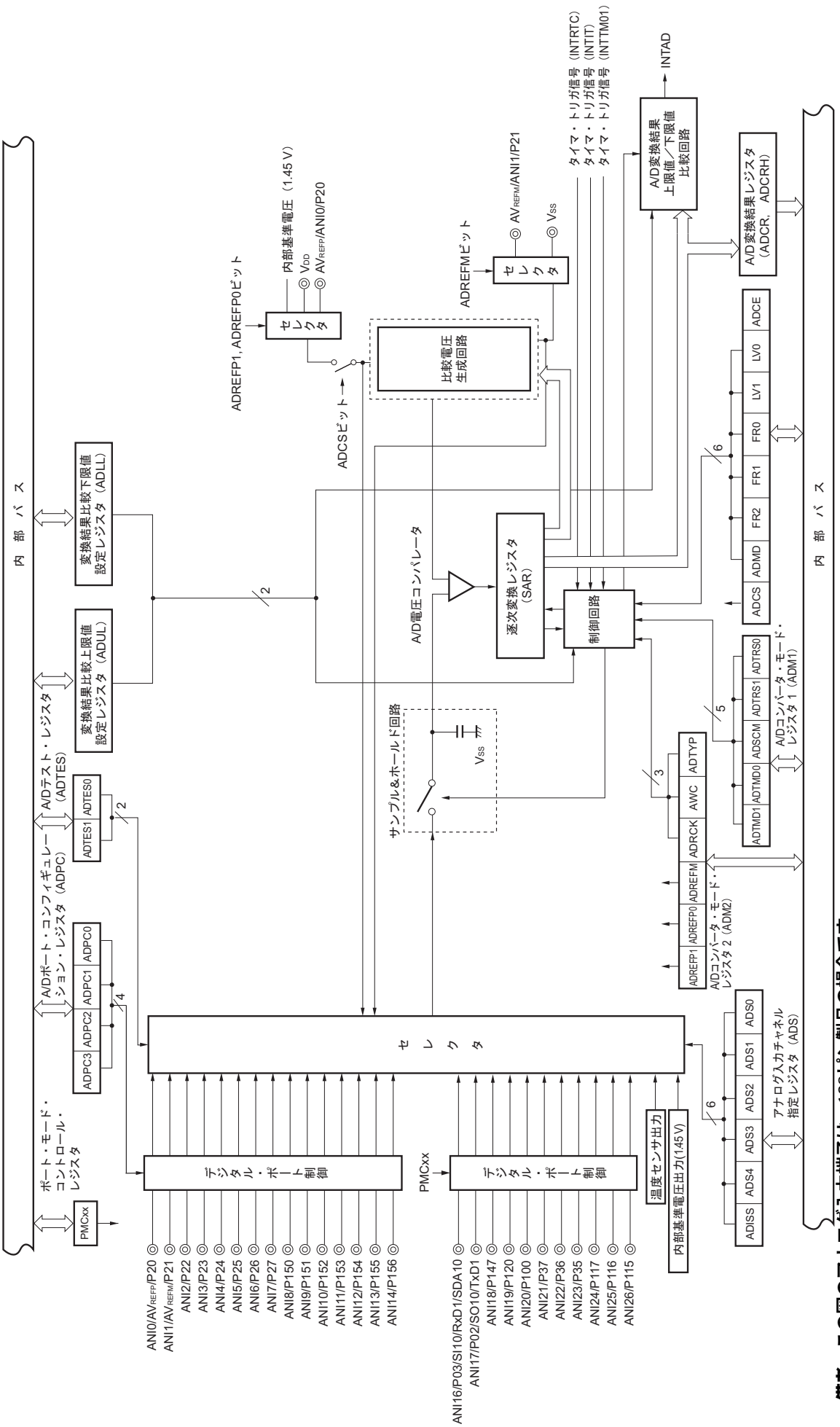
- 10ビット／8ビット分解能 A/D変換

  ANI0-ANI14, ANI16-ANI26からアナログ入力を1チャネル選択し，10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウエア・トリガ	ソフトウエア操作で，変換動作を開始します。
	ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガを検出することにより，変換動作を開始します。
	ハードウエア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウエア・トリガを検出することにより，パワー・オンとなり，A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は，ハードウエア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し，A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI14のうち連続した4チャネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウエアで停止するまで，連続してA/D変換します。
動作電圧モード	標準1／標準2 モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	1.6 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作する時に選択します。低電圧動作のため，変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 f_{AD}	標準1／低電圧1モードのサンプリング時間は，変換クロック（f_{AD}）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数：5 f_{AD}	標準2／低電圧2モードのサンプリング時間は，変換クロック（f_{AD}）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図11－1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は，128ピン製品の場合です。

11. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0-ANI14, ANI16-ANI26端子

A/Dコンバータの26チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（3）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 AV_{REF}）
ビット9 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

（4）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

(6) 10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，A/D変換結果上限値/下限値比較回路を通りINTADを発生します。

(9) AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの＋側基準電圧として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0を，ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/V_{SS}）間にかかる電圧に基づいて，ANI2-ANI14，ANI16-ANI26に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，AV_{REFP}のほかにV_{DD}と内部基準電圧（1.45 V）を選択することが可能です。

(10) AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。AV_{REFM}をA/Dコンバータの－側基準電圧として使用する場合は，ADM2レジスタのADREFMビットをセット（1）してください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにV_{SS}を選択することが可能です。

11. 3　A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- 10ビットA/D変換結果レジスタ（ADCR）
- 8ビットA/D変換結果レジスタ（ADCRH）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）
- ポート・モード・コントロール・レジスタ0, 3, 10, 11, 12, 14（PMC0, PMC3, PMC10, PMC11, PMC12, PMC14）
- ポート・モード・レジスタ0, 2, 3, 10, 11, 12, 14, 15（PM0, PM2, PM3, PM10, PM11, PM12, PM14, PM15）

11. 3. 1 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注1	ADCEN	IICA0EN注2	SAU1EN注3	SAU0EN	TAU1EN注1	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注1. 80, 100, 128ピン製品のみ。

2. 20ピン製品には搭載されていません。

3. 20, 24, 25ピン製品には搭載されていません。

注意1. A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタの設定を行ってください。

ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0, 2, 3, 10, 11, 12, 14, 15（PM0, PM2, PM3, PM10, PM11, PM12, PM14, PM15），ポート・モード・コントロール・レジスタ0, 3, 10, 11, 12, 14（PMC0, PMC3, PMC10, PMC11, PMC12, PMC14），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。

- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- 10ビットA/D変換結果レジスタ（ADCR）
- 8ビットA/D変換結果レジスタ（ADCRH）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）

2. 次のビットには必ず“0”を設定してください。

20ピン製品：ビット1, 3, 4, 6

24, 25ピン製品：ビット1, 3, 6

30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

11. 3. 2 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2[注1]	FR1[注1]	FR0[注1]	LV1[注1]	LV0[注1]	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止／待機状態
1	変換動作許可 [リード時] ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：A/D電源安定待ち状態＋変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御[注2]
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，表11－3 A/D変換時間の選択を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

注意 1. ADMD, FR2-FR0, LV1, LV0ビットの変更は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2. ADCS = 1, ADCE = 0の設定は禁止です。

3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず11. 7 A/Dコンバータの設定フローチャートの手順に従ってください。

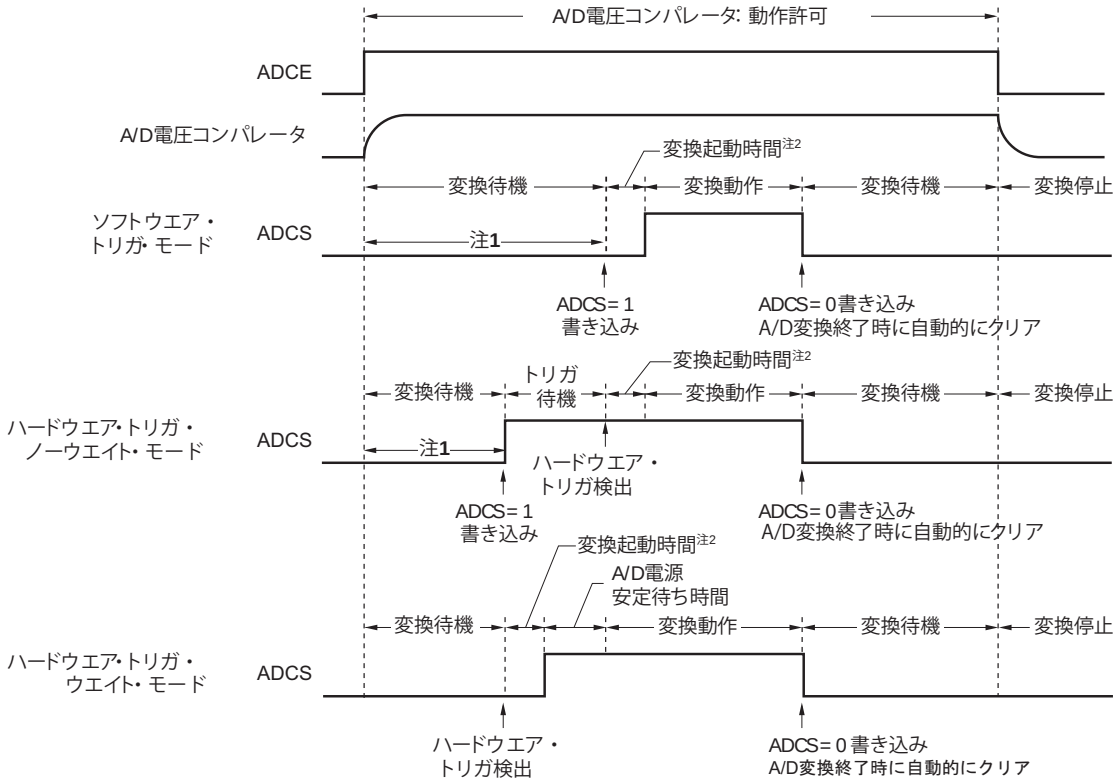
表11ー1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表11ー2 ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図11－4　A/D電圧コンパレータ使用時のタイミング・チャート



注 1.　**ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。**

2.　**変換起動には，最大で次の時間がかかります。**

ADM0			変換クロック	起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0	(f_{AD})	ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

ただし，連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

注意1.　**ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります)。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。**

2.　**ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD変換終了時にADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。**

3.　**ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。**

4.　**A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。**
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11ー3 A/D変換時間の選択（1/4）

（1）A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換クロック数注	変換時間	10ビット分解能時の変換時間				
									2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD} （サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76 μs	38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76 μs	38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD} （サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68 μs	34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68 μs	34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1. A/D変換時間は，29.6.1 または30.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。

2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11ー3 A/D変換時間の選択（2/4）

（2）A/D電源安定待ち時間なし 低電圧モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換クロック数注4	変換時間	10ビット分解能時の変換時間				
									1.6 V≦V_{DD}≦5.5 V		注1	注2	注3
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	19 f_{AD} （サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}			76 μs	38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}		76 μs	38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	17 f_{AD} （サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}			68 μs	34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}		68 μs	34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注1. 1.8 V≦V_{DD}≦5.5 V

2. 2.4 V≦V_{DD}≦5.5 V

3. 2.7 V≦V_{DD}≦5.5 V

4. **10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。**

注意 1. **A/D変換時間は，**29.6.1 **または**30.6.1 A/D**コンバータ特性に示す変換時間（**t_{CONV}**）の範囲内で使用してください。**

2. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，変換停止状態（**ADCS = 0, ADCE = 0**）で行ってください。**

3. **変換時間は変換起動時間を含みません。**1**回目の変換では，変換起動時間を加算してください。**
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考 f_{CLK}：CPU／**周辺ハードウエア・クロック周波数**

表11－3 A/D変換時間の選択（3/4）

（3）A/D電源安定待ち時間あり 標準モード1, 2
（ハードウエア・トリガ・ウエイト・モード注1）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数注2	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時の変換時間 2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	108 μs	54 μs
0	0	1				f_{CLK}/32			864/f_{CLK}			108 μs	54 μs	27 μs
0	1	0				f_{CLK}/16			432/f_{CLK}		108 μs	54 μs	27 μs	13.5 μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54 μs	27 μs	13.5 μs	6.75 μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5 μs	20.25 μs	10.125 μs	5.0625 μs
1	0	1				f_{CLK}/5			135/f_{CLK}	135 μs	33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0				f_{CLK}/4			108/f_{CLK}	108 μs	27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				f_{CLK}/2			54/f_{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	100 μs	50 μs
0	0	1				f_{CLK}/32			800/f_{CLK}			100 μs	50 μs	25 μs
0	1	0				f_{CLK}/16			400/f_{CLK}		100 μs	50 μs	25 μs	12.5 μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50 μs	25 μs	12.5 μs	6.25 μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				f_{CLK}/5			125/f_{CLK}	125 μs	31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0				f_{CLK}/4			100/f_{CLK}	100 μs	25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1				f_{CLK}/2			50/f_{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止

注 1. 連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表11－3（1/4）参照）。

2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1. A/D変換時間は，29.6.1 または30.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11－3 A/D変換時間の選択（4/4）

（4）A/D電源安定待ち時間あり 低電圧モード1, 2
（ハードウエア・トリガ・ウエイト・モード注1）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数注5	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時の変換時間				
										1.6 V≦V_{DD}≦5.5 V		注2	注3	注4
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	2 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1344/f_{CLK}	設定禁止	設定禁止	設定禁止	84 μs	42 μs
0	0	1				f_{CLK}/32			672/f_{CLK}			84 μs	42 μs	21 μs
0	1	0				f_{CLK}/16			336/f_{CLK}		84 μs	42 μs	21 μs	10.5 μs
0	1	1				f_{CLK}/8			168/f_{CLK}		42 μs	21 μs	10.5 μs	5.25 μs
1	0	0				f_{CLK}/6			126/f_{CLK}		31.5 μs	15.75 μs	7.875 μs	3.9375 μs
1	0	1				f_{CLK}/5			105/f_{CLK}	105 μs	26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0				f_{CLK}/4			84/f_{CLK}	84 μs	21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1				f_{CLK}/2			42/f_{CLK}	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	2 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				f_{CLK}/32			608/f_{CLK}			76 μs	38 μs	19 μs
0	1	0				f_{CLK}/16			304/f_{CLK}		76 μs	38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8			152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6			114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5			95/f_{CLK}	96 μs	23.75 μs	11.88 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4			76/f_{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2			38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表11－3（2/4）参照）。

2. 1.8 V≦V_{DD}≦5.5 V

3. 2.4 V≦V_{DD}≦5.5 V

4. 2.7 V≦V_{DD}≦5.5 V

5. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意1. A/D変換時間は，29.6.1 または30.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

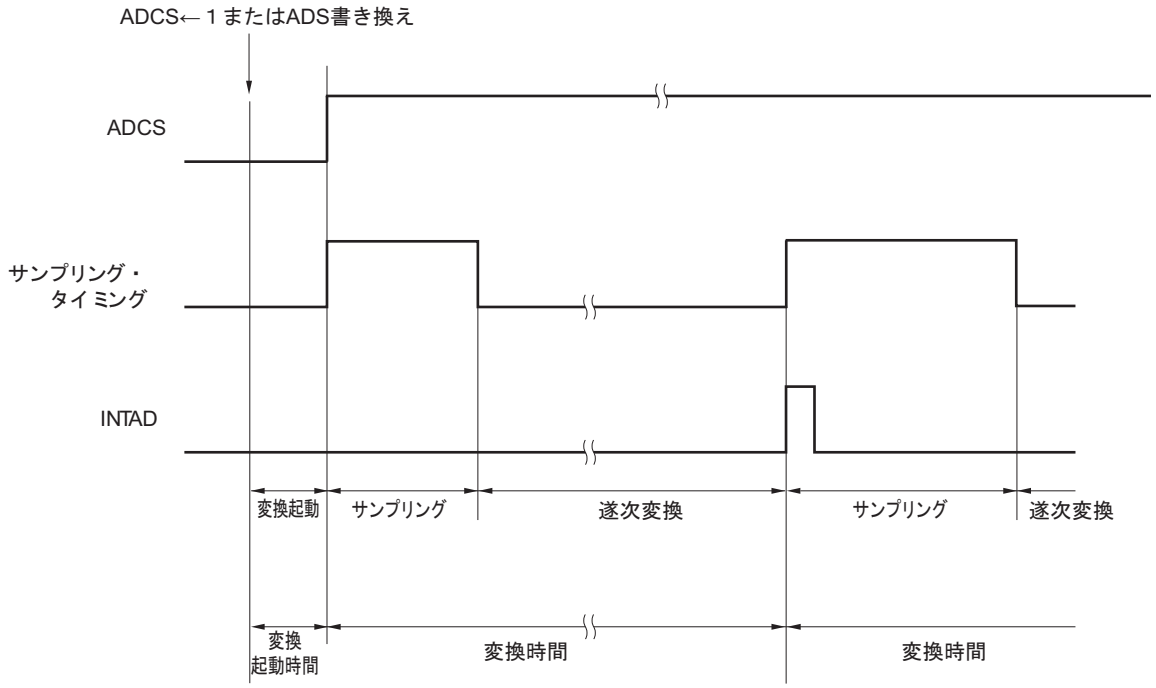
2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図11－5　A/Dコンバータのサンプリングと A/D変換のタイミング（例　ソフトウエア・トリガ・モードの場合）



11. 3. 3 A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウエア・トリガ・モード
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル01のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	設定禁止
1	0	リアルタイム・クロック割り込み信号（INTRTC）
1	1	12ビット・インターバル・タイマ割り込み信号（INTIT）

注意1. ADM1レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. A/D変換を完了させるためには，ハードウエア・トリガ間隔を次の時間以上としてください。
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

3. SNOOZE機能以外のモードにおいて，INTRTC, INTIT入力後最大f_{CLK}の4クロック間は，次のINTRTC, INTIT入力がトリガとして有効になりません。

備考1. ×：don’t care

2. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

11. 3. 4 A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの＋側基準電圧および－側基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧（1.45 V）から供給注
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。

① ADCE = 0に設定

② ADREFP1, ADREFP0の値を変更

③ 基準電圧安定待ち時間ウエイト（A）

④ ADCE = 1に設定

⑤ 基準電圧安定待ち時間ウエイト（B）

ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 5 μs, B = 1 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： Aはウエイト不要，B = 1 μs

⑤のウエイトのあとに，A/D変換開始してください。

・ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力電圧と内部基準電圧（1.45V）をA/D変換することはできません。

必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの－側の基準電圧の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

注 HS（高速メイン）モードでのみ選択可能です。

注意1. ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は，29. 4. 2または30. 4. 2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

図11－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（AREA2），ADULレジスタ＜ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
AREA 1～AREA 3 の割り込み信号（INTAD）発生範囲を図11－8に示します。	

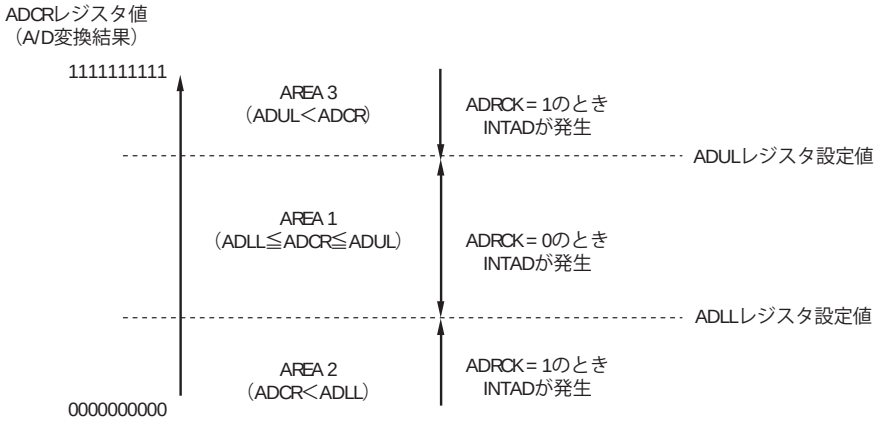
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間[注]＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間＋f_{CLK}の2クロック」以上の間隔を空けて設定してください。 ・SNOOZE機能を使用する場合でも，通常動作時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。 またSTOPモードから通常動作へ復帰後，必ずAWCを0に変更してください。 AWC = 1のままでは，その後のSNOOZEモード，通常動作に関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 18. 3. 3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

図11－8 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

11. 3. 5　10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます[注]。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

注　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図11－8参照））で設定した値の範囲外の場合は格納されません。

図11－9　10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH　リセット値：0000H　R

略号	FFF1FH								FFF1EH							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR											0	0	0	0	0	0

注意1.　8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCRレジスタのビット7，ビット6）は，0が読み出されます。

2.　ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

11. 3. 6　8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します[注]。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

注　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図11－8参照））で設定した値の範囲外の場合は格納されません。

図11－10　8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意　A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

11. 3. 7 アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット（1/2）

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	0	1	0	0	0	ANI8	P150/ANI8端子
0	0	1	0	0	1	ANI9	P151/ANI9端子
0	0	1	0	1	0	ANI10	P152/ANI10端子
0	0	1	0	1	1	ANI11	P153/ANI11端子
0	0	1	1	0	0	ANI12	P154/ANI12端子
0	0	1	1	0	1	ANI13	P155/ANI13端子
0	0	1	1	1	0	ANI14	P156/ANI14端子
0	0	1	1	1	1	設定禁止	
0	1	0	0	0	0	ANI16	P03/ANI16端子[注1]
0	1	0	0	0	1	ANI17	P02/ANI17端子[注2]
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
0	1	0	1	0	0	ANI20	P100/ANI20端子
0	1	0	1	0	1	ANI21	P37/ANI21端子
0	1	0	1	1	0	ANI22	P36/ANI22端子
0	1	0	1	1	1	ANI23	P35/ANI23端子
0	1	1	0	0	0	ANI24	P117/ANI24端子
0	1	1	0	0	1	ANI25	P116/ANI25端子
0	1	1	0	1	0	ANI26	P115/ANI26端子
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	－	温度センサ出力電圧[注3]
1	0	0	0	0	1	－	内部基準電圧（1.45 V）[注3]
上記以外						設定禁止	

注 1. 20, 24, 25, 30, 32ピン製品の場合は，P01/ANI16端子になります。

2. 20, 24, 25, 30, 32ピン製品の場合は，P00/ANI17端子になります。

3. HS（高速メイン）モードでのみ選択可能です。

（注意は次ページにあります。）

図11－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット（2/2）

アドレス：FFF31H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○スキャン・モード（ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
上記以外						設定禁止			

注意1. **ビット**5, 6**には必ず**0**を設定してください。**

2. ADPC, PMCx**レジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ**0, 2, 3, 10-12, 14, 15**（**PM0, PM2, PM3, PM10-PM12, PM14, PM15**）で入力モードに選択してください。**

3. A/D**ポート・コンフィギュレーション・レジスタ（**ADPC**）でデジタル入出力として設定する端子を，**ADS**レジスタで設定しないでください。**

4. **ポート・モード・コントロール・レジスタ**0, 3, 10-12, 14**（**PMC0, PMC3, PMC10-PMC12, PMC14**）でデジタル入出力として設定する端子を，**ADS**レジスタで設定しないでください。**

5. ADISS**ビットを書き換える場合は，必ず変換停止状態（**ADCS = 0, ADCE = 0**）のときに行ってください。**

6. AV_{REFP}**を**A/D**コンバータの＋側の基準電圧として使用している場合，**ANI0**を**A/D**変換チャネルとして選択しないでください。**

7. AV_{REFM}**を**A/D**コンバータの－側の基準電圧として使用している場合，**ANI1**を**A/D**変換チャネルとして選択しないでください。**

8. ADISS = 1**を設定した場合，＋側の基準電圧に内部基準電圧（**1.45 V**）は使用できません。また，**ADISS=1**に設定後，**1**回目の変換結果は使用できません。詳細設定フローは，**11. 7. 4 **温度センサ出力電圧／内部基準電圧を選択時の設定を参照してください。**

9. STOP**モードへ移行，もしくはサブシステム・クロックで**CPU**動作中に**HALT**モードへ移行する場合は，**ADISS = 1**に設定しないでください。**ADISS = 1**設定時は，**29. 3. 2 **または**30. 3. 2 **電源電流特性に示す**A/D**コンバータ基準電圧電流（**I_{ADREF}**）の電流値が加算されます。**

11. 3. 8 変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図11－8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図11－12 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

11. 3. 9 変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図11－8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－13 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

2. ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

3. ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。

11. 3. 10　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－14　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx / 温度センサ出力電圧[注] / 内部基準電圧（1.45 V）[注] （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

11. 3. 11　アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・モード・コントロール・レジスタ（PMCxx），A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 6 ポート・モード・コントロール・レジスタ（PMCxx），4. 3. 7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）を参照してください。

ANI0-ANI14端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

ANI16-ANI26端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1を設定してください。

11. 4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。

③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。

④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。

⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット9 = 1：（3/4）AV_{REF}
- ビット9 = 0：（1/4）AV_{REF}

この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。

- サンプリングされた電圧≧電圧タップ：ビット8 = 1
- サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。

⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします[注1]。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます[注1]。

⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注2]。
A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注 1. A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図11－8参照））で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合，ADCR, ADCRHレジスタに結果は格納されません。

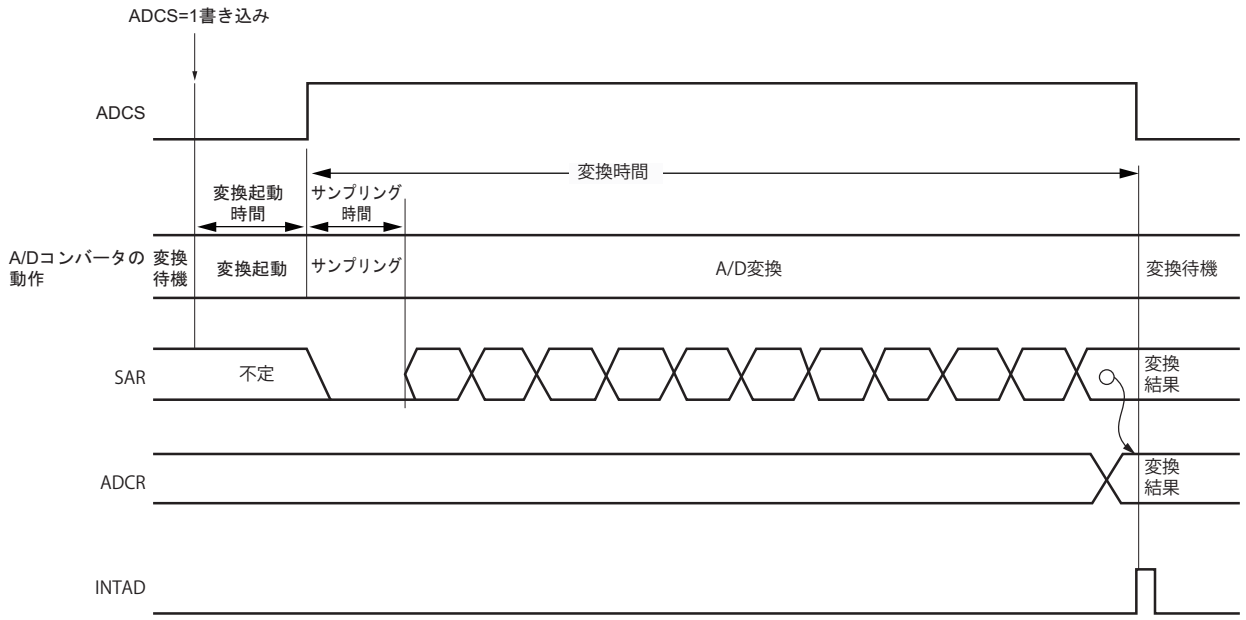
2. 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ（16ビット） ：10ビットのA/D変換値を格納します。
- ADCRHレジスタ（8ビット） ：8ビットのA/D変換値を格納します。

2. AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

図11－15　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は，A/D変換終了後にADCSビットが自動的にクリア（0）されます。

連続変換モード時のA/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR, ADCRH）は，リセット信号の発生により0000Hまた00Hとなります。

11. 5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI14, ANI16-ANI26）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

または，

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数

V_{AIN}：アナログ入力電圧

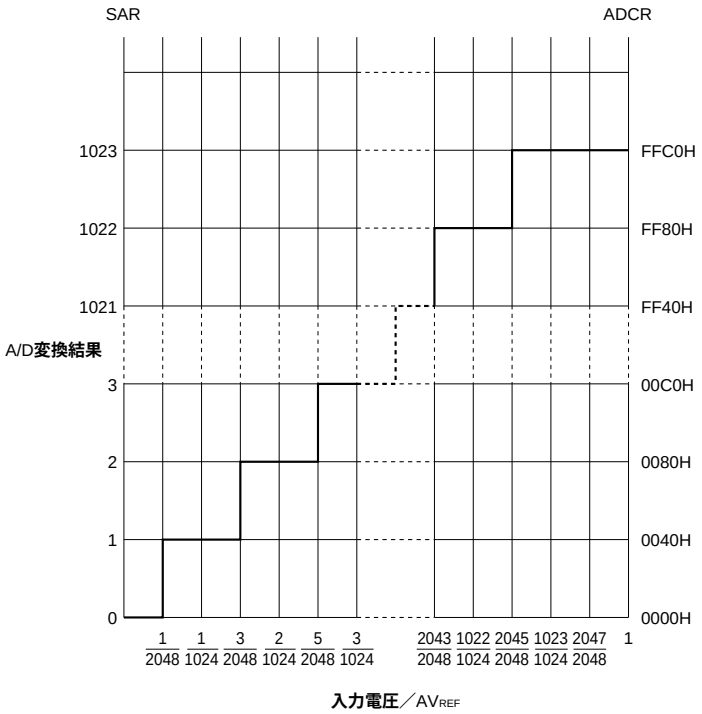
AV_{REF}：AV_{REF}端子電圧

ADCR：A/D変換結果レジスタ（ADCR）の値

SAR：遂次変換レジスタ

図11－16にアナログ入力電圧とA/D変換結果の関係を示します。

図11－16　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

11. 6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を11. 7 A/Dコンバータの設定フロー・チャートに示します。

11. 6. 1 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

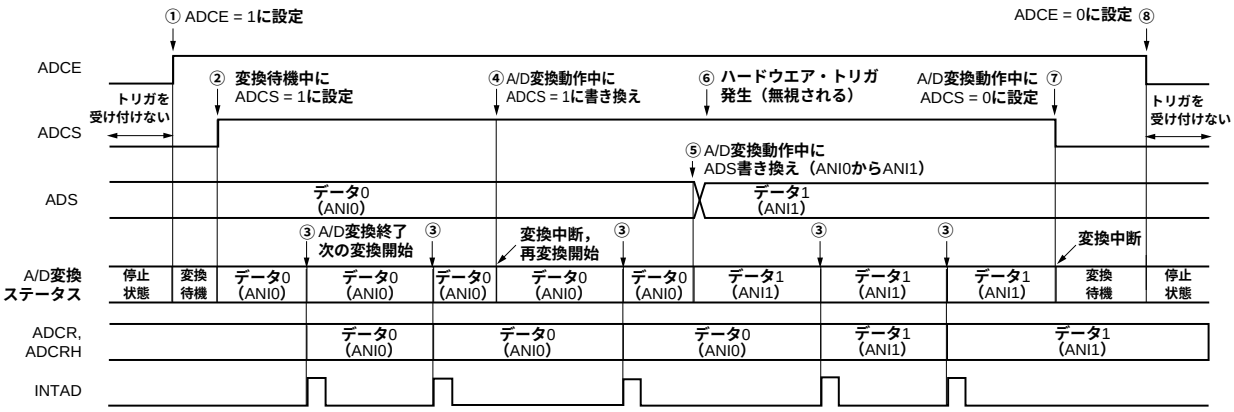
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図11－17 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



11. 6. 2 ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

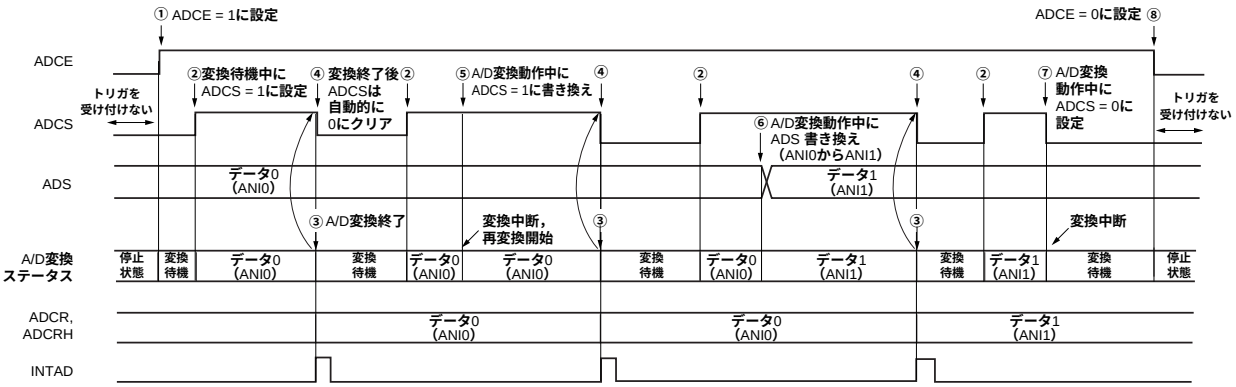
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図11－18 ソフトウエア・セレクト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



11. 6. 3 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

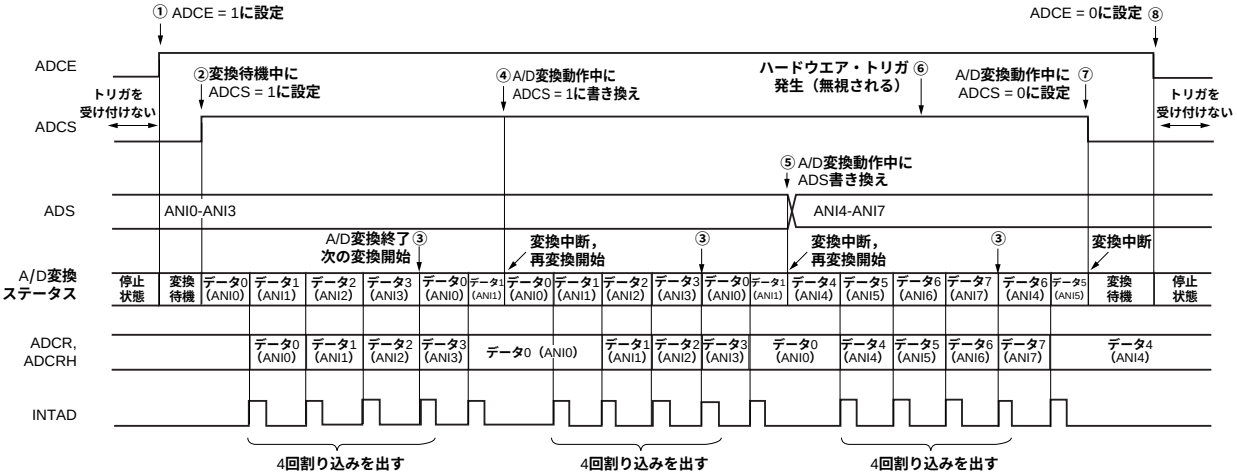
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図11－19 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



11. 6. 4 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

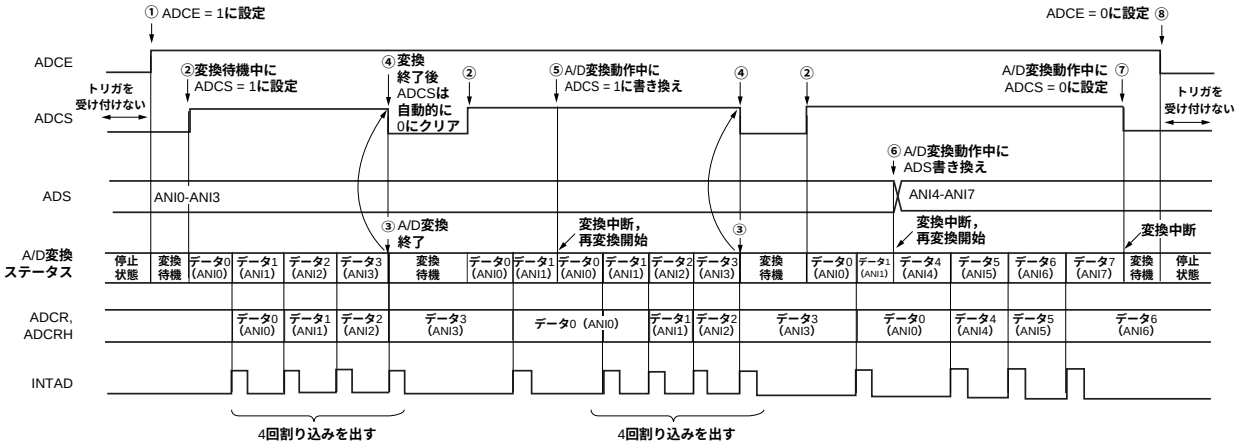
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図11－20 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



11. 6. 5 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

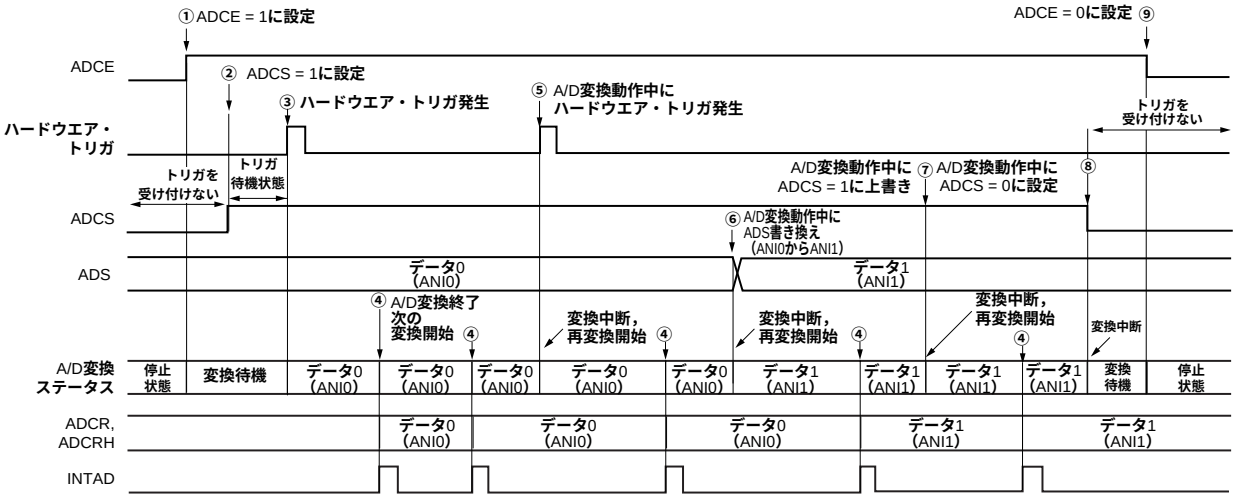
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－21 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



11. 6. 6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

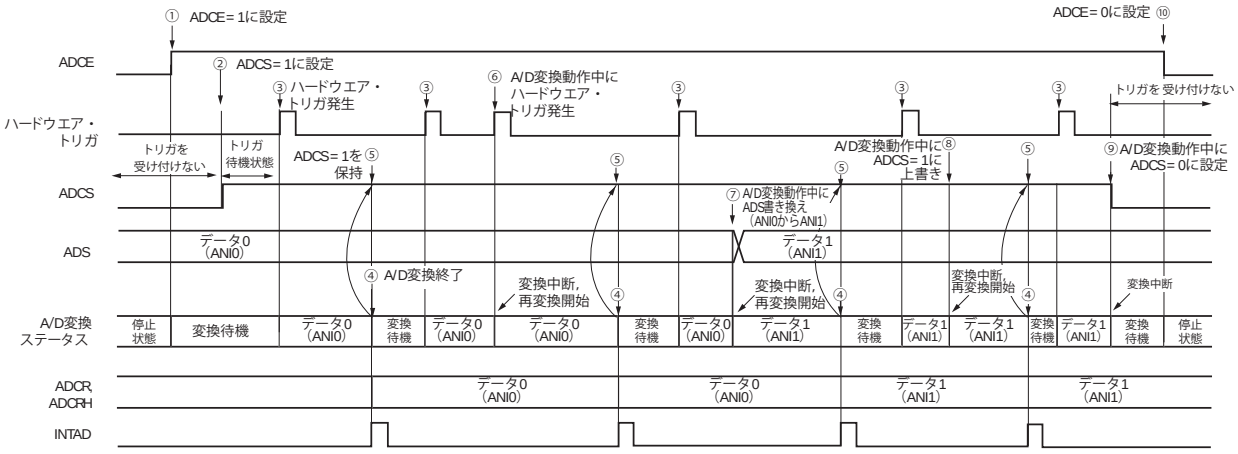
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－22　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



11. 6. 7 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

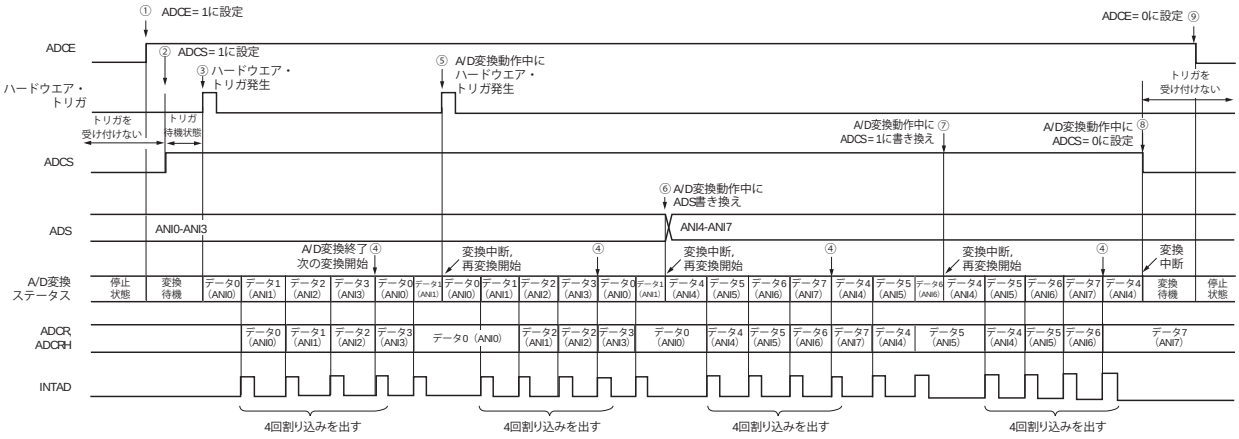
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図11－23 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



11. 6. 8 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

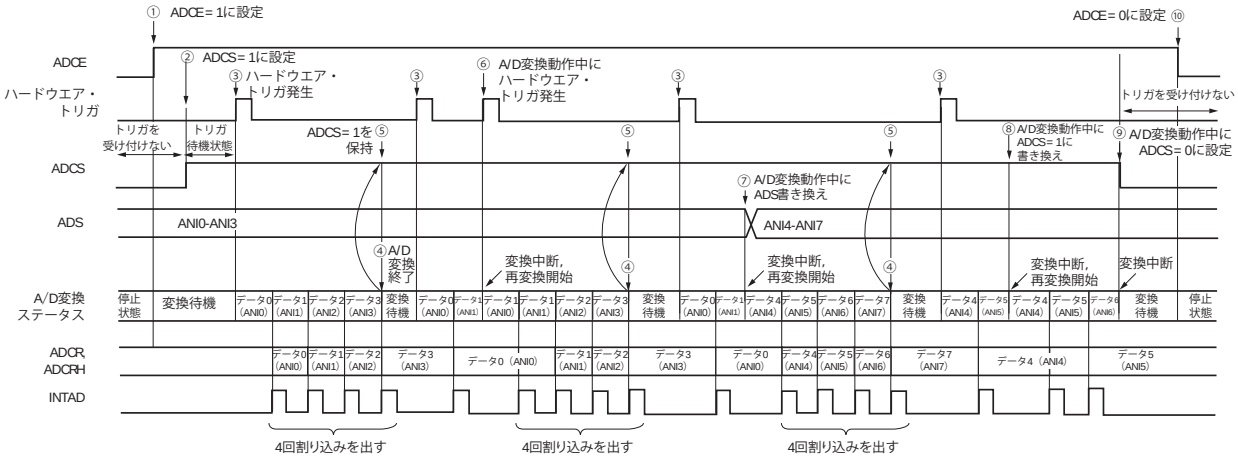
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－24 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



11. 6. 9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

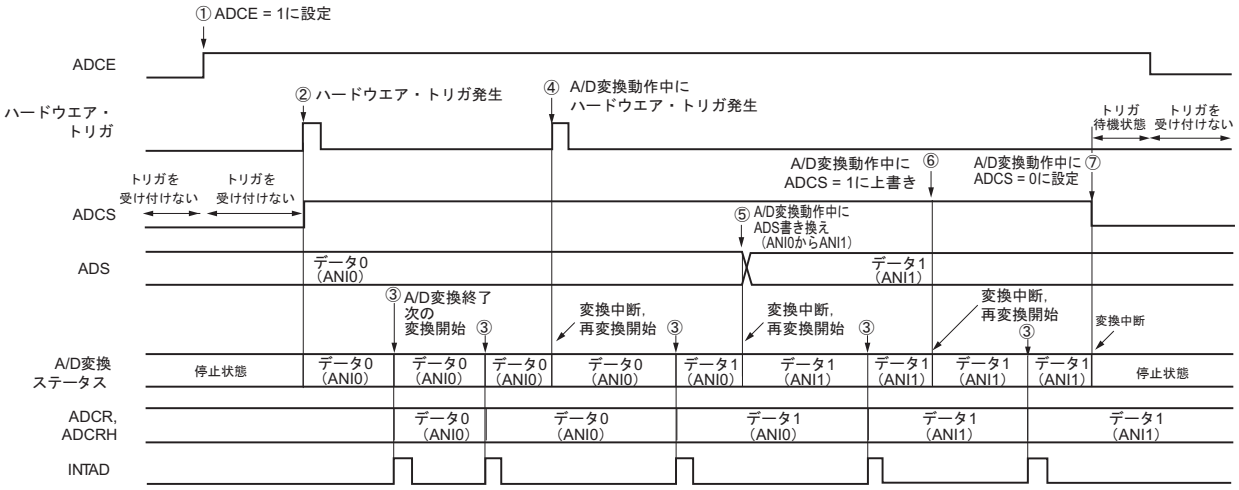
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－25 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



11. 6. 10 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

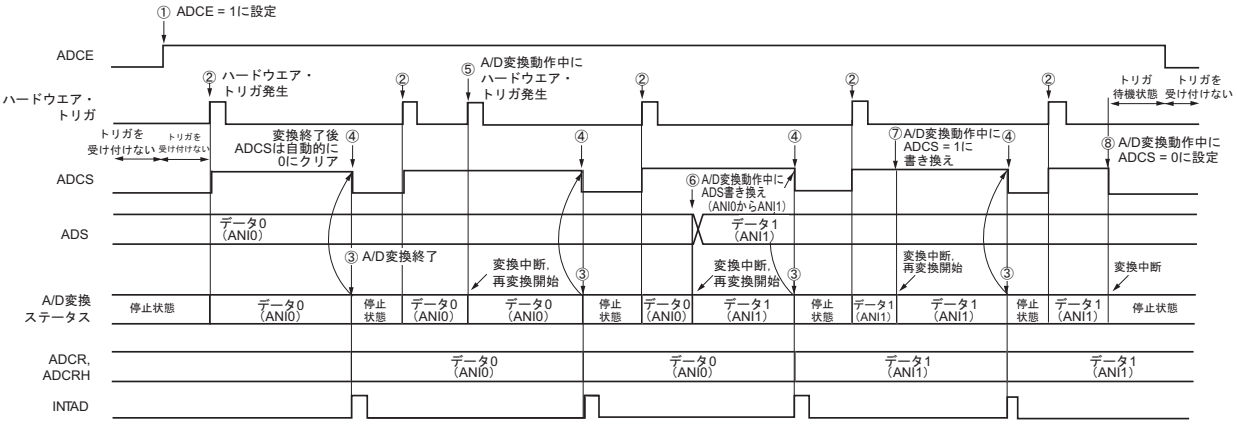
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－26 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



11. 6. 11 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

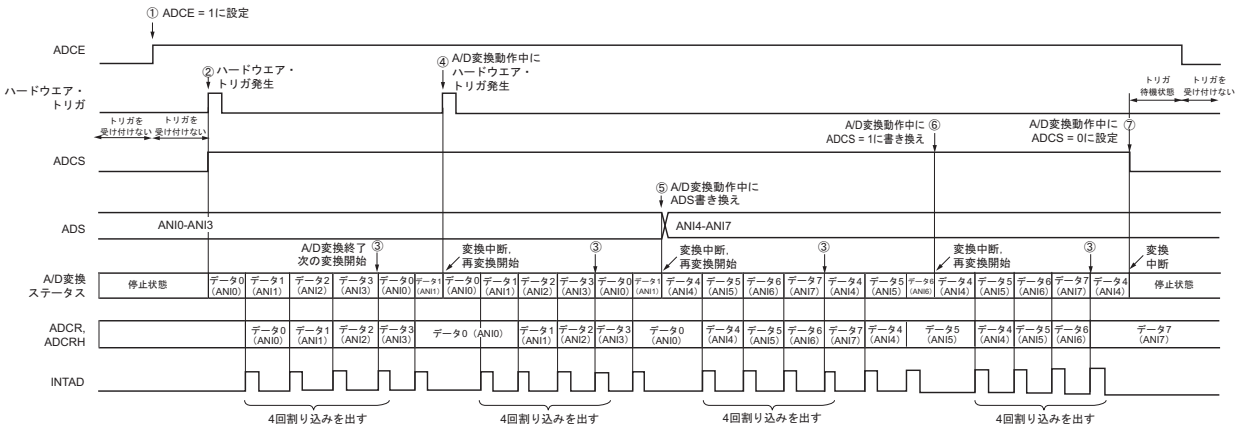
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－27 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



11. 6. 12 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

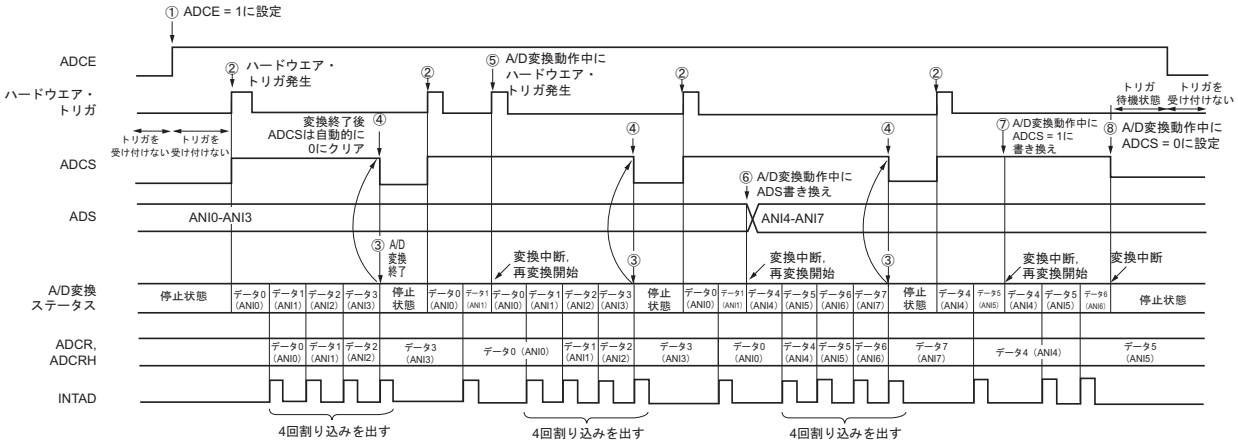
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－28 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例

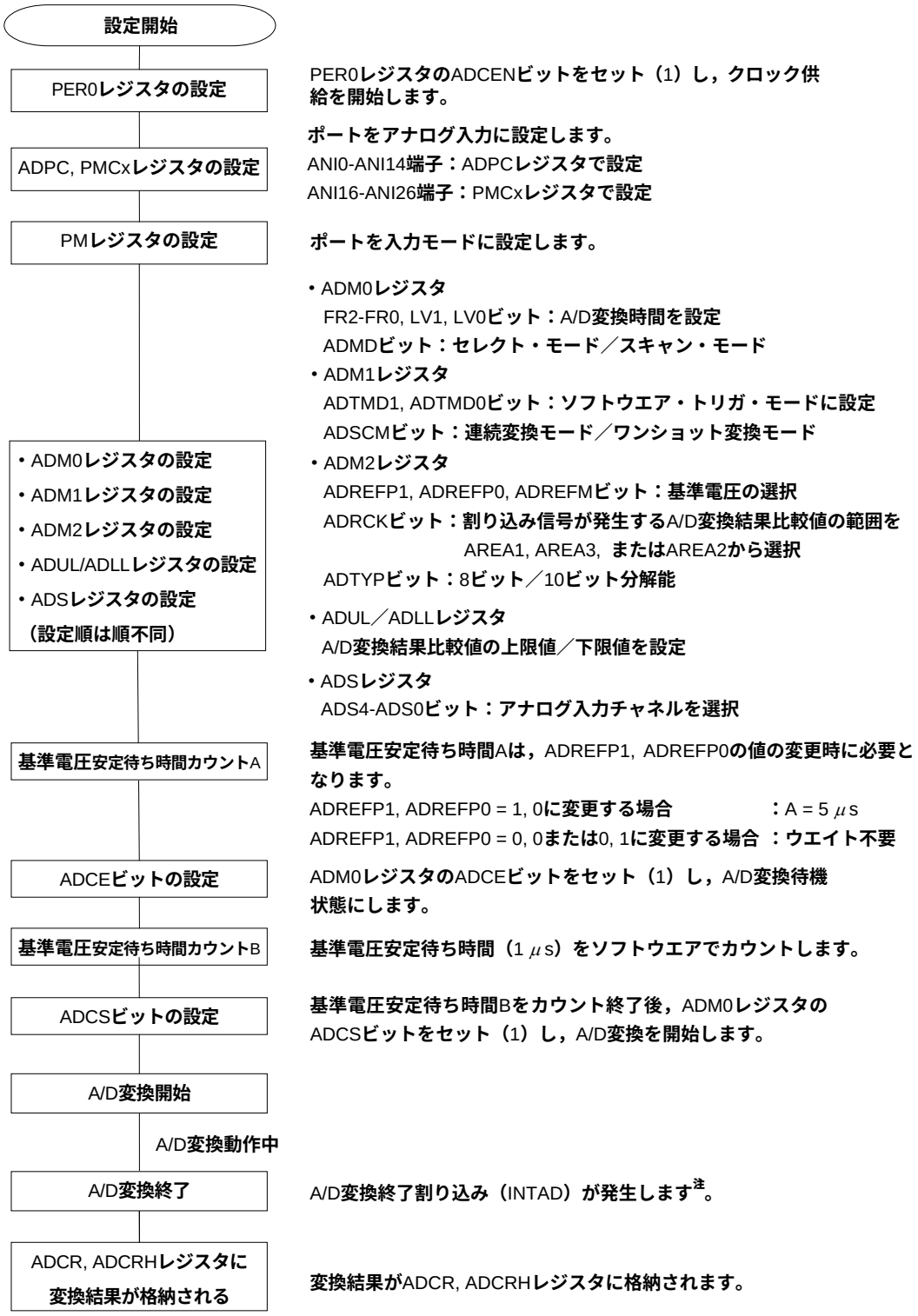


11. 7　A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

11. 7. 1　ソフトウエア・トリガ・モード設定

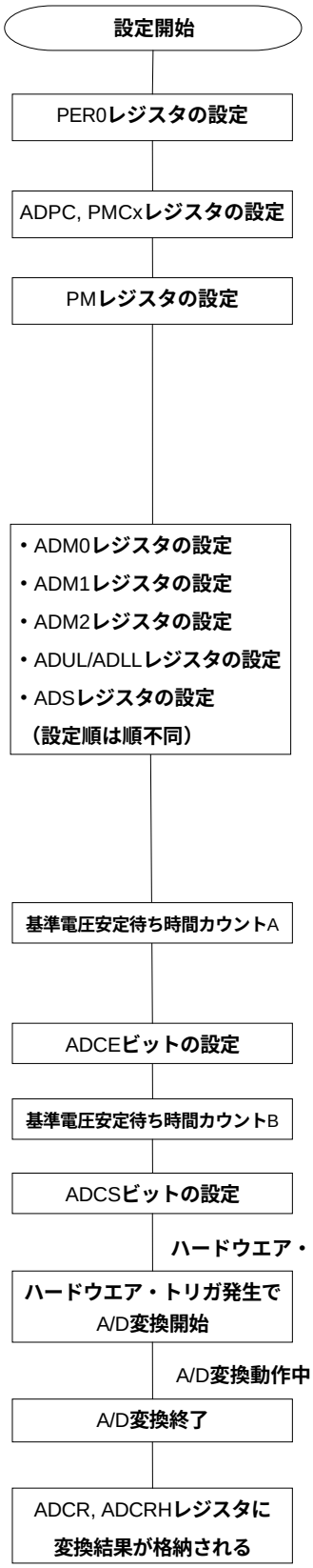
図11－29　ソフトウエア・トリガ・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

11. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定

図11－30　ハードウエア・トリガ・ノーウエイト・モード設定



PER0レジスタのADCENビットをセット（1）し，クロック供給を開始します。

ポートをアナログ入力に設定します。
ANI0-ANI14端子：ADPCレジスタで設定
ANI16-ANI26端子：PMCxレジスタで設定

ポートを入力モードに設定します。

- ADM0レジスタ
  FR2-FR0, LV1, LV0ビット：A/D変換時間を設定
  ADMDビット：セレクト・モード／スキャン・モード
- ADM1レジスタ
  ADTMD1, ADTMD0ビット：ハードウエア・トリガ・ノーウエイト・モードに設定
  ADSCMビット：連続変換モード／ワンショット変換モード
- ADM2レジスタ
  ADREFP1, ADREFP0, ADREFMビット：基準電圧の選択
  ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲をAREA1, AREA3, またはAREA2から選択
  ADTYPビット：8ビット／10ビット分解能
- ADUL／ADLLレジスタ
  A/D変換結果比較値の上限値／下限値を設定
- ADSレジスタ
  ADS4-ADS0ビット：アナログ入力チャネルを選択

基準電圧安定待ち時間Aは，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合　：A = 5 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合　：ウエイト不要

ADM0レジスタのADCEビットをセット（1）し，A/D変換待機状態にします。

基準電圧安定待ち時間（1 μs）をソフトウエアでカウントします。

基準電圧安定待ち時間Bをカウント終了後，ADM0レジスタのADCSビットをセット（1）し，ハードウエア・トリガ待機状態に

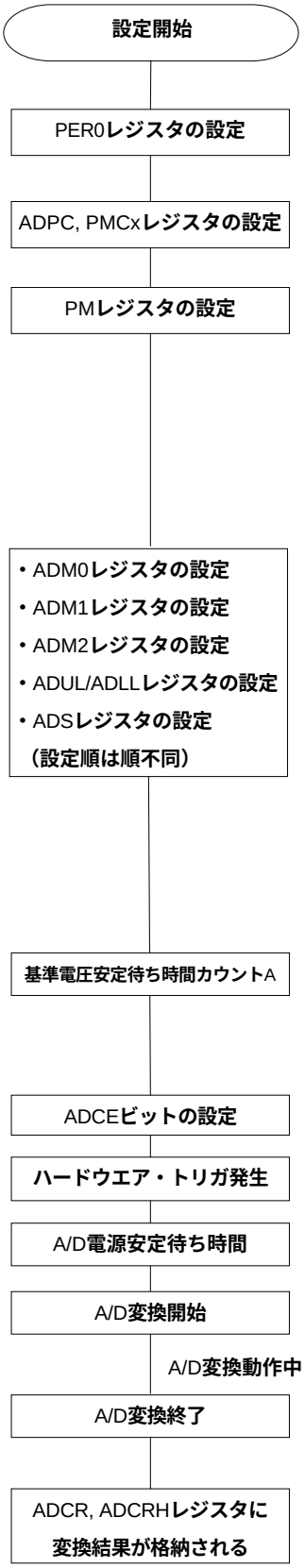
A/D変換終了割り込み（INTAD）が発生します[注]。

変換結果がADCR, ADCRHレジスタに格納されます。

注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

11. 7. 3　ハードウエア・トリガ・ウエイト・モード設定

図11－31　ハードウエア・トリガ・ウエイト・モード設定



PER0レジスタのADCENビットをセット（1）し，クロック供給を開始します。

ポートをアナログ入力に設定します。
ANI0-ANI14端子：ADPCレジスタで設定
ANI16-ANI26端子：PMCxレジスタで設定

ポートを入力モードに設定します。

- ADM0レジスタ
  FR2-FR0, LV1, LV0ビット：A/D変換時間を設定
  ADMDビット：セレクト・モード／スキャン・モード
- ADM1レジスタ
  ADTMD1, ADTMD0ビット：ハードウエア・トリガ・ウエイト・モードに設定
  ADSCMビット：連続変換モード／ワンショット変換モード
  ADTRS1, ADTRS0ビット：ハードウエア・トリガ信号を選択
- ADM2レジスタ
  ADREFP1, ADREFP0, ADREFMビット：基準電圧の選択
  ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲をAREA1, AREA3, またはAREA2から選択
  ADTYPビット：8ビット／10ビット分解能
- ADUL／ADLLレジスタ
  A/D変換結果比較値の上限値／下限値を設定
- ADSレジスタ
  ADS4-ADS0ビット：アナログ入力チャネルを選択

基準電圧安定待ち時間は，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合　：A = 5 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合　：ウエイト不要

ADM0レジスタのADCEビットをセット（1）し，A/D変換待機状態にします。

A/D電源の安定待ち時間を自動的にカウントします。

基準電圧安定待ち時間カウント終了後，A/D変換を開始します。

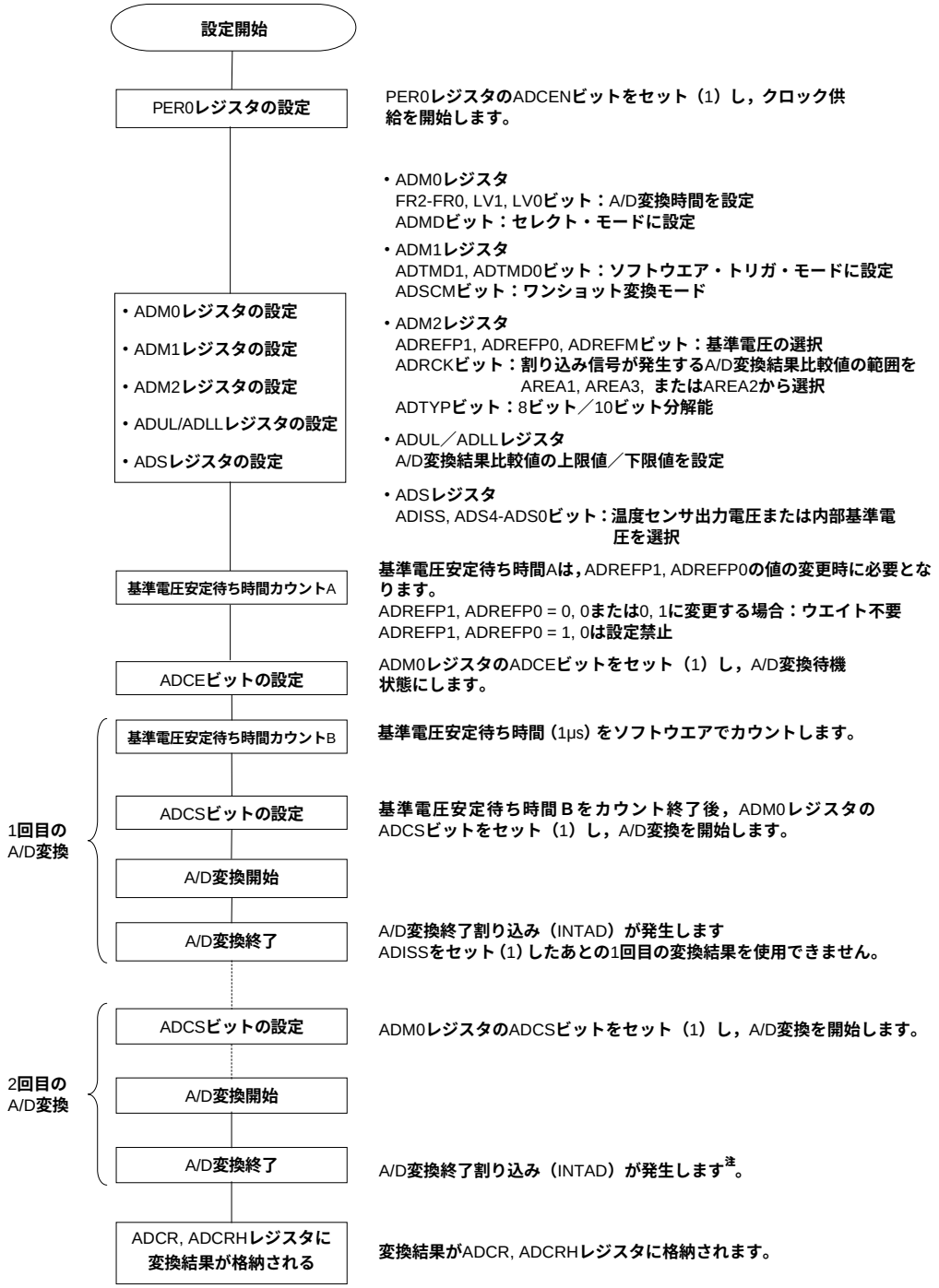
A/D変換終了割り込み（INTAD）が発生します[注]。

変換結果がADCR, ADCRHレジスタに格納されます。

注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

11. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）

図11－32　温度センサ出力電圧／内部基準電圧を選択時の設定

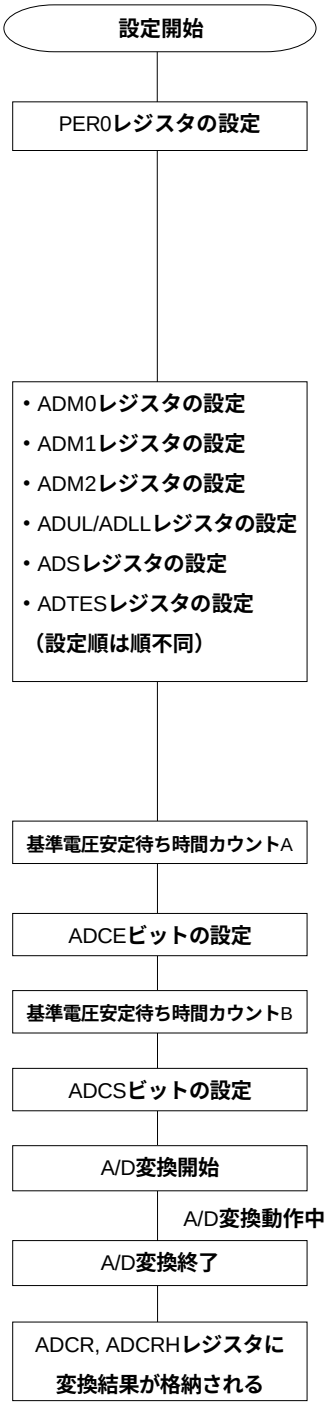


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意　HS（高速メイン）モードでのみ選択可能です。

11. 7. 5　テスト・モード設定

図11－33　テスト・モード設定



PER0レジスタのADCENビットをセット（1）し，クロック供給を開始します。

・ADM0レジスタ
FR2-FR0, LV1, LV0ビット：A/D変換時間を設定
ADMDビット：セレクト・モードに設定

・ADM1レジスタ
ADTMD1, ADTMD0ビット：ソフトウエア・トリガ・モードに設定
ADSCMビット：ワンショット変換モードに設定

・ADM2レジスタ
ADREFP1, ADREFP0, ADREFMビット：基準電圧の選択
ADRCKビット：割り込み信号が発生するA/D変換結果比較値の範囲をAREA2に設定
ADTYPビット：10ビット分解能に設定

・ADUL／ADLLレジスタ
ADUL = FFH, ADLL = 00Hに設定（初期値）

・ADSレジスタ
ADS4-ADS0ビット：ANI0に設定

・ADTESレジスタ
ADTES1, ADTES0ビット：AV_{REFM}/AV_{REFP}

基準電圧安定待ち時間Aは，ADREFP1, ADREFP0の値の変更時に必要となります。
ADREFP1, ADREFP0 = 1, 0に変更する場合：　A = 5 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合：　ウエイト不要

ADM0レジスタのADCEビットをセット（1）し，A/D変換待機状態にします。

基準電圧安定待ち時間（1 μs）をソフトウエアでカウントします。

基準電圧安定待ち時間Bをカウント終了後，ADM0レジスタのADCSビットをセット（1）し，A/D変換を開始します

A/D変換終了割り込み（INTAD）が発生します[注]。

変換結果がADCR, ADCRHレジスタに格納されます。

注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意　A/Dコンバータのテスト方法については，22. 3. 8　A/Dテスト機能を参照してください。

11. 8　SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが，SNOOZEモード機能を使用することで， CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

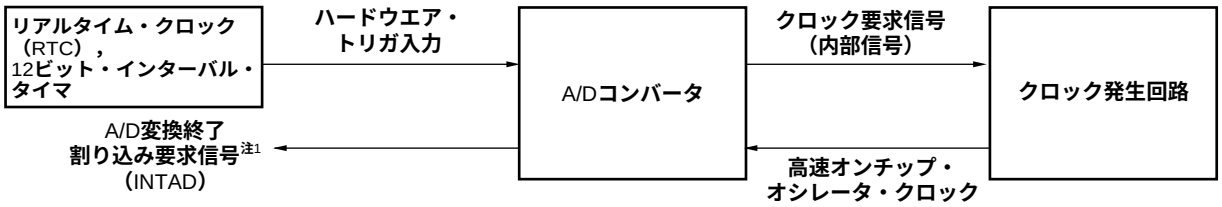
SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

・ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

・ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

注意　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図11－34　SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（11. 7. 3　**ハードウエア・トリガ・ウエイト・モード設定**を参照[注2]）。STOPモードへ移行する直前に，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，A/D電源安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります[注1]。

注1.　A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

2.　ADM1レジスタは必ずE2HまたはE3Hに設定してください。

備考　ハードウエア・トリガは，INTRTCまたはINTITです。

ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

（1）A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

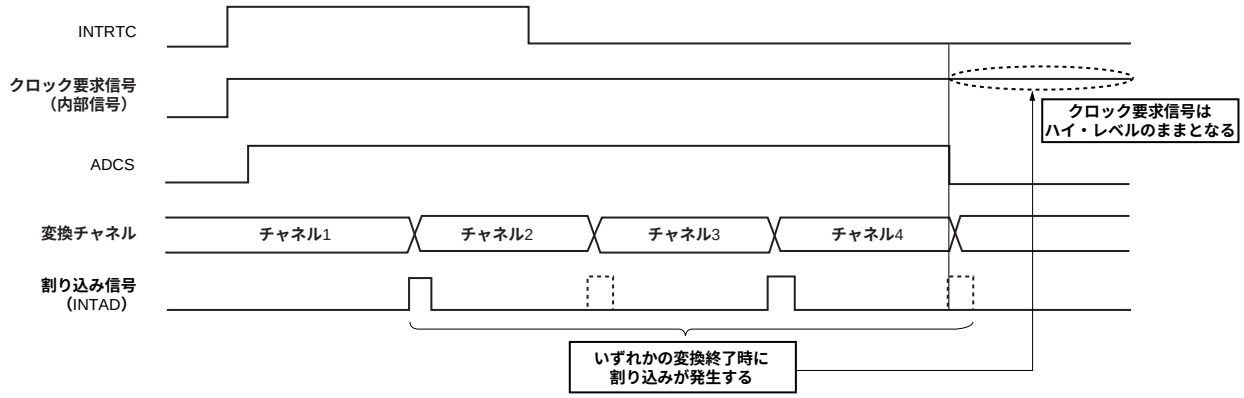
● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/Dコンバータは SNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

● スキャン・モード時

4チャネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合， A/Dコンバータは SNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図11－35　A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



（2）A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図11－36　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

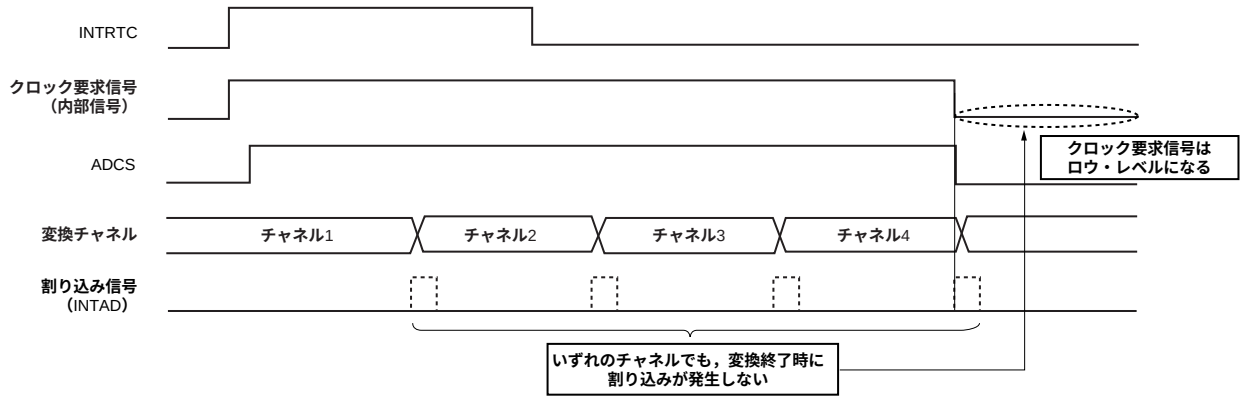
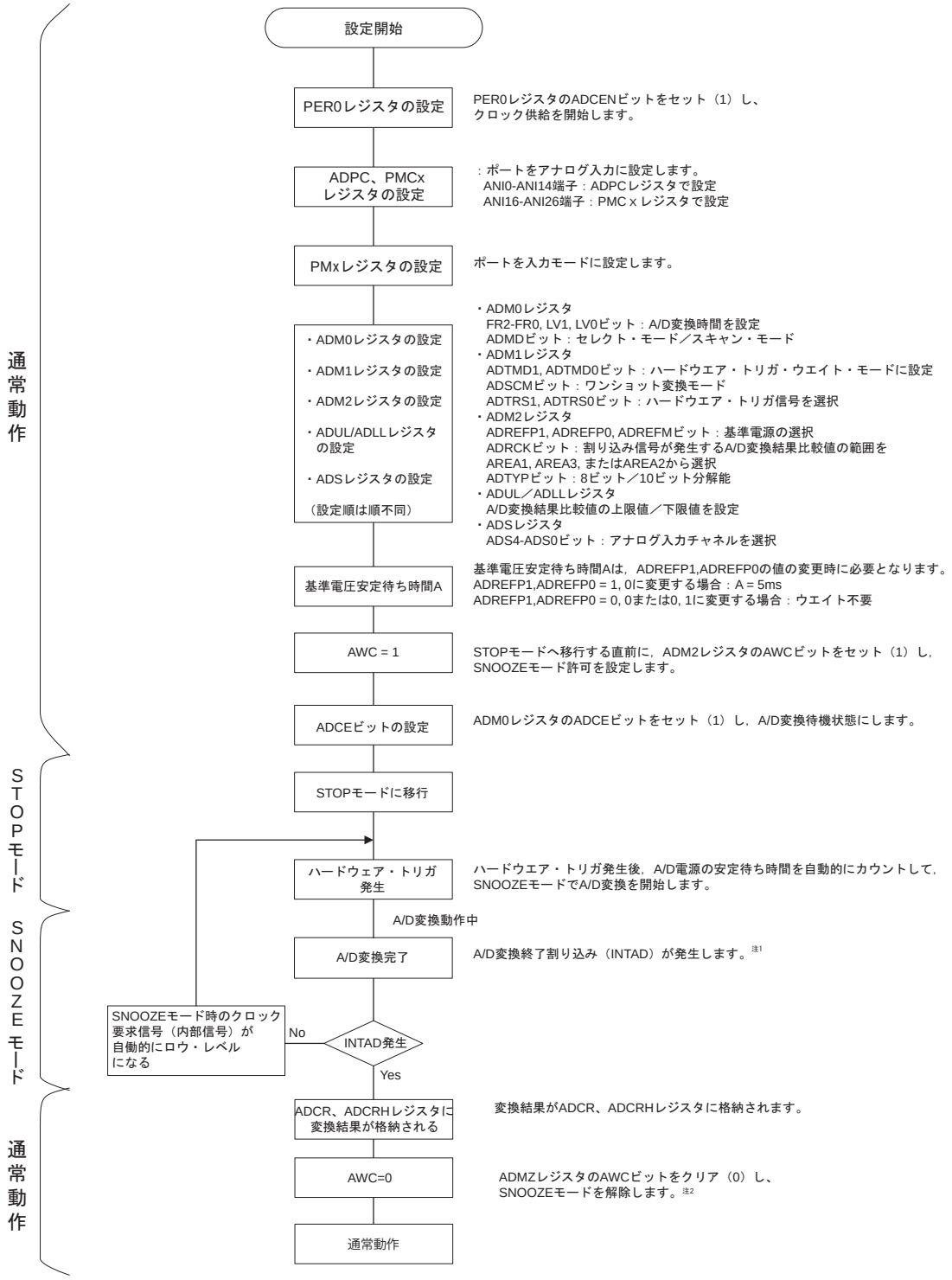


図11ー37 SNOOZEモード設定のフローチャート



注 1. ADRCK**ビット，**ADUL/ADLL**レジスタの設定により，**A/D**変換終了割り込み要求信号（**INTAD**）が発生しなかった場合，**ADCR，ADCRH**レジスタに結果は格納されません。再び**STOP**モードに移行します。その後，ハードウエア・トリガが入力された場合は，再度**SNOOZE**モードで**A/D**変換動作を行います。**

2. AWC = 1**のままでは，その後の**SNOOZE**モード，通常動作モードに関係なく正常に**A/D**変換が開始されません。必ず**AWC = 0**にしてください。**

11. 9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図11－38 総合誤差

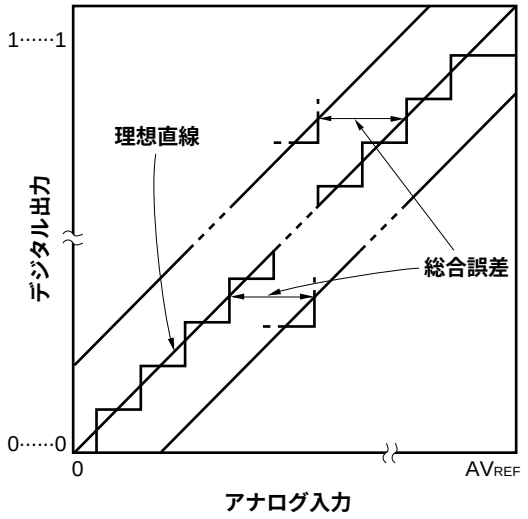
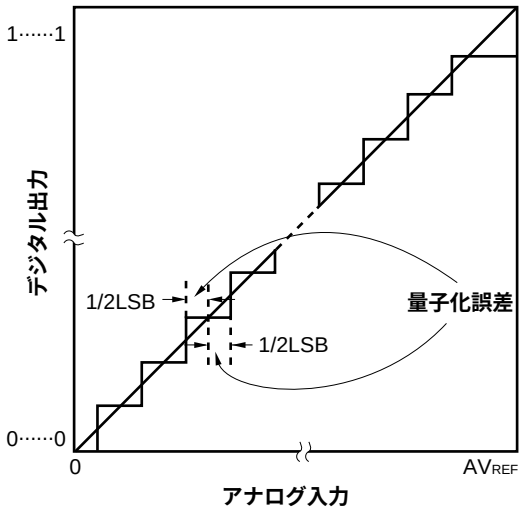


図11－39 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図11－40　ゼロスケール誤差

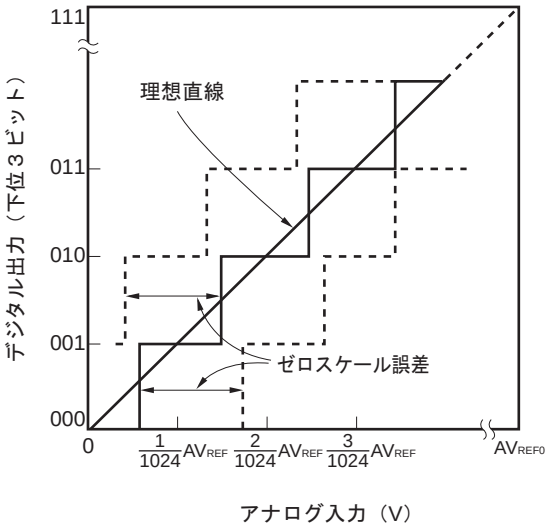


図11－41　フルスケール誤差

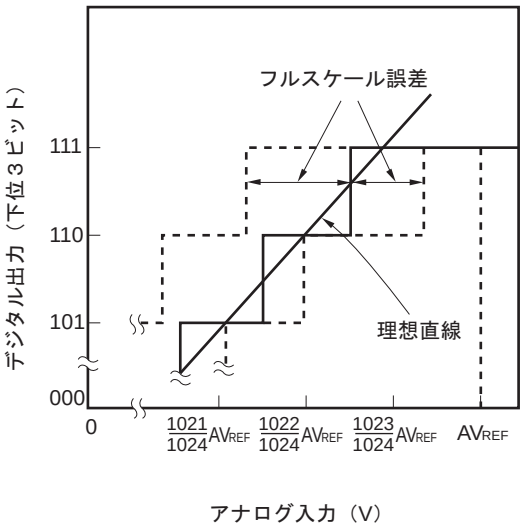


図11－42 積分直線性誤差

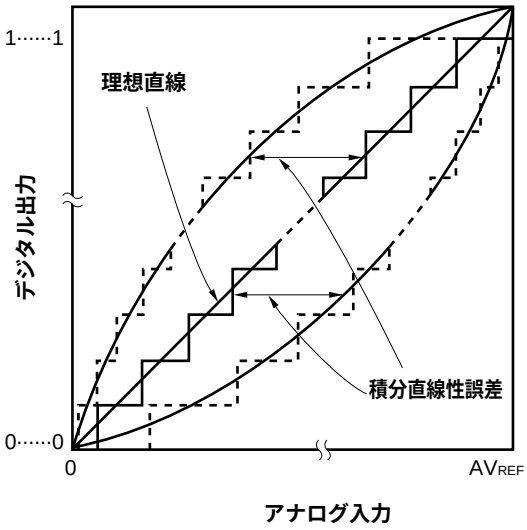
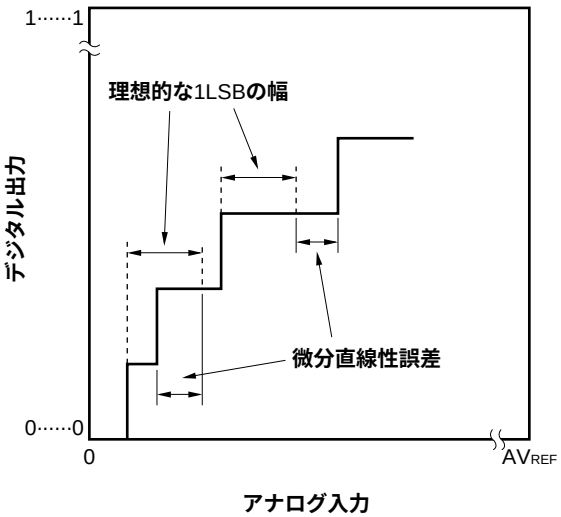


図11－43 微分直線性誤差



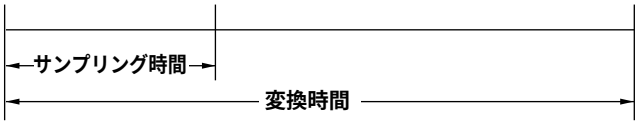
(8) 変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



11. 10　A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

(2) ANI0-ANI14, ANI16-ANI26端子入力範囲について

ANI0-ANI14, ANI16-ANI26端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}以上，V_{SS}, AV_{REFM}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの＋側の基準電圧に選択した場合は，ADSレジスタで選択されている端子には内部基準電圧（1.45 V）以上の電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）以上の電圧になっていても問題ありません。

注意　内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには，AV_{REFP}, V_{DD}, ANI0-ANI14, ANI16-ANI26端子へのノイズに注意する必要があります。

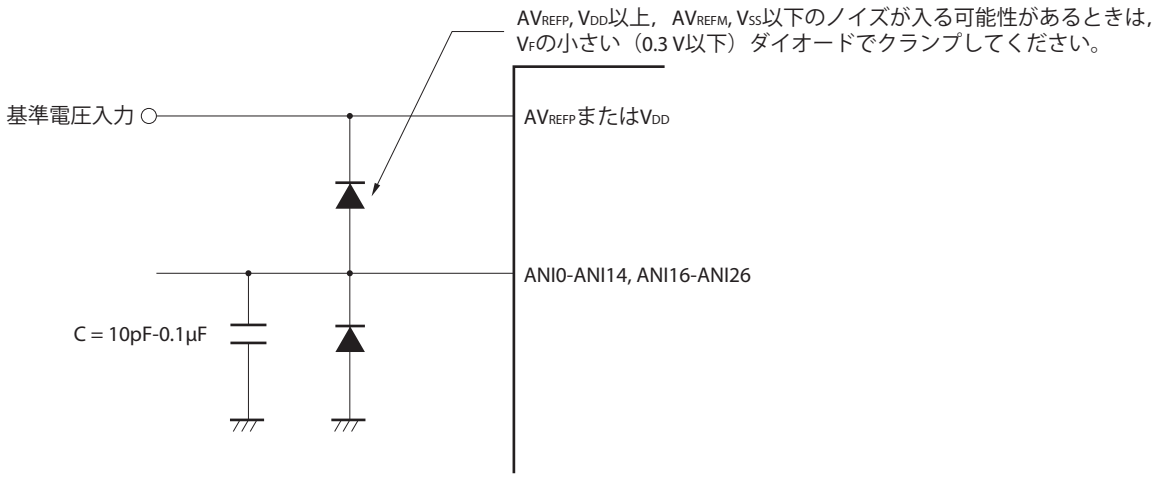
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサを（0.01μF程度）を最短距離かつ，比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図11－44のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

図11－44 アナログ入力端子の処理



(5) アナログ入力（ANIn）端子

① アナログ入力（ANI0-ANI14）端子は入力ポート（P20-P27, P150-P156）端子と兼用になっています。ANI0-ANI14端子のいずれかを選択してA/D変換をする場合，変換中にP20-P27, P150-P156に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号の様に急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するかANI0-ANI14, ANI16-ANI26端子に 0.1μF程度のコンデンサを付けることを推奨します（図11－44参照）。また，変換動作中にADCS=0に設定した場合および再変換を開始した場合は，サンプリング・コンデンサに充電された電圧は不定となります。そのため，ADCS=0を設定時は次の変換が，再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには，アナログ信号の変化の大きさによらず，アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

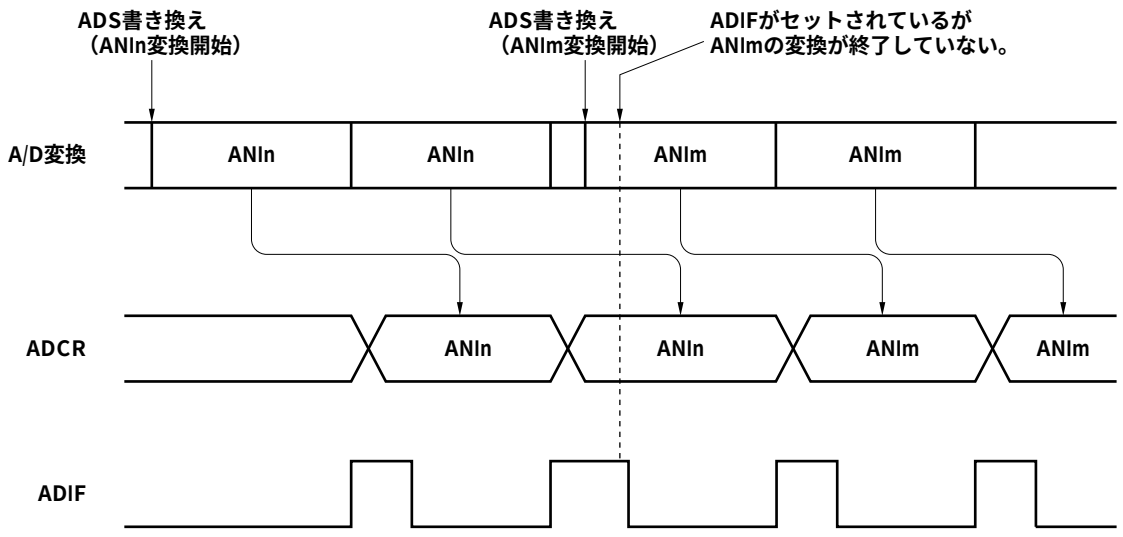
(7) 割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

図11－45 A/D変換終了割り込み要求発生タイミング



（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから，1 μs以内にADCSビット = 1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC），ポート・モード・コントロール・レジスタ（PMCx）に対して書き込み動作を行ったとき，ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPC，PMCxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）内部等価回路について

アナログ入力部の等価回路を次に示します。

図11－46　ANIn端子内部等価回路

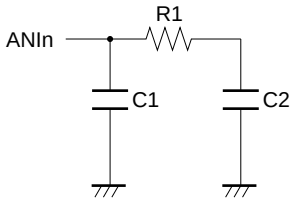


表11－4　等価回路の各抵抗と容量値（参考値）

AV_{REFP}, V_{DD}	ANIn端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦V_{DD}≦5.5 V	ANI0-ANI14	14	8	2.5
	ANI16-ANI26	18	8	7.0
2.7 V≦V_{DD}≦3.6 V	ANI0-ANI14	39	8	2.5
	ANI16-ANI26	53	8	7.0
1.8 V≦V_{DD}≦2.7 V	ANI0-ANI14	231	8	2.5
	ANI16-ANI26	321	8	7.0
1.6 V≦V_{DD}＜2.7 V	ANI0-ANI14	632	8	2.5
	ANI16-ANI26	902	8	7.0

備考　表11－4の各抵抗と容量値は保証値ではありません。

（11）A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, V_{DD}の電圧が安定してから開始してください。

第12章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャネルを持ちます。各チャネルは3線シリアル（CSI），UART，簡易I^{2}Cの通信機能を実現できます。

RL78/G13で対応している各チャネルの機能割り当ては，次のようになっています

○20, 24, 25ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	－		－
	2	－	UART1	－
	3	CSI11		IIC11

○30, 32ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	－		－
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	－		－

○36, 40, 44ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	－		－
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○80, 100, 128ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

ユニット0のチャネル0，1で「UART0」を使用するときは，CSI00やCSI01を使用することはできませんが，チャネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意　この章では，以降の主な説明を128ピン製品のユニット，チャネル構成で説明しています。

12. 1　シリアル・アレイ・ユニットの機能

RL78/G13で対応している各シリアル・インタフェースの特徴を示します。

12. 1. 1　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，12. 5　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）通信の動作を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　マスタ通信時：Max. $f_{CLK}/2$（CSI00のみ）

  Max. $f_{CLK}/4$

  スレーブ通信時：Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また，以下のチャネルのCSIは，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，以下のCSIのみ設定可能です。

- 20-64ピン製品　：　CSI00
- 80-128ピン製品　：　CSI00, CSI20

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，第29章または第30章 電気的特性を参照してください。

12. 1. 2　UART（UART0-UART3）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

具体的な設定例は，12. 6　UART（UART0-UART3）通信の動作を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，以下のUARTのみ設定可能です。

- 20-64ピン製品：　UART0
- 80-128ピン製品：　UART0, UART2

UART2（ユニット1のチャネル0, 1）は，LIN-busに対応しています（30-128ピン製品のみ）。

[LIN-bus機能]

- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニットを使用

注　9ビット・データ長は，以下のUARTのみ対応しています。

- 20-64ピン製品　：UART0
- 80-128ピン製品　：UART0, UART2

12. 1. 3　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM, フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，12. 8　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）通信の動作を参照して下さい。

[データ送受信]

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACKエラー，オーバラン・エラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウエイト検出機能

注　最終データの受信時は，SOEmnビット（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，12. 8. 3（2）処理フローを参照してください。

備考 1.　フル機能のI²Cバスをご使用の場合は，第13章　シリアル・インタフェースIICAを参照してください。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

12. 2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表12－1　シリアル・アレイ・ユニットの構成

項　目	構　成
シフト・レジスタ	8ビットまたは9ビット[注1]
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット[注1, 2]
シリアル・クロック入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子（3線シリアルI/O用）， SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31端子（簡易I^2C用）
シリアル・データ入力	SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31端子（3線シリアルI/O用）， RxD0, RxD1, RxD3端子（UART用），RxD2端子（LIN-bus対応UART用）
シリアル・データ出力	SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31端子（3線シリアルI/O用）， TxD0, TxD1, TxD3端子（UART用），TxD2端子（LIN-bus対応UART用）
シリアル・データ入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31端子（簡易I^2C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・シリアル・クロック選択レジスタm（SPSm） ・シリアル・チャネル許可レジスタm（SEm） ・シリアル・チャネル開始レジスタm（SSm） ・シリアル・チャネル停止レジスタm（STm） ・シリアル出力許可レジスタm（SOEm） ・シリアル出力レジスタm（SOm） ・シリアル出力レベル・レジスタm（SOLm） ・シリアル・スタンバイ・コントロール・レジスタm（SSCm） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタmn（SDRmn） ・シリアル・モード・レジスタmn（SMRmn） ・シリアル通信動作設定レジスタmn（SCRmn） ・シリアル・ステータス・レジスタmn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	・ポート入力モード・レジスタ0, 1, 4, 5, 8, 14（PIM0, PIM1, PIM4, PIM5, PIM8, PIM14） ・ポート出力モード・レジスタ0, 1, 4, 5, 7-9, 14（POM0, POM1, POM4, POM5, POM7-POM9, POM14） ・ポート・モード・コントロール・レジスタ0, 3, 14（PMC0, PMC3, PMC14） ・ポート・モード・レジスタ0, 1, 3-5, 7-9, 14（PM0, PM1, PM3-PM5, PM7-PM9, PM14） ・ポート・レジスタ0, 1, 3-5, 7-9, 14（P0, P1, P3-P5, P7-P9, P14）

（注，備考は次ページにあります。）

注1. **シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。**

- 20-64**ピン製品で**mn = 00, 01**の場合：　下位**9**ビット**
- 80-128**ピン製品で**mn = 00, 01, 10, 11**の場合：　下位**9**ビット**
- **上記以外の場合：　下位**8**ビット**

2. **シリアル・データ・レジスタ**mn（SDRmn）**の下位**8**ビットは，通信方式により，次の**SFR**名称でリード／ライト可能です。**

- CSIp**通信時・・・**SIOp（CSIp**データ・レジスタ）**
- UARTq**受信時・・・**RXDq（UARTq**受信データ・レジスタ）**
- UARTq**送信時・・・**TXDq（UARTq**送信データ・レジスタ）**
- IICr**通信時・・・**SIOr（IICr**データ・レジスタ）**

備考　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0-3）　p：CSI**番号**（p = 00, 01, 10, 11, 20, 21, 30, 31）

q：UART**番号**（q = 0-3）　r：IIC**番号**（r = 00, 01, 10, 11, 20, 21, 30, 31）

図12－1にシリアル・アレイ・ユニット0のブロック図を示します。

図12－1　シリアル・アレイ・ユニット0のブロック図

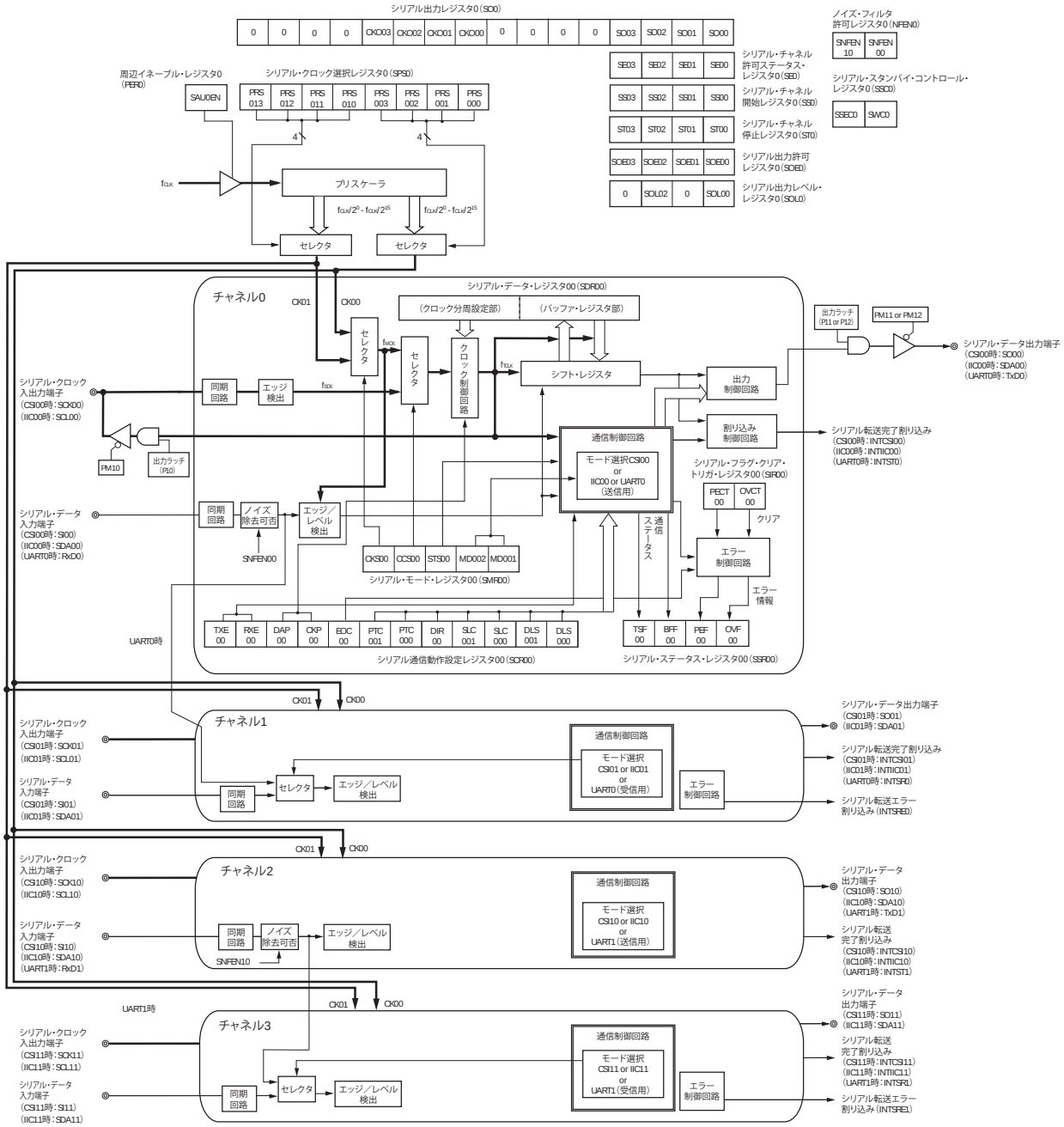
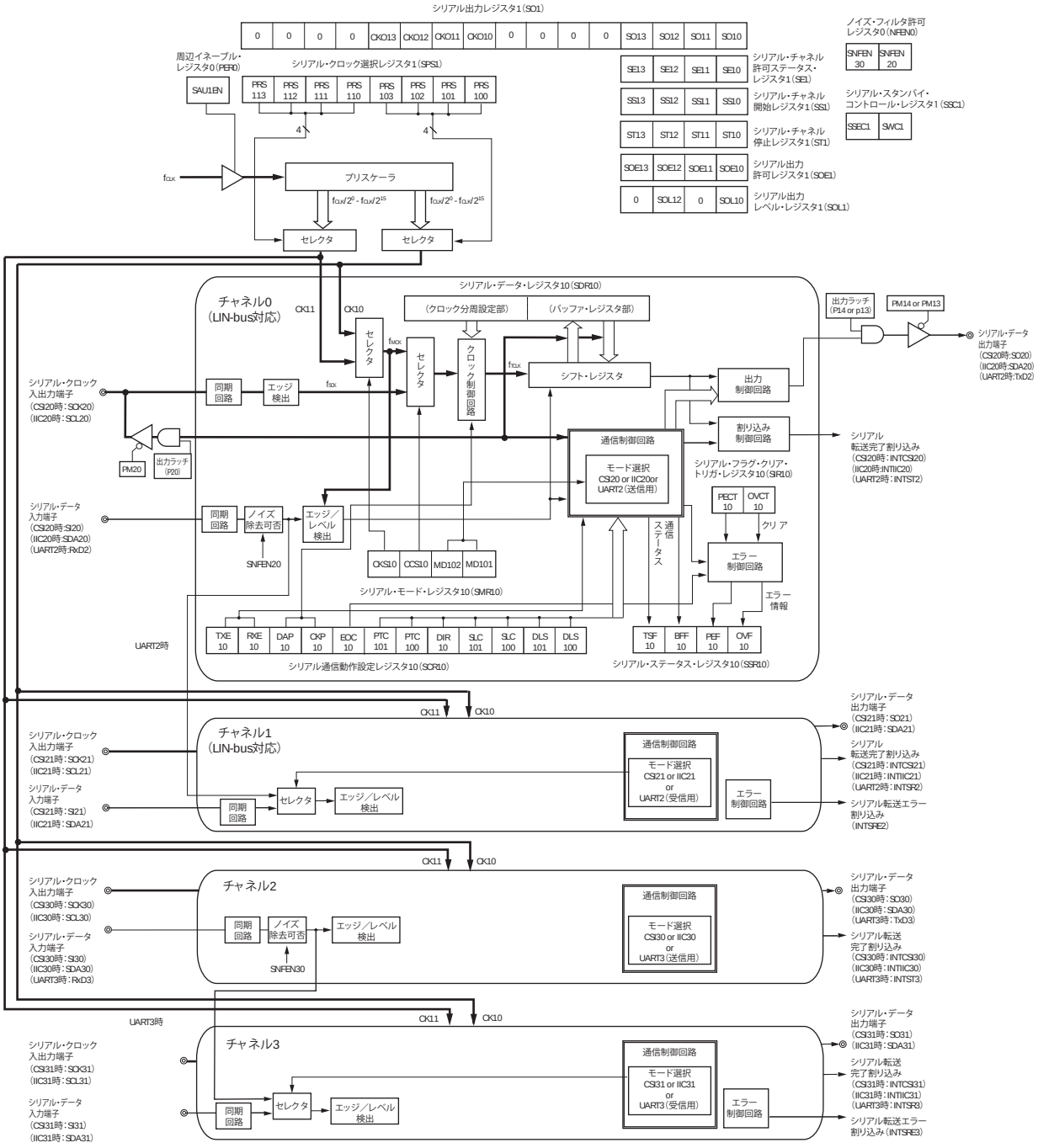


図12－2にシリアル・アレイ・ユニット1のブロック図を示します。

図12－2　シリアル・アレイ・ユニット1のブロック図



12. 2. 1　シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0～8）を使用します[注1]。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

12. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）[注1]，またはビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって，次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- 9ビット・データ長（SDRmnレジスタのビット0-8に格納）[注1]

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能[注2]です。

- CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
- UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
- UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
- IICr通信時・・・SIOr（IICrデータ・レジスタ）

リセット信号の発生により，SDRmnレジスタは0000Hになります。

注1.　9ビット・データ長は，以下のUARTのみ対応しています。
- 20-64ピン製品：　UART0
- 80-128ピン製品：　UART0, UART2

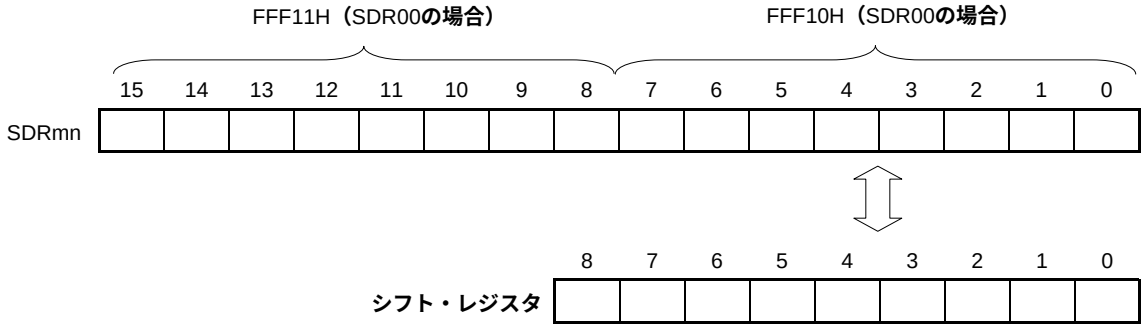
2.　ただし動作停止（SEmn = 0）時は，8ビット単位のライト禁止

備考1.　受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）　q：UART番号（q = 0-3）　r：IIC番号（r = 00, 01, 10, 11, 20, 21, 30, 31）

図12ー3　**シリアル・データ・レジスタ**mn（SDRmn）（mn = 00, 01, 10, 11）**のフォーマット**

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　**リセット時：**0000H　R/W
FFF48H, FFF49H（SDR10）[注], FFF4AH, FFF4BH（SDR11）[注]

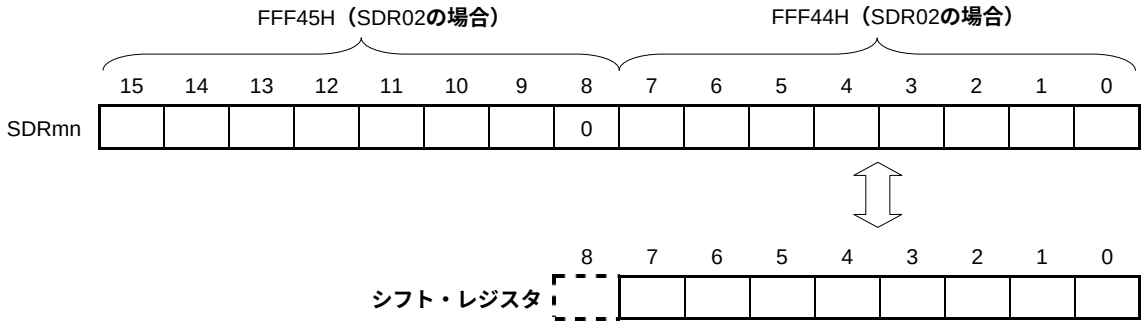


注　80-128**ピン製品**

備考　SDRmn**レジスタの上位**7**ビットの機能については，**12. 3　**シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図12ー4　**シリアル・データ・レジスタ**mn（SDRmn）（mn = 02, 03, 10, 11, 12, 13）**のフォーマット**

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）,　**リセット時：**0000H　R/W
FFF48H, FFF49H（SDR10）[注1], FFF4AH, FFF4BH（SDR11）[注1]
FFF14H, FFF15H（SDR12）[注2], FFF16H, FFF17H（SDR13）[注2]



注1.　20-64**ピン製品**
2.　80-128**ピン製品**

注意　**ビット**8**は，必ず**0**を設定してください。**

備考　SDRmn**レジスタの上位**7**ビットの機能については，**12. 3　**シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

12. 3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDRmn）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
- シリアル・ステータス・レジスタmn（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル出力レジスタm（SOm）
- シリアル・スタンバイ・コントロール・レジスタm（SSCm）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート入力モード・レジスタ0, 1, 4, 5, 8, 14（PIM0, PIM1, PIM4, PIM5, PIM8, PIM14）
- ポート出力モード・レジスタ0, 1, 4, 5, 7-9, 14（POM0, POM1, POM4, POM5, POM7-POM9, POM14）
- ポート・モード・コントロール・レジスタ0, 3, 14（PMC0, PMC3, PMC14）
- ポート・モード・レジスタ0, 1, 3-5, 7-9, 14（PM0, PM1, PM3-PM5, PM7-PM9, PM14）
- ポート・レジスタ0, 1, 3-5, 7-9, 14（P0, P1, P3-P5, P7-P9, P14）

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

12. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは，必ずビット3（SAU1EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図12－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注1	ADCEN	IICA0EN注2	SAU1EN注3	SAU0EN	TAU1EN注1	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注1.　80-128ピン製品のみ。

2.　20ピン製品には搭載されていません。

3.　20, 24, 25ピン製品には搭載されていません。

注意1.　シリアル・アレイ・ユニットmの設定をする際には，必ず最初にSAUmEN = 1の状態で，下記のレジスタ設定を行ってください。SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタは初期値となり，書き込みは無視されます（入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ0（NFEN0），ポート入力モード・レジスタ0, 1, 4, 5, 8, 14（PIM0,PIM1, PIM4, PIM5, PIM8, PIM14），ポート出力モード・レジスタ0, 1, 4, 5, 7-9, 14（POM0, POM1,POM4, POM5, POM7-POM9, POM14），ポート・モード・コントロール・レジスタ0, 3, 14（PMC0,PMC3, PMC14），ポート・モード・レジスタ0, 1, 3-5, 7-9, 14（PM0, PM1, PM3-PM5, PM7-PM9,PM14），ポート・レジスタ0, 1, 3-5, 7-9, 14（P0, P1, P3-P5, P7-P9, P14）は除く）。

・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）

- **シリアル出力レジスタ**m（SOm）
- **シリアル・スタンバイ・コントロール・レジスタ**m（SSCm）

2. **次のビットには必ず“**0**”を設定してください。**

   20**ピン製品：ビット**1, 3, 4, 6

   24, 25**ピン製品：ビット**1, 3, 6

   30, 32, 36, 40, 44, 48, 52, 64**ピン製品：ビット**1, 6

12. 3. 2　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図12－6　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス：F0126H, F0127H（SPS0）, F0166H, F0167H（SPS1）[注1]　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注2]					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注1.　30-128ピン製品

2.　シリアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

注意　ビット15-8には，必ず0を設定してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　m：ユニット番号（m = 0, 1）

3.　k = 0, 1

12. 3. 3　シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（CSI, UART, 簡易I^2C）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図12－7　シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03），　リセット時：0020H　R/W
F0150H, F0151H（SMR10）-F0156H, F0157H（SMR13）注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn注2	0	SISmn0注2	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	SCKp端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn注2	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（CSI, UART送信，簡易I^2C時に選択）
1	RxDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注 1.　SMR00-SMR03：全製品
SMR10, SMR11：30-128ピン製品
SMR12, SMR13：80-128ピン製品
2.　SMR01, SMR03, SMR11, SMR13レジスタのみ

注意　ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10, SMR12レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

（備考は，次ページにあります。）

図12ー7　**シリアル・モード・レジスタ**mn（SMRmn）**のフォーマット**（2/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03）,　**リセット時：**0020H　R/W
F0150H, F0151H（SMR10）-F0156H, F0157H（SMR13）注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注2	0	SIS mn0注2	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 注2	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD mn2	MD mn1	チャネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MD mn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

注1.　SMR00-SMR03：**全製品**
SMR10, SMR11：30-128**ピン製品**
SMR12, SMR13：80-128**ピン製品**
2.　SMR01, SMR03, SMR11, SMR13**レジスタのみ。**

注意　**ビット**13-9, 7, 4, 3（SMR00, SMR02, SMR10, SMR12**レジスタの場合は，ビット**13-6, 4, 3）**には，必ず**0**を設定してください。ビット**5**には，必ず**1**を設定してください。**

備考　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0-3）　p：CSI**番号**（p = 00, 01, 10, 11, 20, 21, 30, 31）　q：UART**番号**（q = 0-3）　r：IIC**番号**（r = 00, 01, 10, 11, 20, 21, 30, 31）

12. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SCRmnレジスタは0087Hになります。

図12－8　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03），　**リセット時：**0087H　R/W
F0158H, F0159H（SCR10）-F015EH, F015FH（SCR13）[注1]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1[注2]	SLCmn0	0	1	DLSmn1[注3]	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSIモードでのデータとクロックの位相選択	タイプ
0	0	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	1
0	1	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	2
1	0	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	3
1	1	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	4
UARTモード，簡易I²Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号（INTSREx（x = 0-3））のマスク制御
0	エラー割り込みINTSREXの発生を禁止する（INTSRxが発生する）
1	エラー割り込みINTSREXの発生を許可する（エラー発生時，INTSRxは発生しない）
CSIモード，簡易I²Cモード，UART送信時には，EOCmn = 0に設定してください[注4]。	

（注，注意，備考は，次ページにあります。）

注 1. SCR00-SCR03：全製品
SCR10, SCR11：30-128ピン製品
SCR12, SCR13：80-128ピン製品

2. SCR00, SCR02, SCR10, SCR12レジスタのみ。
3. SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。
4. CSImnをEOCmn = 0で使用しない場合，エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には，必ず0を設定してください（SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください）。ビット2には，必ず1を設定してください。

備考 m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

図12－8 シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03）, **リセット時：**0087H R/W
F0158H, F0159H（SCR10）-F015EH, F015FH（SCR13）[注1]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1[注2]	SLCmn0	0	1	DLSmn1[注3]	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力[注4]	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
CSIモード，簡易I²Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I²Cモード時には，必ずDIRmn = 0に設定してください。	

SLCmn1[注2]	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（mn = 00, 02, 10, 12のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I²Cモード時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 CSIモード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。 UART送信時は，1ビット（SLCmn1, SLCmn0 = 0, 1）又は2ビット（SLCmn1, SLCmn0 = 1, 0）に設定してください。		

DLSmn1[注3]	DLSmn0	CSI, UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
その他		設定禁止
簡易I²Cモード時には，必ずDLSmn1, DLSmn0 = 1, 1に設定してください。		

注1. SCR00-SCR03：**全製品**
SCR10, SCR11：30-128**ピン製品**
SCR12, SCR13：80-128**ピン製品**
2. SCR00, SCR02, SCR10, SCR12**レジスタのみ。**
3. SCR00, SCR01**レジスタと，**80-128**ピン製品の**SCR10, SCR11**レジスタのみ。その他は**1**固定になります。**
4. **データの内容にかかわらず必ず**0**が付加されます**

注意 ビット3, 6, 11**には，必ず**0**を設定してください（**SCR01, SCR03, SCR11, SCR13**レジスタはビット**5**も**0**に設定してください）。ビット**2**には，必ず**1**を設定してください。**

（備考は，次ページにあります。）

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

12. 3. 5　シリアル・データ・レジスタmn（SDRmn）

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01, SDR10[注1], SDR11[注1]のビット8-0（下位9ビット），またはSDR02, SDR03, SDR10[注2], SDR11[注2], SDR12, SDR13のビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが，転送クロックとして使用されます。

また，CCSmnビットを1に設定した場合は，SDR00，SDR01，SDR10[注1]，SDR11[注1]のビット15-9（上位7ビット）に”0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは，下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合，上位7ビットは常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図12－9　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　**リセット時：**0000H　R/W
FFF48H, FFF49H（SDR10）[注1], FFF4AH, FFF4BH（SDR11）[注1]

	FFF11H（SDR00の場合）								FFF10H（SDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）　**リセット時：**0000H　R/W
FFF48H, FFF49H（SDR10）[注2], FFF4AH, FFF4BH（SDR11）[注2]
FFF14H, FFF15H（SDR12）[注1], FFF16H, FFF17H（SDR13）[注1]

	FFF45H（SDR02の場合）								FFF44H（SDR02の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

（注，注意，備考は次ページにあります。）

注1. 80-128**ピン製品**
2. 30-64**ピン製品**

注意1. SDR02, SDR03, SDR12, SDR13**と，**30-64**ピン製品の**SDR10, SDR11**レジスタのビット**8**は，必ず**0**を設定してください。**
2. UART**使用時は，**SDRmn[15:9] = **（**0000000B, 0000001B, 0000010B**）は設定禁止です。**
3. **簡易**I^2C**使用時は，**SDRmn[15:9] = 0000000B**は設定禁止です。**SDRmn[15:9] = 0000001B**以上に設定してください。**
4. **動作停止状態（**SEmn = 0**）のときに，下位**8**ビットへ**8**ビット書き込みは行わないでください（上位**7**ビットが**0**にクリアされます）。**

備考1. SDRmn**レジスタの下位**8/9**ビットの機能については，**12. 2　**シリアル・アレイ・ユニットの構成を参照してください。**
2. m**：ユニット番号**（m = 0, 1）　n**：チャネル番号**（n = 0-3）

12. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn，PECTmn，OVCTmn）を1にセットすると，シリアル・ステータス・レジスタmn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので，SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは，16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは，SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIRmnレジスタは0000Hになります。

図12－10　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス：F0108H, F0109H（SIR00）-F010EH, F010FH（SIR03），　リセット時：0000H　R/W
F0148H, F0149H（SIR10）-F014EH, F014FH（SIR13）注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn注2	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注1. SIR00-SIR03：全製品
SIR10, SIR11：30-128ピン製品
SIR12, SIR13：80-128ピン製品
2. SIR01, SIR03, SIR11, SIR13レジスタのみ。

注意 ビット15-3（SIR00, SIR02, SIR10, SIR12レジスタの場合は，ビット15-2）には，必ず0を設定してください。

備考1. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）
2. SIRmnレジスタの読み出し値は常に0000Hとなります。

12. 3. 7 シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図12－11 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03），F0140H, F0141H（SSR10）-F0146H, F0147H（SSR13）注1　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注2	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
- STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態）
- 通信動作が終了時

＜セット条件＞
- 通信動作を開始時

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている

＜クリア条件＞
- 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき
- STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。

＜セット条件＞
- SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき
- SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき
- 受信エラー時

注 1. SSR00-SSR03：全製品
SSR10, SSR11：30-128ピン製品
SSR12, SSR13：80-128ピン製品
2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意 SNOOZEモード（SWCm = 1）でCSI受信する場合，BFFmnフラグは動作しません。

備考 m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）

図12ー11　**シリアル・ステータス・レジスタ**mn（SSRmn）**のフォーマット**（2/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03）,　**リセット時：**0000H　R
F0140H, F0141H（SSR10）-F0146H, F0147H（SSR13）[注1]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn[注2]	PEF mn	OVF mn

FEF mn[注2]	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIRmnレジスタのFECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEF mn	チャネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生（UART受信時），またはACK未検出発生（I^2C送信時）

＜クリア条件＞
・SIRmnレジスタのPECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）
・I^2C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）

OVF mn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SIRmnレジスタのOVCTmnビットに1を書き込んだとき
＜セット条件＞
・SCRmnレジスタのRXEmnビット ＝ 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・CSIモードのスレーブ送信／送受信で，送信データが準備できていないとき

注 1.　SSR00-SSR03：全製品
SSR10, SSR11：30-128ピン製品
SSR12, SSR13：80-128ピン製品
2.　SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意1.　BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され、オーバラン・エラー（OVEmn = 1）と検出されます。
2.　SNOOZEモード（SWCm = 1）でCSI受信する場合，OVFmnフラグは動作しません。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

12. 3. 8　シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図12－12　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0122H, F0123H（SS0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS03	SS02	SS01	SS00

アドレス：F0162H, F0163H（SS1）注1　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS13	SS12	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する注2

注 1.　30-128ピン製品のみ

2.　通信動作中にSSmn = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1.　SS0レジスタのビット15-4，30-64ピン製品のSS1レジスタのビット15-2，80-128ピン製品のSS1レジスタのビット15-4には，必ず0を設定してください。

2.　UART受信の場合は，SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2.　SSmレジスタの読み出し値は常に0000Hとなります。

12. 3. 9　シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図12－13　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0124H, F0125H（ST0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST03	ST02	ST01	ST00

アドレス：F0164H, F0165H（ST1）注1　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST13	ST12	ST11	ST10

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する注2

注1.　30-128ピン製品のみ

2.　制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意　ST0レジスタのビット15-4，30-64ピン製品のST1レジスタのビット15-2，80-128ピン製品のST1レジスタのビット15-4には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2.　STmレジスタの読み出し値は常に0000Hとなります。

12. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図12－14　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0120H, F0121H（SE0）　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE03	SE02	SE01	SE00

アドレス： F0160H, F0161H（SE1）注　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE13	SE12	SE11	SE10

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

注　30-128ピン製品のみ

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

12. 3. 11　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図12－15　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F012AH, F012BH（SOE0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE03	SOE02	SOE01	SOE00

アドレス：F016AH, F016BH（SOE1）注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	SOE13	SOE12	SOE11	SOE10

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注　30-128ピン製品のみ

注意　SOE0レジスタのビット15-4, 30-64ピン製品のSOE1レジスタのビット15-2, 80-128ピン製品のSOE1レジスタのビット15-4には，必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

12. 3. 12　シリアル出力レジスタm（SOm）

SOmレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SOmレジスタは0F0FHになります。

図12－16　シリアル出力レジスタm（SOm）のフォーマット

アドレス：F0128H, F0129H（SO0）　リセット時：0F0FH　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00	0	0	0	0	SO03	SO02	SO01	SO00

アドレス：F0168H, F0169H（SO1）注1　リセット時：0F0FH注2　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10	0	0	0	0	SO13	SO12	SO11	SO10

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注1.　30-128ピン製品のみ

2.　30-64ピン製品は，リセット時：3030Hになります。

注意　SO0レジスタのビット15-12, 7-4には，必ず0を設定してください。

30-64ピン製品のSO1レジスタのビット15-10, 7-2, 80-128ピン製品のSO1レジスタのビット15-12, 7-4には，必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

12. 3. 13　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード，簡易I^2Cモード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図12－17　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0134H, F0135H（SOL0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL02	0	SOL00

アドレス：F0174H, F0175H（SOL1）注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL12	0	SOL10

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注　30-128ピン製品のみ

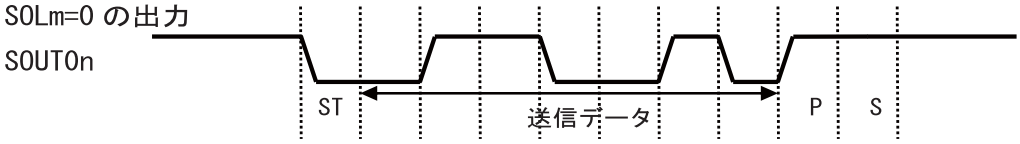
注意　SOL0レジスタのビット15-3, 1，30-64ピン製品のSOL1レジスタのビット15-1，80-128ピン製品のSOL1レジスタのビット15-3, 1には，必ず0を設定してください。

（備考は、次ページにあります）

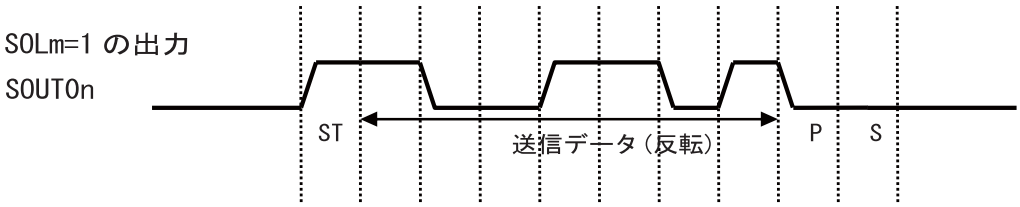
UART送信時，送信データのレベル反転例を図12-18に示します。

図12－18　送信データのレベル反転例

（a）非反転出力（SOLm**n** = 0**）**



（b**）反転出力（**SOLm**n** = 1**）**



備考　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0, 2）

12. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm）

SSC0レジスタは，CSI00，UART0のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC1[注]レジスタは，CSI20，UART2のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSCmレジスタは，16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは，SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSCmレジスタは0000Hになります。

注意　SNOOZEモード時の最大転送レートは，次のようになります。

- CSI00, CSI20の場合：　～1 Mbps
- UART0, UART2の場合：4800 bpsのみ

図12－19　シリアル・スタンバイ・コントロール・レジスタm（SSCm）のフォーマット

アドレス：F0138H（SSC0）, F0178H（SSC1）[注]　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0/INTSRE2）発生許可
1	エラー割り込み（INTSRE0/INTSRE2）発生停止
・SNOOZEモード時のUART受信で，SWCm=1かつEOCmn=1の時のみ，SSECmビットを1/0に設定することができます。その他の場合は，SSECmビットを0に設定してください。 ・SSECm, SWCm = 1, 0は設定禁止です。	

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
・STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなく，CSI/UARTの受信動作を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・SNOOZEモードを使用する場合でも，通常動作モード時はSWCを0に設定し，STOPモードへ移行する直前にSWCを1に変更してください。 またSTOPモードから通常動作モードへ復帰後，必ずSWCを0に変更してください。	

注　80 – 128ピン製品のみ

図12－20　SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

12. 3. 15　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1, ISC0ビットは，UART2でLIN-bus通信動作を実現するときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力（RxD2）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると，シリアル・データ入力（RxD2）端子の入力信号がタイマ入力として選択されます。これによって，ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図12－21　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128ピン製品の場合： TI07端子の入力信号をタイマ入力とする（通常動作） 20, 24, 25ピン製品の場合： チャネル7でタイマ入力信号を使用しない
1	RxD2端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定） 20, 24, 25ピン製品の場合は設定不可。

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット7-2に必ず0を設定してください。

12. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

CSI，簡易I^2C通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。 ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図12－22　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD3端子として使用するときは，SNFEN30 = 1に設定してください。 RxD3以外の機能として使用するときは，SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは，SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは，SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは，SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは，SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは，SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

注意　20-25ピン製品のビット7-3，1，30-64ピン製品のビット7-5，3，1，80-128ピン製品のビット7，5，3，1には，必ず0を設定してください。

12. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート入力モード・レジスタ(PIMxx)，ポート出力モード・レジスタ（POMxx），ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 2　ポート・レジスタ（Pxx），4. 3. 4　ポート入力モード・レジスタ（PIMxx），4. 3. 5　ポート出力モード・レジスタ（POMxx），4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P02/ANI17/SO10/TXD1など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビットおよびポート・モード・レジスタ（PMxx）のビットに0を，ポート・レジスタ（Pxx）のビットに1を設定してください。

なお，N-chオープン・ドレイン出力（V_{DD}耐圧[注1]／EV_{DD}耐圧[注2]）モードで使用する場合は，各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8V系，2.5V系，3V系）で動作している外部デバイスと接続する場合は，4. 4. 5　入出力バッファによる異電位（1.8V系，2.5V系，3V系）対応を参照してください。

例）P02/ANI17/SO10/TxD1をシリアル・データ出力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC02ビットを0に設定
ポート・モード・レジスタ0のPM02ビットを0に設定
ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P03/ANI16/SI10/RxD1/SDA10など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

なお，TTL入力バッファで使用する場合は，各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8V系，2.5V系，3V系）で動作している外部デバイスと接続する場合は，4. 4. 5　入出力バッファによる異電位（1.8V系，2.5V系，3V系）対応を参照してください。

例）P03/ANI16/SI10/RxD1/SDA10をシリアル・データ入力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC03ビットを0に設定
ポート・モード・レジスタ0のPM03ビットを1に設定
ポート・レジスタ0のP03ビットを0または1に設定

注1.　20～52ピン製品の場合
2.　64～128ピン製品の場合

12. 4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。
動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。
また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

12. 4. 1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，ビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは，ビット3（SAU1EN）に0を設定してください。

図12－23　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN[注1]	ADCEN	IICA0EN[注2]	SAU1EN[注3]	SAU0EN	TAU1EN[注1]	TAU0EN
	×	×	×	×	0/1	0/1	×	×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注1.　80, 100, 128ピン製品のみ。
2.　20ピン製品には搭載されていません。
3.　20, 24, 25ピン製品には搭載されていません。

注意1.　SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート入力モード・レジスタ0, 1, 4, 5, 8, 14（PIM0, PIM1, PIM4, PIM5, PIM8, PIM14）
- ポート出力モード・レジスタ0, 1, 4, 5, 7-9, 14（POM0, POM1, POM4, POM5, POM7-POM9, POM14）
- ポート・モード・コントロール・レジスタ0, 3, 14（PMC0, PMC3, PMC14）
- ポート・モード・レジスタ0, 1, 3-5, 7-9, 14（PM0, PM1, PM3-PM5, PM7-PM9, PM14）
- ポート・レジスタ0, 1, 3-5, 7-9, 14（P0, P1, P3-P5, P7-P9, P14）

2.　次のビットは必ず“0”にしてください。
20ピン製品：ビット1, 3, 4, 6
24, 25ピン製品：ビット1, 3, 6
30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

備考　×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

12. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図12－24　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3注 0/1	STm2注 0/1	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし，通信動作を停止

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3注 0/1	SEm2注 0/1	SEm1 0/1	SEm0 0/1

0：動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3注 0/1	SOEm2注 0/1	SOEm1 0/1	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3注 0/1	CKOm2注 0/1	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3注 0/1	SOm2注 0/1	SOm1 0/1	SOm0 0/1

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

注　シリアル・アレイ・ユニット1の場合，80-128ピン製品のみ。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

12. 5　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　マスタ通信時：Max. $f_{CLK}/2$（CSI00のみ）

  Max. $f_{CLK}/4$

  スレーブ通信時：Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また，以下のチャネルのCSIは，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。以下のCSIのみ設定可能です。

- 20-64ピン製品：　CSI00
- 80-128ピン製品：　CSI00, CSI20

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，第29章または第30章 電気的特性を参照してください。

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）に対応しているチャネルは，SAU0のチャネル0-3とSAU1のチャネル0-3です。

○20, 24, 25ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11

○30, 32ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	–		–

○36, 40, 44ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○80, 100, 128ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）の通信動作は，以下の7種類があります。

- マスタ送信　（12. 5. 1項を参照）
- マスタ受信　（12. 5. 2項を参照）
- マスタ送受信　（12. 5. 3項を参照）
- スレーブ送信　（12. 5. 4項を参照）
- スレーブ受信　（12. 5. 5項を参照）
- スレーブ送受信　（12. 5. 6項を参照）
- SNOOZEモード機能　（12. 5. 7項を参照）

12. 5. 1　マスタ送信

マスタ送信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO20	SCK31, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	なし							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. f_{CLK} /2 [Hz]　（CSI00のみ），f_{CLK} /4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]　　f_{CLK}：システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(1) レジスタ設定

図12－25 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）のマスタ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1注	0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ（送信データを設定）							

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注 SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

2. □：CSIマスタ送信モードでは設定固定 ■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図12－26　マスタ送信の初期設定手順

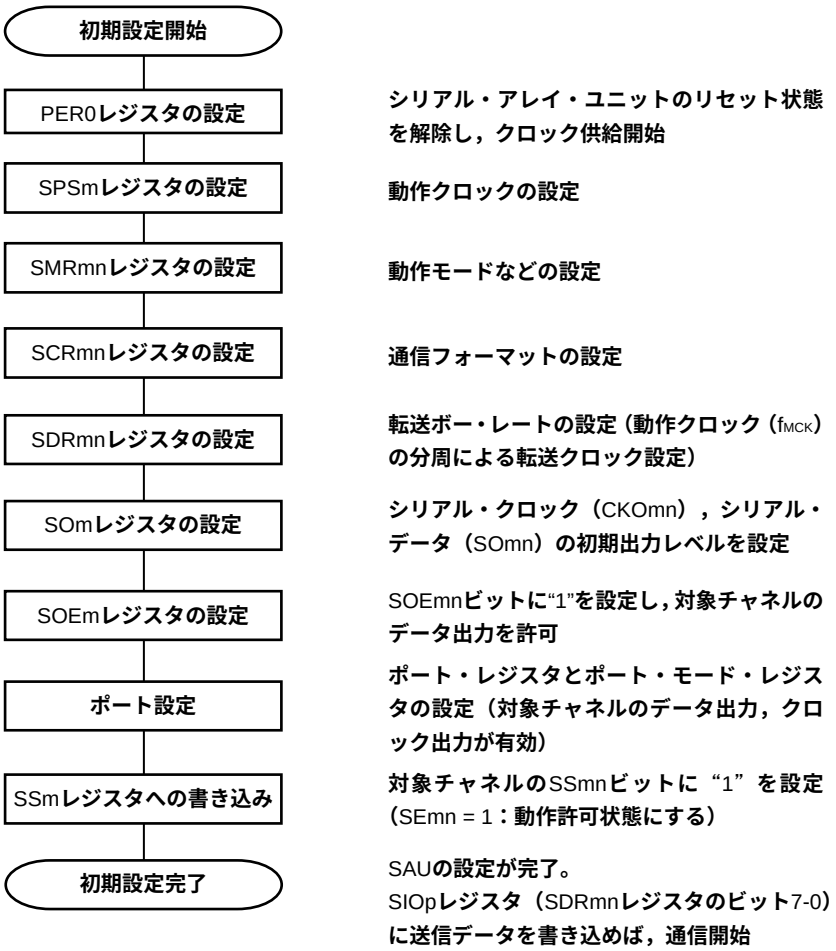


図12－27　マスタ送信の中断手順

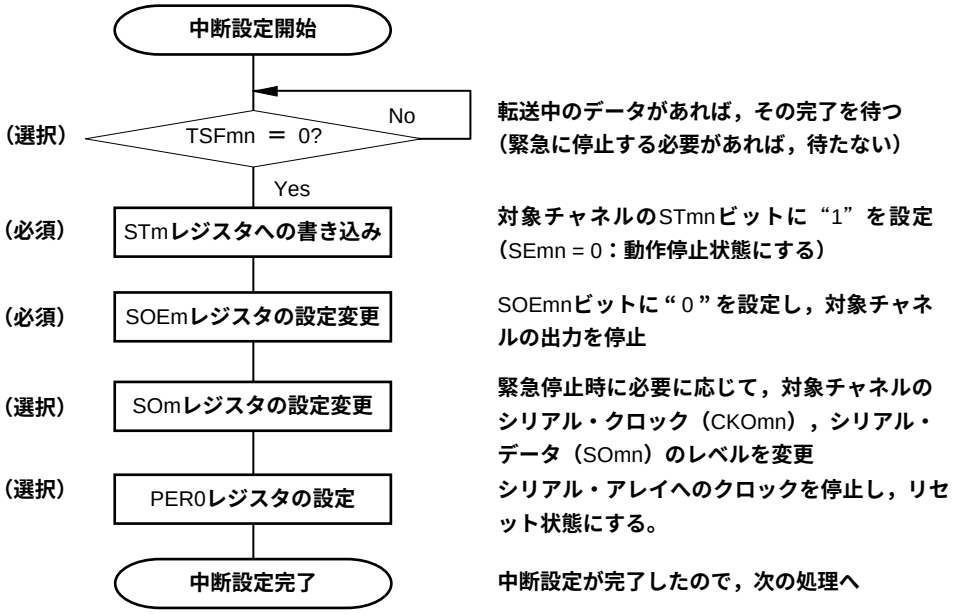
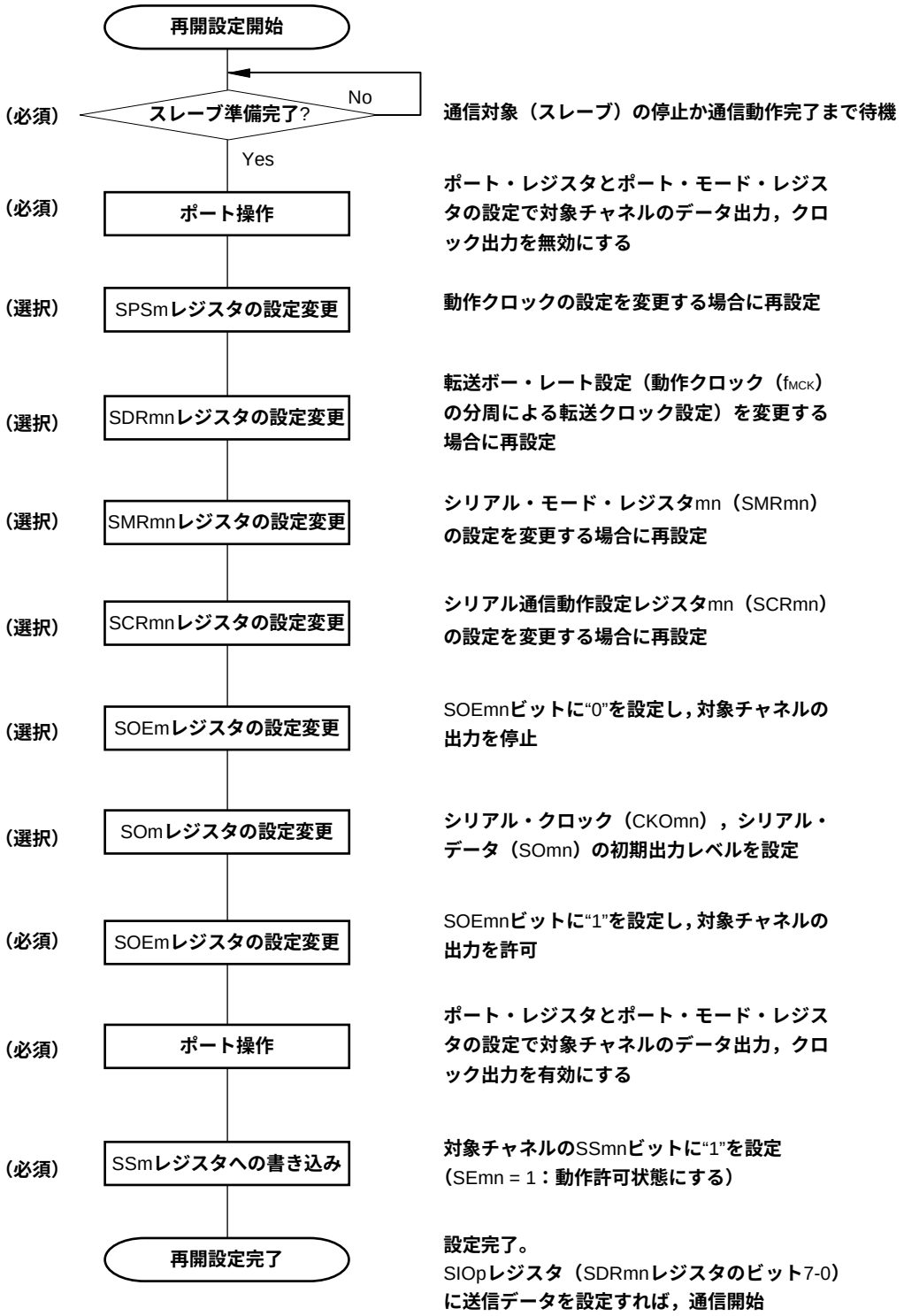


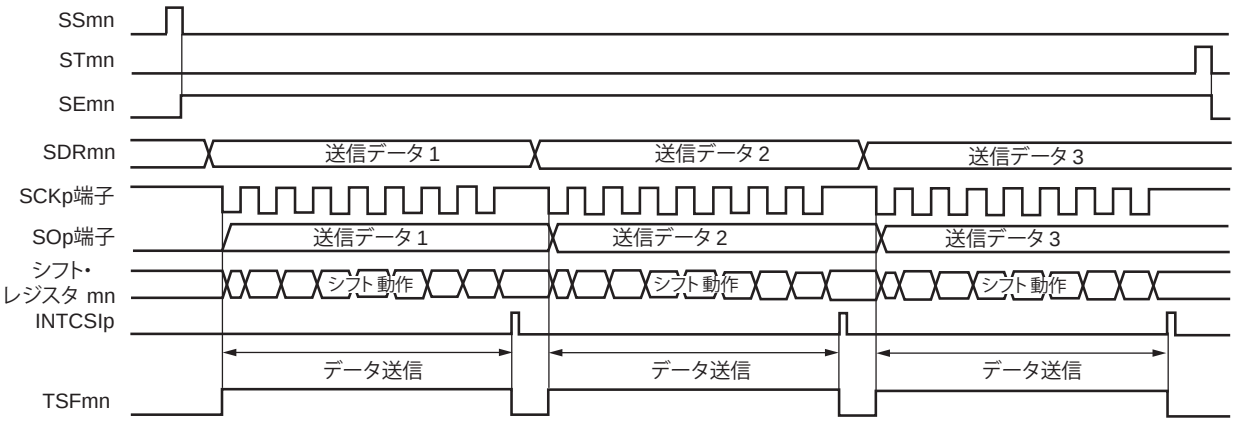
図12－28　マスタ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

(3) 処理フロー（シングル送信モード時）

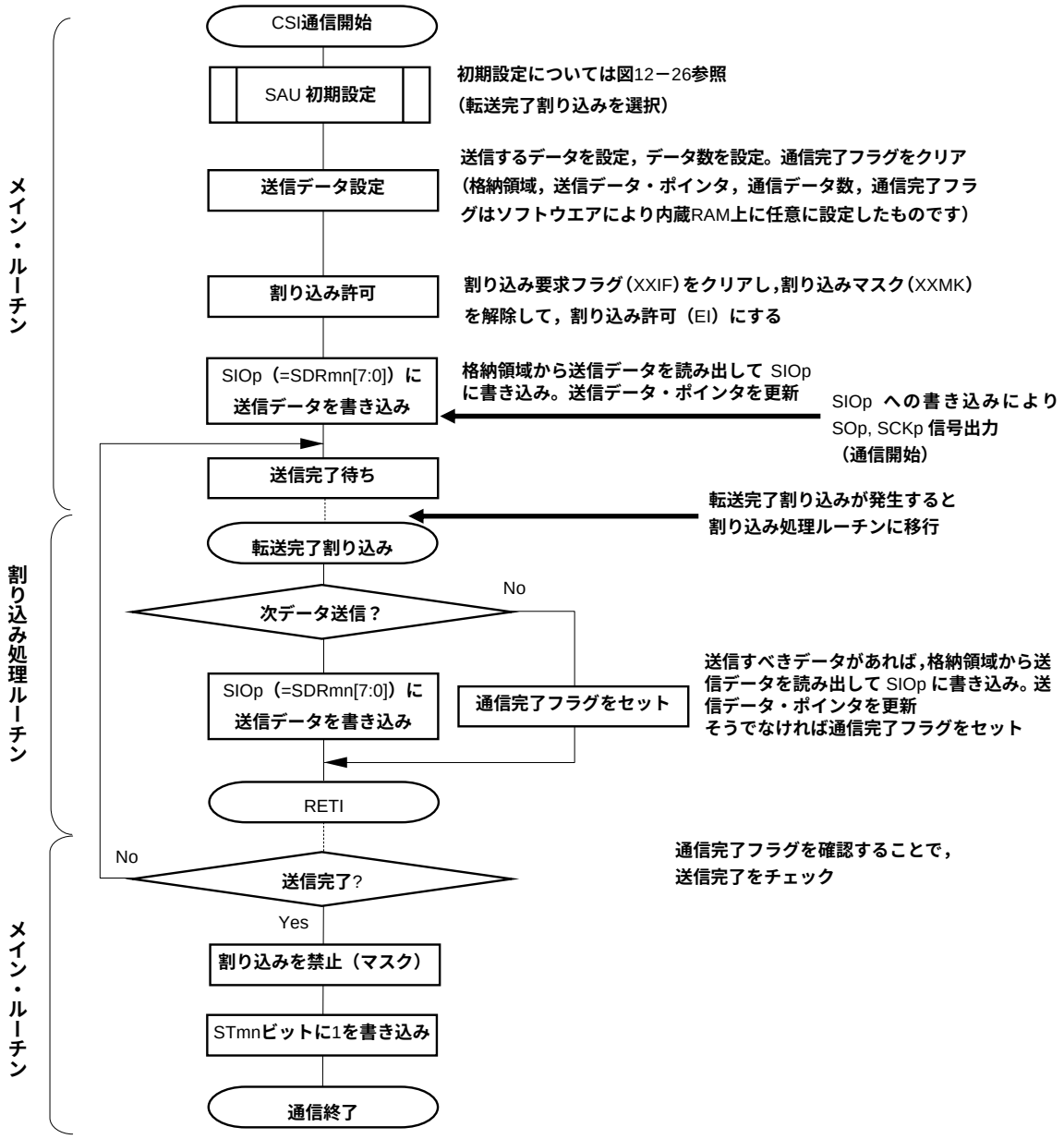
図12－29　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

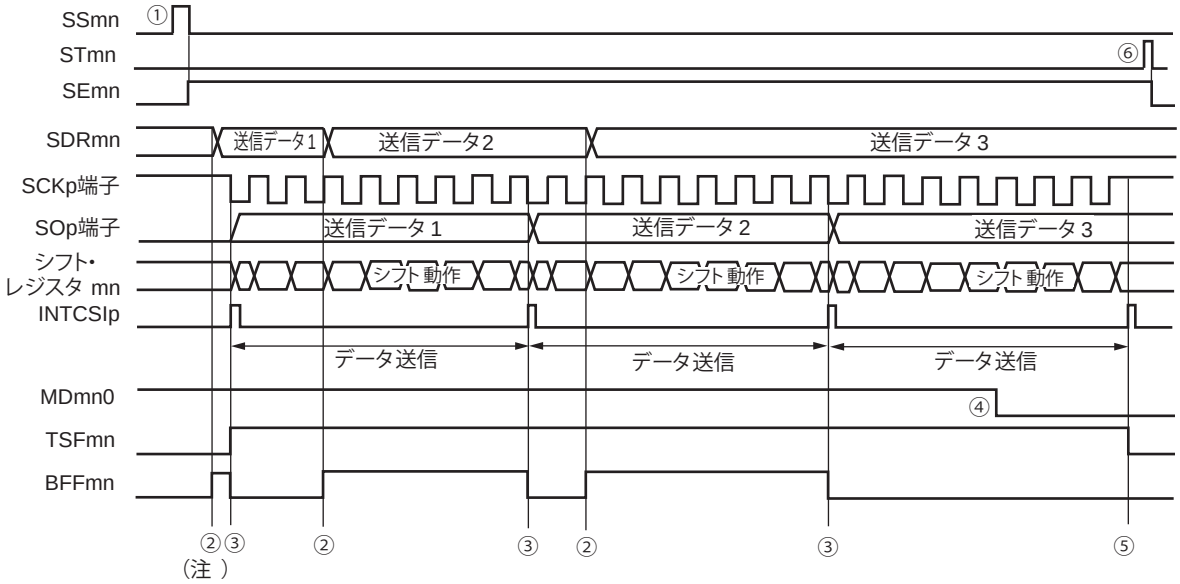
mn = 00-03, 10-13

図12－30　マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－31　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

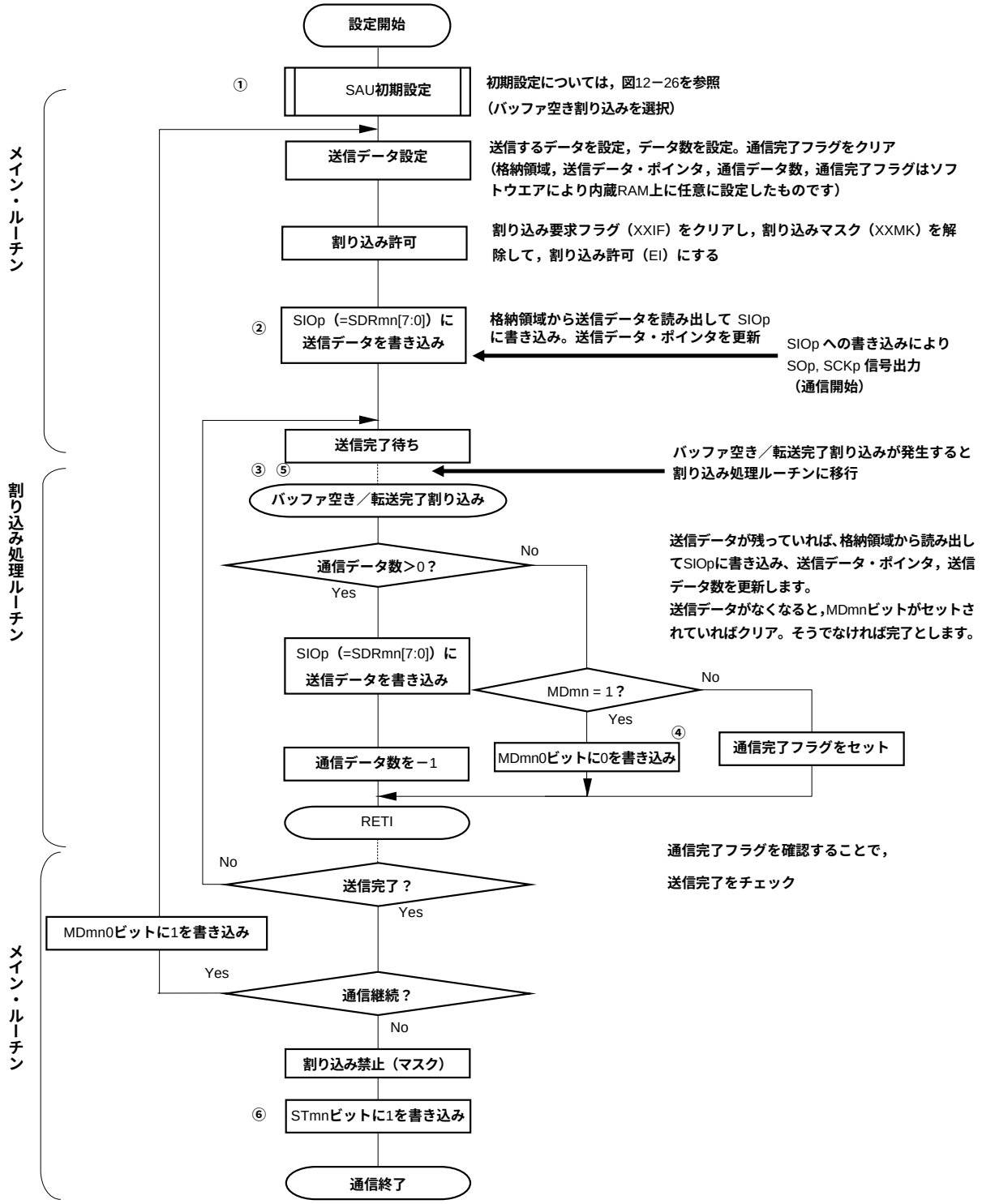


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

図12－32 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は，図12－31 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

12. 5. 2　マスタ受信

マスタ受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ），$f_{CLK}/4$ [Hz Min. $f_{CLK}/(2\times2^{15}\times128)$ [Hz]　　f_{CLK}：システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(1) レジスタ設定

図12－33 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）のマスタ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1注	0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	×	×	×	×

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

(f) シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注 SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

2. □：CSIマスタ受信モードでは設定固定 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－34 マスタ受信の初期設定手順

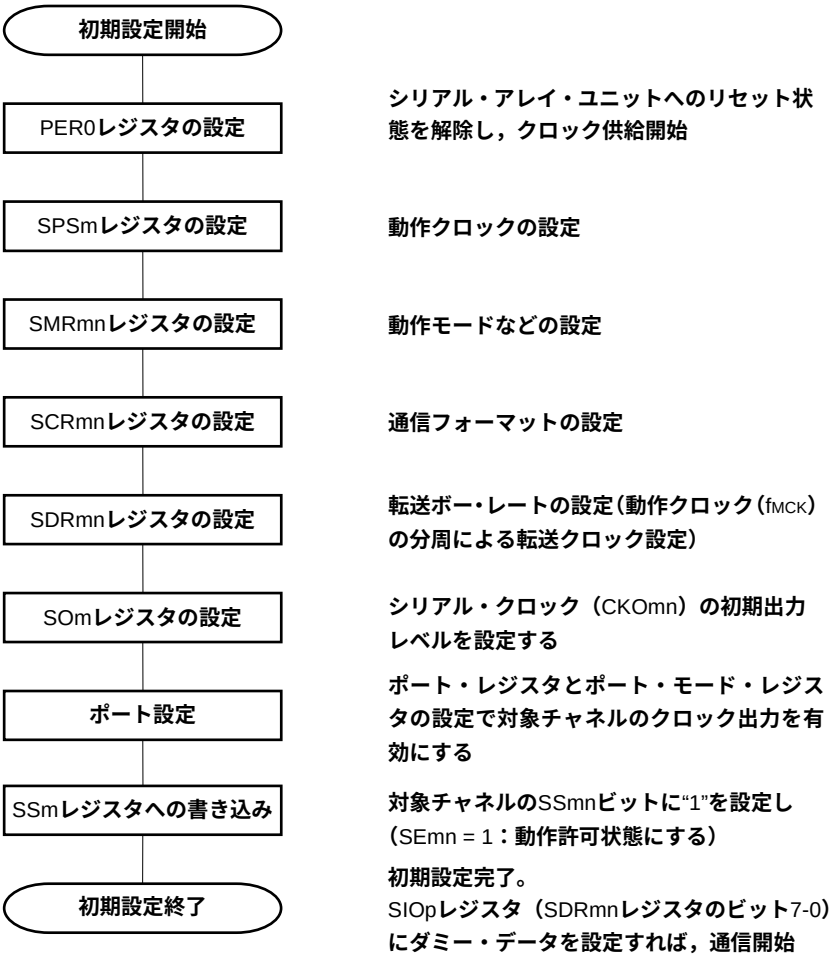


図12－35 マスタ受信の中断手順

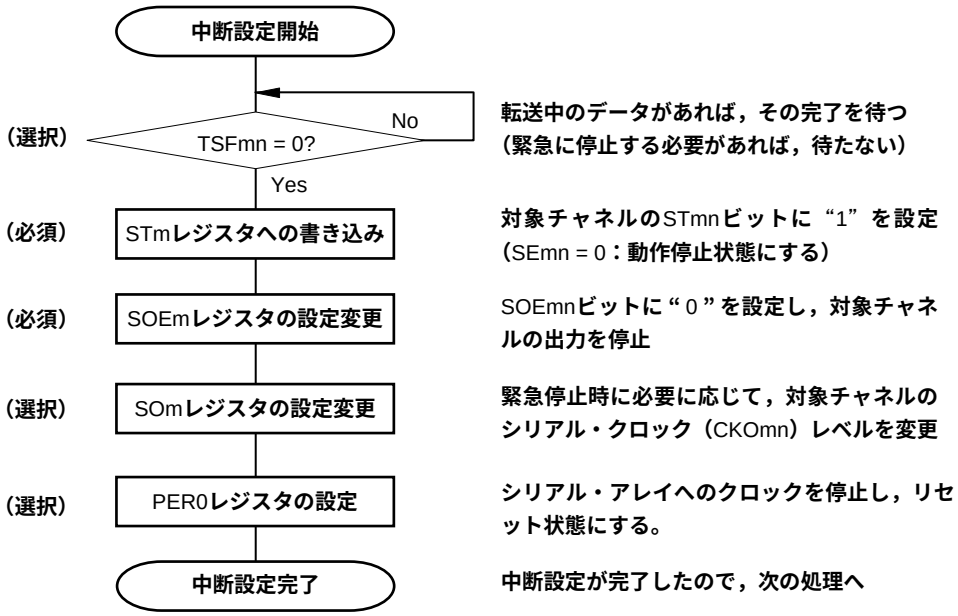
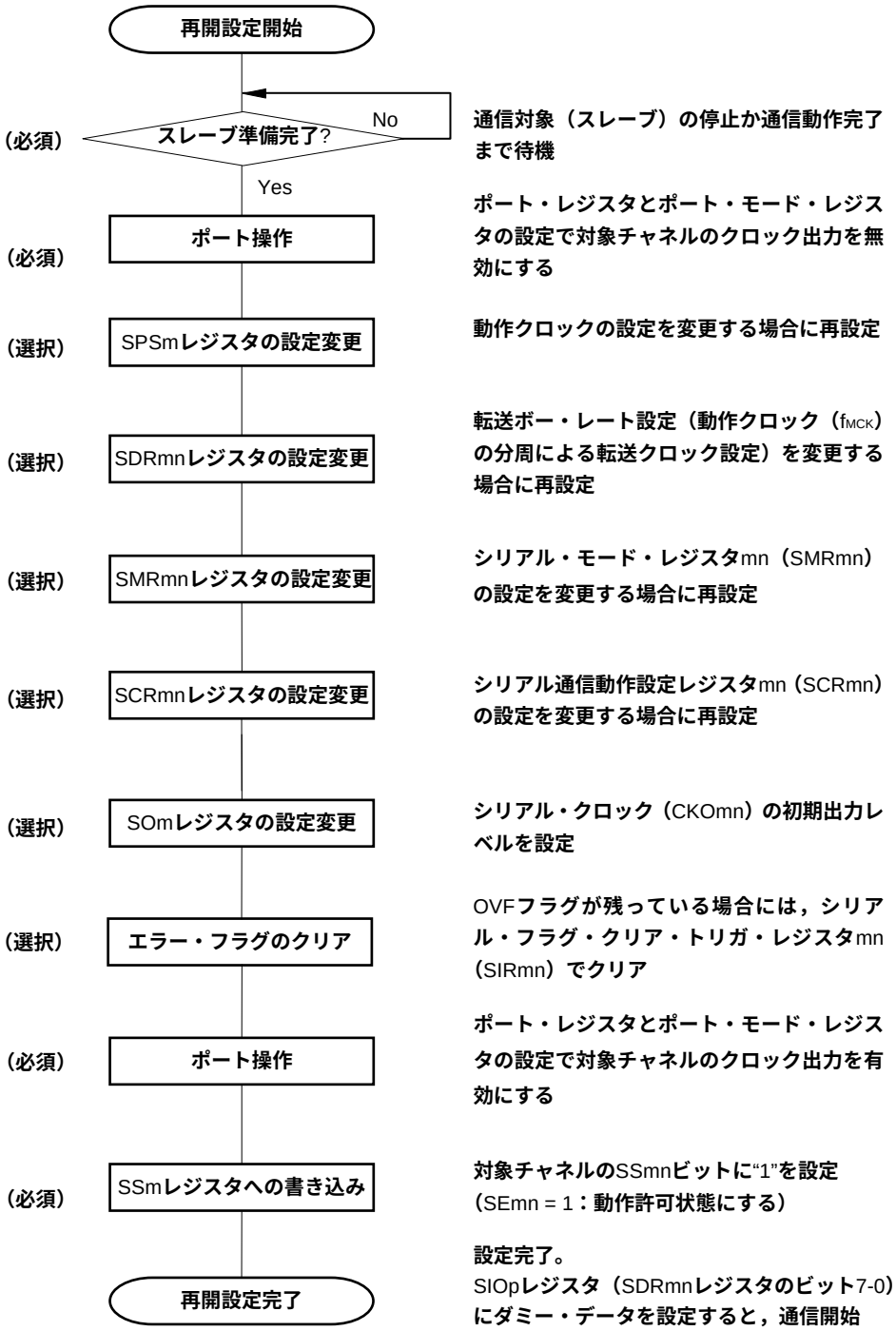


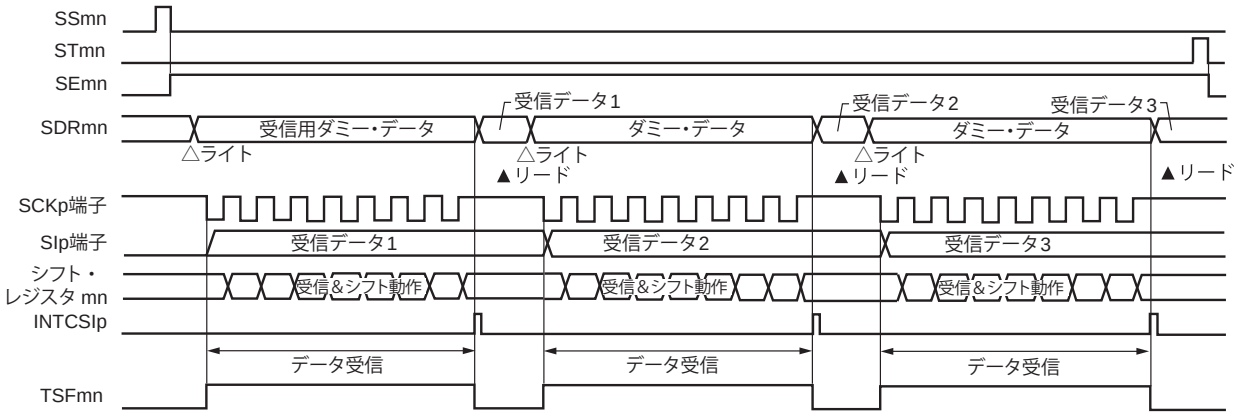
図12－36　マスタ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

(3) 処理フロー（シングル受信モード時）

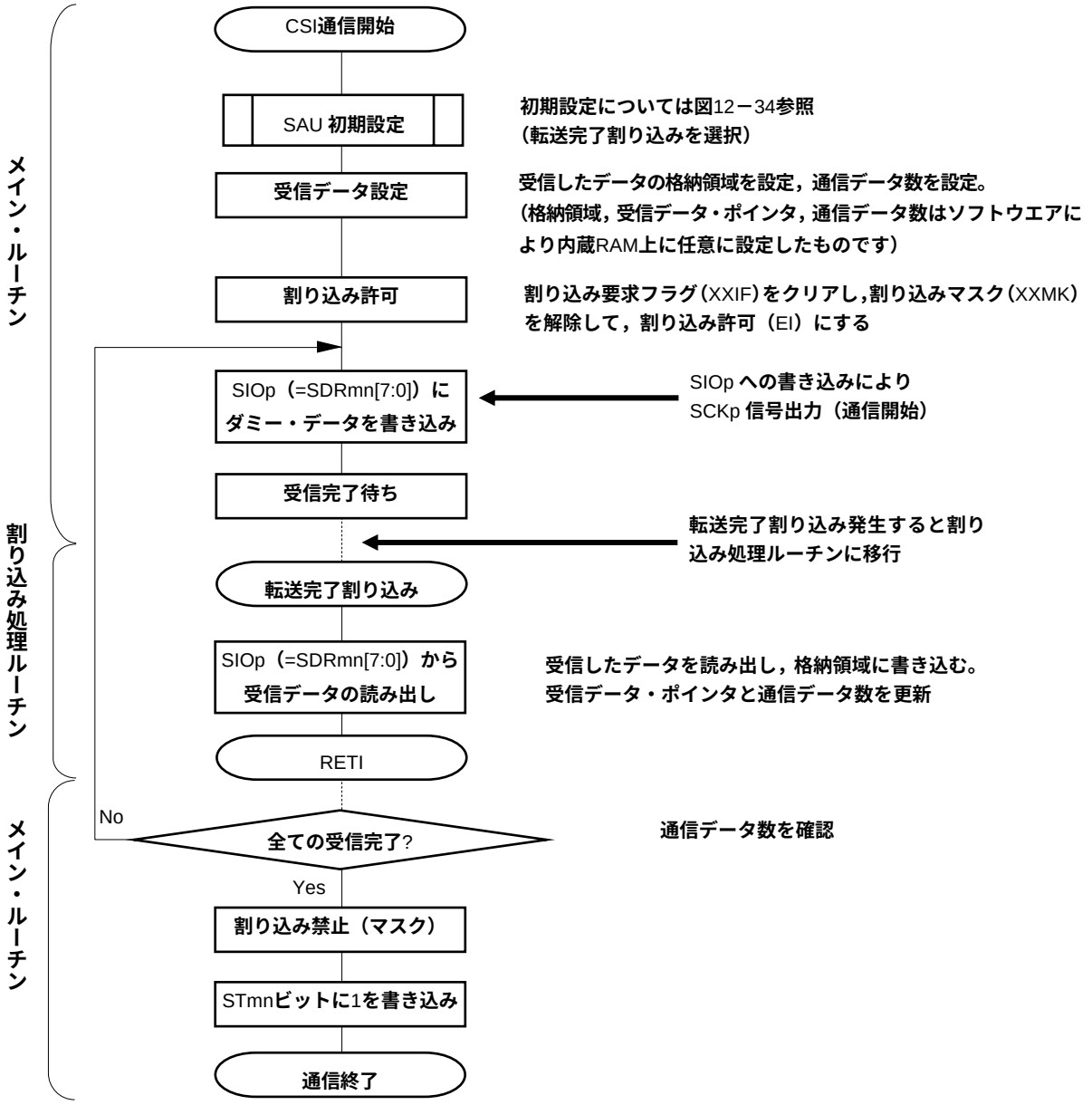
図12－37　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

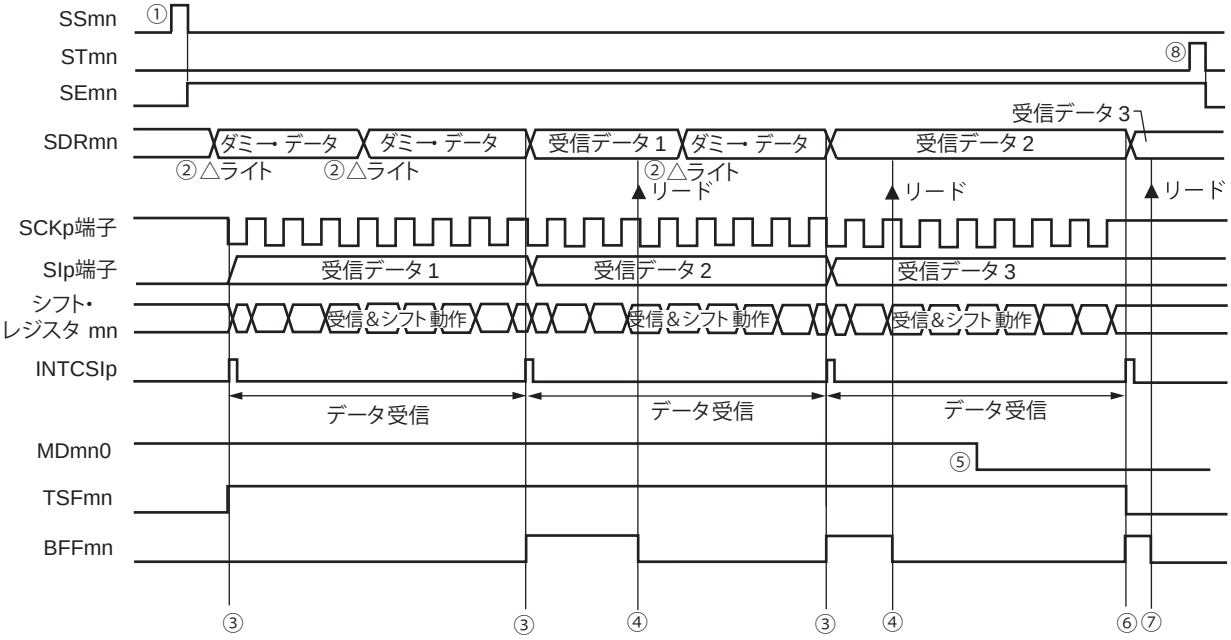
mn = 00-03, 10-13

図12－38　マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図12－39　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

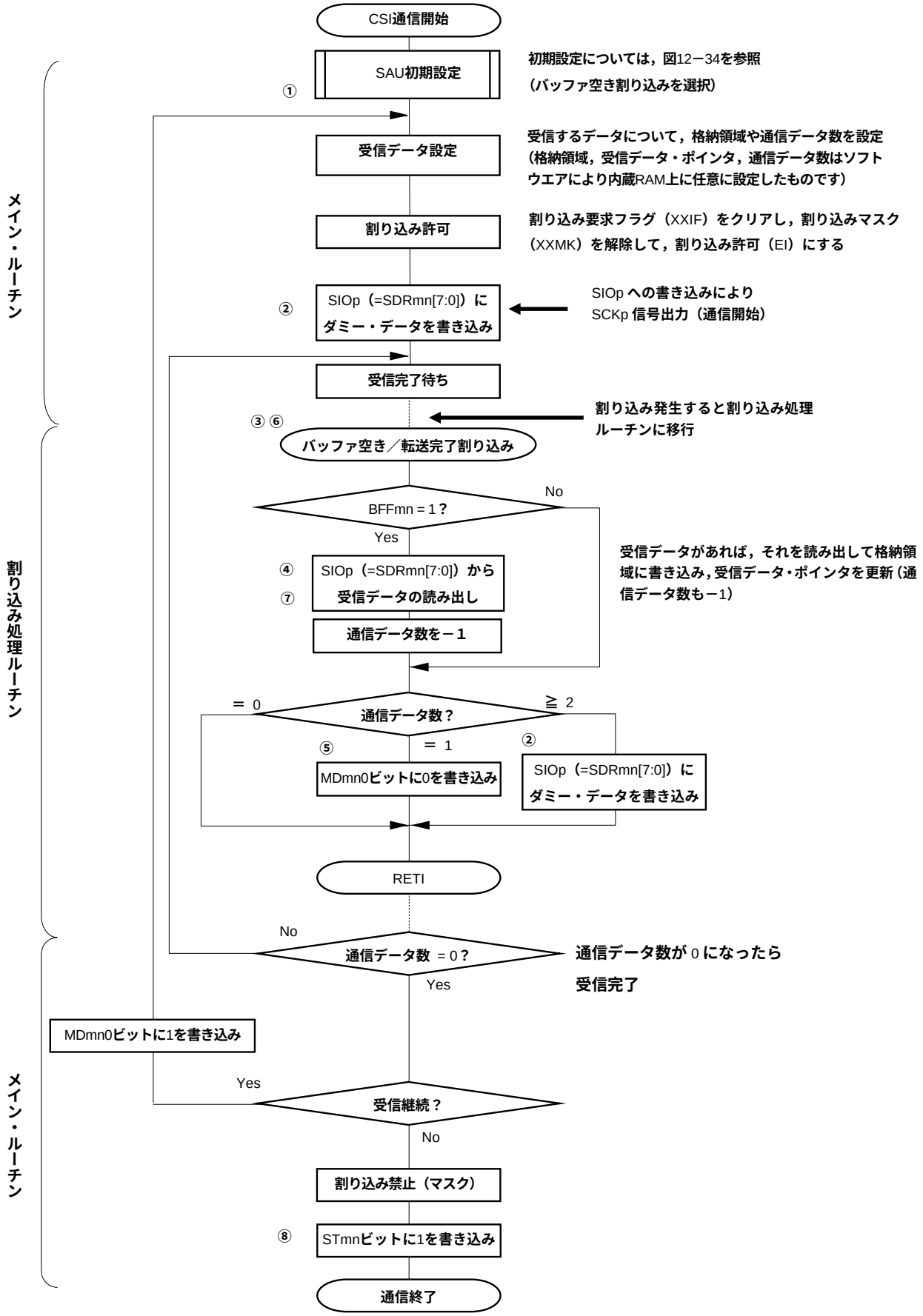


注意　MDmn0**ビットは，動作中でも書き換えることができます。**
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　**図中の①~⑧は，図**12－40　**マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。**

2.　m**：ユニット番号**（m = 0, 1）　n**：チャネル番号**（n = 0-3）　p**：**CSI**番号**（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

図12－40　マスタ受信（連続受信モード時）のフロー・チャート



備考　図中の①~⑧は，図12－39　マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

12. 5. 3　マスタ送受信

マスタ送受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. f_{CLK} /2 [Hz]（CSI00のみ），f_{CLK} /4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]　　f_{CLK}：システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

（1）レジスタ設定

図12－41 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）のマスタ送受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1注	0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注 SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

2. □：CSIマスタ送受信モードでは設定固定 ■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図12－42　マスタ送受信の初期設定手順

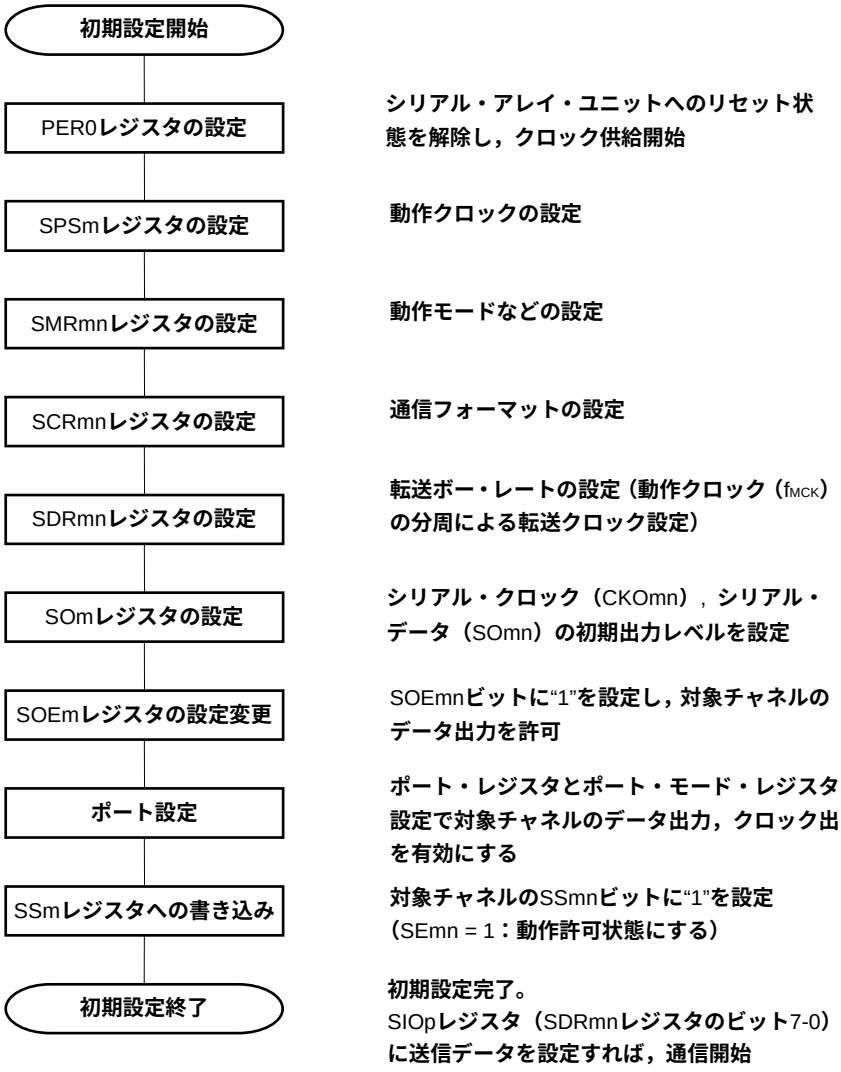


図12－43　マスタ送受信の中断手順

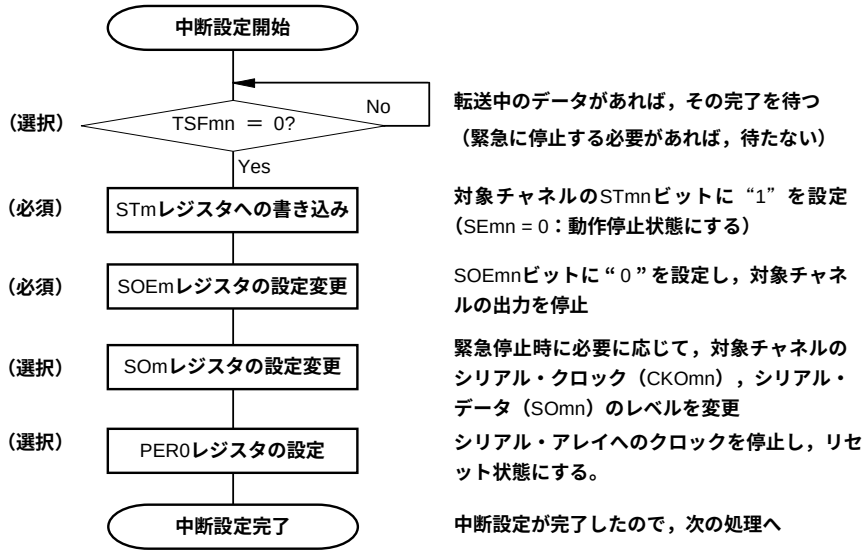
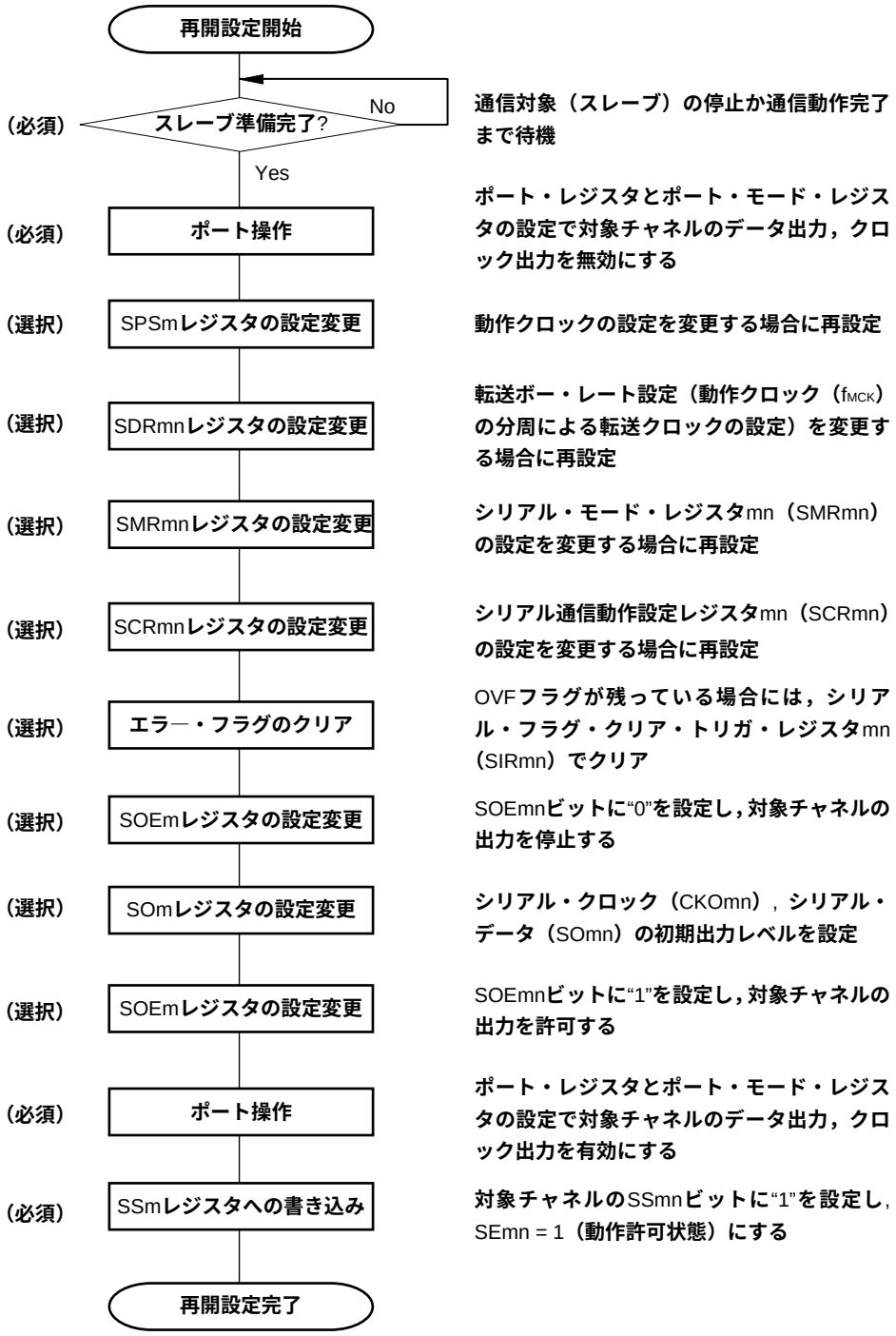
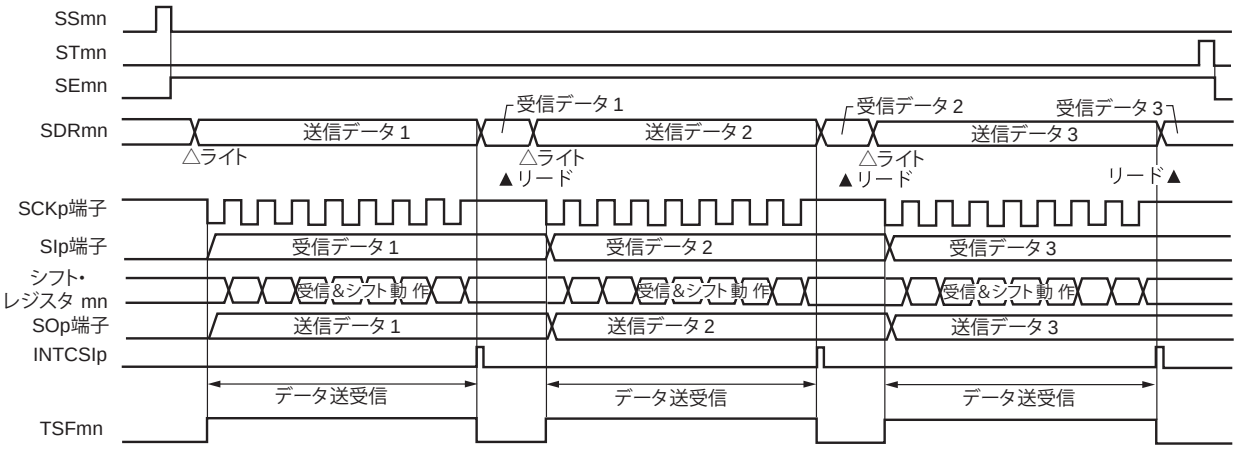


図12－44　マスタ送受信の再開設定手順



(3) 処理フロー（シングル送受信モード時）

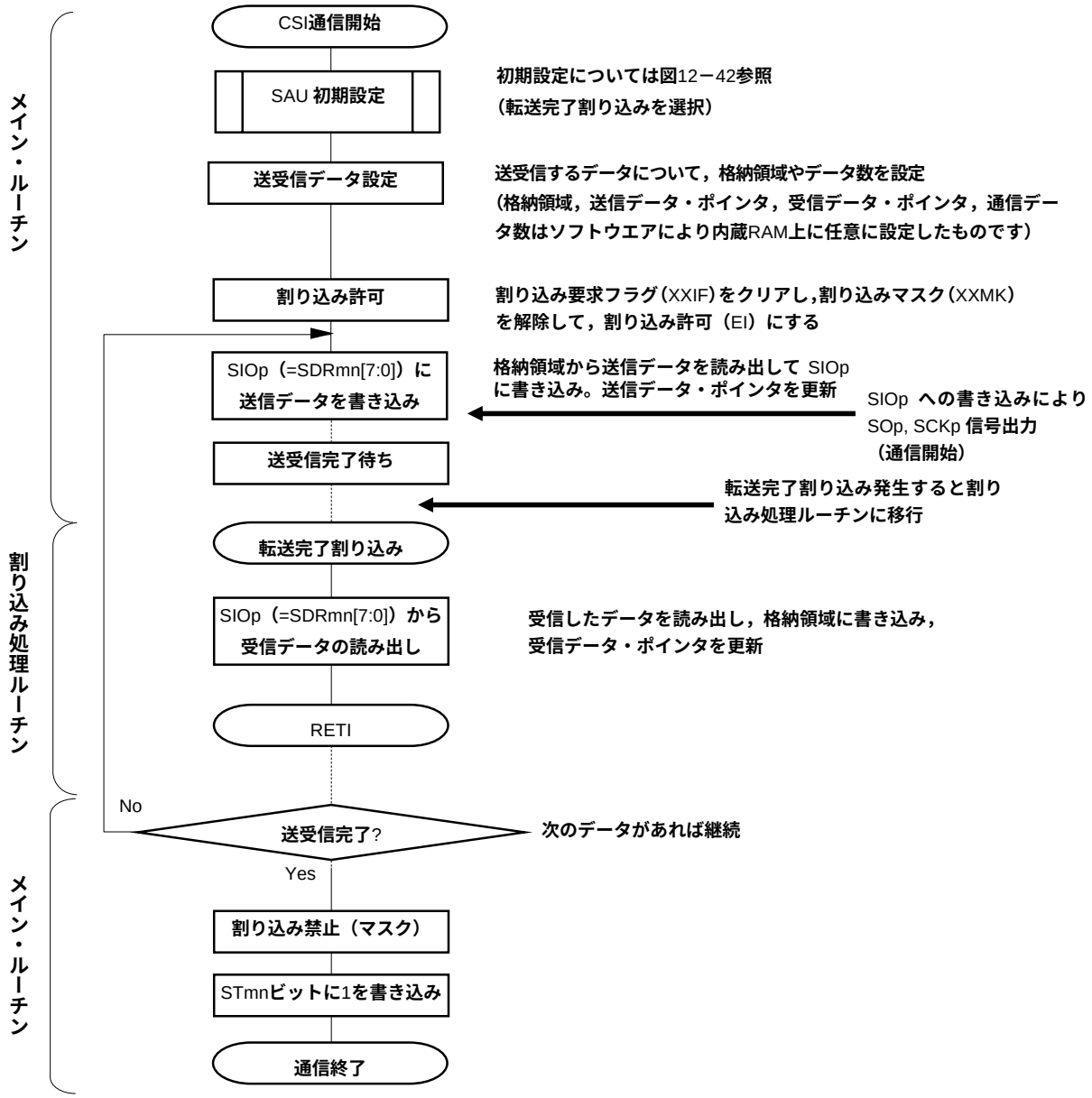
図12－45　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

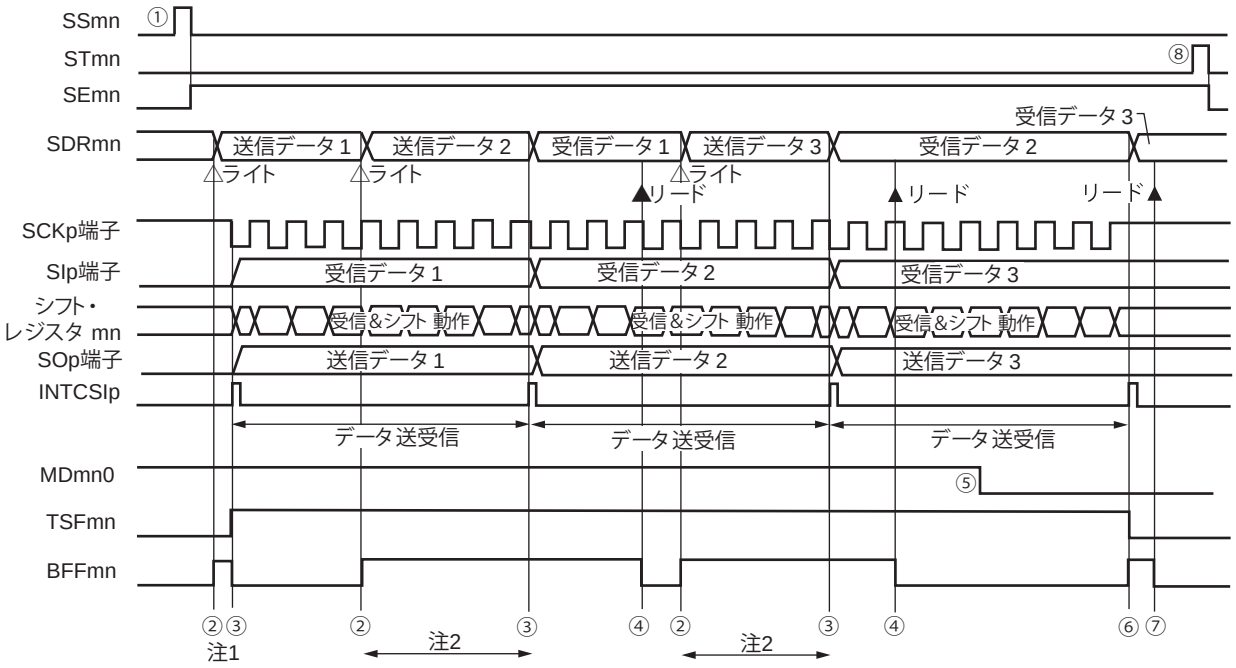
mn = 00-03, 10-13

図12－46 マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図12－47　**マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ**1**：**DAPmn =0, CKPmn = 0**）**



注 1.　**シリアル・ステータス・レジスタ**mn（SSRmn）**の**BFFmn**ビットが“**1**”の期間（有効なデータがシリアル・データ・レジスタ**mn（SDRmn）**に格納されている時）に**SDRmn**レジスタに送信データを書き込むと，送信データが上書きされます。**

2.　**この期間に**SDRmn**レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。**

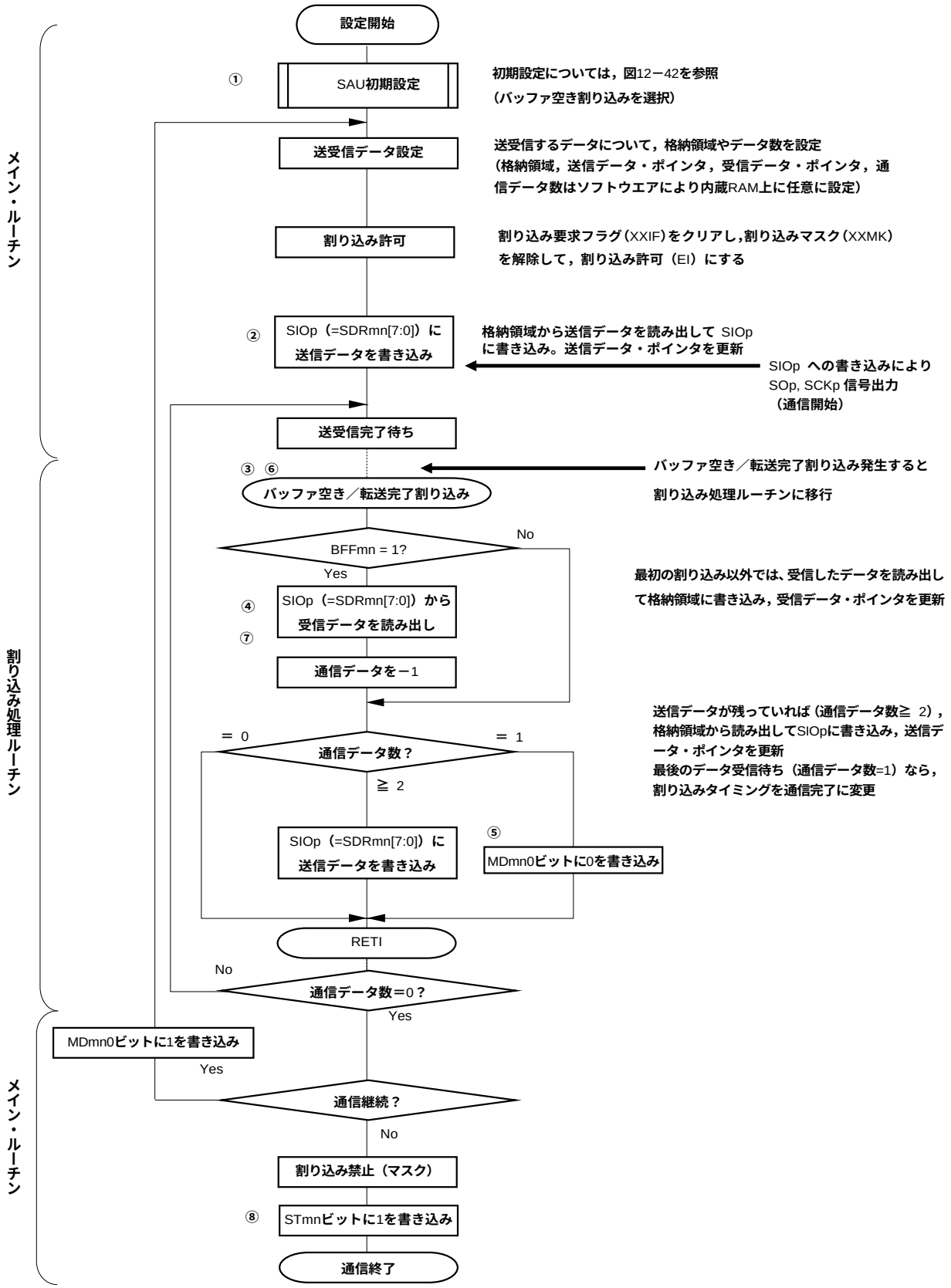
注意　**シリアル・モード・レジスタ**mn（SMRmn）**の**MDmn0**ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

備考1.　**図中の①~⑧は，図**12－48　**マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。**

2.　m**：ユニット番号（**m = 0, 1**）**　n**：チャネル番号（**n = 0-3**）**　p**：**CSI**番号（**p = 00, 01, 10, 11, 20, 21, 30, 31**）**

mn = 00-03, 10-13

図12－48　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①~⑧は，図12－47　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

12. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. f_{MCK}/6[Hz]注1, 2							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

f_{SCK}：シリアル・クロック周波数

2. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

（1）レジスタ設定

図12－49 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）のスレーブ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	×	×	×	×	0	0	0	0	0/1	0/1	0/1	0/1

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

mn = 00-03, 10-13

2. □：CSIスレーブ送信モードでは設定固定 ■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図12－50 スレーブ送信の初期設定手順

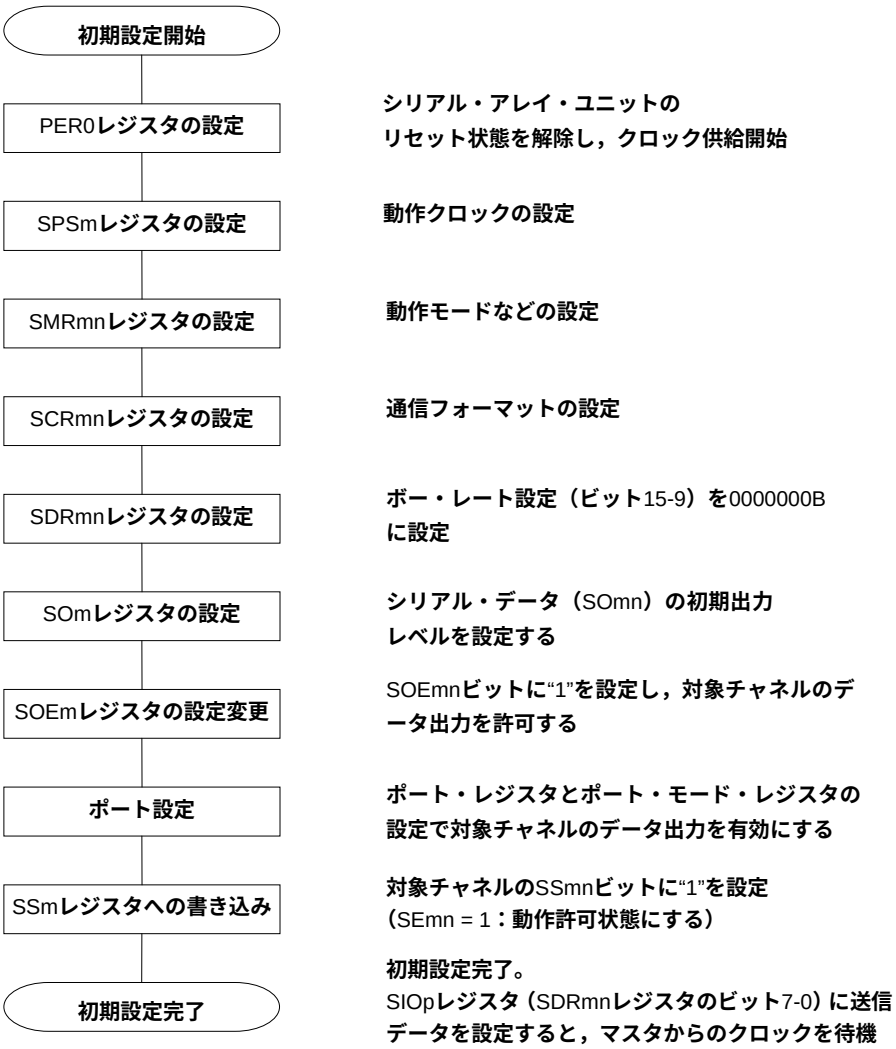


図12－51 スレーブ送信の中断手順

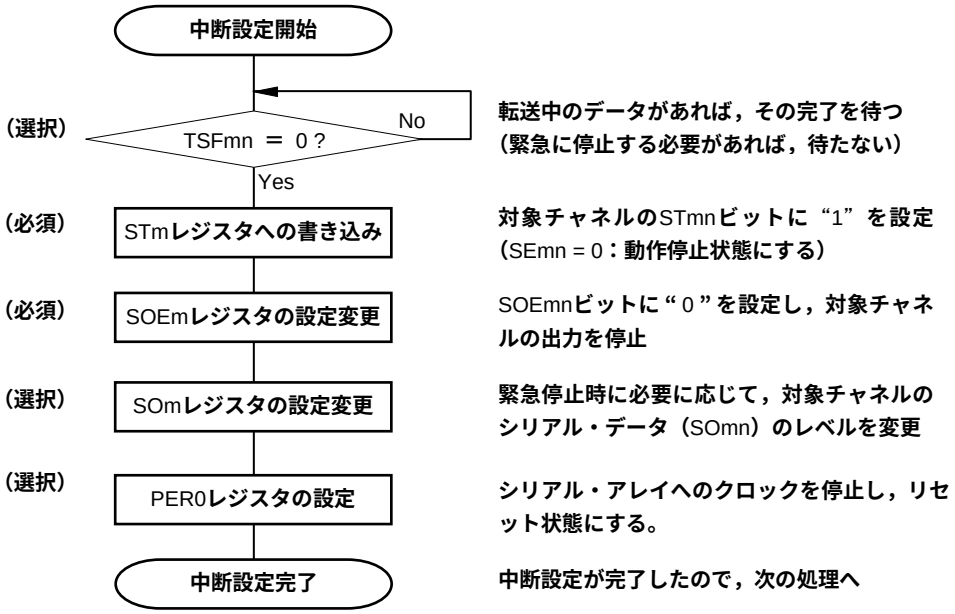
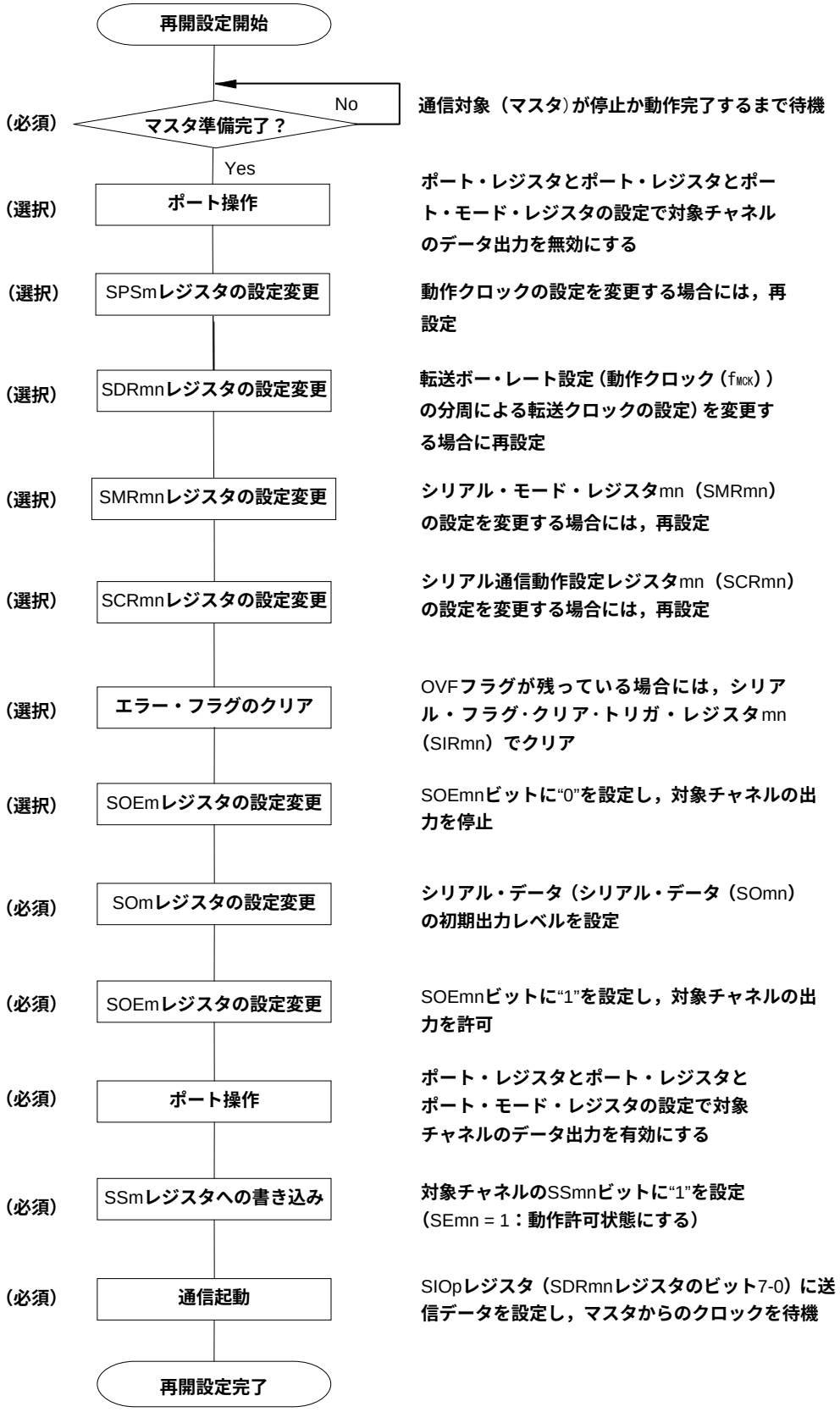


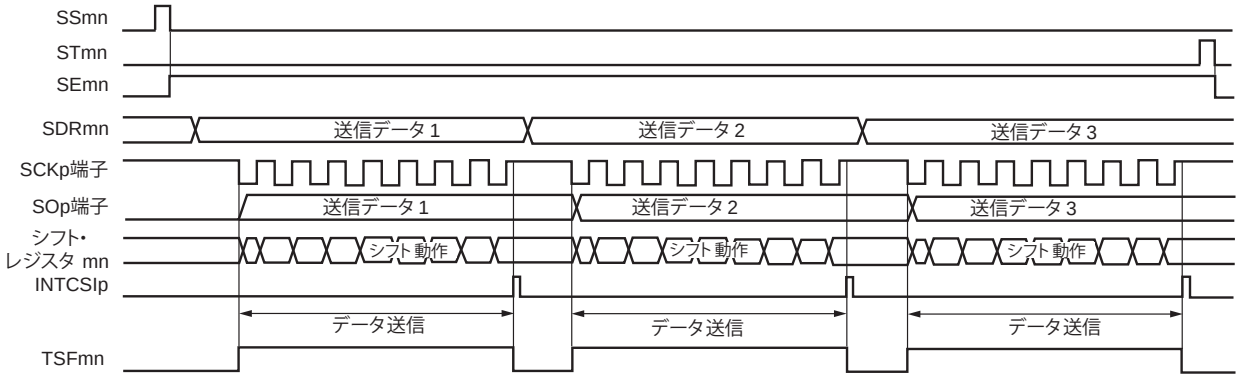
図12－52　スレーブ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー（シングル送信モード時）

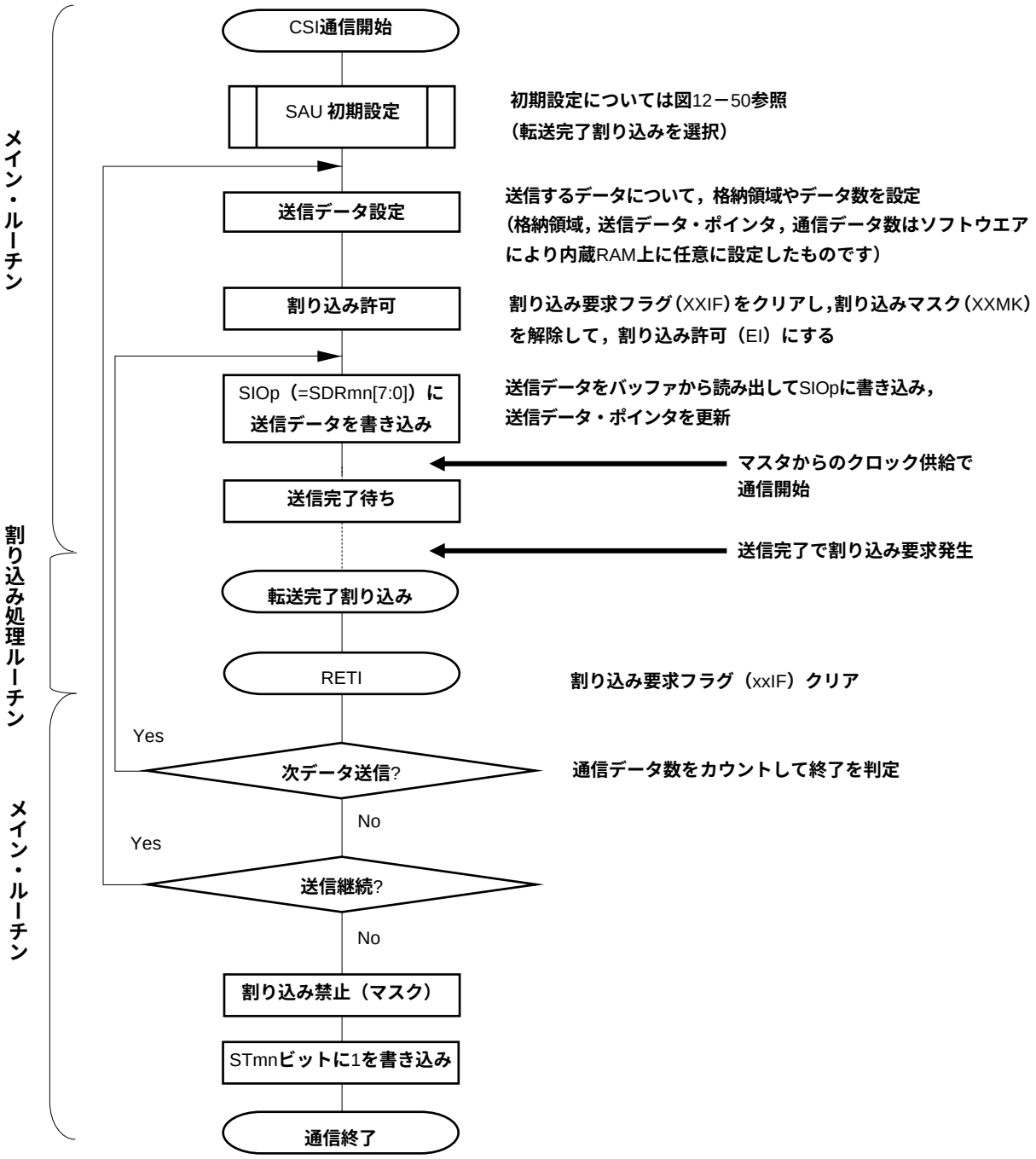
図12－53　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0-3）　p：CSI**番号**（p = 00, 01, 10, 11, 20, 21, 30, 31）

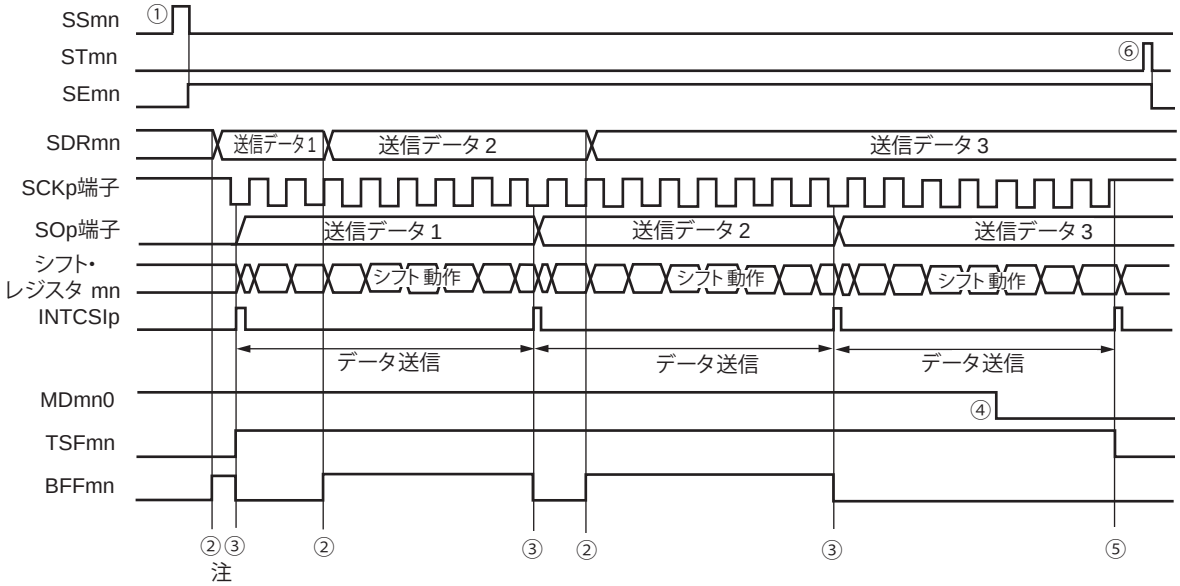
mn = 00-03, 10-13

図12－54 スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－55　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

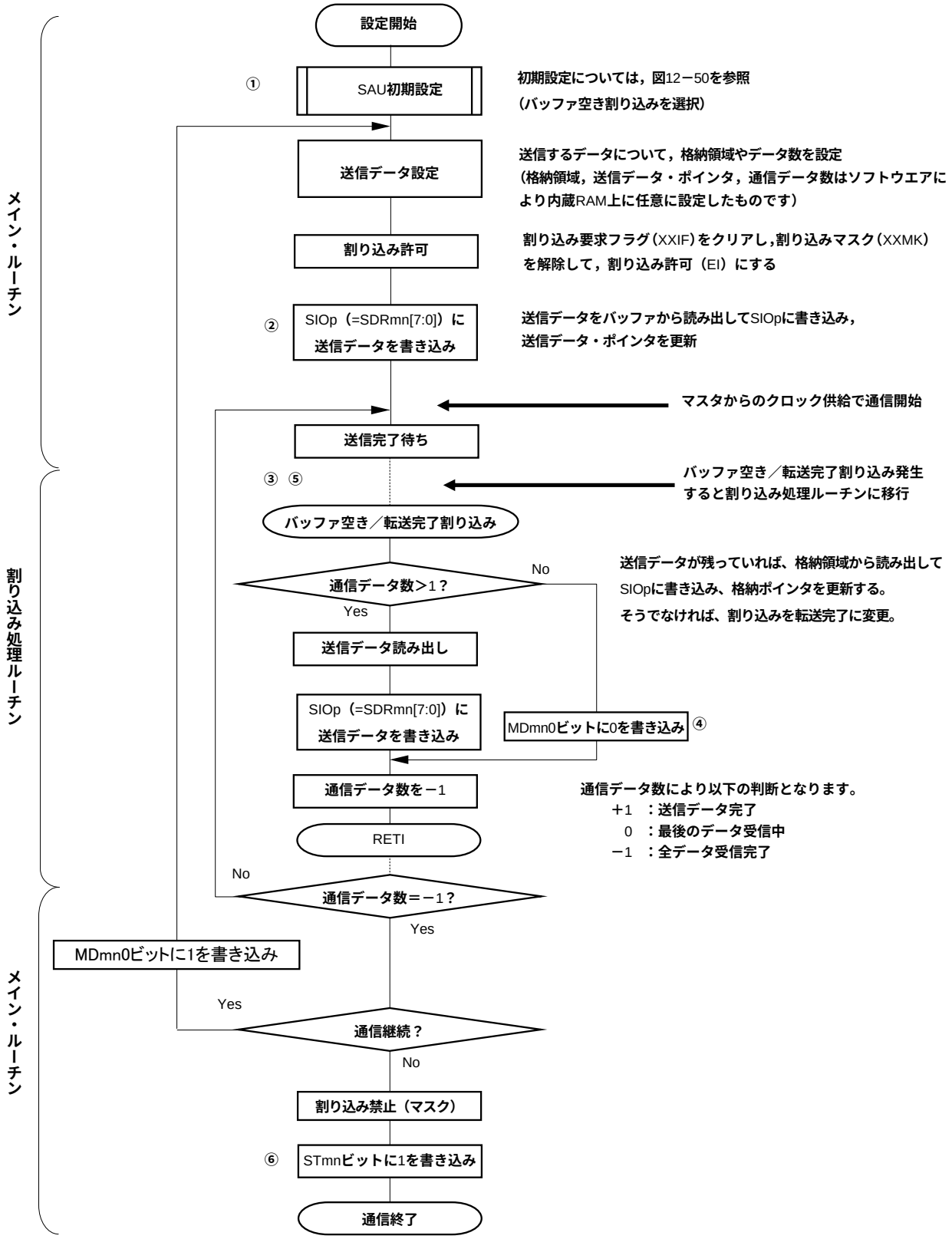


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

図12－56　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，図12－55　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

12. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. f_{MCK}/6 [Hz]注1, 2							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注1.　SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{SCK}：シリアル・クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

（1）レジスタ設定

図12－57　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）のスレーブ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1注	0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	受信データ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	×	×	×	×	0	0	0	0	×	×	×	×

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注　SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

2.　□：スレーブ受信モードでは設定固定　　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－58　スレーブ受信の初期設定手順

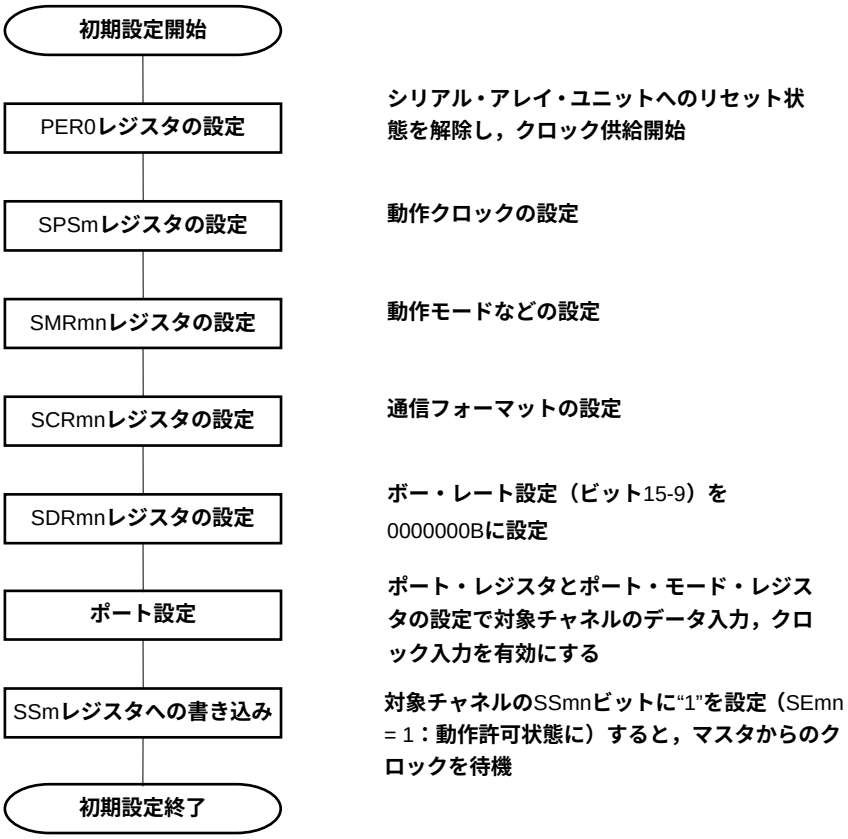


図12－59　スレーブ受信の中断手順

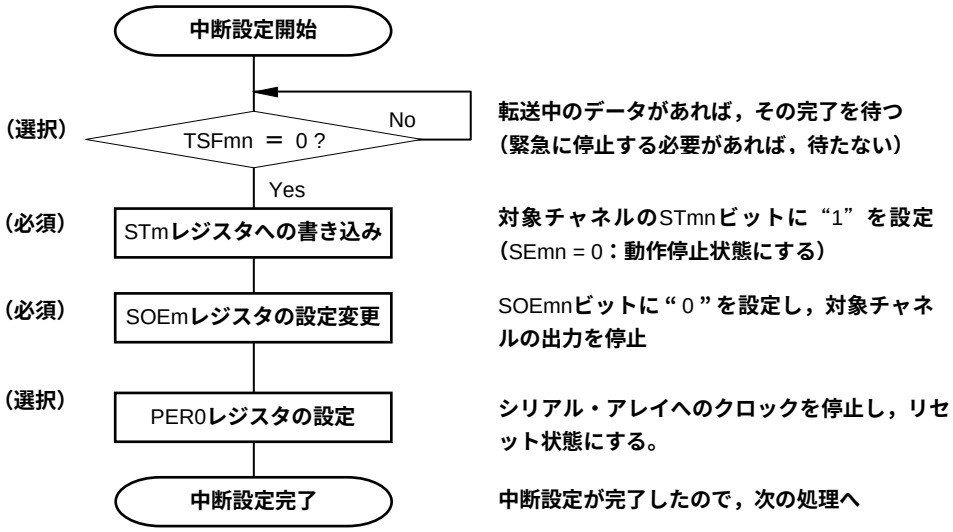
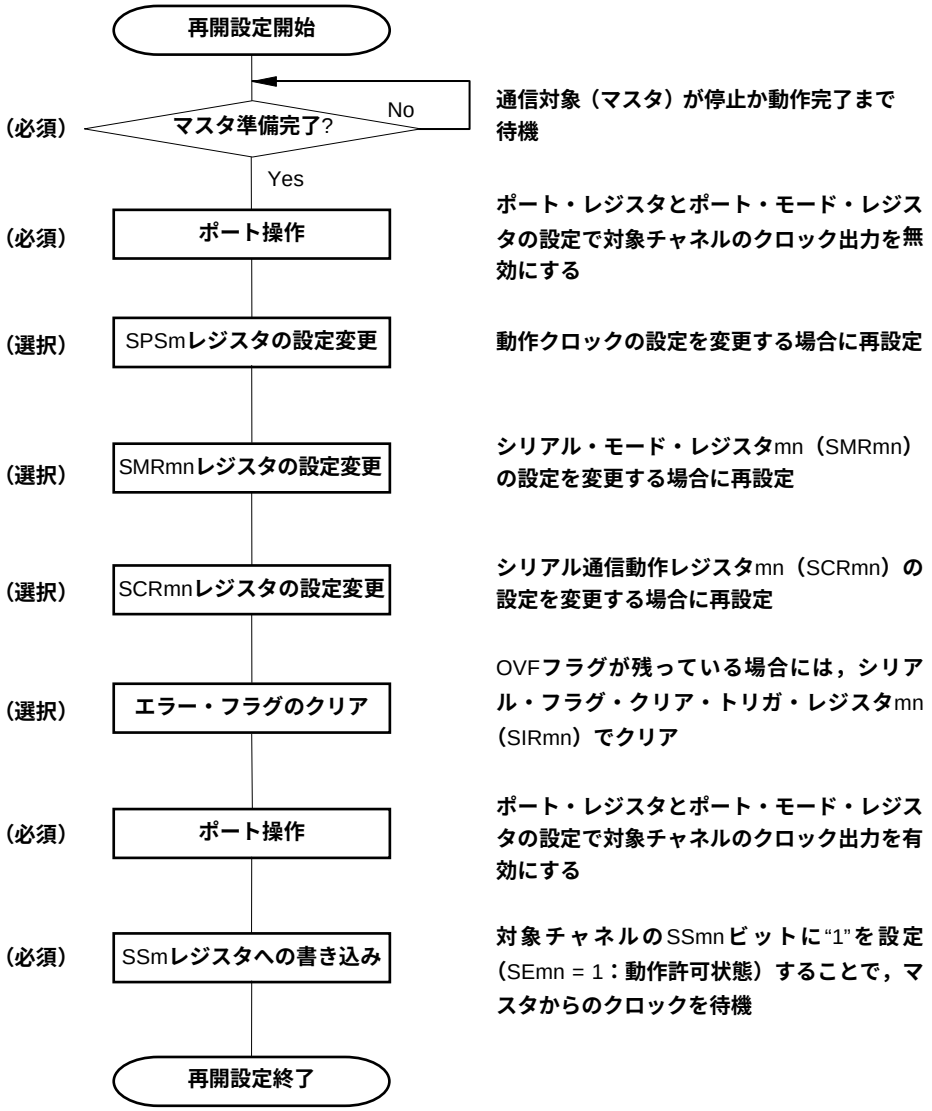


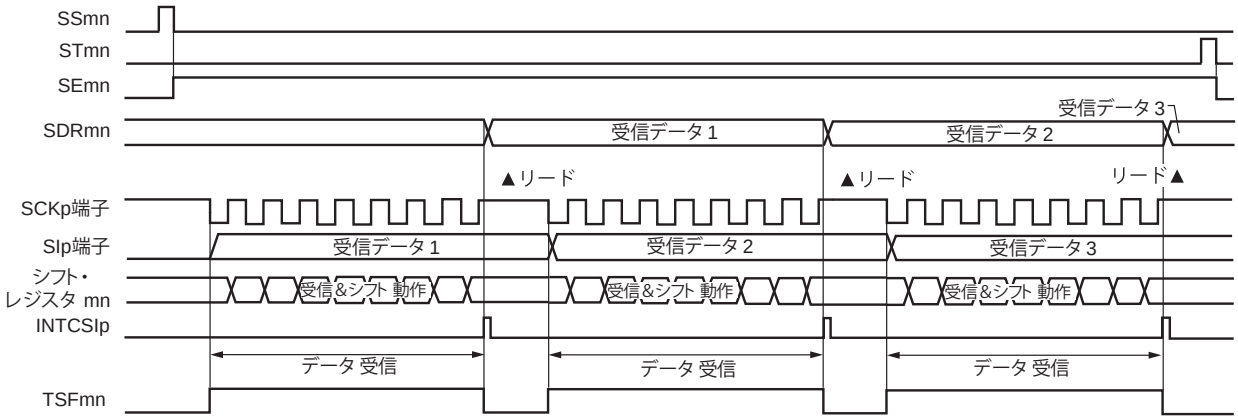
図12－60　スレーブ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー（シングル受信モード時）

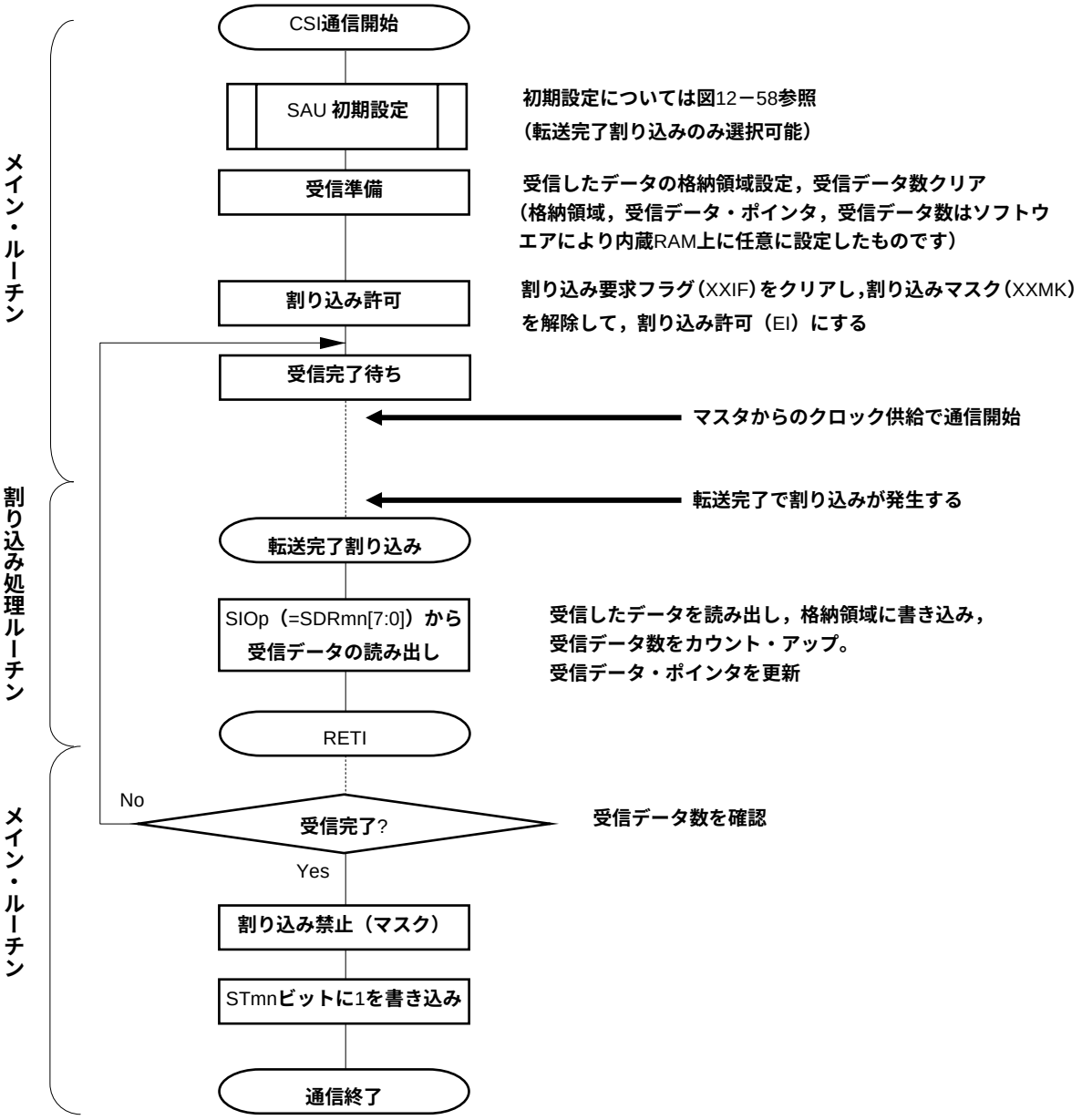
図12－61　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0-3）　p：CSI**番号**（p = 00, 01, 10, 11, 20, 21, 30, 31）

mn = 00-03, 10-13

図12－62　スレーブ受信（シングル受信モード時）のフロー・チャート



12. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCK00, SI00, SOm0	SCK01, SI01, SOm1	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. f_{MCK}/6 [Hz]注1, 2							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注1.　SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{SCK}：シリアル・クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(1) レジスタ設定

図12－63 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）のスレーブ送受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1注	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定／受信データ・レジスタ							

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 0/1	SOm2 0/1	SOm1 0/1	SOm0 0/1

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注 SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

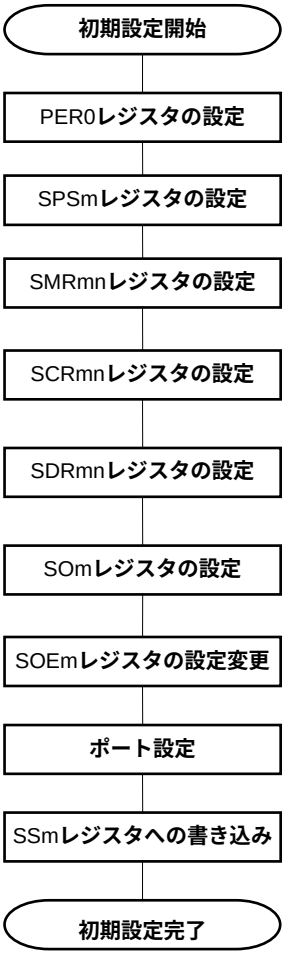
注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

2. □ ：CSIスレーブ送受信モードでは設定固定 ■ ：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図12－64　スレーブ送受信の初期設定手順



シリアル・アレイ・ユニットへのリセット状態を解除し，クロック供給開始

動作クロックの設定

動作モードなどの設定

通信フォーマットの設定

ボー・レート設定（ビット15-9）を0000000Bに設定

シリアル・データ（SOmn）の初期出力レベルを設定

SOEmnビットに“1”を設定し，対象チャネルのデータ出力を許可

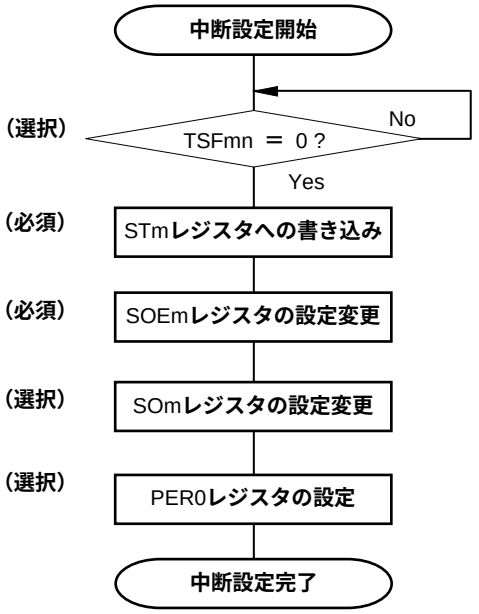
ポート・レジスタとポート・モード・レジスタの設定で対象チャネルのデータ出力を有効にする

対象チャネルのSSmnビットに“1”を設定（SEmn = 1：動作許可状態にする）

初期設定完了。
SIOpレジスタ（SDRmnレジスタのビット7-0）に送信データを設定することで，マスタからのクロックを待機

注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図12－65　スレーブ送受信の中断手順



転送中のデータがあれば，その完了を待つ（緊急に停止する必要があれば，待たない）

対象チャネルのSTmnビットに“1”を設定（SEmn = 0：動作停止状態にする）

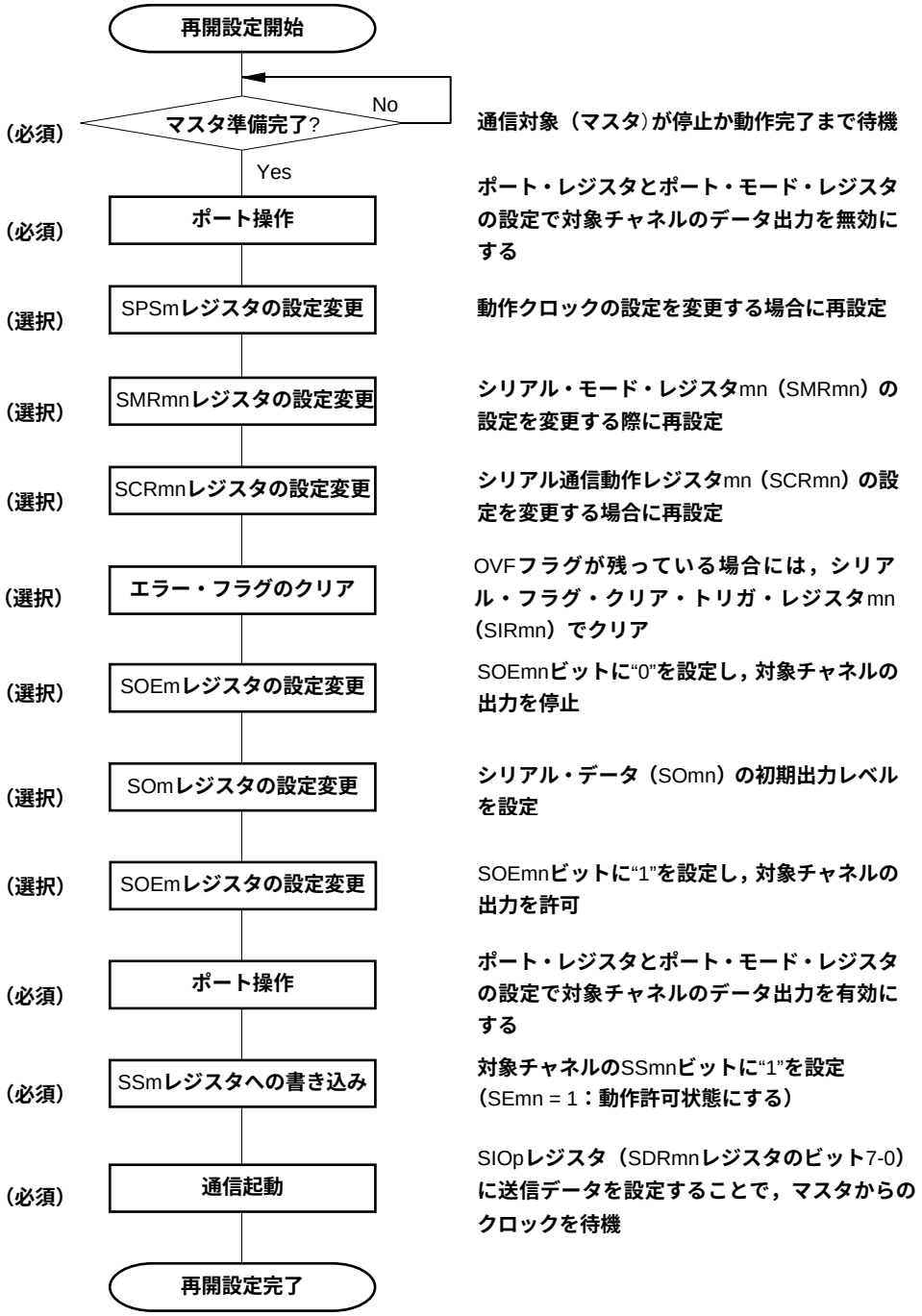
SOEmnビットに“0”を設定し，対象チャネルの出力を停止

緊急停止時に必要に応じて，対象チャネルのシリアル・データ（SOmn）のレベルを変更

シリアル・アレイへのクロックを停止し，リセット状態にする。

中断設定が完了したので，次の処理へ

図12－66　スレーブ送受信の再開設定手順

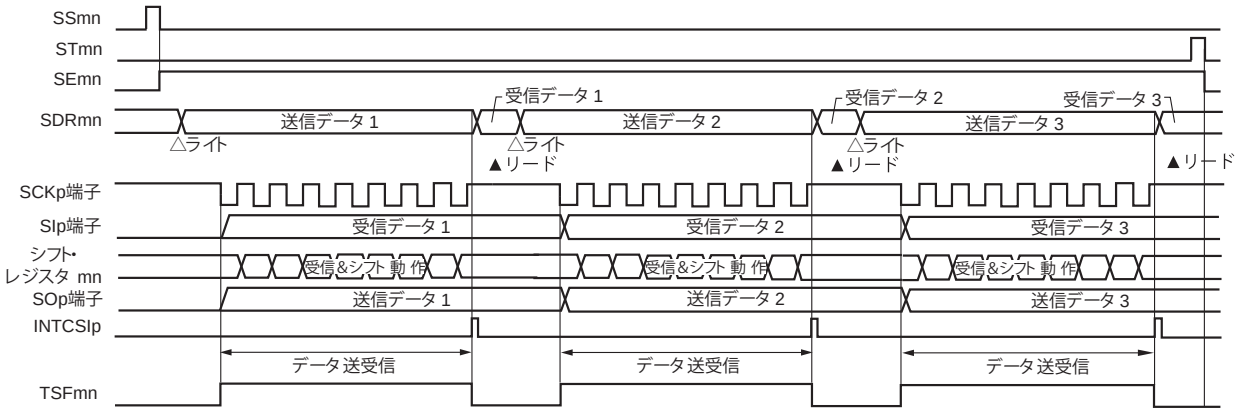


注意 1.　**マスタからのクロックが開始される前に，必ず送信データを**SIOp**レジスタへ設定してください。**

2.　**中断設定で**PER0**を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。**

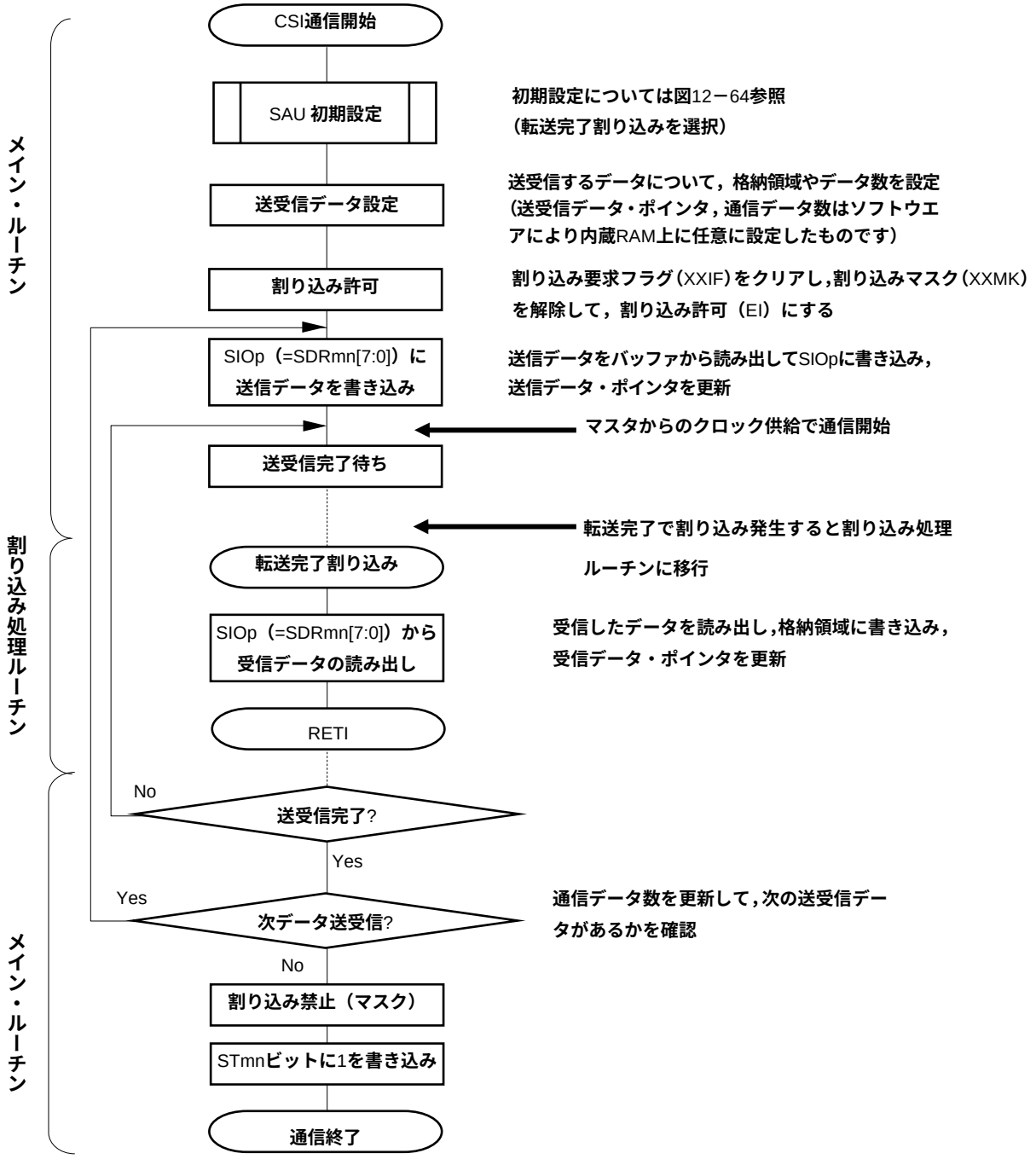
(3) 処理フロー（シングル送受信モード時）

図12－67　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31），mn = 00-03, 10-13

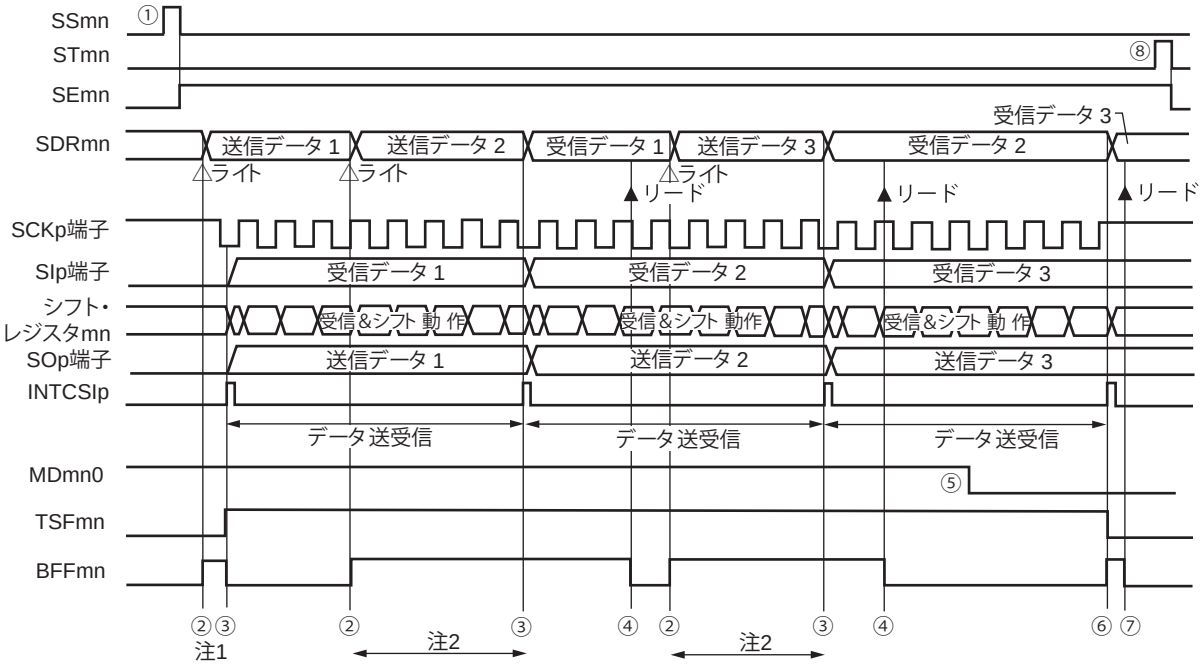
図12－68　スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

（4）処理フロー（連続送受信モード時）

図12－69　**スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ**1**：**DAPmn =0, CKPmn = 0**）**



注1.　**シリアル・ステータス・レジスタ**mn（SSRmn）**の**BFFmn**ビットが“**1**”の期間（有効なデータがシリアル・データ・レジスタ**mn（SDRmn）**に格納されている時）に**SDRmn**レジスタに送信データを書き込むと，送信データが上書きされます。**

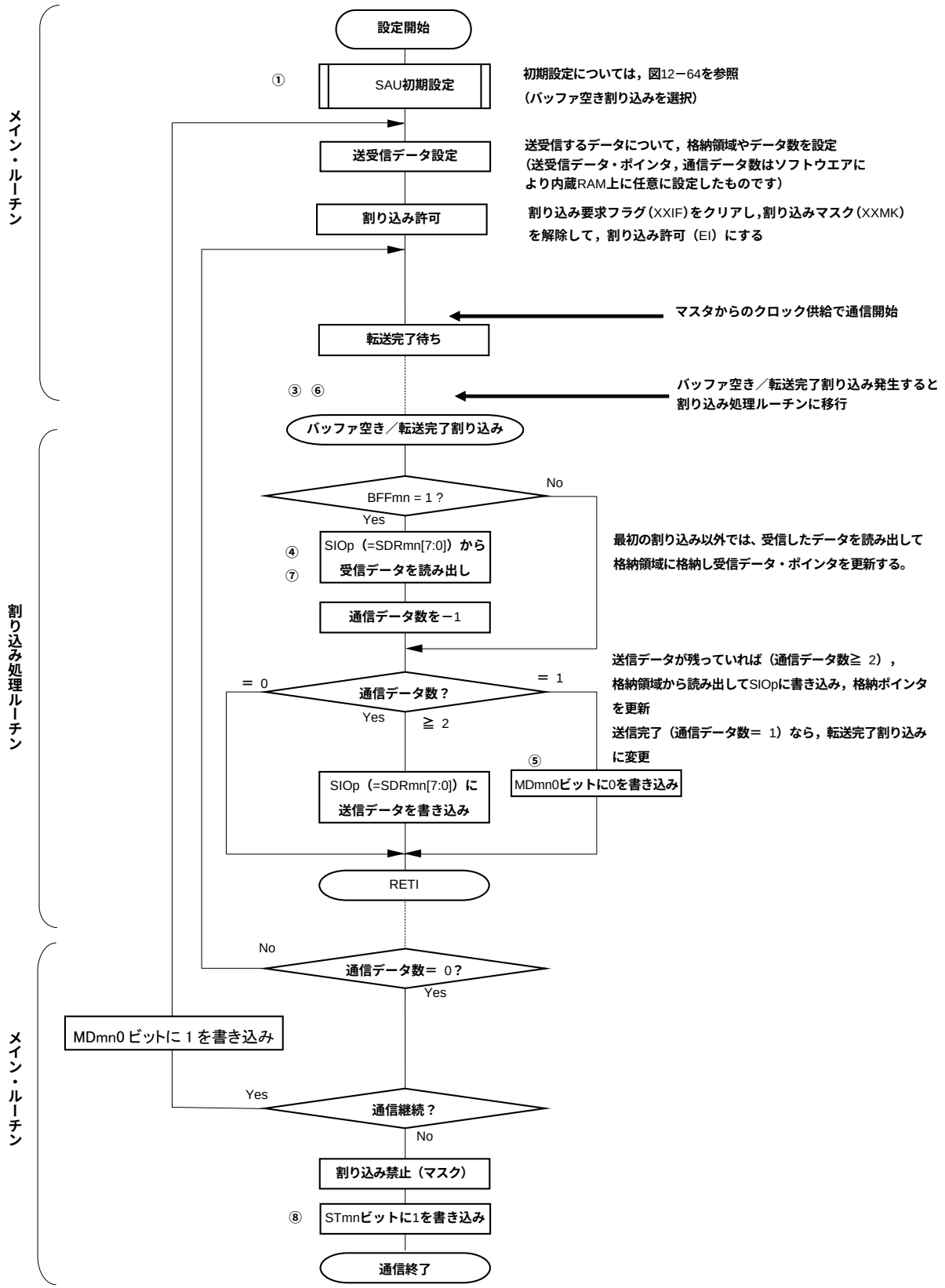
2.　**この期間に**SDRmn**レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。**

注意　**シリアル・モード・レジスタ**mn（SMRmn）**の**MDmn0**ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

備考1.　**図中の①~⑧は，図**12－70　**スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。**

2.　m**：ユニット番号（**m = 0, 1**）**　n**：チャネル番号（**n = 0-3**）**　p**：**CSI**番号（**p = 00, 01, 10, 11, 20, 21, 30, 31**）**，mn = 00-03, 10-13

図12－70 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①~⑧は，図12－69 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

12. 5. 7　SNOOZEモード機能

STOPモード時にSCKp端子入力の検出によりCSIの受信動作をさせるモードです。通常STOPモード時にCSIは通信動作を停止しますが，このモードを使うことで，SCKp端子入力の検出によってCPUを動作させずにCSIの受信動作を行うことができます。SNOOZEモードは，以下のチャネルのみ設定可能です。

- 20-64ピン製品：　CSI00
- 80-128ピン製品：　CSI00, CSI20

CSIをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（図12-72，図12-74　SNOOZEモード動作時のフローチャートを参照）

・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

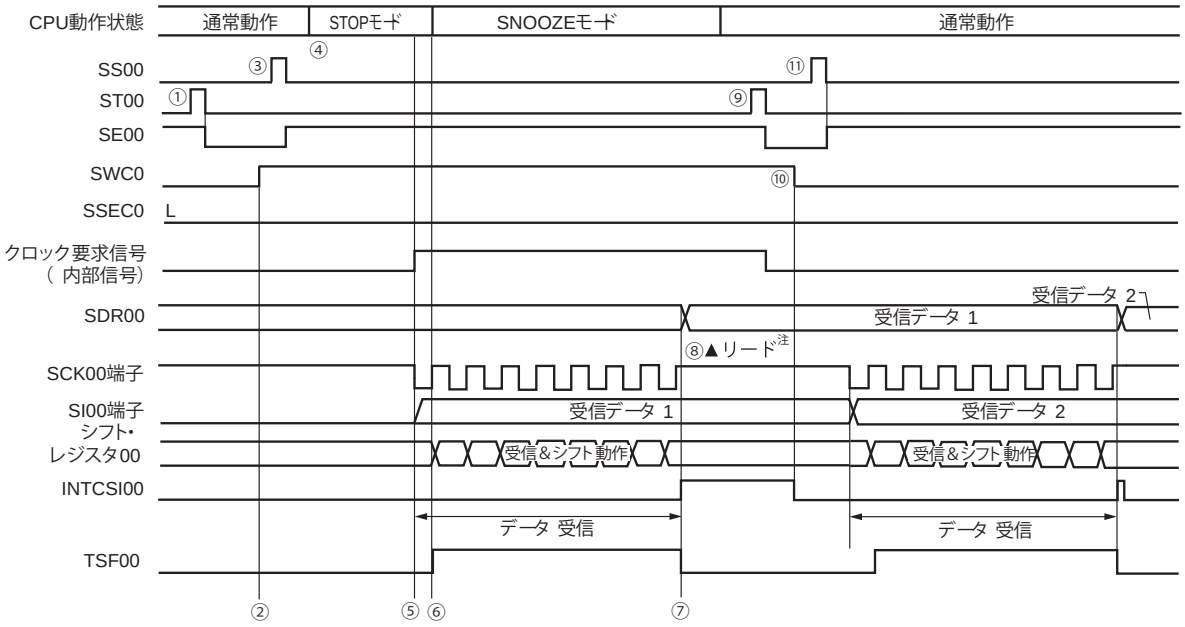
STOPモードに移行後，SCKp端子のエッジを検出すると，CSI受信を開始します。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2.　SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図12－71　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子のエッジ検出前に行ってください

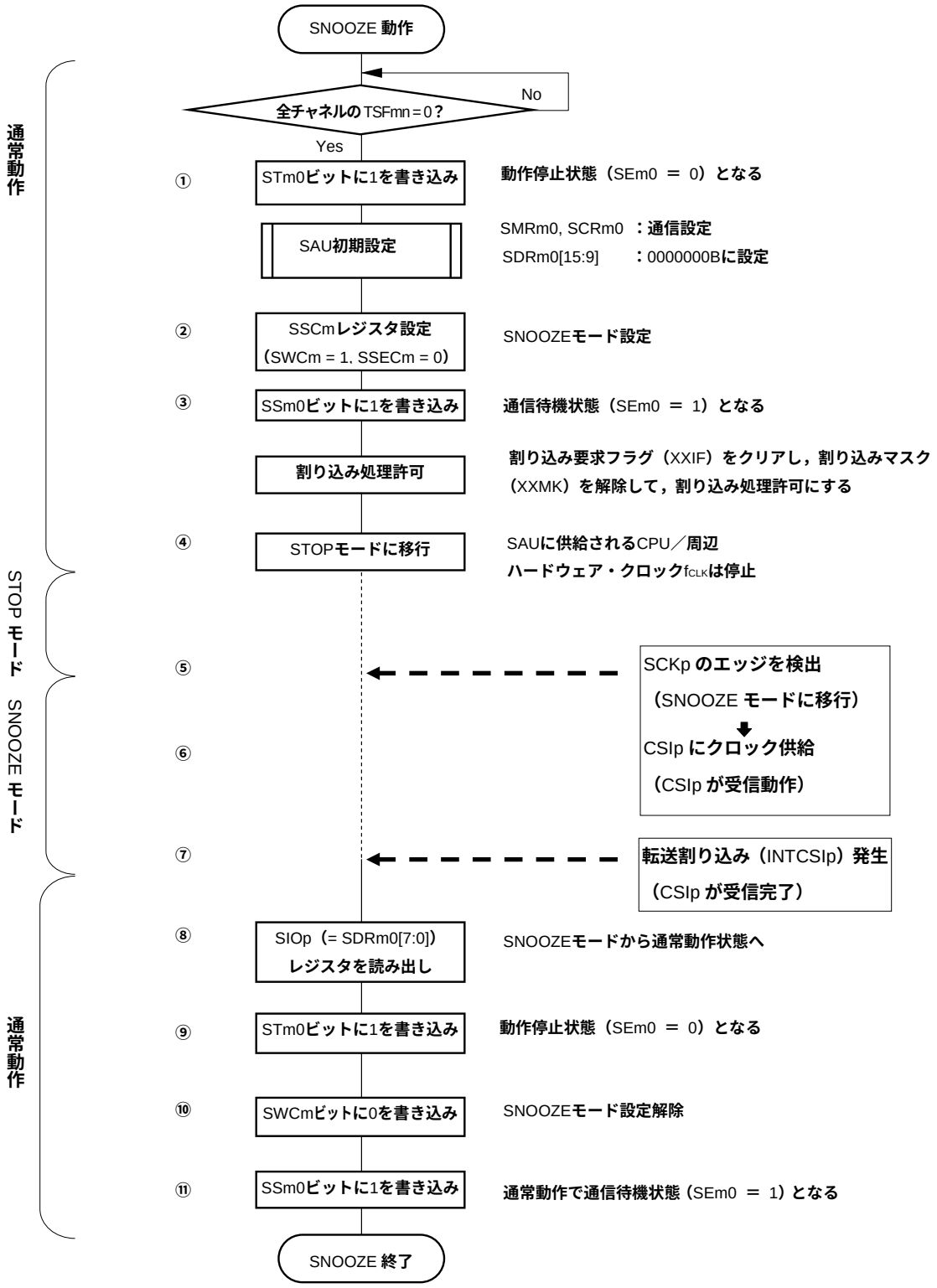
注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2.　SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。

備考1.　図中の①~⑪は，図12－72　SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪に対応しています。

2.　20-64ピン製品：　m = 0; p = 00
80-128ピン製品：　m = 0, 1; p = 00, 20

図12－72　SNOOZEモード動作（1回起動）時のフロー・チャート



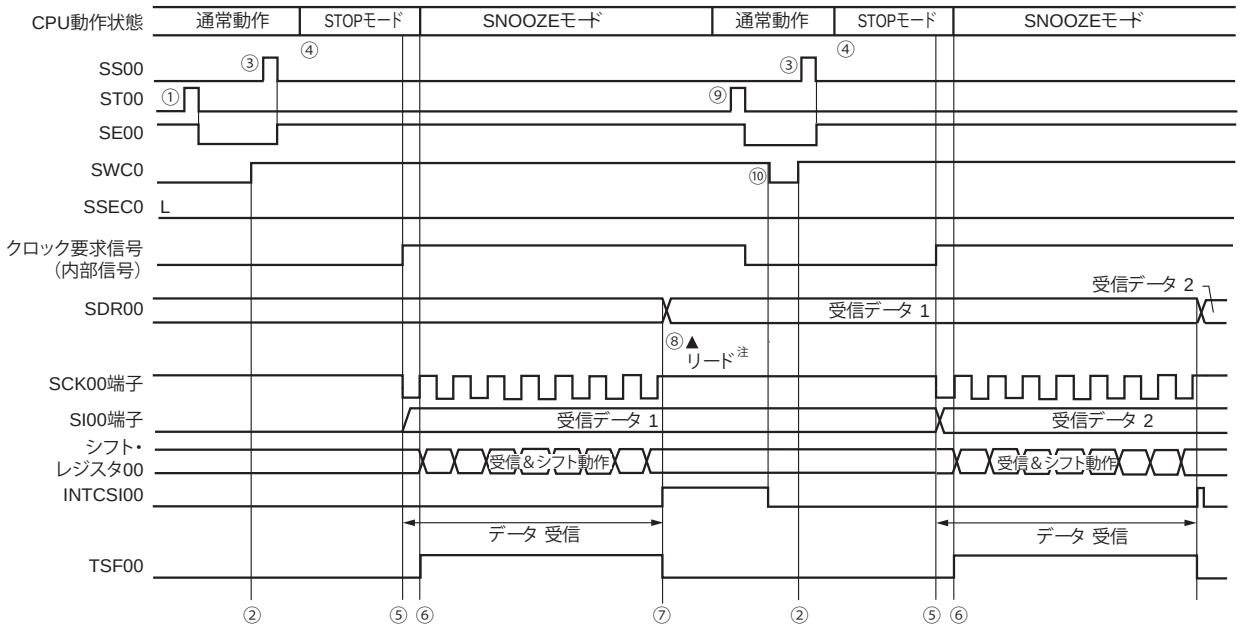
備考1.　**図中の①~⑪は，図12－73　SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。**

2.　20-64**ピン製品：**　m = 0; p = 00

80-128**ピン製品：**　m = 0, 1; p = 00, 20

（2）SNOOZEモード動作（連続起動）

図12－73　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注.　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子のエッジ検出前に行ってください。

注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

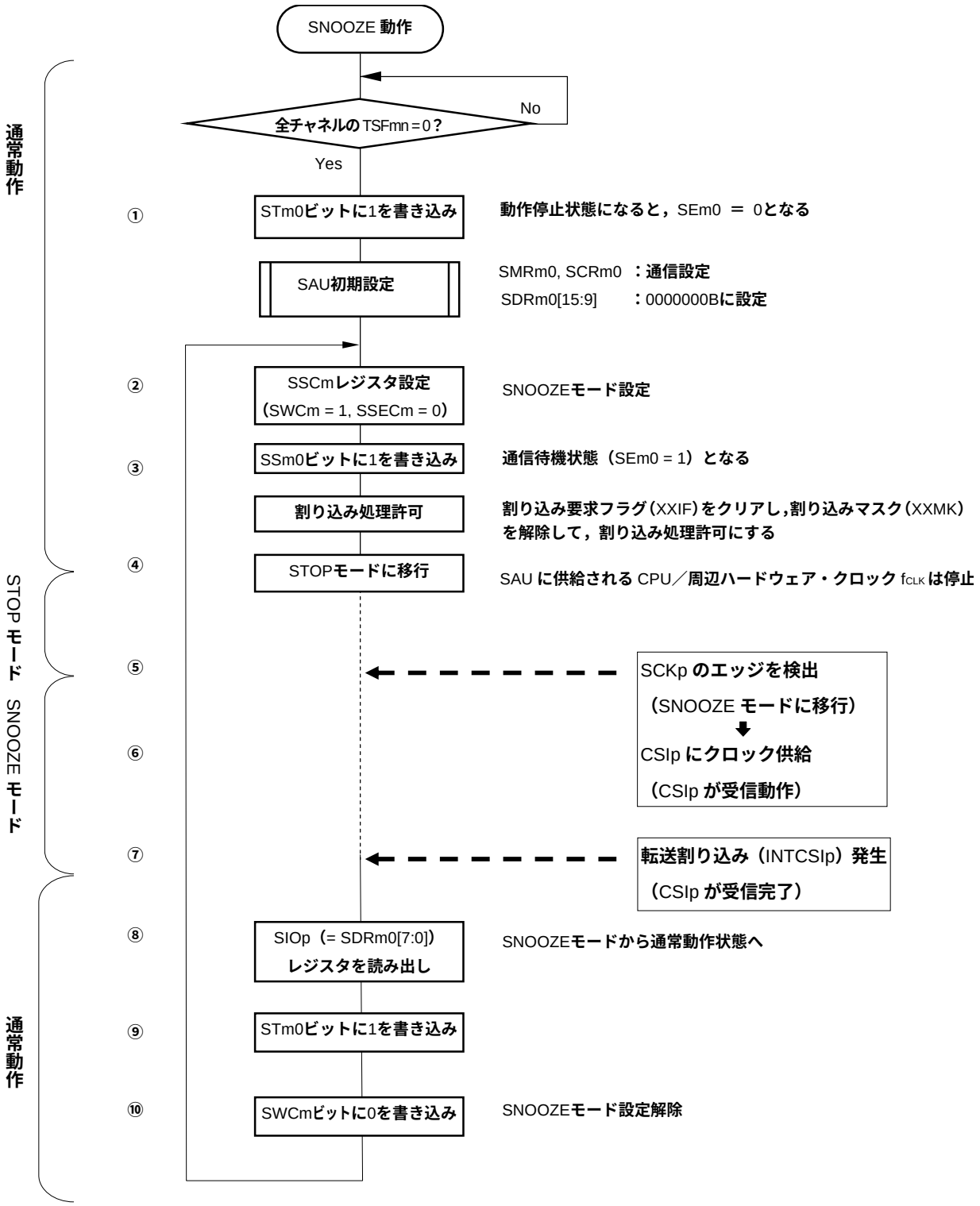
2.　SWCm = 1のときは，BFFm1，OVFm1フラグは動作しません。

備考1.　図中の①~⑩は，図12－74　SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。

2.　20-64ピン製品：　m = 0; p = 00

80-128ピン製品：　m = 0, 1; p = 00, 20

図12－74 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. **図中の①~⑩は，図**12－73 SNOOZE**モード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。**

2. 20-64**ピン製品：** m = 0; p = 00

80-128**ピン製品：** m = 0, 1; p = 00, 20

12. 5. 8　転送クロック周波数の算出

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）＝｛マスタが供給するシリアル・クロック（SCK）周波数｝注 [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9]は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表12－2　3線シリアルI/O動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	7.81 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	3.91 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.95 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don't care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

12. 5. 9　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）通信時におけるエラー発生時の処理手順

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）通信時にエラーが発生した場合の処理手順を図12－75に示します。

図12－75　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

12. 6　UART（UART0-UART3）通信の動作

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重調歩同期UART通信が実現できます。また，UART2とタイマ・アレイ・ユニット0（チャネル7）と外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

[データ送受信]
- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定（レベルを，反転するかどうかの選択）
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加，ストップ・ビット・チェック機能

[割り込み機能]
- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]
- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，以下のUARTのみ設定可能です。
- 20-64ピン製品：　UART0
- 80-128ピン製品：　UART0, UART2

UART2（ユニット1のチャネル0, 1）は，LIN-busに対応しています（30-128ピン製品のみ）。

[LIN-bus機能]
- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0（チャネル7）を使用

注　9ビット・データ長は，以下のUARTのみ対応しています。
- 20-64ピン製品：　UART0
- 80-128ピン製品：　UART0, UART2

UART0では，SAU0のチャネル0, 1を使用します。
UART1では，SAU0のチャネル2, 3を使用します。
UART2では，SAU1のチャネル0, 1を使用します。
UART3では，SAU1のチャネル2, 3を使用します。

○20, 24, 25ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11

○30, 32ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	–		–

○36, 40, 44ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○80, 100, 128ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

各チャネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば，ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00やCSI01を使用することはできません。しかし，UART0と同時にチャネルが異なるチャネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらもUARTにしか使用できません。

UARTの通信動作は，以下の4種類があります。

- UART送信　（12. 6. 1項を参照）
- UART受信　（12. 6. 2項を参照）
- LIN送信（UART2のみ）　（12. 7. 1項を参照）
- LIN受信（UART2のみ）　（12. 7. 2項を参照）

12. 6. 1　UART送信

UART送信は，RL78マイクロコントローラから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル0	SAU1のチャネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット注1			
転送レート注2	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2\times2^{15}\times128$）[bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注1.　9ビット・データ長は，以下のUARTのみ対応しています。

- 20-64ピン製品：　UART0
- 80-128ピン製品：　UART0, UART2

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2），mn = 00, 02, 10, 12

(1) レジスタ設定

図12－76　UART（UART0-UART3）のUART送信時のレジスタ設定内容例（1/2）

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn												MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0/1	0/1	0/1	0	0/1	0/1	0	1	0/1注1	0/1

パリティ・ビット設定
00B：パリティなし
01B：0パリティ付加
10B：偶数パリティ付加
11B：奇数パリティ付加

データ転送順序の選択
0：MSBファーストで出力を行う
1：LSBファーストで出力を行う

ストップ・ビット設定
01B：1ビット付加
10B：2ビット付加

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：TXDq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0注2	送信データ設定							

TXDq

(d) シリアル出力レベル・レジスタm（SOLm）　・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm														SOLm2		SOLm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

0：非反転（通常）送信
1：反転送信

注 1.　SCR00レジスタと，80-128ピン製品のSCR10レジスタのみ。その他は1固定になります。

2.　9ビット・データ長での通信を行う場合は，SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，以下のUARTのみです。

- 20-64ピン製品　：　UART0
- 80-128ピン製品：　UART0, UART2

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3），
mn = 00, 02, 10, 12

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

図12－76　UART（UART0-UART3）のUART送信時のレジスタ設定内容例（2/2）

(e) シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する

SOm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
0	0	0	0	×	×	×	×	0	0	0	0	×	0/1注	×	0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

SOEm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SOEm3	SOEm2	SOEm1	SOEm0
0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

(g) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

SSm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SSm3	SSm2	SSm1	SSm0
0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

注　該当するチャネルのSOLmnビットに0を設定している場合は“1”に，SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）

mn = 00, 02, 10, 12

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図12－77　UART送信の初期設定手順

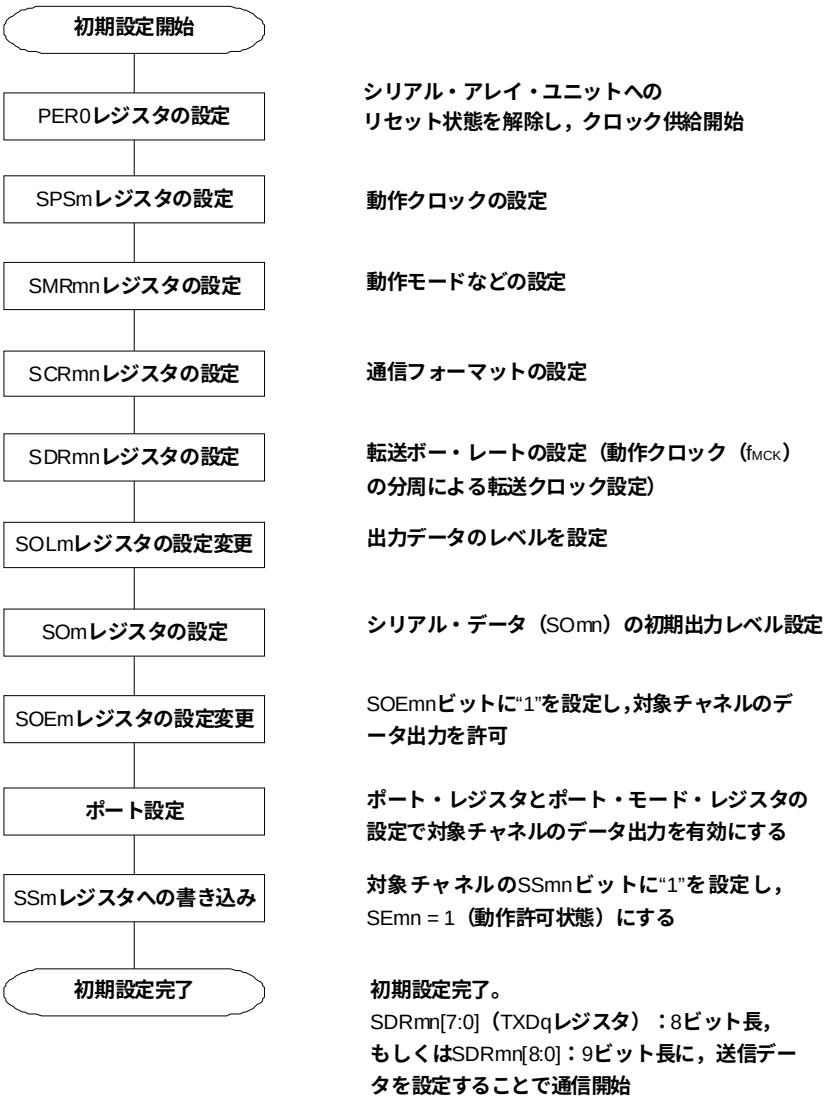


図12－78　UART送信の中断手順

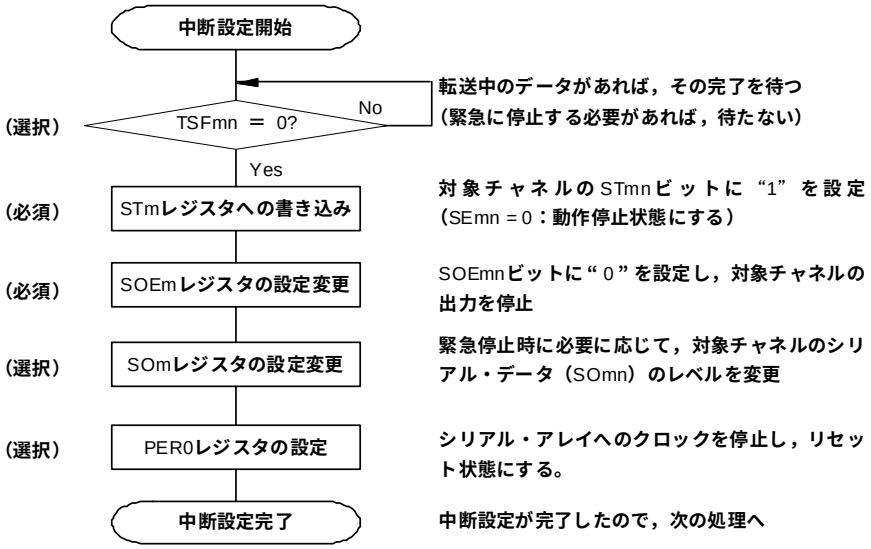
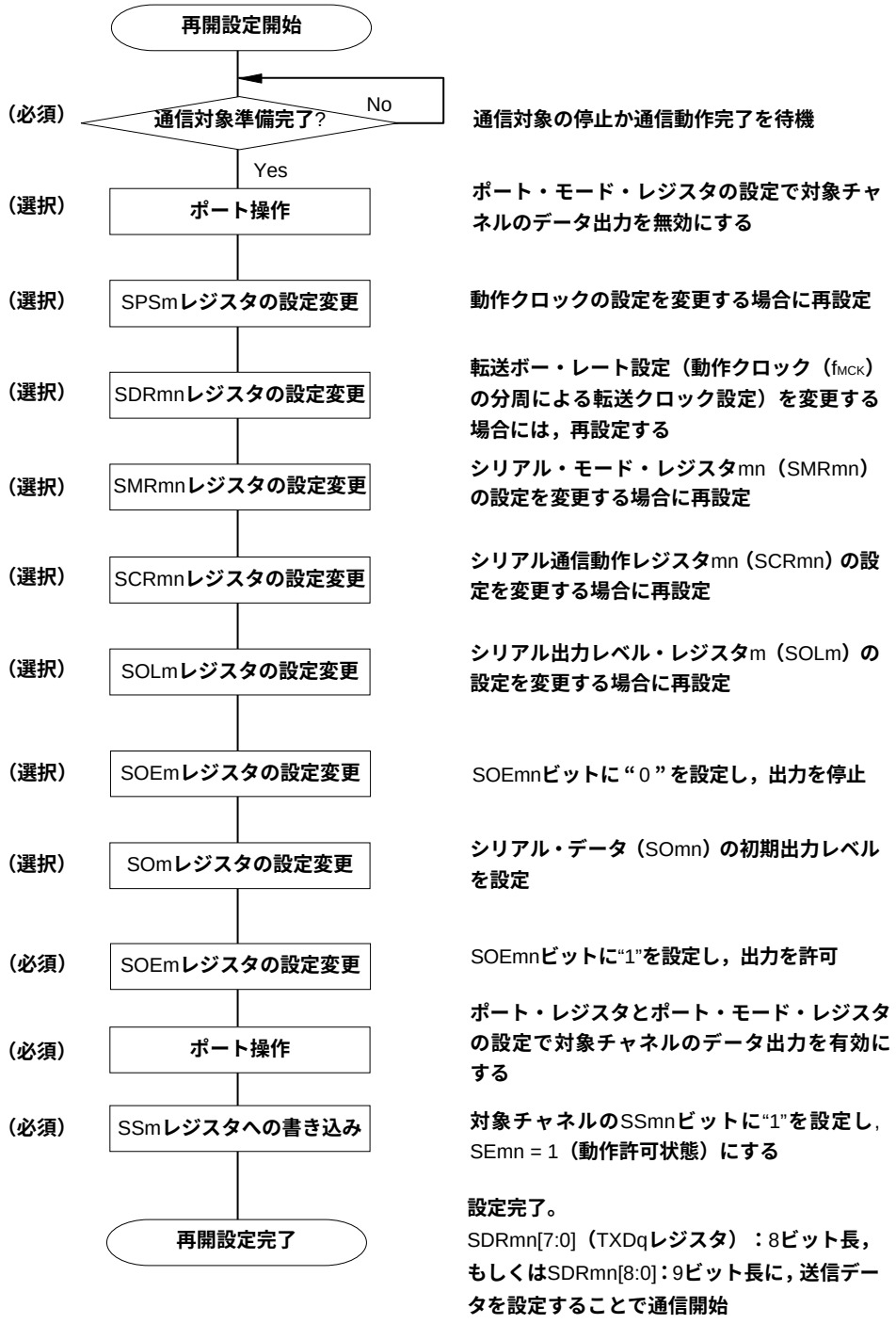


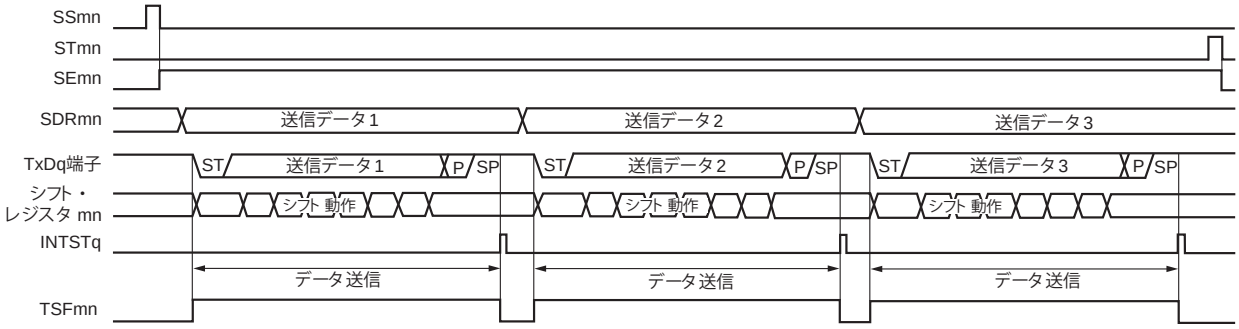
図12－79　UART送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

(3) 処理フロー（シングル送信モード時）

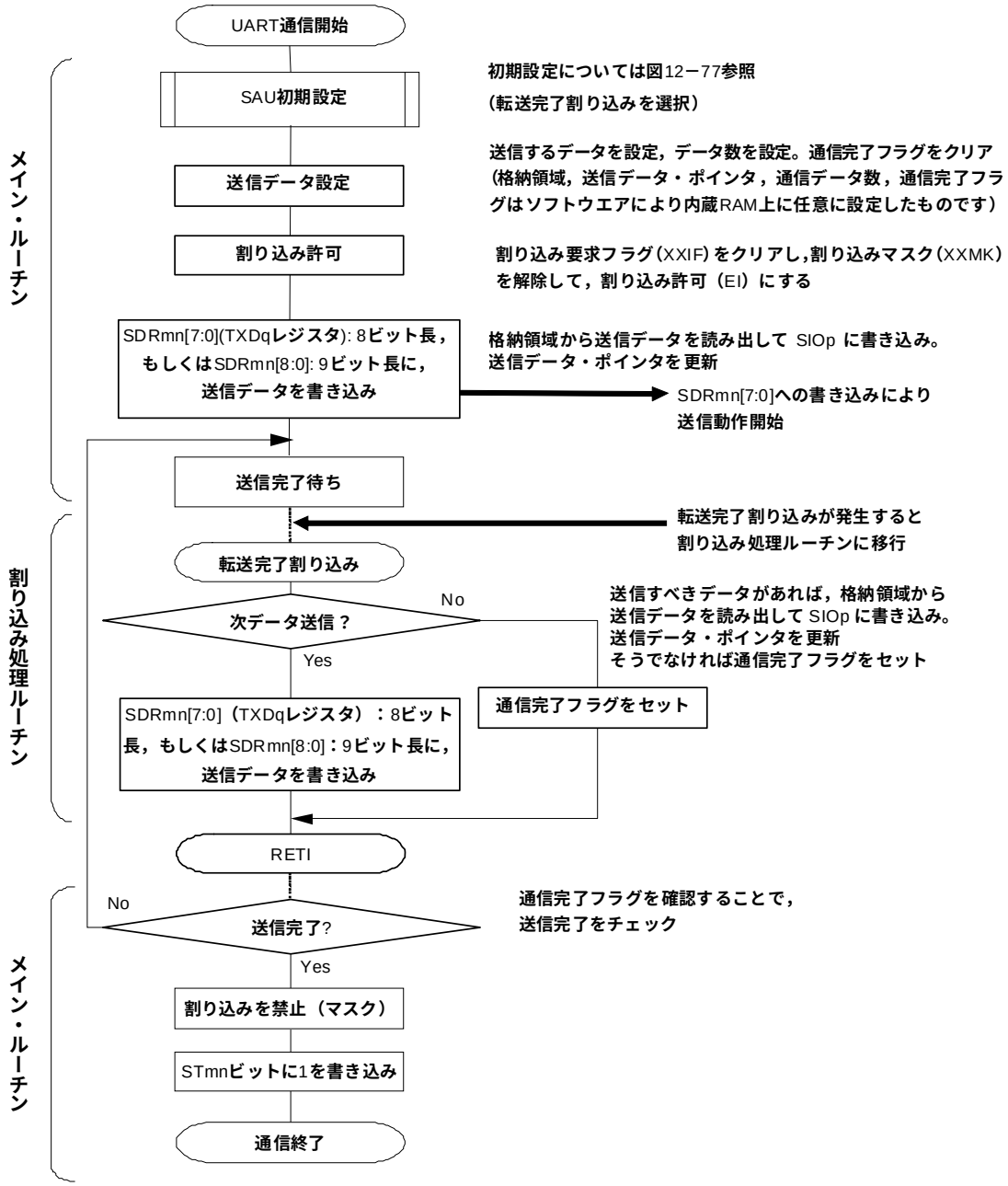
図12－80　UART送信（シングル送信モード時）のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）

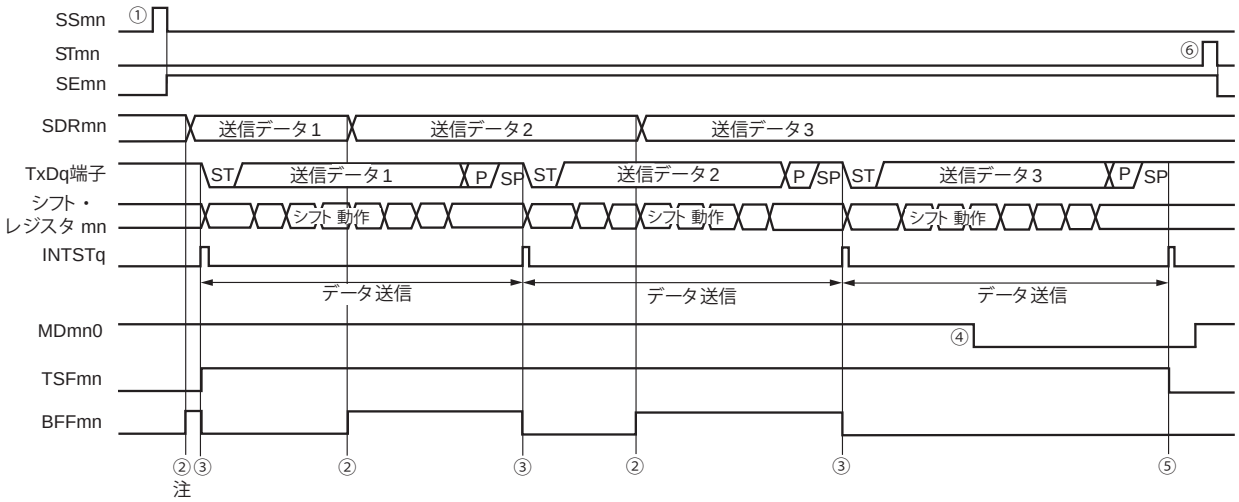
mn = 00, 02, 10, 12

図12－81　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－82　UART送信（連続送信モード時）のタイミング・チャート

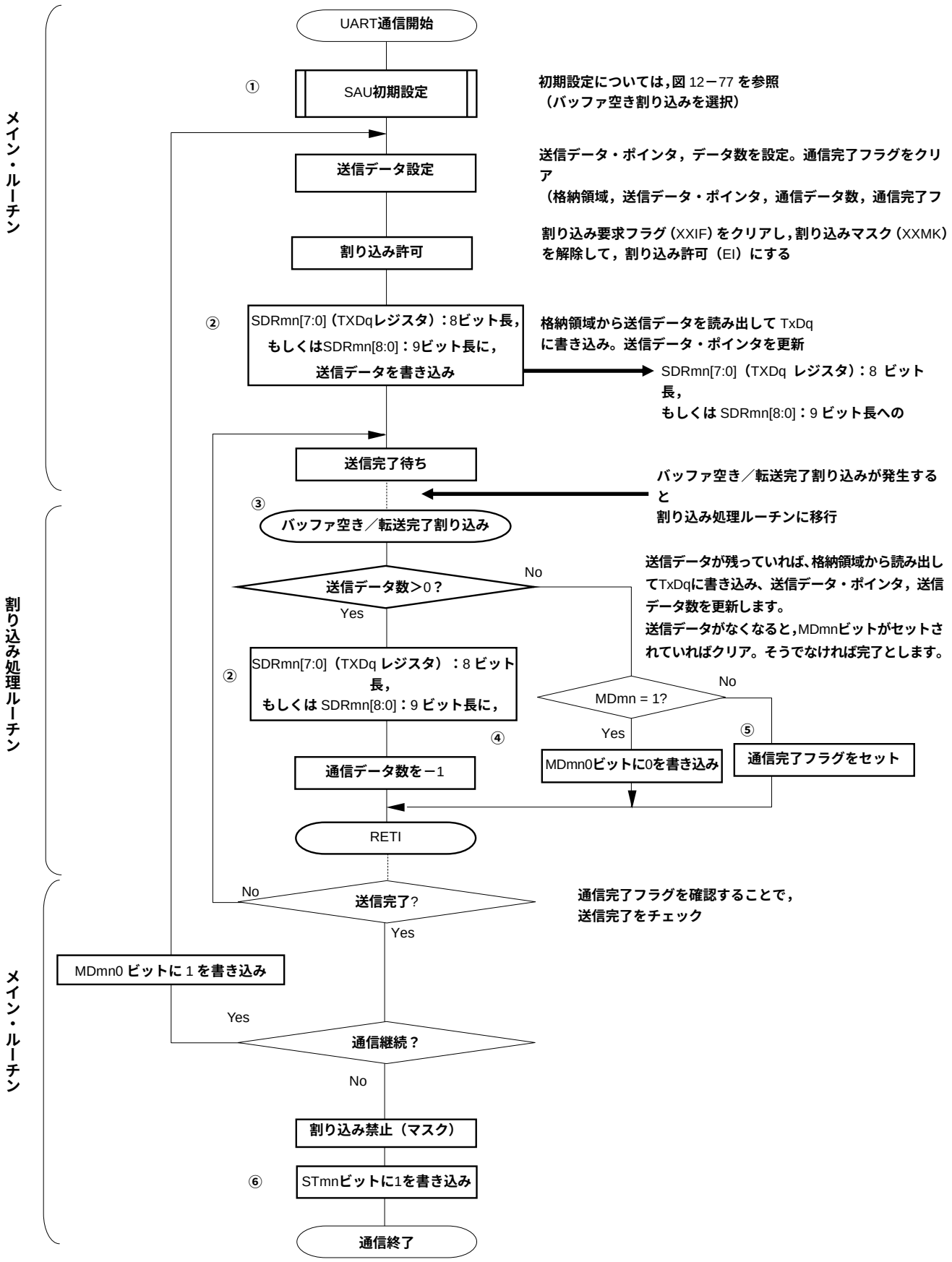


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0-3）
mn = 00, 02, 10, 12

図12－83 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は，図12－82 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

12. 6. 2　UART受信

UART受信は，他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャネル	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル1	SAU1のチャネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）			
転送データ長	7ビットまたは8ビットまたは9ビット注1			
転送レート注2	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・パリティ判定なし（0パリティ） ・偶数パリティ・チェック ・奇数パリティ・チェック			
ストップ・ビット	1ビット ・チェック			
データ方向	MSBファーストまたはLSBファースト			

注1.　9ビット・データ長は，以下のUARTのみ対応しています。

・20-64ピン製品：　UART0のみ

・80-128ピン製品：　UART0, UART2のみ

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

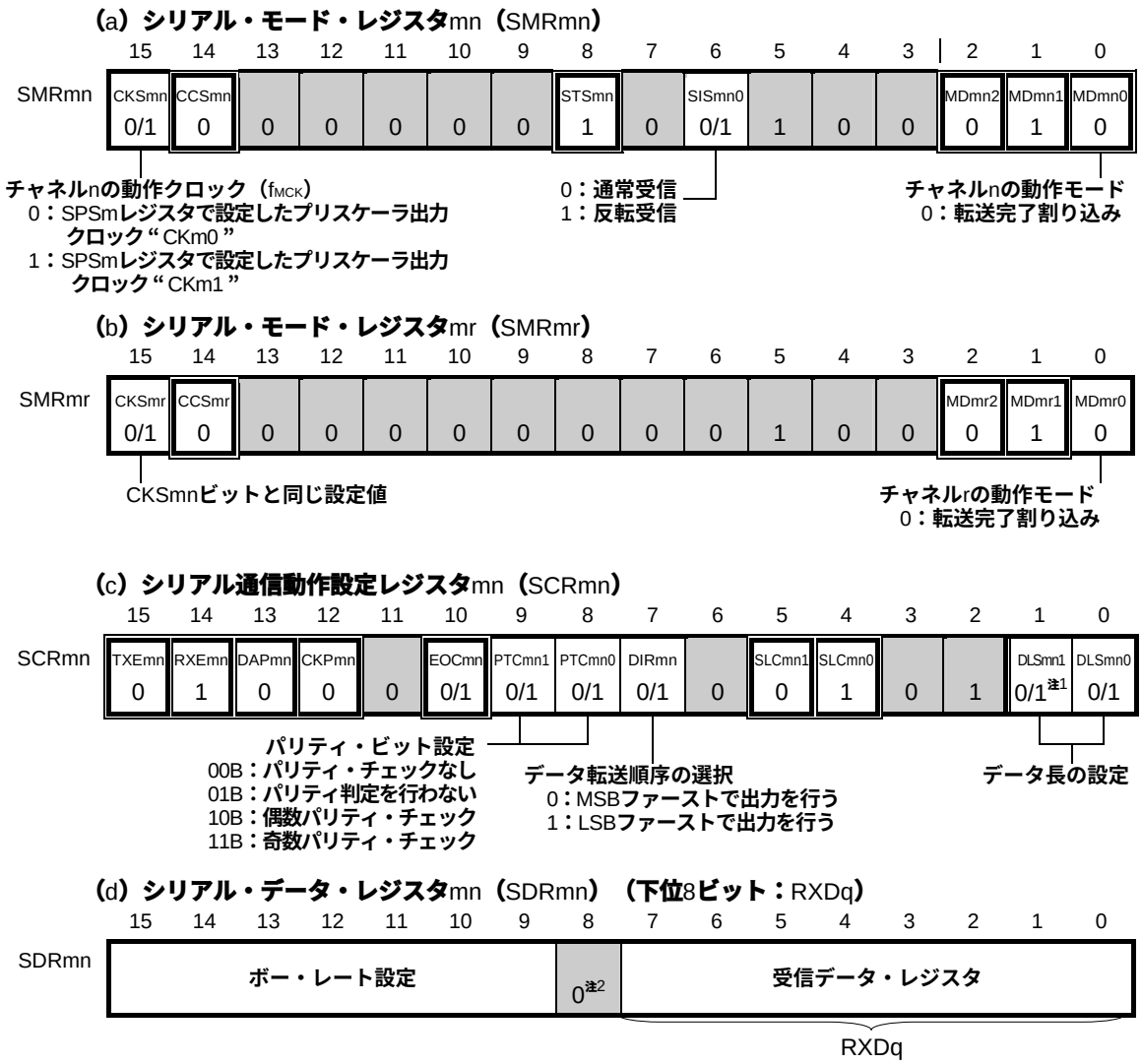
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

(1) レジスタ設定

図12－84 UART（UART0-UART3）のUART受信時のレジスタ設定内容例（1/2）



注 1. SCR01レジスタと，80-128ピン製品のSCR11レジスタのみ。その他は1固定になります。

2. 9ビット・データ長での通信を行う場合は，SDRm1レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，以下のUARTのみです。

- 20-64ピン製品： UART0
- 80-128ピン製品： UART0, UART2

注意 UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

r：チャネル番号（r = n－1） q：UART番号（q = 0-3）

2. □：UART受信モードでは設定固定 ■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図12－84　UART（UART0-UART3）のUART受信時のレジスタ設定内容例（2/2）

(e) シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 ×	SOm2 ×	SOm1 ×	SOm0 ×

(f) シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(g) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

備考1.　m：**ユニット番号**（m = 0, 1）

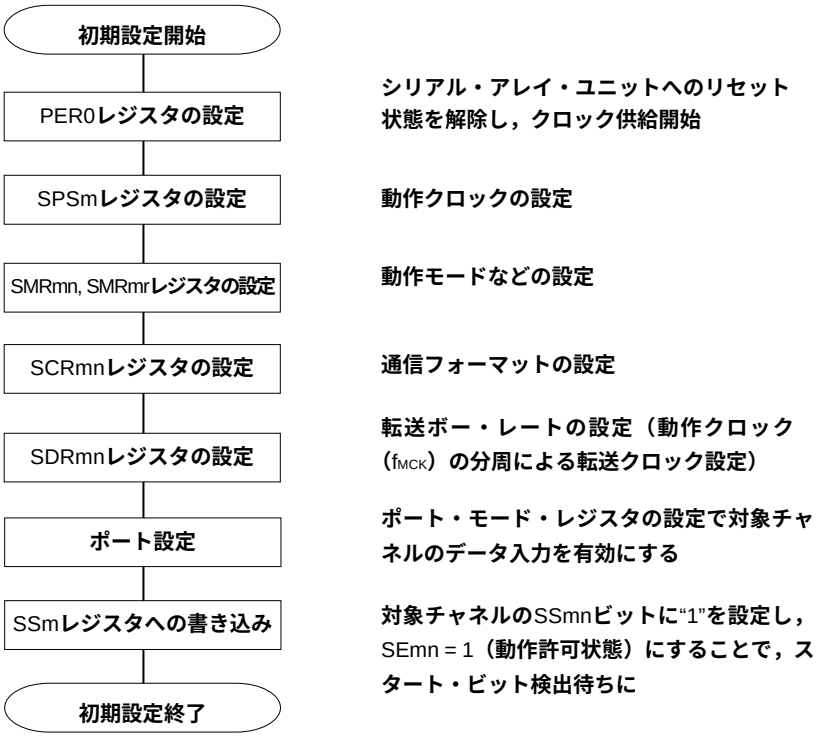
2.　□：**設定不可（初期値を設定）**

×：**このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）**

0/1：**ユーザの用途に応じて0または1に設定**

（2）操作手順

図12－85　UART受信の初期設定手順



注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図12－86　UART受信の中断手順

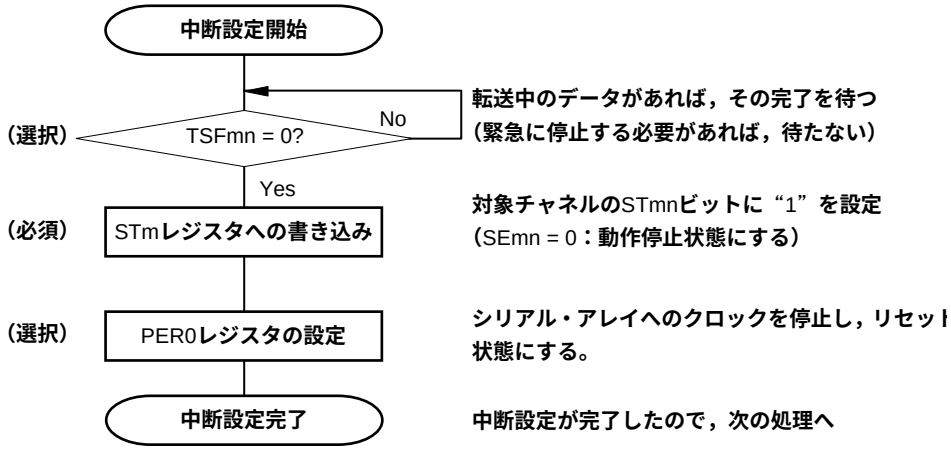
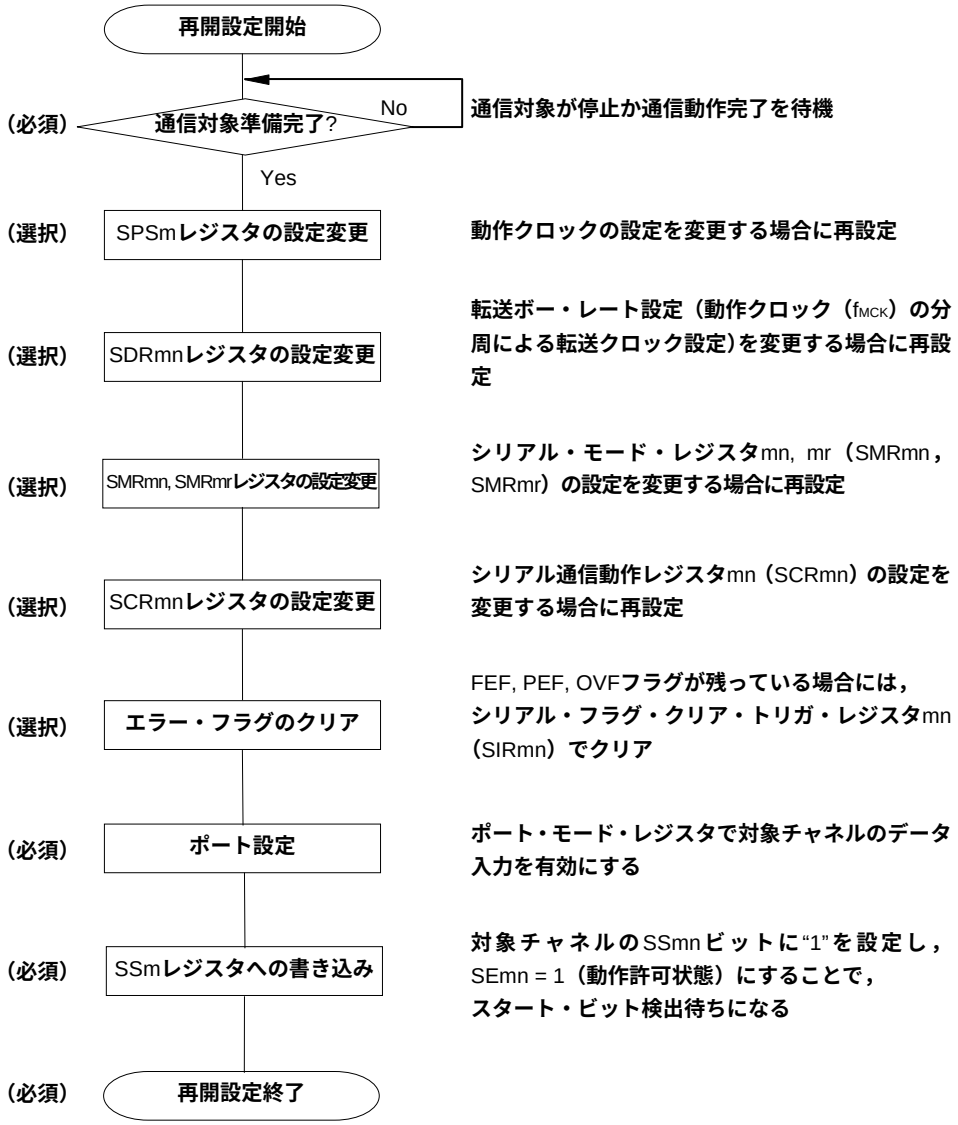


図12－87　UART受信の再開設定手順

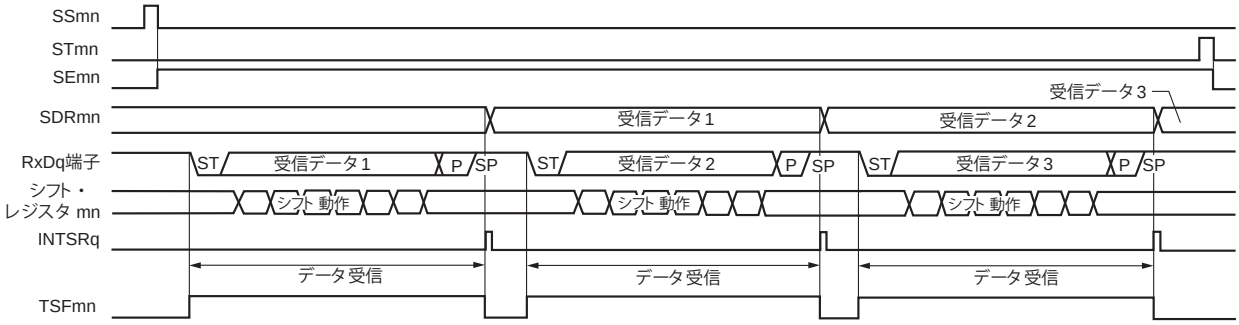


注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

(3) 処理フロー

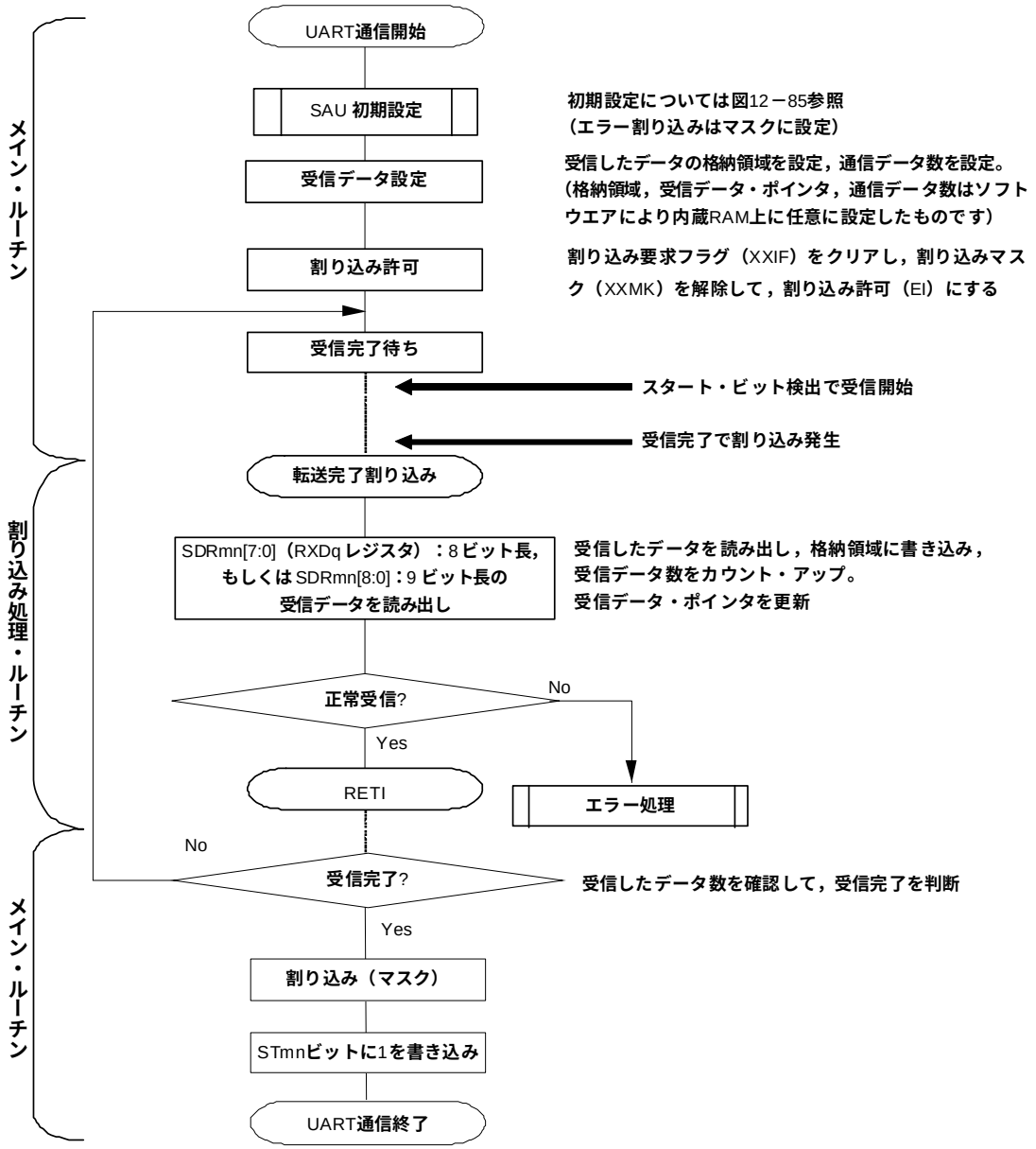
図12－88　UART受信のタイミング・チャート



備考　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 1, 3），mn = 01, 03, 11, 13

r：**チャネル番号**（r = n－1）　q：UART**番号**（q = 0-3）

図12－89　UART受信のフロー・チャート



12. 6. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により，UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは，以下のチャネルのみ設定可能です。

- 20-64ピン製品：　UART0
- 80-128ピン製品：　UART0, UART2

UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（図12－92，図12－94　SNOOZEモード動作時のフローチャートを参照）

- SNOOZEモード時は，UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表12-3を参照してSPSmレジスタ，SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット，SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可／停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

STOPモードに移行後，RxDq のエッジを検出（スタート・ビット入力）すると，UART受信を開始します。

注意1. SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは4800bpsのみです。

3. SWCm=1の設定では，STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は，正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
   - SWCm=1に設定後，STOPモードに移行する前に受信開始した場合
   - 他のSNOOZEモード中に受信開始した場合
   - STOPモードから割り込みなどで通常動作に復帰後，SWCm=0に戻す前に受信開始した場合

4. SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn、OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm＝１で使用するときは，SWC0=１に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RxDq）を読み出してください。

表12-3　SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (f_{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f_{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32MHz±1.0%注	$f_{CLK}/2^5$	105	2.27%	- 1.53%
24MHz±1.0%注	$f_{CLK}/2^5$	79	1.60%	- 2.18%
16MHz±1.0%注	$f_{CLK}/2^4$	105	2.27%	- 1.53%
12MHz±1.0%注	$f_{CLK}/2^4$	79	1.60%	- 2.19%
8MHz±1.0%注	$f_{CLK}/2^3$	105	2.27%	- 1.53%
6MHz±1.0%注	$f_{CLK}/2^3$	79	1.60%	- 2.19%
4MHz±1.0%注	$f_{CLK}/2^2$	105	2.27%	- 1.53%
3MHz±1.0%注	$f_{CLK}/2^2$	79	1.60%	- 2.19%
2MHz±1.0%注	$f_{CLK}/2$	105	2.27%	- 1.54%
1MHz±1.0%注	f_{CLK}	105	2.27%	- 1.57%

注　高速オンチップ・オシレータ・クロック周波数精度が±1.5%，±2.0%の場合は，次のように許容範囲が狭くなりす。

・f_{IH}±1.5%の場合は，上表の最大許容値に－0.5%，最小許容値に＋0.5%してください。

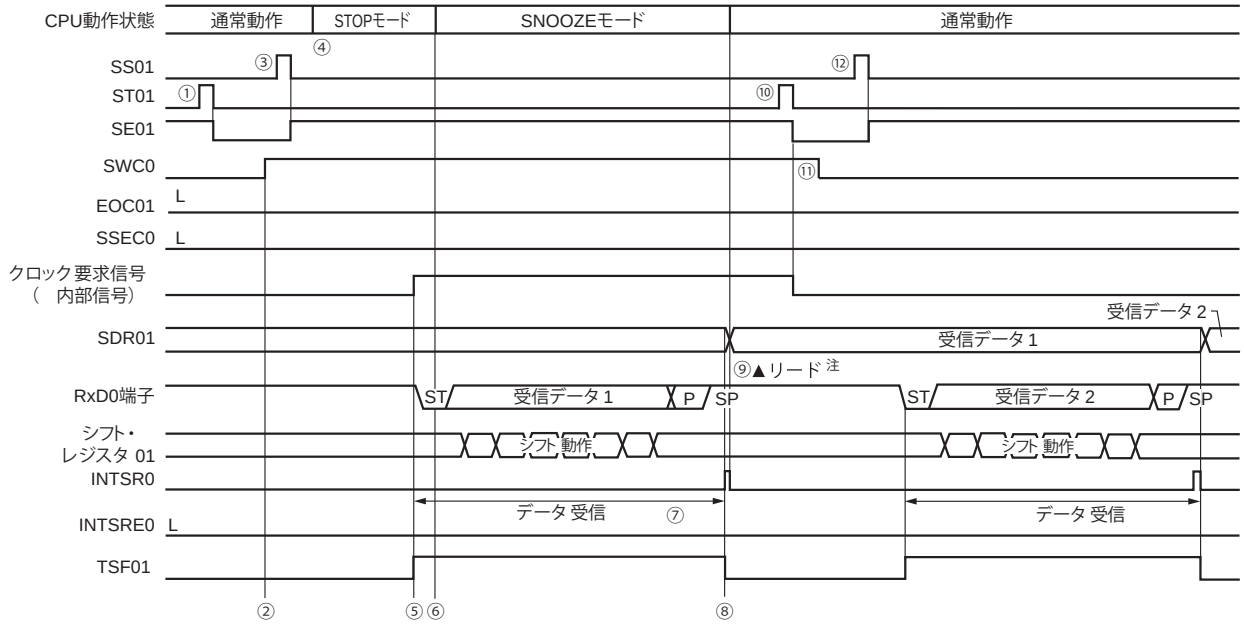
・f_{IH}±2.0%の場合は，上表の最大許容値に－1.0%，最小許容値に＋1.0%してください。

備考　最大許容値，最小許容値は，UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

（1）SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）

EOCm1 = 0のためSSECmビットの設定にかかわらず，通信エラーが発生してもエラー割り込み（INTSREq）は発生しません。転送完了割り込み（INTSRq）は発生します。

図12－90　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。
また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

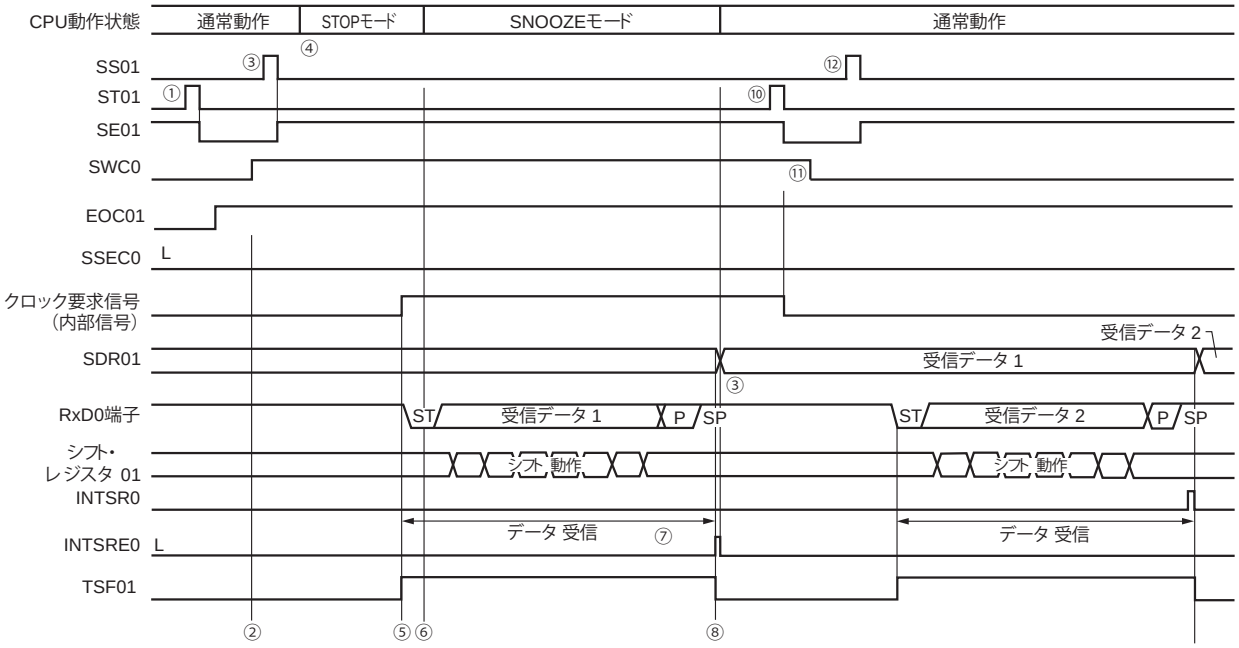
備考1.　図中の①~⑪は，図12－92　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの①~⑪に対応しています。

2.　20-64ピン製品：　m = 0; q = 0
80-128ピン製品：　m = 0, 1; q = 0, 2

（2）SNOOZEモード動作（EOCm1 = 1, SSECm = 0：エラー割り込み（INTSREq）発生許可）

EOCm1 = 1, SSECm = 0のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生します。

図12－91　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。

また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

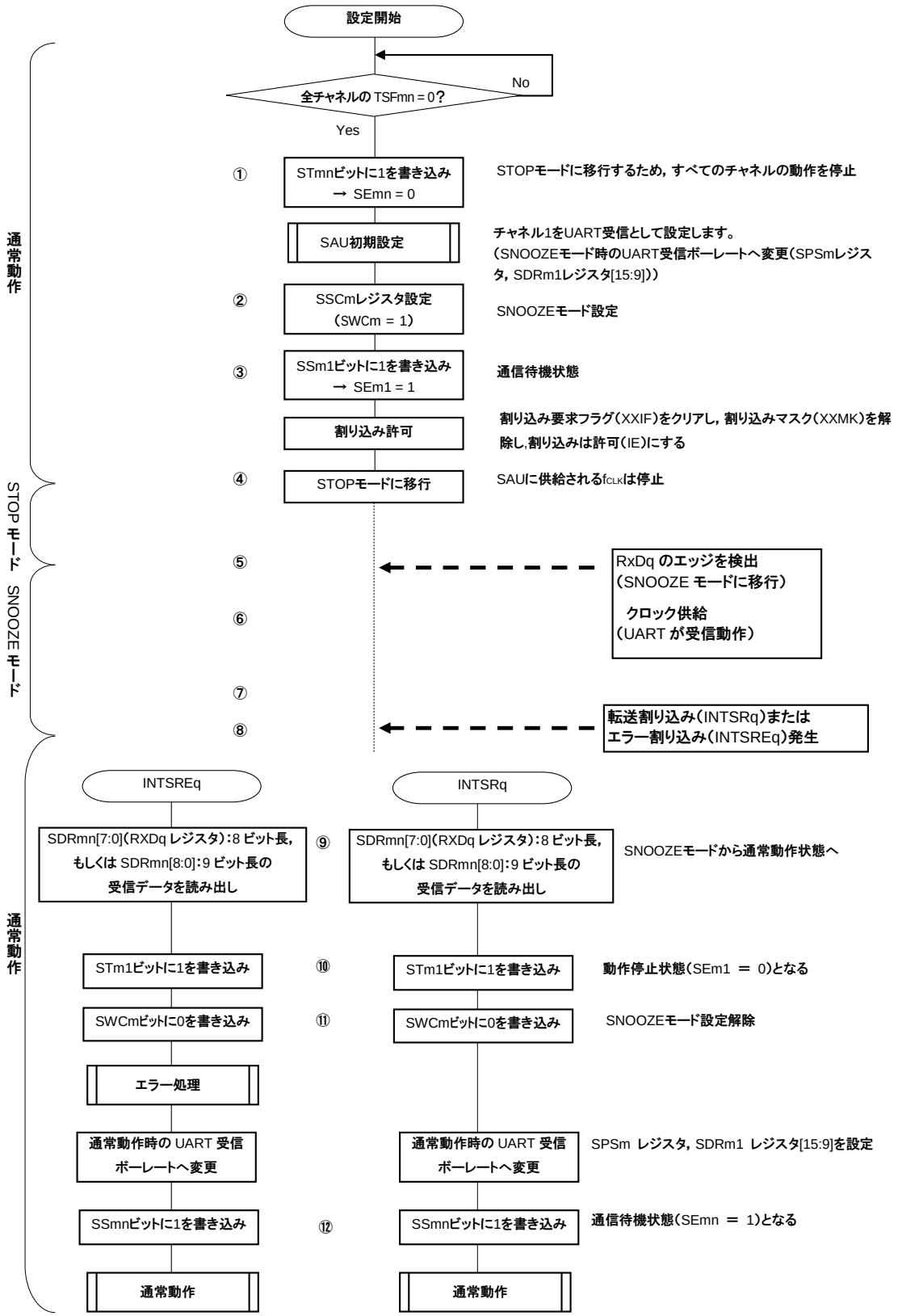
備考1.　図中の①~⑪は，図12－92　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの①~⑪に対応しています。

2.　20-64ピン製品：　m = 0; q = 0

80-128ピン製品：m = 0, 1; q = 0, 2

注　SWCm = 1の状態で，受信データの読み出しを行ってください。

図12ー92　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャート



備考1.　**図中の①~⑪は，図**12－90　SNOOZE**モード動作（**EOCm1 = 0, SSECm = 0/1**）時のタイミング・チャート，図**12－91　SNOOZE**モード動作（**EOCm1 = 1, SSECm = 0**）時のタイミング・チャートの①~⑪に対応しています。**

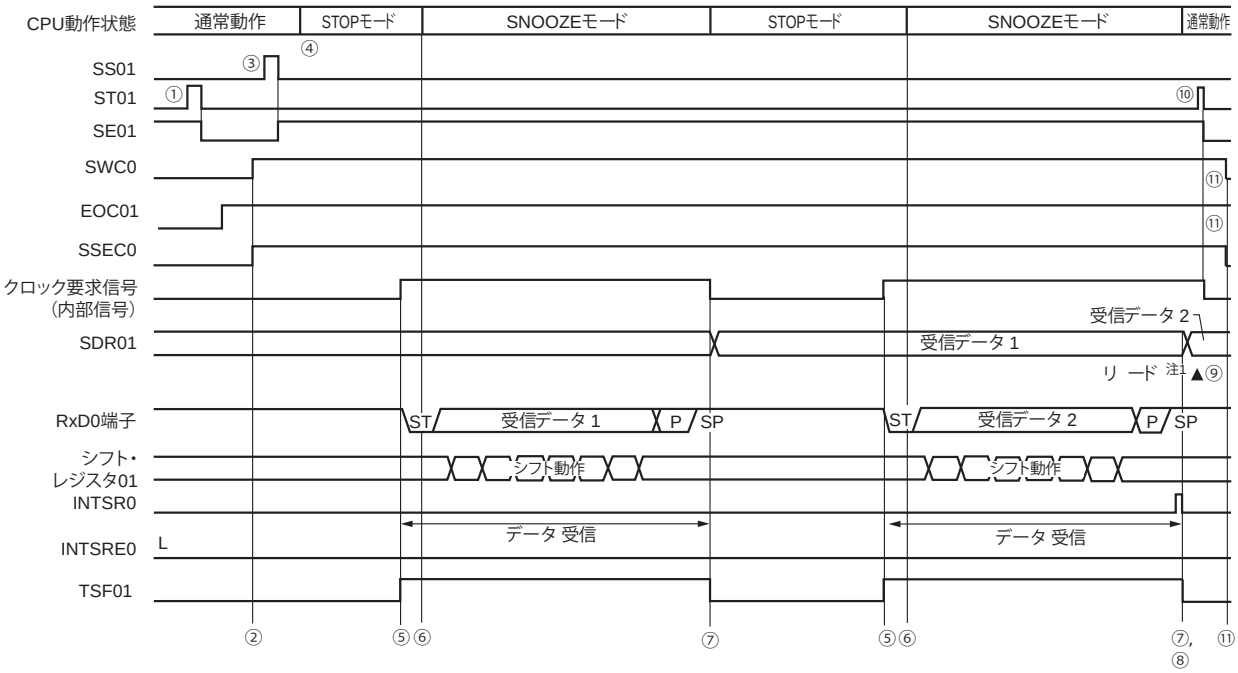
2.　20-64**ピン製品：**　m = 0; q = 0; n = 0-3

80-128**ピン製品：**　m = 0, 1; q = 0, 2; n = 0-3

（3**）**SNOOZE**モード動作（**EOCm1 = 1, SSECm = 1**：エラー割り込み（**INTSREq**）発生停止）**

EOCm1 = 1, SSECm = 1**のため，通信エラーが発生した場合にエラー割り込み（**INTSREq**）を発生しません。**

図12－93　SNOOZE**モード動作（**EOCm1 = 1, SSECm = 1**）時のタイミング・チャート**



注　SWCm = 1**の状態で，受信データの読み出しを行ってください。**

注意1.　SNOOZE**モード移行前と**SNOOZE**モードで受信動作を完了したあとは，必ず**STm1**ビットを**1**に設定してください（**SEm1**ビットがクリアされ動作停止）。**

また，受信動作を完了した後は，SWCm**ビットもクリアしてください（**SNOOZE**解除）。**

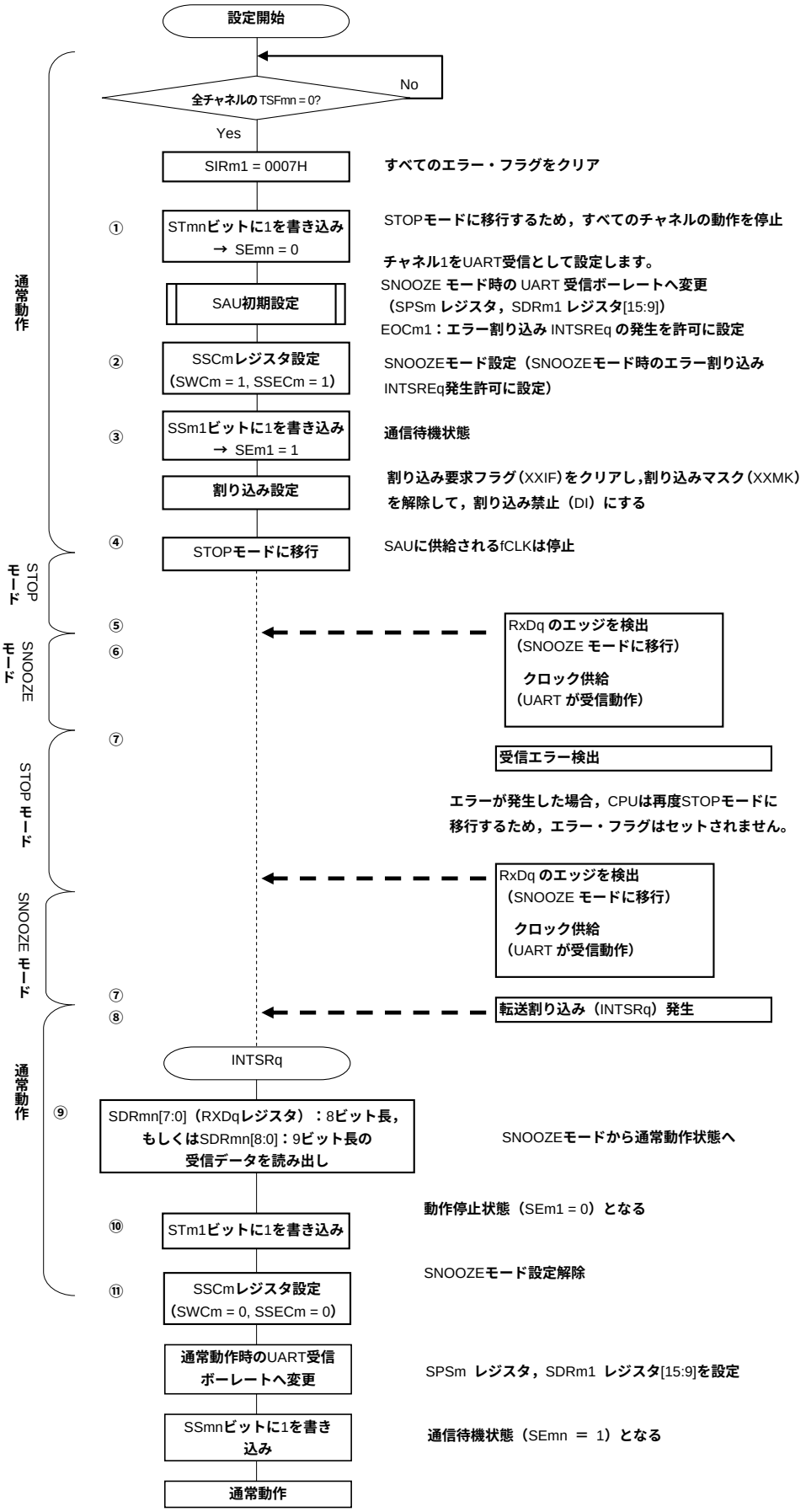
2.　SSECm = 1**のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時に**PEFm1**，**FEFm1，OVFm1**フラグはセットされず，エラー割り込み（**INTSREq**）も発生しません。そのため，**SSECm = 1**で使用するときは，**SWCm = 1**に設定する前に**PEFm1, FEFm1, OVFm1**フラグをクリアし，また，**SDRm1[7:0]**（**RXDq**レジスタ）：**8**ビット長，もしくは**SDRm1[8:0]**：**9**ビット長を読み出してください。**

備考1.　**図中の①~⑨は，図**12－94　SNOOZE**モード動作（**EOCm1 = 1, SSECm = 1**）時のフロー・チャートの①~⑨に対応しています。**

2.　20-64**ピン製品：**　m = 0; q = 0

80-128**ピン製品：**　m = 0, 1; q = 0, 2

図12ー94 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート



（注意，備考は次ページにあります。）

注意　SSECm = 1のときは，パリティ・エラー，フレーミング・エラー、オーバラン・エラー時にPEFm1,FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm= 1で使用するときは，SWC0 = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）：8ビット長，もしくはSDRm1[8:0]：9ビット長を読み出してください。

備考1. 図中の①~⑨は，図12－93　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートの①~⑨に対応しています。

2. 20-64ピン製品：　m = 0； q = 0； n = 0-3
80-128ピン製品：　m = 0,1； q = 0,2； n = 0-3

12. 6. 4　ボー・レートの算出

（1）ボー・レート算出式

UART（UART0-UART3）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート） = {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [bps]

注意　シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B, 0000010B）は設定禁止です。

備考1.　UART使用時は，SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000011B-1111111B）なので，3-127になります。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表12ー4　UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(2) 送信時のボー・レート誤差

UART（UART0-UART3）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差） = （算出ボー・レート値）÷（目標ボー・レート値）× 100 － 100 [%]

f_{CLK} = 32 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	63	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	313725.5 bps	+0.39 %

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2），mn = 00, 02, 10, 12

(3) 受信時のボー・レート許容範囲

UART (UART0-UART3) 通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：受信側の算出ボー・レート値（12. 6. 4（1）ボー・レート算出式参照）

k ：SDRmn[15:9] ＋1

Nfr ：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11, 13

図12－95　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

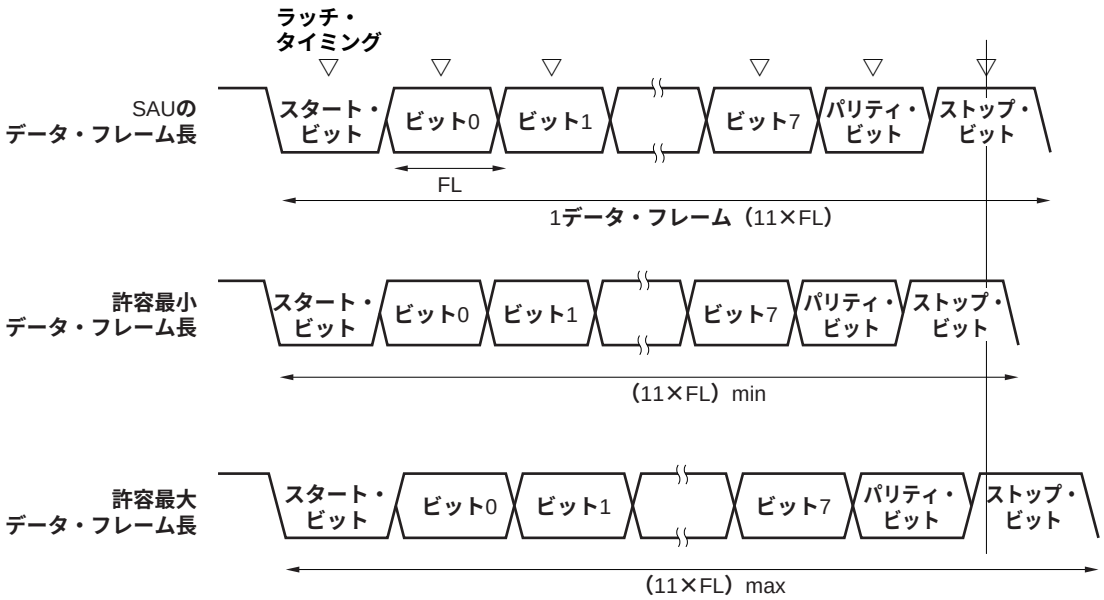


図12－95に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

12. 6. 5　UART（UART0-UART3）通信時におけるエラー発生時の処理手順

UART（UART0-UART3）通信時にエラーが発生した場合の処理手順を図12－96，図12－97に示します。

図12－96　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図12－97　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

12. 7　LIN通信の動作

12. 7. 1　LIN送信

UART送信のうち，30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128ピン製品のUART2はLIN通信に対応しています。

LIN送信では，ユニット1のチャネル0を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	可	不可
対象チャネル	－	－	SAU1のチャネル0	－
使用端子	－	－	TxD2	－
割り込み	－	－	INTST2	－
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート注	Max. f_{MCK}/6 [bps]（SDR10[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

注　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。なお，LIN通信では通常2.4/9.6/19.2kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

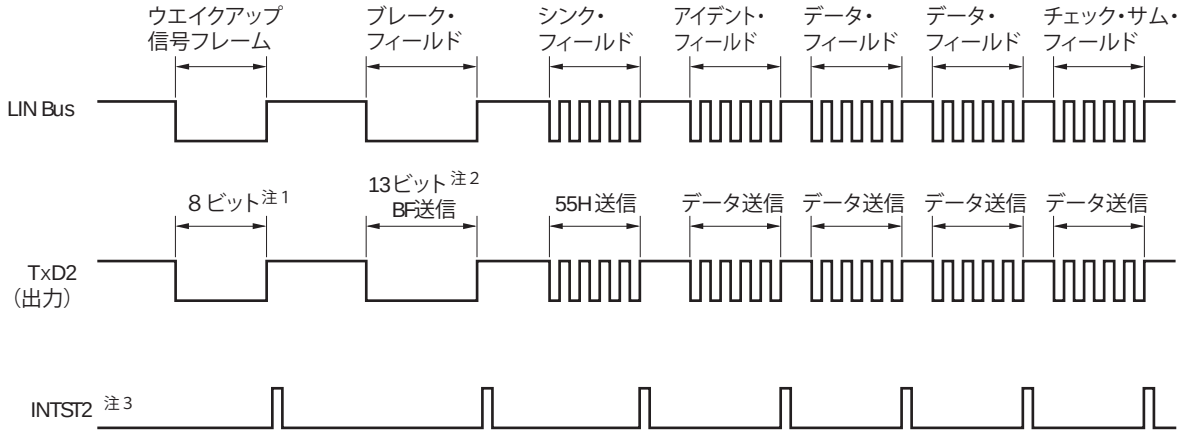
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図12－98に示します。

図12－98　LINの送信操作



注1. ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，80Hのデータ送信をすることで対応します。

2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

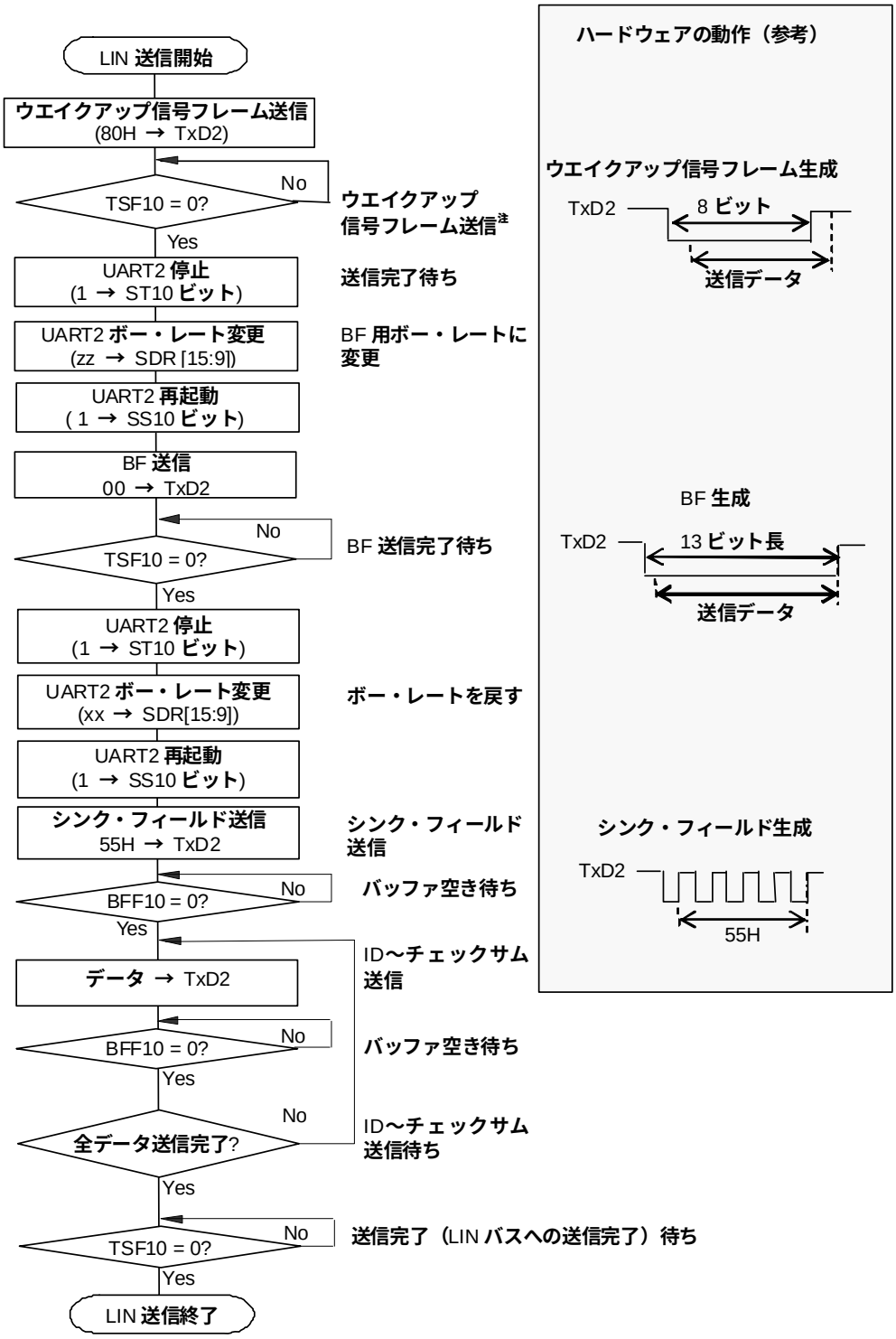
   （ブレーク・フィールド時のボー・レート）　= 9/13×N

   このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時にはINTST2を出力します。またBF送信時もINTST2を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図12－99 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し，送信許可状態からのフローです。

12. 7. 2　LIN受信

UART受信のうち，30, 32, 36, 40, 44, 48, 52, 64, 80, 100, 128ピン製品のUART2はLIN通信に対応しています。

LIN受信では，ユニット1のチャネル1を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	可	不可
対象チャネル	－	－	SAU1のチャネル1	－
使用端子	－	－	RxD2	－
割り込み	－	－	INTSR2	－
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	－	－	INTSRE2	－
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF11） ・オーバラン・エラー検出フラグ（OVF11）			
転送データ長	8ビット			
転送レート注	Max. f_{MCK}/6 [bps]（SDR11[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）			
ストップ・ビット	1ビット目チェック			
データ方向	LSBファースト			

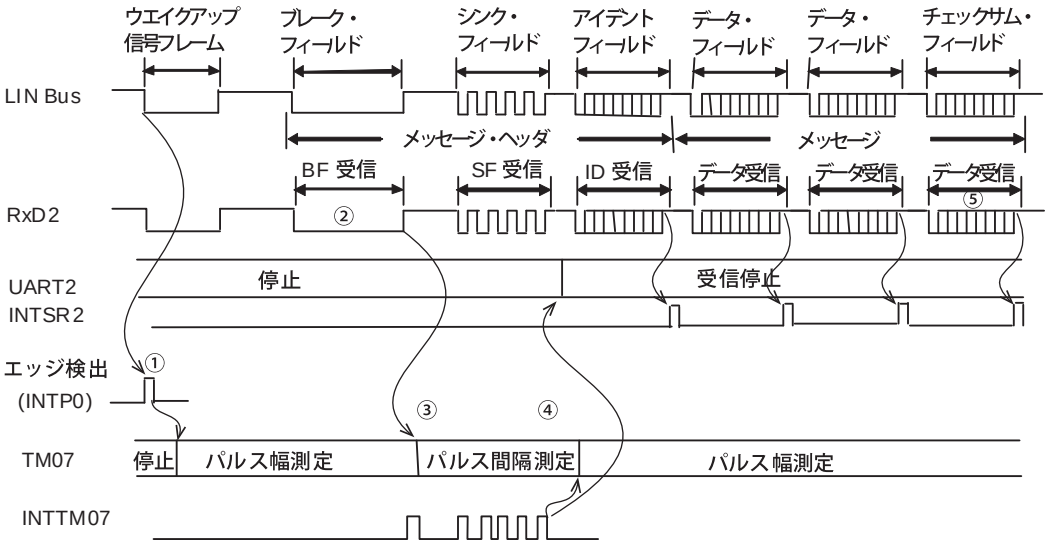
注　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，図12－100に示します。

図12－100　LINの受信操作



受信処理の流れを次に示します。

① **ウエイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウエイクアップ信号を検出したら，TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して，BF受信待ち状態にします。**

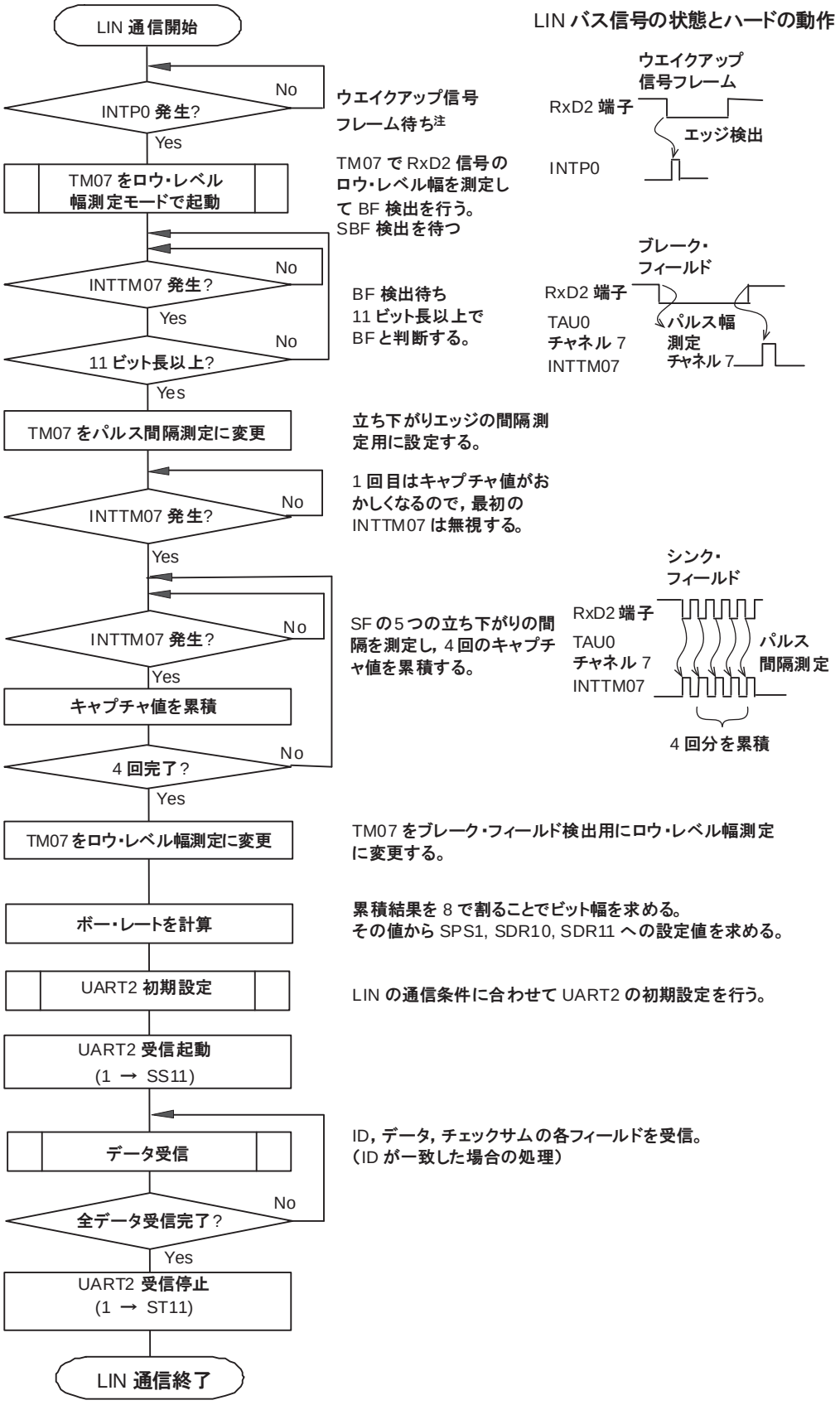
② **BFの立ち下がりを検出したら，TM07はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。**

③ **BF受信を正常終了した場合，TM07をパルス間隔測定に設定し，シンク・フィールドのRxD2信号の立ち下がりの間隔を4回測定してください（6. 8. 4　入力パルス間隔測定としての動作を参照）。**

④ **シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUART2を動作停止にしてからボー・レートを調整（再設定）してください。**

⑤ **チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART2を初期化し，再びBF受信待ちに設定する処理もソフトウエアにて行ってください。**

図12－101　LIN受信のフロー・チャート



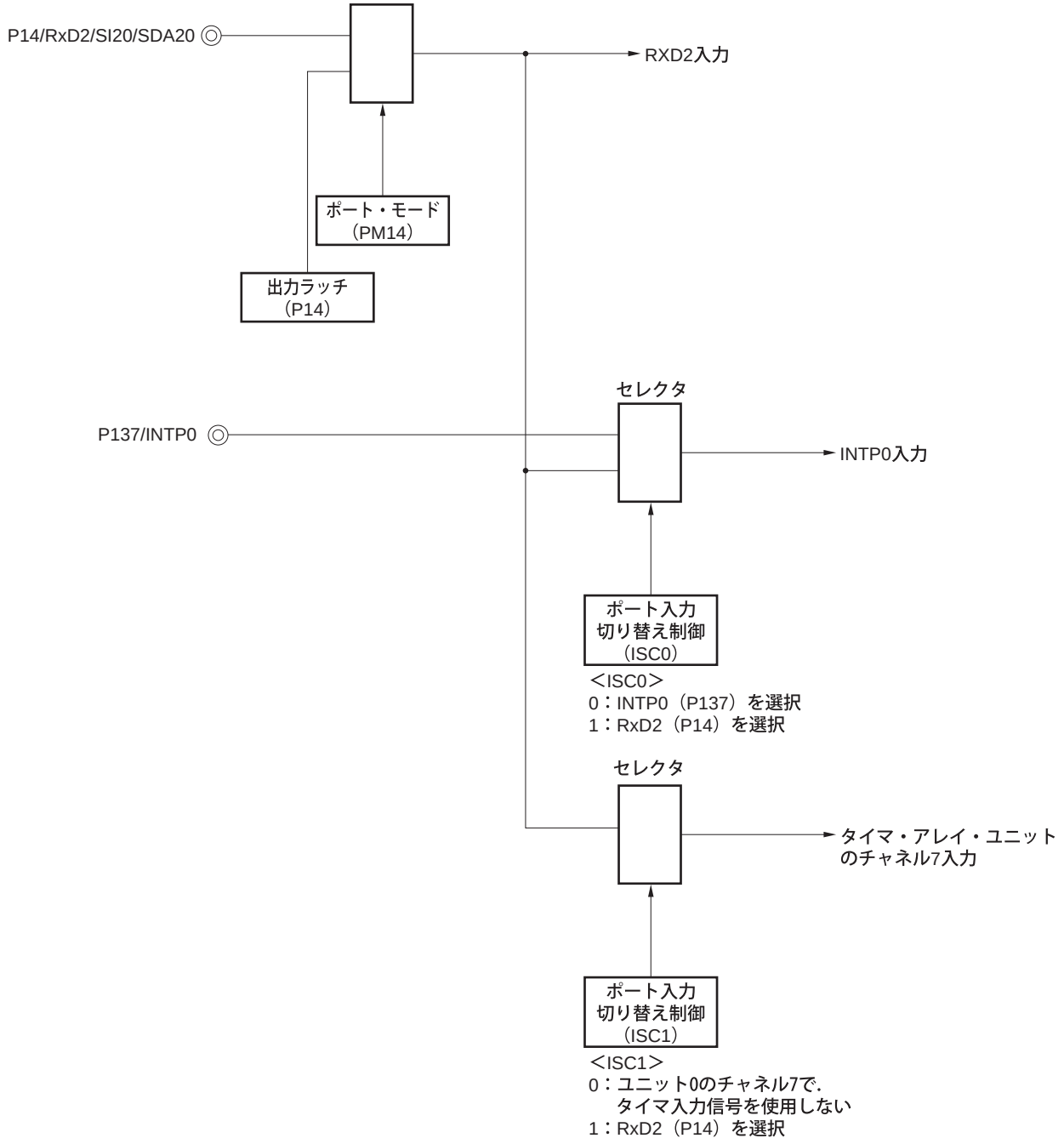
注　スリープ状態でのみ必要となります。

図12－102，図12－103はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

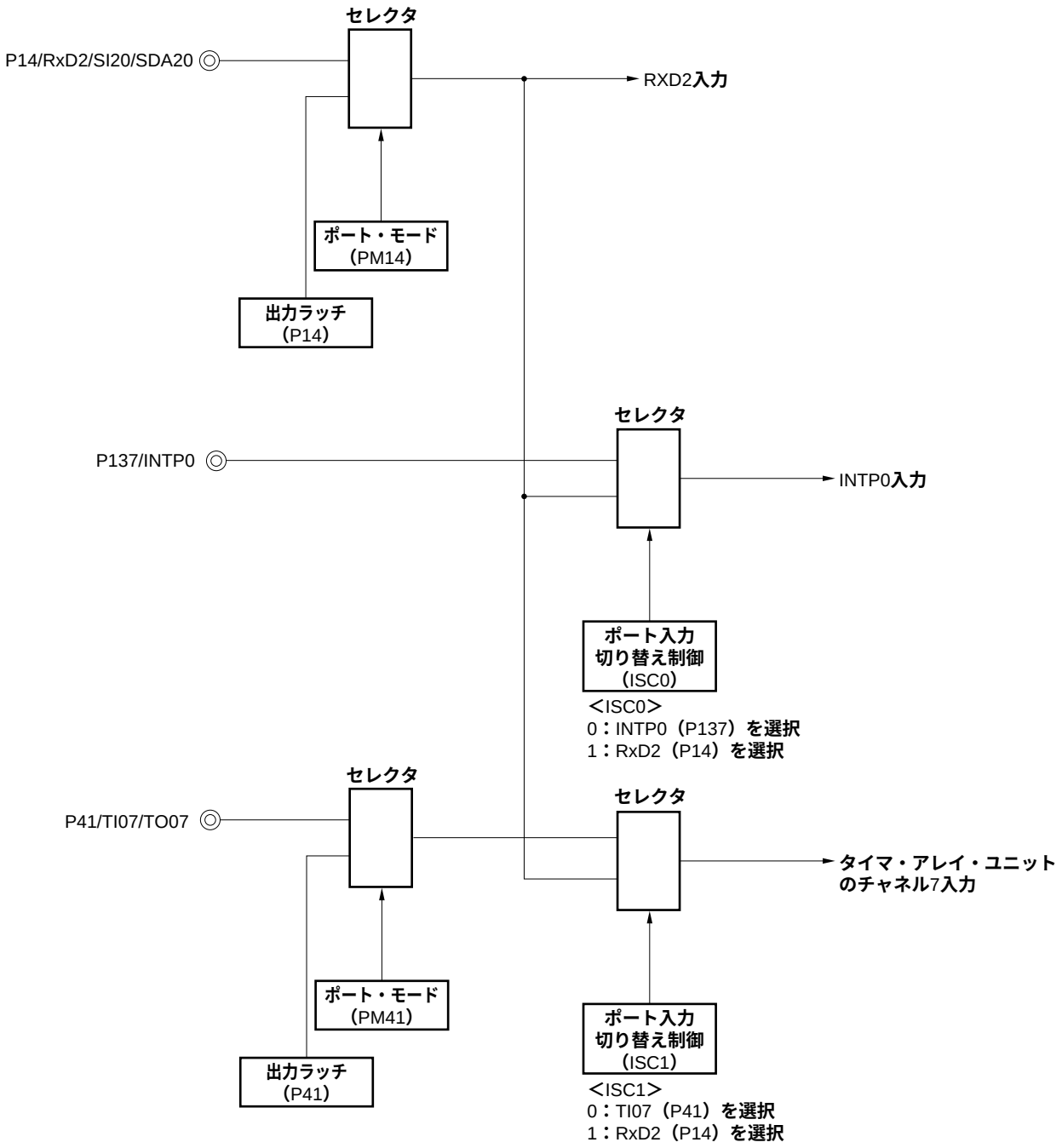
ポート入力切り替え制御（ISC0/ISC1）により，外部で結線をせずに，受信用ポート入力（RxD2）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図12－102　LINの受信操作用のポート構成図（30, 32, 36, 40ピン製品の場合）



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（図12－21参照）

図12ー103　LINの受信操作用のポート構成図（44, 48, 52, 64ピン製品の場合）



備考　ISC0, ISC1：**入力切り替え制御レジスタ（ISC）のビット**0, 1（**図**12ー21**参照**）

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

・外部割り込み（INTP0）；ウエイクアップ信号検出

用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

・タイマ・アレイ・ユニットのチャネル7；ボー・レート誤差検出，ブレーク・フィールド（BF）検出

用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RxD2入力エッジの間隔をキャプチャ・モードで測定）

ロウ・レベル幅を測定し，ブレーク・フィールド（BF）かを判定

・シリアル・アレイ・ユニット1（SAU1）のチャネル0, 1（UART2）

12. 8　簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM, フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，I²Cバスのバス・ラインの特性を遵守して，ソフトウエアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- ソフトウエアによるスタート・コンディション，ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信，スレーブ受信
- マルチ・マスタ機能（アービトレーション負け検出機能）
- ウエイト検出機能

注　最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，12. 8. 3（2）**処理フロー**を参照してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

簡易I^{2}C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）に対応しているチャネルは，SAU0のチャネル0-3とSAU1のチャネル0-3です。

○20, 24, 25ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	－		－
	2	－	UART1	－
	3	CSI11		IIC11

○30, 32ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	－		－
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	－		－

○36, 40, 44ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^{2}Cとして使用
0	0	CSI00	UART0	IIC00
	1	－		－
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	－	UART1	－
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

○80, 100, 128ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）の通信動作は，以下の4種類があります。

- アドレス・フィールド送信　（12. 8. 1項を参照）
- データ送信　（12. 8. 2項を参照）
- データ受信　（12. 8. 3項を参照）
- ストップ・コンディション発生　（12. 8. 4項を参照）

12. 8. 1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I²C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1	SCL30, SDA30注1	SCL31, SDA31注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）							
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）							
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK送受信タイミング用）							
データ方向	MSBファースト							

注1. 簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。詳細は，4. 3　ポート機能を制御するレジスタ，4. 5　兼用機能使用時のレジスタ設定を参照してください。
IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを設定してください（POMxx = 1）。
詳細は，4. 4. 5　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(1) レジスタ設定

図12－104 簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）のアドレス・フィールド送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn注1		SISmn0注1				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの動作モード
0：転送完了割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1注2	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1注3	1

パリティ・ビット設定
00B：パリティなし

ストップ・ビット設定
01B：1ビット付加（ACK）

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定（アドレス＋R/W）							

SIOr

(d) シリアル出力レジスタm（SOm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

SOmnビットを操作して，スタート・コンディションを発生する

(e) シリアル出力許可レジスタm（SOEm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

スタート・コンディションを発生まではSOEmn = 0とし，
発生後はSOEmn = 1とする

(f) シリアル・チャネル開始レジスタm（SSm） ・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

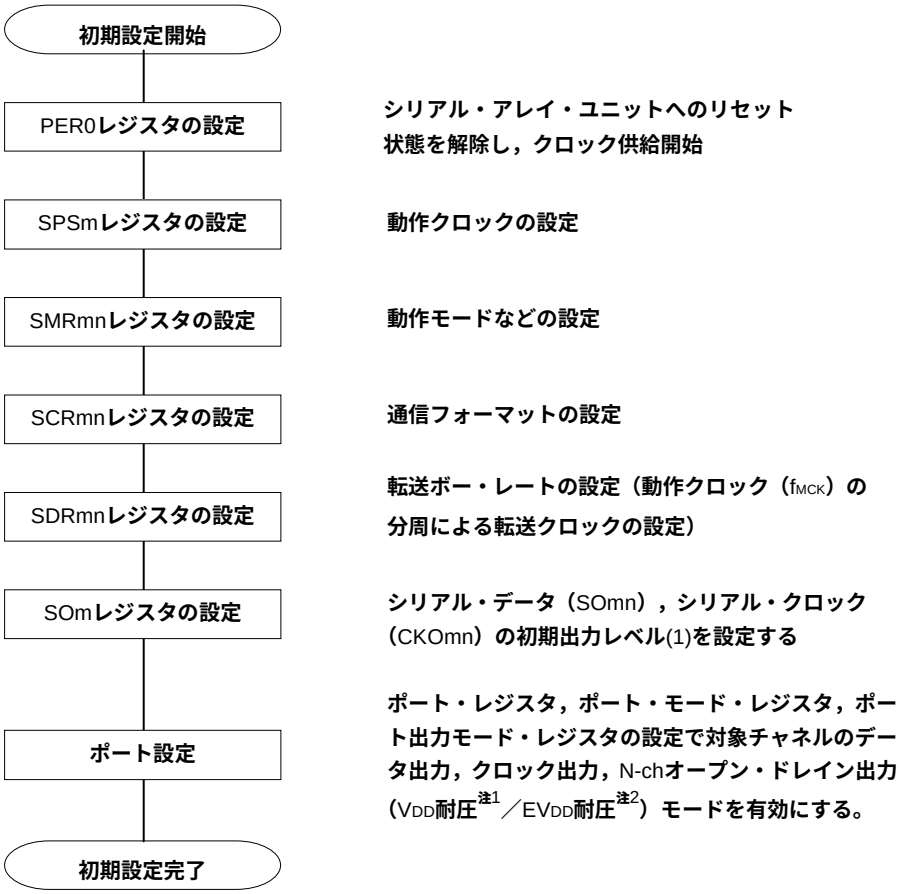
スタート・コンディションを発生まではSSmn = 0とし，
発生後はSSmn = 1とする

注1. SMR00, SMR03, SMR11 SMR13レジスタのみ
2. SCR00, SCR02, SCR10, SCR12レジスタのみ。
3. SCR00, SCR01レジスタと，80-128ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） r：IIC番号（r = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13
2. □：IICモードでは設定固定 ■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－105　簡易I²Cアドレス・フィールド送信の初期設定手順

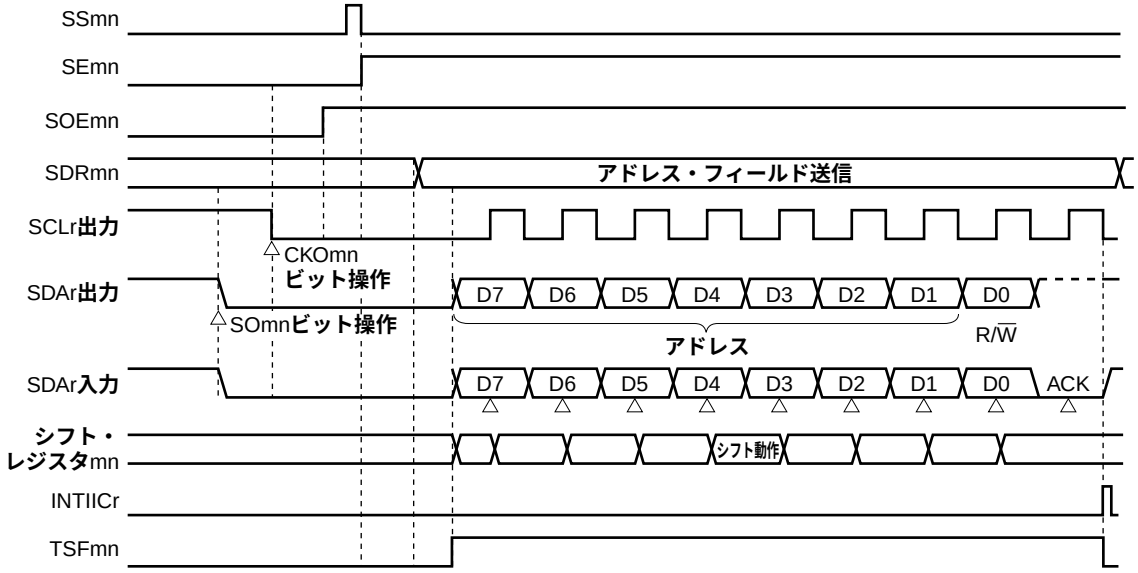


注1.　20～52ピン製品の場合

2.　64～128ピン製品の場合

(3) 処理フロー

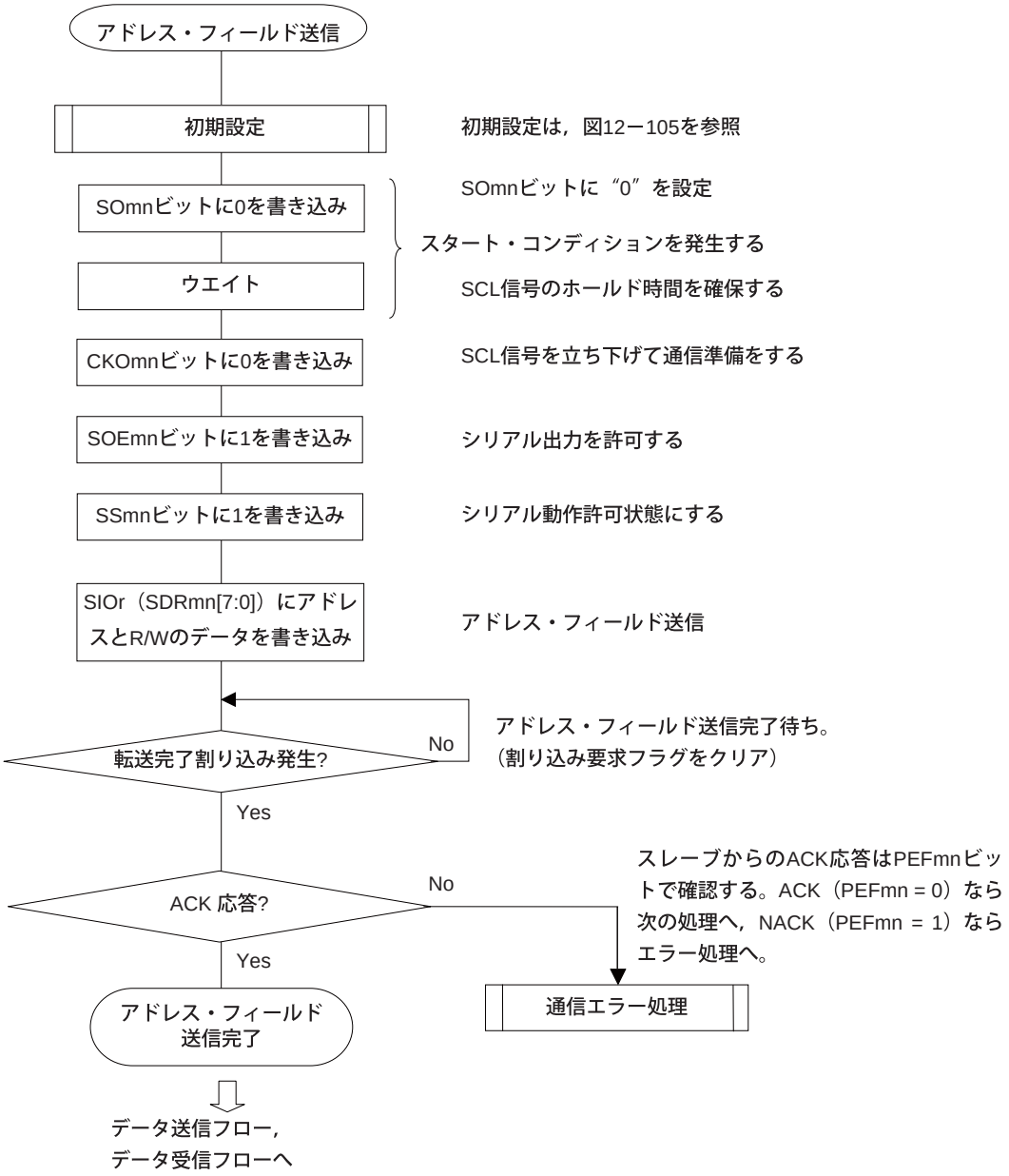
図12－106　アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　r：IIC番号（r = 00, 01, 10, 11, 20, 21, 30, 31）

mn = 00-03, 10-13

図12－107　簡易I²Cアドレス・フィールド送信のフロー・チャート



12. 8. 2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I^{2}C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1	SCL30, SDA30注1	SCL31, SDA31注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	ACKエラー・フラグ（PEFmn）							
転送データ長	8ビット							
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I^{2}Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK受信タイミング用）							
データ方向	MSBファースト							

注1. 簡易I^{2}Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。詳細は，4. 3　ポート機能を制御するレジスタ，4. 5　兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを設定してください（POMxx = 1）。詳細は，4. 4. 5　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章 電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(1) レジスタ設定

図12－108 簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタmn（SCRmn） ・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタmn（SDRmn）（**下位**8**ビット：**SIOr） ・・・データ送受信中は下位8ビット（SIOr）のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	送信データ設定							
									SIOr							

(d) シリアル出力レジスタm（SOm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタm（SOEm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

(f) シリアル・チャネル開始レジスタm（SSm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11, SMR13**レジスタのみ。**
2. SCR00, SCR02, SCR10, SCR12**レジスタのみ。**
3. SCR00, SCR01**レジスタと，**80-128**ピン製品の**SCR10, SCR11**レジスタのみ。その他は**1**固定になります。**
4. **アドレス・フィールド送信で設定済みなので，設定不要です。**
5. **通信動作中は通信データにより値が変わります。**

備考1. m**：ユニット番号**（m = 0, 1） n**：チャネル番号**（n = 0-3） r**：**IIC**番号**（r = 00, 01, 10, 11, 20, 21, 30, 31）
mn = 00-03, 10-13

2. □**：**IIC**モードでは設定固定** ■**：設定不可（初期値を設定）**
0/1**：ユーザの用途に応じて**0**または**1**に設定**

(2) 処理フロー

図12－109　データ送信のタイミング・チャート

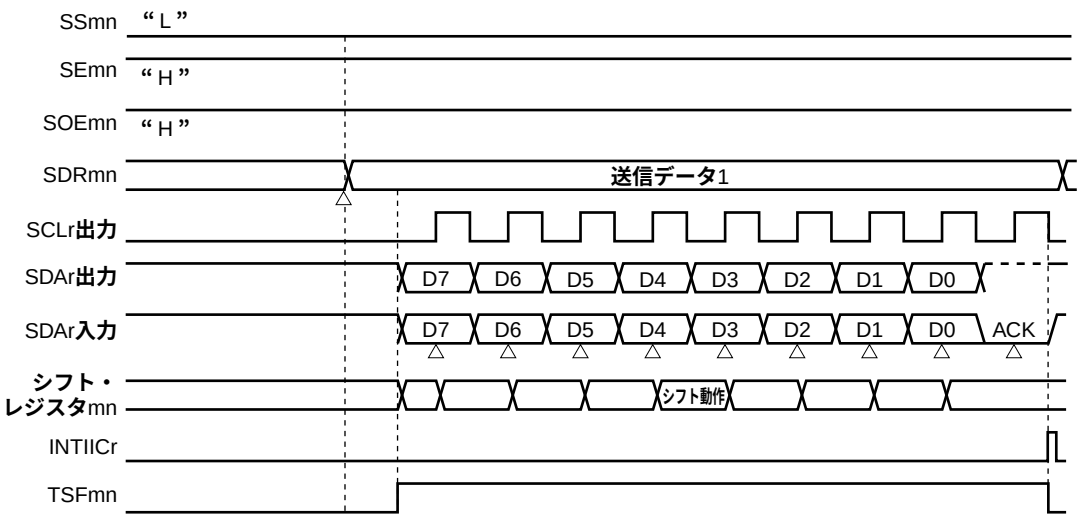
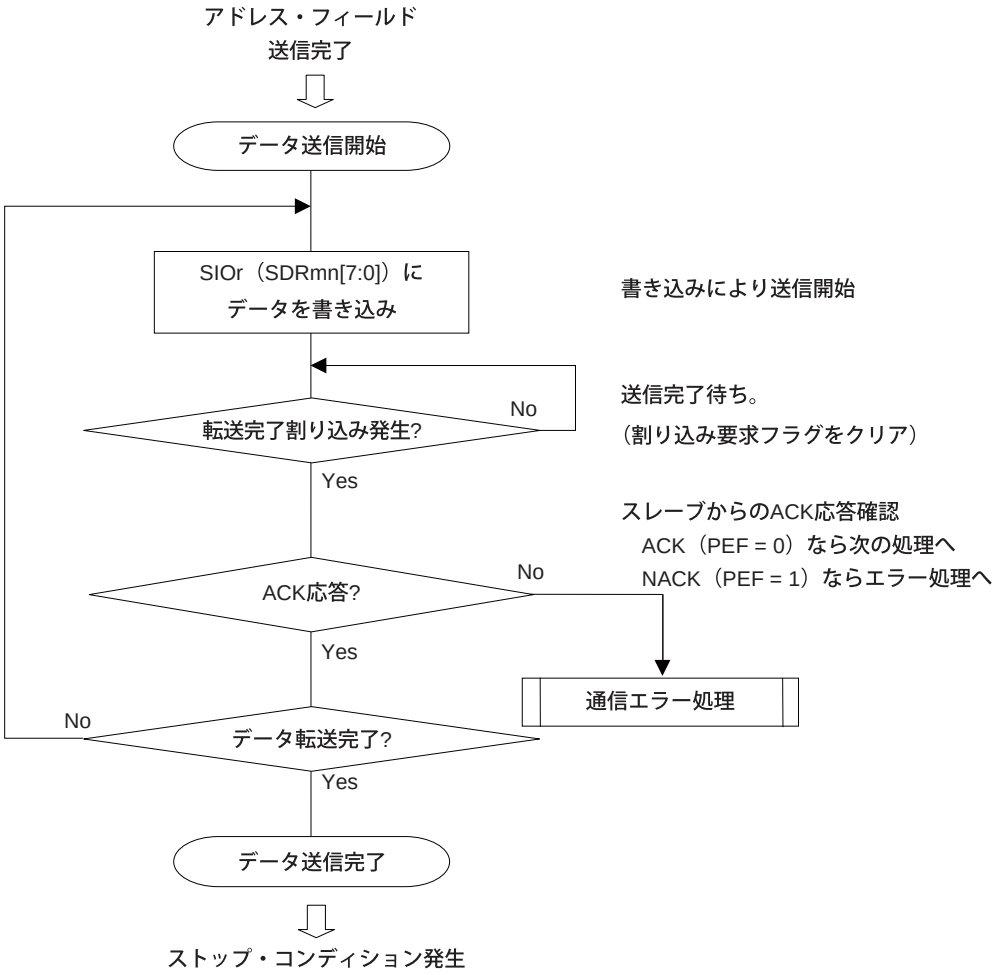


図12－110　簡易I²Cデータ送信のフロー・チャート



12. 8. 3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル2	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1	SAU1のチャネル2	SAU1のチャネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1	SCL30, SDA30注1	SCL31, SDA31注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	8ビット							
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK送信）							
データ方向	MSBファースト							

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合））モードを設定してください（POMxx = 1）。詳細は，4. 3　ポート機能を制御するレジスタ，4. 5　兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを設定してください（POMxx = 1）。詳細は，4. 4. 5　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第29章または第30章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

(1) レジスタ設定

図12－111 簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b) シリアル通信動作設定レジスタmn（SCRmn） ・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c) シリアル・データ・レジスタmn（SDRmn） **（下位8ビット：**SIOr**）**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	ダミー送信データ設定（FFH）							

SIOr

(d) シリアル出力レジスタm（SOm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e) シリアル出力許可レジスタm（SOEm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャネル開始レジスタm（SSm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注1. SMR01, SMR03, SMR11, SMR13**レジスタのみ。**

2. SCR00, SCR02, SCR10, SCR12**レジスタのみ。**

3. SCR00, SCR01**レジスタと，**80-128**ピン製品の**SCR10, SCR11**レジスタのみ。その他は**1**固定になります。**

4. **アドレス・フィールド送信で設定済みなので，設定不要です。**

5. **通信動作中は通信データにより値が変わります。**

備考1. m：**ユニット番号**（m = 0, 1） n：**チャネル番号**（n = 0-3） r：IIC**番号**（r = 00, 01, 10, 11, 20, 21, 30, 31）

mn = 00-03, 10-13

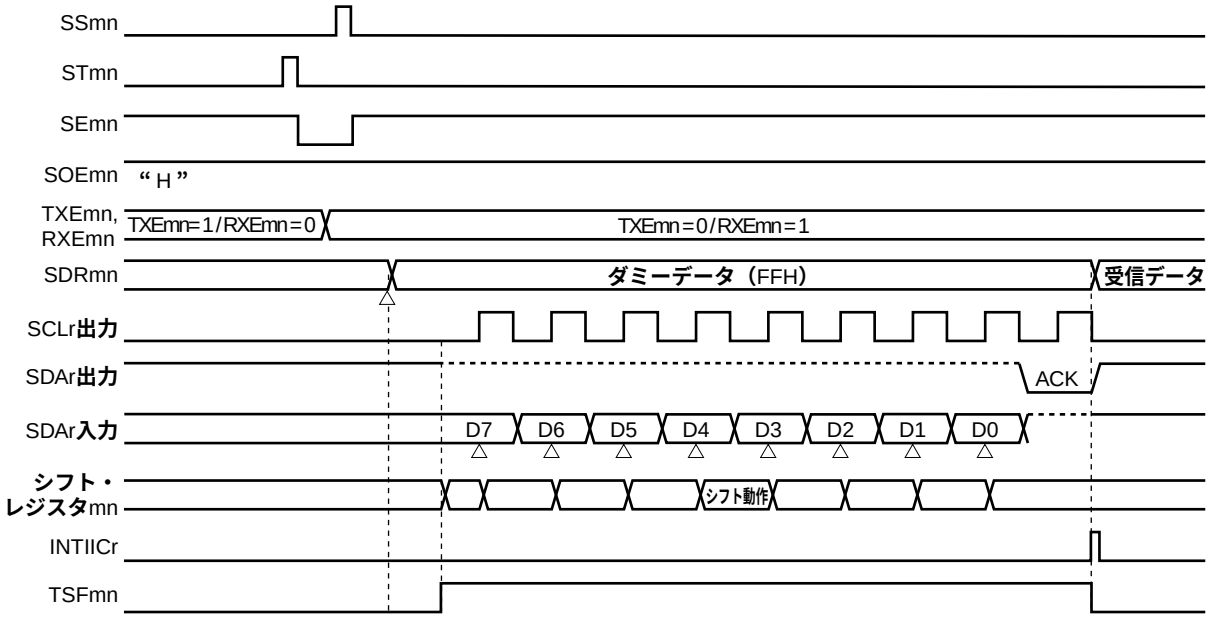
2. □：IIC**モードでは設定固定** ■：**設定不可（初期値を設定）**

0/1：**ユーザの用途に応じて**0**または**1**に設定**

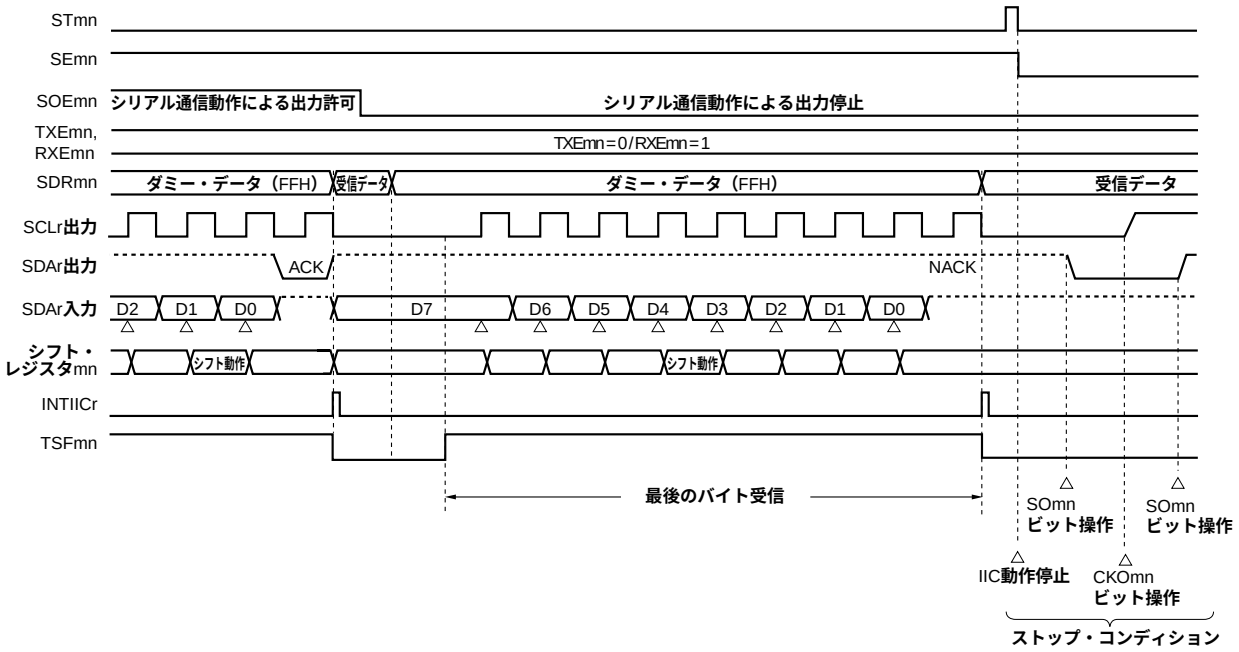
(2) 処理フロー

図12－112 データ受信のタイミング・チャート

(a) データ受信開始時



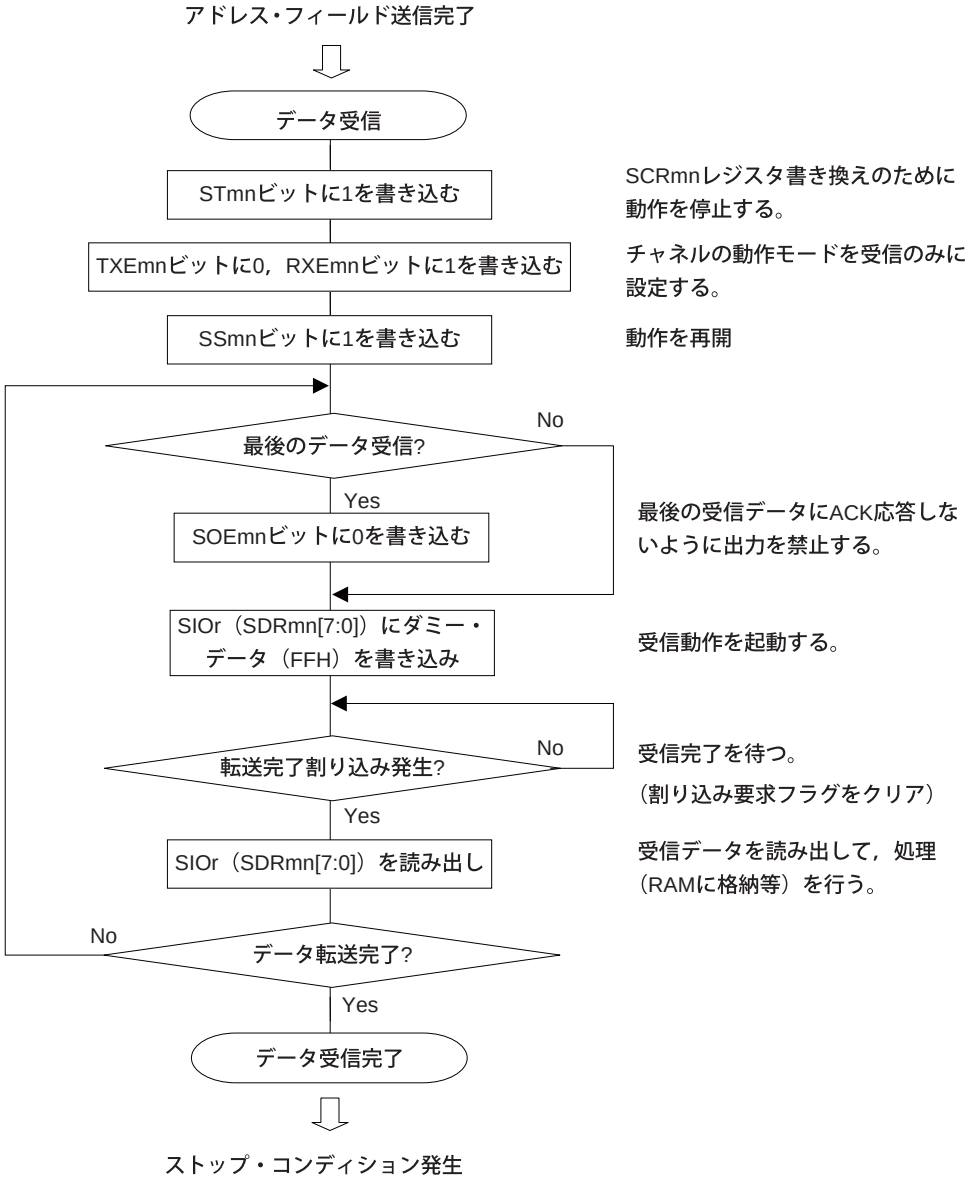
(b) 最終データ受信時



備考 m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） r：IIC番号（r = 00, 01, 10, 11, 20, 21, 30, 31）

mn = 00-03, 10-13

図12－113　データ受信のフロー・チャート



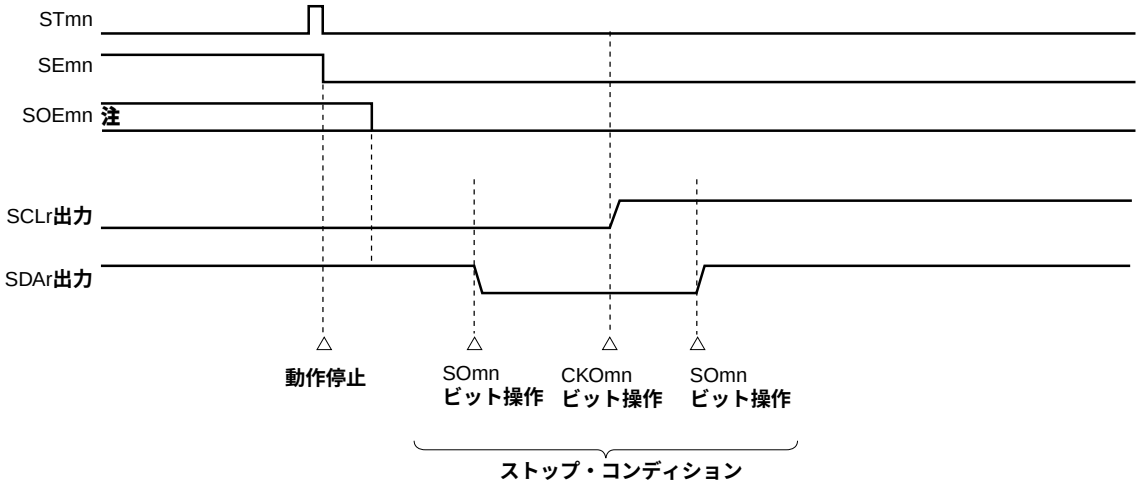
注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャンネル停止レジスタm（STm）のSTmnビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

12. 8. 4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

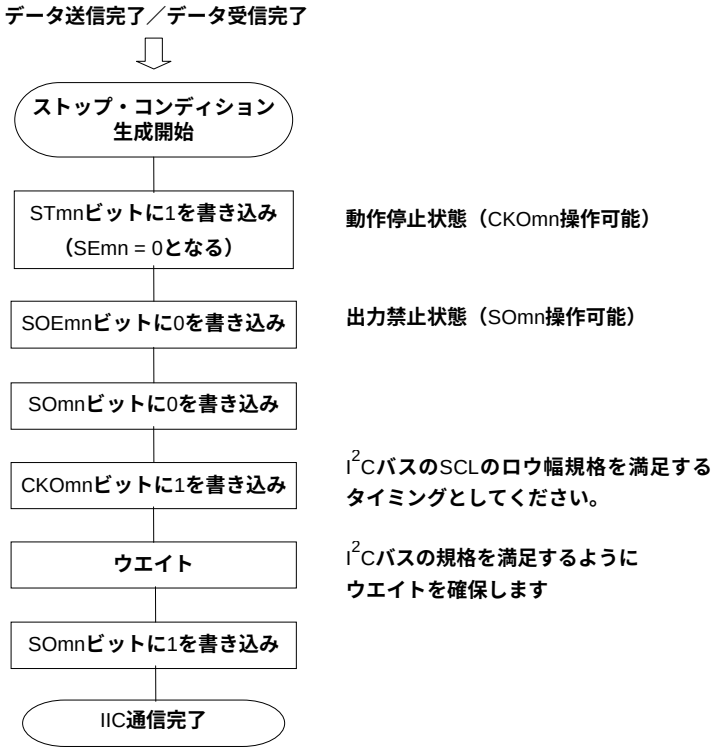
(1) 処理フロー

図12－114　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm（SOEm）のSOEmnビットを“0”に設定しています。

図12－115　ストップ・コンディション発生のフロー・チャート



12. 8. 5　転送レートの算出

簡易I^{2}C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）通信での転送レートは下記の計算式にて算出できます。

（転送レート）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDRmn[15:9]＋1）÷ 2

注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。簡易I^{2}C出力のSCL信号のデューティ比は50%です。I2Cバス規格では，SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため，ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると，SCL信号出力のロウ・レベル幅がI^{2}Cバスの規格値より短くなります。SDRmn[15:9]には，この規格を満足できる値を設定してください。

備考 1.　（SDRmn[15:9]）は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000001B-1111111B）なので，1-127になります。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3），mn = 00-03, 10-13

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表12－5 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X：Don't care

2. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3），mn = 00-03, 10-13

f_{MCK} = f_{CLK} = 32 MHzの場合のI²C転送レート設定例を示します。

I²C転送モード（希望転送レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	$f_{CLK}/2$	79	100 kHz	0.0%
400 kHz	f_{CLK}	41	380 kHz	5.0%注
1 MHz	f_{CLK}	18	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので，誤差を0%程度に設定することはできません。

12. 8. 6 簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）通信時にエラーが発生した場合の処理手順を図12-116，図12-117に示します。

図12－116 オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図12－117 簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考 m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） r：IIC番号（r = 00, 01, 10, 11, 20, 21, 30, 31）

mn = 00-03, 10-13

第13章　シリアル・インタフェースIICA

シリアル・インタフェースIICAのチャネル数は，製品によって異なります。

	20ピン	24, 25, 30, 32, 36, 40, 44, 48, 52, 56, 64ピン	80, 100, 128ピン
チャネル	－	1 ch	2 ch

13. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I^2Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLAn）とシリアル・データ・バス（SDAAn）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I^2Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI^2Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICAn）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1（IICCTLn1）のWUPnビットにより設定します。

図13－1に，シリアル・インタフェースIICAのブロック図を示します。

備考　n = 0, 1

図13－1 シリアル・インタフェースIICA0のブロック図

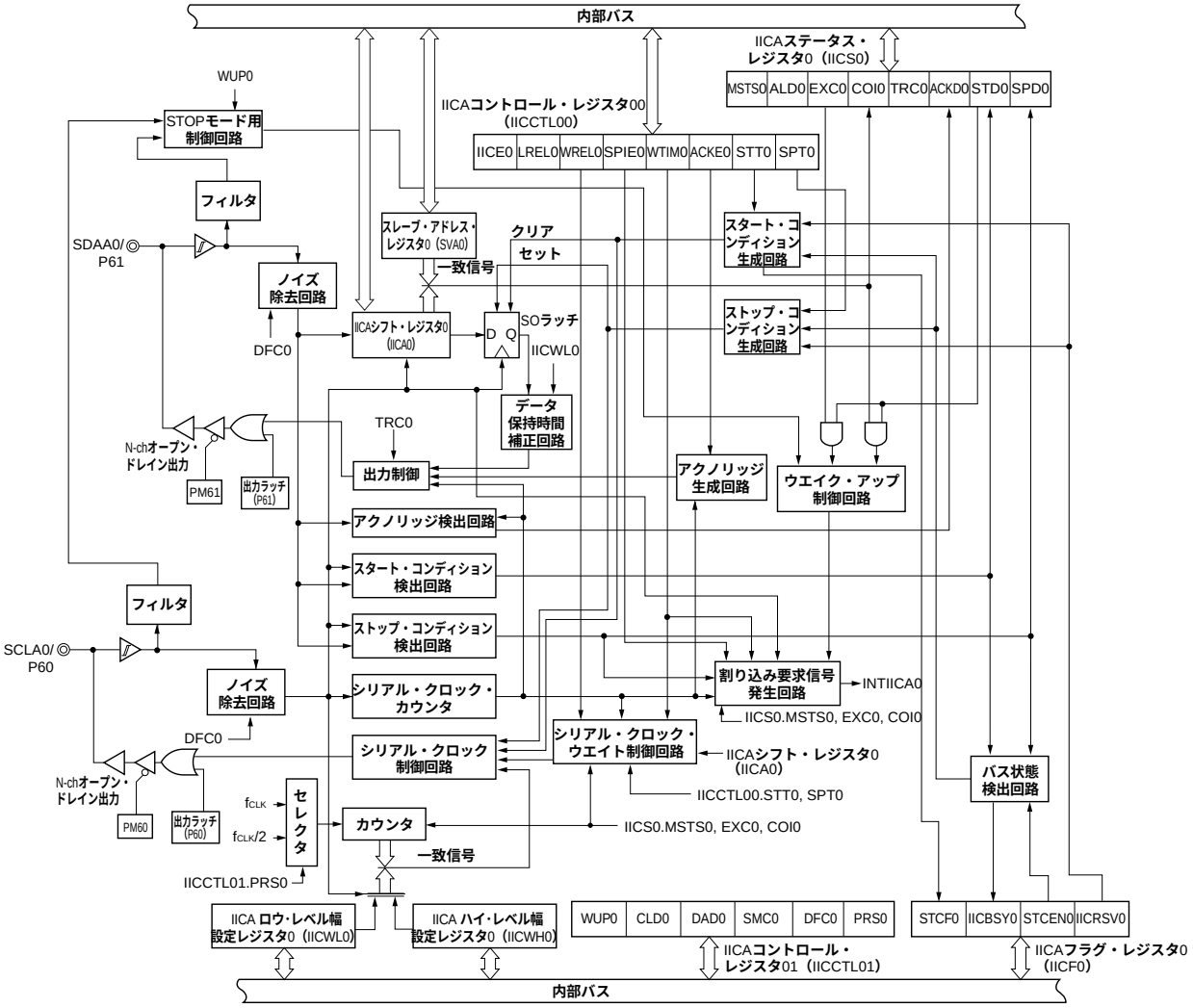
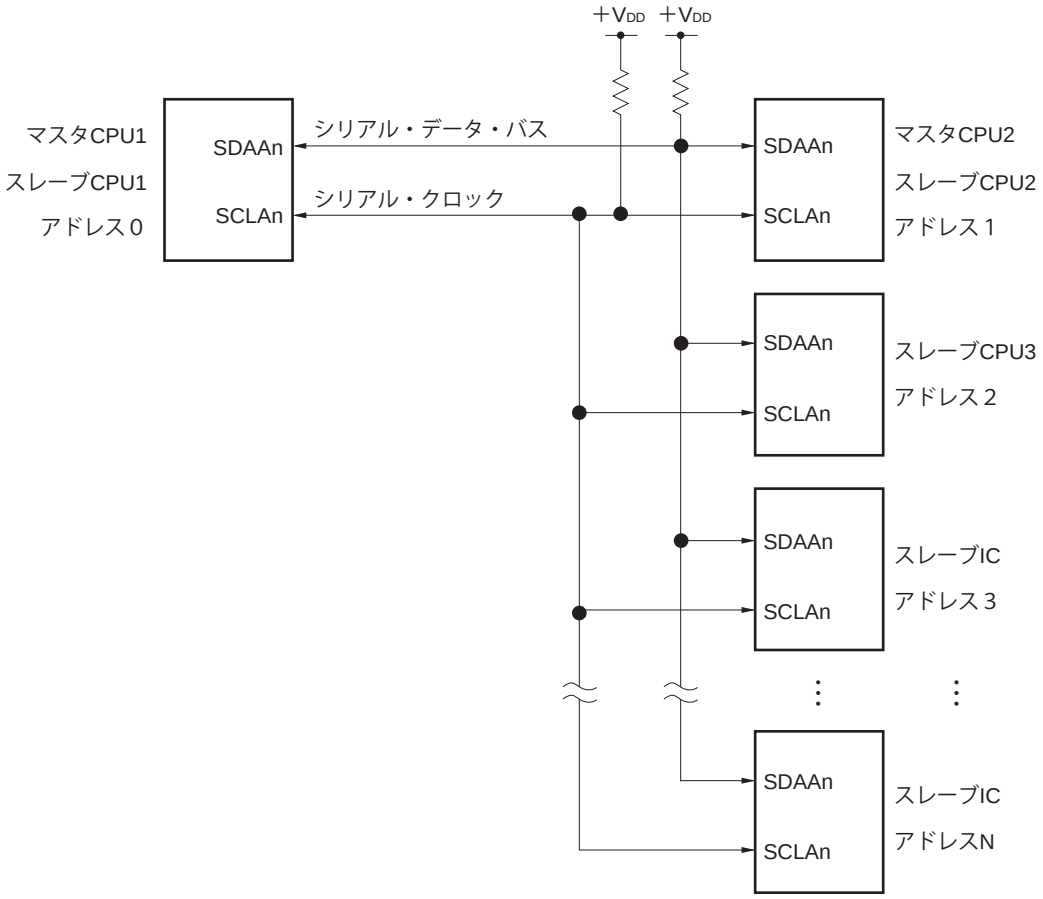


図13－2にシリアル・バス構成例を示します。

図13－2　I²Cバスによるシリアル・バス構成例



備考　n = 0, 1

13. 2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表13－1　シリアル・インタフェースIICAの構成

項　目	構　成
レジスタ	IICAシフト・レジスタn（IICAn） スレーブ・アドレス・レジスタn（SVAn）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） IICAコントロール・レジスタn0（IICCTLn0） IICAステータス・レジスタn（IICSn） IICAフラグ・レジスタn（IICFn） IICAコントロール・レジスタn1（IICCTLn1） IICAロウ･レベル幅設定レジスタn（IICWLn） IICAハイ･レベル幅設定レジスタn（IICWHn） ポート・モード・レジスタ6（PM6） ポート・レジスタ6（P6）

備考　n = 0, 1

(1) IICAシフト・レジスタn（IICAn）

IICAnレジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

ウエイト期間中のIICAnレジスタへの書き込みにより，ウエイトを解除し，データ転送を開始します。

IICAnレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－3　IICAnシフト・レジスタn（IICAn）のフォーマット

アドレス：FFF50H (IICA0), FFF54H (IICA1)　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1.　データ転送中はIICAnレジスタにデータを書き込まないでください。

2.　IICAnレジスタには，ウエイト期間中にだけ，書き込み／読み出しをしてください。ウエイト期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STTn）をセット（1）したあと，1回書き込みできます。

3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考　n = 0, 1

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは，8ビット・メモリ操作命令で設定します。

ただし，STDn = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図13－4　スレーブ・アドレス・レジスタn（SVAn）のフォーマット

アドレス：F0234H (SVA0), F023DH (SVA1)　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAAn端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタn（SVAn）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICAn）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICAn）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIMnビットで設定）
- ストップ・コンディション検出による割り込み要求発生（SPIEnビットで設定）

備考　WTIMnビット：IICAコントロール・レジスタn0（IICCTLn0）のビット3
　　SPIEnビット　：　　〃　　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

備考　n = 0, 1

(9) アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTnビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSVnビット = 1）で，かつバスが解放されていない（IICBSYnビット = 1）場合には，スタート・コンディション要求は無視し，STCFnビットをセット（1）します。

(12) ストップ・コンディション生成回路

SPTnビットがセット（1）されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCENnビットにより，バス状態検出回路の初期状態を設定してください。

備考	STTnビット	：IICAコントロール・レジスタn0（IICCTLn0）	のビット1
	SPTnビット	：〃	のビット0
	IICRSVnビット	：IICAフラグ・レジスタn（IICFn）	のビット0
	IICBSYnビット	：〃	のビット6
	STCFnビット	：〃	のビット7
	STCENnビット	：〃	のビット1

備考　n = 0, 1

13. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- IICAコントロール・レジスタn0（IICCTLn0）
- IICAフラグ・レジスタn（IICFn）
- IICAステータス・レジスタn（IICSn）
- IICAコントロール・レジスタn1（IICCTLn1）
- IICAロウ・レベル幅設定レジスタn（IICWLn）
- IICAハイ・レベル幅設定レジスタn（IICWHn）
- ポート・モード・レジスタ6（PM6）
- ポート・レジスタ6（P6）

備考　n = 0, 1

13. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは，必ずビット6, 4（IICA1EN, IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注1	ADCEN	IICA0EN注2	SAU1EN注3	SAU0EN	TAU1EN注1	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注1.　80, 100, 128ピン製品のみ。
2.　20ピン製品には搭載されていません。
3.　20, 24, 25ピン製品には搭載されていません。

注意1.　シリアル・インタフェースIICAの設定をする際には，必ず最初にIICAnEN = 1の状態で，下記のレジスタの設定を行ってください。IICAnEN = 0の場合は，シリアル・インタフェースIICAの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ6（PM6），ポート・レジスタ6（P6）は除く）。
- IICAコントロール・レジスタn0（IICCTLn0）
- IICAフラグ・レジスタn（IICFn）
- IICAステータス・レジスタn（IICSn）
- IICAコントロール・レジスタn1（IICCTLn1）
- IICAロウ・レベル幅設定レジスタn（IICWLn）
- IICAハイ・レベル幅設定レジスタn（IICWHn）

2.　次のビットには必ず“0”を設定してください。
20ピン製品：ビット1, 3, 4, 6
24, 25ピン製品：ビット1, 3, 6
30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

備考　n = 0, 1

13. 3. 2　IICAコントロール・レジスタn0（IICCTLn0）

I^2Cの動作許可／停止，ウエイト・タイミングの設定，その他I^2Cの動作を設定するレジスタです。

IICCTLn0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIEn, WTIMn, ACKEnビットは，IICEn = 0のとき，またはウエイト期間中に設定してください。またIICEnビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

備考　n = 0, 1

図13－6　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（1/4）

アドレス：F0230H (IICCTL00), F0238H (IICCTL10)　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I²Cの動作許可	
0	動作停止。IICAステータス・レジスタn（IICSn）をリセット[注1]。内部動作も停止。	
1	動作許可。	
このビットのセット（1）は，必ずSCLAn, SDAAnラインがハイ･レベルの状態で行ってください。		
クリアされる条件（IICEn = 0）		セットされる条件（IICEn = 1）
・命令によるクリア ・リセット時		・命令によるセット

LRELn[注2, 3]	通信退避	
0	通常動作。	
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0（IICCTLn0），IICAステータス・レジスタn（IICSn）のうち，次のフラグがクリア（0）される。 ・STTn　・SPTn　・MSTSn　・EXCn　・COIn　・TRCn　・ACKDn　・STDn	
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信		
クリアされる条件（LRELn = 0）		セットされる条件（LRELn = 1）
・実行後，自動的にクリア ・リセット時		・命令によるセット

WRELn[注2, 3]	ウエイト解除	
0	ウエイトを解除しない。	
1	ウエイトを解除する。ウエイト解除後，自動的にクリアされる。	
送信状態（TRCn = 1）で，9クロック目のウエイト期間中にWRELnビットをセット（ウエイトを解除）した場合，SDAAnラインをハイ・インピーダンス（TRCn = 0）にします。		
クリアされる条件（WRELn = 0）		セットされる条件（WRELn = 1）
・実行後，自動的にクリア ・リセット時		・命令によるセット

注 1.　リセットされるのは，IICAステータス・レジスタn（IICA0），IICAフラグ・レジスタn（IICF0）のSTCFn，IICBSYnビット，IICAコントロール・レジスタn1（IICCTLn1）レジスタのCLDn，DADnビットです。

2.　IICEn = 0の状態では，このビットの信号は無効になります。

3.　LRELn, WRELnビットの読み出し値は常に0になります。

注意　SCLAnラインがハイ･レベル，SDAAnラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTLn1レジスタのDFCn = 1）のときにI²Cを動作許可（IICEn = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I²Cを動作許可（IICEn = 1）したあと，連続して1ビット・メモリ操作命令により，LRELnビットをセット（1）してください。

備考　n = 0, 1

図13ー6　IICA**コントロール・レジスタ**n0（IICCTLn0）**のフォーマット**（2/4）

SPIEn[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタn1（IICCTLn1）のWUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIEn = 0）	セットされる条件（SPIEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIMn[注1]	ウエイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（$\overline{\text{ACK}}$）発生後の9クロック目の立ち下がりでウエイトに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでウエイトに入ります。	
クリアされる条件（WTIMn = 0）	セットされる条件（WTIMn = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKEn 注1, 2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件（ACKEn = 0）	セットされる条件（ACKEn = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1.　IICEn = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2.　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

備考　n = 0, 1

図13ー6　IICA**コントロール・レジスタ**n0（IICCTLn0）**のフォーマット**（3/4）

STTn 注1,2	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSYnが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ，STTnクリア・フラグ（STCFn）がセット（1）される。スタート・コンディションは生成しない。 ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。

・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。

・STTnビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。

クリアされる条件（STTn = 0）	セットされる条件（STTn = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注1.　IICEn = 0**の状態では，このビットの信号は無効になります。**

2.　STT**nビットの読み出し値は，常に**0**になります。**

備考1.　IICRSVn　　：IIC**フラグ・レジスタ**n（IICFn）**のビット**0

STCFn　　：　　〃　　**のビット**7

2.　n = 0, 1

図13ー6　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット（4/4）

SPTn[注]	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKEn = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。

・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。

・SPTnビットのセット（1）は，マスタのときのみ行ってください。

・WTIMn = 0設定時に，8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると，ウエイト解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMn = 0→1に設定し，9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。

・SPTnビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注　SPTnビットの読み出し値は，常に0になります。

注意　IICAステータス・レジスタn（IICSn）のビット3（TRCn）= 1（送信状態）のとき，9クロック目にIICCTLn0レジスタのビット5（WRELn）をセット（1）してウエイト解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考1.　ビット0（SPTn）は，データ設定後に読み出すと0になっています。

2.　n = 0, 1

13. 3. 3　IICAステータス・レジスタn（IICSn）

I²Cのステータスを表すレジスタです。

IICSnレジスタは，STTn = 1およびウエイト期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUPn = 1）状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から，INTIICAn割り込み要求と関係なくWUPnビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIEn = 1）して割り込み検出後にIICSnレジスタを読み出してください。

備考　STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
　　WUPn　：IICAコントロール・レジスタn1（IICCTLn1）のビット7

図13－7　IICAステータス・レジスタn（IICSn）のフォーマット（1/3）

アドレス：FFF51H (IICS0), FFF55H (IICS1)　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件（MSTSn = 0）		セットされる条件（MSTSn = 1）
・ストップ・コンディション検出時 ・ALDn = 1（アービトレーション負け）のとき ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時		・スタート・コンディション生成時

ALDn	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。	
クリアされる条件（ALDn = 0）		セットされる条件（ALDn = 1）
・IICSnレジスタ読み出し後，自動的にクリア[注] ・IICEn = 1→0（動作停止）のとき ・リセット時		・アービトレーションに負けたとき

注　IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALDnビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考 1.　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
　　IICEn　：　〃　のビット7
　　2.　n = 0, 1

図13－7　IICAステータス・レジスタn（IICSn）のフォーマット（2/3）

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXCn = 0）	セットされる条件（EXCn = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COIn = 0）	セットされる条件（COIn = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタn（SVAn））と一致したとき（8クロック目の立ち上がりでセット）

TRCn	送信／受信状態検出
0	受信状態（送信状態以外）。SDAAnラインをハイ・インピーダンスにする。
1	送信状態。SDAAnラインにSOnラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRCn = 0）	セットされる条件（TRCn = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・WRELn = 1（ウエイト解除）によるクリア[注] ・ALDn = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTSn, EXCn, COIn = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注　IICAステータス・レジスタn（IICSn）のビット3（TRCn）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）をセット（1）してウエイトを解除すると，TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタnへの書き込みで行ってください。

備考 1.　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
　　IICEn　：　　〃　　のビット7

2.　n = 0, 1

図13ー7　IICAステータス・レジスタn（IICSn）のフォーマット（3/3）

ACKDn	アクノリッジ（$\overline{\text{ACK}}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKDn = 0）	セットされる条件（ACKDn = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STDn = 0）	セットされる条件（STDn = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1（通信退避）によるクリア ・IICEn = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPDn = 0）	セットされる条件（SPDn = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考 1.　LRELn　：IICAコントロール・レジスタn0（IICCTLn0）のビット6
　　IICEn　：　〃　のビット7

2.　n = 0, 1

13. 3. 4　IICAフラグ・レジスタn（IICFn）

I^2Cの動作モードの設定と，I^2Cバスの状態を表すレジスタです。

IICFnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STTnクリア・フラグ（STCFn），I^2Cバス状態フラグ（IICBSYn）は読み出しのみ可能です。

IICRSVnビットにより，通信予約機能の禁止／許可を設定します。

またSTCENnビットにより，IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときのみ書き込み可能です。動作許可後，IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図13－8　IICAフラグ・レジスタn（IICFn）のフォーマット

アドレス：FFF52H (IICF0), FFF56H (IICF1)　**リセット時：**00H　R/W[注]

略号	7	6	5	4	3	2	1	0
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STTnフラグ・クリア。

クリアされる条件（STCFn = 0）	セットされる条件（STCFn = 1）
・STTn = 1によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSVn = 1）設定時にスタート・コンディション発行できず，STTnビットがクリア（0）されたとき

IICBSYn	I^2Cバス状態フラグ
0	バス解放状態（STCENn = 1時の通信初期状態）。
1	バス通信状態（STCENn = 0時の通信初期状態）。

クリアされる条件（IICBSYn = 0）	セットされる条件（IICBSYn = 1）
・ストップ・コンディション検出時 ・IICEn = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCENn = 0時のIICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可（IICEn = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICEn = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCENn = 0）	セットされる条件（STCENn = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSVn = 0）	セットされる条件（IICRSVn = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はRead onlyです。

注意1.　STCENnビットへの書き込みは動作停止（IICEn = 0）時のみ行ってください。

2.　STCENn = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを発行（STTn = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3.　IICRSVnへの書き込みは動作停止（IICEn = 0）時のみ行ってください。

備考 1.　STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

2.　IICEn　：　〃　のビット7

13. 3. 5　IICAコントロール・レジスタn1（IICCTLn1）

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLDn，DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは，WUPnビットを除きI²Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）　= 0）のときに設定してください。

リセット信号の発生により，00Hになります。

図13ー9　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（1/2）

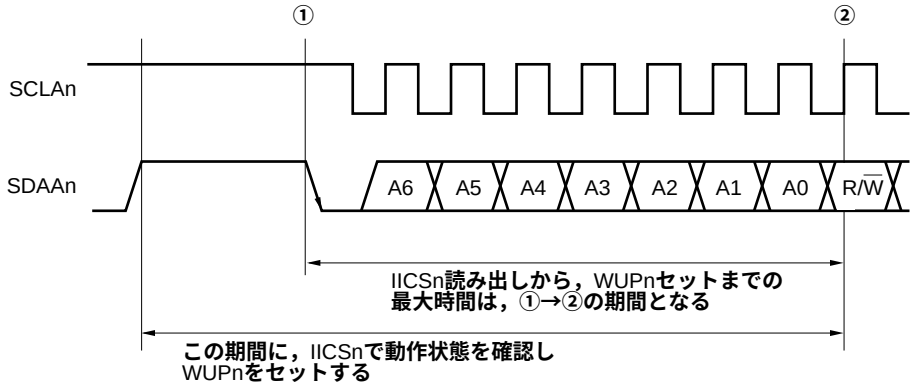
アドレス：F0231H (IICCTL01), F0239H (IICCTL11)　　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUPn = 1でSTOPモードに移行する場合は，WUPnビットをセット（1）して3クロック以上経過後にSTOP命令を実行してください（図13ー22　WUPn = 1を設定する場合のフロー参照）。 アドレス一致，または拡張コード受信後はWUPnビットをクリア（0）してください。WUPnビットをクリア（0）することで，その後の通信に参加する事ができます（ウエイト解除および送信データ書き込みは，WUPnビットをクリア（0）したあとに行う必要があります）。 WUPn = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUPn = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUPn = 1の場合には，SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUPn = 0）	セットされる条件（WUPn = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTSn, EXCn, COIn = 0であり，STDn = 0（通信に不参加である事）のとき）[注2]

注1.　ビット4, 5はRead Onlyです。

2.　次に示す期間に，IICAステータス・レジスタn（IICSn）の状態を確認しセットする必要があります。



備考　n = 0, 1

図13ー9　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（2/2）

CLDn	SCLAn端子のレベル検出（IICEn = 1のときのみ有効）
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出

クリアされる条件（CLDn = 0）	セットされる条件（CLDn = 1）
・SCLAn端子がロウ・レベルのとき ・IICEn = 0（動作停止）のとき ・リセット時	・SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出（IICEn = 1のときのみ有効）
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出

クリアされる条件（DADn = 0）	セットされる条件（DADn = 1）
・SDAAn端子がロウ・レベルのとき ・IICEn = 0（動作停止）のとき ・リセット時	・SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時に使用してください。
デジタル・フィルタは，ノイズ除去のために使用します。
DFCnビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。

PRSn	動作クロックの分周動作制御
0	動作クロックにf_{CLK}を選択
1	動作クロックにf_{CLK}/2を選択

注意1. 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

標準モード時　：f_{CLK} = 1 MHz（Min.）
ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）

また，シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを越える場合は，IICCTLn1レジスタのPRSnビットを1にすることで，動作クロックにf_{CLK}/2を選択してください。

2. ファースト・モード・プラスは，A:民生用途（T_A=-40～+85℃）D:産業用途（T_A =-40～+85℃）のみです。

備考1. IICEn：IICAコントロール・レジスタn0（IICCTLn0）のビット7

2. n = 0, 1

13. 3. 6　IICAロウ・レベル幅設定レジスタn（IICWLn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のロウ・レベル幅（t_{LOW}）とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは，8ビット・メモリ操作命令で設定します。

IICWLnレジスタは，I^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWLnの設定方法については，13. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

図13ー10　IICAロウ･レベル幅設定レジスタn（IICWLn）のフォーマット

アドレス：F0232H (IICWL0), F023AH (IICWL1)　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

13. 3. 7　IICAハイ・レベル幅設定レジスタn（IICWHn）

シリアル・インタフェースIICAが，出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは，8ビット・メモリ操作命令で設定します。

IICWHnレジスタは，I^2Cが動作禁止（IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

図13ー11　IICAハイ･レベル幅設定レジスタn（IICWHn）のフォーマット

アドレス：F0233H (IICWH0), F023BH (IICWH1)　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考 1.　マスタ側の転送クロックの設定方法は13. 4. 2. (1)を，スレーブ側のIICWLn, IICWHnレジスタの設定方法は，13. 4. 2. (2)を参照してください。

2.　n = 0, 1

13. 3. 8　ポート・モード・レジスタ6（PM6）

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICEn（IICAコントロール・レジスタn0（IICCTLn0）のビット7）が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICEnビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図13－12　ポート・モード・レジスタ6（PM6）のフォーマット

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM63	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択（n = 0-3）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

13. 4　I²Cバス・モードの機能

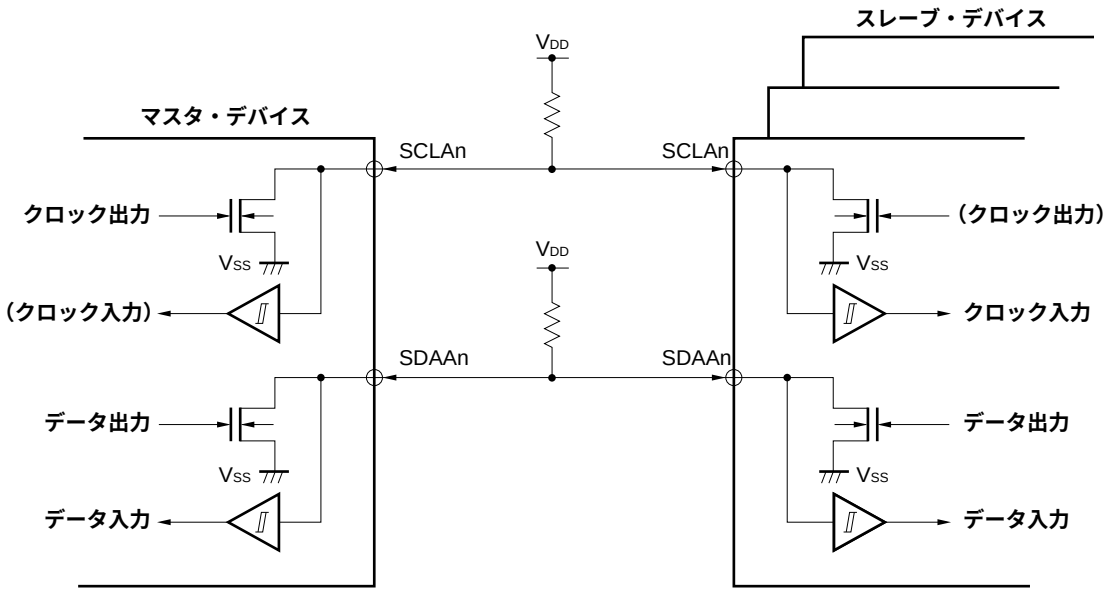
13. 4. 1　端子構成

シリアル・クロック端子（SCLAn）と，シリアル・データ・バス端子（SDAAn）の構成は，次のようになっています。

（1）SCLAn……シリアル・クロックを入出力するための端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。
（2）SDAAn……シリアル・データの入出力兼用端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図13－13　端子構成図



備考　n = 0, 1

13. 4. 2　IICWLn, IICWHnレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{CLK}}{IICWL + IICWH + f_{CLK}(t_R + t_F)}$$

このとき，最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{CLK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{CLK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

・ファースト･モード･プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{CLK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$IICWLn = 1.3\ \mu s \times f_{CLK}$

$IICWHn = (1.2\ \mu s - t_R - t_F) \times f_{CLK}$

・標準モード時

$IICWLn = 4.7\ \mu s \times f_{CLK}$

$IICWHn = (5.3\ \mu s - t_R - t_F) \times f_{CLK}$

・ファースト･モード･プラス時

$IICWLn = 0.50\ \mu s \times f_{CLK}$

$IICWHn = (0.50\ \mu s - t_R - t_F) \times f_{CLK}$

注意　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時	：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時	：f_{CLK} = 10 MHz（Min.）
標準モード時	：f_{CLK} = 1 MHz（Min.）

また，シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを越える場合は，IICCTLn1レジスタのPRSnビットを1にすることで，動作クロックに$f_{CLK}/2$を選択してください。

（備考は，次ページにあります。）

備考1. SDAAn, SCLAn**信号の立ち上がり時間（**t_R**）と立ち下がり時間（**t_F**）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。**

2. IICWLn：IICA**ロウ・レベル幅設定レジスタ**n

   IICWHn　　：IICA**ハイ・レベル幅設定レジスタ**n

   t_F　　：SDAAn, SCLAn**信号の立ち下がり時間**

   t_R　　：SDAAn, SCLAn**信号の立ち上がり時間**

   f_{CLK}　　：CPU／**周辺ハードウエア・クロック周波数**

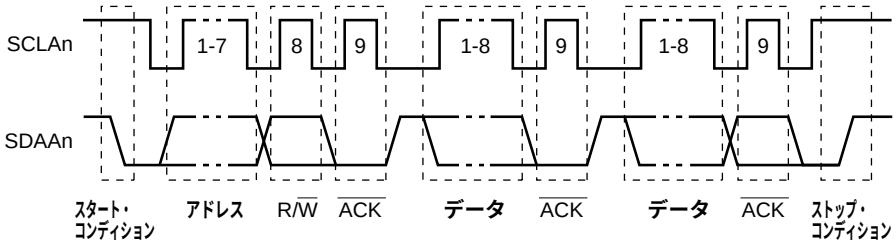
3. n = 0, 1

13. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図13－14に示します。

図13－14　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

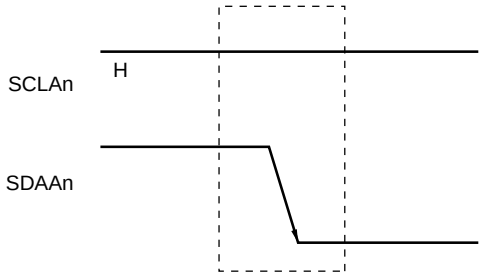
アクノリッジ（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

13. 5. 1　スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図13－15　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPDn：IICAステータス・レジスタn（IICSn）のビット0 = 1）のときにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1（STDn）がセット（1）されます。

備考　n = 0, 1

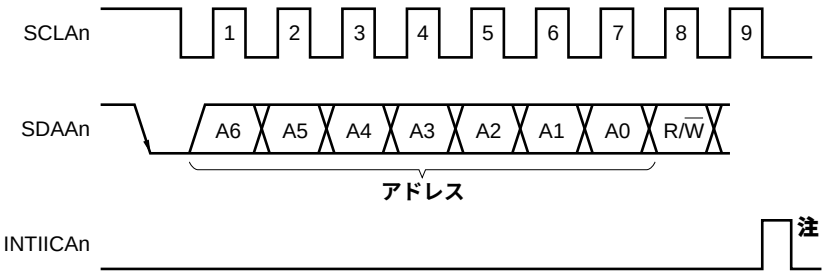
13. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタn（SVAn）と一致しているかを調べます。このとき，7ビット・データとSVAnレジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図13－16　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

アドレスは，スレーブのアドレスと13. 5. 3　**転送方向指定**に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタn（IICAn）に書き込むと出力します。また，受信したアドレスはIICAnレジスタに書き込まれます。

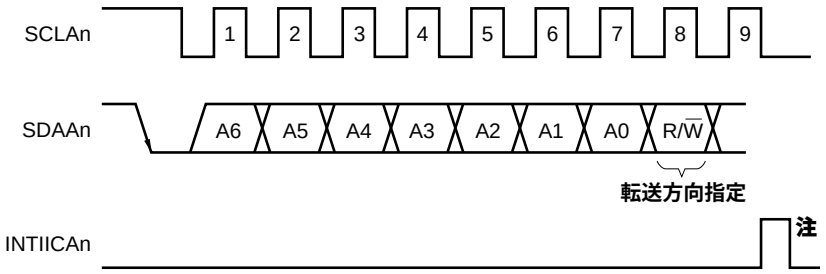
なお，スレーブのアドレスは，IICAnレジスタの上位7ビットに割り当てられます。

13. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図13－17　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICAnは発生しません。

備考　n = 0, 1

13. 5. 4　アクノリッジ（$\overline{\text{ACK}}$）

アクノリッジ（$\overline{\text{ACK}}$）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタn（IICSn）のビット2（ACKDn）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

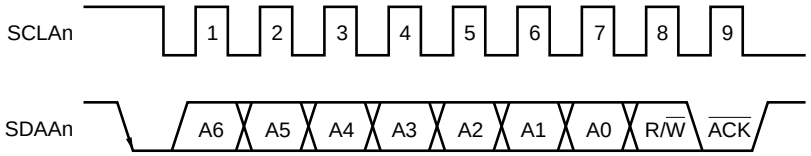
アクノリッジ生成は，受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタn0（IICCTLn0）のビット2（ACKEn）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3（TRCn）が設定されます。受信（TRCn = 0）の場合は，通常，ACKEnビットをセット（1）してください。

スレーブ受信動作時（TRCn = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKEnビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCn = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKEnビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図13－18　アクノリッジ



自局アドレス受信時は，ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKEnビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウエイト・タイミングの設定により次のように異なります。

- 8クロック・ウエイト選択時（IICCTLn0レジスタのビット3（WTIMn）　= 0）：
  ウエイト解除を行う前にACKEnビットをセット（1）することによって，SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・ウエイト選択時（IICCTLn0レジスタのビット3（WTIMn）　= 1）：
  あらかじめACKEnビットをセット（1）することによって，アクノリッジを生成します。

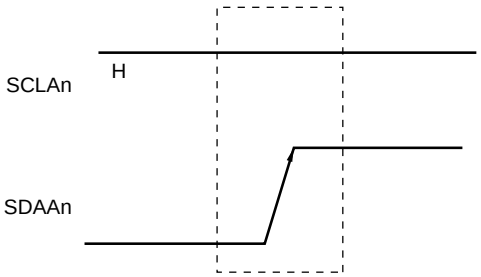
備考　n = 0, 1

13. 5. 5　ストップ・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図13－19　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタn0（IICCTLn0）のビット0（SPTn）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタn（IICSn）のビット0（SPDn）がセット（1）され，IICCTLn0レジスタのビット4（SPIEn）がセット（1）されている場合にはINTIICAnが発生します。

備考　n = 0, 1

13. 5. 6　ウエイト

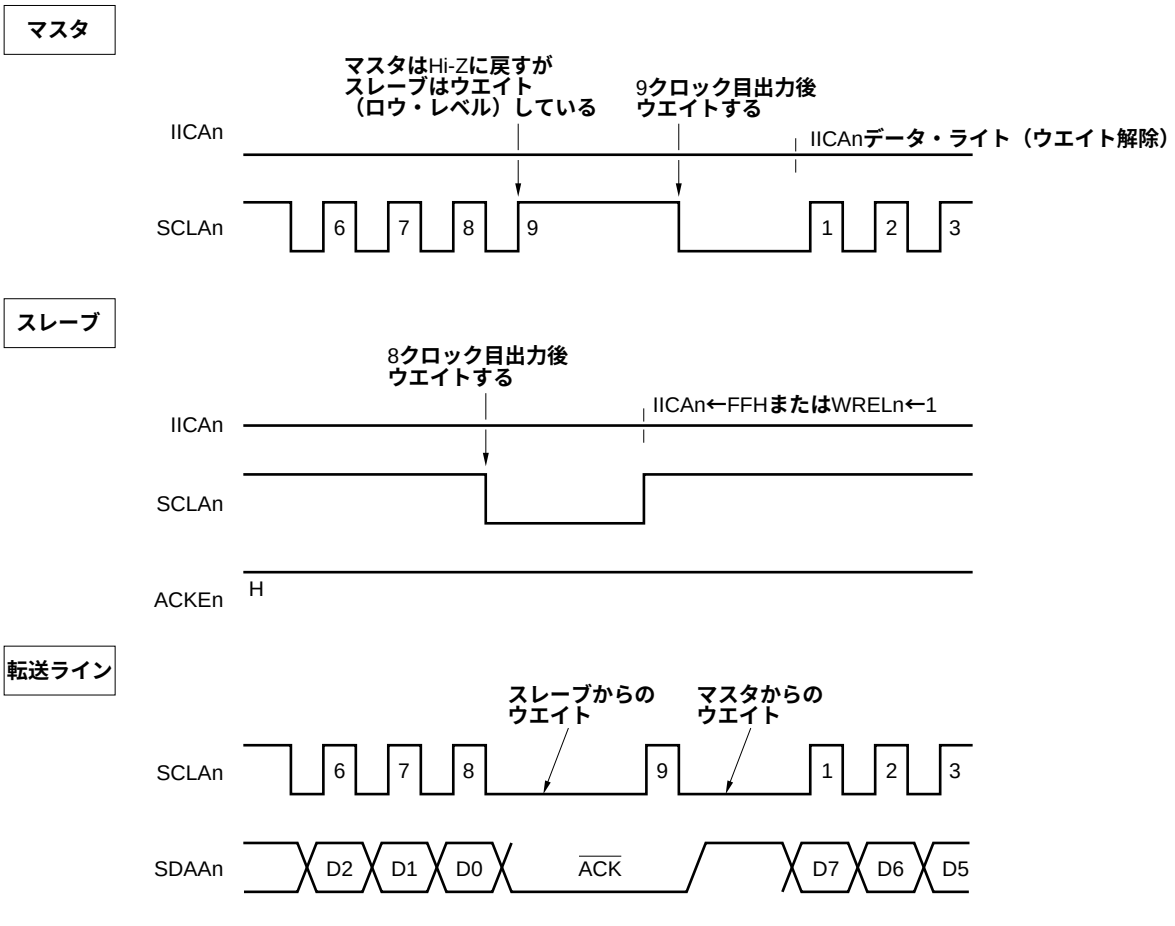
ウエイトによっては，マスタまたはスレーブがデータの送受信のための準備中（ウエイト状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタ，スレーブ両方のウエイト状態が解除されると，次の転送を開始できます。

図13－20　ウエイト（1/2）

（1）マスタは9クロック・ウエイト，スレーブは8クロック・ウエイト時

（マスタ：送信，スレーブ：受信，ACKEn = 1）

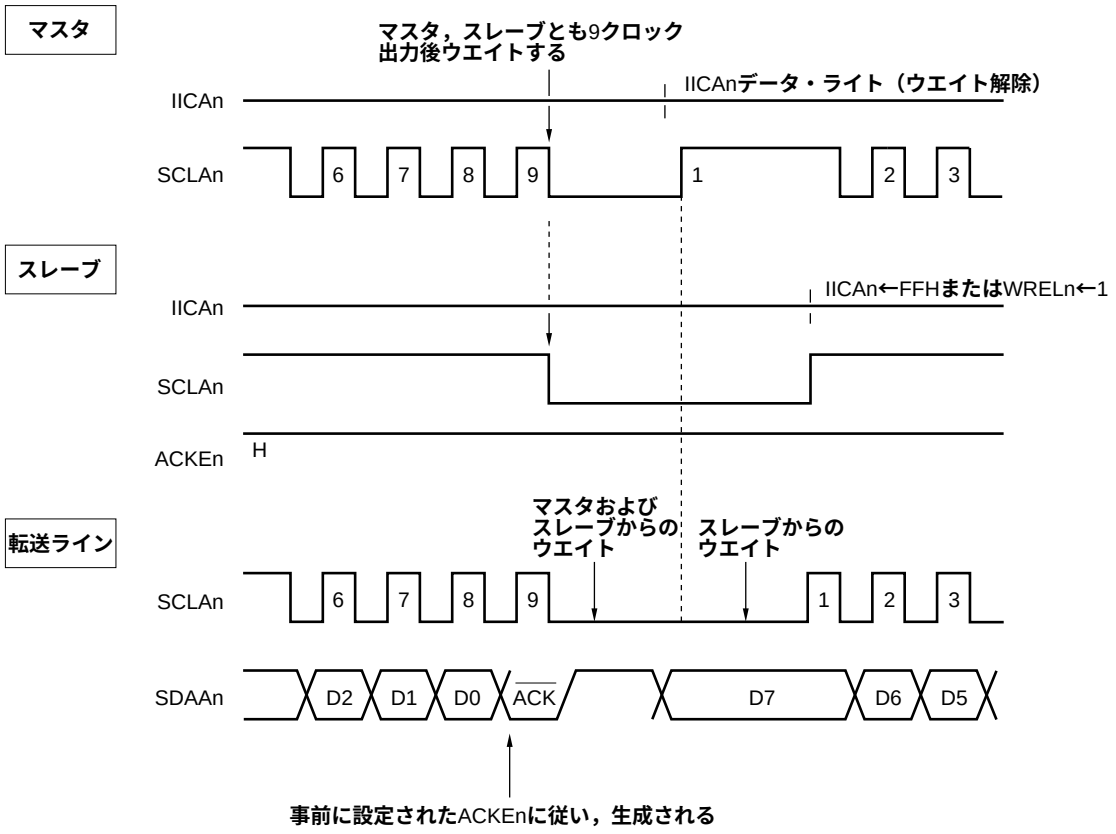


備考　n = 0, 1

図13－20　ウエイト（2/2）

（2）マスタ，スレーブとも9クロック・ウエイト時

（マスタ：送信，スレーブ：受信，ACKEn = 1**）**



備考　ACKEn ：IICA**コントロール・レジスタ**n0（IICCTLn0）**のビット**2
WRELn ：　　〃　　**のビット**5

ウエイトは，IICA**コントロール・レジスタ**n0（IICCTLn0）**のビット**3（WTIMn）**の設定により自動的に発生します。**

通常，受信側はIICCTLn0**レジスタのビット**5（WRELn**ビット**）＝1**または**IICA**シフト・レジスタ**n（IICAn）**に**FFH**を書き込むとウエイトを解除し，送信側は**IICAn**レジスタにデータを書き込むとウエイトを解除します。**

マスタの場合は，次の方法でもウエイトを解除できます。

- IICCTLn0**レジスタのビット**1（STTn）＝1
- IICCTLn0**レジスタのビット**0（SPTn）＝1

備考　n = 0, 1

13. 5. 7　ウエイト解除方法

I²Cでは，通常，次のような処理でウエイトを解除できます。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（ウエイト解除）
- IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

これらのウエイト解除処理を実行した場合，I²Cはウエイトを解除し，通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には，IICAnレジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTLn0レジスタのビット5（WRELn）をセット（1）してください。

ウエイト解除後にリスタート・コンディションを生成する場合には，IICCTLn0レジスタのビット1（STTn）をセット（1）してください。

ウエイト解除後にストップ・コンディションを生成する場合には，IICCTLn0レジスタのビット0（SPTn）をセット（1）してください。

1回のウエイト状態に対して1回だけ解除処理を実行してください。

たとえば，WRELnビットにセット（1）によるウエイト解除後，IICAnレジスタへのデータ書き込みを実施した場合には，SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により，SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICEnビットをクリア（0）すると通信を停止するので，ウエイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTLn0レジスタのビット6（LRELn）をセット（1）すると通信から退避するので，ウエイトを解除できます。

注意　WUPn = 1のときにウエイト解除処理を実行した場合，ウエイトは解除されません。

備考　n = 0, 1

13. 5. 8　割り込み要求（INTIICAn）発生タイミングおよびウエイト制御

IICAコントロール・レジスタn0（IICCTLn0）のビット3（WTIMn）の設定で，表13－2に示すタイミングでINTIICAnが発生し，また，ウエイト制御を行います。

表13－2　INTIICAn発生タイミングおよびウエイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 注1, 2	8 注2	8 注2	9	8	8
1	9 注1, 2	9 注2	9 注2	9	9	9

注1.　スレーブのINTIICAn信号およびウエイトは，スレーブ・アドレス・レジスタn（SVAn）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTLn0レジスタのビット2（ACKEn）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICAnを発生しますが，ウエイトは発生しません。

2.　スレーブ・アドレス・レジスタn（SVAn）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICAnもウエイトも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

・スレーブ動作時：WTIMnビットにかかわらず，上記の注1, 2の条件により，割り込みおよびウエイト・タイミングが決まります。
・マスタ動作時　：WTIMnビットにかかわらず，割り込みおよびウエイト・タイミングは，9クロック目の立ち下がりで発生します。

(2) データ受信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびウエイト・タイミングが決まります。

(3) データ送信時

・マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびウエイト・タイミングが決まります。

備考　n = 0, 1

(4) ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）のセット（ウエイト解除）
- IICCTLn0レジスタのビット1（STTn）のセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのビット0（SPTn）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8クロック・ウエイト選択（WTIMn = 0）時は，ウエイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは，ストップ・コンディションを検出すると発生します（SPIEn = 1のときのみ）。

13. 5. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn（SVAn）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICAn割り込み要求が発生します。

13. 5. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAAn）の状態が，送信しているデバイスのIICAシフト・レジスタn（IICAn）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考　n = 0, 1

13. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXCn）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICAn）を発生します。
スレーブ・アドレス・レジスタn（SVAn）に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICAn）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致：EXCn = 1
・7ビット・データの一致　　：COIn = 1

備考　EXCn　　：IICAステータス・レジスタn（IICSn）のビット5
　　COIn　　：　　〃　　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn）　= 1に設定してください。次の通信待機状態にします。

表13－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考 1.　上記以外の拡張コードについては，NXP社発行のI²Cバスの仕様書を参照してください。
2.　n = 0, 1

13. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STDn = 1になる前にSTTn = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

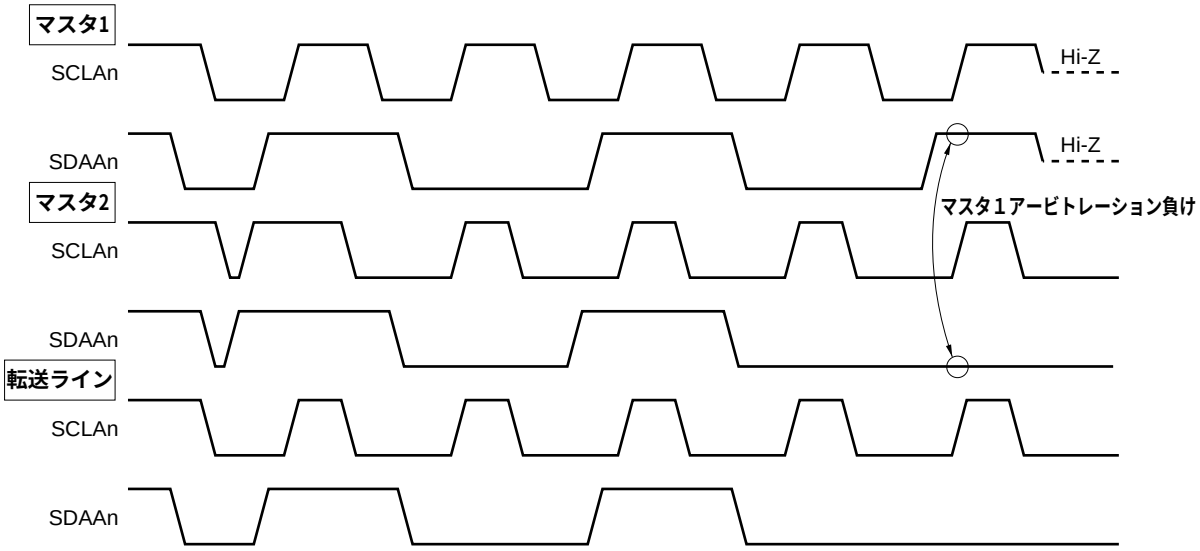
アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセット（1）し，SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては，13. 5. 8　**割り込み要求（INTIICAn）の発生タイミングおよびウエイト制御**を参照してください。

備考　STDn　：IICAステータス・レジスタn（IICSn）のビット1
　　STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1

図13－21　アービトレーション・タイミング例



備考　n = 0, 1

表13－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり[注1]
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）[注2]
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）[注2]
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1.　WTIMnビット（IICAコントロール・レジスタn0（IICCTLn0）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIEn = 1に設定してください。

備考 1.　SPIEn：IICAコントロール・レジスタn0（IICCTLn0）のビット4

2.　n = 0, 1

13. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

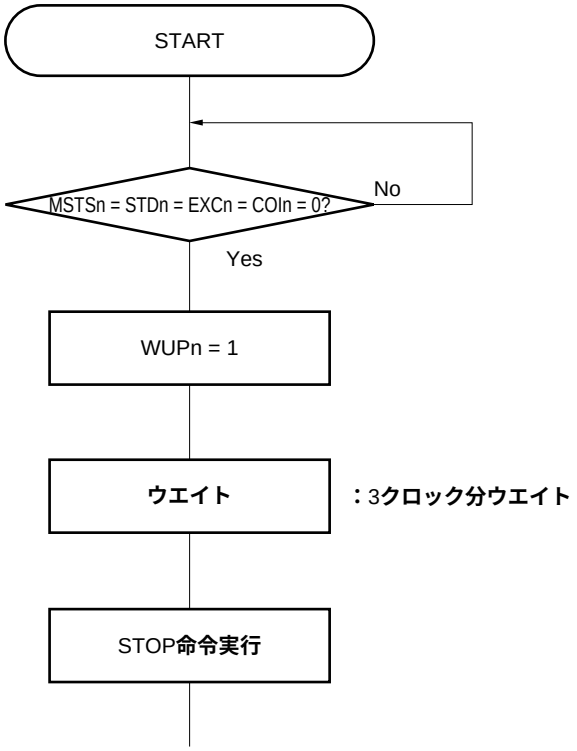
アドレスが一致しないときは不要なINTIICAn信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令でWUPnビットをクリア（0）することで通常動作に戻ります。

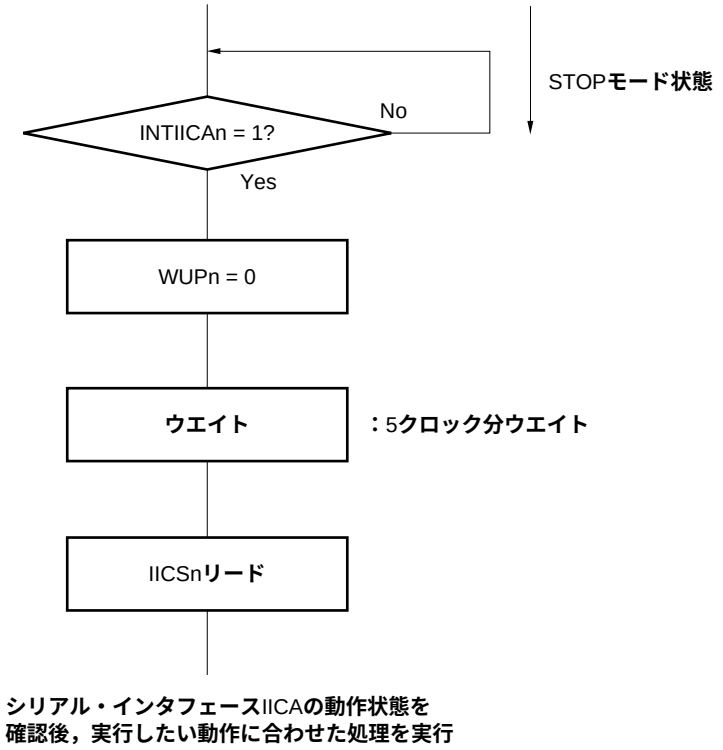
WUPn = 1に設定する場合のフローを図13－22に，アドレス一致によりWUPn = 0に設定する場合のフローを図13－23に示します。

図13－22　WUPn = 1を設定する場合のフロー



備考　n = 0, 1

図13－23　**アドレス一致により**WUPn = 0**に設定する場合のフロー（拡張コード受信含む）**

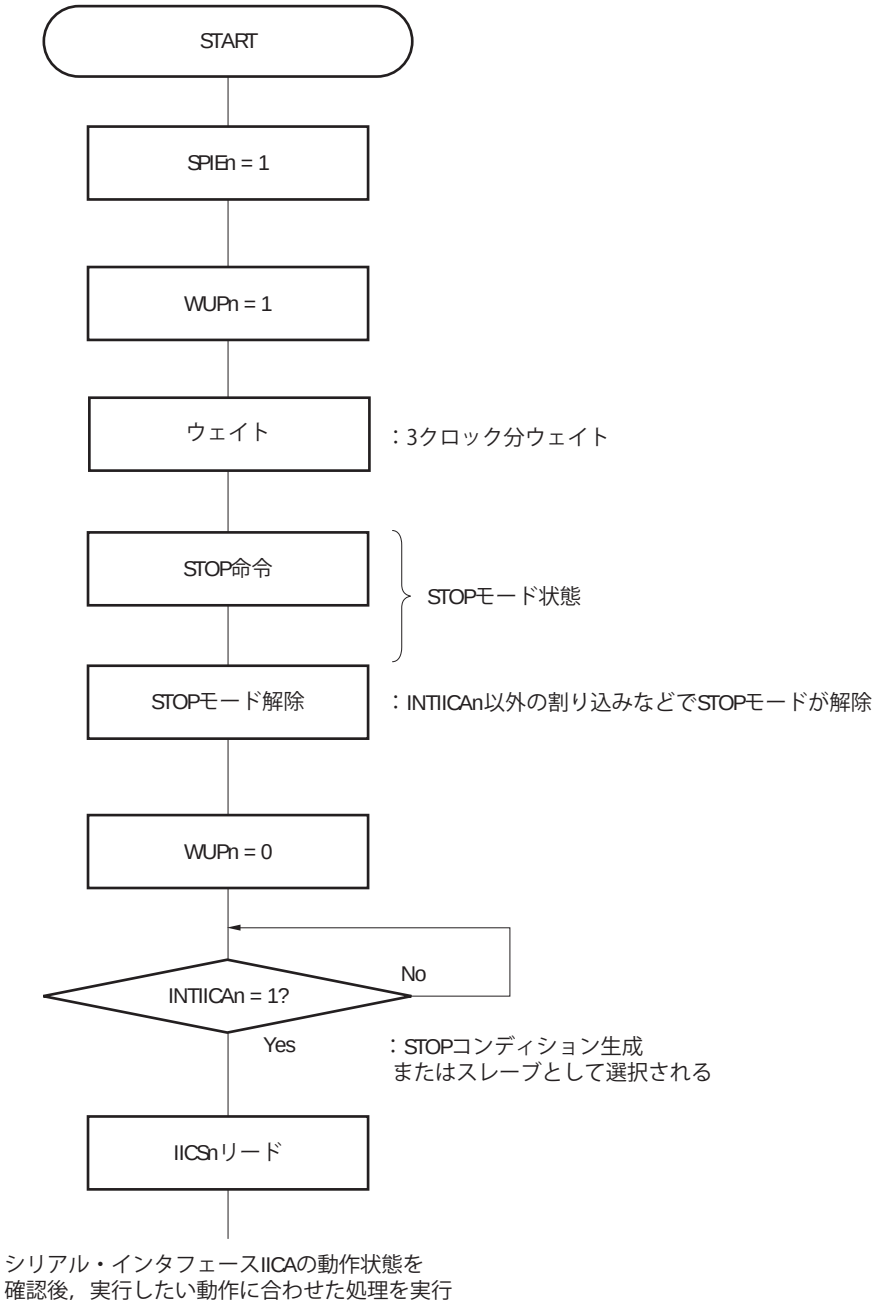


また，シリアル・インタフェースIICA**からの割り込み要求（**INTIICAn**）以外で**STOP**モードを解除する場合の処理は次のフローを行ってください。**

- **マスタとして動作させる場合　：図**13－24**のフロー**
- **スレーブとして動作させる場合：図**13－23**のフローと同じになります。**

備考　n = 0, 1

図13ー24　INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考　n = 0, 1

13. 5. 14　通信予約

(1) 通信予約機能許可の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタn0（IICCTLn0）のビット6（LRELn）　= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTLn0レジスタのビット1（STTn）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTLn0レジスタのビット4（SPIEn）をセット（1）し，割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタn（IICAn）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICAnレジスタに書き込まれたデータは，無効です。

STTnビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STTnビットをセット（1）し，ウエイト時間をとったあと，MSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

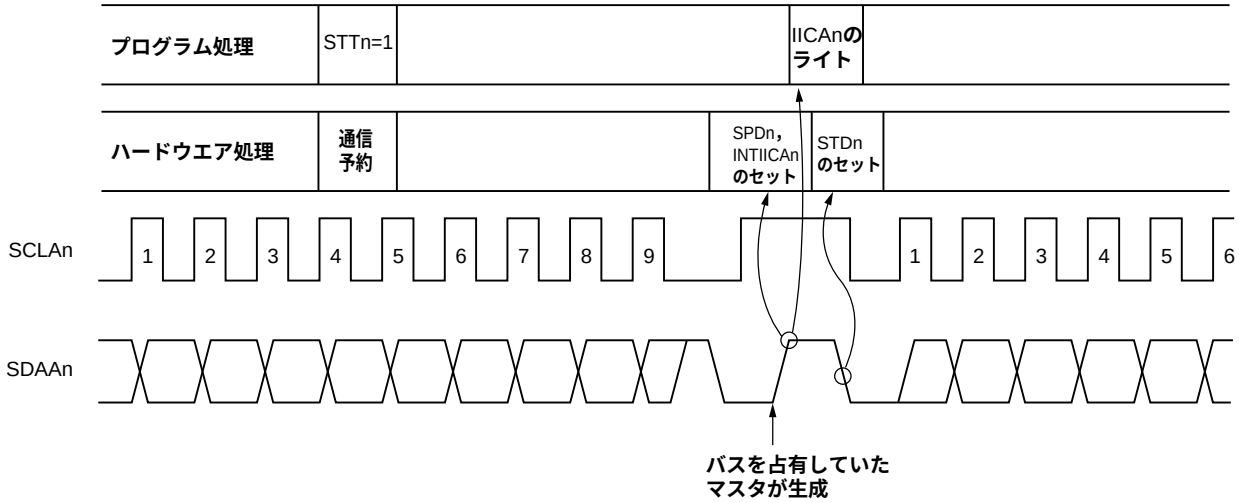
ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STTn = 1からMSTSnフラグ確認までのウエイト時間： （IICWLnの設定値＋IICWHnの設定値＋4）＋t_F×2×f_{CLK}［クロック］

備考1.　IICWLn　：IICAロウ・レベル幅設定レジスタn
　　IICWHn　：IICAハイ・レベル幅設定レジスタn
　　t_F　：SDAAn, SCLAn信号の立ち下がり時間
　　f_{CLK}　：CPU／周辺ハードウエア・クロック周波数
　　2.　n = 0, 1

通信予約のタイミングを図13－25に示します。

図13－25　通信予約のタイミング



備考　IICAn ：IICAシフト・レジスタn

STTn ：IICAコントロール・レジスタn0（IICCTLn0）のビット1

STDn ：IICAステータス・レジスタn（IICSn）のビット1

SPDn ：　　〃　　のビット0

通信予約は図13－26に示すタイミングで受け付けられます。IICAステータス・レジスタn（IICSn）のビット1（STDn） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn） = 1で通信予約をします。

図13－26　通信予約受け付けタイミング

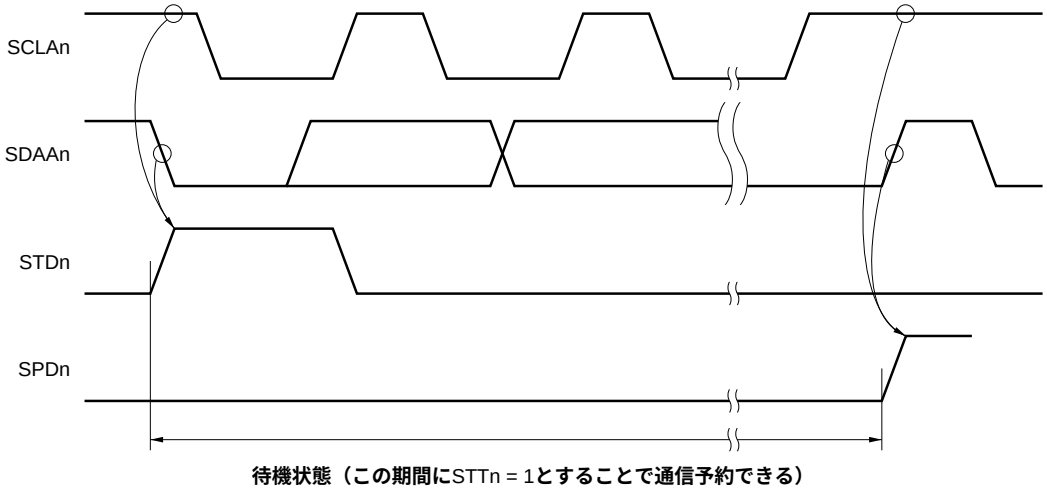
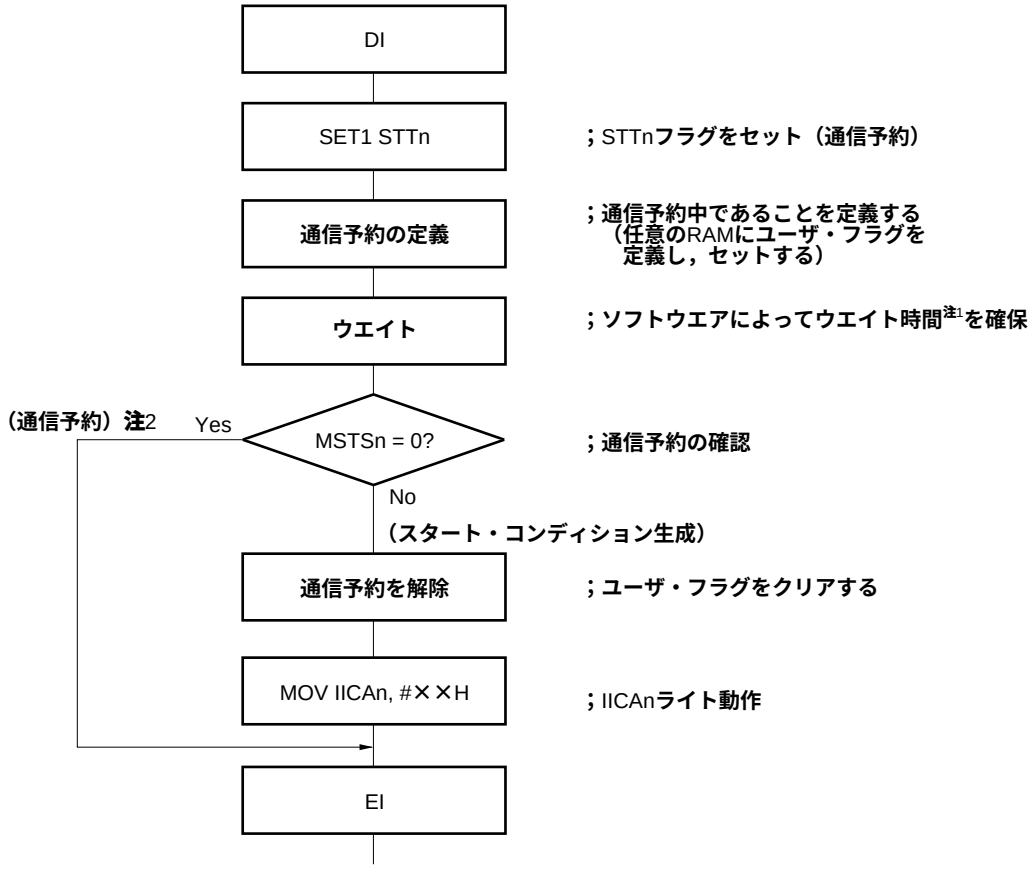


図13－27に通信予約の手順を示します。

備考　n = 0, 1

図13－27　通信予約の手順



注1.　**ウエイト時間は次のようになります。**

（IICWLn**の設定値**＋IICWHn**の設定値**＋4）＋t_F×2×f_{CLK}［**クロック**］

2.　**通信予約動作時は，ストップ・コンディション割り込み要求で**IICA**シフト・レジスタ**n（IICAn）**への書き込みを実行します。**

備考 1.　STTn　：IICA**コントロール・レジスタ**n0（IICCTLn0）**のビット**1

MSTSn　：IICA**ステータス・レジスタ**n（IICSn）**のビット**7

IICAn　：IICA**シフト・レジスタ**n

IICWLn　：IICA**ロウ・レベル幅設定レジスタ**n

IICWHn　：IICA**ハイ・レベル幅設定レジスタ**n

t_F　：SDAAn, SCLAn**信号の立ち下がり時間**

f_{CLK}　：CPU／**周辺ハードウエア・クロック周波数**

2.　n = 0, 1

(2) 通信予約機能禁止の場合（IICAフラグ・レジスタn（IICFn）のビット0（IICRSVn） = 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- **アービトレーションでマスタにもスレーブにもなれなかった場合**
- **拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTLn0レジスタのビット6（LRELn） = 1で通信退避してバスを解放した）とき。**

スタート・コンディションが生成されたかまたは拒絶されたかは，STCFn（IICFnレジスタのビット7）で確認できます。STTn = 1としてからSTCFnがセット（1）されるまで5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

備考　n = 0, 1

13. 5. 15　その他の注意事項

(1)　STCENn = 0の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず通信状態（IICBSYn = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1（IICCTLn1）を設定する
② IICAコントロール・レジスタn0（IICCTLn0）のビット7（IICEn）をセット（1）する
③ IICCTLn0レジスタのビット0（SPTn）をセット（1）する

(2)　STCENn = 1の場合

I²C動作許可（IICEn = 1）直後，実際のバス状態にかかわらず解放状態（IICBSYn = 0）と認識しますので，1回目のスタート・コンディションを生成（STTn = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3)　すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで，かつSCLAn端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTLn0レジスタのビット4（SPIEn）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICAn）発生を禁止する
② IICCTLn0レジスタのビット7（IICEn）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICEnビットをセット（1）してから，4～72クロック中）に，IICCTLn0レジスタのビット6（LRELn）をセット（1）にし，強制的に検出を無効とする

(4)　STTn, SPTnビット（IICCTLn0レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

(5)　送信予約をした場合には，SPIEnビット（IICCTLn0レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタn（IICAn）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTSnビット（IICAステータス・レジスタn（IICSn）のビット7）を検出する場合には，SPIEnビットをセット（1）する必要はありません。

備考　n = 0, 1

13. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I^2Cバスのスレーブとして使用する場合の例を示します。

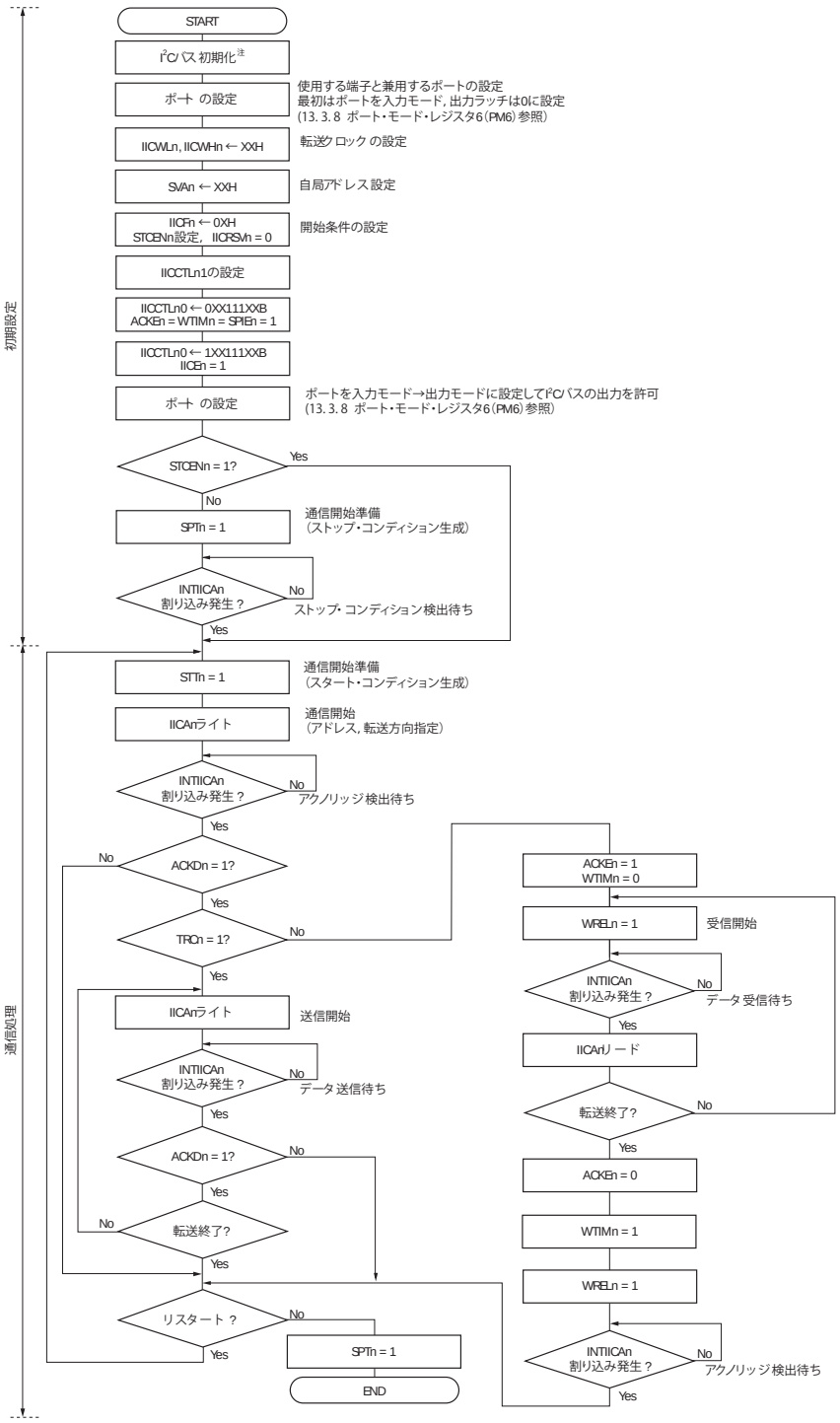
スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

備考　n = 0, 1

(1) シングルマスタ・システムでのマスタ動作

図13－28　シングルマスタ・システムでのマスタ動作



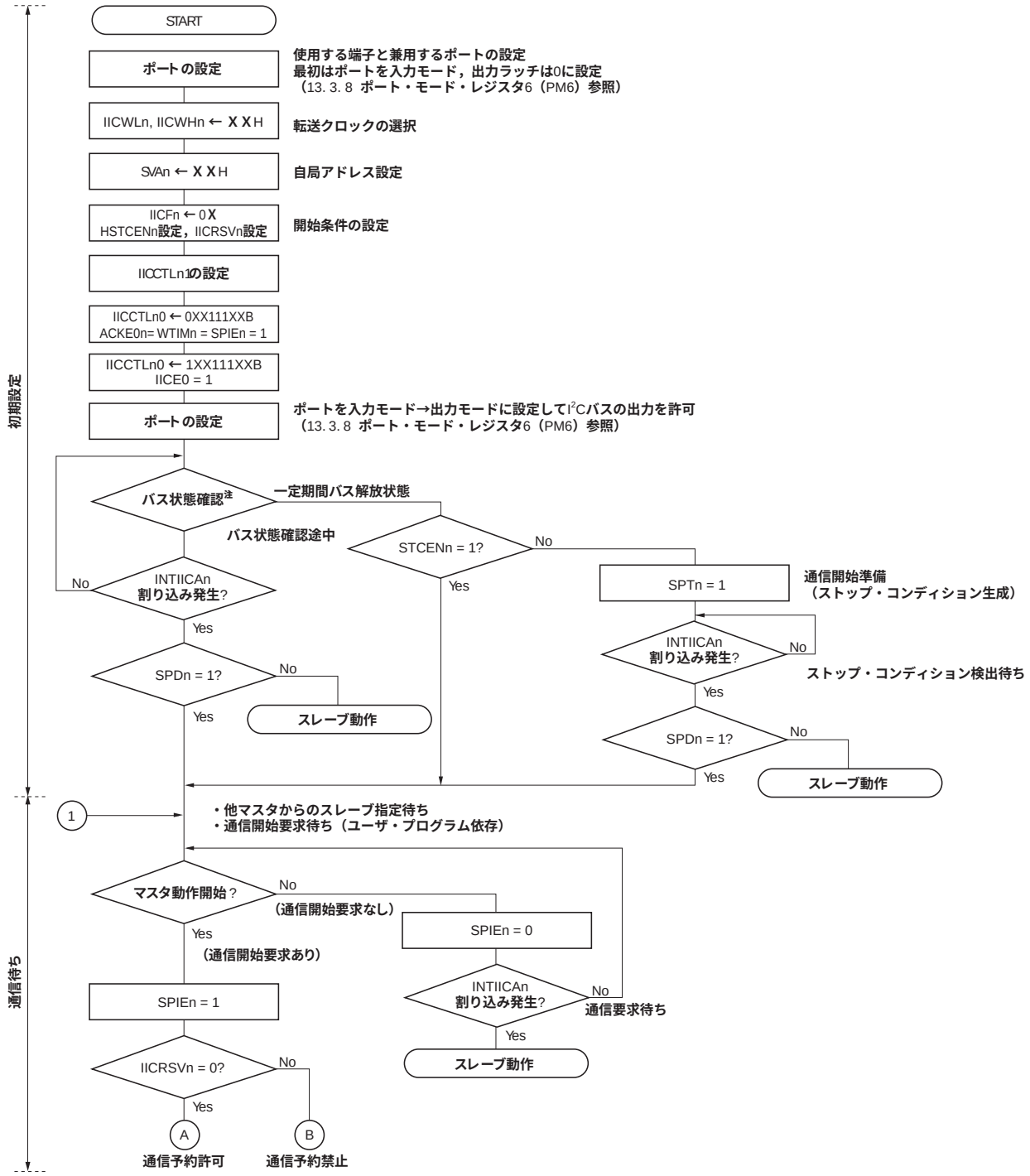
注　**通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば，SCLAn端子を出力ポートに設定し，SDAAn端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。**

備考 1.　**送信および受信フォーマットは，通信している製品の仕様に準拠してください。**

2.　n = 0, 1

(2) マルチマスタ・システムでのマスタ動作

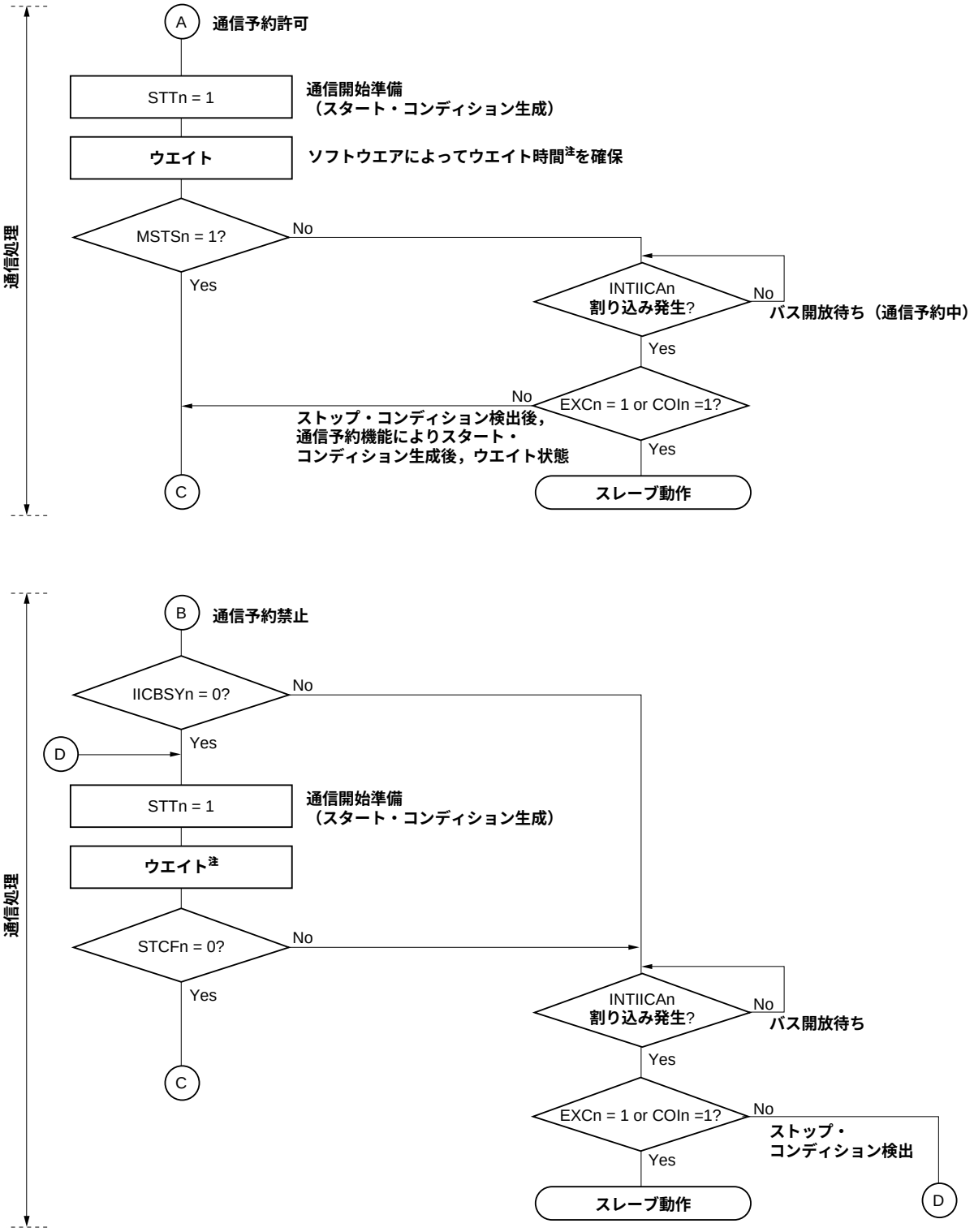
図13－29 マルチマスタ・システムでのマスタ動作（1/3）



注 一定期間（たとえば1フレーム分），バス解放状態（CLDnビット = 1, DADnビット = 1）であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

備考 n = 0, 1

図13－29　マルチマスタ・システムでのマスタ動作（2/3）



注　ウエイト時間は次のようになります。

（IICWLnの設定値＋IICWHnの設定値＋4クロック）／f_{CLK}＋t_F×2

備考1.　IICWLn　：IICAロウ・レベル幅設定レジスタn

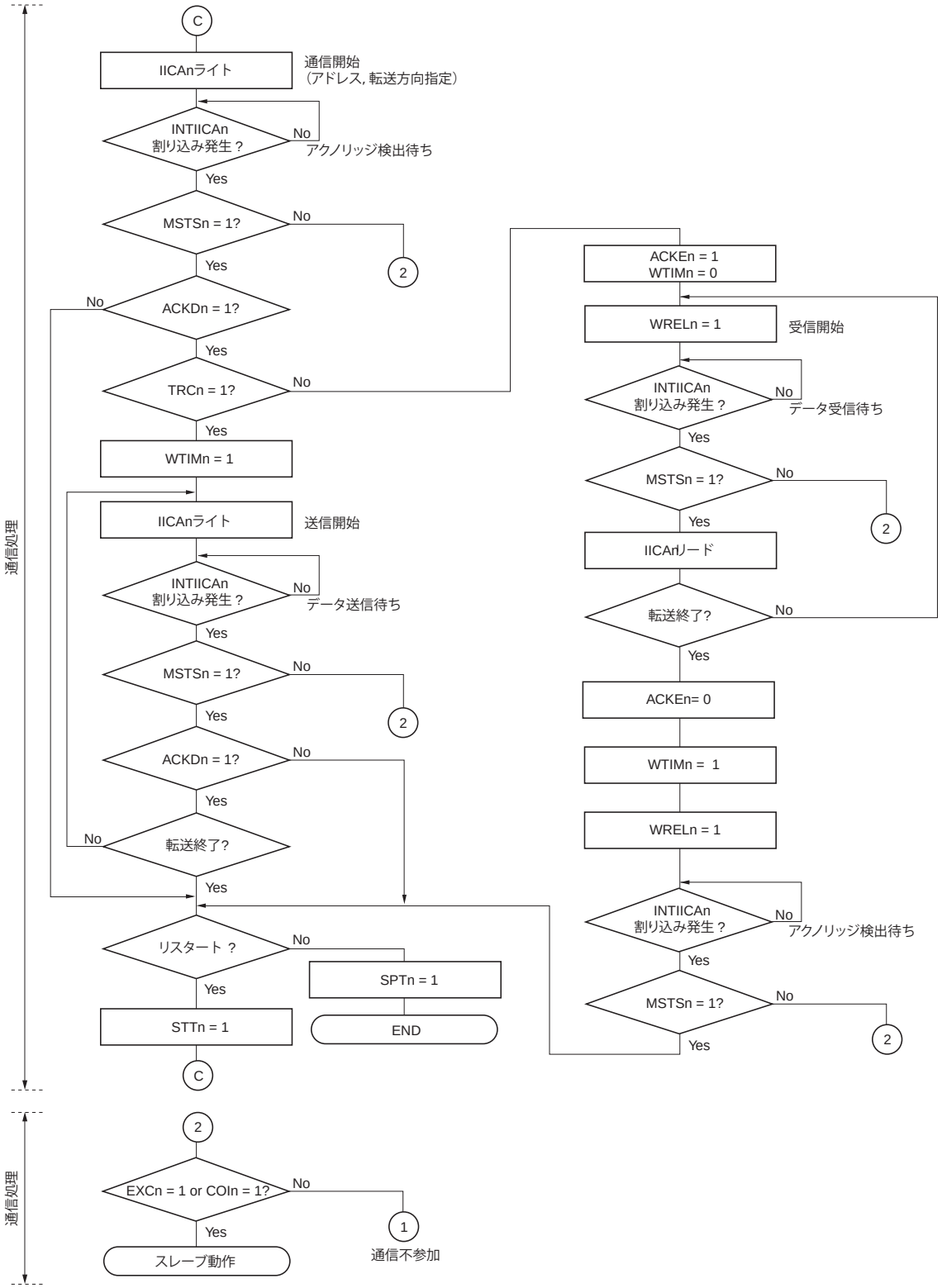
IICWHn　：IICAハイ・レベル幅設定レジスタn

t_F　：SDAAn, SCLAn信号の立ち下がり時間

f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

2.　n = 0, 1

図13－29 マルチマスタ・システムでのマスタ動作（3/3）



備考 1. **送信および受信フォーマットは通信している製品の仕様に準拠してください。**

2. **マルチマスタ・システムでマスタとして使用する場合は，**INTIICAn**割り込み発生ごとに**MSTSn**ビットをリードし，アービトレーション結果を確認してください。**

3. **マルチマスタ・システムでスレーブとして使用する場合は，**INTIICAn**割り込み発生ごとに**IICA**ステータス・レジスタ**n**（**IICSn**），**IICA**フラグ・レジスタ**n**（**IICFn**）でステータスを確認して次に行う処理を決定してください。**

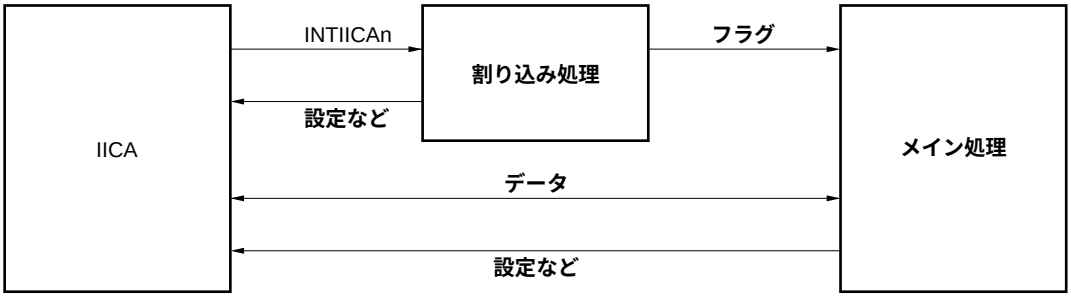
4. n = 0, 1

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICAnの代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考　n = 0, 1

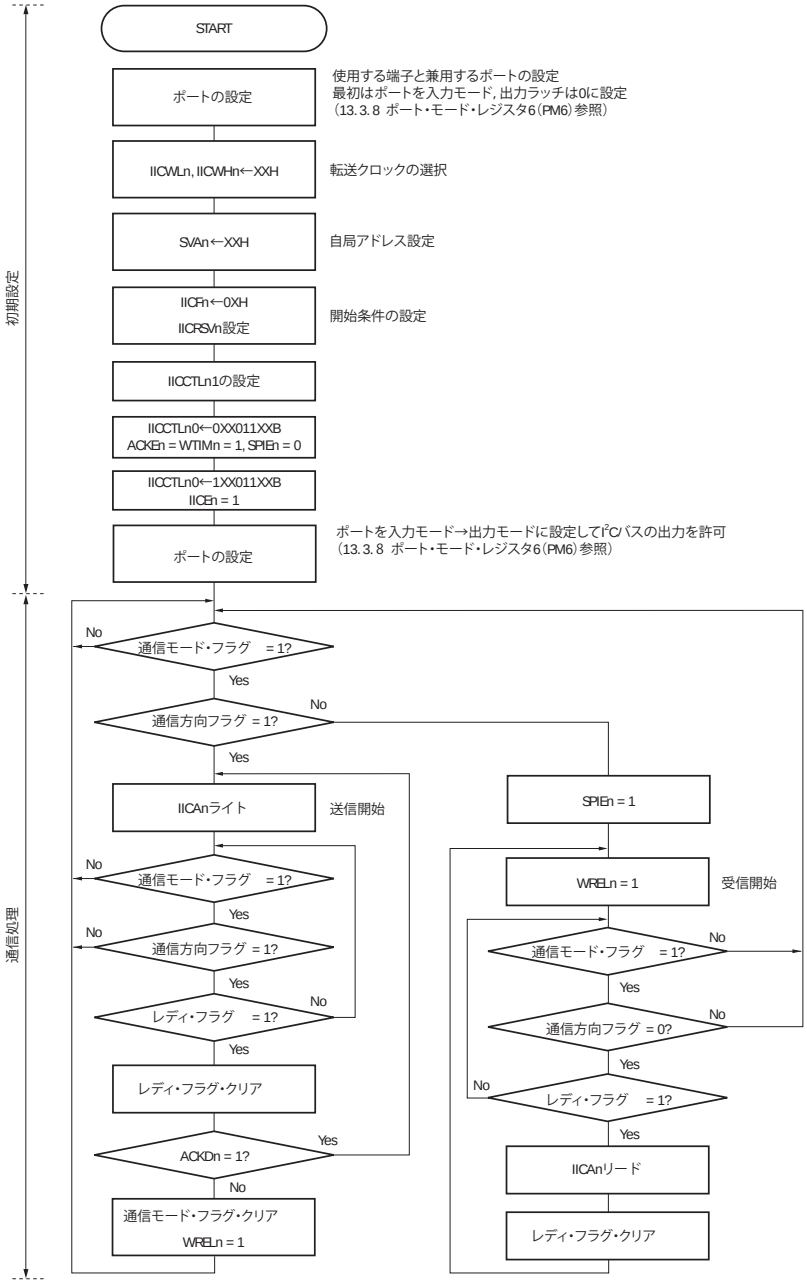
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図13－30　スレーブ動作手順（1）



備考 1.　送信および受信フォーマットは通信している製品の仕様に準拠してください。

2.　n = 0, 1

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して，次のように行います。

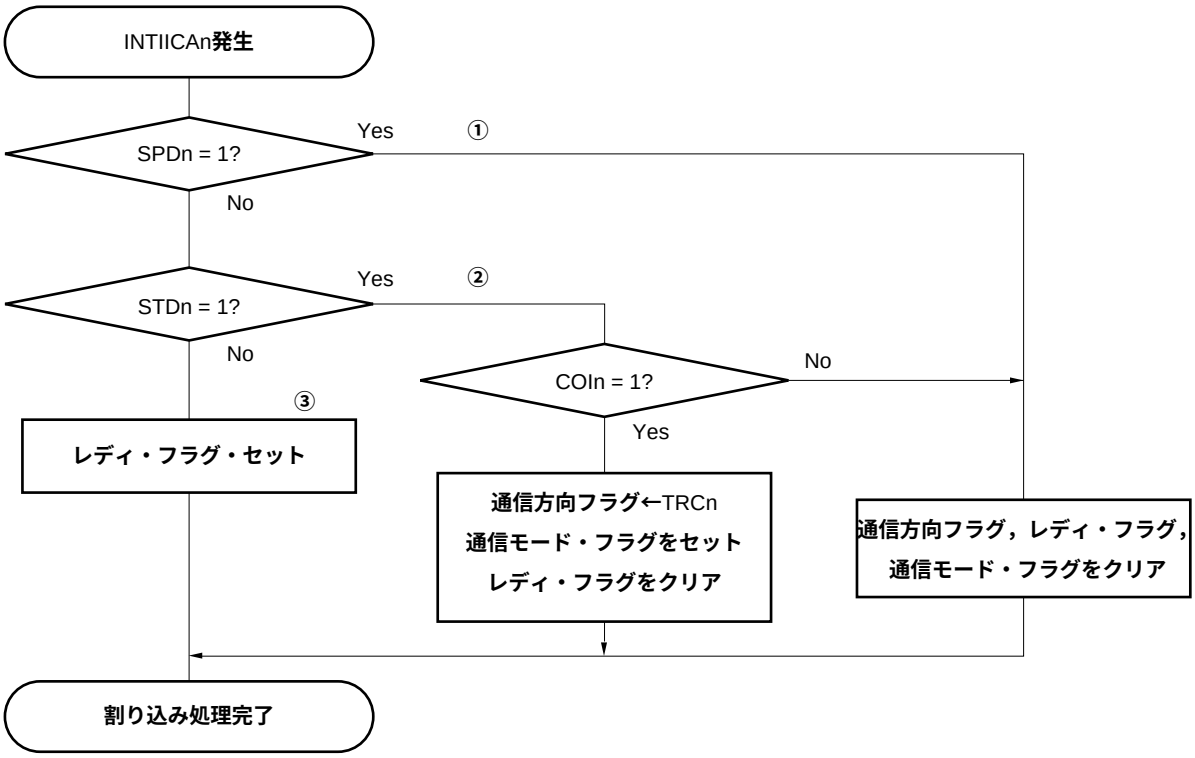
① ストップ・コンディションの場合，通信を終了します。

② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。

③ データ送受信の場合，レディ・フラグをセットするだけで，I^2Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図13－31　スレーブ動作手順（2）の①～③と対応しています。

図13－31　スレーブ動作手順（2）



備考　n = 0, 1

13. 5. 17　I²C割り込み要求（INTIICAn）の発生タイミング

次に，データの送受信，INTIICAn割り込み要求信号発生タイミングと，INTIICAn信号タイミングでのIICAステータス・レジスタn（IICSn）の値を示します。

備考1.　ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
$\overline{ACK}$　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

2.　n = 0, 1

(1) マスタ動作

(a) Start〜Address〜Data〜Data〜Stop**（送受信）**

(i) WTIMn = 0**のとき**

▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B

▲3：IICSn = 1000×000B（WTIMn**ビットをセット**（1））[注]

▲4：IICSn = 1000××00B（SPTn**ビットをセット**（1））

△5：IICSn = 00000001B

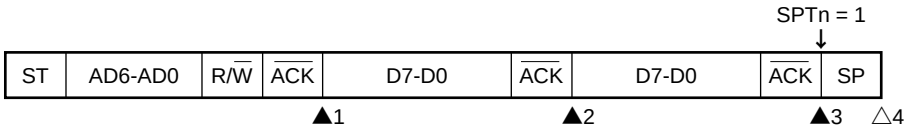
注　ストップ・コンディションを生成するために，WTIMn**ビットをセット**（1）**し，**INTIICAn**割り込み要求信号の発生タイミングを変更してください。**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B

▲3：IICSn = 1000××00B（SPTn**ビットをセット**（1））

△4：IICSn = 00000001B

備考　▲　**必ず発生**

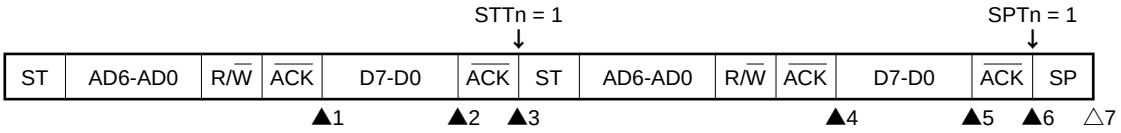
△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

(b) Start〜Address〜Data〜Start〜Address〜Data〜Stop（リスタート）

(i) WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットをセット（1）[注1]）

▲3：IICSn = 1000××00B（WTIMnビットをクリア（0）[注2]，STTnビットをセット（1））

▲4：IICSn = 1000×110B

▲5：IICSn = 1000×000B（WTIMnビットをセット（1）[注3]）

▲6：IICSn = 1000××00B（SPTnビットをセット（1））

△7：IICSn = 00000001B

注1. スタート・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIMnビットをクリア（0）してください。

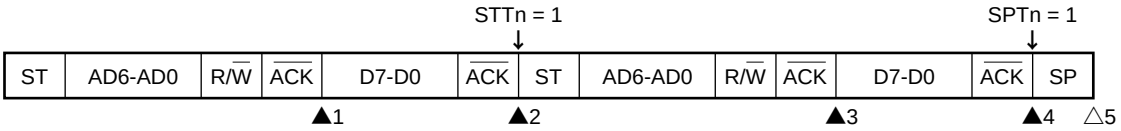
3. ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットをセット（1））

▲3：IICSn = 1000×110B

▲4：IICSn = 1000××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

備考 ▲ 必ず発生

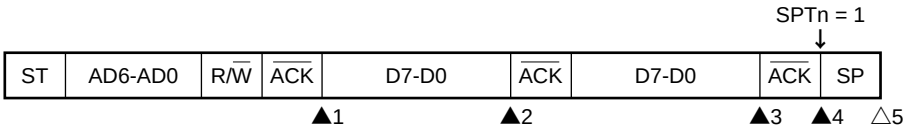
△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0, 1

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIMn = 0のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×000B

▲3：IICSn = 1010×000B（WTIMnビットをセット（1）注）

▲4：IICSn = 1010××00B（SPTnビットをセット（1））

△5：IICSn = 00000001B

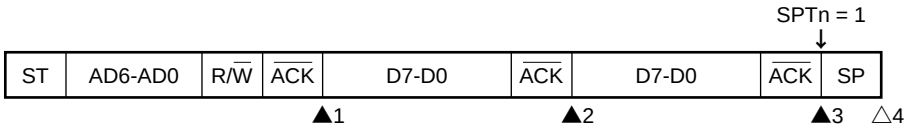
注　ストップ・コンディションを生成するために，WTIMnビットをセット（1）し，INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×100B

▲3：IICSn = 1010××00B（SPTnビットをセット（1））

△4：IICSn = 00001001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(2) スレーブ動作（スレーブ・アドレス受信時）

(a) Start〜Address〜Data〜Data〜Stop

(i) WTIMn = 0のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

▲1　▲2　▲3　△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

(ii) WTIMn = 1のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

▲1　▲2　▲3　△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(b) Start～Address～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1	▲2					▲3	▲4	△5

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

(ii) WTIMn = 1のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1		▲2				▲3	▲4	△5

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(c) Start～Address～Data～Start～Code～Data～Stop

(i) WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1	▲2				▲3		▲4	△5

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

(ii) WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1		▲2			▲3	▲4	▲5	△6

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×110B

▲5：IICSn = 0010××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1	▲2					▲3		△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1		▲2				▲3		△4

▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIMn = 0**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

▲1　▲2　▲3　△4

▲1：IICSn = 0010×010**B**

▲2：IICSn = 0010×000**B**

▲3：IICSn = 0010×000**B**

△4：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(ii) WTIMn = 1**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

▲1　▲2　▲3　▲4　△5

▲1：IICSn = 0010×010**B**

▲2：IICSn = 0010×110**B**

▲3：IICSn = 0010×100**B**

▲4：IICSn = 0010××00**B**

△5：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

(b) Start～Code～Data～Start～Address～Data～Stop

(i) WTIMn = 0のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

(ii) WTIMn = 1のとき（リスタート後，SVAn一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4	▲5	△6

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0001×110B

▲5：IICSn = 0001××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(c) Start～Code～Data～Start～Code～Data～Stop

(i) WTIMn = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
		▲1			▲2				▲3		▲4	△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

(ii) WTIMn = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
		▲1	▲2			▲3			▲4	▲5	▲6	△7

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0010×010B

▲5：IICSn = 0010×110B

▲6：IICSn = 0010××00B

△7：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4		△5

▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 00000×10B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0, 1

(4) 通信不参加の動作

(a) Start～Code～Data～Data～Stop

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

△1

△1：IICSn = 00000001**B**

備考　△　SPIEn = 1**のときだけ発生**

(5) アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn**割り込み要求信号の発生ごとに**MSTSn**ビットをリードし，アービトレーション結果を確認してください。**

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

▲1　▲2　▲3　△4

▲1：IICSn = 0101×110**B**

▲2：IICSn = 0001×000**B**

▲3：IICSn = 0001×000**B**

△4：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

(ii) WTIMn = 1**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2		▲3	△4

▲1：IICSn = 0101×110**B**

▲2：IICSn = 0001×100**B**

▲3：IICSn = 0001××00**B**

△4：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2		▲3	△4

▲1：IICSn = 0110×010**B**

▲2：IICSn = 0010×000**B**

▲3：IICSn = 0010×000**B**

△4：IICSn = 00000001**B**

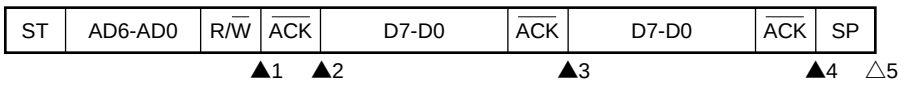
備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

（ii）WTIMn = 1のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

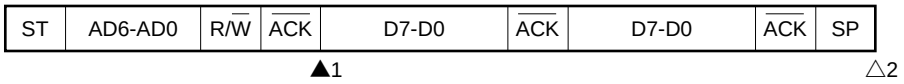
△　SPIEn = 1のときだけ発生

×　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICAn割り込み要求信号の発生ごとにMSTSnビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）



▲1：IICSn = 01000110B

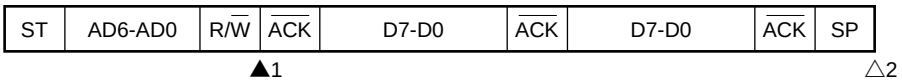
△2：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

備考　n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICSn = 0110×010**B**

ソフトウエアでLRELn = 1**を設定**

△2：IICSn = 00000001**B**

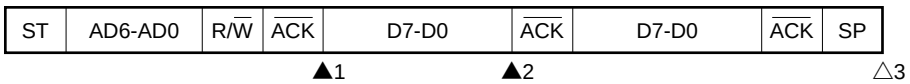
備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 10001110**B**

▲2：IICSn = 01000000**B**

△3：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

備考　n = 0, 1

(ii) WTIMn = 1**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2			△3

▲1：IICSn = 10001110**B**

▲2：IICSn = 01000100**B**

△3：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外（例　SVAn**不一致）**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dm	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1					▲2		△3

▲1：IICSn = 1000×110**B**

▲2：IICSn = 01000110**B**

△3：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

m = 6-0

備考　n = 0, 1

(ii) 拡張コード

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dm	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1				▲2			△3

▲1：IICSn = 1000×110**B**

▲2：IICSn = 01100010**B**

ソフトウエアでLRELn = 1**を設定**

△3：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dm	SP
				▲1	△2

▲1：IICSn = 10000110**B**

△2：IICSn = 01000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

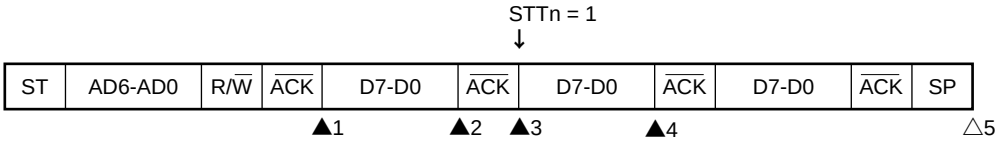
×　**任意**

m = 6-0

備考　n = 0, 1

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×000**B**（WTIMn**ビットをセット**（1））

▲3：IICSn = 1000×100**B**（WTIMn**ビットをクリア**（0））

▲4：IICSn = 01000000**B**

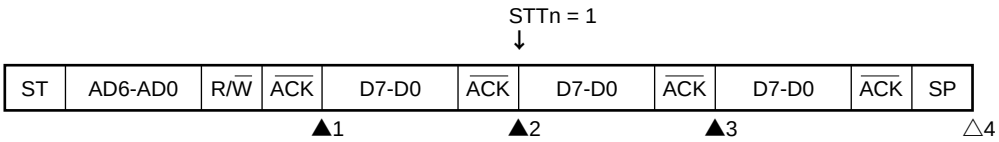
△5：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×100**B**（STTn**ビットをセット**（1））

▲3：IICSn = 01000100**B**

△4：IICSn = 00000001**B**

備考　▲　**必ず発生**

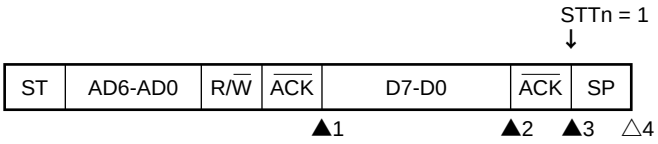
△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

(g) リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×000**B**（WTIMn**ビットをセット**（1））

▲3：IICSn = 1000××00**B**（STTn**ビットをセット**（1））

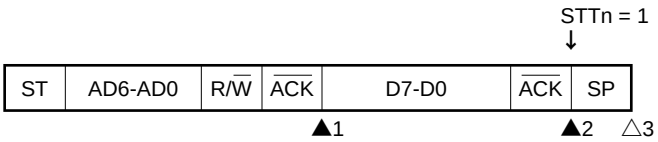
△4：IICSn = 01000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000××00**B**（STTn**ビットをセット**（1））

△3：IICSn = 01000001**B**

備考　▲　**必ず発生**

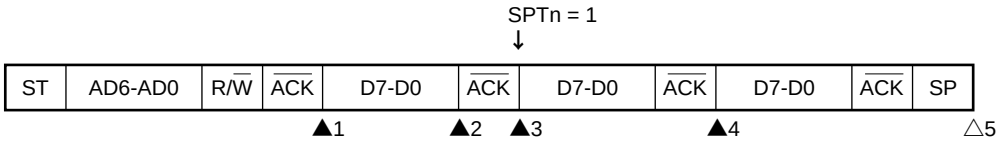
△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

(h) ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×000**B**（WTIMn**ビットをセット**（1））

▲3：IICSn = 1000×100**B**（WTIMn**ビットをクリア**（0））

▲4：IICSn = 01000100**B**

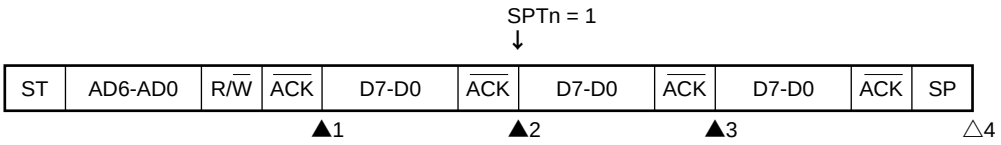
△5：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

(ii) WTIMn = 1**のとき**



▲1：IICSn = 1000×110**B**

▲2：IICSn = 1000×100**B**（SPTn**ビットをセット**（1））

▲3：IICSn = 01000100**B**

△4：IICSn = 00000001**B**

備考　▲　**必ず発生**

△　SPIEn = 1**のときだけ発生**

×　**任意**

備考　n = 0, 1

13. 6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IICAステータス・レジスタn（IICSn）のビット3）を送信し，スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図13－32，図13－33に示します。

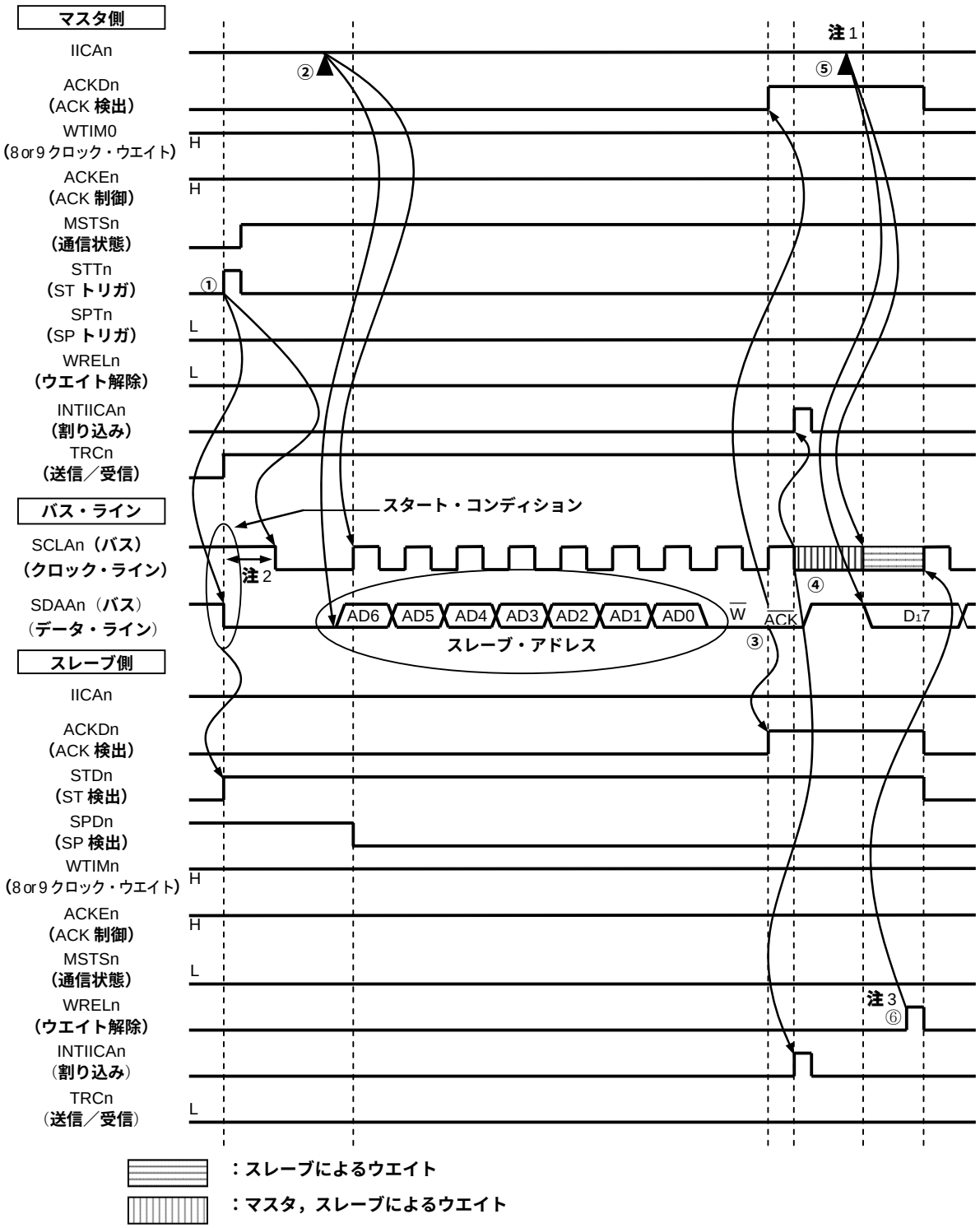
シリアル・クロック（SCLAn）の立ち下がりに同期してIICAシフト・レジスタn（IICAn）のシフト動作が行われ，送信データがSOラッチに転送され，SDAAn端子からMSBファーストで出力されます。

また，SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考　n = 0, 1

図13－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（1/4）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0, 1

図13－32（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，ウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

⑥ スレーブ側がウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

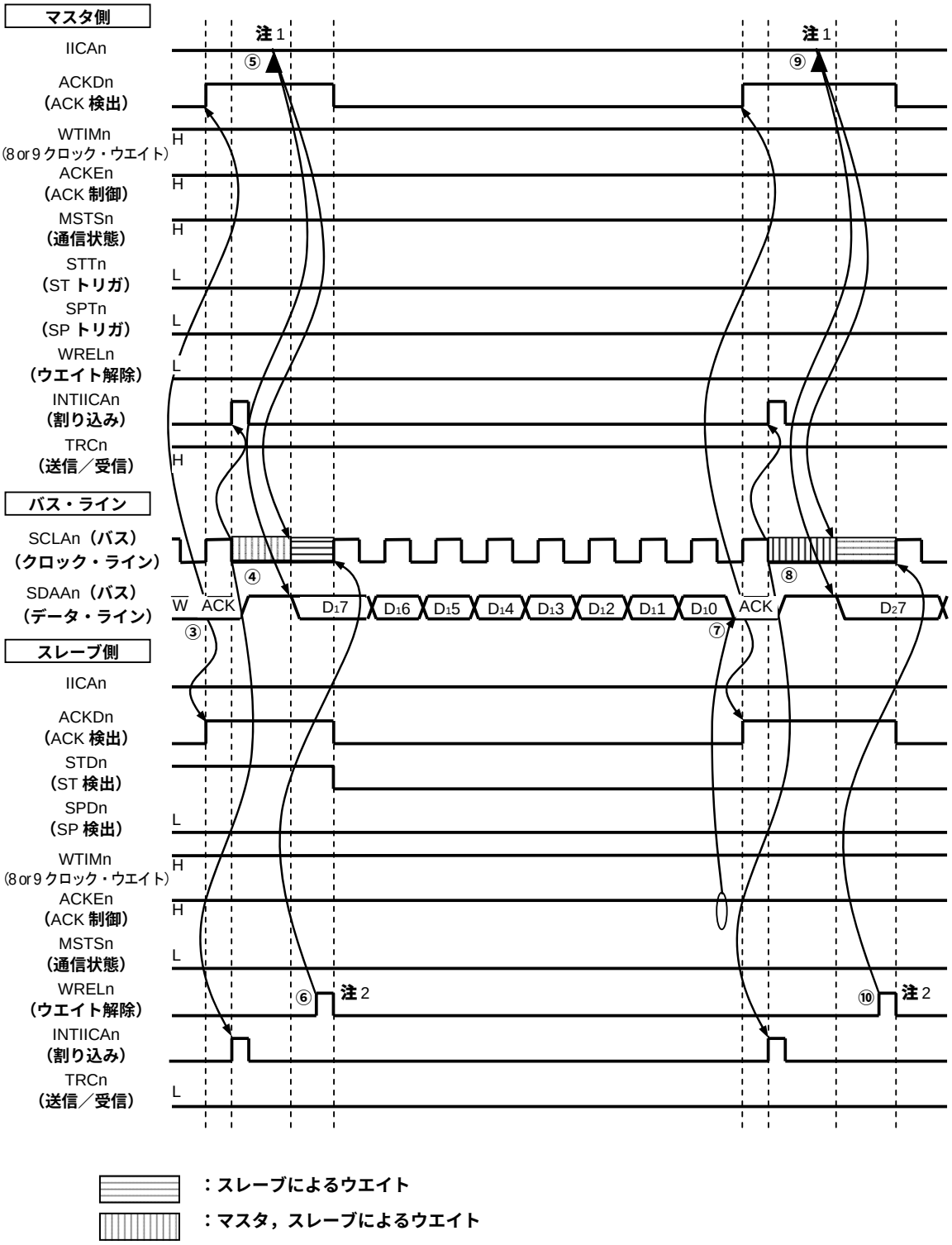
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. 図13－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－32（2）アドレス～データ～データでは手順③～⑩
図13－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

2. n = 0, 1

図13－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（2/4）

（2）アドレス～データ～データ



注1.　マスタ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

2.　スレーブ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0, 1

図13－32（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑥ スレーブ側がウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAnレジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

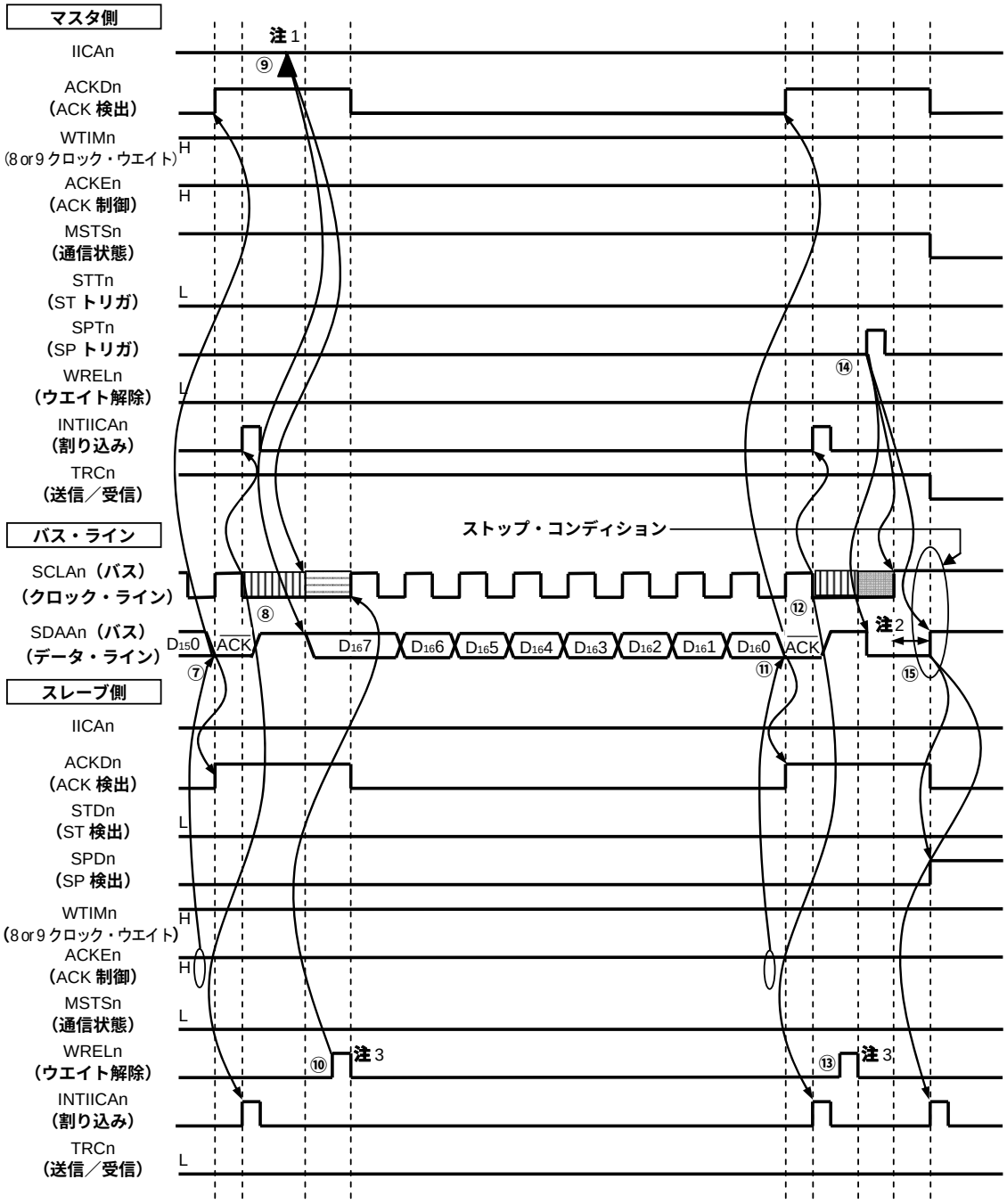
注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1.　図13－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－32（2）アドレス～データ～データでは手順③～⑩
図13－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

2.　n = 0, 1

図13－32　**マスタ→スレーブ通信例（マスタ：**9**クロック，スレーブ：**9**クロックでウエイト選択）**（3/4）

（3**）データ～データ～ストップ・コンディション**



注1.　**マスタ側での送信時のウエイト解除は，**WRELn**ビットのセットではなく，**IICAn**へのデータ書き込みで行ってください。**

2.　**ストップ・コンディションの発行後，**SCLAn**端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は**4.0 μs**以上，ファースト・モード設定時は**0.6 μs**以上です。**

3.　**スレーブ側での受信時のウエイト解除は，**IICAn←FFH**または**WRELn**ビットのセットのどちらかで行ってください。**

備考　n = 0, 1

図13－32（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WRELn = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側（ACKEn = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，ウエイトを解除（WRELn = 1）します。

⑭ マスタ側でストップ・コンディション・トリガをセット（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，バス・クロック・ラインがセット（SCLAn = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAAn = 1）されることでストップ・コンディション（SCLAn = 1でSDAAn = 0→1）が生成されます。

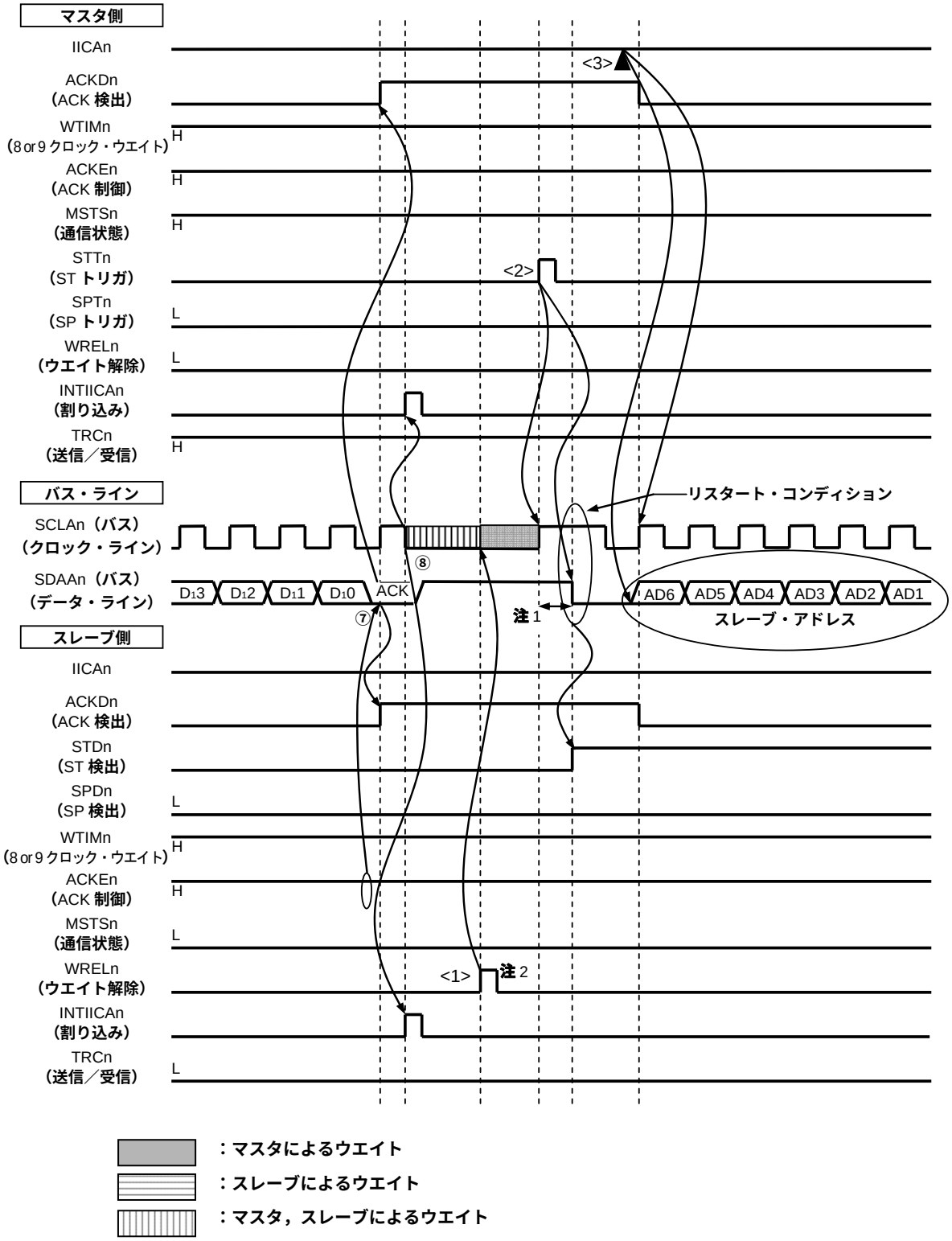
⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考 1. 図13－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－32（2）アドレス～データ～データでは手順③～⑩
図13－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

2. n = 0, 1

図13－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（4/4）

(4) データ～リスタート・コンディション～アドレス



注1.　**リスタート・コンディションの発行後，**SCLAn**端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は**4.7 μs**以上，ファースト・モード設定時は**0.6 μs**以上です。**

2.　**スレーブ側での受信時のウエイト解除は，**IICAn←FFH**または**WRELn**ビットのセットのどちらかで行ってください。**

備考　n = 0, 1

図13－32（4）データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKEn = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

<1>　スレーブ側が受信データを読み出して，ウエイトを解除（WRELn = 1）します。

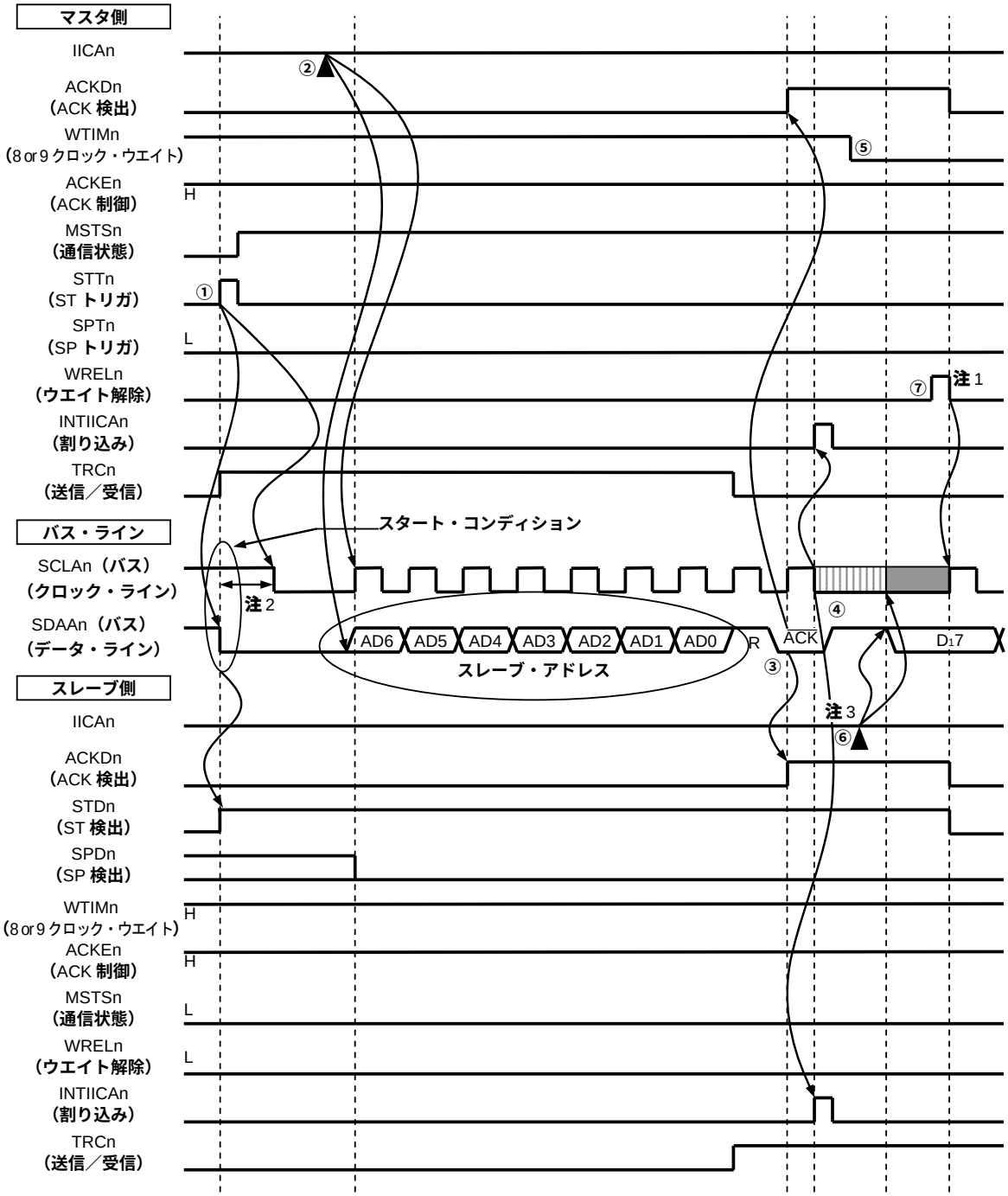
<2>　マスタ側で再度スタート・コンディション・トリガがセット（STTn = 1）されると，バス・クロック・ラインが立ち上がり（SCLAn = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAAn = 0）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタn（IICAn）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

備考　n = 0, 1

図13－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（1/3）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での受信時のウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

備考　n = 0, 1

図13－33（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると，バス・データ・ライン（SDAAn）が立ち下がり，スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTSn = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLAn = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタn（IICAn）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のウエイト・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAnレジスタに送信データを書き込み，スレーブ側によるウエイトを解除します。

⑦ マスタ側がウエイトを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

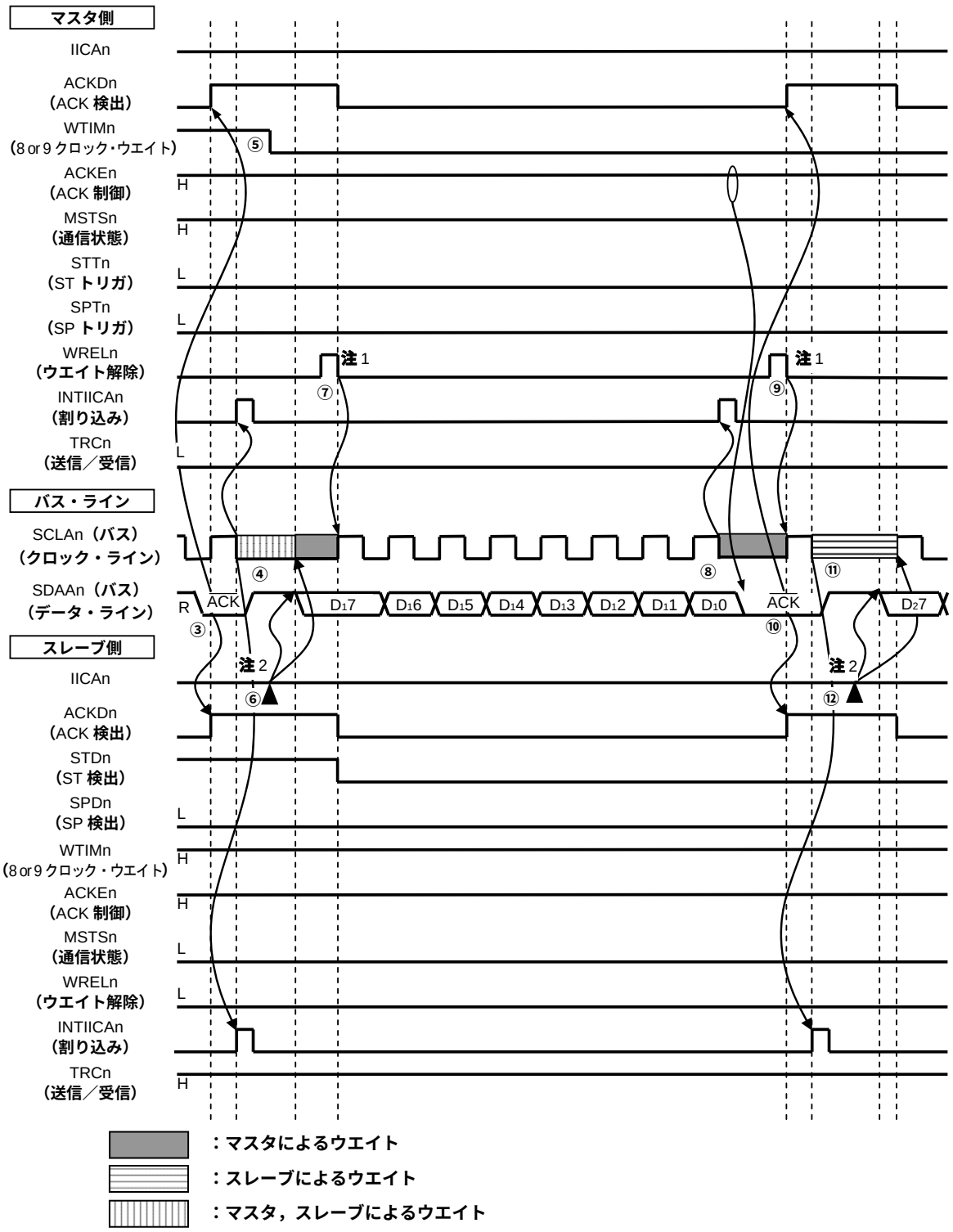
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. 図13－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－33（2）アドレス～データ～データでは手順③～⑫
図13－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

2. n = 0, 1

図13－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（2/3）

（2）アドレス～データ～データ



注1.　**マスタ側での受信時のウエイト解除は，**IICAn←FFH**または**WRELn**ビットのセットのどちらかで行ってください。**

2.　**スレーブ側での送信時のウエイト解除は，**WRELn**ビットのセットではなく，**IICAn**へのデータ書き込みで行ってください。**

備考　n = 0, 1

図13－33（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレス自局のアドレス（SVAnの値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKDn = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLAn = 0）をかけ，割り込み（INTIICAn：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はウエイト・タイミングを8クロック目に（WTIMn = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込み，スレーブ側によるウエイトを解除します。

⑦ マスタ側がウエイトを解除（WRELn = 1）して，スレーブからのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側ACKEn = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAnレジスタに送信データを書き込むと，スレーブ側によるウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

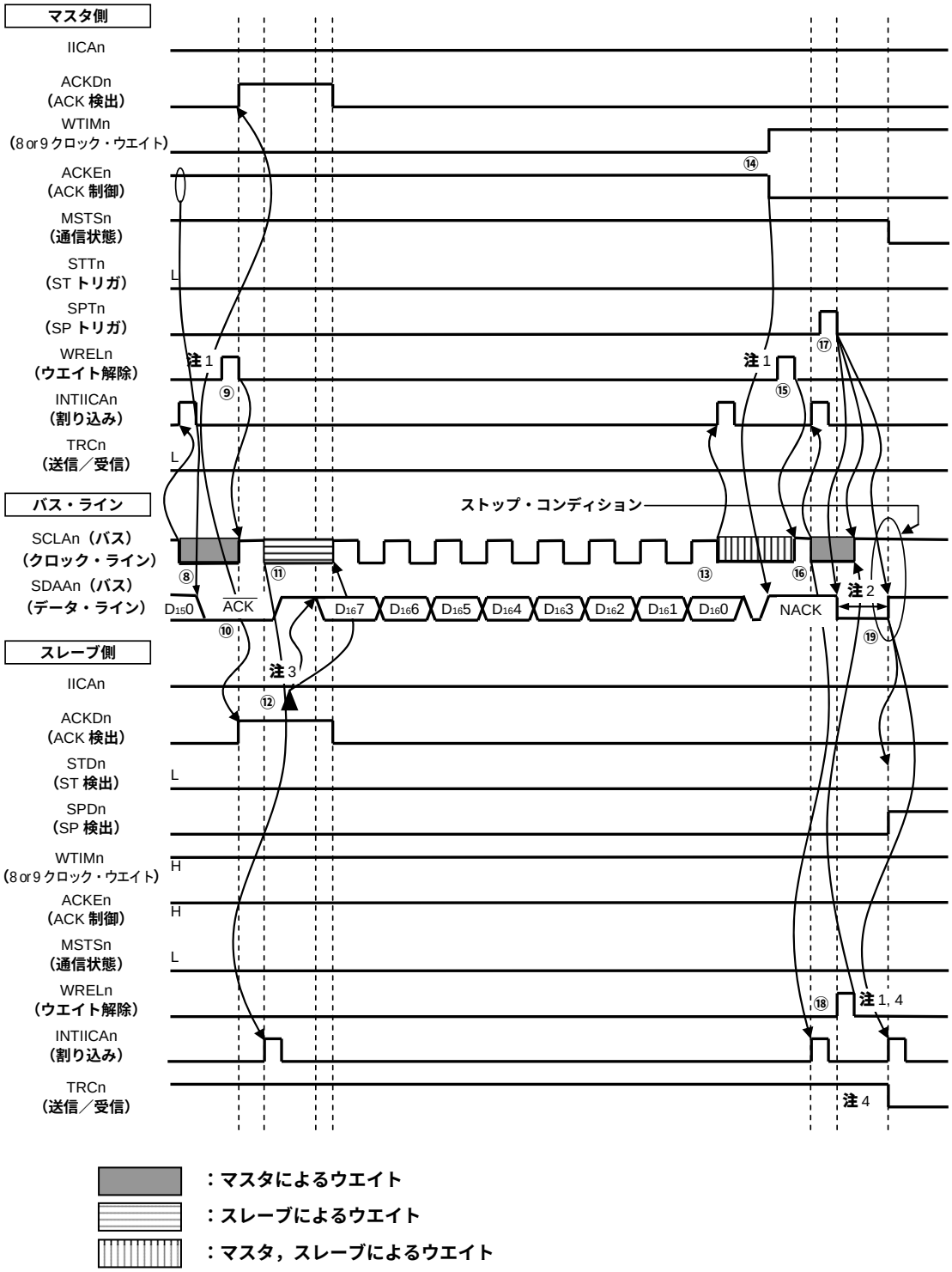
注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また，スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考 1. 図13－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－33（2）アドレス～データ～データでは手順③～⑫
図13－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

2. n = 0, 1

図13－33　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウエイト選択）（3/3）

（3）データ～データ～ストップ・コンディション



注1.　ウエイト解除は，IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2.　ストップ・コンディションの発行後，SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のウエイト解除は，WRELnビットのセットではなく，IICAnへのデータ書き込みで行ってください。

4.　スレーブ側での送信時のウエイトをWRELnビットのセットで解除すると，TRCnビットはクリアされます。

備考　n = 0, 1

図13－33（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLAn = 0）がかかり，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側はACKEn = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WRELn = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKDn = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLAn = 0）がかかり，スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAシフト・レジスタn（IICAn）に送信データを書き込むと，スレーブ側によるウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し，マスタ側によるウエイト（SCLAn = 0）がかかります。ACK制御（ACKEn = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAAn = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKEn = 0）し，ウエイト・タイミングを9クロック目ウエイト（WTIMn = 1）に変更します。

⑮ マスタ側がウエイトを解除（WRELn = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKDn = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLAn = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPTn = 1）すると，バス・データ・ラインがクリア（SDAAn = 0）され，マスタ側のウエイトが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにウエイトを解除（WRELn = 1）します。スレーブによるウエイトが解除されると，バス・クロック・ラインがセット（SCLAn = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAAn = 1）してストップ・コンディション（SCLAn = 1でSDAAn = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考 1. 図13－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－33（2）アドレス～データ～データでは手順③～⑫
図13－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

2. n = 0, 1

第14章　乗除積和算器

14. 1　乗除積和算器の機能

乗除積和算器には，次のような機能があります。

- 16ビット×16ビット ＝ 32ビット（符号なし）
- 16ビット×16ビット ＝ 32ビット（符号付）
- 16ビット×16ビット＋32ビット ＝ 32ビット（符号なし）
- 16ビット×16ビット＋32ビット ＝ 32ビット（符号付）
- 32ビット÷32ビット ＝ 32ビット 剰余32ビット（符号なし）

14. 2　乗除積和算器の構成

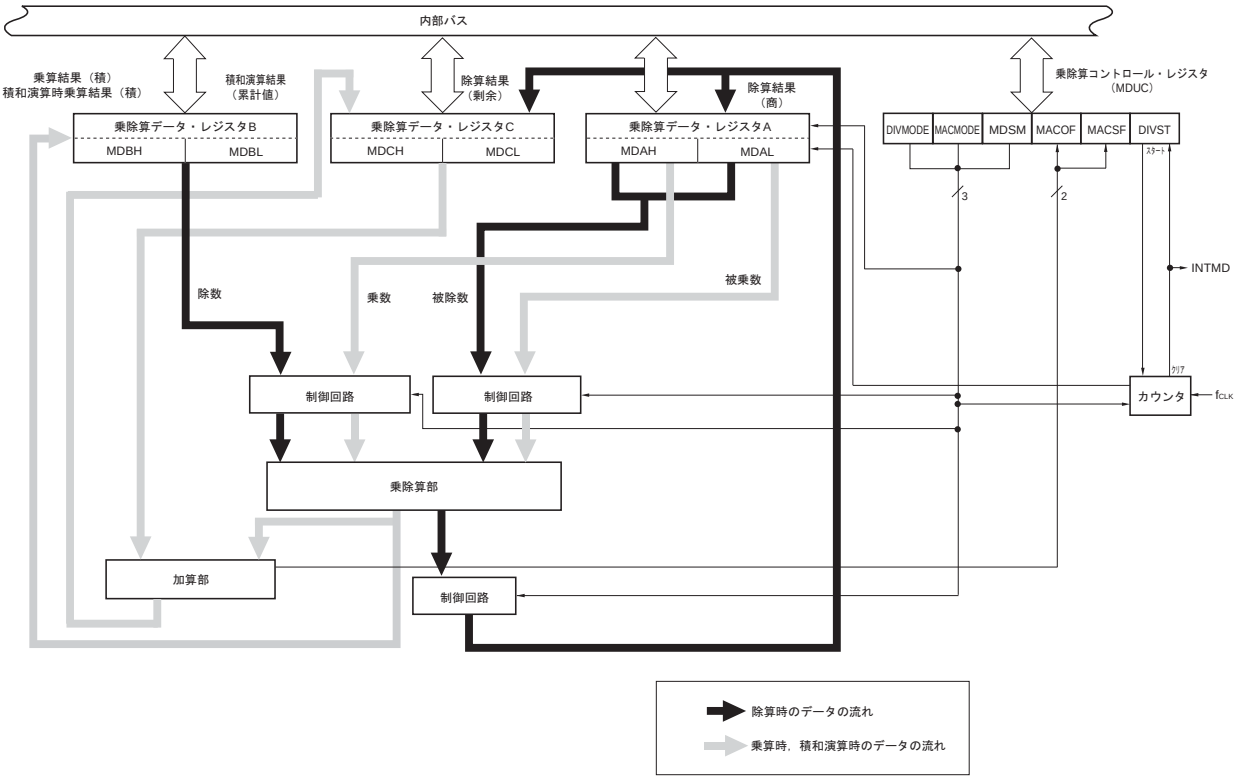
乗除積和算器は，次のハードウエアで構成されています。

表14－1　乗除積和算器の構成

項　目	構　成
レジスタ	乗除算デ―タ・レジスタA（L）（MDAL） 乗除算データ・レジスタA（H）（MDAH） 乗除算データ・レジスタB（L）（MDBL） 乗除算データ・レジスタB（H）（MDBH） 乗除算データ・レジスタC（L）（MDCL） 乗除算データ・レジスタC（H）（MDCH）
制御レジスタ	乗除算コントロール・レジスタ（MDUC）

乗除積和算器のブロック図を図14－1に示します。

図14ー1　乗除積和算器のブロック図



備考　f_{CLK}：CPU／**周辺ハードウエア・クロック周波数**

14. 2. 1　乗除算データ・レジスタA（MDAH, MDAL）

MDAH, MDALレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し，除算モード時は被除数データを設定します。また，除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図14－2　乗除算データ・レジスタA（MDAH, MDAL）のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H　リセット時：0000H, 0000H　R/W

略号	FFFF3H								FFFF2H							
MDAH	MDAH 15	MDAH 14	MDAH 13	MDAH 12	MDAH 11	MDAH 10	MDAH 9	MDAH 8	MDAH 7	MDAH 6	MDAH 5	MDAH 4	MDAH 3	MDAH 2	MDAH 1	MDAH 0

略号	FFFF1H								FFFF0H							
MDAL	MDAL 15	MDAL 14	MDAL 13	MDAL 12	MDAL 11	MDAL 10	MDAL 9	MDAL 8	MDAL 7	MDAL 6	MDAL 5	MDAL 4	MDAL 3	MDAL 2	MDAL 1	MDAL 0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDAH, MDALレジスタの値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定値となります。

2.　除算演算処理中（MDUCレジスタが81H, C1Hのとき）にMDAH, MDALレジスタの値を読み出した場合，その値は保証しません。

3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表14－2　MDAH, MDALレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	MDAH：乗数（符号なし） MDAL：被乗数（符号なし）	－
乗算モード（符号付） 積和演算モード（符号付）	MDAH：乗数（符号付） MDAL：被乗数（符号付）	－
除算モード（符号なし）	MDAH：被除数（符号なし） （上位16ビット） MDAL：被除数（符号なし） （下位16ビット）	MDAH：除算結果（商）（符号なし） 上位16ビット MDAL：除算結果（商）（符号なし） 下位16ビット

14. 2. 2　乗除算データ・レジスタB（MDBL, MDBH）

MDBH, MDBLレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し，除算モード時は除数データを設定します。

MDBH, MDBLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図14－3　乗除算データ・レジスタB（MDBH, MDBL）のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H　リセット時：0000H, 0000H　R/W

略号	FFFF5H								FFFF4H							
MDBH	MDBH 15	MDBH 14	MDBH 13	MDBH 12	MDBH 11	MDBH 10	MDBH 9	MDBH 8	MDBH 7	MDBH 6	MDBH 5	MDBH 4	MDBH 3	MDBH 2	MDBH 1	MDBH 0

略号	FFFF7H								FFFF6H							
MDBL	MDBL 15	MDBL 14	MDBL 13	MDBL 12	MDBL 11	MDBL 10	MDBL 9	MDBL 8	MDBL 7	MDBL 6	MDBL 5	MDBL 4	MDBHL 3	MDBL 2	MDBL 1	MDBL 0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）または積和演算処理中に，MDBH, MDBLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

2.　除算モード時は，MDBH, MDBLレジスタに0000Hを設定しないでください。設定した場合，演算結果が不定値となります。

3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表14－3　MDBH, MDBLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	－	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	－	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード（符号なし）	MDBH：除数（符号なし） （上位16ビット） MDBL：除数（符号なし） （下位16ビット）	－

14. 2. 3　乗除算データ・レジスタC（MDCL, MDCH）

MDCH, MDCLレジスタは，積和演算モード時は累計結果の値を格納し，除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図14－4　乗除算データ・レジスタC（MDCH, MDCL）のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H　リセット時：0000H, 0000H　R/W

略号	F00E3H								F00E2H							
MDCH	MDCH 15	MDCH 14	MDCH 13	MDCH 12	MDCH 11	MDCH 10	MDCH 9	MDCH 8	MDCH 7	MDCH 6	MDCH 5	MDCH 4	MDCH 3	MDCH 2	MDCH 1	MDCH 0

略号	F00E1H								F00E0H							
MDCL	MDCL 15	MDCL 14	MDCL 13	MDCL 12	MDCL 11	MDCL 10	MDCL 9	MDCL 8	MDCL 7	MDCL 6	MDCL 5	MDCL 4	MDCL 3	MDCL 2	MDCL 1	MDCL 0

注意1. 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDCH, MDCLレジスタの値を読み出した場合，その値は保証されません。

2. 積和演算処理中に，MDCH, MDCLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

3. 積和演算モード（符号付）の場合，データは2の補数形式になります。

表14－4　MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード （符号付／符号なし）	－	－
積和演算モード（符号なし）	MDCH：累計初期値（符号なし）（上位16ビット） MDCL：累計初期値（符号なし）（下位16ビット）	MDCH：累計値（符号なし）（上位16ビット） MDCL：累計値（符号なし）（下位16ビット）
積和演算モード（符号付）	MDCH：累計初期値（符号付）（上位16ビット） MDCL：累計初期値（符号付）（下位16ビット）	MDCH：累計値（符号付）（上位16ビット） MDCL：累計値（符号付）（下位16ビット）
除算モード（符号なし）	－	MDCH：剰余（符号なし）（上位16ビット） MDCL：剰余（符号なし）（下位16ビット）

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A**＞　＜乗数**B**＞　＜積＞**

MDAL**（ビット**15-0**）**×MDAH**（ビット**15-0**）**= **［**MDBH**（ビット**15-0**）**, MDBL**（ビット**15-0**）］**

・積和演算時のレジスタ構成

＜乗数A**＞　＜乗数**B**＞　＜累計値＞**

MDAL**（ビット**15-0**）**×MDAH**（ビット**15-0**）**＋MDC**（ビット**31-0**）**=

＜累計結果＞

［MDCH**（ビット**15-0**）**, MDCL**（ビット**15-0**）］**

（MDBH**（ビット**15-0**）**, MDBL**（ビット**15-0**）には乗算結果が格納されます。）**

・除算時のレジスタ構成

＜被除数＞　＜除数＞

［MDAH**（ビット**15-0**）**, MDAL**（ビット**15-0**）］**÷**［**MDBH**（ビット**15-0**）**, MDBL**（ビット**15-0**）］**=

＜商＞　＜剰余＞

［MDAH**（ビット**15-0**）**, MDAL**（ビット**15-0**）］**…**［**MDCH**（ビット**15-0**）**,MDCL**（ビット**15-0**）］**

14. 3　乗除積和算器を制御するレジスタ

乗除積和算器は，乗除算コントロール・レジスタ（MDUC）で制御します。

14. 3. 1　乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは，乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし，積和演算結果（累計値）のオーバフロー・フラグ（MACOF），積和演算結果（累計値）のサイン・フラグ（MACSF）は読み出しのみ可能です。

リセット信号の発生により，00Hになります。

図14ー5　乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H　**リセット時：**00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MACOF	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード（符号なし）（デフォルト）
0	0	1	乗算モード（符号付）
0	1	0	積和演算モード（符号なし）
0	1	1	積和演算モード（符号付）
1	0	0	除算モード（符号なし），除算完了割り込み（INTMD）発生
1	1	0	除算モード（符号なし），除算完了割り込み（INTMD）発生しない
上記以外			設定禁止

MACOF	積和演算結果（累計値）のオーバフロー・フラグ
0	オーバフローなし
1	オーバフローあり

[セット条件]
・積和演算モード（符号なし）の場合
累計値が00000000h-FFFFFFFFhを超える場合
・積和演算モード（符号付）の場合
正の累計値に正の積を加算した結果が7FFFFFFFhを越え結果が負となる場合
負の累計値に負の積を加算した結果が80000000hを越え結果が正となる場合

MACSF	積和演算結果（累計値）のサイン・フラグ
0	累計値が正
1	累計値が負

積和演算モード（符号なし）の場合：常に0
積和演算モード（符号付）の場合　：累計値の符号ビットを表示

DIVST[注2]	除算演算動作の開始／停止
0	除算演算処理完了
1	除算演算開始／除算演算処理中

注1.　ビット1，2はRead onlyです。

2.　DIVSTビットは除算モード時にのみセット（1）可能です。除算モード時，DIVSTビットをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア（0）されます。乗算モード時は，乗除算データ・レジスタA（MDAH, MDAL）に乗数，被乗数を設定することにより自動的に演算が開始されます。

注意1.　演算処理中（DIVSTビットが1のとき）に，DIVMODE, MDSMビットを書き換えないでください。書き換えた場合，演算結果が不定値となります。

2.　除算演算処理中（DIVSTビットが1のとき）にDIVSTビットをソフトウエアでクリア（0）することはできません。

14. 4　乗除積和算器の動作

14. 4. 1　乗算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を00Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

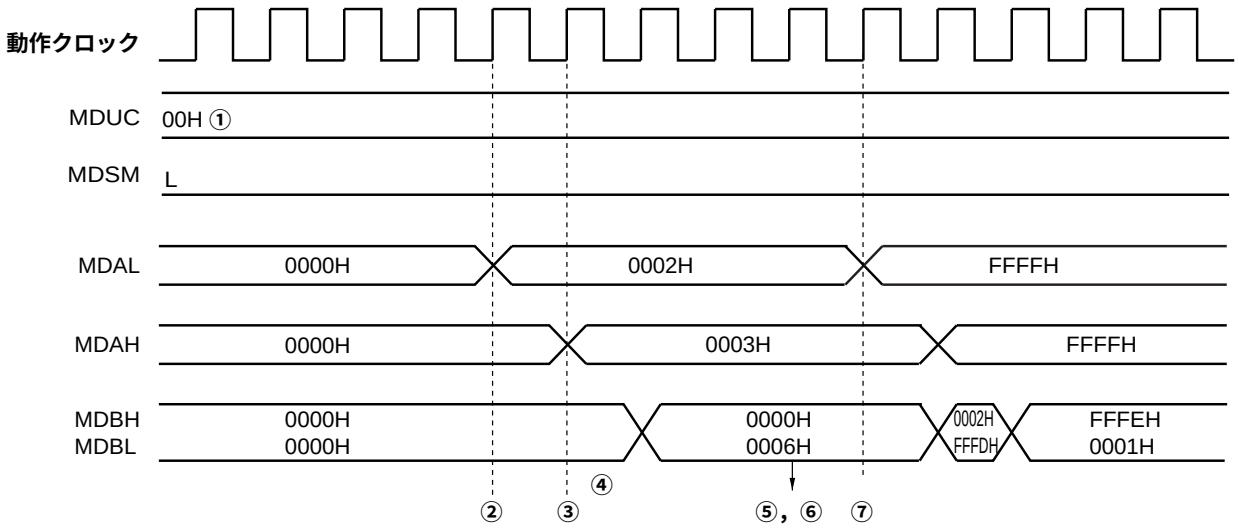
・次回演算

⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

備考　手順の①～⑦は，図14－6の①～⑦に対応しています。

図14－6　乗算（符号なし）動作のタイミング図（2×3 = 6）



14. 4. 2　乗算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を08Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

・次回演算

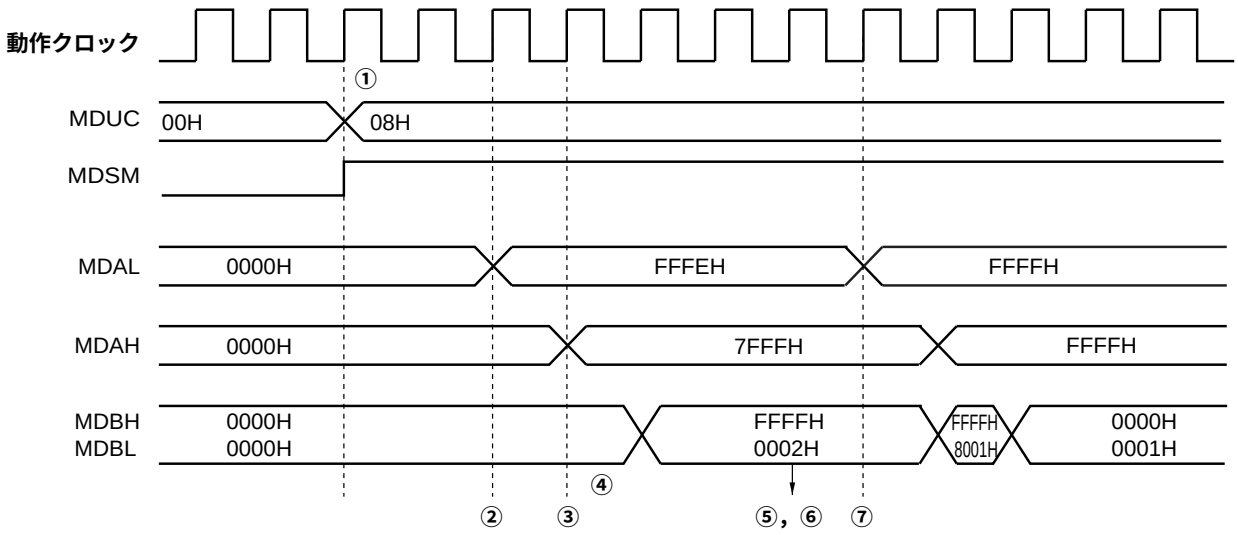
⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

注意　乗算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑦は，図14－7の①～⑦に対応しています。

図14－7　乗算（符号付）動作のタイミング図（－2×32767 = －65534）



14. 4. 3　積和演算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を40Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③，④のセットの順はどれが先でも問題ありません。⑤のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑥　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑦ ⑥からさらに1クロックで，積和演算が終了します（初期設定完了（⑤）からは，2クロック以上ウエイト）。

・演算終了

⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。

⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。

（⑧，⑨の読み出しの順はどちらが先でも問題ありません。）

（⑩ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

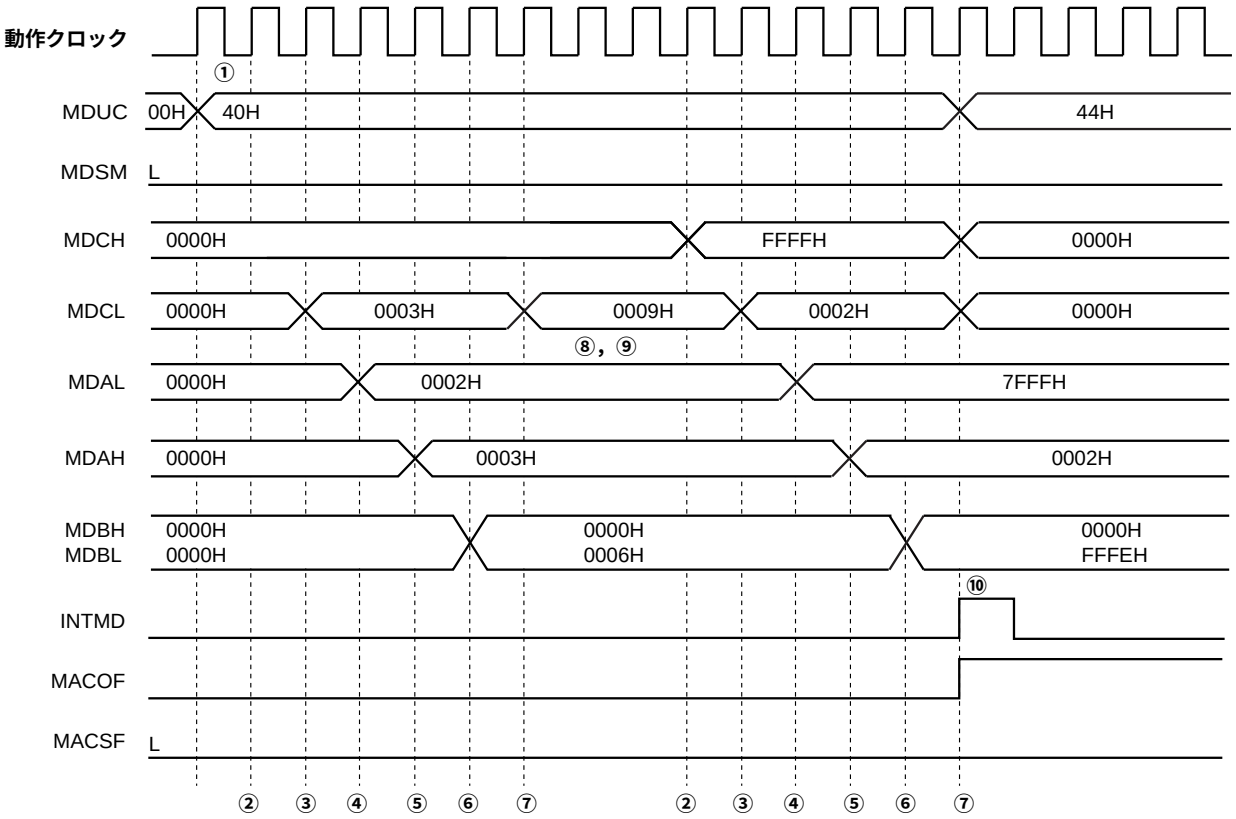
⑪ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～④の設定は省略できます。

備考　手順の①～⑩は，図14－8の①～⑩に対応しています。

図14－8　積和演算（符号なし）動作のタイミング図

（2×3＋3 = 9 → 32767×2＋4294901762 = 0（オーバフロー発生））



14. 4. 4　積和演算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を48Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

（③ MDCHレジスタの累計値が負の値の場合は，MACSFビットが1にセットされます。）

④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，④，⑤のセットの順はどちらが先でも問題ありません。⑥のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑦ 乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑧ ⑦からさらに1クロックで，積和演算が終了します（初期設定完了（⑥）からは，2クロック以上ウエイト）。

・演算終了

⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は，MACSFビットが0にクリアされます。

⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。

⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。

（⑩，⑪の読み出しの順はどちらが先でも問題ありません。）

（⑫ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

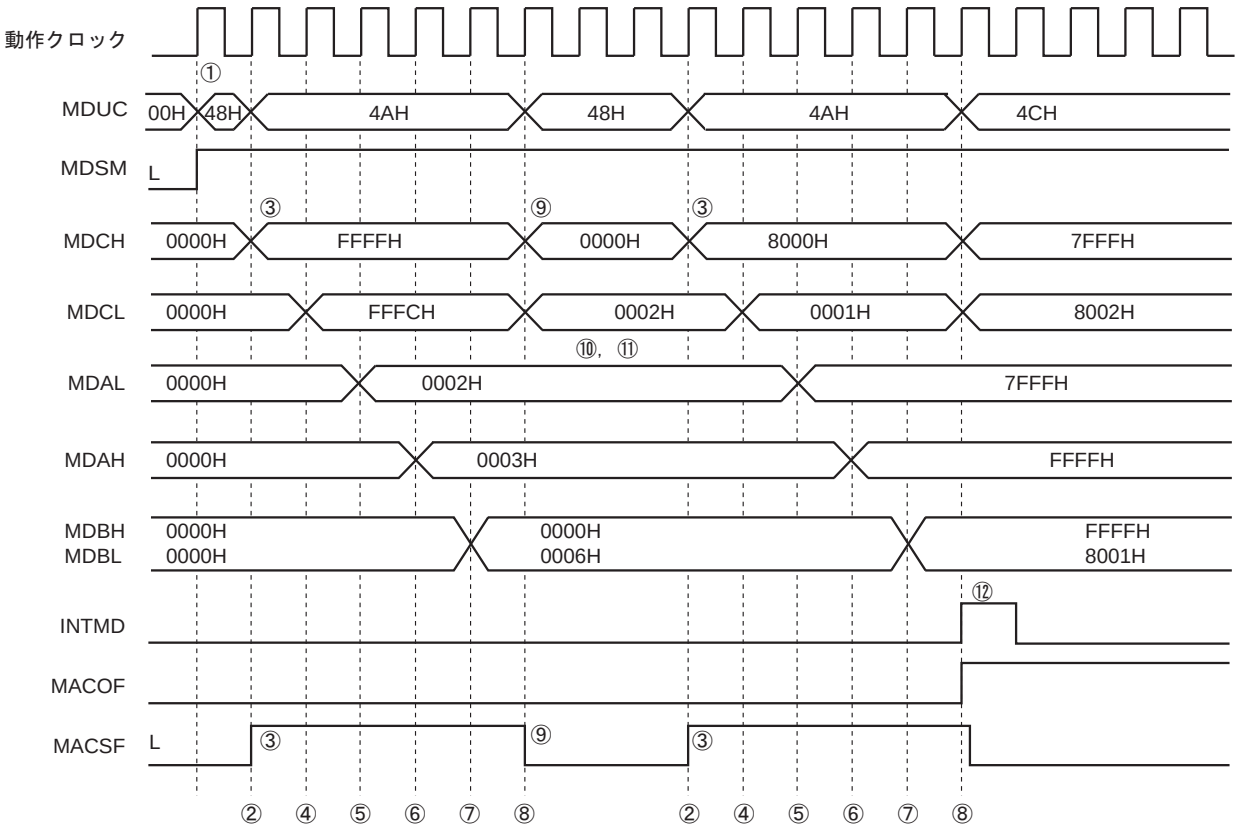
続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

注意　積和演算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑫は，図14－9の①～⑫に対応しています。

図14－9　積和演算（符号付）動作のタイミング図

（2×3＋（－4） = 2 → 32767**×（－1）＋（－**2147483647**）** = 2147450882**（オーバフロー発生））**



14. 4. 5　除算動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）に80Hをセットする。

② 乗除算データ・レジスタA（H）（MDAH）に被除数（上位16ビット）をセット

③ 乗除算データ・レジスタA（L）（MDAL）に被除数（下位16ビット）をセット

④ 乗除算データ・レジスタB（H）（MDBH）に除数（上位16ビット）をセット

⑤ 乗除算データ・レジスタB（L）（MDBL）に除数（下位16ビット）をセット

⑥ MDUCレジスタのビット0（DIVST）に1をセット

（②～⑤の順はどれからセットしても問題ありません。）

・演算処理中

⑦ 次のいずれかの処理が完了すれば演算が終了します。

・16クロック以上ウエイト（16クロックで演算は終了します。）

・DIVSTビットがクリアされたことを確認

（演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。）

・演算終了

⑧ DIVSTビットがクリア（0）され，演算が終了します。このとき，MACMODE = 0での演算なら，割り込み要求信号（INTMD）が発生します。

⑨ MDALレジスタから商（下位16ビット）を読み出します。

⑩ MDAHジスタから商（上位16ビット）を読み出します。

⑪ 乗除算データ・レジスタC（L）（MDCL）から剰余（下位16ビット）を読み出します。

⑫ 乗除算データ・レジスタC（H）（MDCH）から剰余（上位16ビット）を読み出します。

（⑨～⑫の順はどれから読み出しても問題ありません。）

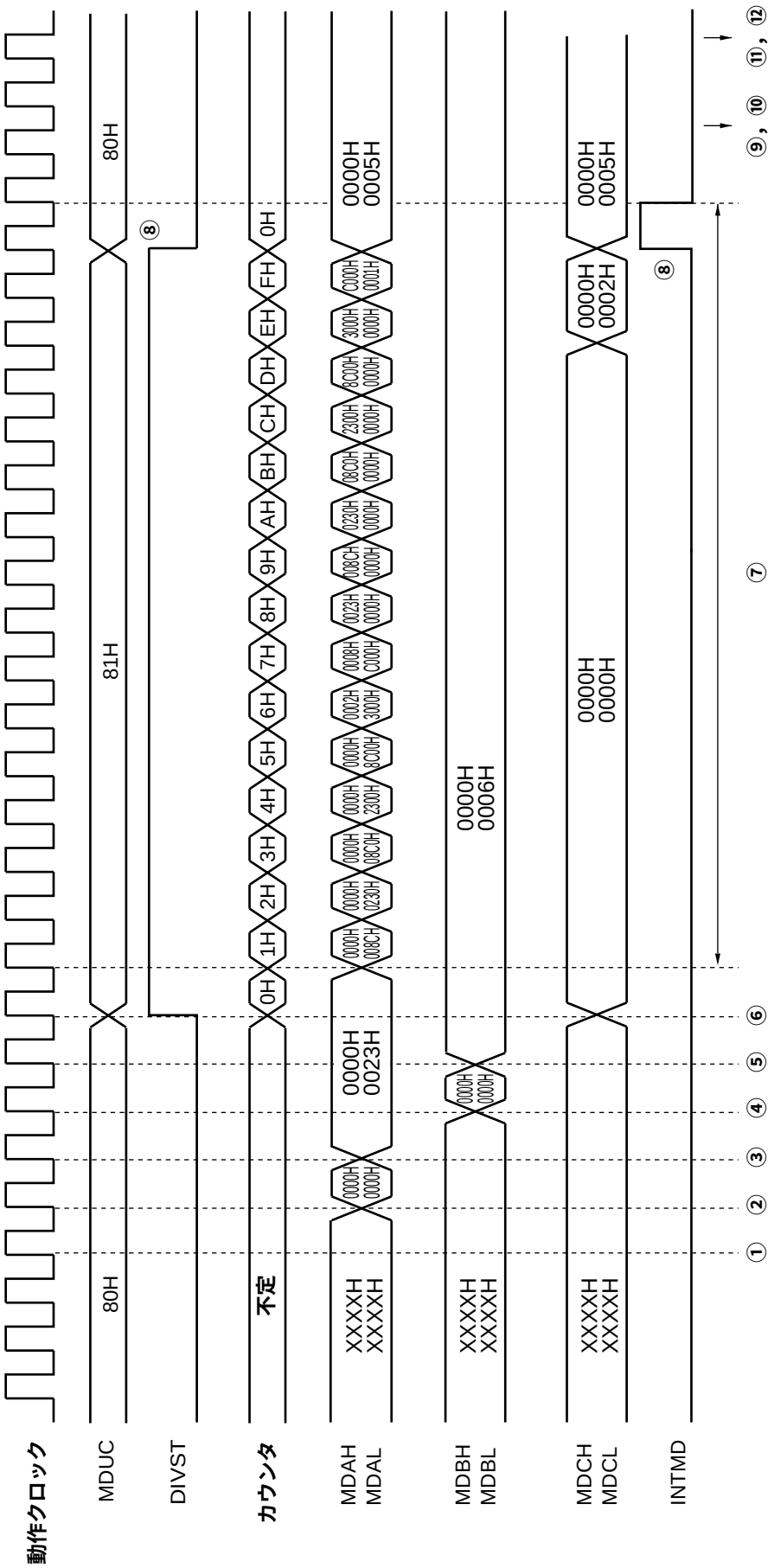
・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

備考　手順の①～⑫は，図14－10の①～⑫に対応しています。

図14－10　除算動作のタイミング図（例：35÷6 = 5 余5）



第15章　DMAコントローラ

RL78/G13は，DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウエアのSFRと内蔵RAMの間は，CPUを介さずに自動でデータのやり取りをすることができます。

これにより，SFR⇔内蔵RAM間の転送を，通常のCPU内部の演算やデータ転送をしながら行えるため，大容量データの処理も可能になります。また，通信やタイマ，A/Dを駆使したリアルタイム制御も実現できます。

15. 1　DMAコントローラの機能

○DMAチャネル数：2チャネル（20, 24, 25, 30, 32, 36, 40, 44, 48, 52, 64ピン製品）
　　4チャネル（80, 100, 128ピン製品）

○転送単位：8ビット／16ビット

○最大転送単位：1024回

○転送タイプ：2サイクル転送（1回の転送を2クロックで処理し，その間はCPU動作が停止します）

○転送モード：シングル転送モード

○転送要求：以下の周辺ハードウエア割り込みから選択

- A/Dコンバータ
- シリアル・インタフェース
  （CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31, UART0-UART3）
- タイマ（チャネル0, 1, 2, 3, 10, 11, 12, 13）

○転送対象：SFR⇔内蔵RAM

DMAを使った機能例は，次のようなものが考えられます。

- シリアル・インタフェースの連続転送
- AD変換結果の連続取り込み
- 一定時間ごとにA/Dの変換結果を取り込む
- 一定時間ごとにポートの値を取りこむ

15. 2　DMAコントローラの構成

DMAコントローラは，次のハードウエアで構成されています。

表15ー1　DMAコントローラの構成

項　目	構　成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0-3（DSA0-DSA3） ・DMA RAMアドレス・レジスタ0-3（DRA0-DRA3）
カウント・レジスタ	・DMAバイト・カウント・レジスタ0-3（DBC0-DBC3）
制御レジスタ	・DMAモード・コントロール・レジスタ0-3（DMC0-DMC3） ・DMA動作コントロール・レジスタ0-3（DRC0-DRC3）

15. 2. 1　DMA SFRアドレス・レジスタn（DSAn）

DMAチャネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず，固定値となります。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，00Hになります。

図15ー1　DMA SFRアドレス・レジスタn（DSAn）のフォーマット

アドレス：FFFB0H（DSA0），FFFB1H（DSA1），F0200H（DSA2），F0201H（DSA3）　リセット時：00H　R/W

	7	6	5	4	3	2	1	0
DSAn								

備考　n：DMAチャネル番号（n = 0-3）

15. 2. 2　DMA RAMアドレス・レジスタn（DRAn）

DMAチャネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（表15－2参照）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると，自動的にインクリメントされます。8ビット転送モード時には＋1され，16ビット転送モード時には＋2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し，最終アドレスまで転送し終わると，DRAnレジスタは8ビット転送モード時には最終アドレス＋1，16ビット転送モード時には最終アドレス＋2になって停止します。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図15－2　DMA RAMアドレス・レジスタn（DRAn）のフォーマット

アドレス：FFFB2H, FFFB3H（DRA0）, FFFB4H, FFFB5H（DRA1）,　リセット時：0000H　R/W
F0202H, F0203H（DRA2）, F0204H, F0205H（DRA3）

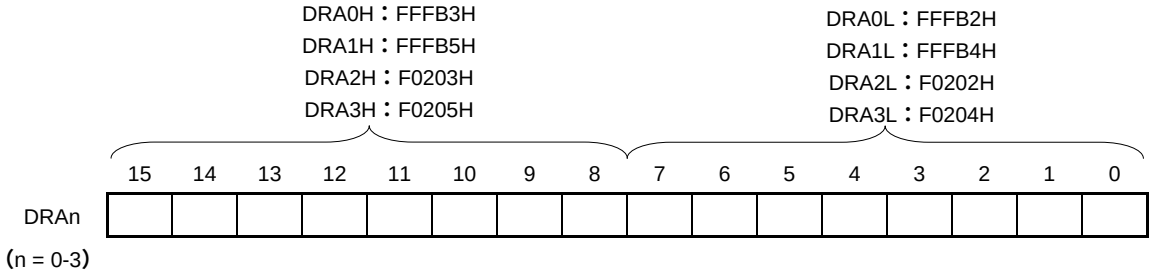


表15－2　汎用レジスタ以外の内蔵RAM領域

製　品	汎用レジスタ以外の内蔵RAM領域
R5F100xA, R5F101xA（x = 6-8, A-C, E-G）， R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L）	FF700H-FFEDFH
R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）	FF300H-FFEDFH
R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）	FEF00H-FFEDFH
R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P）	FDF00H-FFEDFH
R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P）	FCF00H-FFEDFH
R5F100xH, R5F101xH（x = E-G, J, L, M, P, S）	FBF00H-FFEDFH
R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S）	FAF00H-FFEDFH
R5F100xK, R5F101xK（x = F, G, J, L, M, P, S）	F9F00H-FFEDFH
R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）	F7F00H-FFEDFH

備考　n：DMAチャネル番号（n = 0-3）

15. 2. 3　DMAバイト・カウント・レジスタn（DBCn）

DMAチャネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに，自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで，残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図15ー3　DMA バイト・カウント・レジスタn（DBCn）のフォーマット

アドレス：FFFB6H, FFFB7H（DBC0）, FFFB8H, FFFB9H（DBC1）,
F0206H, F0207H（DBC2）, F0208H, F0209H（DBC3）　**リセット時：**0000H　R/W

DBC0H：FFFB7H
DBC1H：FFFB9H
DBC2H：F0207H
DBC3H：F0209H

DBC0L：FFFB6H
DBC1L：FFFB8H
DBC2L：F0206H
DBC3L：F0208H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	0	0	0	0	0	0										

DBCn[9:0]	転送回数設定（DBCnライト時）	残りの転送回数（DBCnリード時）
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
・ ・ ・	・ ・ ・	・ ・ ・
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1.　ビット15-10は，必ず0を設定してください。

2.　連続転送の結果，汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は，汎用レジスタやSFR空間へ書き込み／読み出しを行って，データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考　n：DMAチャネル番号（n = 0-3）

15. 3　DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- DMAモード・コントロール・レジスタn（DMCn）
- DMA動作コントロール・レジスタn（DRCn）

備考　n：DMAチャネル番号（n = 0-3）

15. 3. 1 DMAモード・コントロール・レジスタn（DMCn）

DMCnレジスタは，DMAチャネルnの転送モード設定レジスタです。転送方向，データ・サイズ，保留設定，起動要因の選択を行います。ビット7（STGn）はDMA起動のソフトウエア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DMCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（1/3）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1）, F020AH（DMC2）, F020BH（DMC3） リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn[注1]	DMA転送開始ソフトウエア・トリガ
0	ソフトウエア・トリガ動作しない
1	DMA動作許可（DENn = 1）時に，DMA転送を開始する
DMA動作許可（DENn = 1）時に，STGnビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn[注2]	DMA転送の保留
0	DMA起動要求によりDMA転送を行う（保留しない）
1	DMA起動要求が来ても保留する
DWAITnビットの値を1→0にすることで，保留されているDMA転送を開始することができます。 また，DWAITnビットの値を0→1に設定してから，実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

2. DMAを2チャネル以上使用中でDMA転送を保留する場合は，必ず全てのチャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1）。

備考 n：DMAチャネル番号（n = 0-3）

図15－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（2/3）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1） **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

（n = 0, 1の場合）

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択注	
				トリガ信号	トリガ内容
0	0	0	0	－	割り込みによるDMA転送禁止（ソフトウエア・トリガのみ可）
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャネル00のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャネル01のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャネル02のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャネル03のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み／CSI01の転送完了，バッファ空き割り込み
1	0	0	0	INTST1/INTCSI10	UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み
1	0	0	1	INTSR1/INTCSI11	UART1受信の転送完了割り込み／CSI11の転送完了，バッファ空き割り込み
1	0	1	0	INTST2/INTCSI20	UART2送信の転送完了，バッファ空き割り込み／CSI20の転送完了，バッファ空き割り込み
1	0	1	1	INTSR2/INTCSI21	UART2受信の転送完了割り込み／CSI21の転送完了，バッファ空き割り込み
上記以外				設定禁止	

注 ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0**ビットの値に関係なく使用できます。**

備考 n：DMA**チャネル番号（**n = 0, 1**）**

図15－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（3/3）

アドレス：F020AH（DMC2）, F020BH（DMC3） **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

（n = 2, 3の場合）

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択注	
				トリガ信号	トリガ内容
0	0	0	0	－	割り込みによるDMA転送禁止（ソフトウエア・トリガのみ可）
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM10	タイマ・チャネル10のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM11	タイマ・チャネル11のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM12	タイマ・チャネル12のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM13	タイマ・チャネル13のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST3/INTCSI30	UART3送信の転送完了，バッファ空き割り込み／CSI30の転送完了，バッファ空き割り込み
0	1	1	1	INTSR3/INTCSI31	UART3受信の転送完了割り込み／CSI31の転送完了，バッファ空き割り込み
1	0	0	0	INTST1/INTCSI10	UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み
1	0	0	1	INTSR1/INTCSI11	UART1受信の転送完了割り込み／CSI11の転送完了，バッファ空き割り込み
1	0	1	0	INTST2/INTCSI20	UART2送信の転送完了，バッファ空き割り込み／CSI20の転送完了，バッファ空き割り込み
1	0	1	1	INTSR2/INTCSI21	UART2受信の転送完了割り込み／CSI21の転送完了，バッファ空き割り込み
上記以外				設定禁止	

注 ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0**ビットの値に関係なく使用できます。**

備考 n：DMA**チャネル番号（**n = 2, 3**）**

15. 3. 2　DMA動作コントロール・レジスタn（DRCn）

DRCnレジスタは，DMAチャネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7（DENn）は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DRCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－5　DMA動作コントロール・レジスタn（DRCn）のフォーマット

アドレス：FFFBCH（DRC0），FFFBDH（DRC1），F020CH（DRC2），F020DH（DRC3）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャネルnの動作禁止（DMAの動作クロック停止）
1	DMAチャネルnの動作許可
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャネルnのDMA転送終了
1	DMAチャネルnのDMA転送未終了（転送中）
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。 その後，DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は，0を書き込みます。	

注意　DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。
DENnフラグはDSTn = 0のときのみ書き込み許可となるため，DMAnの割り込み（INTDMAn）発生を待たずに終了する場合は，DSTn = 0に設定してからDENn = 0としてください（詳細は15. 5. 5　ソフトウエアでの強制終了参照）。

備考　n：DMAチャネル番号（n = 0-3）

15. 4　DMAコントローラの動作

15. 4. 1　動作手順

① DENn = 1により，DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は，80Hを書き込みます。

② DMA SFRアドレス・レジスタn（DSAn），DMA RAMアドレス・レジスタn（DRAn），DMAバイト・カウント・レジスタn（DBCn），DMAモード・コントロール・レジスタn（DMCn）にDMA転送のSFRアドレス，RAMアドレス，転送回数，転送モードを設定します。

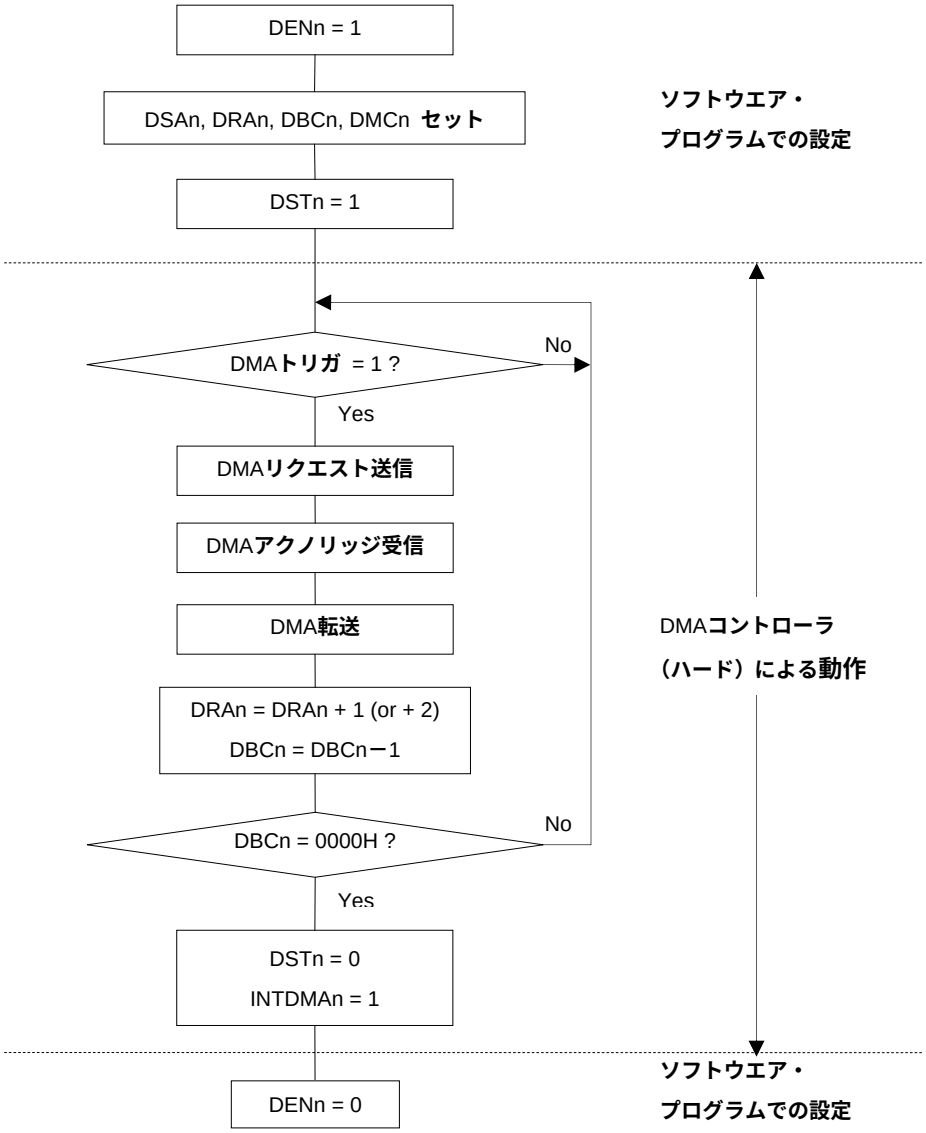
③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は，81Hを書き込みます。

④ ソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。

⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し，割り込み（INTDMAn）の発生により自動的に転送が終了します。

⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図15ー6　動作手順



備考　n：DMAチャネル番号（n = 0-3）

15. 4. 2　転送モード

DMA転送には，DMAモード・コントロール・レジスタn（DMCn）のビット6, 5（DRSn, DSn）の設定により，次の4つの転送モードを選択できます。

DRSn	DSn	DMA転送モード
0	0	1バイト・データのSFR（アドレス固定）からRAM（アドレスは＋1のインクリメント）への転送
0	1	2バイト・データのSFR（アドレス固定）からRAM（アドレスは＋2のインクリメント）への転送
1	0	1バイト・データのRAM（アドレスは＋1のインクリメント）からSFR（アドレス固定）への転送
1	1	2バイト・データのRAM（アドレスは＋2のインクリメント）からSFR（アドレス固定）への転送

この転送モードを使用することによって，シリアル・インタフェースを使った最大1024バイトの連続データ転送，A/D変換結果の連続データ転送，タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

15. 4. 3　DMA転送の終了

DBCn = 00HとなりDMA転送が完了すると，自動的にDSTnビットがクリア（0）されます。そして割り込み要求（INTDMAn）の発生により転送が終了します。

強制終了するためにDSTnビットをクリア（0）すると，DMAバイト・カウント・レジスタn（DBCn）と DMA RAMアドレス・レジスタn（DRAn）は停止したときの値を保持します。

また，強制終了した場合は割り込み要求（INTDMAn）は発生しません。

備考　n：DMAチャネル番号（n = 0-3）

15. 5　DMAコントローラの設定例

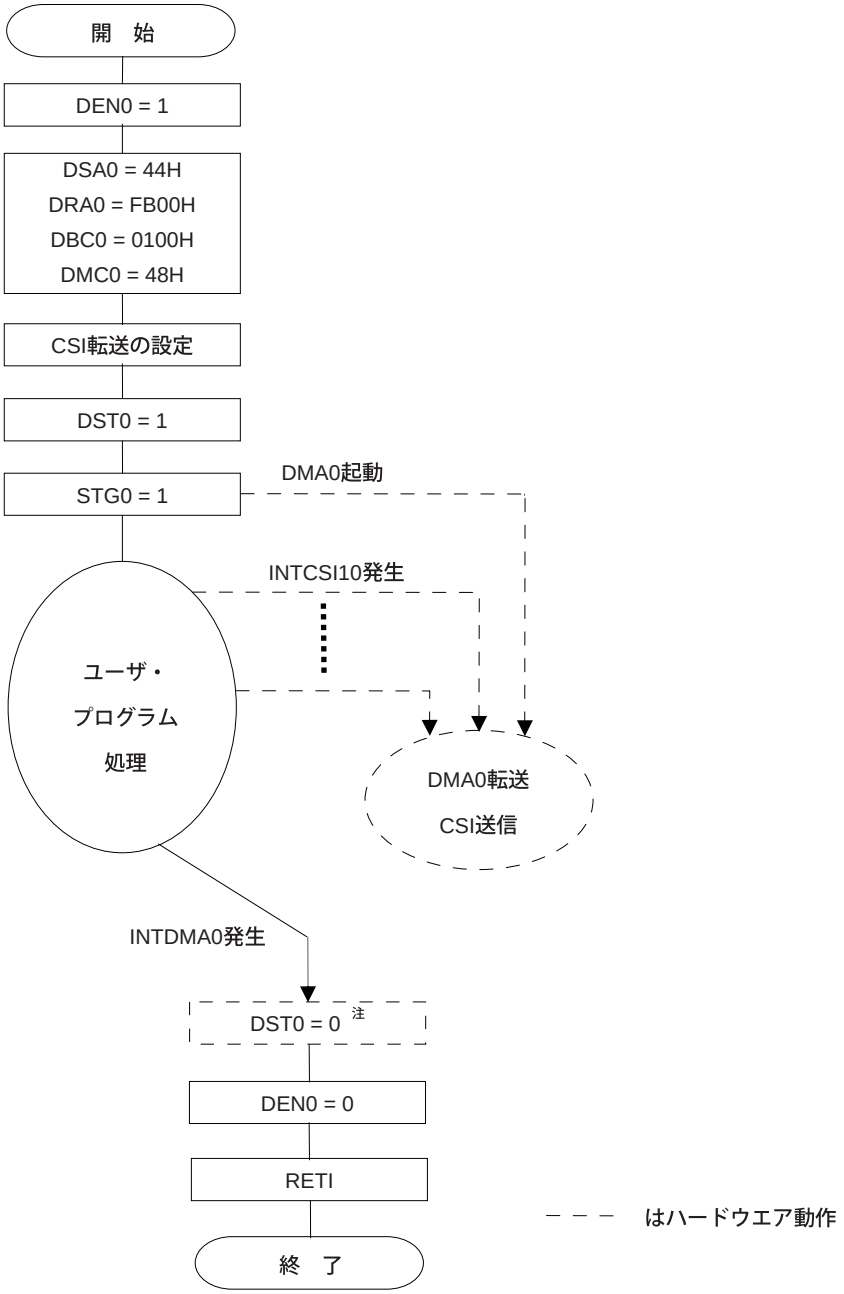
15. 5. 1　CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- CSI10の連続送信（256バイト）
- DMAのチャネル0をDMA転送に使用
- DMA起動要因：INTCSI10（最初の起動要因のみソフトウエア・トリガ（STG0））
- CSI10の割り込みはIFC03-IFC00 = 1000Bに割り当て
- RAMのFFB00H-FFBFFH（256バイト）をCSIのデータ・レジスタ（SIO10）のFFF44Hに転送

備考　IFC03-IFC00：DMAモード・コントロール・レジスタ0（DMC0）のビット3-0

図15ー7　CSI連続送信の設定例



注　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は15. 5. 5　ソフトウエアでの強制終了参照）。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウエア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で，DMA割り込み（INTDMA0）が発生します。

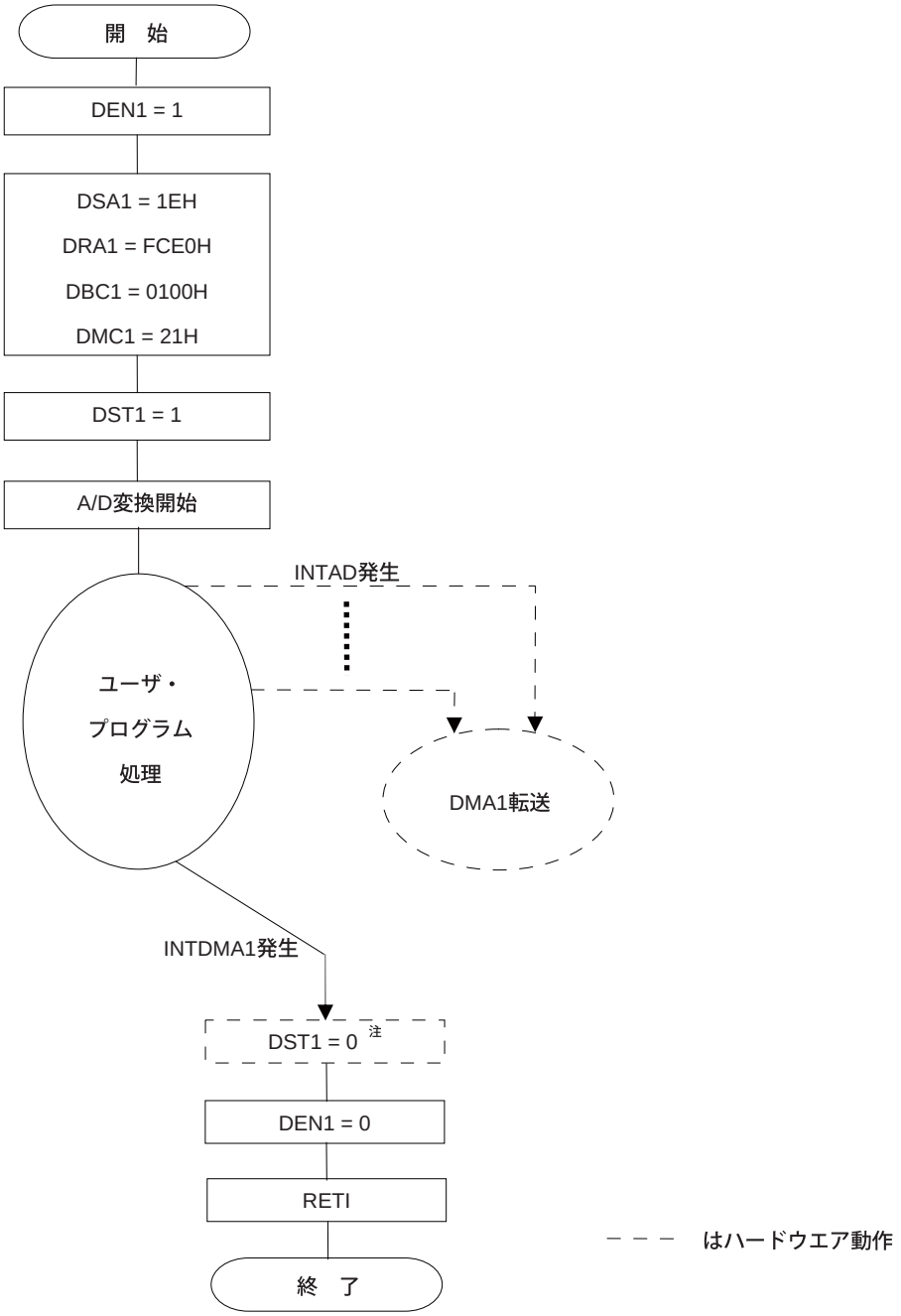
15. 5. 2　A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- 10ビットA/D変換結果レジスタ（ADCR）のFFF1EHとFFF1FH（2バイト）をRAMのFFCE0H-FFEDFHの512バイトに転送

備考　IFC13-IFC10：DMAモード・コントロール・レジスタ1（DMC1）のビット3-0

図15ー8　A/D変換結果の連続取り込みの設定例



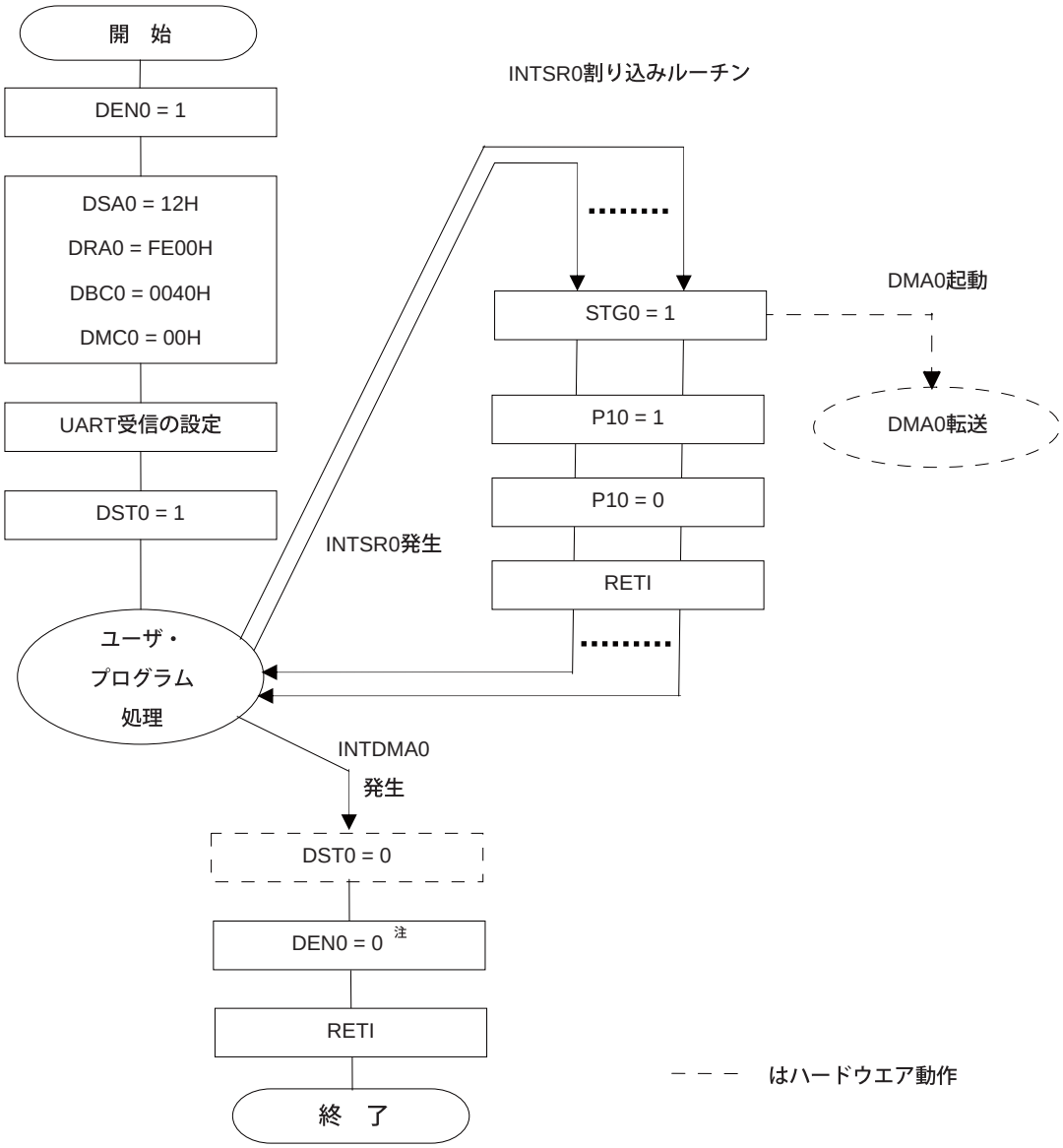
注　DST1フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため，DMA1の割り込み（INTDMA1）発生を待たずに終了する場合は，DST1 = 0に設定してからDEN1 = 0としてください（詳細は15. 5. 5　ソフトウエアでの強制終了参照）。

15. 5. 3　UART連続受信＋ACK送信

UART連続受信＋ACK送信の設定例のフロー・チャートを次に示します。

- UART0の連続受信を行い，P10に受信完了のACKを出力
- DMAのチャネル0をDMA転送に使用
- DMA起動要因：ソフトウエア・トリガ（割り込みによるDMA転送禁止）
- UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図15－9　UART連続受信＋ACK送信の設定例



注　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は15. 5. 5　ソフトウエアでの強制終了参照）。

備考　DMA起動要因にソフトウエア・トリガを使用した例です。
ACKを送信せずに，UART連続受信だけであれば，UART受信完了割り込み（INTSR0）をDMA起動要因に設定して，受信することもできます。

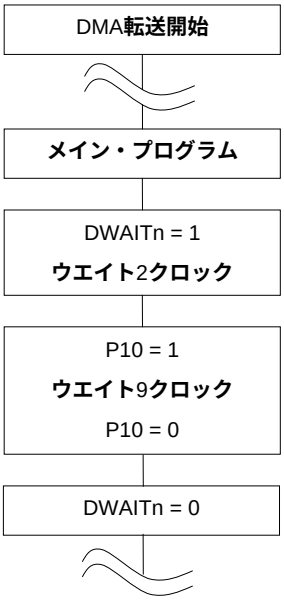
15. 5. 4　DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため，そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は，DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は，保留を解除後に実行されます。ただし，保留できる転送トリガは各チャネル1つなので，保留中に同一チャネルの転送トリガが2回以上発生しても，保留解除後に実行されるDMA転送は1回です。

一例として，P10端子より動作周波数の10クロック幅のパルスを出力する場合，DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後，DMA転送が保留されるまで2クロック必要となります。

図15－10　DWAITnビットによるDMA転送保留の設定例



注意　DMAを2チャネル以上使用中でDMA転送を保留したい場合は，必ずすべてのチャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1）。他チャネルのDMAが保留中に一つのチャネルのDMA転送が実行されると，その他のチャネルも保留されない場合があります。

備考1.　n：DMAチャネル番号（n = 0-3）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

15. 5. 5　ソフトウエアでの強制終了

ソフトウエアでDSTn = 0に設定してから，実際にDMA転送が停止し，DSTn = 0となるまでには最大で2クロックが必要となります。そのため，DMAnの割り込み（INTDMAn）発生を待たずにソフトウエアで強制的にDMA転送を終了する場合は，次のいずれかの処理をしてください。

<DMAを1チャネル使用しているとき>

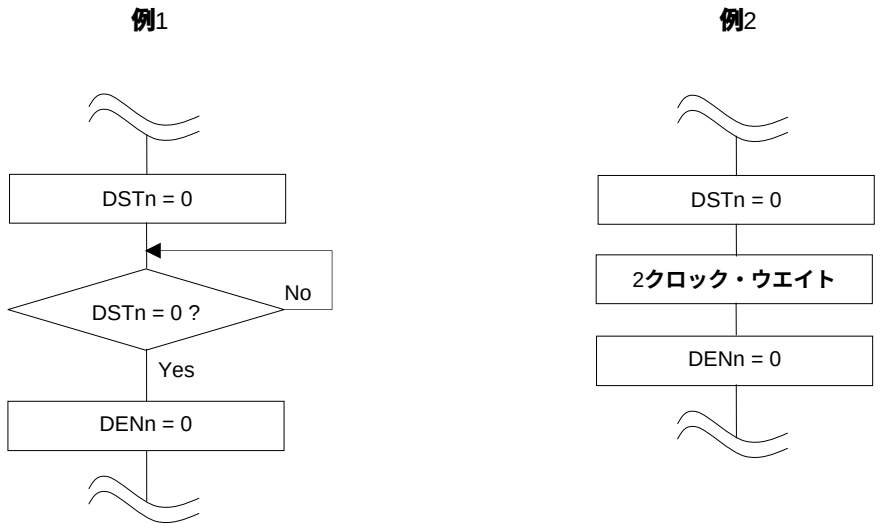
- ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，実際にDSTn ビットが0になったことをポーリングで確認後，DENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

- ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，2クロック経過後にDENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

<DMAを2チャネル以上使用しているとき>

- DMAを2チャネル以上使用しているときにソフトウエアで強制終了（DSTn = 0）する場合は，使用している全チャネルのDWAITnビットをセット（1）してDMA転送を保留してから，DSTnビットをクリア（0）する。その後，使用している全チャネルのDWAITnビットをクリア（0）し保留を解除してから，DENnビットをクリア（0）とする

図15ー11　DMA転送の強制終了（1/2）

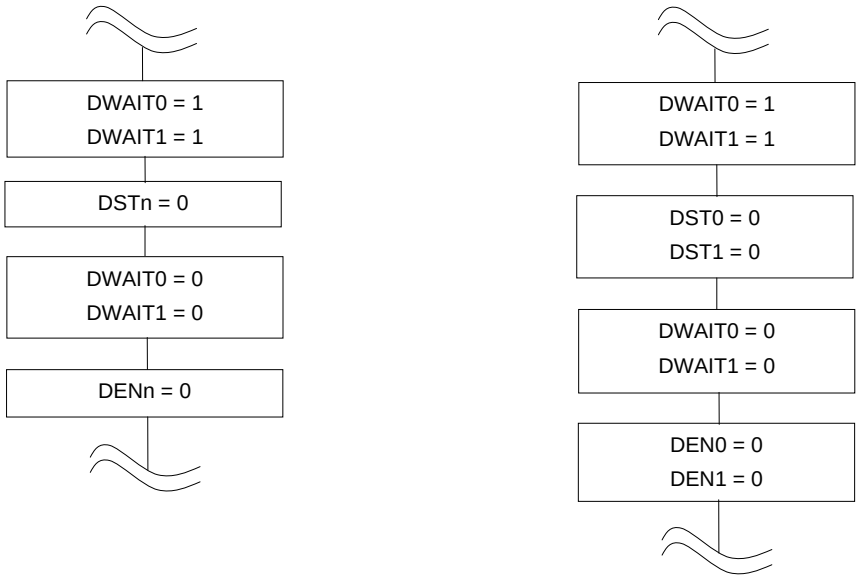


備考1.　n：DMAチャネル番号（n = 0-3）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図15ー11　DMA転送の強制終了（2/2）

例3



注意　**例3では，DWAITnビットのセット（1）後のウエイト2クロックは必要ありません。また，DSTnビットをクリア（0）してからDENnビットをクリア（0）するまで2クロック以上経過しているため，DSTnビットのクリア（0）後にウエイト2クロックする必要はありません。**

備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

15. 6　DMAコントローラの注意事項

（1）DMAの優先順位

DMA転送中は，他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に，保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は，DMAチャネル0＞DMAチャネル1＞DMAチャネル2＞DMAチャネル3の優先順位になります。

また，DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され，そのあとに割り込み処理が実行されます。

（2）DMA応答時間

DMA転送における応答時間は，次のようになります。

表15－3　DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック注

注　内部RAMからの命令実行の場合は，最大時間が16クロックになります。

注意1.　上記の応答時間には，DMA転送の2クロック分は含まれていません。

2.　DMA保留命令（15. 6（4）参照）実行の場合は，各条件の最大応答時間に，その条件で保留する命令の実行時間を足した時間となります。

3.　最大応答時間＋1クロック以内での同一チャネルへの連続する転送トリガは，無視される可能性があるため設定しないでください。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

（3）スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は，次のようになります。

表15－4　スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合，DMA転送が壊れることがありますので，STOP命令実行前にDMAを停止してください。

（4）DMA転送の保留命令

DMA要求が発生しても，次の命令直後ではDMA転送は保留されます。

- CALL !addr16
- CALL $!addr20
- CALL !!addr20
- CALL rp
- CALLT [addr5]
- BRK
- MOV PSW, ＃byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L,PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令
- データ・フラッシュにアクセスする命令

（5）汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn（DRAn）で示すアドレスがインクリメントされていき，汎用レジスタ領域内に入ってしまったり，内蔵RAMの領域を越えてしまった場合，以下に示す動作になります。

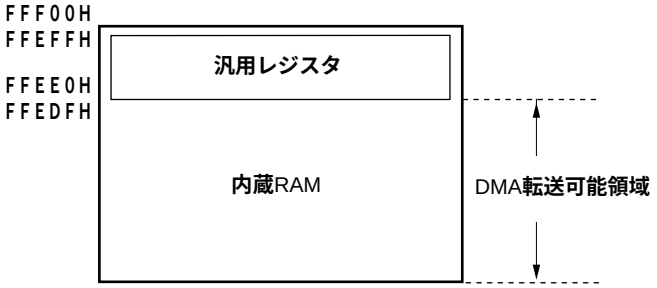
● SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

● RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も，誤動作やシステム破壊の原因となりますので，アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう，十分ご注意ください。



(6) データ・フラッシュ空間にアクセスする場合の動作

DMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合，間の命令に3クロック分のウェイトが入ります。

命令1

DMA転送

命令2 ← 3クロック分のウェイト発生

MOV A，！DataFlash空間

第16章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		20ピン	24, 25 ピン	30, 32, 36ピン	40, 44 ピン	48ピン	52ピン	64ピン	80, 100 ピン	128ピン
マスカブル割り込み	外部	3	5	6	7	10	12	13	13	13
	内部	23	24	27	27	27	27	27	37	41

16. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR03L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表16－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

(2) ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

16. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります（表16－1参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表16－1　割り込み要因一覧（1/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル[注3]（オーバフロー時間の75%＋1/2f_{IL}）	内部	0004H	(A)	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	1	INTLVI	電圧検出[注4]		0006H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	3	INTP1			000AH		○	○	○	○	○	○	○	○	○	○	○	○	○	－
	4	INTP2			000CH		○	○	○	○	○	○	○	○	○	○	○	－	－	－
	5	INTP3			000EH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	6	INTP4			0010H		○	○	○	○	○	○	○	○	○	○	○	○	○	－
	7	INTP5			0012H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	8	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了，バッファ空き割り込み／CSI20の転送完了，バッファ空き割り込み／IIC20の転送完了	内部	0014H	(A)	○	○	○	○	○	○	○	○	○	○	○	－	－	－
	9	INTSR2 /INTCSI21 /INTIIC21	UART2受信の転送完了／CSI21の転送完了，バッファ空き割り込み／IIC21の転送完了		0016H		○	○	○	○	○	○	○	○	○	○[注5]	○[注5]	－	－	－
	10	INTSRE2	UART2受信の通信エラー発生		0018H		○	○	○	○	○	○	○	○	○	○	○	－	－	－
		INTTM11H	タイマ・チャネル11のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○	－	－	－	－	－	－	－	－	－	－	－
	11	INTDMA0	DMA0の転送完了		001AH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	12	INTDMA1	DMA1の転送完了		001CH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	13	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了		001EH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	14	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了／CSI01の転送完了，バッファ空き割り込み／IIC01の転送完了		0020H		○	○	○	○	○	○	○[注6]	○[注6]	○[注6]	○[注6]	○[注6]	○[注6]	○[注6]	○[注6]
	15	INTSRE0	UART0受信の通信エラー発生		0022H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
		INTTM01H	タイマ・チャネル01のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○	○	○	○	○	○	○	○	○	○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，53が最低順位です。
2.　基本構成タイプの（A）-（D）は，それぞれ図16－1の（A）-（D）に対応しています。
3.　オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。
4.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。
5.　INTSR2のみ
6.　INTSR0のみ

表16－1　割り込み要因一覧（2/4）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
マスカブル	16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み／IIC10の転送完了	内部	0024H	(A)	○	○	○	○	○注3	○注3	○注3	○注3	○注3	○注3	○注3	○注3	○注3	○注3
	17	INTSR1 /INTCSI11 /INTIIC11	UART1受信の転送完了／CSI11の転送完了，バッファ空き割り込み／IIC11の転送完了		0026H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	18	INTSRE1	UART1受信の通信エラー発生		0028H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
		INTTM03H	タイマ・チャネル03のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○	○	○	○	○	○	○	○	○	○	○	○
	19	INTIICA0	IICA0通信完了		002AH		○	○	○	○	○	○	○	○	○	○	○	○	○	－
	20	INTTM00	タイマ・チャネル00のカウント完了またはキャプチャ完了		002CH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	21	INTTM01	タイマ・チャネル01のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		002EH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	22	INTTM02	タイマ・チャネル02のカウント完了またはキャプチャ完了		0030H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	23	INTTM03	タイマ・チャネル03のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		0032H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	24	INTAD	A/D変換終了		0034H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	25	INTRTC	リアルタイム・クロックの定周期信号／アラーム一致検出		0036H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	26	INTIT	12ビット・インターバル・タイマのインターバル信号検出		0038H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	27	INTKR	キー・リターン信号検出	外部	003AH	(C)	○	○	○	○	○	○	○	○	－	－	－	－	－	－
	28	INTST3 /INTCSI30 /INTIIC30	UART3送信の転送完了，バッファ空き割り込み／CSI30の転送完了，バッファ空き割り込み／IIC30の転送完了	内部	003CH	(A)	○	○	○	－	－	－	－	－	－	－	－	－	－	－

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，53が最低順位です。

2.　基本構成タイプの（A）-（D）は，それぞれ図16－1の（A）-（D）に対応しています。

3.　INTST1のみ

表16－1　割り込み要因一覧（3/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
マスカブル	29	INTSR3 /INTCSI31 /INTIIC31	UART3受信の転送完了／CSI31の転送完了，バッファ空き割り込み／IIC31の転送完了	内部	003EH	(A)	○	○	○	－	－	－	－	－	－	－	－	－	－	－
	30	INTTM13	タイマ・チャネル13のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		0040H		○	○	○	－	－	－	－	－	－	－	－	－	－	－
	31	INTTM04	タイマ・チャネル04のカウント完了またはキャプチャ完了		0042H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	32	INTTM05	タイマ・チャネル05のカウント完了またはキャプチャ完了		0044H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	33	INTTM06	タイマ・チャネル06のカウント完了またはキャプチャ完了		0046H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	34	INTTM07	タイマ・チャネル07のカウント完了またはキャプチャ完了		0048H		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	35	INTP6	端子入力エッジ検出	外部	004AH	(B)	○	○	○	○	○	○	－	－	－	－	－	－	－	－
	36	INTP7			004CH		○	○	○	○	－	－	－	－	－	－	－	－	－	－
	37	INTP8			004EH		○	○	○	○	○	○	－	－	－	－	－	－	－	－
	38	INTP9			0050H		○	○	○	○	○	○	－	－	－	－	－	－	－	－
	39	INTP10			0052H		○	○	○	○	○	－	－	－	－	－	－	－	－	－
	40	INTP11			0054H		○	○	○	○	○	－	－	－	－	－	－	－	－	－
	41	INTTM10	タイマ・チャネル10のカウント完了またはキャプチャ完了	内部	0056H	(A)	○	○	○	－	－	－	－	－	－	－	－	－	－	－
	42	INTTM11	タイマ・チャネル11のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		0058H		○	○	○	－	－	－	－	－	－	－	－	－	－	－
	43	INTTM12	タイマ・チャネル12のカウント完了またはキャプチャ完了		005AH		○	○	○	－	－	－	－	－	－	－	－	－	－	－
	44	INTSRE3	UART3受信の通信エラー発生		005CH		○	○	○	－	－	－	－	－	－	－	－	－	－	－
		INTTM13H	タイマ・チャネル13のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○	－	－	－	－	－	－	－	－	－	－	－
	45	INTMD	除算演算終了／積和演算結果のオーバフロー発生		005EH		○	○	○	○	○	○	○	○	○	○	○	○	○	○
	46	INTIICA1	IICA1通信完了		0060H		○	○	○	－	－	－	－	－	－	－	－	－	－	－
	47	INTFL	予約[注3]		0062H		○	○	○	○	○	○	○	○	○	○	○	○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，53が最低順位です。

2.　基本構成タイプの（A）-（D）は，それぞれ図16－1の（A）-（D）に対応しています。

3.　フラッシュ・セルフ・プログラミング・ライブラリ，フラッシュ・データ・ライブラリで使用します。

表16－1　割り込み要因一覧（4/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
マスカブル	48	INTDMA2	DMA2の転送完了	内部	0064H	(A)	○	○	○	－	－	－	－	－	－	－	－	－	－	－
	49	INTDMA3	DMA3の転送完了		0066H		○	○	○	－	－	－	－	－	－	－	－	－	－	－
	50	INTTM14	タイマ・チャネル14のカウント完了またはキャプチャ完了		0068H		○	－	－	－	－	－	－	－	－	－	－	－	－	－
	51	INTTM15	タイマ・チャネル15のカウント完了またはキャプチャ完了		006AH		○	－	－	－	－	－	－	－	－	－	－	－	－	－
	52	INTTM16	タイマ・チャネル16のカウント完了またはキャプチャ完了		006CH		○	－	－	－	－	－	－	－	－	－	－	－	－	－
	53	INTTM17	タイマ・チャネル17のカウント完了またはキャプチャ完了		006EH		○	－	－	－	－	－	－	－	－	－	－	－	－	－
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	(D)	○	○	○	○	○	○	○	○	○	○	○	○	○	○
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－	○	○	○	○	○	○	○	○	○	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○	○	○	○	○	○	○	○	○	○
		LVD	電圧検出[注3]				○	○	○	○	○	○	○	○	○	○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○	○	○	○	○	○	○	○	○	○
		TRAP	不正命令の実行[注4]				○	○	○	○	○	○	○	○	○	○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○	○	○	○	○	○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○	○	○	○	○	○	○	○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。
0が最高順位，53が最低順位です。

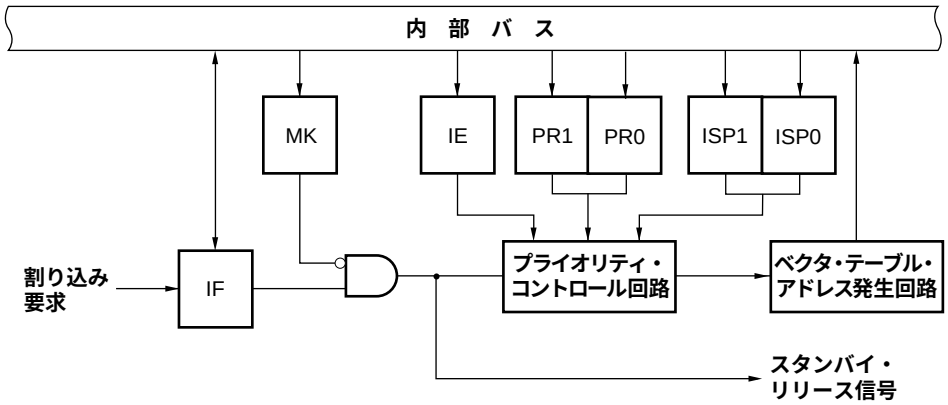
2.　基本構成タイプの（A）-（D）は，それぞれ図16－1の（A）-（D）に対応しています。

3.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 1選択時。

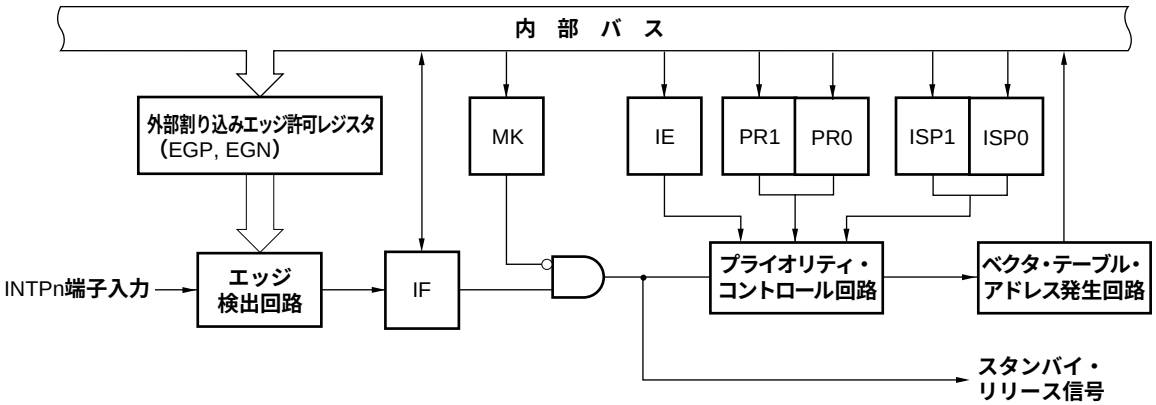
4.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図16ー1　割り込み機能の基本構成（1/2）

（A）内部マスカブル割り込み



（B）外部マスカブル割り込み（INTPn）



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　：割り込みマスク・フラグ

PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

備考　20ピン　：n = 0, 3, 5

24, 25ピン　：n = 0, 1, 3-5

30, 32, 36, 40, 44ピン　：n = 0-5

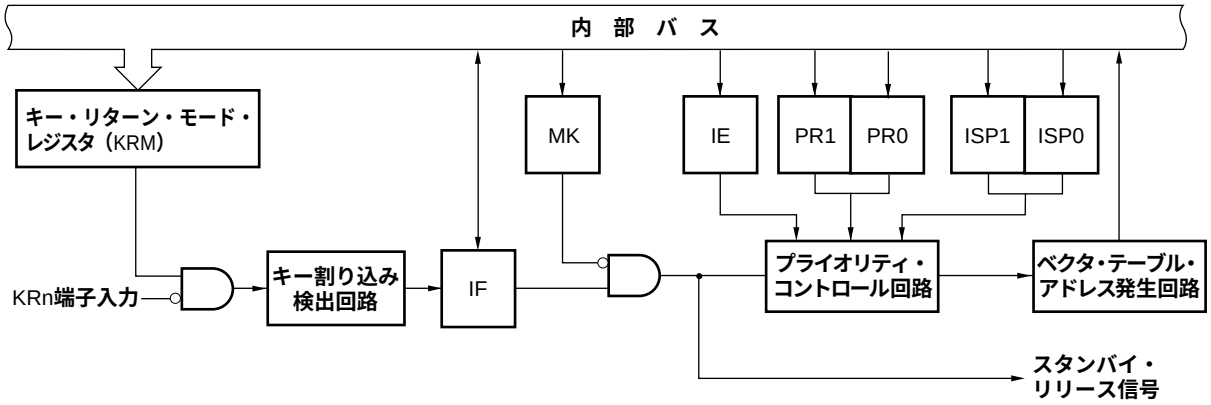
48ピン　：n = 0-6, 8, 9

52ピン　：n = 0-6, 8-11

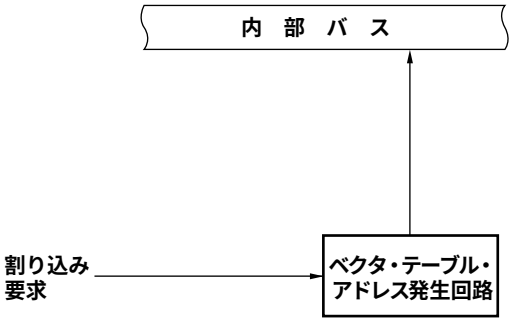
64, 80, 100, 128ピン　：n = 0-11

図16ー1　割り込み機能の基本構成（2/2）

(C) 外部マスカブル割り込み（INTKR）



(D) ソフトウエア割り込み



IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　：割り込みマスク・フラグ
PR0　：優先順位指定フラグ0
PR1　：優先順位指定フラグ1

備考　40, 44ピン　：n = 0-3
48ピン　：n = 0-5
52, 64, 80, 100, 128ピン：n = 0-7

16. 3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）
- 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）
- 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）
- 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）
- 外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）
- プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表16－2に示します。

表16－2　割り込み要求ソースに対応する各種フラグ（1/4）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○	○	○	○	○	○	○	○	○	－
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○	○	○	○	○	○	○	－	－	－
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○	○	○	○	○	○	○	○	○	－
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○	○	○	○	○	○	○	○	○	○

表16－2 割り込み要求ソースに対応する各種フラグ（2/4）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
INTST2[注1]	STIF2[注1]	IF0H	STMK2[注1]	MK0H	STPR02, STPR12[注1]	PR00H,	○	○	○	○	○	○	○	○	○	○	○	－	－	－
INTCSI20[注1]	CSIIF20[注1]		CSIMK20[注1]		CSIPR020, CSIPR120[注1]	PR10H	○	○	○	○	○	○	○	○	○	○	○	－	－	－
INTIIC20[注1]	IICIF20[注1]		IICMK20[注1]		IICPR020, IICPR120[注1]		○	○	○	○	○	○	○	○	○	○	○	－	－	－
INTSR2[注2]	SRIF2[注2]		SRMK2[注2]		SRPR02, SRPR12[注2]		○	○	○	○	○	○	○	○	○	○	○	－	－	－
INTCSI21[注2]	CSIIF21[注2]		CSIMK21[注2]		CSIPR021, CSIPR121[注2]		○	○	○	○	○	○	○	○	○	－	－	－	－	－
INTIIC21[注2]	IICIF21[注2]		IICMK21[注2]		IICPR021, IICPR121[注2]		○	○	○	○	○	○	○	○	○	－	－	－	－	－
INTSRE2[注3]	SREIF2[注3]		SREMK2[注3]		SREPR02, SREPR12[注3]		○	○	○	○	○	○	○	○	○	○	○	－	－	－
INTTM11H[注3]	TMIF11H[注3]		TMMK11H[注3]		TMPR011H, TMPR111H[注3]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTST0[注4]	STIF0[注4]		STMK0[注4]		STPR00, STPR10[注4]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI00[注4]	CSIIF00[注4]		CSIMK00[注4]		CSIPR000, CSIPR100[注4]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC00[注4]	IICIF00[注4]		IICMK00[注4]		IICPR000, IICPR100[注4]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTSR0[注5]	SRIF0[注5]		SRMK0[注5]		SRPR00, SRPR10[注5]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI01[注5]	CSIIF01[注5]		CSIMK01[注5]		CSIPR001, CSIPR101[注5]		○	○	○	○	○	○	－	－	－	－	－	－	－	－
INTIIC01[注5]	IICIF01[注5]		IICMK01[注5]		IICPR001, IICPR101[注5]		○	○	○	○	○	○	－	－	－	－	－	－	－	－
INTSRE0[注6]	SREIF0[注6]		SREMK0[注6]		SREPR00, SREPR10[注6]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM01H[注6]	TMIF01H[注6]		TMMK01H[注6]		TMPR001H, TMPR101H[注6]		○	○	○	○	○	○	○	○	○	○	○	○	○	○

注1. **割り込み要因**INTST2, INTCSI20, INTIIC20**のうち，いずれかが発生したら，**IF0H**レジスタのビット**0**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**0**は，3つすべての割り込み要因に対応しています。

2. **割り込み要因**INTSR2, INTCSI21, INTIIC21**のうち，いずれかが発生したら，**IF0H**レジスタのビット**1**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**1**は，3つすべての割り込み要因に対応しています。

3. UART2**受信のエラー割り込み，**TAU1**のチャネル**1**（上位**8**ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。**UART2**受信のエラー割り込みを使用しない（**EOC01 = 0**）場合は，**UART2, TAU1**のチャネル**1**（上位**8**ビット・タイマ動作時）を同時に使用できます。割り込み要因**INTSRE2, INTTM11H**のうち，どちらかが発生したら，**IF0H**レジスタのビット**2**はセット（1）されます。また，**MK0H, PR00H,PR10H**レジスタのビット**2**は，両方の割り込み要因に対応しています。

4. **割り込み要因**INTST0, INTCSI00, INTIIC00**のうち，いずれかが発生したら，**IF0H**レジスタのビット**5**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**5**は，3つすべての割り込み要因に対応しています。

5. **割り込み要因**INTSR0, INTCSI01, INTIIC01**のうち，いずれかが発生したら，**IF0H**レジスタのビット**6**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**6**は，3つすべての割り込み要因に対応しています。

6. UART0**受信のエラー割り込み，**TAU0**のチャネル**1**（上位**8**ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。**UART0**受信のエラー割り込みを使用しない（**EOC01 = 0**）場合は，**UART0, TAU0**のチャネル**1**（上位**8**ビット・タイマ動作時）を同時に使用できます。割り込み要因**INTSRE0, INTTM01H**のうち，どちらかが発生したら，**IF0H**レジスタのビット**7**はセット（1）されます。また，**MK0H, PR00H,PR10H**レジスタのビット**7**は，両方の割り込み要因に対応しています。

表16－2 割り込み要求ソースに対応する各種フラグ（3/4）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
INTST1[注1]	STIF1[注1]	IF1L	STMK1[注1]	MK1L	STPR01, STPR11[注1]	PR01L,	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI10[注1]	CSIIF10[注1]		CSIMK10[注1]		CSIPR010, CSIPR110[注1]	PR11L	○	○	○	○	－	－	－	－	－	－	－	－	－	－
INTIIC10[注1]	IICIF10[注1]		IICMK10[注1]		IICPR010, IICPR110[注1]		○	○	○	○	－	－	－	－	－	－	－	－	－	－
INTSR1[注2]	SRIF1[注2]		SRMK1[注2]		SRPR01, SRPR11[注2]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTCSI11[注2]	CSIIF11[注2]		CSIMK11[注2]		CSIPR011, CSIPR111[注2]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTIIC11[注2]	IICIF11[注2]		IICMK11[注2]		IICPR011, IICPR111[注2]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTSRE1[注3]	SREIF1[注3]		SREMK1[注3]		SREPR01, SREPR11[注3]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM03H[注3]	TMIF03H[注3]		TMMK03H[注3]		TMPR003H, TMPR103H[注3]		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○	○	○	○	○	○	－
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H,	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1	PR11H	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○	○	○	－	－	－	－	－	－
INTST3[注4]	STIF3[注4]		STMK3[注4]		STPR03, STPR13[注4]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTCSI30[注4]	CSIIF30[注4]		CSIMK30[注4]		CSIPR030, CSIPR130[注4]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTIIC30[注4]	IICIF30[注4]		IICMK30[注4]		IICPR030, IICPR130[注4]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTSR3[注5]	SRIF3[注5]		SRMK3[注5]		SRPR03, SRPR13[注5]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTCSI31[注5]	CSIIF31[注5]		CSIMK31[注5]		CSIPR031, CSIPR131[注5]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTIIC31[注5]	IICIF31[注5]		IICMK31[注5]		IICPR031, IICPR131[注5]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○	○	○	○	○	○	○	○	○	○

注1. **割り込み要因**INTST1, INTCSI10, INTIIC10**のうち，いずれかが発生したら，**IF1L**レジスタのビット**0**はセット（1）されます。また，**MK1L, PR01L, PR11L**レジスタのビット**0**は，3つすべての割り込み要因に対応しています。

2. **割り込み要因**INTSR1, INTCSI11, INTIIC11**のうち，いずれかが発生したら，**IF1L**レジスタのビット**1**はセット（1）されます。また，**MK1L, PR01L, PR11L**レジスタのビット**1**は，3つすべての割り込み要因に対応しています。

3. UART1**受信のエラー割り込み，**TAU0**のチャネル**3**（上位**8**ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。**UART1**受信のエラー割り込みを使用しない（EOC03 = 0）場合は，**UART1, TAU0**のチャネル**3**（上位**8**ビット・タイマ動作時）を同時に使用できます。割り込み要因**INTSRE1, INTTM03H**のうち，どちらかが発生したら，**IF1L**レジスタのビット**2**はセット（1）されます。また，**MK1L, PR01L,PR11L**レジスタのビット**2**は，両方の割り込み要因に対応しています。

4. **割り込み要因**INTST3, INTCSI30, INTIIC30**のうち，いずれかが発生したら，**IFHL**レジスタのビット**4**はセット（1）されます。また，**MK1H, PR01H, PR11H**レジスタのビット**4**は，3つすべての割り込み要因に対応しています。

5. **割り込み要因**INTSR3, INTCSI31, INTIIC31**のうち，いずれかが発生したら，**IF1H**レジスタのビット**5**はセット（1）されます。また，**MK1H, PR01H, PR11H**レジスタのビット**5**は，3つすべての割り込み要因に対応しています。

表16－2 割り込み要求ソースに対応する各種フラグ（4/4）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	128ピン	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L,	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	PR12L	○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	○	○	－	－	－	－	－	－	－	－
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	○	－	－	－	－	－	－	－	－	－	－
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	○	○	－	－	－	－	－	－	－	－
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○	○	○	－	－	－	－	－	－	－	－
INTP10	PIF10		PMK10		PPR010, PPR110		○	○	○	○	○	－	－	－	－	－	－	－	－	－
INTP11	PIF11	IF2H	PMK11	MK2H	PPR011, PPR111	PR02H,	○	○	○	○	○	－	－	－	－	－	－	－	－	－
INTTM10	TMIF10		TMMK10		TMPR010, TMPR110	PR12H	○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTTM11	TMIF11		TMMK11		TMPR011, TMPR111		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTSRE3[注]	SREIF3[注]		SREMK3[注]		SREPR03, SREPR13[注]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTTM13H[注]	TMIF13H[注]		TMMK13H[注]		TMPR013H, TMPR113H[注]		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTMD	MDIF		MDMK		MDPR0, MDPR1		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11		○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○	○	○	○	○	○	○	○	○	○
INTDMA2	DMAIF2	IF3L	DMAMK2	MK3L	DMAPR02, DMAPR12	PR03L,	○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTDMA3	DMAIF3		DMAMK3		DMAPR03, DMAPR13	PR13L	○	○	○	－	－	－	－	－	－	－	－	－	－	－
INTTM14	TMIF14		TMMK14		TMPR014, TMPR114		○	－	－	－	－	－	－	－	－	－	－	－	－	－
INTTM15	TMIF15		TMMK15		TMPR015, TMPR115		○	－	－	－	－	－	－	－	－	－	－	－	－	－
INTTM16	TMIF16		TMMK16		TMPR016, TMPR116		○	－	－	－	－	－	－	－	－	－	－	－	－	－
INTTM17	TMIF17		TMMK17		TMPR017, TMPR117		○	－	－	－	－	－	－	－	－	－	－	－	－	－

注 UART3受信のエラー割り込み，TAU1のチャネル3（上位8ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。UART3受信のエラー割り込みを使用しない（EOC03 = 0）場合は，UART3, TAU1のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE3, INTTM13Hのうち，どちらかが発生したら，IF2Hレジスタのビット4はセット（1）されます。また，MK2H, PR02H,PR12Hレジスタのビット4は，両方の割り込み要因に対応しています。

16. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ, IF1LレジスタとIF1Hレジスタ, IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図16－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（1/2）

アドレス：FFFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0 CSIIF01 IICIF01	STIF0 CSIIF00 IICIF00	DMAIF1	DMAIF0	SREIF2 TMIF11H	SRIF2 CSIIF21 IICIF21	STIF2 CSIIF20 IICIF20

アドレス：FFFE2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIIF11 IICIF11	STIF1 CSIIF10 IICIF10

アドレス：FFFE3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	TMIF13	SRIF3 CSIIF31 IICIF31	STIF3 CSIIF30 IICIF30	KRIF	ITIF	RTCIF	ADIF

アドレス：FFFD0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10	PIF9	PIF8	PIF7	PIF6	TMIF07	TMIF06	TMIF05

図16ー2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（2/2）

アドレス：FFFD1H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	IICAIF1	MDIF	SREIF3 TMIF13H	TMIF12	TMIF11	TMIF10	PIF11

アドレス：FFFD2H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
IF3L	0	0	TMIF17	TMIF16	TMIF15	TMIF14	DMAIF3	DMAIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1.　**製品によって搭載しているレジスタとビットは異なります。**
各製品に搭載しているレジスタとビットについては，表16-2**を参照してください。また，搭載していないビットには，必ず初期値を設定してください。**

2.　**割り込み要求フラグ・レジスタのフラグ操作には，**1**ビット・メモリ操作命令（**CLR1**）を使用してください。**C**言語での記述の場合は，コンパイルされたアセンブラが**1**ビット・メモリ操作命令（**CLR1**）になっている必要があるため，「**IF0L.0 = 0;**」や「**_asm(“clr1 IF0L,0”);**」のようなビット操作命令を使用してください。**
なお，C**言語で「**IF0L & = 0xfe;**」のように**8**ビット・メモリ操作命令で記述した場合，コンパイルすると**3**命令のアセンブラになります。**

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L**」後から「**mov IF0L, a**」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（**IF0L**）の他ビットの要求フラグがセット（**1**）されても，「**mov IF0L, a**」でクリア（**0**）されます。したがって，**C**言語で**8**ビット・メモリ操作命令を使用する場合は注意が必要です。**

16. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）

割り込みマスク・フラグは，対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタ，MK1LレジスタとMK1Hレジスタ，MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図16ー3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット（1/2）

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	DMAMK1	DMAMK0	SREMK2 TMMK11H	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

アドレス：FFFE7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	TMMK13	SRMK3 CSIMK31 IICMK31	STMK3 CSIMK30 IICMK30	KRMK	ITMK	RTCMK	ADMK

アドレス：FFFD4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2L	PMK10	PMK9	PMK8	PMK7	PMK6	TMMK07	TMMK06	TMMK05

図16ー3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット（2/2）

アドレス：FFFD5H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	IICAMK1	MDMK	SREMK3 TMMK13H	TMMK12	TMMK11	TMMK10	PMK11

アドレス：FFFD6H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
MK3L	1	1	TMMK17	TMMK16	TMMK15	TMMK14	DMAMK3	DMAMK2

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表16ー2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

16. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00LレジスタとPR00Hレジスタ，PR01LレジスタとPR01Hレジスタ，PR02LレジスタとPR02Hレジスタ，PR10LレジスタとPR10Hレジスタ，PR11LレジスタとPR11Hレジスタ，PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図16ー4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット（1/3）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00 TMPR001H	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	DMAPR01	DMAPR00	SREPR02 TMPR011H	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10 TMPR101H	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	DMAPR11	DMAPR10	SREPR12 TMPR111H	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010

図16ー4　**優先順位指定フラグ・レジスタ**（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）**のフォーマット**（2/3）

アドレス：FFFEEH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

アドレス：FFFEBH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	TMPR013	SRPR03 CSIPR031 IICPR031	STPR03 CSIPR030 IICPR030	KRPR0	ITPR0	RTCPR0	ADPR0

アドレス：FFFEFH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	TMPR113	SRPR13 CSIPR131 IICPR131	STPR13 CSIPR130 IICPR130	KRPR1	ITPR1	RTCPR1	ADPR1

アドレス：FFFD8H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02L	PPR010	PPR09	PPR08	PPR07	PPR06	TMPR007	TMPR006	TMPR005

アドレス：FFFDCH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12L	PPR110	PPR19	PPR18	PPR17	PPR16	TMPR107	TMPR106	TMPR105

アドレス：FFFD9H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	IICAPR01	MDPR0	SREPR03 TMPR013H	TMPR012	TMPR011	TMPR010	PPR011

アドレス：FFFDDH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	IICAPR11	MDPR1	SREPR13 TMPR113H	TMPR112	TMPR111	TMPR110	PPR111

図16ー4　**優先順位指定フラグ・レジスタ**（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）**のフォーマット**（3/3）

アドレス：FFFDAH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR03L	1	1	TMPR017	TMPR016	TMPR015	TMPR014	DMAPR03	DMAPR02

アドレス：FFFDEH　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
PR13L	1	1	TMPR117	TMPR116	TMPR115	TMPR114	DMAPR13	DMAPR12

XXPR1X	XXPR0X	**優先順位レベルの選択**
0	0	**レベル**0**を指定（高優先順位）**
0	1	**レベル**1**を指定**
1	0	**レベル**2**を指定**
1	1	**レベル**3**を指定（低優先順位）**

注意　製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表16ー2**を参照してください。また，搭載していないビットには必ず初期値を設定してください。**

16. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－5　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-11）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表16－3に示します。

表16－3　EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	64, 80, 100, 128ピン	52ピン	48ピン	30, 32, 36, 40, 44ピン	24, 25ピン	20ピン
EGP0	EGN0	INTP0	○	○	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	○	○	－
EGP2	EGN2	INTP2	○	○	○	○	－	－
EGP3	EGN3	INTP3	○	○	○	○	○	○
EGP4	EGN4	INTP4	○	○	○	○	○	－
EGP5	EGN5	INTP5	○	○	○	○	○	○
EGP6	EGN6	INTP6	○	○	○	－	－	－
EGP7	EGN7	INTP7	○	－	－	－	－	－
EGP8	EGN8	INTP8	○	○	○	－	－	－
EGP9	EGN9	INTP9	○	○	○	－	－	－
EGP10	EGN10	INTP10	○	○	－	－	－	－
EGP11	EGN11	INTP11	○	○	－	－	－	－

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出してINTPn割り込みが発生する可能性があります。
出力モードに切り替える場合は，エッジ検出禁止（EGPn，EGNn=0, 0）にしてからポート・モード・レジスタ（PMxx）を0に設定してください。

備考1.　エッジ検出ポートに関しては，2. 1　ポート機能を参照してください。

2.　n = 0-11

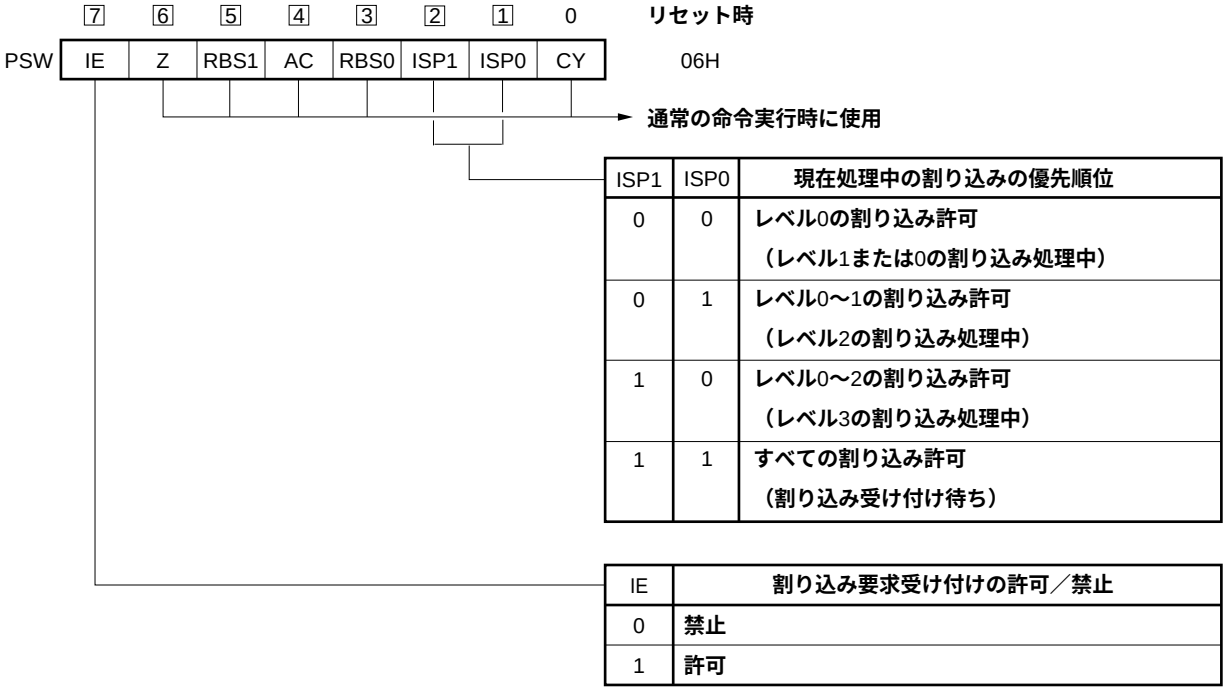
16. 3. 5　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，”－1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図16－6　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

16. 4　割り込み処理動作

16. 4. 1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表16－4のようになります。

割り込み要求の受け付けタイミングについては，図16－8, 16－9を参照してください。

表16－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	16クロック

注　内部RAM 領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

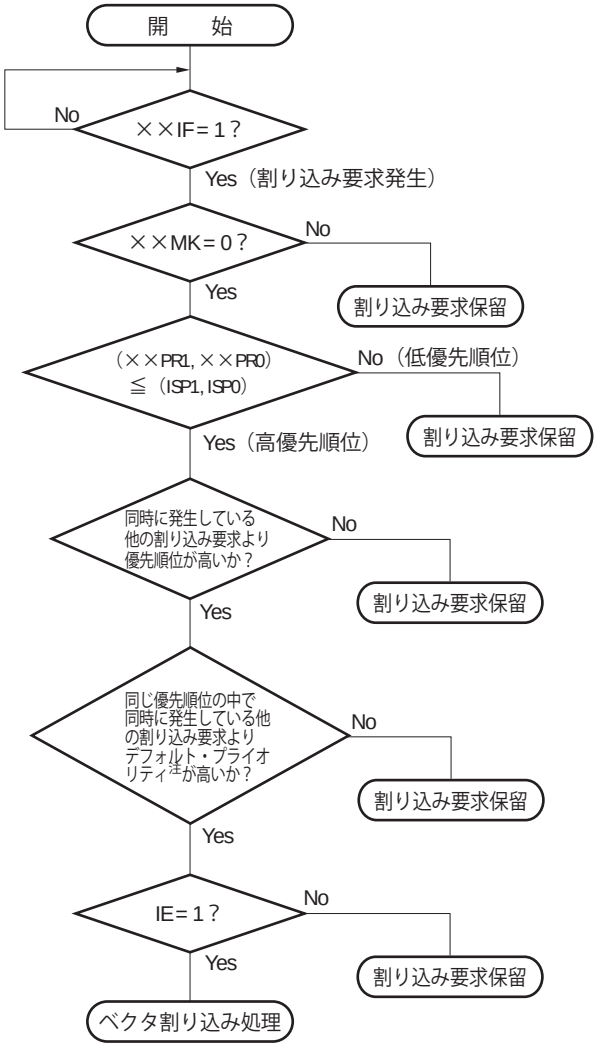
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図16－7に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図16－7　割り込み要求受け付け処理アルゴリズム



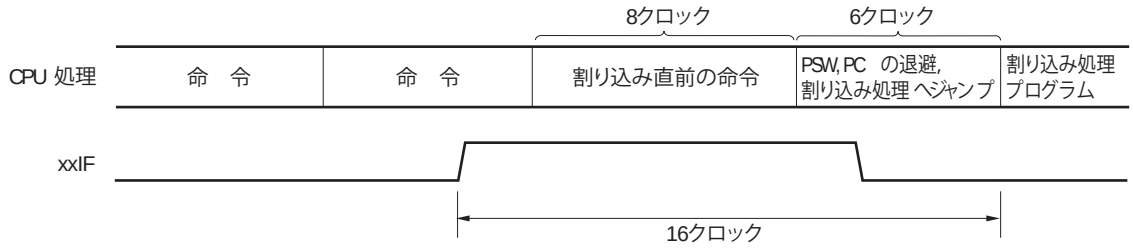
××IF	：割り込み要求フラグ
××MK	：割り込みマスク・フラグ
××PR0	：優先順位指定フラグ0
××PR1	：優先順位指定フラグ1
IE	：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）
ISP0, ISP1	：現在処理中の割り込みの優先順位を示すフラグ（図16－6参照）

注　デフォルト・プライオリティは，表16－1　割り込み要因一覧を参照してください。

図16－8　割り込み要求の受け付けタイミング（最小時間）

備考　1**クロック：**1/f_{CLK}（f_{CLK}：CPU**クロック**）

図16－9　割り込み要求の受け付けタイミング（最大時間）



備考　1**クロック：**1/f_{CLK}（f_{CLK}：CPU**クロック**）

16. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW）,プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

16. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表16－5に多重割り込み可能な割り込み要求の関係を，図16－10に多重割り込みの例を示します。

表16ー5　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ 処理中の割り込み		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	○	○	○	○	○	○	○	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1．○：多重割り込み可能。

2．×：多重割り込み不可能。

3．ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1　：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0　：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1　：割り込み受け付け待ち（すべての割り込み許可）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4．PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）

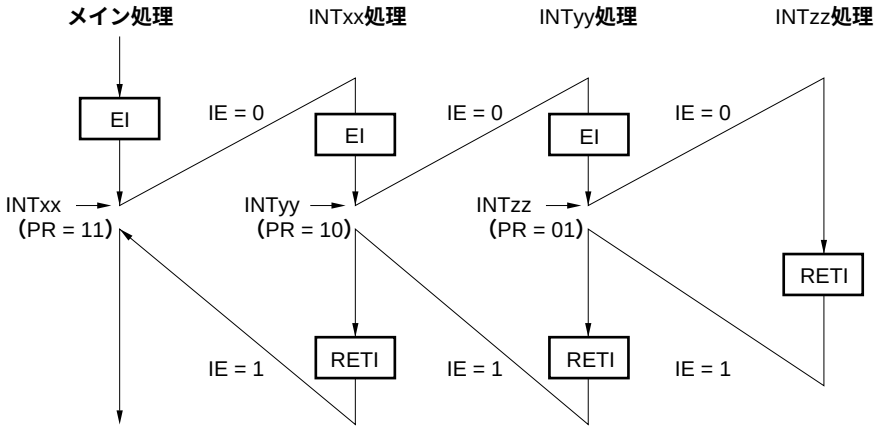
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）

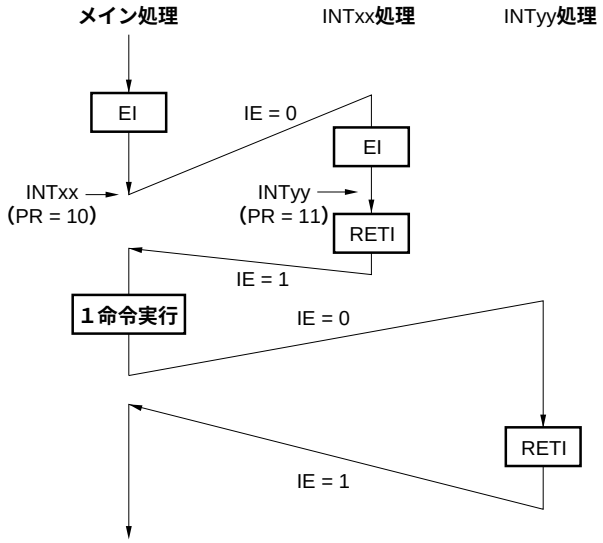
図16－10　多重割り込みの例（1/2）

例1．多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2．優先順位制御により，多重割り込みが発生しない例

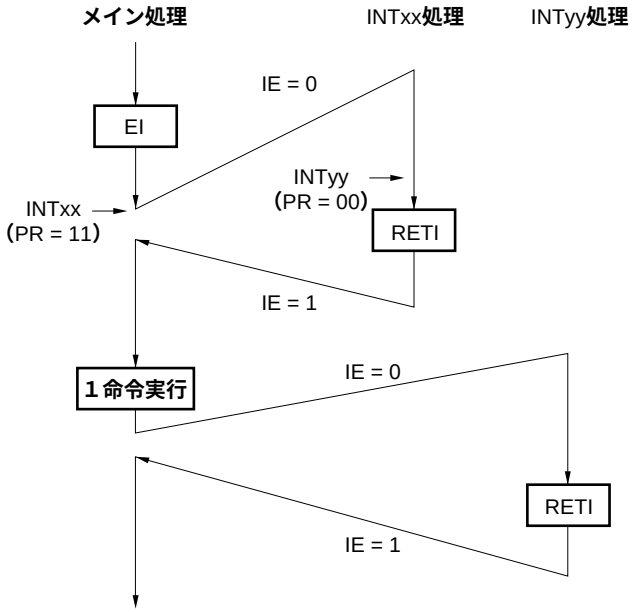


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定
PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定
PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

図16－10　多重割り込みの例（2/2）

例3．割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx**処理では割り込みが許可されていない（**EI**命令が発行されていない）ので，割り込み要求**INTyy**は受け付けられず，多重割り込みは発生しない。**INTyy**要求は保留され，メイン処理**1**命令実行後に受け付けられる。**

PR = 00：××PR1×= 0, ××PR0×= 0**でレベル**0**を指定（高優先順位）**
PR = 01：××PR1×= 0, ××PR0×= 1**でレベル**1**を指定**
PR = 10：××PR1×= 1, ××PR0×= 0**でレベル**2**を指定**
PR = 11：××PR1×= 1, ××PR0×= 1**でレベル**3**を指定（低優先順位）**
IE = 0　：**割り込み要求受け付け禁止**
IE = 1　：**割り込み要求受け付け許可**

16. 4. 4　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図16－11に示します。

図16－11　割り込み要求の保留

備考1．命令N：割り込み要求の保留命令

2．命令M：割り込み要求の保留命令以外の命令

第17章　キー割り込み機能

キー割り込み入力チャネル数は，製品によって異なります。

	20, 24, 25, 30, 32, 36 ピン	40，44ピン	48ピン	52, 64, 80, 100, 128 ピン
キー割り込み入力チャネル	－	4ch	6ch	8ch

17. 1　キー割り込みの機能

キー割り込み入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表17－1　キー割り込み検出端子の割り当て

キー割り込み端子	キー･リターン･モード･レジスタ（KRM）
KR0	KRM0
KR1	KRM1
KR2	KRM2
KR3	KRM3
KR4	KRM4
KR5	KRM5
KR6	KRM6
KR7	KRM7

備考　KR0-KR3：40, 44ピン製品
KR0-KR5：48ピン製品
KR0-KR7：52, 64, 80, 100, 128ピン製品

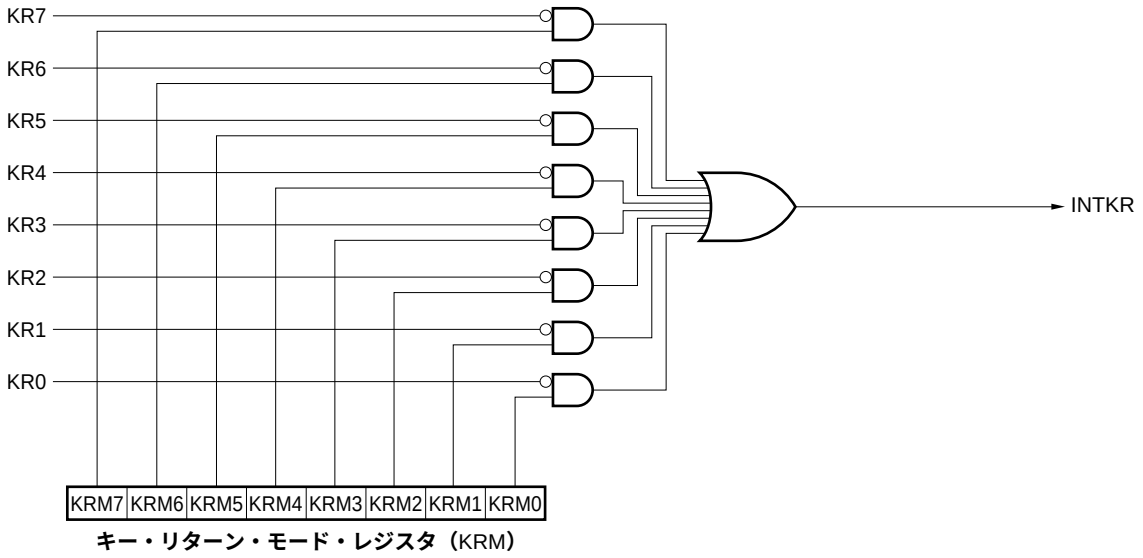
17. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表17－2　キー割り込みの構成

項　目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ（KRM） ポート・モード・レジスタ（PM7）

図17ー1　キー割り込みのブロック図



備考　KR0-KR3：40, 44**ピン製品**

KR0-KR5：48**ピン製品**

KR0-KR7：52, 64, 80, 100, 128**ピン製品**

17. 3　キー割り込みを制御するレジスタ

キー割り込み機能は，次のレジスタで制御します。

・キー・リターン・モード・レジスタ（KRM）

・ポート・モード・レジスタ7（PM7）

17. 3. 1　キー・リターン・モード・レジスタ（KRM）

KRMレジスタはKR0-KR7信号を制御するレジスタです。

KRMレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－2　キー・リターン・モード・レジスタ（KRM）のフォーマット

アドレス：FFF37H　リセット時：00H　ビット7-5, 1, 0：R/W, ビット4-2：R

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1．キー割り込み入力端子のプルアップ抵抗レジスタ7（PU7）の対象となるビットに1を設定して，内蔵プルアップ抵抗を使用することができます。

2．キー割り込み入力端子にロウ・レベルが入力されている状態で，KRMレジスタの対象ビットをセットすると，割り込みが発生します。
この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理を禁止にしてから，KRMレジスタをセットしてください。その後，キー割り込み入力ロウ・レベル幅（AC特性参照）を待ってから，割り込み要求フラグをクリアし，割り込み処理を許可してください。

3．キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考1.　n = 0-7

2.　KR0-KR3：40, 44ピン製品
KR0-KR5：48ピン製品
KR0-KR7：52, 64, 80, 100, 128ピン製品

17. 3. 2　ポート・モード・レジスタ７（PM7）

キー割り込み入力端子（KR0-KR7）として使用するとき，PM7nビットにそれぞれ1を設定してください。このときP7nの出力ラッチは，0または1のどちらでもかまいません。PM7レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により，FFHになります。

また，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図17－3　ポート・モード・レジスタ7のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W

PM7n	P7n端子の入出力モードの選択 （n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

第18章　スタンバイ機能

18. 1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータ，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求により，STOPモードを解除し，CPUを動作させることなくCSIp, UARTqのデータ受信，A/D変換を行います。CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1．STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは，STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。

2．STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

3．CSIp, UARTq, A/Dコンバータを SNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタm（SSCm），A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，12. 3　シリアル・アレイ・ユニットを制御するレジスタ，11. 3　A/Dコンバータを制御するレジスタを参照してください。

4．A/Dコンバータ部の消費電力を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。

5．低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第24章　オプション・バイトを参照してください。

備考　20-64ピン製品：　p = 00;　q = 0;　m = 0
80-128ピン製品：p = 00, 20;　q = 0, 2;　m = 0, 1

18. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

・サブシステム・クロック供給モード制御レジスタ（OSMC）
・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）

備考　上記レジスタの詳細は，第5章 クロック発生回路を参照してください。また，SNOOZEモード機能を制御するレジスタは，第11章 A/Dコンバータ，第12章 シリアル・アレイ・ユニットを参照してください。

18. 3　スタンバイ機能の動作

18. 3. 1　HALTモード

(1) HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが”0”（割り込み処理許可）で且つ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。

表18－1　HALTモード時の動作状態（1/2）

項目 ＼ HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時		
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	動作継続（停止不可）	動作禁止	
		f_X	動作禁止	動作継続（停止不可）	動作不可
		f_{EX}		動作不可	動作継続（停止不可）
	サブシステム・クロック	f_{XT}	HALTモード設定前の状態を継続		
		f_{EXS}			
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU			動作停止		
コード・フラッシュ・メモリ			動作停止		
データ・フラッシュ・メモリ					
RAM					
ポート（ラッチ）			HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット			動作可能		
リアルタイム・クロック（RTC）					
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照		
クロック出力／ブザー出力			動作可能		
A/Dコンバータ					
シリアル・アレイ・ユニット（SAU）					
シリアル・インタフェース（IICA）					
乗除算・積和演算器					
DMAコントローラ					
パワーオン・リセット機能					
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC				
	汎用CRC		RAM領域の演算で，DMA実行時は動作可能		
RAMパリティ・エラー検出機能			DMA実行時は動作可能		
RAMガード機能					
SFRガード機能					
不正メモリ・アクセス検出機能					

備考　動作停止：HALTモード移行時に自動的に動作停止　　f_X　：X1クロック

動作禁止：HALTモード移行前に動作を停止させる　　f_{EX}　：外部メイン・システム・クロック

f_{IH}　：高速オンチップ・オシレータ・クロック　　f_{XT}　：XT1クロック

f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{EXS}　：外部サブシステム・クロック

表18－1　HALTモード時の動作状態（2/2）

項目 ＼ HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時	
			XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止	
	メイン・システム・クロック	f_{IH}	動作禁止	
		f_X		
		f_{EX}		
	サブシステム・クロック	f_{XT}	動作継続（停止不可）	動作不可
		f_{EXS}	動作不可	動作継続（停止不可）
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止	
CPU			動作停止	
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート（ラッチ）			HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
リアルタイム・クロック（RTC）			動作可能	
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照	
クロック出力／ブザー出力			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
A/Dコンバータ			動作禁止	
シリアル・アレイ・ユニット（SAU）			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
シリアル・インタフェース（IICA）			動作禁止	
乗除算・積和演算器			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
DMAコントローラ				
パワーオン・リセット機能			動作可能	
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC		動作禁止	
	汎用CRC		RAM領域の演算で，DMA実行時は動作可能	
RAMパリティ・エラー検出機能			DMA実行時は動作可能	
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
f_{IH}　：高速オンチップ・オシレータ・クロック
f_{IL}　：低速オンチップ・オシレータ・クロック
f_X　：X1クロック
f_{EX}　：外部メイン・システム・クロック
f_{XT}　：XT1クロック
f_{EXS}　：外部サブシステム・クロック

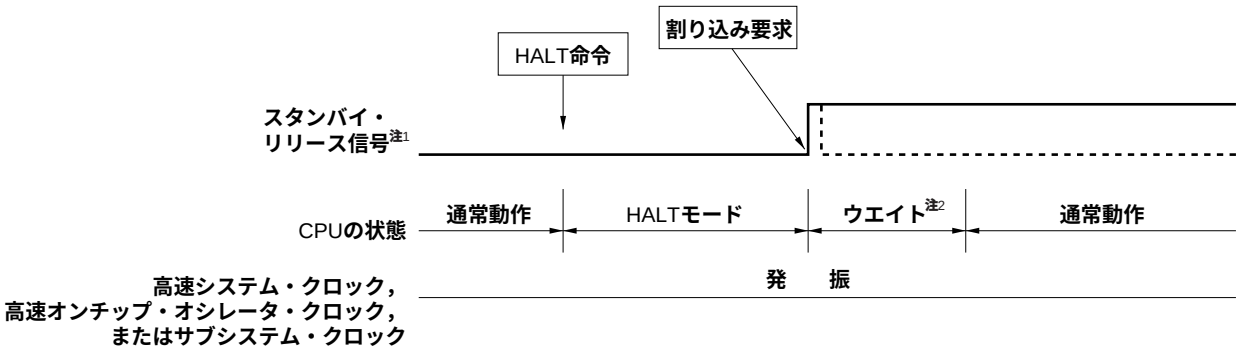
（2）HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図18－1　HALTモードの割り込み要求発生による解除



注1.　スタンバイ・リリース信号に関しての詳細は，図16－1を参照してください。

2.　HALTモード解除のウエイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時　：15～16クロック

サブシステム・クロック時（RTCLPC = 0）：10～11クロック

サブシステム・クロック時（RTCLPC = 1）：11～12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時　：9～10クロック

サブシステム・クロック時（RTCLPC = 0）：4～5クロック

サブシステム・クロック時（RTCLPC = 1）：5～6クロック

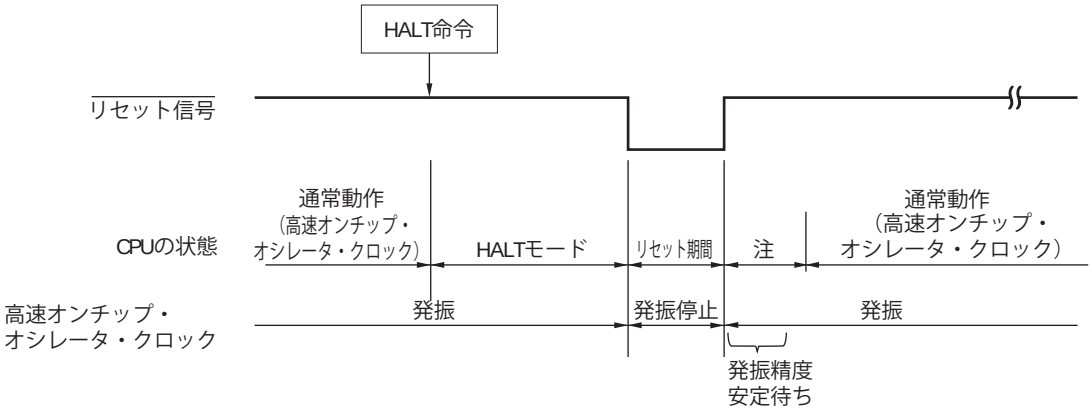
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

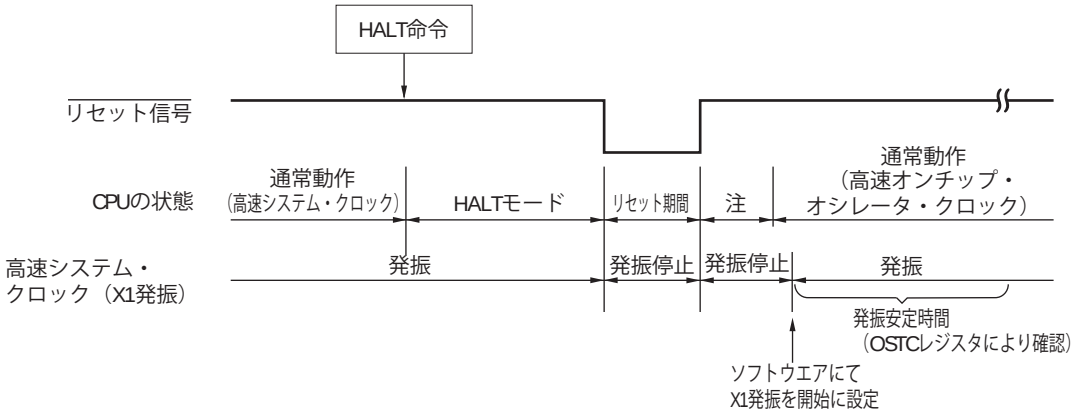
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図18ー2　HALTモードのリセットによる解除（1/2）

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



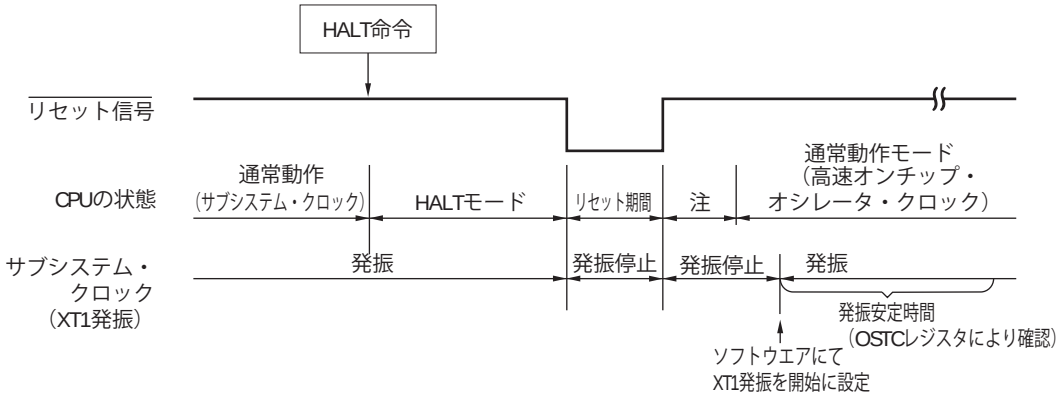
(2) CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，第19章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第20章　パワーオン・リセット回路を参照してください。

図18ー2　HALTモードのリセットによる解除（2/2）

（3）CPUクロックがサブシステム・クロックの場合



注　**リセット処理時間は，第19章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第20章　パワーオン・リセット回路を参照してください。**

18. 3. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意　**割り込みマスク・フラグが”0”（割り込み処理許可）で且つ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。したがって，STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。**

備考　20-64ピン製品：p = 00;　q = 0;　m = 0
80-128品製品：　p = 00, 20;　q = 0, 2;　m = 0, 1

次にSTOPモード時の動作状態を示します。

表18－2　STOPモード時の動作状態

項目 ＼ STOPモードの設定			メイン・システム・クロックでCPU動作中のSTOP命令実行時		
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	停止		
		f_X			
		f_{EX}			
	サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続		
		f_{EXS}			
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ			動作停止		
RAM			動作停止		
ポート（ラッチ）			STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット			動作禁止		
リアルタイム・クロック（RTC）			動作可能		
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照		
クロック出力／ブザー出力			カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能（それ以外は，動作禁止）		
A/Dコンバータ			ウエイク・アップ動作可能（SNOOZEモードへ移行）		
シリアル・アレイ・ユニット（SAU）			CSIp, UARTqのみウエイク・アップ動作可能（SNOOZEモードへ移行） CSIp, UARTq以外は動作禁止		
シリアル・アレイ・ユニット（IICA）			アドレス一致によるウエイク・アップ動作可能		
乗除積和算器			動作禁止		
DMAコントローラ					
パワーオン・リセット機能			動作可能		
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC		動作停止		
	汎用CRC				
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
不正メモリ・アクセス検出機能					

備考1.　動作停止：STOPモード移行時に自動的に動作停止
　　動作禁止：STOPモード移行前に動作を停止させる
　　f_{IH}　：高速オンチップ・オシレータ・クロック
　　f_X　：X1クロック
　　f_{XT}　：XT1クロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック
　　f_{EX}　：外部メイン・システム・クロック
　　f_{EXS}　：外部サブシステム・クロック

2.　20-64ピン製品：　p = 00;　q = 0
　　80-128ピン製品：　p = 00, 20;　q = 0, 2

(2) STOPモードの解除

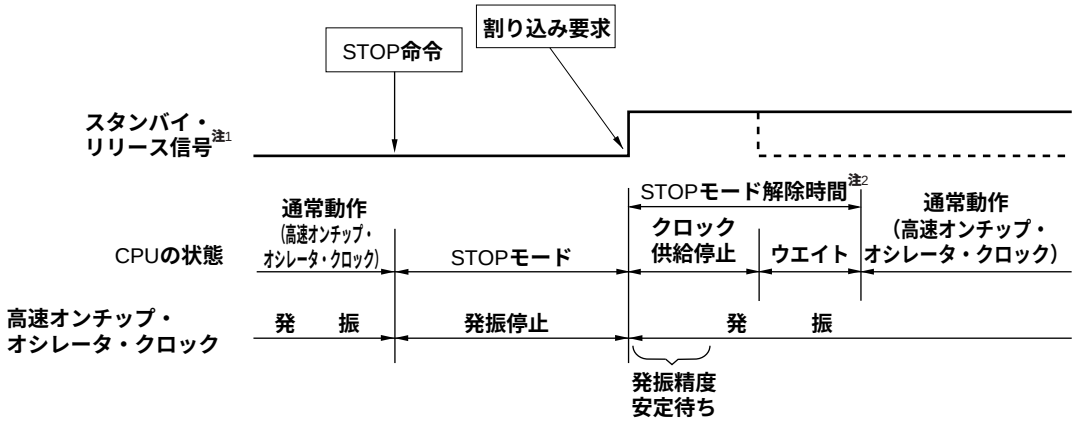
STOPモードは，次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図18－3　STOPモードの割り込み要求発生による解除（1/2）

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1.　スタンバイ・リリース信号に関しての詳細は，図16－1を参照してください。

2.　STOPモード解除時間

クロック供給停止　：18 μs～65 μs

ウエイト

・ベクタ割り込み処理を行う場合　　：7クロック

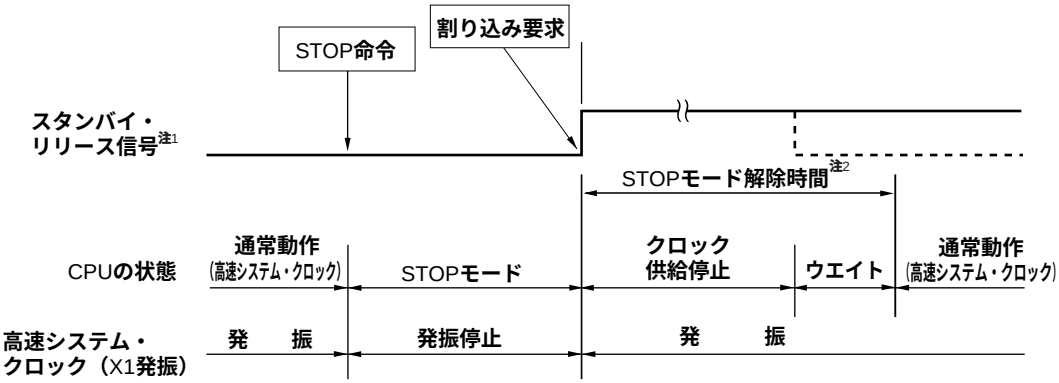
・ベクタ割り込み処理を行わない場合　：1クロック

備考 1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図18－3 STOPモードの割り込み要求発生による解除（2/2）

（2）CPUクロックが高速システム・クロック（X1発振）の場合



注 1. **スタンバイ・リリース信号に関しての詳細は，図16－1を参照してください。**

2. STOP**モード解除時間**

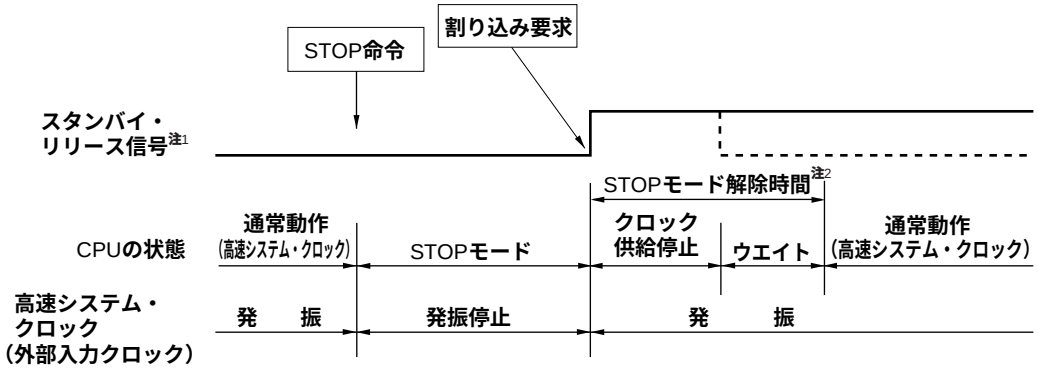
クロック供給停止 ：18μs～“65μsと発振安定時間（OSTSで設定）の長い方”

ウエイト

・**ベクタ割り込み処理を行う場合** ：10～11**クロック**

・**ベクタ割り込み処理を行わない場合** ：4～5**クロック**

（3）CPUクロックが高速システム・クロック（外部クロック入力）の場合



注 1. **スタンバイ・リリース信号に関しての詳細は，図16－1を参照してください。**

2. STOP**モード解除時間**

クロック供給停止 ：18μs～65μs

ウエイト

・**ベクタ割り込み処理を行う場合** ：7**クロック**

・**ベクタ割り込み処理を行わない場合** ：1**クロック**

注意 **高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。**

備考1. クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

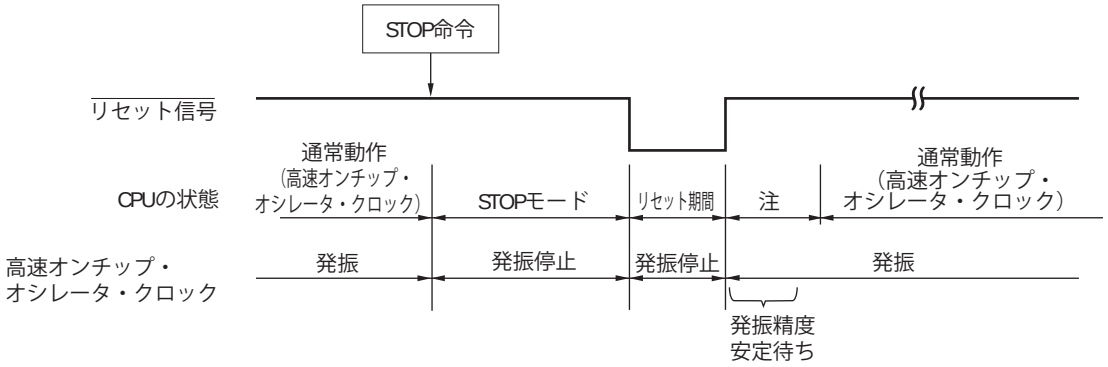
2. 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

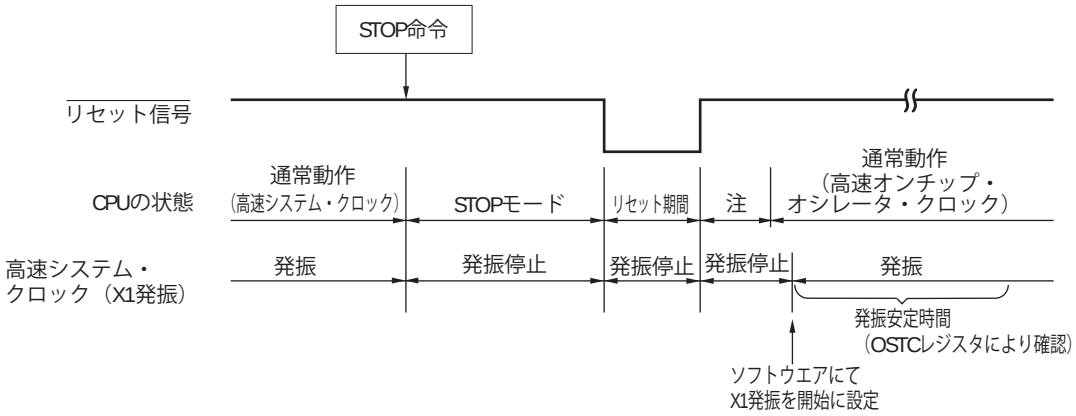
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図18ー4　STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，第19章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第20章　パワーオン・リセット回路を参照してください。

18. 3. 3　SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSIp, UARTqまたは，A/Dコンバータのみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットを1に設定してください。詳細は，12. 3　シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/Dコンバータを SNOOZEモードで使用する場合は，STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを1に設定してください。詳細は，11. 3　A/Dコンバータを制御するレジスタを参照してください。

備考　20-64ピン製品：　p = 00;　q = 0;　m = 0
　　80-128ピン製品：p = 00, 20;　q = 0, 2;　m = 0, 1

SNOOZEモードの移行では，次の時間だけウエイト状態になります。

STOPモード→ SNOOZEモードの遷移時間：18 μs～65 μs

備考　STOPモード→ SNOOZEモードの遷移時間は，温度条件とSTOPモード期間によって変化します

SNOOZEモード→通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：　“4.99～9.44 μs”＋7クロック
LS（低速メイン）モード：　“1.10～5.08 μs”＋7クロック
LV（低電圧メイン）モード：　“16.58～25.40 μs”＋7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：　“4.99～9.44 μs”＋1クロック
LS（低速メイン）モード：　“1.10～5.08 μs”＋1クロック
LV（低電圧メイン）モード：　“16.58～25.40 μs”＋1クロック

次にSNOOZEモード時の動作状態を示します。

表18ー3　SNOOZEモード時の動作状態

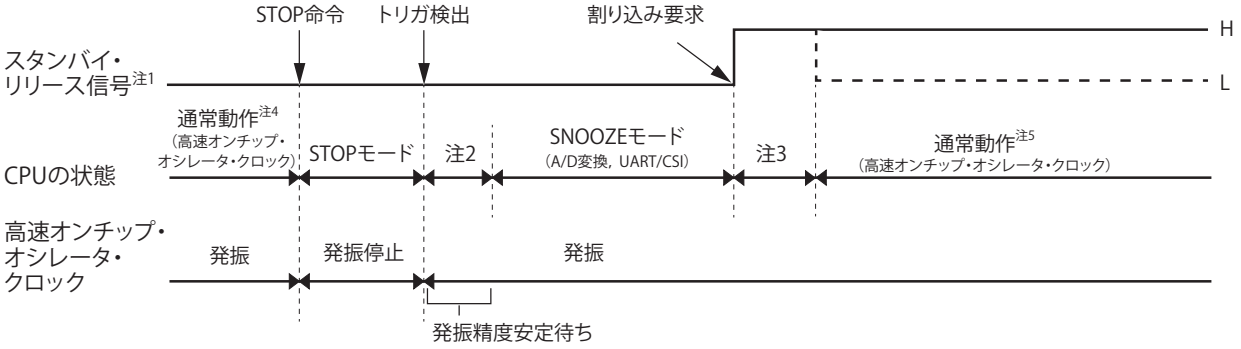
項　目 ＼ STOPモードの設定			STOPモード中にCSIp, UARTqのデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時 高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作開始
		f_X	停止
		f_{EX}	
	サブシステム・クロック	f_{XT}	STOPモード中の状態を継続
		f_{EXS}	
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）			STOPモード中の状態を継続
タイマ・アレイ・ユニット			動作禁止
リアルタイム・クロック（RTC）			動作可能
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照
クロック出力／ブザー出力			カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能（それ以外は，動作禁止）
A/Dコンバータ			動作可能
シリアル・アレイ・ユニット（SAU）			CSIp, UARTqのみ動作可能。CSIp, UARTq以外は動作禁止。
シリアル・アレイ・ユニット（IICA）			動作禁止
乗除積和算器			
DMAコントローラ			
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能	高速CRC		動作停止
	汎用CRC		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

備考1.　動作停止　：STOPモード移行時に自動的に動作停止　　f_X　：X1クロック
　　動作禁止　：STOPモード移行前に動作を停止させる　　f_{EX}　：外部メイン・システム・クロック
　　f_{IH}　：高速オンチップ・オシレータ・クロック　　f_{XT}　：XT1クロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{EXS}　：外部サブシステム・クロック

2.　20-64ピン製品：　p = 00;　q = 0
　　80-128ピン製品：　p = 00, 20;　q = 0, 2

(2)　SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図18－5　SNOOZEモードの割り込み要求が発生する場合



注 1.　スタンバイ・リリース信号に関しての詳細は，図16－1を参照してください。

2.　STOPモード→SNOOZEモードの遷移時間

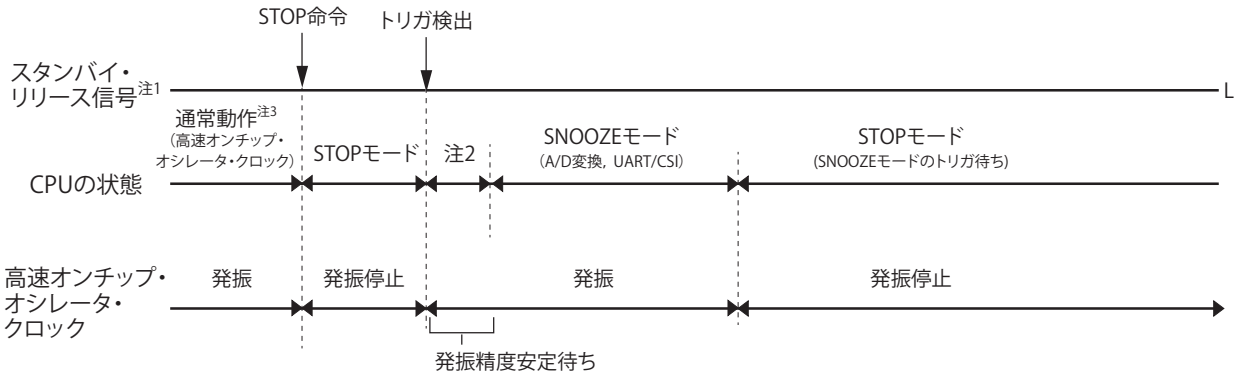
3.　SNOOZEモード→通常動作の遷移時間

4.　STOPモードへ移行する直前に，SNOOZEモード許可（AWC=1/SWC=1）に設定してください。

5.　通常動作に復帰後すぐに， 必ずSNOOZEモード解除（AWC=0/SWC=0）に設定してください。

(3)　SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図18－6　SNOOZEモードの割り込み要求が発生しない場合



注 1.　スタンバイ・リリース信号に関しての詳細は，図16－1を参照してください。

2.　STOPモード→SNOOZEモードの遷移時間

3.　STOPモードへ移行する直前に，SNOOZEモード許可（AWC=1/SWC=1）に設定してください。

備考　SNOOZEモード機能の詳細は，第11章 A/Dコンバータ，第12章 シリアル・アレイ・ユニットを参照してください。

第19章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
(4) 電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
(5) 不正命令の実行による内部リセット[注]
(6) RAMパリティ・エラーによる内部リセット
(7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

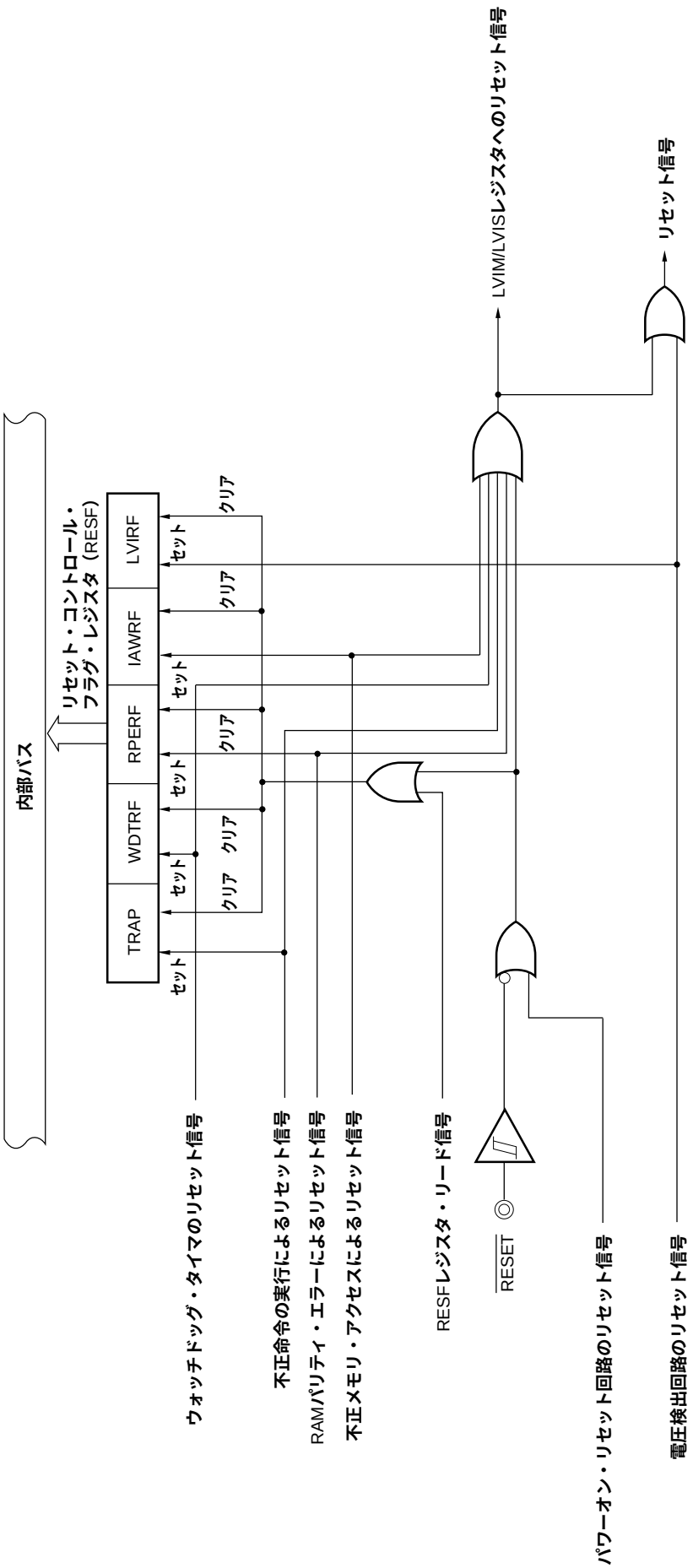
$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行[注]，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表19－1に示すような状態になります。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，29. 4または30. 4 AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。
2. リセット信号発生中では，X1クロック，XT1クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。
3. リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子は次の状態になります。
・P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
・P130：リセット期間中およびリセット受け付け後はロウ・レベル出力
・P40, P130以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考　V_{POR}　：POR電源立ち上がり検出電圧
V_{LVD}　：LVD検出電圧

図19−1　リセット機能のブロック図



注意　LVD**回路の内部リセットの場合，**LVD**回路はリセットされません。**

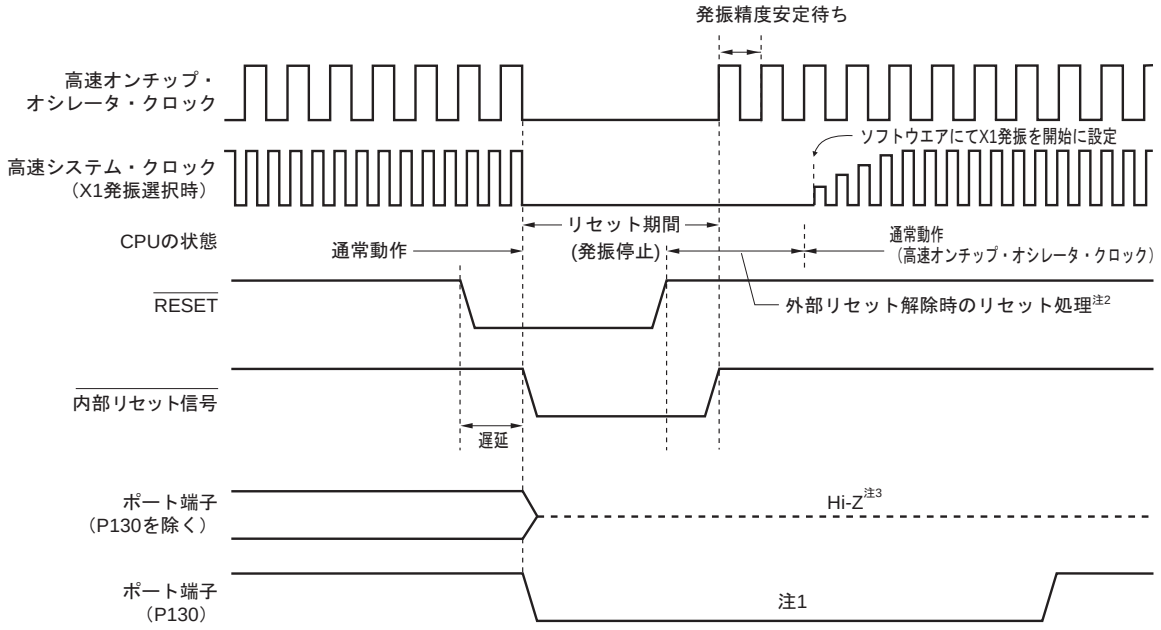
備考1.　LVIM：**電圧検出レジスタ**

2.　LVIS：**電圧検出レベル・レジスタ**

19. 1　リセット動作のタイミング

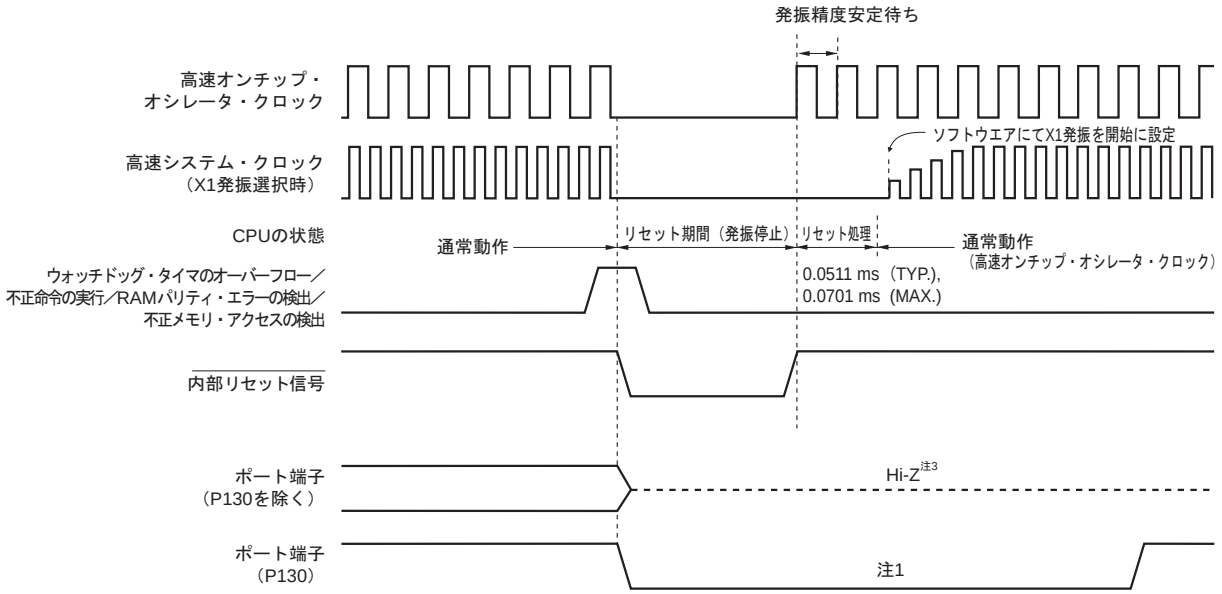
$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図19－2　$\overline{\text{RESET}}$入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのオーバフローによるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図19－3　ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのオーバフローによるリセット・タイミング



（注，注意は，次ページにあります。）

注1. リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には，P130をソフトウエアでハイ・レベル出力にしてください。

2. 外部リセット解除時のリセット時間：

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.)　（LVD使用時）

0.399 ms (TYP.),　0.519 ms (MAX.)　（LVDオフ時）

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.)　（LVD使用時）

0.259 ms (TYP.), 0.362 ms (MAX.)　（LVDオフ時）

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms（TYP.), 2.30 ms（MAX.)がかかります。

3. ポート端子P40は次の状態になります。

・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。

・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

注意　ウォッチドッグ・タイマの内部リセットの場合，ウォッチドッグ・タイマもリセットされます。

POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVD}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は，第20章　パワーオン・リセット回路または第21章　電圧検出回路を参照してください。

19. 2　リセット期間中の動作状態

表19－1にリセット期間中の動作状態を，表19－2にリセット受け付け後の各ハードウエアの状態を示します。

表19－1　リセット期間中の動作状態

項　　目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{XT}	動作停止（XT1, XT2端子は入力ポート・モード）
		f_{EXS}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
CPU			動作停止
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス注
タイマ・アレイ・ユニット			動作停止
リアルタイム・クロック（RTC）			
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
A/Dコンバータ			
シリアル・アレイ・ユニット（SAU）			
シリアル・インタフェース（IICA）			
乗除算・積和演算器			
DMAコントローラ			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み			動作停止
キー割り込み機能			
CRC演算機能	高速CRC		
	汎用CRC		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

注　ポート端子P40，P130は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内部プルアップ抵抗接続）
- P130：リセット期間中はロウ・レベル出力

（備考は，次ページにあります。）

備考　f_{IH}　：高速オンチップ・オシレータ・クロック

f_X　：X1発振クロック

f_{EX}　：外部メイン・システム・クロック

f_{XT}　：XT1発振クロック

f_{EXS}　：外部サブシステム・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック

表19－2　リセット受け付け後の各ハードウエアの状態

ハードウエア		リセット受け付け後の状態[注1]
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H，0001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

備考　特殊機能レジスタ（SFR：Special Function Register）のリセット受け付け後の状態は，3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域，3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域を参照してください。

19. 3　リセット要因を確認するレジスタ

19. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図19－4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時[注1]：R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。表19-3を参照してください。

2.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1.　1ビット・メモリ操作命令でデータを読み出さないでください。

2.　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，
データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は
「使用するRAM領域＋10バイト」の領域を必ず初期化してください。
リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）
となります。詳細は，22. 3. 3　RAMパリティ・エラー検出機能を参照してください。

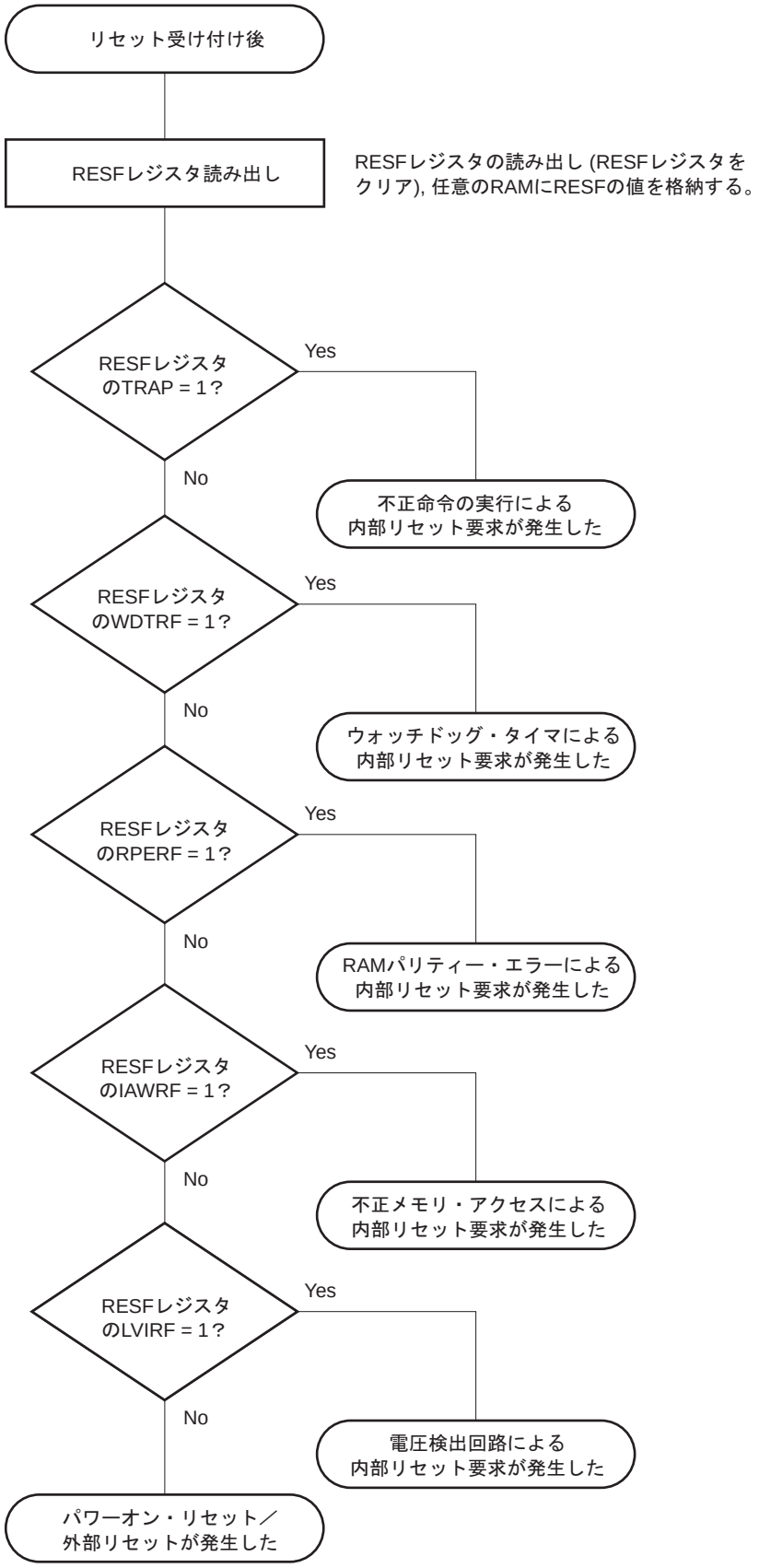
リセット要求時のRESFレジスタの状態を表19－3に示します。

表19－3　リセット要求時のRESFレジスタの状態

リセット要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
TRAP	クリア（0）	クリア（0）	セット（1）	保持	保持	保持	保持
WDTRF			保持	セット（1）			
RPERF				保持	セット（1）		
IAWRF					保持	セット（1）	
LVIRF						保持	セット（1）

RESFレジスタは，8ビット・メモリ操作命令で読み出すと，自動的にクリアされます。
リセット要因の手順を図19－5に示します

図19ー5　リセット要因の確認手順



第20章　パワーオン・リセット回路

20. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（V_{DD}）が検出電圧（V_{POR}）を越えた場合に，リセットを解除します。ただし，29. 4 または30. 4 AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。

・電源電圧（V_{DD}）と検出電圧（V_{PDR}）を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。ただし，電源立ち下がり時は，29. 4または30. 4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意　パワーオン・リセット回路による内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

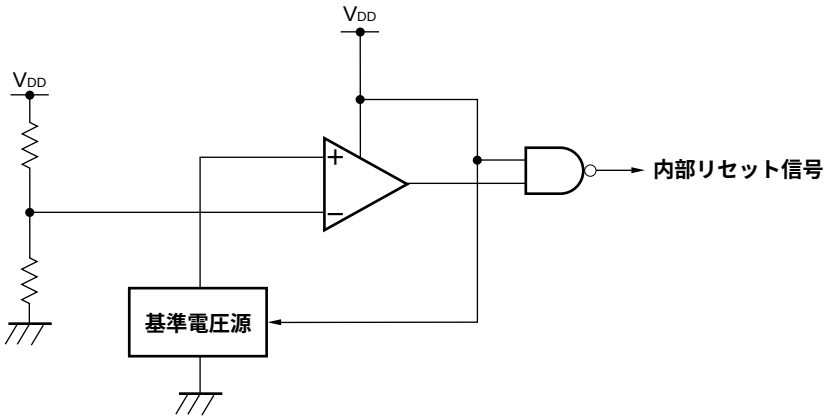
備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，第19章　リセット機能を参照してください。

2. V_{POR} ：POR電源立ち上がり検出電圧
V_{PDR} ：POR電源立ち下がり検出電圧
詳細は，29. 6. 3または30. 6. 3　POR回路特性を参照してください。

20. 2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図20－1に示します。

図20－1　パワーオン・リセット回路のブロック図

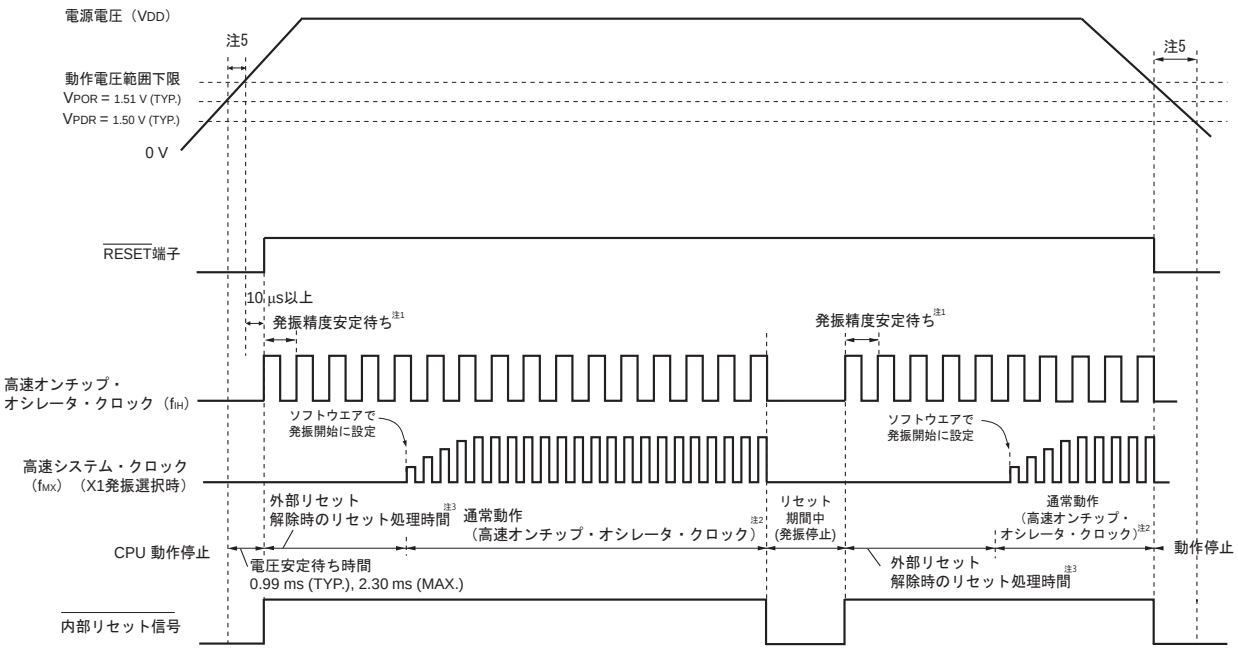


20. 3　パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図20－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）

（1）$\overline{\text{RESET}}$端子による外部リセット使用時



注 1.　**高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。**

2.　CPU**クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。**
X1**クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（**OSTC**）で，**XT1**クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。**

3.　**通常動作が開始されるまでの時間は，**V_{POR} (1.51 V (TYP.))**に達してからの“電圧安定待ち時間”に加えて，**$\overline{\text{RESET}}$**信号をハイ・レベル**(1)**にしてから次の“外部リセット解除時のリセット処理時間（**POR**解除後**1**回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。**
POR**解除後**1**回目：** 0.672 ms (TYP.), 0.832 ms (MAX.)**（**LVD**使用時）**
0.399 ms (TYP.), 0.519 ms (MAX.)**（**LVD**オフ時）**

4.　POR**解除後**2**回目以降の外部リセット解除時のリセット処理時間を次に示します。**
POR**解除後**2**回目以降：** 0.531 ms (TYP.), 0.675 ms (MAX.)**（**LVD**使用時）**
0.259 ms (TYP.), 0.362 ms (MAX.)**（**LVD**オフ時）**

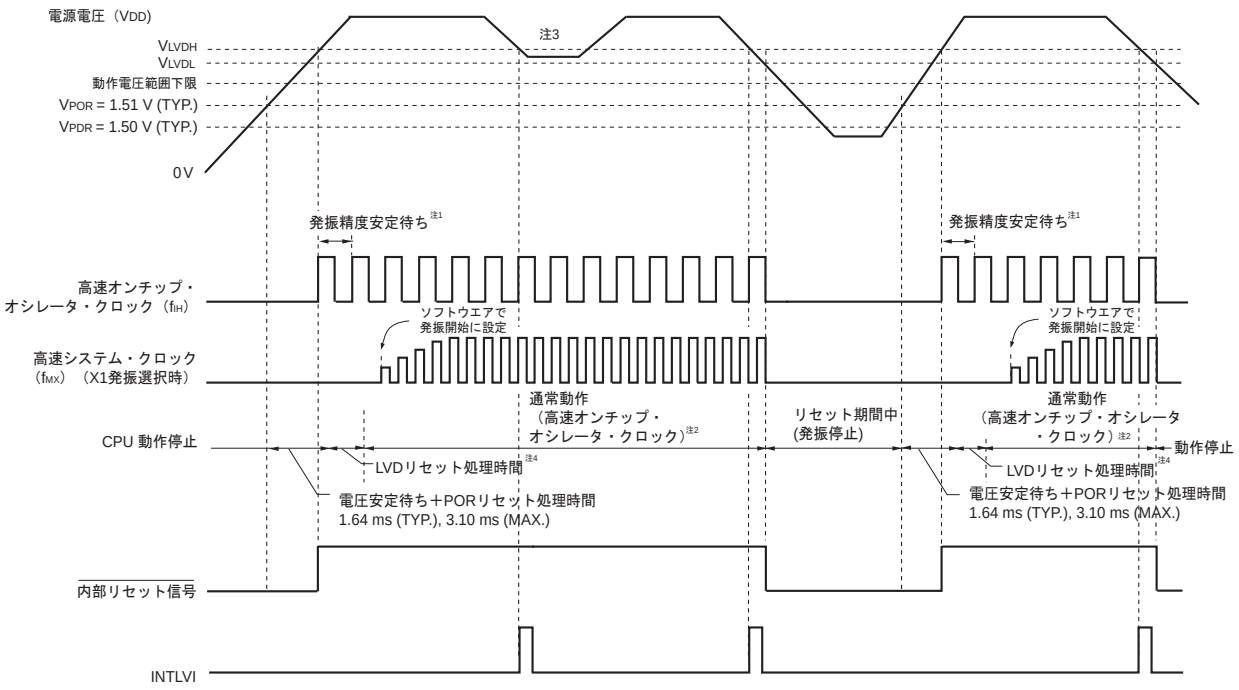
5.　**電源立ち上がり時は，**29. 4 **または**30. 4 AC**特性に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，**STOP**モードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。**

備考　V_{POR}　**：**POR**電源立ち上がり検出電圧**
V_{PDR}　**：**POR**電源立ち下がり検出電圧**

注意 LVD**オフ時は必ず**$\overline{\text{RESET}}$**端子による外部リセットを使用してください。詳細は，第**21**章　電圧検出回路を参照してください。**

図20－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）

（2）LVD割り込み＆リセット・モード時　（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）



注1.　**高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。**

2.　CPU**クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。**X1**クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（**OSTC**）で，**XT1**クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。**

3.　**割り込み要求信号（**INTLVI**）が発生したあと，電圧検出レベル・レジスタ（**LVIS**）の**LVIL, LVIMD**ビットは自動的に**1**に設定されます。そのため，電源電圧が低電圧検出電圧（**V_{LVDL}**）を下回らずに，高電圧検出電圧（**V_{LVDH}**）以上に復帰する場合を考慮して，**INTLVI**発生後は，”図**21－7　動作電圧確認／リセットの設定手順”と，”図**21－8　割り込み＆リセット・モードの初期設定”に従って設定をしてください。**

4.　**通常動作が開始されるまでの時間は，**V_{POR} (1.51 V (TYP.))**に達してからの“電圧安定待ち＋**POR**リセット処理時間”に加えて，**LVD**検出レベル（**V_{LVDH}**）に達してから次の“**LVD**リセット処理時間”が掛かります。**

　LVDリセット処理時間：　0 ms　～　0.0701 ms (MAX.)

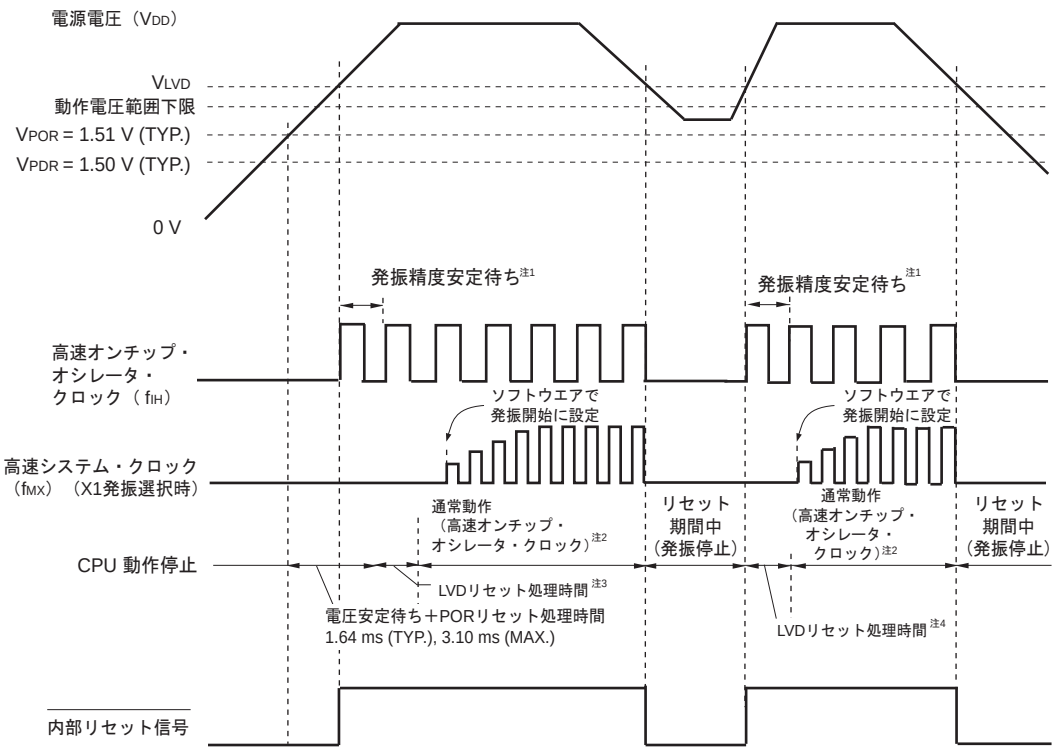
備考　V_{LVDH}, V_{LVDL}　**：LVD検出電圧**

　　V_{POR}　　**：POR電源立ち上がり検出電圧**

　　V_{PDR}　　**：POR電源立ち下がり検出電圧**

図20－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（3/3）

（3）LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



注1.　**高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。**

2.　CPU**クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。**X1**クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（**OSTC**）で，**XT1**クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。**

3.　**通常動作が開始されるまでの時間は，**VPOR (1.51 V (TYP.))**に達してからの“電圧安定待ち＋**POR**リセット処理時間”に加えて，**LVD**検出レベル（**VLVD**）に達してから次の“**LVD**リセット処理時間”が掛かります。**

　LVDリセット処理時間：　0 ms ～ 0.0701 ms (MAX.)

4.　**電源電圧降下時，電圧検出回路（**LVD**）による内部リセットのみ発生後に電源電圧が復帰した場合，**LVD**検出レベル（**VLVD**）に達してから次の“**LVD**リセット処理時間”が掛かります。**

　LVDリセット処理時間：　0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1.　VLVDH, VLVDL　：**LVD**検出電圧

　VPOR　：**POR**電源立ち上がり検出電圧

　VPDR　：**POR**電源立ち下がり検出電圧

2.　**LVD**割り込みモード（**オプション・バイト**000C1H**の**LVIMD1，LVIMD0=0,1）**を選択した場合，電源投入後に通常動作が開始されるまでの時間は，図**20－2（3）LVD**リセット・モード時の"注3"の時間と同じです。**

第21章　電圧検出回路

21. 1　電圧検出回路の機能

電圧検出回路は，オプション・バイト（000C1H）で動作モードと検出電圧（V_{LVDH},V_{LVDL},V_{LVD}）を設定します。電圧検出（LVD）回路は，次のような機能を持ちます。

- 電源電圧（V_{DD}）と検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）を比較し，内部リセットまたは割り込み要求信号を発生します。
- 電源電圧の検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）は，オプション・バイトにて検出レベルを14段階より選択できます（第24章　オプション・バイト参照）。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は，29. 4または30. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
  動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）

オプション・バイト000C1Hで2つの検出電圧（V_{LVDH}，V_{LVDL}）を選択します。高電圧検出レベル（V_{LVDH}）はリセット解除用／割り込み発生用として使用します。低電圧検出レベル（V_{LVDL}）はリセット発生用として使用します。

（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット発生／解除用として使用します。

（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット解除用／割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は，次のように発生します。

割り込み＆リセット・モード （LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード （LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード （LVIMDS1, LVIMDS0 = 0, 1）
動作電圧降下時に，V_{DD}＜V_{LVDH}を検出して割り込み要求信号を発生，V_{DD}＜V_{LVDL}を検出して内部リセットを発生。 V_{DD}≧V_{LVDH}を検出して内部リセットを解除。	V_{DD}≧V_{LVD}を検出して内部リセットを解除。V_{DD}＜V_{LVD}を検出して割り込み要求信号を発生。	POR解除後1回目の動作電圧立ち上げ時にV_{DD}≧V_{LVD}を検出して内部リセットを解除。 POR解除後2回目以降は，V_{DD}＜V_{LVD}またはV_{DD}≧V_{LVD}を検出して割り込み要求信号を発生。

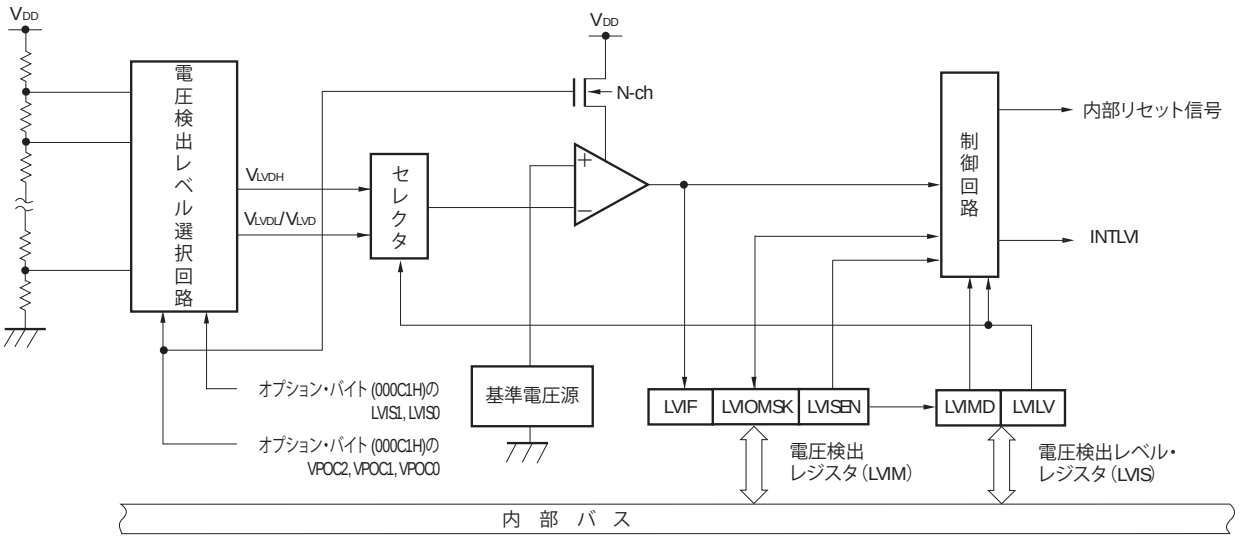
電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は，第19章　リセット機能を参照してください。

21. 2　電圧検出回路の構成

電圧検出回路のブロック図を図21－1に示します。

図21－1　電圧検出回路のブロック図



21. 3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ（LVIM）
- 電圧検出レベル・レジスタ（LVIS）

21. 3. 1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H[注1]　R/W[注2]

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN[注3]	0	0	0	0	0	LVIOMSK	LVIF

LVISEN[注3]	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止（LVIOMSK=0（LVD出力マスク無効）になる）
1	LVISレジスタの書き換え許可（LVIOMSK=1（LVD出力マスク有効）になる）

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効 [注4]

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVD}），またはLVDオフ時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVD}）

注1．リセット値は，リセット要因により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，LVISENは“0”にクリアされます。

2．ビット0, 1は，Read Onlyです。

3．割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0=1,0）選択時のみ設定できます。その他モードでは初期値から変更しないでください。

4．割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0=1, 0）選択時のみ，LVIOMSKビットは以下の期間に自動で“1”となり，LVDによるリセットまたは割り込み発生がマスクされます。

・LVISEN = 1の期間

・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間

・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

21. 3. 2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H[注1]になります。

図21－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　リセット時：00H/01H/81H[注1]　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD[注2]	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV[注2]	LVD検出レベル
0	高電圧検出レベル（V_{LVDH}）
1	低電圧検出レベル（V_{LVDL}またはV_{LVD}）

注1．リセット値は，リセット要因およびオプション・バイトの設定により変化します。
LVDリセット時は，クリア（00H）されません。
LVD以外のリセット時は，次のようになります。
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H
・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

2．割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0=1,0）選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み＆リセット・モードでのリセットまたは割り込み発生により，自動で値が切り替わります。

注意1.　LVISレジスタを書き換える場合は，図21-7，図21-8の手順で行ってください。

2.　LVDの動作モードと各モードの検出電圧（V_{LVDH},V_{LVDL},V_{LVD}）は，オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを表21－1に示します。オプション・バイトの詳細は第24章 オプション・バイトを参照してください。

表21ー1　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
上記以外			設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
上記以外		設定禁止						

注　ブート・スワップ時は，000C1H**と**010C1H**が切り替わるので，**010C1H**にも**000C1H**と同じ値を設定してください。**

備考1.　LVD**回路の詳細は，第**21**章　電圧検出回路を参照してください。**

2.　**検出電圧は**TYP.**値です。詳細は，**29. 6. 4**または**30. 6. 4　LVD**回路特性を参照してください。**

（注意は，次ページにあります。）

表21－1　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
上記以外		設定禁止						

・LVDオフ　（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
上記以外		設定禁止						

注　ブート・スワップ時は，000C1H**と**010C1H**が切り替わるので，**010C1H**にも**000C1H**と同じ値を設定してください。**

注意1.　**ビット**4**には，必ず**1**を書き込んでください。**

2.　**電源立ち上がり時は，**29. 4**または**30. 4　AC**特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，**動作電圧範囲を下回る前に，STOP**モードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。**
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H**）の設定により変わります。**

備考　1.　×：don’t care

2.　LVD**回路の詳細は，第**21**章　電圧検出回路を参照してください。**

3.　**検出電圧は**TYP.**値です。詳細は，**29. 6. 4**または**30. 6. 4　LVD**回路特性を参照してください。**

21. 4　電圧検出回路の動作

21. 4. 1　リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1,1 ））と検出電圧（V_{LVD}）の設定は，
オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- 電圧検出レベル・レジスタ（LVIS）の初期値は，81Hに設定されます。
  ビット7（LVIMD）は“1”（リセット・モード）
  ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

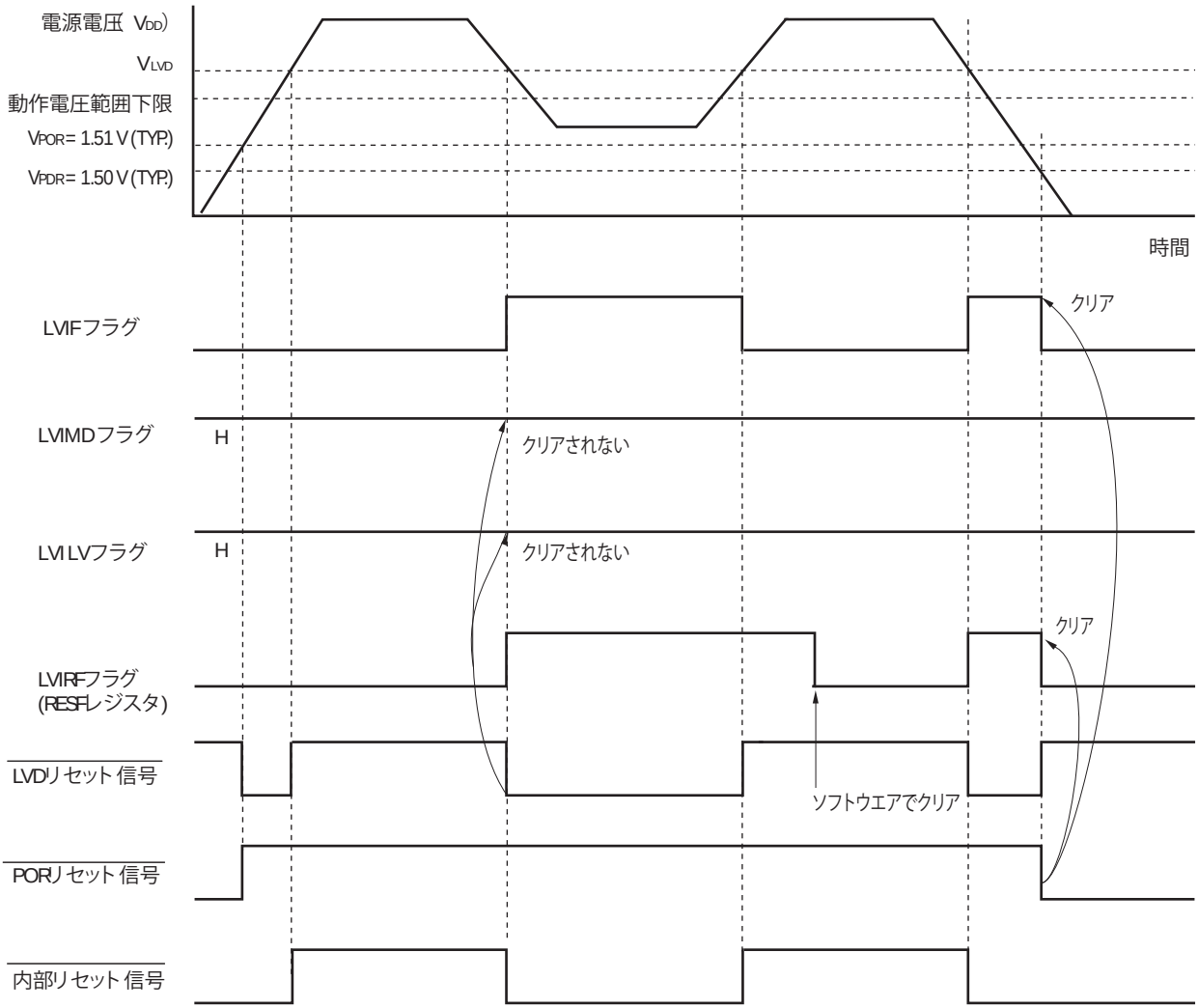
●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は，電源投入時，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

図21－4に，LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図21ー4　**内部リセット信号発生のタイミング（オプション・バイトの**LVIMDS1, LVIMDS0 = 1, 1**）**



備考　VPOR：POR**電源立ち上がり検出電圧**

VPDR：POR**電源立ち下がり検出電圧**

21. 4. 2　割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定します。

割り込みモードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- 電圧検出レベル・レジスタ（LVIS）の初期値は，01Hに設定されます。
  ビット7（LVIMD）は“0”（割り込みモード）
  ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

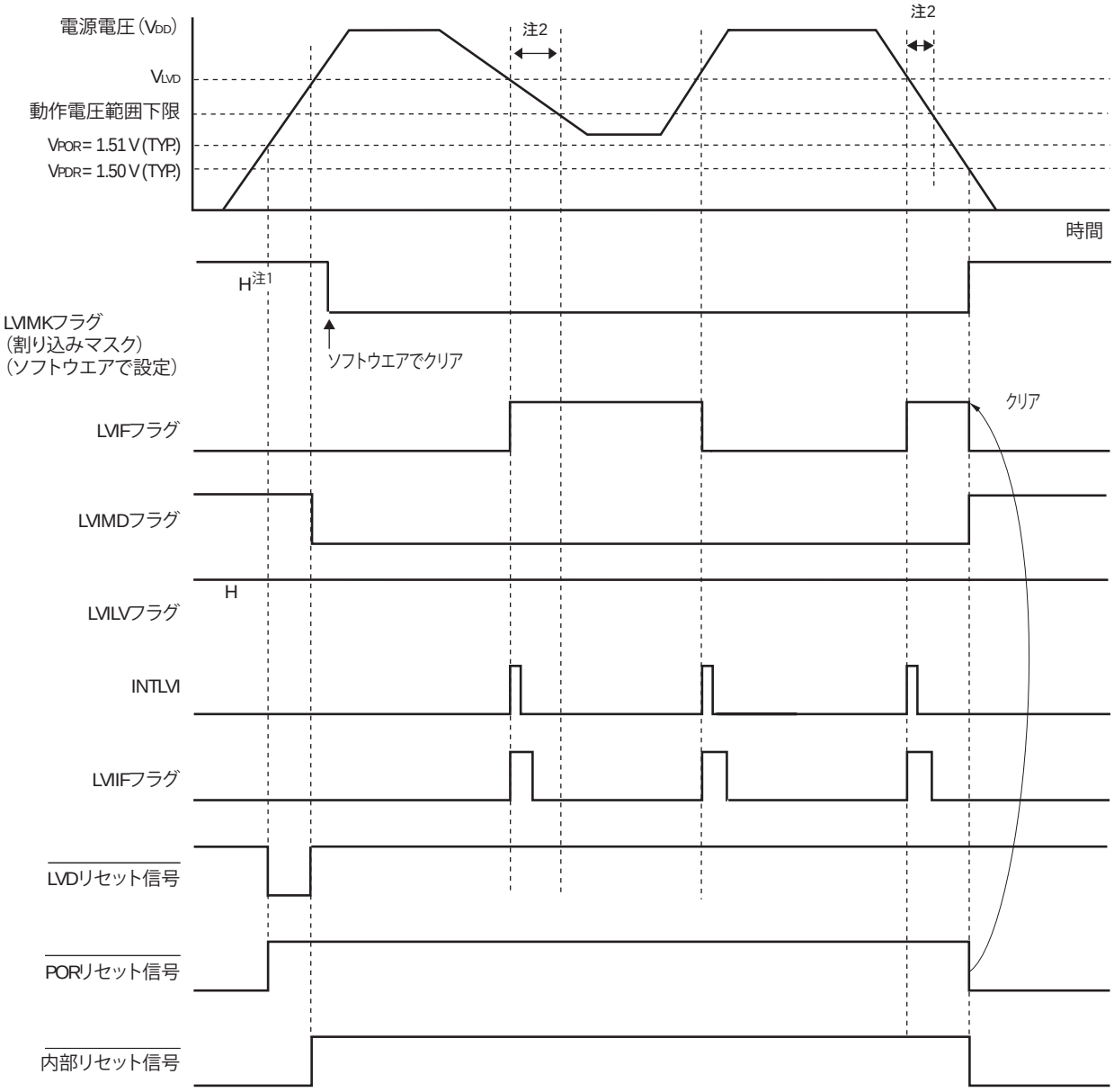
●LVD割り込みモードの動作

割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）は，電源投入時（POR解除後1回目），電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。動作電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

動作電圧降下時に電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回る，またはPOR解除後2回目以降に電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるとLVDによる割り込み要求信号（INTLVD）が発生します。動作電圧降下時は，29. 4 または30.4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

図21－5に，LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図21－5　割り込み信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1**）**



注1.　LVIMK**フラグはリセット信号の発生により，**“1”**になっています。**

2.　**動作電圧降下時は，**29. 4 **または**30. 4 AC**特性に示す動作電圧範囲を下回る前に，**STOP**モードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。**

備考　VPOR**：**POR**電源立ち上がり検出電圧**

VPDR**：**POR**電源立ち下がり検出電圧**

21. 4. 3　割り込み＆リセット・モードとして使用する場合の設定

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVDH}, V_{LVDL}）の設定は，オプション・バイト000C1Hで設定します。

割り込み＆リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- 電圧検出レベル・レジスタ（LVIS）の初期値は，00Hに設定されます。ビット7（LVIMD）は“0”（割り込みモード），ビット0（LVILV）は“0”（高電圧検出レベル：VLVDH）

●LVD割り込み＆リセット・モードの動作

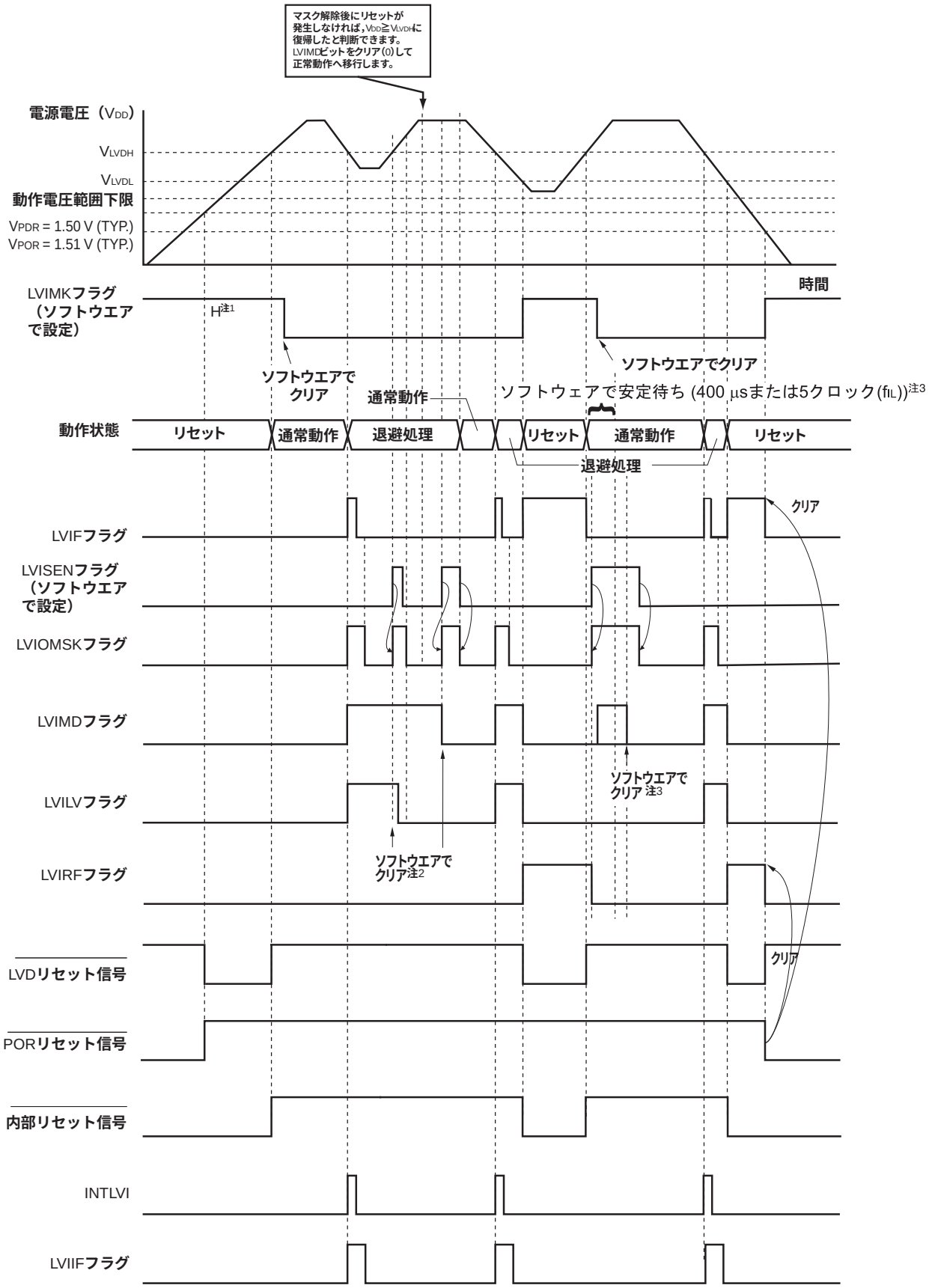
割り込み＆リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は，電源投入時，電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を下回るとLVDによる割り込み要求信号（INTLVD）が発生し，任意の退避処理を行うことができます。その後，電源電圧（V_{DD}）が低電圧検出レベル（V_{LVDL}）を下回るとLVDによる内部リセットが発生します。ただし，INTLVD発生後，電源電圧（V_{DD}）が低電圧検出電圧（V_{LVDL}）を下回らずに高電圧検出電圧（V_{LVDH}）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み＆リセット・モードの使用する場合は，”図21－7 動作電圧確認／リセットの設定手順”と，”図21－8 割り込み＆リセット・モードの初期設定”に示すフローチャートの手順に従って設定をしてください。

図21－6に，LVD割り込み＆リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図21－6　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0**）（**1/2**）**



（注，備考は次ページにあります。）

注 1．LVIMKフラグはリセット信号の発生により，“1”になっています。

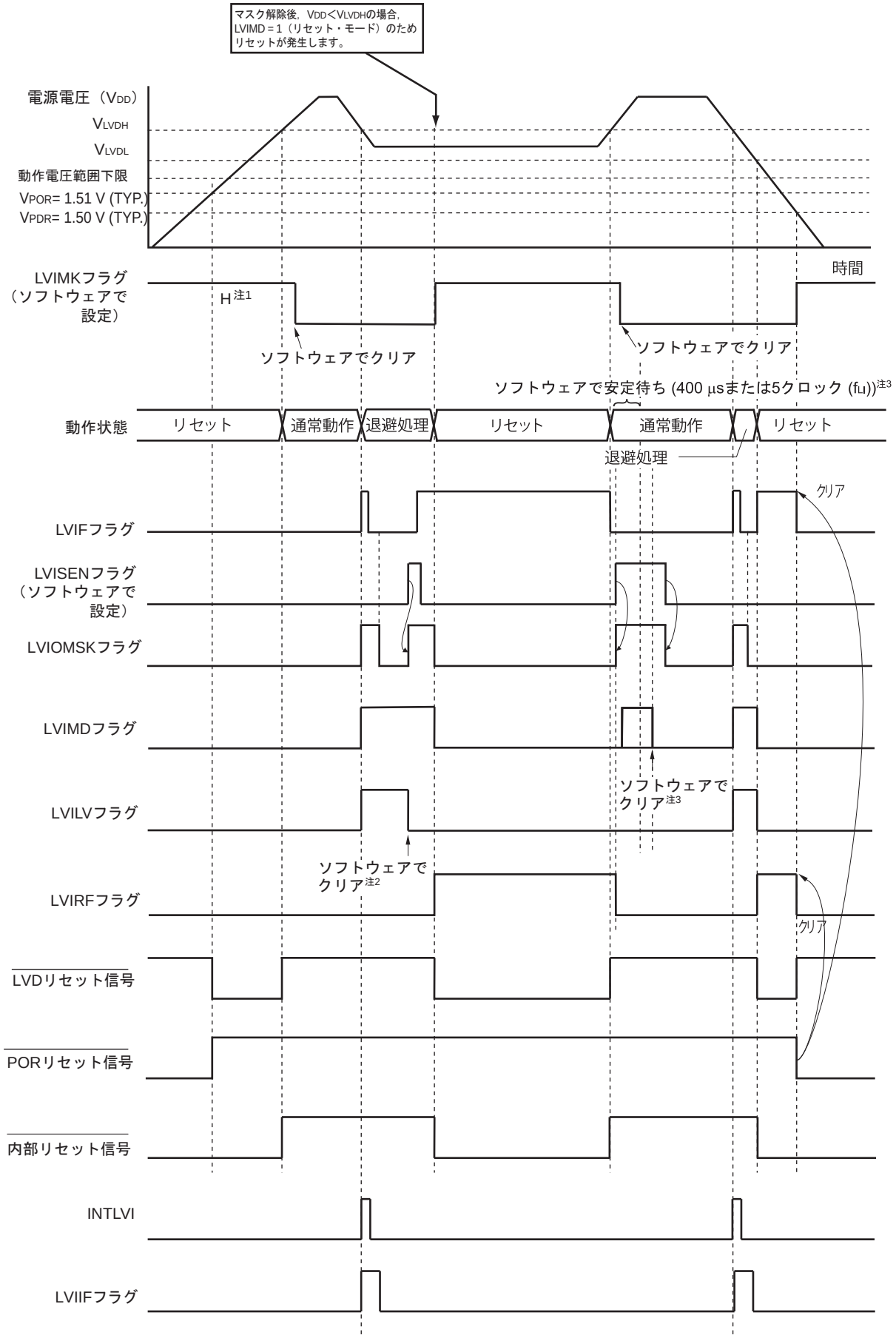
2．割り込み＆リセット・モード使用時，割り込み発生後は，図21－7　動作電圧確認／リセットの設定手順に従って設定をしてください。

3．割り込み＆リセット・モード使用時，リセット解除後は，図21－8　割り込み＆リセット・モードの初期設定の設定手順に従って設定をしてください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図21－6 割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0**）（2/2）**



（注，備考は次ページにあります。）

注 1．LVIMKフラグはリセット信号の発生により，“1”になっています。

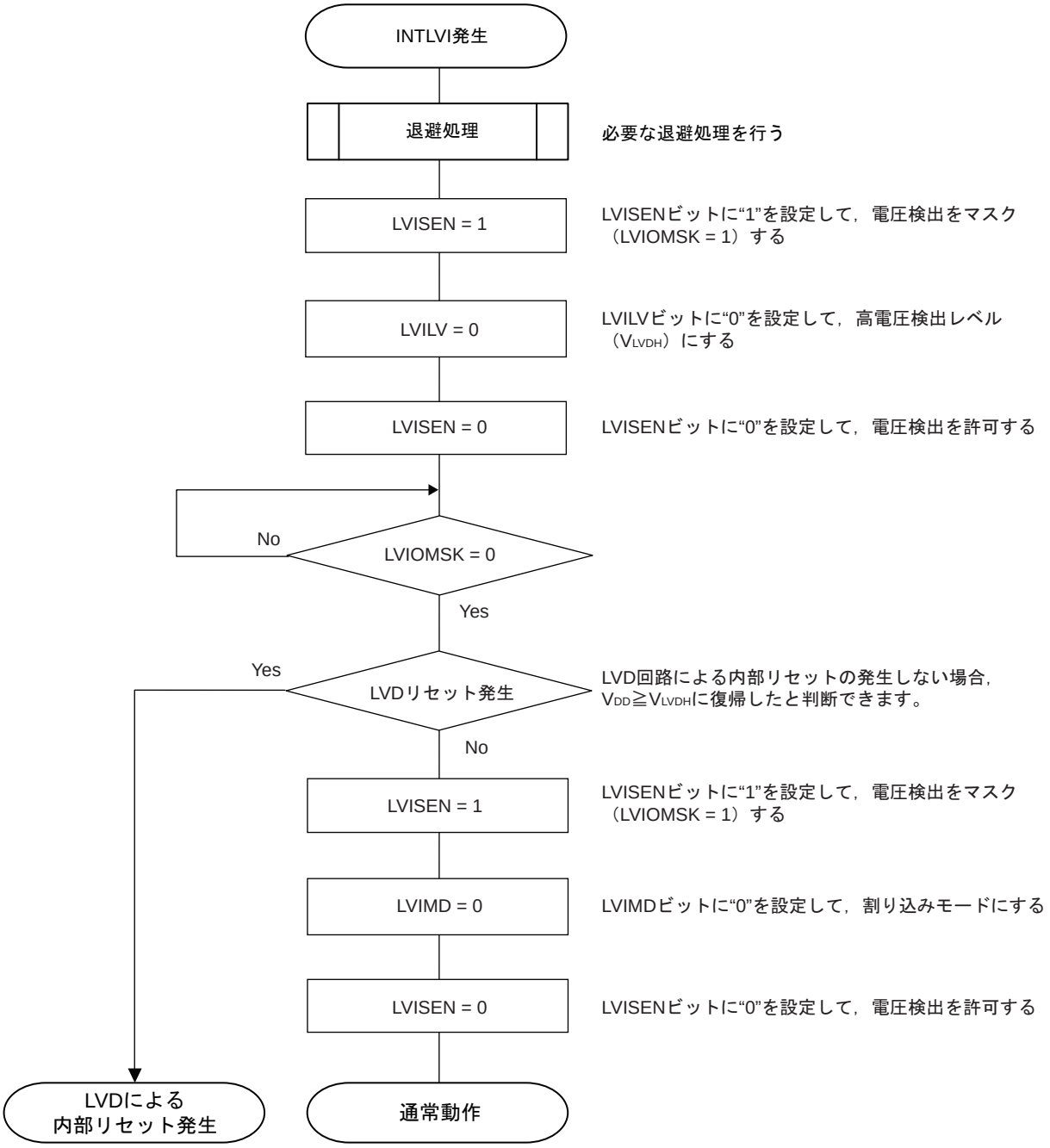
2．割り込み＆リセット・モード使用時，割り込み発生後は，図21－7　動作電圧確認／リセットの設定手順に従って設定をしてください。

3．割り込み＆リセット・モード使用時，リセット解除後は，図21－8　割り込み＆リセット・モードの初期設定の設定手順に従って設定をしてください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

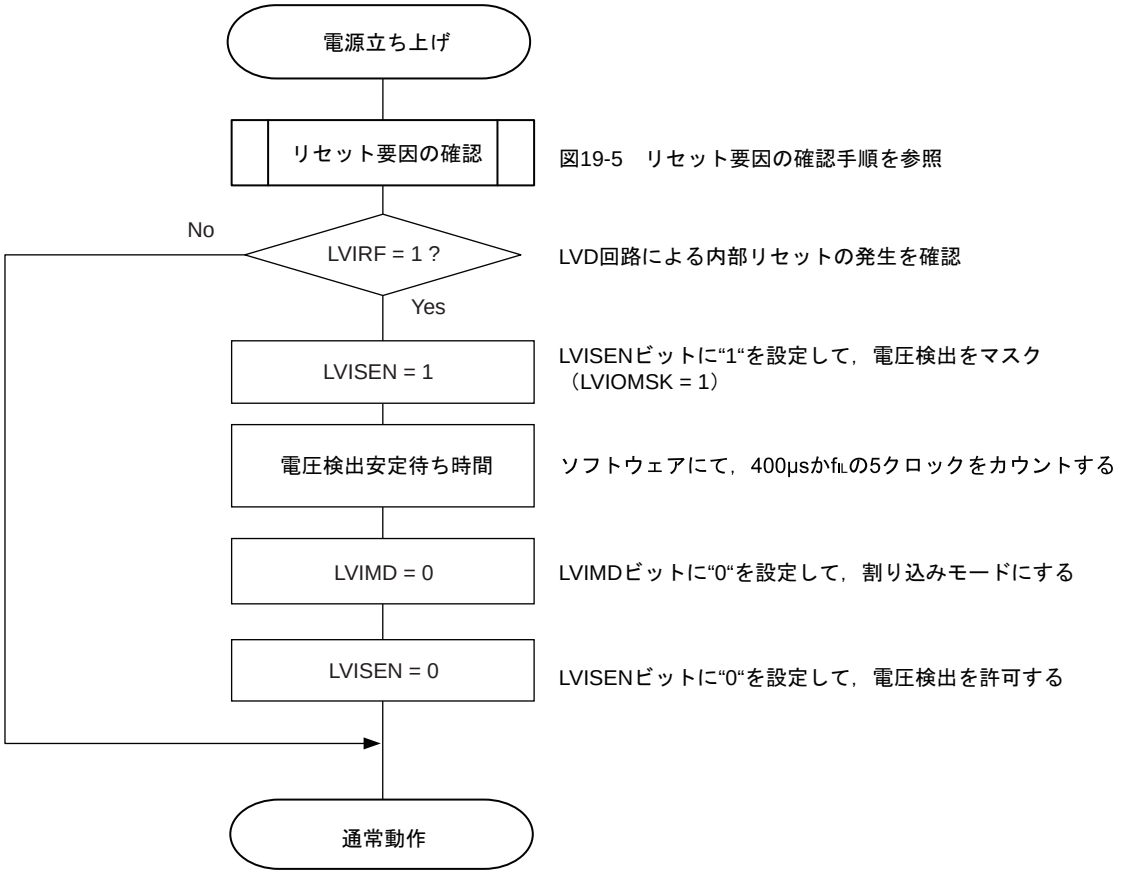
図21－7　動作電圧確認／リセットの設定手順



割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）を設定した場合，LVDリセット解除後（LVIRF = 1）から400 μsかfILの5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後，LVIMDビットをクリア（0）して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は，LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図21－8に割り込み＆リセット・モードの初期設定の手順を示します。

図21－8　割り込み＆リセット・モードの初期設定の設定手順



備考　fIL：低速オンチップ・オシレータ・クロック周波数

21. 5　電圧検出回路の注意事項

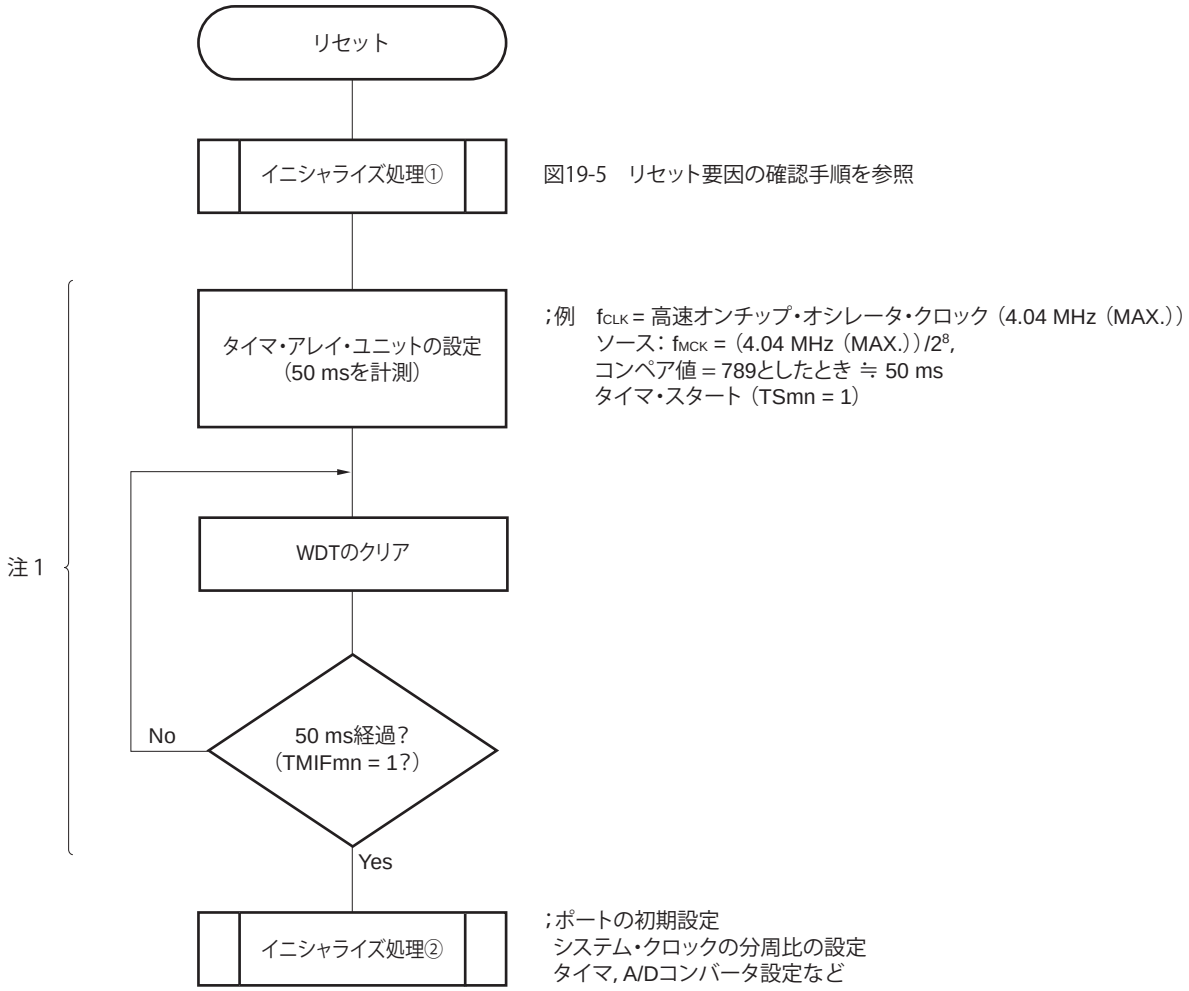
(1)　**電源投入時の電圧変動について**

電源電圧（V_{DD}）がLVD検出電圧付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図21－9　LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



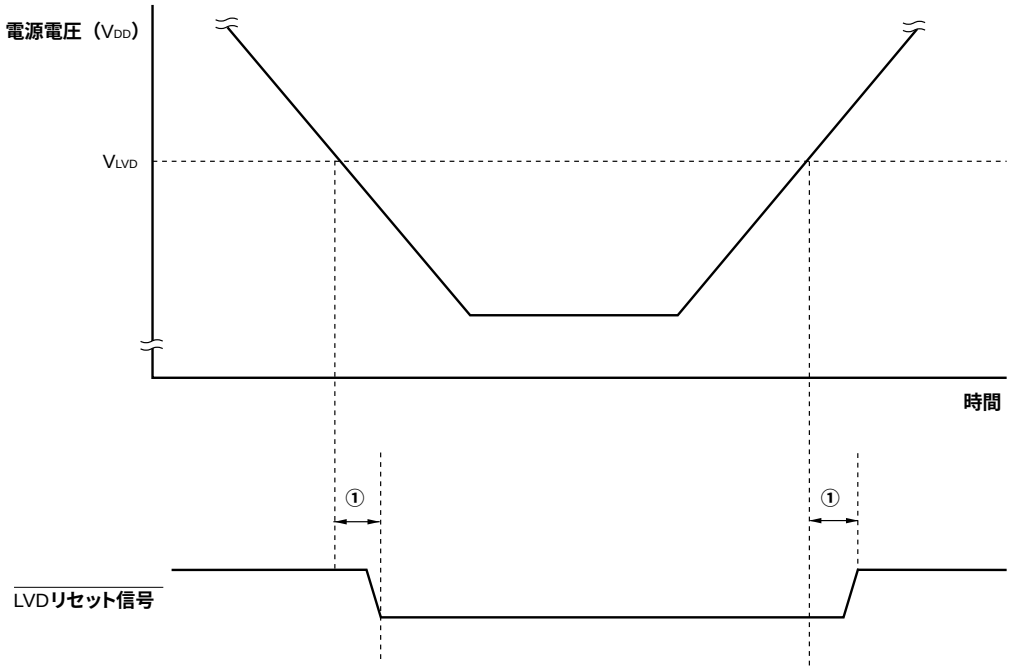
注　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

備考　m = 0, 1 n = 0-7

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVD}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVD}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（図21－10参照）。

図21－10　LVDリセット要因発生からLVDリセット発生または解除までの遅延



①：検出遅延（300 μs（MAX.））

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。

外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，29. 4 または30. 4 AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は，29. 4 または30. 4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

第22章　安全機能

22. 1　安全機能の概要

安全規格IEC60730，IEC61508に対応するため，RL78/G13では以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）

CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。

- 「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

(2) RAMパリティ・エラー検出機能

RAMデータを読み出すとき，パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して，CPU/周辺ハードウエア・クロック周波数の自己チェックができます。

(7) A/Dテスト機能

A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧をA/D変換することにより，A/Dコンバータの自己チェックができます。

備考　安全規格IEC60730に対応する安全機能の使用例は，RL78 MCU シリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート（R01AN1062，R01AN1296）を参照してください。

22. 2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ（CRC0CTL） ・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	フラッシュ・メモリCRC演算機能 （高速CRC）
・CRC入力レジスタ（CRCIN） ・CRCデータ・レジスタ（CRCD）	CRC演算機能 （汎用CRC）
・RAMパリティ・エラー制御レジスタ（RPECTL）	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ（IAWCTL）	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0（TIS0）	周波数検出機能
・A/Dテスト・レジスタ（ADTES）	A/Dテスト機能

各レジスタの内容については，22. 3　安全機能の動作の中で説明します。

22. 3　安全機能の動作

22. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です（例　フラッシュ・メモリ64 KB：512 μs@32 MHz）。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため，演算結果は異なります。

22. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22ー1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	00000H-03FFBH（16 K−4バイト）
0	0	0	0	0	1	00000H-07FFBH（32 K−4バイト）
0	0	0	0	1	0	00000H-0BFFBH（48 K−4バイト）
0	0	0	0	1	1	00000H-0FFFBH（64 K−4バイト）
0	0	0	1	0	0	00000H-13FFBH（80 K−4バイト）
0	0	0	1	0	1	00000H-17FFBH（96 K−4バイト）
0	0	0	1	1	0	00000H-1BFFBH（112 K−4バイト）
0	0	0	1	1	1	00000H-1FFFBH（128 K−4バイト）
0	0	1	0	0	0	00000H-23FFBH（144 K−4バイト）
0	0	1	0	0	1	00000H-27FFBH（160 K−4バイト）
0	0	1	0	1	0	00000H-2BFFBH（176 K−4バイト）
0	0	1	0	1	1	00000H-2FFFBH（192 K−4バイト）
0	0	1	1	0	0	00000H-33FFBH（208 K−4バイト）
0	0	1	1	0	1	00000H-37FFBH（224 K−4バイト）
0	0	1	1	1	0	00000H-3BFFBH（240 K−4バイト）
0	0	1	1	1	1	00000H-3FFFBH（256 K−4バイト）
0	1	0	0	0	0	00000H-43FFBH（272 K−4バイト）
0	1	0	0	0	1	00000H-47FFBH（288 K−4バイト）
0	1	0	0	1	0	00000H-4BFFBH（304 K−4バイト）
0	1	0	0	1	1	00000H-4FFFBH（320 K−4バイト）
0	1	0	1	0	0	00000H-53FFBH（336 K−4バイト）
0	1	0	1	0	1	00000H-57FFBH（352 K−4バイト）
0	1	0	1	1	0	00000H-5BFFBH（368 K−4バイト）
0	1	0	1	1	1	00000H-5FFFBH（384 K−4バイト）
0	1	1	0	0	0	00000H-63FFBH（400 K−4バイト）
0	1	1	0	0	1	00000H-67FFBH（416 K−4バイト）
0	1	1	0	1	0	00000H-6BFFBH（432 K−4バイト）
0	1	1	0	1	1	00000H-6FFFBH（448 K−4バイト）
0	1	1	1	0	0	00000H-73FFBH（464 K−4バイト）
0	1	1	1	0	1	00000H-77FFBH（480 K−4バイト）
0	1	1	1	1	0	00000H-7BFFBH（496 K−4バイト）
0	1	1	1	1	1	00000H-7FFFBH（512 K−4バイト）
上記以外						設定禁止

備考　フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

22. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図22－2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

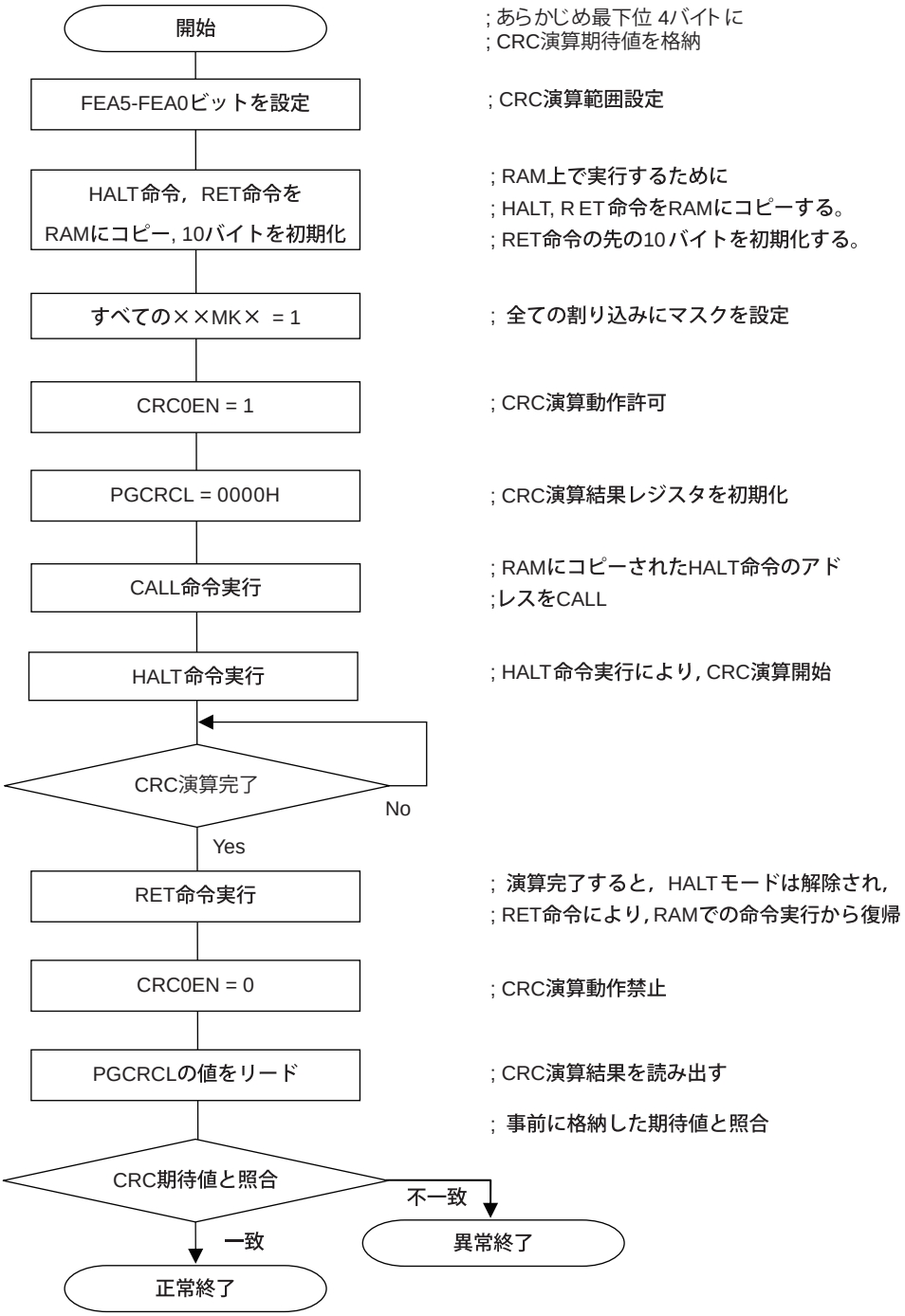
PGCRC15-0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを図22－3に示します。

＜動作フロー＞

図22ー3　**フラッシュ・メモリ**CRC**演算機能（高速**CRC**）のフロー・チャート**



注意1.　CRC**演算の対象は，コード・フラッシュのみです。**

2.　CRC**演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。**

3.　RAM**領域にて，**HALT**命令を実行することで，**CRC**演算が有効になります。**
必ずRAM**領域で**HALT**命令を実行してください。**

CRC**演算の期待値は，総合開発環境** CubeSuite+**を使用して算出することができます。詳細は，**CubeSuite+ **統合開発環境ユーザーズマニュアルを参照してください。**

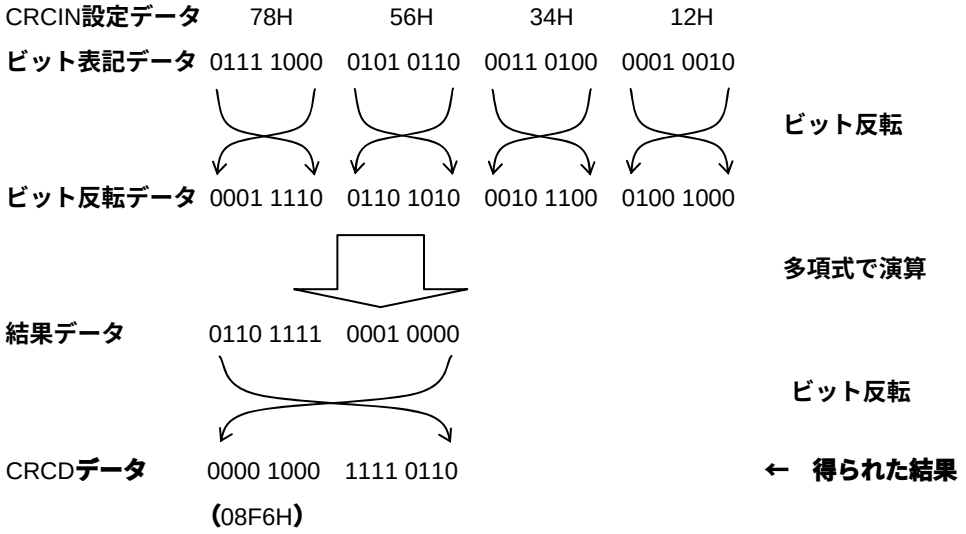
22. 3. 2　CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため，CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は，DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H，56H，34H，12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意　プログラム実行中，デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため，CRC演算の対象領域にソフトウエア・ブレークを設定すると，CRC演算結果が異なります。

22. 3. 2. 1　CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機　能
00H-FFH	データ入力

22. 3. 2. 2　CRCデータ・レジスタ（CRCD）

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（f_{CLK}）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図22－5　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

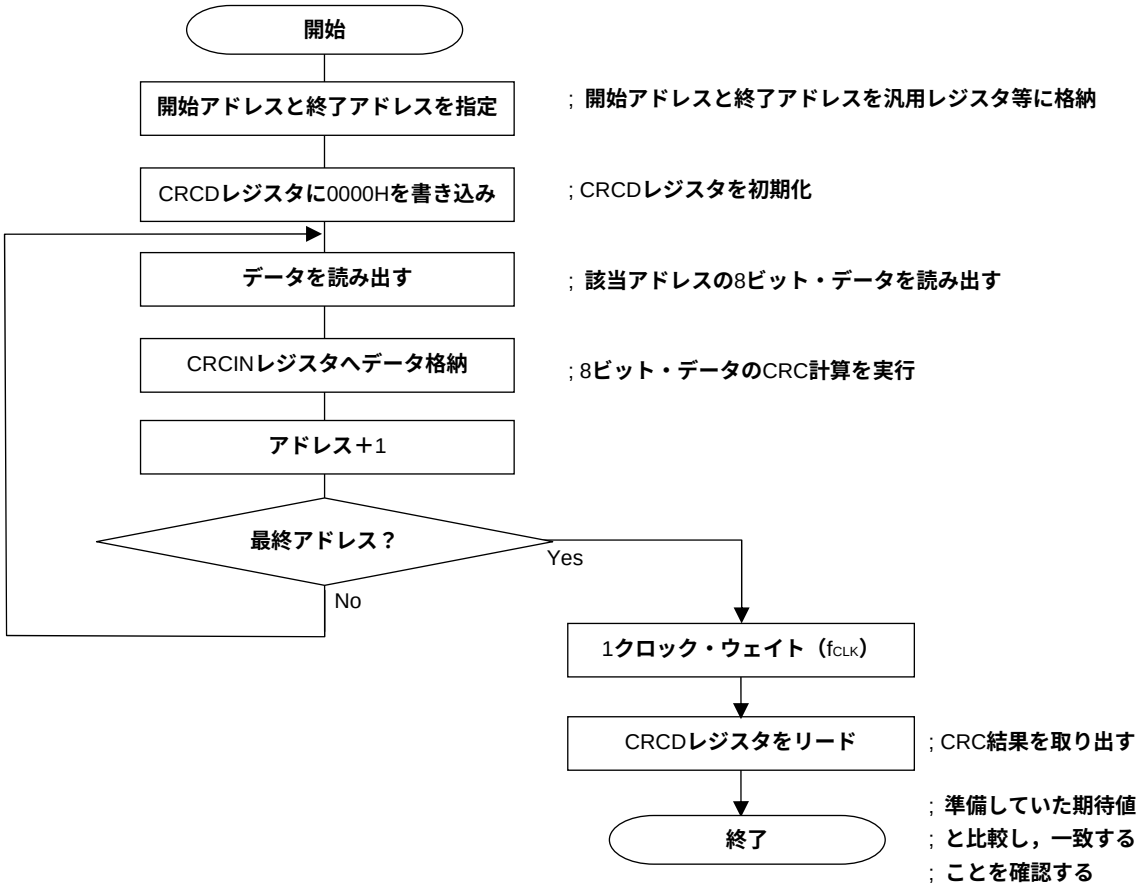
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1.　CRCDレジスタに書き込まれた値を読み出す場合は，CRCINレジスタへの書き込みを行う前にリードしてください。

2.　CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

＜動作フロー＞

図22－6　CRC演算機能（汎用CRC）のフロー・チャート



22. 3. 3　RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，RL78/G13のRAMには，8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。また，パリティ・エラー発生時にリセットを発生することもできます。

22. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと，パリティ・エラーによるリセット発生を制御するレジスタです。
RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図22－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

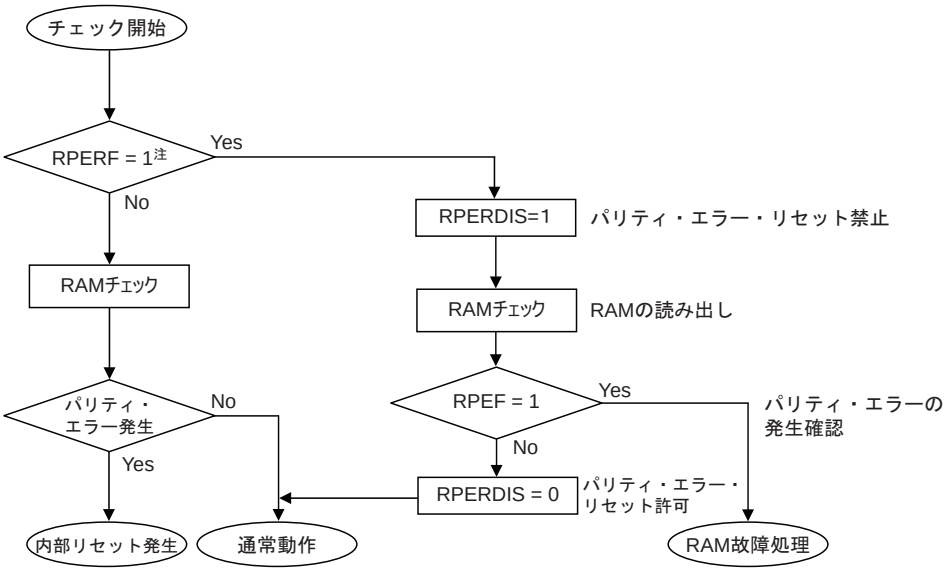
RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意　データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。
そのため，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また，RL78はパイプライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。
したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。

備考1.　初期状態では，パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。
2.　パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に，パリティ・エラーが発生した場合も，RPEFフラグはセット（1）されます。なお，RPEF = 1の状態で，パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると，RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
3.　RPECTLレジスタのRPEFフラグは，パリティ・エラー発生時にセット（1）され，0の書き込み，またはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
4.　汎用レジスタは，RAMパリティ・エラー検出の範囲に含みません。

図22－8　RAMパリティ・チェックのフローチャート



注　RAMパリティ・エラーによる内部リセットの確認は，第19章 リセット機能を参照してください。

22. 3. 4　RAMガード機能

IEC61508では動作中の安全を保証しなければならないため，CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

22. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－9　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間注
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注　RAMの先頭アドレスは，製品の搭載RAMサイズにより変わります。

22. 3. 5　SFRガード機能

IEC61508では動作中の安全を保証しなければならないため，CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

22. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－10　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC注2	クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL

注　Pxx（ポート・レジスタ）はガードされません。

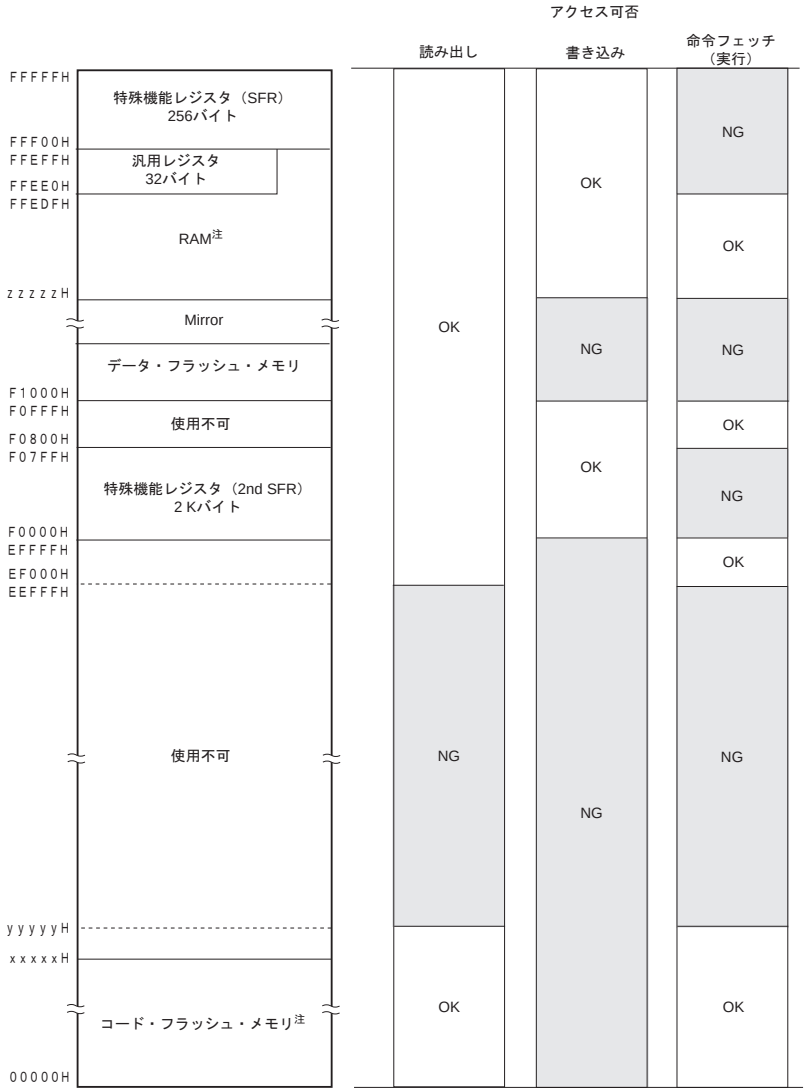
22. 3. 6　不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図22－11で「NG」と記載した範囲になります。

図22－11　不正アクセス検出空間



注　各製品のコード・フラッシュ・メモリ，RAM，検出最下位アドレスを次に示します。
(説明は次のページにあります)

製　　品	コード・フラッシュ・メモリ（00000H-xxxxxH）	RAM（zzzzzH-FFEFFH）	読み出し／命令フェッチ（実行）時の検出最下位アドレス(yyyyyH)
R5F100xA, R5F101xA（x = 6-8, A-C, E-G）	16384×8ビット（00000H-03FFFH）	2048×8ビット（FF700H-FFEFFH）	10000H
R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L）	32768×8ビット（00000H-07FFFH）	2048×8ビット（FF700H-FFEFFH）	10000H
R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）	49152×8ビット（00000H-0BFFFH）	3072×8ビット（FF300H-FFEFFH）	10000H
R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）	65536×8ビット（00000H-0FFFFH）	4096×8ビット（FEF00H-FFEFFH）	10000H
R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P）	98304×8ビット（00000H-17FFFH）	8192×8ビット（FDF00H-FFEFFH）	20000H
R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P）	131072×8ビット（00000H-1FFFFH）	12288×8ビット（FCF00H-FFEFFH）	20000H
R5F100xH, R5F101xH（x = E-G, J, L, M, P, S）	196608×8ビット（00000H-2FFFFH）	16384×8ビット（FBF00H-FFEFFH）	30000H
R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S）	262144×8ビット（00000H-3FFFFH）	20480×8ビット（FAF00H-FFEFFH）	40000H
R5F100xK, R5F101xK（x = F, G, J, L, M, P, S）	393216×8ビット（00000H-5FFFFH）	24576×8ビット（F9F00H-FFEFFH）	60000H
R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）	524288×8ビット（00000H-7FFFFH）	32768×8ビット（F7F00H-FFEFFH）	80000H

22. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－12　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN[注]	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考　オプション・バイト（000C0H）のWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

22. 3. 7　周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウエア・クロック周波数（f_{CLK}）を使用し，タイマ・アレイ・ユニット0(TAU0)のチャネル5の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

＜比較するクロック＞

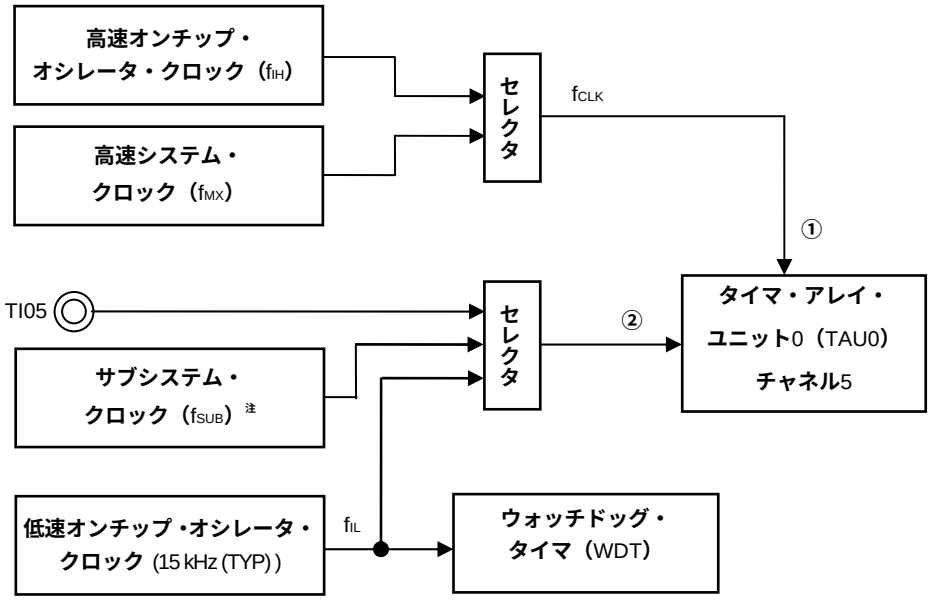
①CPU/周辺ハードウエア・クロック周波数（f_{CLK}）：

- 高速オンチップ・オシレータ・クロック（f_{IH}）
- 高速システム・クロック（f_{MX}）

②タイマ・アレイ・ユニットのチャネル5入力：

- チャネル5のタイマ入力(TI05)
- 低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz（TYP.））
- サブシステム・クロック（f_{SUB}）注

図22－13　周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については，6. 8. 4　**入力パルス間隔測定としての動作**を参照してください。

注 サブシステム・クロック搭載している製品のみ選択可能です。

22. 3. 7. 1　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，タイマ・アレイ・ユニット0(TAU0)のチャネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－14　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

22. 3. 8　A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。確認方法の詳細は，安全機能（A/Dテスト）アプリケーションノート（R01AN0955）を参照してください。

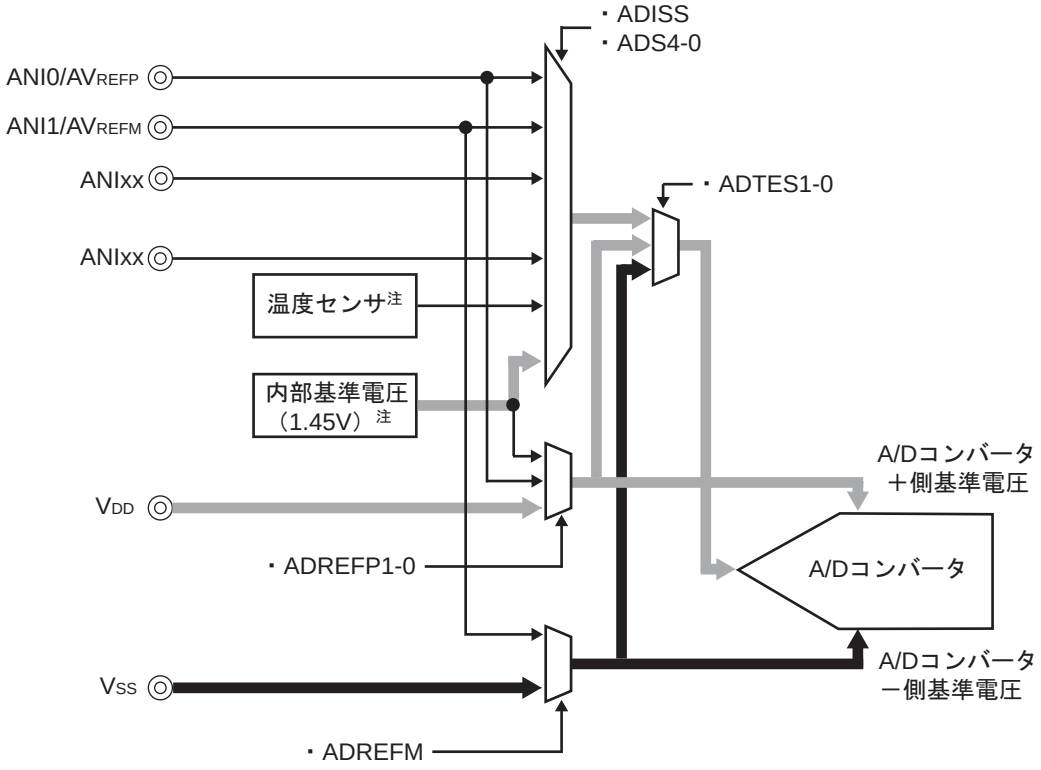
また、アナログ・マルチプレクサは、以下の手順で確認できます。

① ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
② ANIx端子のA/D変換を行う（変換結果1-1）。
③ ADTESレジスタでA/D変換対象にA/Dコンバータの－側基準電圧を選択（ADTES1, ADTES0=1,0）
④ A/Dコンバータの－側基準電圧のA/D変換を行う（変換結果2-1）
⑤ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑥ ANIx端子のA/D変換を行う（変換結果1-2）
⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの＋側基準電圧を選択（ADTES1, ADTES0=1,1）
⑧ A/Dコンバータの＋側基準電圧のA/D変換を行う（変換結果2-2）
⑨ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑩ ANIx端子のA/D変換を行う（変換結果1-3）
⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
⑫ 「変換結果2-1」のA/D変換結果がオール０，「変換結果2-2」のA/D変換結果がオール１であることを確認する。

以上の手順で，アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。
2. 変換結果は誤差を含むので、変換結果を比較するときは，適切な誤差を考慮してください。

図22ー15　A/Dテスト機能の構成



注　HS（高速メイン）モードでのみ選択可能です。

22. 3. 8. 1　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

- ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。
- フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－16　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx / 温度センサ出力電圧[注] / 内部基準電圧（1.45 V）[注] （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）[注]
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

22. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIxx / 温度センサ出力電圧 / 内部基準電圧（1.45 V）を測定するときは，A/Dテスト・レジスタ（ADTES）を00Hに設定してください。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－17　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	0	1	0	0	0	ANI8	P150/ANI8端子
0	0	1	0	0	1	ANI9	P151/ANI9端子
0	0	1	0	1	0	ANI10	P152/ANI10端子
0	0	1	0	1	1	ANI11	P153/ANI11端子
0	0	1	1	0	0	ANI12	P154/ANI12端子
0	0	1	1	0	1	ANI13	P155/ANI13端子
0	0	1	1	1	0	ANI14	P156/ANI14端子
0	0	1	1	1	1	設定禁止	
0	1	0	0	0	0	ANI16	P03/ANI16端子[注1]
0	1	0	0	0	1	ANI17	P02/ANI17端子[注2]
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
0	1	0	1	0	0	ANI20	P100/ANI20端子
0	1	0	1	0	1	ANI21	P37/ANI21端子
0	1	0	1	1	0	ANI22	P36/ANI22端子
0	1	0	1	1	1	ANI23	P35/ANI23端子
0	1	1	0	0	0	ANI24	P117/ANI24端子
0	1	1	0	0	1	ANI25	P116/ANI25端子
0	1	1	0	1	0	ANI26	P115/ANI26端子
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	－	温度センサ出力電圧[注3]
1	0	0	0	0	1	－	内部基準電圧（1.45 V）[注3]
上記以外						設定禁止	

（注と注意は次ページにあります。）

注 1. 20, 24, 25, 30, 32ピン製品の場合は，P01/ANI16端子になります。

2. 20, 24, 25, 30, 32ピン製品の場合は，P00/ANI17端子になります。

3. HS（高速メイン）モードでのみ選択可能です。

注意1. ビット5, 6には必ず0を設定してください。

2. ADPC, PMCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 2, 3, 10-12, 14, 15（PM0, PM2, PM3, PM10-PM12, PM14, PM15）で入力モードに選択してください。

3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4. ポート・モード・コントロール・レジスタ0, 3, 10-12, 14（PMC0, PMC3, PMC10-PMC12, PMC14）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

5. ADISSビットを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

6. AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

7. AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

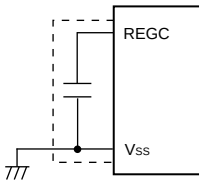
8. ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，11. 7. 4 温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）を参照してください。

9. STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，29. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

第23章　レギュレータ

23. 1　レギュレータの概要

RL78/G13は，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ（0.47～1 μF）を介し，Vssに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，表23－1のようになります。

表23－1　レギュレータ出力電圧条件

モード	出力電圧	条　件
LV（低電圧メイン）モード	1.8 V	－
LS（低速メイン）モード		
HS（高速メイン）モード	1.8 V	STOPモード時
		サブシステム・クロック（f_{SUB}）でCPU動作中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）が共に停止
		サブシステム・クロック（f_{SUB}）でCPU動作設定時のHALTモード中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）が共に停止
	2.1 V	上記以外（オンチップ・デバッグ中を含む）注

注　オンチップ・デバッグ中に，サブシステム・クロック動作やSTOPモードに移行する場合は，レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

第24章　オプション・バイト

24. 1　オプション・バイトの機能

RL78/G13のフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお，機能が配置されていないビットは，初期値から変更しないでください。

また,セルフ･プログラミング時にブート･スワップ動作を使用する際には,000C0H-000C3Hは010C0H-010C3Hと切り替わるので，010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。

24. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）

（1）000C0H/010C0H

○ウォッチドッグ・タイマの動作
- カウンタの動作許可／禁止
- HALT/STOPモード時のカウンタの動作可能／停止

○ウォッチドッグ・タイマのオーバフロー時間の設定

○ウォッチドッグ・タイマのウインドウ・オープン期間の設定

○ウォッチドッグ・タイマのインターバル割り込みの設定
- インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

（2）000C1H/010C1H

○LVDの動作モード設定
- 割り込み＆リセット・モード
- リセット・モード
- 割り込みモード
- LVDオフ　（$\overline{\text{RESET}}$端子による外部リセットを使用）

○LVD検出レベル（V_{LVDH}, V_{LVDL}, V_{LVD}）の設定

注意1.　電源立ち上がり時は，29. 4 または30. 4 AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は,動作電圧範囲を下回る前に,STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

2.　**ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください**

（3）000C2H/010C2H

○フラッシュの動作モード設定

・LV（低電圧メイン）モード

・LS（低速メイン）モード

・HS（高速メイン）モード

○高速オンチップ・オシレータの周波数設定

・32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz /3 MHz/2 MHz/1 MHz（TYP.）から選択

注意　ブート・スワップ時は，000C2H**と**010C2H**が切り替わるので，**010C2H**にも**000C2H**と同じ値を設定してください。**

24. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）

○オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3H**と**010C3H**が切り替わるので，**010C3H**にも**000C3H**と同じ値を設定してください。**

24. 2　ユーザ・オプション・バイトのフォーマット

図24－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット

アドレス：000C0H/010C0H[注1]

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注2]
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）
1	1	0	$2^{14}/f_{IL}$（949.79 ms）
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時，カウンタ動作停止[注2]
1	HALT/STOPモード時，カウンタ動作許可

注1.　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

2.　WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

図24ー2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
ー			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
ー		上記以外は設定禁止						

注　ブート・スワップ時は，000C1H**と**010C1H**が切り替わるので，**010C1H**にも**000C1H**と同じ値を設定してください。**

備考1.　LVD**回路の詳細は，第**21**章　電圧検出回路を参照してください。**

2.　**検出電圧は**TYP.**値です。詳細は，**29. 6. 4**または**30. 6. 4　LVD**回路特性を参照してください。**

（注意は，次ページにあります。）

図24－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

・LVDオフ　（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1H**と**010C1H**が切り替わるので，**010C1H**にも**000C1H**と同じ値を設定してください。**

注意1.　**ビット**4**には，必ず**1**を書き込んでください。**
2.　**電源立ち上がり時は，**29. 4**または**30. 4 AC**特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，**動作電圧範囲を下回る前に，STOP**モードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。**
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H**）の設定により変わります。**

備考　1.　**×：**don't care
2.　LVD**回路の詳細は，第**21**章　電圧検出回路を参照してください。**
3.　**検出電圧は**TYP.**値です。詳細は，**29. 6. 4**または**30. 6. 4　LVD**回路特性を参照してください。**

図24ー3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマット

アドレス：000C2H/010C2H[注]

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
0	0	LV（低電圧メイン）モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS（低速メイン）モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS（高速メイン）モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～32 MHz	2.7 V～5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5-4には，必ず10Bを書き込んでください。

2. 動作周波数範囲と動作電圧範囲は，フラッシュの各動作モードによって異なります。詳細は，29. 4または30. 4　AC特性を参照してください。

24. 3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図24ー4　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）のフォーマット

アドレス：000C3H/010C3H[注]

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

注意　ビット7, 0（OCDENSET, OCDERSD）のみ，値を指定できます。
ビット6-1には，必ず000010Bを書き込んでください。

備考　ビット3-1は,オンチップ･デバッグ機能使用時に値が書き変わるので,設定後は不定となります。
ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

24. 4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT   CSEG        OPT_BYTE
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          1AH     ; VLVDLに1.63 Vを選択
                          ; VLVDHに立ち上がり1.77 V，立ち下がり1.73 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          2DH     ; フラッシュの動作モードにLV（低電圧メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2  CSEG   AT   010C0H
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          1AH     ; VLVDLに1.63 Vを選択
                          ; VLVDHに立ち上がり1.77 V，立ち下がり1.73 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          2DH     ; フラッシュの動作モードにLV（低電圧メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。

第25章　フラッシュ・メモリ

RL78マイクロコントローラは，プログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。

注　R5F101製品は使用不可領域になります。

フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（25.4参照）
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

・外部デバイス（UART通信）によるシリアル・プログラミング（25. 2参照）
外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。

・セルフ・プログラミング（25. 6参照）
フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。

データ・フラッシュ・メモリは，フラッシュ・データ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，25. 8 データ・フラッシュを参照してください。

25. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, FL-PR5
・E1オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FL-PR5, FAシリーズは，（株）内藤電誠町田製作所の製品です。

表25ー1　RL78/G13と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号							
					20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン
信号名		入出力	端子機能		SSOP	WQFN (4×4)	FLGA (3×3)	SSOP	WQFN (5×5)	FLGA (4×4)	WQFN (6×6)	LQFP (10×10)
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ											
ー	TOOL0	入出力	送受信信号	TOOL0/P40	3	23	A5	5	1	F6	1	2
SI/RxD	ー	入出力	送受信信号									
ー	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	4	24	B5	6	2	E5	2	3
/RESET	ー	出力										
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	10	6	B3	12	8	B6	10	11
GND		ー	グランド	V_{SS}	9	5	B2	11	7	C5	9	10
				REGC注	8	4	A2	10	6	D5	8	9
EMV_{DD}		ー	TOOL0端子駆動電源	V_{DD}	10	6	B3	12	8	B6	10	11

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号							
					48ピン	52ピン	64ピン		80ピン	100ピン		128ピン
信号名		入出力	端子機能		LQFP (7×7), WQFN (7×7)	LQFP (10×10)	LQFP (12×12), LQFP (10×10),	FBGA (4×4)	LQFP (14×14), LQFP (12×12)	LQFP (14×14)	LQFP (14×20)	LQFP (14×20)
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ											
ー	TOOL0	入出力	送受信信号	TOOL0/P40	39	4	5	D6	9	12	89	22
SI/RxD	ー	入出力	送受信信号									
ー	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	40	5	6	E7	10	13	90	26
/RESET	ー	出力										
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	48	13	15	B7	19	22	99	35
GND		ー	グランド	V_{SS}	47	12	13	C7	17	20	97	33
				EV_{SS}	ー	ー	14	B8	18	21, 43	98, 20	34, 56
				REGC注	46	11	12	D7	16	19	96	32
EMV_{DD}		ー	TOOL0端子駆動電源	V_{DD}	48	13	ー	ー	ー	ー	ー	ー
				EV_{DD}	ー	ー	16	A8	20	23, 53	100, 30	36, 57

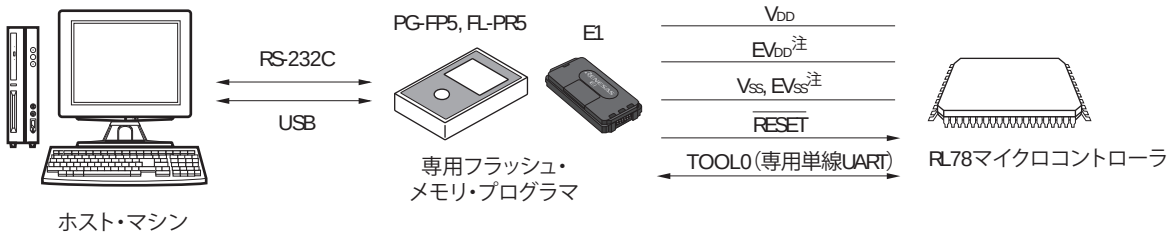
注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

25. 1. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25－1　フラッシュ・メモリにプログラムを書き込むための環境



注　64ピン，80ピン，100ピン，128ピン製品のみ。

専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

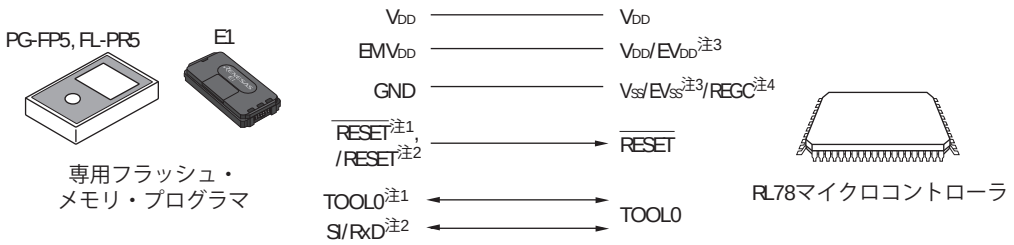
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

25. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図25－2　専用フラッシュ・メモリ・プログラマとの通信



注1.　E1オンチップデバッギングエミュレータ使用時。

2.　PG-FP5, FL-PR5使用時。

3.　64ピン，80ピン，100ピン，128ピン製品のみ。

4.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッギングエミュレータの各マニュアルを参照してください。

表25－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78マイクロコントローラ
信号名		入出力	端子機能	端子名
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ			
V_{DD}		入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND		－	グランド	V_{SS}, EV_{SS}, REGC[注]
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}, EV_{DD}
/RESET	－	出力	リセット信号	$\overline{RESET}$
－	$\overline{RESET}$	出力		
－	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	－	入出力	送受信信号	

注1.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。
2.　接続先端子は、製品によって異なります。詳細は，表25-1を参照してください。

25. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング

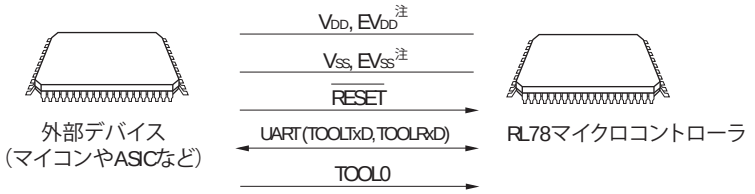
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC)を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

ユーザでのフラッシュ・メモリ・プログラマの開発については，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

25. 2. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25－3　フラッシュ・メモリにプログラムを書き込むための環境



注　64ピン，80ピン，100ピン，128ピン製品のみ

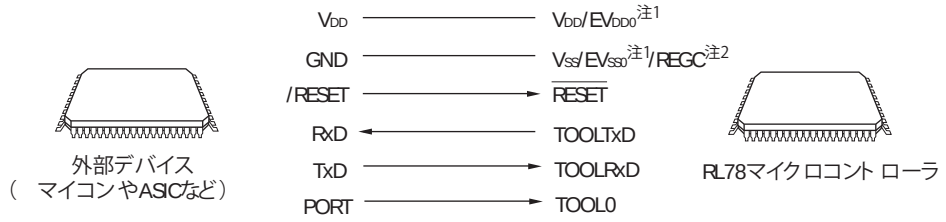
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

25. 2. 2　通信方式

外部デバイスとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図25－4　外部デバイスとの通信



注1.　64ピン，80ピン，100ピン，128ピン製品のみ

2.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表25－3　端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD, EVDD0
GND	－	グランド	VSS, EVSS, REGC注
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

25. 3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，25. 4 .2　**フラッシュ・メモリ・プログラミング・モード**を参照してください。

25. 3. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

備考1.　t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに，外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。29. 10 または30. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

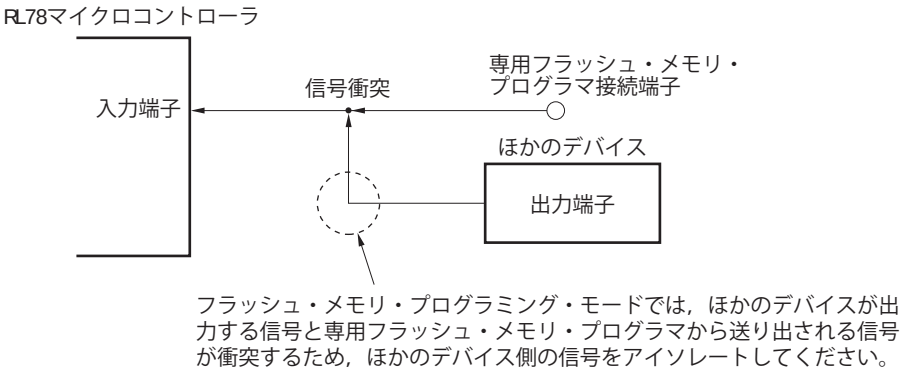
2.　RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

25. 3. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図25－5　信号の衝突（$\overline{\text{RESET}}$端子）



25. 3. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}またはEV_{DD0}，EV_{DD1}に接続するか，もしくは抵抗を介してV_{SS}またはEV_{SS0}，EV_{SS1}に接続するなどの端子処理が必要です。

25. 3. 4　REGC端子

REGC端子は，通常動作時と同様に，特性の良いコンデンサ（0.47～1 μF）を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

25. 3. 5　X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

25. 3. 6　電　　源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

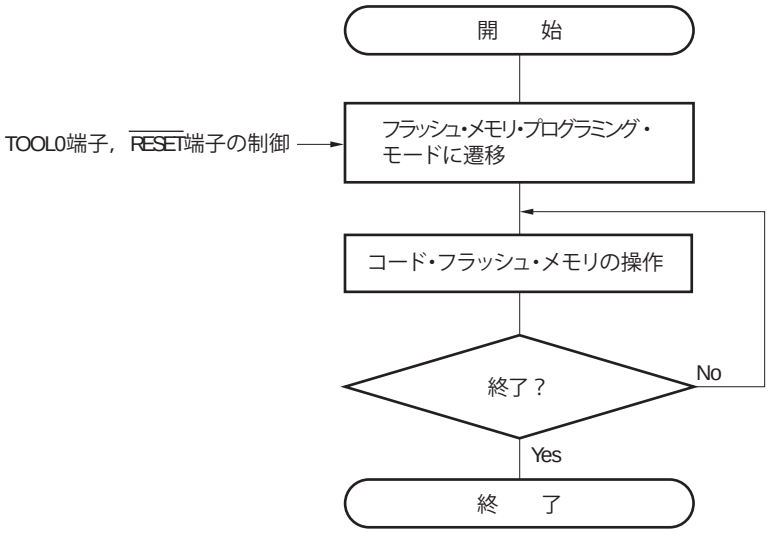
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}, GNDと必ず接続してください。

25. 4　シリアル・プログラミング方法

25. 4. 1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図25－6　コード・フラッシュ・メモリの操作手順



25. 4. 2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

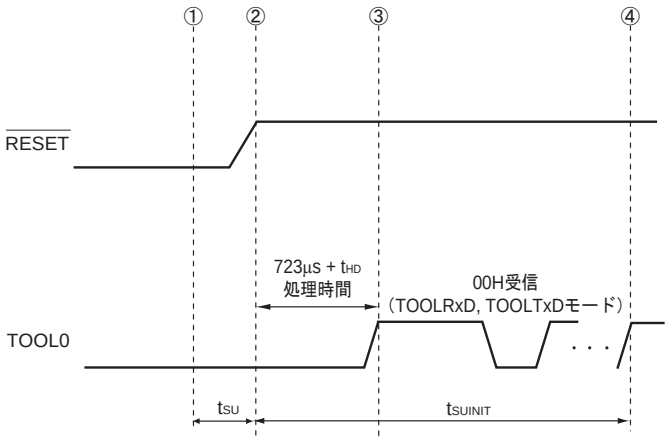
<外部デバイス（UART通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後，リセットを解除します（表25-4　参照）。その後，図25-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表25－4　リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図25－7　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力
② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。
t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は，29. 10 または30. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには，ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は，書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお，専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，GUI上で電圧設定を行うことでモードが自動選択されます。

表25－5　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧（V_{DD}）	フラッシュ・メモリ・プログラミング・モード引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数	
2.7 V ≦ V_{DD} ≦ 5.5 V	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～32 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV（低電圧メイン）モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
2.4 V ≦ V_{DD} ＜ 2.7 V	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～16 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV（低電圧メイン）モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
1.8 V ≦ V_{DD} ＜ 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV（低電圧メイン）モード	1 MHz～4 MHz	ワイド・ボルテージ・モード

備考1.　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

2.　通信コマンドの詳細は，25. 4. 4　**通信コマンド**を参照してください。

25. 4. 3 通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表25－6 通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART（フラッシュ・メモリ・プログラマ使用時、または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0
専用UART（外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

25. 4. 4 通信コマンド

RL78マイクロコントローラは，表25-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表25－7 フラッシュ・メモリ制御用コマンド

分 類	コマンド名称	機 能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます[注]。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名，フラッシュ・メモリ構成，プログラミング用ファームウエア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

“ Silicon Signature ”コマンドを実行することで製品情報（品名，ファームウエア・バージョン）を取得することができます。

表25－8にシグネチャ・データ一覧，表25－9にシグネチャ・データ例を示します。

表25－8　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．00000H-0FFFFH (64 KB) → FFH, FFH, 00H）	3バイト
データ・フラッシュ・メモリ領域最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH）	3バイト
ファームウエア・バージョン	プログラミング用ファームウエアのバージョン情報 （バージョンの上位から送信されます。 例．Ver. 1. 23 → 01H, 02H, 03H）	3バイト

表25－9　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78プロトコルA	3バイト	10　00　06
デバイス名	R5F100LE	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 30 = “0” 4C = “L” 45 = ”E” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF　FF　00
データ・フラッシュ・メモリ領域最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF　1F　0F
ファームウエア・バージョン	Ver. 1. 23	3バイト	01　02　03

25. 5　PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間（参考値）を次に示します。

表25-10　PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	コード・フラッシュ									
	16 K バイト	32 K バイト	48 K バイト	64 K バイト	96 K バイト	128 K バイト	192 K バイト	256 K バイト	384 K バイト	512 K バイト
消去	1 s	1 s	1 s	1.5 s	1.5 s	2 s	2 s	2.5 s	3 s	4 s
書き込み	1.5 s	1.5 s	2 s	2.5 s	3 s	3.5 s	5 s	6 s	8.5 s	11 s
ベリファイ	1.5 s	1.5 s	2 s	2 s	3 s	3.5 s	4.5 s	5.5 s	8 s	10.5 s
消去後，書き込み	1.5 s	2 s	2.5 s	3 s	4 s	4.5 s	6.5 s	8 s	11 s	14.5 s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port　：　TOOL0（単線UART）

Speed　：　1,000,000 bps

Mode　：　フルスピード・モード　（フラッシュ動作モード：HS（高速メイン）モード）

25. 6　セルフ・プログラミング

RL78マイクロコントローラは，ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより，ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合，セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。
   割り込みを許可する場合は，EI命令によりIEフラグがセット（1）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（0）して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

3. セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロック動作（HIOSTOP = 0）させ，30μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ Type01　ユーザーズ・マニュアル（R01AN0350）を参照してください。

2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて，いずれかのモードを設定してください。

HS（高速メイン）モード設定時はフルスピード・モードに，LS（低速メイン）モードおよびLV（低電圧メイン）モード設定時はワイド・ボルテージ・モードに設定してください。

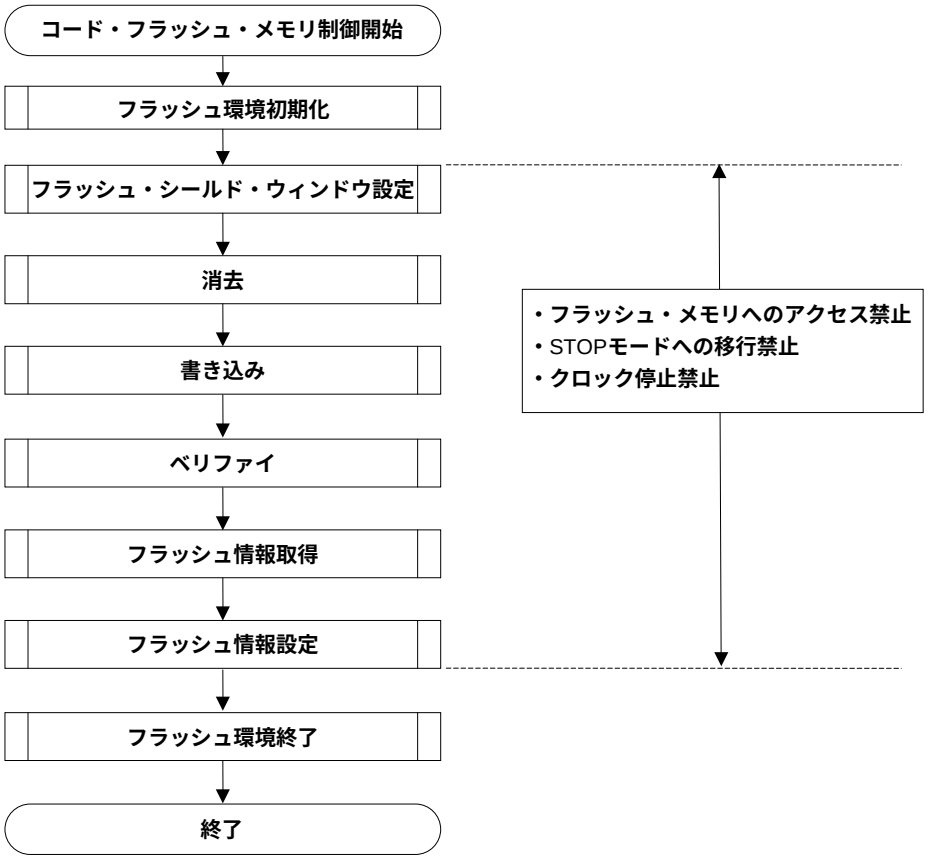
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数”FSL_Init”実行時に，引数である”fsl_flash_voltage_u08”が00Hであればフルスピード・モードに，00H以外であればワイド・ボルテージ・モードに設定されます。

備考　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

25. 6. 1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図25－8　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



25. 6. 2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

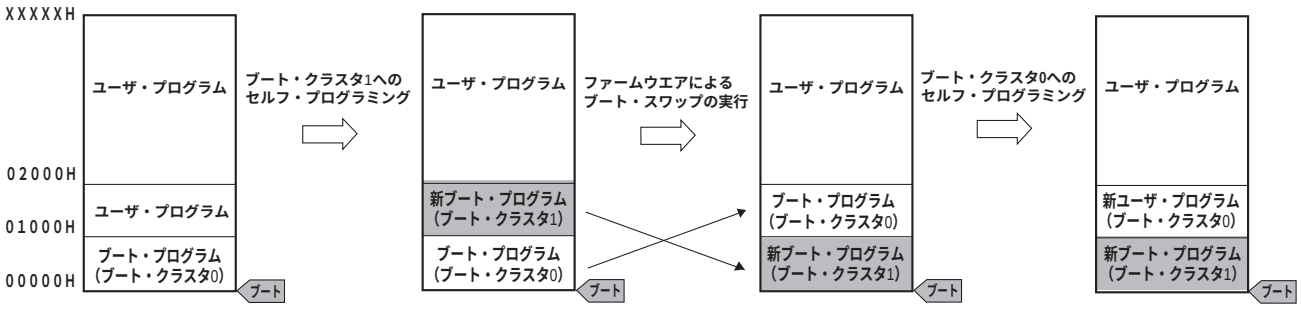
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78マイクロコントローラ内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは4 Kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図25－9　ブート・スワップ機能

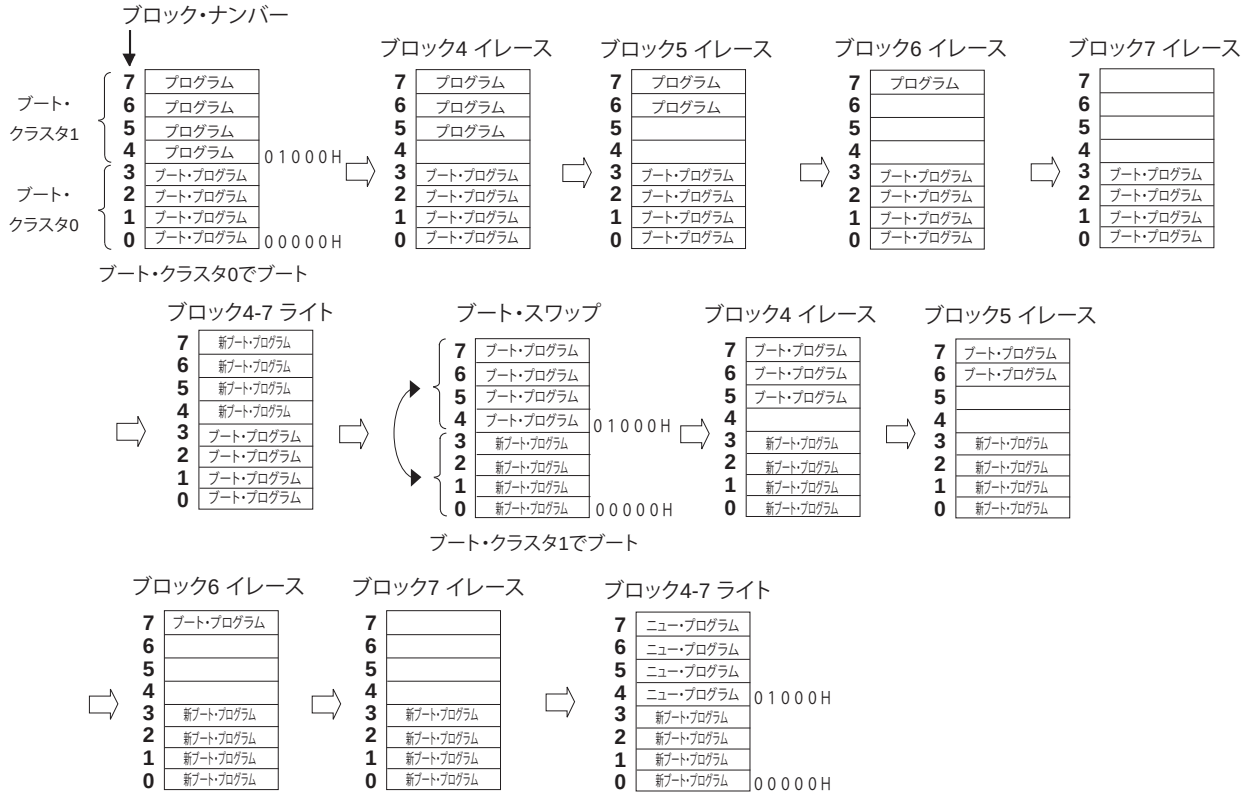


この図の例では，次のようになっています。

ブート・クラスタ0　：ブート・スワップ前のブート領域です。

ブート・クラスタ1　：ブート・スワップ後のブート領域です。

図25－10　ブート・スワップの実行例



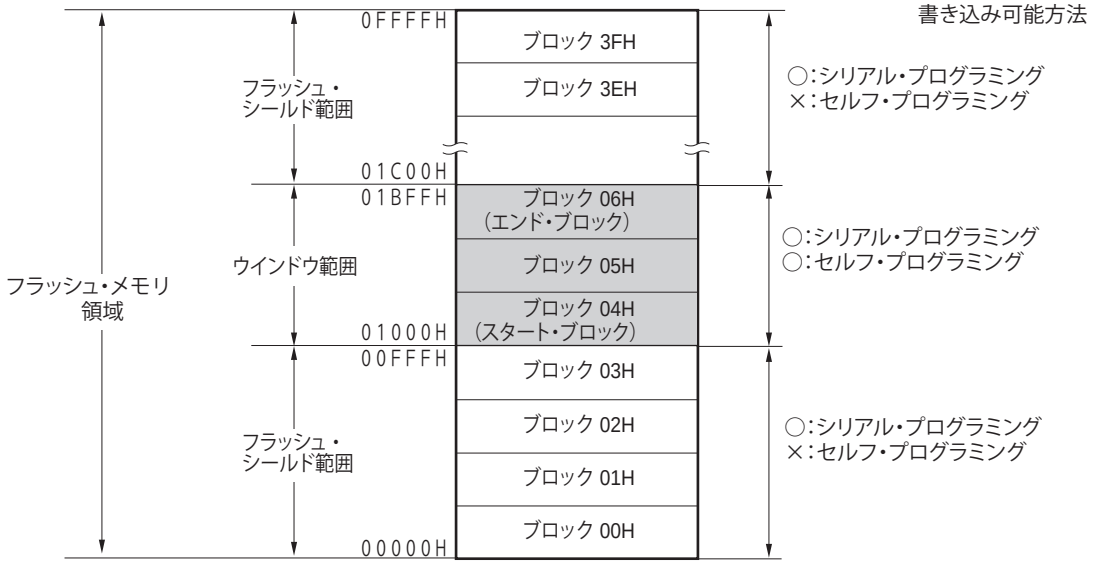
25. 6. 3　フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図25－11　フラッシュ・シールド・ウインドウの設定例
（対象デバイス：R5F100LE，スタート・ブロック：04H，エンド・ブロック：06Hの場合）



注意1.　**フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。**

2.　**フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。**

表25－11　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，25. 7　**セキュリティ設定**を参照してください。

25. 7　セキュリティ設定

RL78マイクロコントローラは，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

・ブロック消去禁止

シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

シリアル・プログラミング時に，コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後，Security Releaseコマンドによる解除はリセットで有効になります。

・ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表25－12に示します。

注意　ただし，専用フラッシュ・ライタのセキュリティ機能は，セルフ・プログラミングに対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は25. 6. 3を参照）。

表25－12　セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は25. 6. 3を参照）。

表25－13　各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

注意　“書き込み禁止”設定の解除は，“ブロック消去禁止”，“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後，無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

25. 8　データ・フラッシュ

25. 8. 1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- フラッシュ・データ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ･メモリの書き換えが可能。詳細は、RL78ファミリ フラッシュ・データ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは，1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは，8ビット単位でのみアクセス可能
- データ・フラッシュは，CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
- データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に，STOPモード状態に遷移することは禁止

注意1. リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30μs経過後にフラッシュ・データ・ライブラリを実行してください。

備考　ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては，25. 6　**セルフ・プログラミング**を参照してください。

25. 8. 2　データ・フラッシュを制御するレジスタ

25. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－12　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

25. 8. 3　データ・フラッシュへのアクセス手順

リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには，以下の手順で初期設定を行う必要があります。

初期設定後は，CPU命令による読み出し，またはフラッシュ・データ・ライブラリによる読み出し／書き換えが可能です。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を設定する。

② ソフトウエア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。

＜各フラッシュの動作モードでのセットアップ時間＞

- HS（高速メイン）モード時　：5 μs
- LS（低速メイン）モード時　：720 ns
- LV（低電圧メイン）モード時　：10 μs

③ セットアップ時間のウエイト完了後，データ・フラッシュへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。

3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30μs経過後にフラッシュ・データ・ライブラリを実行してください。

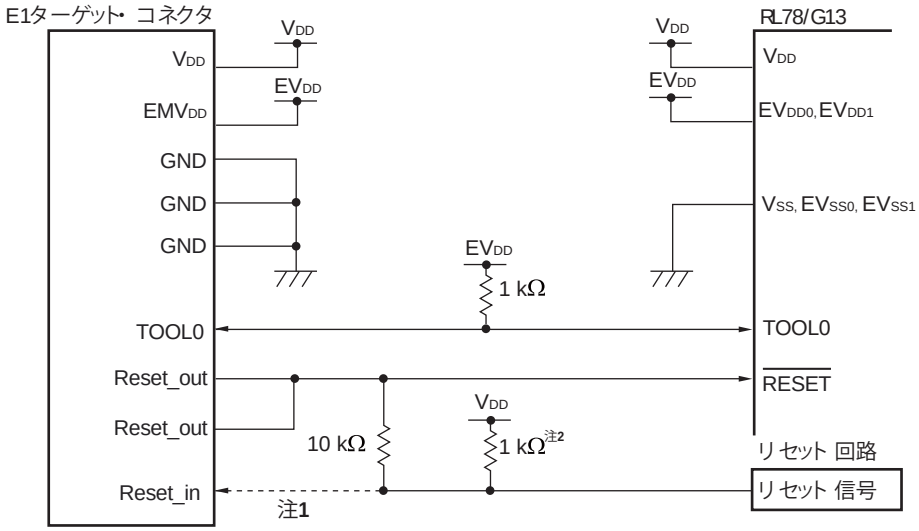
第26章　オンチップ・デバッグ機能

26. 1　E1オンチップデバッギングエミュレータとの接続

RL78マイクロコントローラは，オンチップ・デバッグ対応のE1オンチップデバッギングエミュレータを介して，ホスト・マシンとの通信を行う場合，V_{DD}, $\overline{RESET}$, TOOL0, V_{SS}端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図26－1　E1オンチップデバッギングエミュレータとの接続例



注1.　シリアル・プログラミング時，点線部の接続は必要ありません。

2.　ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100 Ω以下）を想定した回路例です。

備考　EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子が無い製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

26. 2　オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第24章　オプション・バイトを参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので，あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

表26－1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

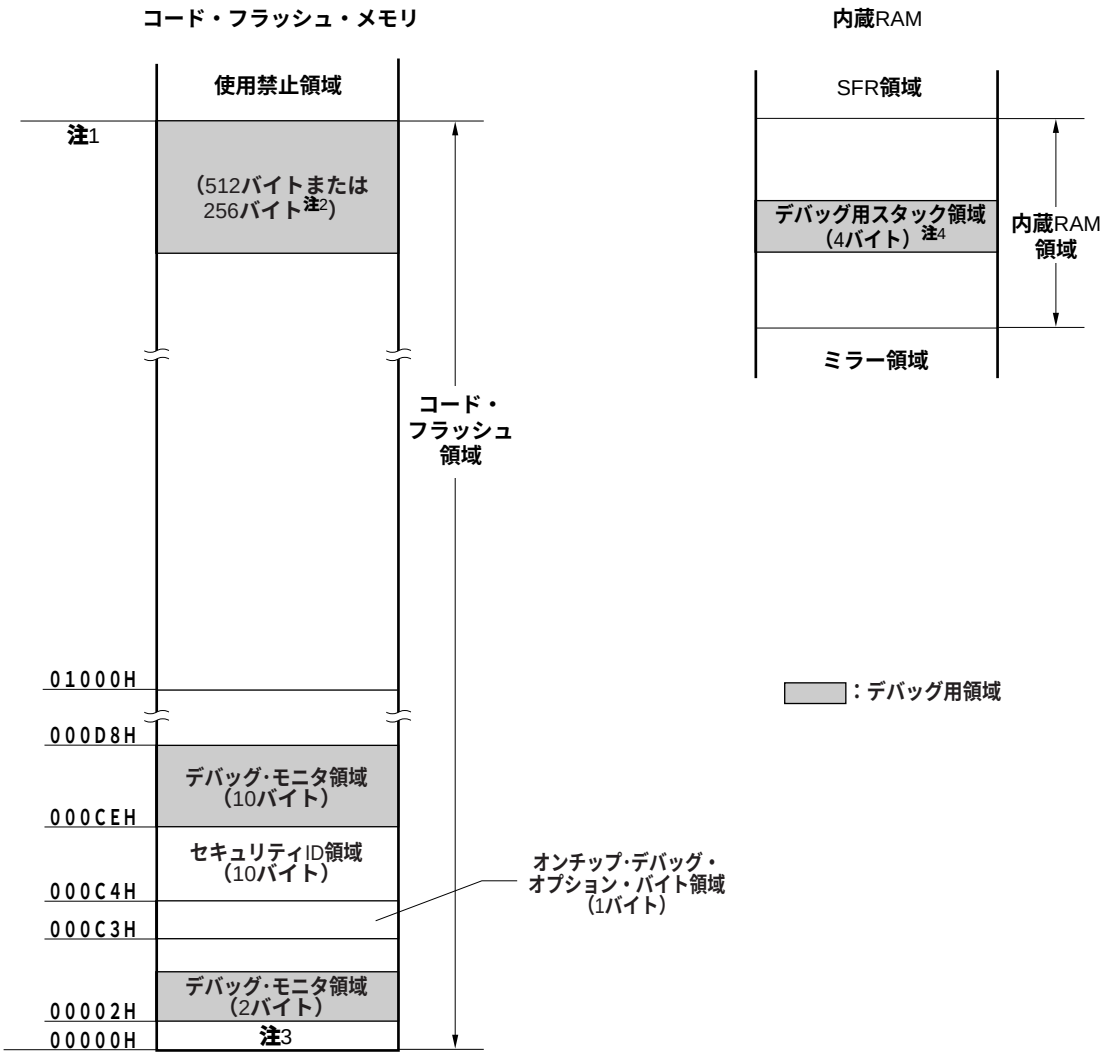
26. 3　ユーザ資源の確保

RL78マイクロコントローラとE1オンチップデバッギングエミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンク・オプションで設定することもできます。

（1）メモリ空間の確保

図26－2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図26－2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって，次のようにアドレスが異なります。

製品名	注1のアドレス
R5F100xA, R5F101xA（x = 6-8, A-C, E-G）	03FFFH
R5F100xC, R5F101xC（x = 6-8, A-C, E-G, J, L）	07FFFH
R5F100xD, R5F101xD（x = 6-8, A-C, E-G, J, L）	0BFFFH
R5F100xE, R5F101xE（x = 6-8, A-C, E-G, J, L）	0FFFFH
R5F100xF, R5F101xF（x = A-C, E-G, J, L, M, P）	17FFFH
R5F100xG, R5F101xG（x = A-C, E-G, J, L, M, P）	1FFFFH
R5F100xH, R5F101xH（x = E-G, J, L, M, P, S）	2FFFFH
R5F100xJ, R5F101xJ（x = F, G, J, L, M, P, S）	3FFFFH
R5F100xK, R5F101xK（x = F, G, J, L, M, P, S）	5FFFFH
R5F100xL, R5F101xL（x = F, G, J, L, M, P, S）	7FFFFH

2. **リアルタイムRAMモニタ（RRM）機能，Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。**
3. **デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。**
4. **この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4バイト余分に消費します。セルフ・プログラミングを行う場合は，12バイト余分に消費します。**

第27章　10進補正（BCD）回路

27. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

27. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

27. 2. 1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図27－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

27. 3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1　99＋89 = 188

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #99H　; ①	99H	－	－	－
ADD　A, #89H　; ②	22H	1	1	66H
ADD　A, !BCDADJ　; ③	88H	1	0	－

例2　85＋15 = 100

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #85H　; ①	85H	－	－	－
ADD　A, #15H　; ②	9AH	0	0	66H
ADD　A, !BCDADJ　; ③	00H	1	1	－

例3　80＋80 = 160

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #80H　; ①	80H	－	－	－
ADD　A, #80H　; ②	00H	1	0	60H
ADD　A, !BCDADJ　; ③	60H	1	0	－

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #91H　; ①	91H	－	－	－
SUB　A, #52H　; ②	3FH	0	1	06H
SUB　A, !BCDADJ　; ③	39H	0	0	－

第28章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，RL78マイクロコントローラ　ユーザーズ・マニュアル　ソフトウエア編（R01US0015）を参照してください。

28. 1　凡　　例

28. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（表28－1の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表28－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3－5 SFR一覧を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3－6　拡張SFR（2nd SFR）一覧を参照してください。

28. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表28－2　オペレーション欄の記号

記　号	機　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L X_S，X_H，X_L	16ビット・レジスタの場合はX_H =上位8ビット，X_L =下位8ビット 20ビット・レジスタの場合はX_S(ビット19-16)，X_H(ビット15-8)，X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∀	排他的論理和（exclusive OR）
¯	反転データ
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

28. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表28－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

28. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表28－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

28. 2　オペレーション一覧

表28－5　オペレーション一覧（1/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte			
		PSW, #byte	3	3	－	PSW ← byte	×	×	×
		CS, #byte	3	1	－	CS ← byte			
		ES, #byte	2	1	－	ES ← byte			
		!addr16, #byte	4	1	－	(addr16) ← byte			
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte			
		saddr, #byte	3	1	－	(saddr) ← byte			
		sfr, #byte	3	1	－	sfr ← byte			
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte			
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte			
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte			
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte			
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte			
		word[B], #byte	4	1	－	(B＋word) ← byte			
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte			
		word[C], #byte	4	1	－	(C＋word) ← byte			
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte			
		word[BC], #byte	4	1	－	(BC＋word) ← byte			
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte			
		A, r 注3	1	1	－	A ← r			
		r, A 注3	1	1	－	r ← A			
		A, PSW	2	1	－	A ← PSW			
		PSW, A	2	3	－	PSW ← A	×	×	×
		A, CS	2	1	－	A ← CS			
		CS, A	2	1	－	CS ← A			
		A, ES	2	1	－	A ← ES			
		ES, A	2	1	－	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	－	(addr16) ← A			
		ES:!addr16, A	4	2	－	(ES, addr16) ← A			
		A, saddr	2	1	－	A ← (saddr)			
		saddr, A	2	1	－	(saddr) ← A			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表28－5　オペレーション一覧（2/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr			
		sfr, A	2	1	－	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	－	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	－	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	－	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	－	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE＋byte)			
		[DE+byte], A	2	1	－	(DE＋byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)			
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL＋byte)			
		[HL+byte], A	2	1	－	(HL＋byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)			
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A			
		A, [SP+byte]	2	1	－	A ← (SP＋byte)			
		[SP+byte], A	2	1	－	(SP＋byte) ← A			
		A, word[B]	3	1	4	A ← (B＋word)			
		word[B], A	3	1	－	(B＋word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)			
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A			
		A, word[C]	3	1	4	A ← (C＋word)			
		word[C], A	3	1	－	(C＋word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)			
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A			
		A, word[BC]	3	1	4	A ← (BC＋word)			
		word[BC], A	3	1	－	(BC＋word) ← A			
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)			
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A			

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5 オペレーション一覧（3/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r 注3	1 (r = X) 2 (r = X 以外)	1	－	A ⟷ r	
		A, !addr16	4	2	－	A ⟷ (addr16)	
		A, ES:!addr16	5	3	－	A ⟷ (ES, addr16)	
		A, saddr	3	2	－	A ⟷ (saddr)	
		A, sfr	3	2	－	A ⟷ sfr	
		A, [DE]	2	2	－	A ⟷ (DE)	
		A, ES:[DE]	3	3	－	A ⟷ (ES, DE)	
		A, [HL]	2	2	－	A ⟷ (HL)	
		A, ES:[HL]	3	3	－	A ⟷ (ES, HL)	
		A, [DE+byte]	3	2	－	A ⟷ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ⟷ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ⟷ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ⟷ ((ES, HL)＋byte)	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表28－5 オペレーション一覧（4/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ←→ (HL＋B)			
		A, ES:[HL+B]	3	3	－	A ←→ ((ES, HL)＋B)			
		A, [HL+C]	2	2	－	A ←→ (HL＋C)			
		A, ES:[HL+C]	3	3	－	A ←→ ((ES, HL)＋C)			
	ONEB	A	1	1	－	A ← 01H			
		X	1	1	－	X ← 01H			
		B	1	1	－	B ← 01H			
		C	1	1	－	C ← 01H			
		!addr16	3	1	－	(addr16) ← 01H			
		ES:!addr16	4	2	－	(ES, addr16) ← 01H			
		saddr	2	1	－	(saddr) ← 01H			
	CLRB	A	1	1	－	A ← 00H			
		X	1	1	－	X ← 00H			
		B	1	1	－	B ← 00H			
		C	1	1	－	C ← 00H			
		!addr16	3	1	－	(addr16) ← 00H			
		ES:!addr16	4	2	－	(ES,addr16) ← 00H			
		saddr	2	1	－	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	×		×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word			
		saddrp, #word	4	1	－	(saddrp) ← word			
		sfrp, #word	4	1	－	sfrp ← word			
		AX, rp 注3	1	1	－	AX ← rp			
		rp, AX 注3	1	1	－	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	－	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX			
		AX, saddrp	2	1	－	AX ← (saddrp)			
		saddrp, AX	2	1	－	(saddrp) ← AX			
		AX, sfrp	2	1	－	AX ← sfrp			
		sfrp, AX	2	1	－	sfrp ← AX			

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）**数。**

2. **コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）**数。**

3. rp = AX**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（5/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	–	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	–	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	–	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	–	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE＋byte)			
		[DE+byte], AX	2	1	–	(DE＋byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)＋byte)			
		ES:[DE+byte], AX	3	2	–	((ES, DE)＋byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL＋byte)			
		[HL+byte], AX	2	1	–	(HL＋byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)＋byte)			
		ES:[HL+byte], AX	3	2	–	((ES, HL)＋byte) ← AX			
		AX, [SP+byte]	2	1	–	AX ← (SP＋byte)			
		[SP+byte], AX	2	1	–	(SP＋byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B＋word)			
		word[B], AX	3	1	–	(B＋word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)＋word)			
		ES:word[B], AX	4	2	–	((ES, B)＋word) ← AX			
		AX, word[C]	3	1	4	AX ← (C＋word)			
		word[C], AX	3	1	–	(C＋word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)＋word)			
		ES:word[C], AX	4	2	–	((ES, C)＋word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC＋word)			
		word[BC], AX	3	1	–	(BC＋word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)＋word)			
		ES:word[BC], AX	4	2	–	((ES, BC)＋word) ← AX			

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（6/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	－	BC ← (saddrp)			
		DE, saddrp	2	1	－	DE ← (saddrp)			
		HL, saddrp	2	1	－	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	－	AX ←→ rp			
	ONEW	AX	1	1	－	AX ← 0001H			
		BC	1	1	－	BC ← 0001H			
	CLRW	AX	1	1	－	AX ← 0000H			
		BC	1	1	－	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A＋byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte	×	×	×
		A, r 注4	2	1	－	A, CY ← A＋r	×	×	×
		r, A	2	1	－	r, CY ← r＋A	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	×	×	×

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3.　rp = AX**を除く。**

4.　r = A**を除く。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（7/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3.　r = A**を除く。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（8/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r 注3	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3.　r = A**を除く。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（9/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∨byte	×		
		A, r 注3	2	1	－	A ← A∨r	×		
		r, A	2	1	－	r ← r∨A	×		
		A, !addr16	3	1	4	A ← A∨(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∨(saddr)	×		
		A, [HL]	1	1	4	A ← A∨(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∨(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∨(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∨(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)＋C)	×		
	XOR	A, #byte	2	1	－	A ← A∀byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∀byte	×		
		A, r 注3	2	1	－	A ← A∀r	×		
		r, A	2	1	－	r ← r∀A	×		
		A, !addr16	3	1	4	A ← A∀(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∀(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∀(saddr)	×		
		A, [HL]	1	1	4	A ← A∀(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∀(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∀(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∀((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∀(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∀((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∀(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∀((ES:HL)＋C)	×		

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3.　r = A**を除く。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（10/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r 注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	0	0
		X	1	1	－	X－00H	×	0	0
		B	1	1	－	B－00H	×	0	0
		C	1	1	－	C－00H	×	0	0
		!addr16	3	1	4	(addr16)－00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	0	0
		saddr	2	1	－	(saddr)－00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3.　r = A**を除く。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。

表28－5　オペレーション一覧（11/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	1	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	1	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	1	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	1	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	1	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	1	－	AX－word	×	×	×
		AX, BC	1	1	－	AX－BC	×	×	×
		AX, DE	1	1	－	AX－DE	×	×	×
		AX, HL	1	1	－	AX－HL	×	×	×
		AX, !addr16	3	1	4	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX－((ES:HL)＋byte)	×	×	×
乗算	MULU	X	1	1	－	AX ← A×X			

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（12/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	－	r ← r＋1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)＋1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)＋1	×	×	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	×	×	
	DEC	r	1	1	－	r ← r－1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)－1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)－1	×	×	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	×	×	
	INCW	rp	1	1	－	rp ← rp＋1			
		!addr16	3	2	－	(addr16) ← (addr16)＋1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1			
		saddrp	2	2	－	(saddrp) ← (saddrp)＋1			
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1			
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1			
	DECW	rp	1	1	－	rp ← rp－1			
		!addr16	3	2	－	(addr16) ← (addr16)－1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)－1			
		saddrp	2	2	－	(saddrp) ← (saddrp)－1			
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1			
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1			
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt			×
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt			×
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt			×
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt			×
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt			×
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt			×
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt			×
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt			×
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt			×

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考1.　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

2.　cnt**はビット・シフト数です。**

表28－5　オペレーション一覧（13/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m)×1			×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m)×1			×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m)×1			×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m)×1			×
	ROLWC	AX,1	2	1	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1			×
		BC,1	2	1	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1			×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit			×
		A.bit, CY	2	1	－	A.bit ← CY			
		CY, PSW.bit	3	1	－	CY ← PSW.bit			×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	－	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY			
		CY, sfr.bit	3	1	－	CY ← sfr.bit			×
		sfr.bit, CY	3	2	－	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	－	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（14/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∀A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∀PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∀(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∀sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∀(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∀(ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr.bit) ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		[HL].bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← $\overline{CY}$			×

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（15/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	3	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC ← CS, rp, SP ← SP－4			
		$!addr20	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← PC＋3＋jdisp16, SP ← SP－4			
		!addr16	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← 0000, addr16, SP ← SP－4			
		!!addr20	4	3	－	(SP－2) ← $(PC+4)_S$, (SP－3) ← $(PC+4)_H$, (SP－4) ← $(PC+4)_L$, PC ← addr20, SP ← SP－4			
	CALLT	[addr5]	2	5	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0000, addr5＋1), PC_L ← (0000, addr5), SP ← SP－4			
	BRK	－	2	5	－	(SP－1) ← PSW, (SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0007FH), PC_L ← (0007EH), SP ← SP－4, IE ← 0			
	RET	－	1	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), SP ← SP＋4			
	RETI	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R
	RETB	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R

注1.　**内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2.　**コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考　**クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5 オペレーション一覧（16/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	－	(SP－1) ← PSW, (SP－2) ← 00H, SP ← SP－2			
		rp	1	1	－	(SP－1) ← rp_H, (SP－2) ← rp_L, SP ← SP－2			
	POP	PSW	2	3	－	PSW ← (SP＋1) , SP ← SP＋2	R	R	R
		rp	1	1	－	rp_L ← (SP) , rp_H ← (SP＋1) , SP ← SP＋2			
	MOVW	SP, #word	4	1	－	SP ← word			
		SP, AX	2	1	－	SP ← AX			
		AX, SP	2	1	－	AX ← SP			
		HL, SP	3	1	－	HL ← SP			
		BC, SP	3	1	－	BC ← SP			
		DE, SP	3	1	－	DE ← SP			
	ADDW	SP, #byte	2	1	－	SP ← SP＋byte			
	SUBW	SP, #byte	2	1	－	SP ← SP－byte			
無条件分岐	BR	AX	2	3	－	PC ← CS, AX			
		$addr20	2	3	－	PC ← PC＋2＋jdisp8			
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16			
		!addr16	3	3	－	PC ← 0000, addr16			
		!!addr20	4	3	－	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if CY = 1			
	BNC	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if CY = 0			
	BZ	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if Z = 0			
	BH	$addr20	3	2/4 注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=0			
	BNH	$addr20	3	2/4 注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, $addr20	4	3/5 注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5 注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5 注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5 注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1			

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）**数。**

2. **コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）**数。**

3. **クロック数は“条件不成立時／条件成立時”を表しています。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5 オペレーション一覧（17/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5[注3]	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6[注3]	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6[注3]	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	－	2	1	－	Next instruction skip if CY = 1			
	SKNC	－	2	1	－	Next instruction skip if CY = 0			
	SKZ	－	2	1	－	Next instruction skip if Z = 1			
	SKNZ	－	2	1	－	Next instruction skip if Z = 0			
	SKH	－	2	1	－	Next instruction skip if (Z∨CY)=0			
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY)=1			
CPU制御	SEL[注4]	RBn	2	1	－	RBS[1:0] ← n			
	NOP	－	1	1	－	No Operation			
	EI	－	3	4	－	IE ← 1(Enable Interrupt)			
	DI	－	3	4	－	IE ← 0(Disable Interrupt)			
	HALT	－	2	3	－	Set HALT Mode			
	STOP	－	2	3	－	Set STOP Mode			

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2. **コード・フラッシュ領域および**8**ビット命令でデータ・フラッシュ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3. **クロック数は“条件不成立時／条件成立時”を表しています。**

4. n**はレジスタ・バンク番号です**（n = 0-3）。

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

第29章　電気的特性（A, D：T_A = –40～＋85℃）

この章では，A：民生用途（T_A = –40～＋85℃），D：産業用途（T_A = –40～＋85℃）の電気的特性を示します。

注意1. RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

3. 製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。

29. 1　絶対最大定格

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}		−0.5～＋6.5	V
	EV_{DD0}, EV_{DD1}	EV_{DD0} = EV_{DD1}	−0.5～＋6.5	V
	EV_{SS0}, EV_{SS1}	EV_{SS0} = EV_{SS1}	−0.5～＋0.3	V
REGC端子入力電圧	V_{IREGC}	REGC	−0.3～＋2.8 かつ−0.3～V_{DD}＋0.3[注1]	V
入力電圧	V_{I1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	−0.3～EV_{DD0}＋0.3 かつ−0.3～V_{DD}＋0.3[注2]	V
	V_{I2}	P60-P63（N-chオープン・ドレイン）	−0.3～＋6.5	V
	V_{I3}	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, $\overline{\text{RESET}}$	−0.3～V_{DD}＋0.3[注2]	V
出力電圧	V_{O1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	−0.3～EV_{DD0}＋0.3 かつ−0.3～V_{DD}＋0.3[注2]	V
	V_{O2}	P20-P27, P150-P156	−0.3～V_{DD}＋0.3[注2]	V
アナログ入力電圧	V_{AI1}	ANI16-ANI26	−0.3～EV_{DD0}＋0.3 かつ−0.3～AV_{REF}(+)＋0.3[注2, 3]	V
	V_{AI2}	ANI0-ANI14	−0.3～V_{DD}＋0.3 かつ−0.3～AV_{REF}(+)＋0.3[注2, 3]	V

注 1. REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

3. A/D変換対象の端子は，AV_{REF}(+)＋0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1. 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2. AV_{REF}(+)：A/Dコンバータの＋側基準電圧

3. V_{SS}を基準電圧とする。

絶対最大定格（TA = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	－40	mA
		端子合計 －170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	－70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	－100	mA
	I_{OH2}	1端子	P20-P27, P150-P156	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
	I_{OL2}	1端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		－40～＋85	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			－65～＋150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

29. 2　発振回路特性

29. 2. 1　X1, XT1発振回路特性

（TA = －40～＋85 ℃，1.6 V≦VDD≦5.5 V, VSS = 0 V）

項　目	発振子	条　件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数（fX）注	セラミック発振子／水晶振動子	2.7 V≦VDD≦5.5 V	1.0		20.0	MHz
		2.4 V≦VDD＜2.7 V	1.0		16.0	
		1.8 V≦VDD＜2.4 V	1.0		8.0	
		1.6 V≦VDD＜1.8 V	1.0		4.0	
XT1クロック発振周波数（fXT）注	水晶振動子		32	32.768	35	kHz

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。
　　また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は、5. 4　システム・クロック発振回路を参照してください。

29. 2. 2　オンチップ・オシレータ特性

（TA = －40～＋85 ℃，1.6 V≦VDD≦5.5 V, VSS =0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	fIH			1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度		－20～＋85 ℃	1.8 V≦VDD≦5.5 V	－1.0		＋1.0	%
			1.6 V≦VDD＜1.8 V	－5.0		＋5.0	%
		－40～－20 ℃	1.8 V≦VDD≦5.5 V	－1.5		＋1.5	%
			1.6 V≦VDD＜1.8 V	－5.5		＋5.5	%
低速オンチップ・オシレータ・クロック周波数	fIL				15		kHz
低速オンチップ・オシレータ・クロック周波数精度				－15		＋15	%

注1.　高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/010C2H）のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。
　2.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

29. 3　DC特性

29. 3. 1　端子特性

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} =0 V）　(1/5)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147　1端子	1.6 V≦EV_{DD0}≦5.5 V			－10.0[注2]	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計（デューティ ≦ 70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			－55.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			－10.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			－5.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			－2.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147　合計（デューティ ≦ 70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			－80.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			－19.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			－10.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			－5.0	mA
		全端子合計（デューティ ≦ 70 %時[注3]）	1.6 V≦EV_{DD0}≦5.5 V			－135.0[注4]	mA
	I_{OH2}	P20-P27, P150-P156 1端子	1.6 V≦V_{DD}≦5.5 V			－0.1[注2]	mA
		全端子合計（デューティ ≦ 70 %時[注3]）	1.6 V≦V_{DD}≦5.5 V			－1.5	mA

注 1. EV_{DD0}, EV_{DD1}, V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2. ただし，合計の電流値を超えないでください。

3. デューティ ≦ 70 %の条件での出力電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）
＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %
端子合計の出力電流 =（－10.0×0.7）／（80×0.01）　－8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

4. 産業用途向け製品（R5F100xxDxx, R5F101xxDxx）は，－100 mAです。

注意　P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/5）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147　1端子				20.0[注2]	mA
		P60-P63 1端子				15.0[注2]	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計（デューティ ≦ 70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			70.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			9.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147　合計（デューティ ≦ 70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			80.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
			1.8 V≦EV_{DD0}＜2.7 V			20.0	mA
			1.6 V≦EV_{DD0}＜1.8 V			10.0	mA
		全端子合計（デューティ ≦ 70 %時[注3]）				150.0	mA
	I_{OL2}	P20-P27, P150-P156 1端子				0.4[注2]	mA
		全端子合計（デューティ ≦ 70 %時[注3]）	1.6 V≦V_{DD}≦5.5 V			5.0	mA

注 1.　出力端子からEV_{SS0}, EV_{SS1}, V_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2.　合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流 =（10.0×0.7）／（80×0.01）　8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） (3/5)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8EV_{DD0}		EV_{DD0}	V
	V_{IH2}	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0}	V
			TTL入力バッファ 3.3 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0}	V
			TTL入力バッファ 1.6 V≦EV_{DD0}＜3.3 V	1.5		EV_{DD0}	V
	V_{IH3}	P20-P27, P150-P156		0.7V_{DD}		V_{DD}	V
	V_{IH4}	P60-P63		0.7EV_{DD0}		6.0	V
	V_{IH5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{RESET}$		0.8V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2EV_{DD0}	V
	V_{IL2}	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦EV_{DD0}＜4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V≦EV_{DD0}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P27, P150-P156		0		0.3V_{DD}	V
	V_{IL4}	P60-P63		0		0.3EV_{DD0}	V
	V_{IL5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{RESET}$		0		0.2V_{DD}	V

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はEV_{DD0}です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） (4/5)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = －10.0 mA	EV_{DD0}－1.5			V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = －3.0 mA	EV_{DD0}－0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = －2.0 mA	EV_{DD0}－0.6			V
			1.8 V≦EV_{DD0}≦5.5 V, I_{OH1} = －1.5 mA	EV_{DD0}－0.5			V
			1.6 V≦EV_{DD0}＜5.5 V, I_{OH1} = －1.0 mA	EV_{DD0}－0.5			V
	V_{OH2}	P20-P27, P150-P156	1.6 V≦V_{DD}≦5.5 V, I_{OH2} = －100 μA	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 20.0 mA			1.3	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 3.0 mA			0.6	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
			1.8 V≦EV_{DD0}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
			1.6 V≦EV_{DD0}＜5.5 V, I_{OL1} = 0.3 mA			0.4	V
	V_{OL2}	P20-P27, P150-P156	1.6 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P60-P63	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 15.0 mA			2.0	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 5.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 3.0 mA			0.4	V
			1.8 V≦EV_{DD0}≦5.5 V, I_{OL3} = 2.0 mA			0.4	V
			1.6 V≦EV_{DD0}＜5.5 V, I_{OL3} = 1.0 mA			0.4	V

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144**は，**N-ch**オープン・ドレイン・モード時には，ハイ・レベル出力しません。**

備考 **特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。**

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　(5/5)

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V_I = EV_{DD0}				1	μA
	I_{LIH2}	P20-P27, P137, P150-P156, $\overline{RESET}$	V_I = V_{DD}				1	μA
	I_{LIH3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V_I = EV_{SS0}				－1	μA
	I_{LIL2}	P20-P27, P137, P150-P156, $\overline{RESET}$	V_I = V_{SS}				－1	μA
	I_{LIL3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
内蔵プルアップ抵抗	R_U	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V_I = EV_{SS0}，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

29. 3. 2　電源電流特性

（1）20～64ピン製品のフラッシュROM16～64 KBの製品

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} =0 V）　　**（1/2）**

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 32 MHz[注3]	基本動作	V_{DD} = 5.0 V		2.1		mA
						V_{DD} = 3.0 V		2.1		
					通常動作	V_{DD} = 5.0 V		4.6	7.0	mA
						V_{DD} = 3.0 V		4.6	7.0	
				f_{IH} = 24 MHz[注3]	通常動作	V_{DD} = 5.0 V		3.7	5.5	mA
						V_{DD} = 3.0 V		3.7	5.5	
				f_{IH} = 16 MHz[注3]	通常動作	V_{DD} = 5.0 V		2.7	4.0	mA
						V_{DD} = 3.0 V		2.7	4.0	
			LS（低速メイン）モード[注5]	f_{IH} = 8 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.2	1.8	mA
						V_{DD} = 2.0 V		1.2	1.8	
			LV（低電圧メイン）モード[注5]	f_{IH} = 4 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.2	1.7	mA
						V_{DD} = 2.0 V		1.2	1.7	
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力		3.0	4.6	mA
						発振子接続		3.2	4.8	
				f_{MX} = 20 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		3.0	4.6	mA
						発振子接続		3.2	4.8	
				f_{MX} = 10 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力		1.9	2.7	mA
						発振子接続		1.9	2.7	
				f_{MX} = 10 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		1.9	2.7	mA
						発振子接続		1.9	2.7	
			LS（低速メイン）モード[注5]	f_{MX} = 8 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		1.1	1.7	mA
						発振子接続		1.1	1.7	
				f_{MX} = 8 MHz[注2]，V_{DD} = 2.0 V	通常動作	方形波入力		1.1	1.7	mA
						発振子接続		1.1	1.7	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		4.2	5.5	μA
						発振子接続		4.3	5.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		4.3	6.3	μA
						発振子接続		4.4	6.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		4.6	7.7	μA
						発振子接続		4.7	7.8	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，サブシステム・クロックは停止時。

4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。RTC, 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード	：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
	2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
LS（低速メイン）モード	：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz
LV（低電圧メイン）モード	：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

備考 1. f_{MX} ：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH} ：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB} ：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（1）20～64ピン製品のフラッシュROM16～64 KBの製品

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} =0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALTモード	HS（高速メイン）モード[注7]	f_{IH} = 32 MHz[注4]	V_{DD} = 5.0 V		0.54	1.63	mA
					V_{DD} = 3.0 V		0.54	1.63	
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.44	1.28	mA
					V_{DD} = 3.0 V		0.44	1.28	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.40	1.00	mA
					V_{DD} = 3.0 V		0.40	1.00	
			LS（低速メイン）モード[注7]	f_{IH} = 8 MHz[注4]	V_{DD} = 3.0 V		260	530	μA
					V_{DD} = 2.0 V		260	530	
			LV（低電圧メイン）モード[注7]	f_{IH} = 4 MHz[注4]	V_{DD} = 3.0 V		420	640	μA
					V_{DD} = 2.0 V		420	640	
			HS（高速メイン）モード[注7]	f_{MX} = 20 MHz[注3]，	方形波入力		0.28	1.00	mA
				V_{DD} = 5.0 V	発振子接続		0.45	1.17	
				f_{MX} = 20 MHz[注3]，	方形波入力		0.28	1.00	mA
				V_{DD} = 3.0 V	発振子接続		0.45	1.17	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.19	0.60	mA
				V_{DD} = 5.0 V	発振子接続		0.26	0.67	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.19	0.60	mA
				V_{DD} = 3.0 V	発振子接続		0.26	0.67	
			LS（低速メイン）モード[注7]	f_{MX} = 8 MHz[注3]，	方形波入力		95	330	μA
				V_{DD} = 3.0 V	発振子接続		145	380	
				f_{MX} = 8 MHz[注3]，	方形波入力		95	330	μA
				V_{DD} = 2.0 V	発振子接続		145	380	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注5]	方形波入力		0.25	0.57	μA
				T_A = －40℃	発振子接続		0.44	0.76	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.30	0.57	μA
				T_A = ＋25℃	発振子接続		0.49	0.76	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.37	1.17	μA
				T_A = ＋50℃	発振子接続		0.56	1.36	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.53	1.97	μA
				T_A = ＋70℃	発振子接続		0.72	2.16	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.82	3.37	μA
				T_A = ＋85℃	発振子接続		1.01	3.56	
	I_{DD3}[注6]	STOPモード[注8]	T_A = －40℃				0.18	0.50	μA
			T_A = ＋25℃				0.23	0.50	
			T_A = ＋50℃				0.30	1.10	
			T_A = ＋70℃				0.46	1.90	
			T_A = ＋85℃				0.75	3.30	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

4. 高速システム・クロック，サブシステム・クロックは停止時。

5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
   RTCLPC = 1, かつ超低消費発振（AMPHS1 = 1）設定時。RTCに流れる電流は含みます。ただし，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

6. RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
   HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
   　　2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
   LS（低速メイン）モード　：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz
   LV（低電圧メイン）モード　：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考 1. f_{MX} ：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH} ：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB} ：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（2）30～100ピン製品のフラッシュROM96～256 KBの製品

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（1/2）

項　目	略号	条　件						MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 32 MHz[注3]	基本動作	V_{DD} = 5.0 V			2.3		mA
						V_{DD} = 3.0 V			2.3		
					通常動作	V_{DD} = 5.0 V			5.2	8.5	mA
						V_{DD} = 3.0 V			5.2	8.5	
				f_{IH} = 24 MHz[注3]	通常動作	V_{DD} = 5.0 V			4.1	6.6	mA
						V_{DD} = 3.0 V			4.1	6.6	
				f_{IH} = 16 MHz[注3]	通常動作	V_{DD} = 5.0 V			3.0	4.7	mA
						V_{DD} = 3.0 V			3.0	4.7	
			LS（低速メイン）モード[注5]	f_{IH} = 8 MHz[注3]	通常動作	V_{DD} = 3.0 V			1.3	2.1	mA
						V_{DD} = 2.0 V			1.3	2.1	
			LV（低電圧メイン）モード[注5]	f_{IH} = 4 MHz[注3]	通常動作	V_{DD} = 3.0 V			1.3	1.8	mA
						V_{DD} = 2.0 V			1.3	1.8	
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力			3.4	5.5	mA
						発振子接続			3.6	5.7	
				f_{MX} = 20 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力			3.4	5.5	mA
						発振子接続			3.6	5.7	
				f_{MX} = 10 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力			2.1	3.2	mA
						発振子接続			2.1	3.2	
				f_{MX} = 10 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力			2.1	3.2	mA
						発振子接続			2.1	3.2	
			LS（低速メイン）モード[注5]	f_{MX} = 8 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力			1.2	2.0	mA
						発振子接続			1.2	2.0	
				f_{MX} = 8 MHz[注2]，V_{DD} = 2.0 V	通常動作	方形波入力			1.2	2.0	mA
						発振子接続			1.2	2.0	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力			4.8	5.9	μA
						発振子接続			4.9	6.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力			4.9	5.9	μA
						発振子接続			5.0	6.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力			5.0	7.6	μA
						発振子接続			5.1	7.7	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力			5.2	9.3	μA
						発振子接続			5.3	9.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力			5.7	13.3	μA
						発振子接続			5.8	13.4	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，サブシステム・クロックは停止時。

4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。RTC, 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
　　2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

LS（低速メイン）モード　：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

LV（低電圧メイン）モード　：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

備考 1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（2）30～100ピン製品のフラッシュROM96～256 KBの製品

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALTモード	HS（高速メイン）モード[注7]	f_{IH} = 32 MHz[注4]	V_{DD} = 5.0 V		0.62	1.86	mA
					V_{DD} = 3.0 V		0.62	1.86	
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.50	1.45	mA
					V_{DD} = 3.0 V		0.50	1.45	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.44	1.11	mA
					V_{DD} = 3.0 V		0.44	1.11	
			LS（低速メイン）モード[注7]	f_{IH} = 8 MHz[注4]	V_{DD} = 3.0 V		290	620	μA
					V_{DD} = 2.0 V		290	620	
			LV（低電圧メイン）モード[注7]	f_{IH} = 4 MHz[注4]	V_{DD} = 3.0 V		440	680	μA
					V_{DD} = 2.0 V		440	680	
			HS（高速メイン）モード[注7]	f_{MX} = 20 MHz[注3]，	方形波入力		0.31	1.08	mA
				V_{DD} = 5.0 V	発振子接続		0.48	1.28	
				f_{MX} = 20 MHz[注3]，	方形波入力		0.31	1.08	mA
				V_{DD} = 3.0 V	発振子接続		0.48	1.28	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.21	0.63	mA
				V_{DD} = 5.0 V	発振子接続		0.28	0.71	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.21	0.63	mA
				V_{DD} = 3.0 V	発振子接続		0.28	0.71	
			LS（低速メイン）モード[注7]	f_{MX} = 8 MHz[注3]，	方形波入力		110	360	μA
				V_{DD} = 3.0 V	発振子接続		160	420	
				f_{MX} = 8 MHz[注3]，	方形波入力		110	360	μA
				V_{DD} = 2.0 V	発振子接続		160	420	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注5]	方形波入力		0.28	0.61	μA
				T_A = －40℃	発振子接続		0.47	0.80	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.34	0.61	μA
				T_A = ＋25℃	発振子接続		0.53	0.80	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.41	2.30	μA
				T_A = ＋50℃	発振子接続		0.60	2.49	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.64	4.03	μA
				T_A = ＋70℃	発振子接続		0.83	4.22	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		1.09	8.04	μA
				T_A = ＋85℃	発振子接続		1.28	8.23	
	I_{DD3}[注6]	STOPモード[注8]	T_A = －40℃				0.19	0.52	μA
			T_A = ＋25℃				0.25	0.52	
			T_A = ＋50℃				0.32	2.21	
			T_A = ＋70℃				0.55	3.94	
			T_A = ＋85℃				1.00	7.95	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
4. 高速システム・クロック，サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
   RTCLPC = 1, かつ超低消費発振（AMPHS1 = 1）設定時。RTCに流れる電流は含みます。ただし，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
6. RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
   HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
   　　2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
   LS（低速メイン）モード　：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz
   LV（低電圧メイン）モード　：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz
8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数
3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）
4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（3）44～100ピン製品のフラッシュROM: 384, 512 KBの製品と，128ピン製品

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（1/2）

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 32 MHz[注3]	基本動作	V_{DD} = 5.0 V		2.6		mA
						V_{DD} = 3.0 V		2.6		
					通常動作	V_{DD} = 5.0 V		6.1	9.5	mA
						V_{DD} = 3.0 V		6.1	9.5	
				f_{IH} = 24 MHz[注3]	通常動作	V_{DD} = 5.0 V		4.8	7.4	mA
						V_{DD} = 3.0 V		4.8	7.4	
				f_{IH} = 16 MHz[注3]	通常動作	V_{DD} = 5.0 V		3.5	5.3	mA
						V_{DD} = 3.0 V		3.5	5.3	
			LS（低速メイン）モード[注5]	f_{IH} = 8 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.5	2.3	mA
						V_{DD} = 2.0 V		1.5	2.3	
			LV（低電圧メイン）モード[注5]	f_{IH} = 4 MHz[注3]	通常動作	V_{DD} = 3.0 V		1.5	2.0	mA
						V_{DD} = 2.0 V		1.5	2.0	
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力		3.9	6.1	mA
						発振子接続		4.1	6.3	
				f_{MX} = 20 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		3.9	6.1	mA
						発振子接続		4.1	6.3	
				f_{MX} = 10 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力		2.5	3.7	mA
						発振子接続		2.5	3.7	
				f_{MX} = 10 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		2.5	3.7	mA
						発振子接続		2.5	3.7	
			LS（低速メイン）モード[注5]	f_{MX} = 8 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		1.4	2.2	mA
						発振子接続		1.4	2.2	
				f_{MX} = 8 MHz[注2]，V_{DD} = 2.0 V	通常動作	方形波入力		1.4	2.2	mA
						発振子接続		1.4	2.2	
			サブ・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		5.4	6.5	μA
						発振子接続		5.5	6.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		5.5	6.5	μA
						発振子接続		5.6	6.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		5.6	9.4	μA
						発振子接続		5.7	9.5	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		5.9	12.0	μA
						発振子接続		6.0	12.1	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		6.6	16.3	μA
						発振子接続		6.7	16.4	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，サブシステム・クロックは停止時。

4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。RTC, 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード	：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
	2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
LS（低速メイン）モード	：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz
LV（低電圧メイン）モード	：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz

備考1. f_{MX} ：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH} ：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB} ：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（3）44～100ピン製品のフラッシュROM: 384, 512 KBの製品と，128ピン製品

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALTモード	HS（高速メイン）モード[注7]	f_{IH} = 32 MHz[注4]	V_{DD} = 5.0 V		0.62	1.89	mA
					V_{DD} = 3.0 V		0.62	1.89	
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.50	1.48	mA
					V_{DD} = 3.0 V		0.50	1.48	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.44	1.12	mA
					V_{DD} = 3.0 V		0.44	1.12	
			LS（低速メイン）モード[注7]	f_{IH} = 8 MHz[注4]	V_{DD} = 3.0 V		290	620	μA
					V_{DD} = 2.0 V		290	620	
			LV（低電圧メイン）モード[注7]	f_{IH} = 4 MHz[注4]	V_{DD} = 3.0 V		460	700	μA
					V_{DD} = 2.0 V		460	700	
			HS（高速メイン）モード[注7]	f_{MX} = 20 MHz[注3]，	方形波入力		0.31	1.14	mA
				V_{DD} = 5.0 V	発振子接続		0.48	1.34	
				f_{MX} = 20 MHz[注3]，	方形波入力		0.31	1.14	mA
				V_{DD} = 3.0 V	発振子接続		0.48	1.34	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.21	0.68	mA
				V_{DD} = 5.0 V	発振子接続		0.28	0.76	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.21	0.68	mA
				V_{DD} = 3.0 V	発振子接続		0.28	0.76	
			LS（低速メイン）モード[注7]	f_{MX} = 8 MHz[注3]，	方形波入力		110	390	μA
				V_{DD} = 3.0 V	発振子接続		160	450	
				f_{MX} = 8 MHz[注3]，	方形波入力		110	390	μA
				V_{DD} = 2.0 V	発振子接続		160	450	
			サブ・クロック動作	f_{SUB} = 32.768 kHz[注5]	方形波入力		0.31	0.66	μA
				T_A = －40℃	発振子接続		0.50	0.85	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.38	0.66	μA
				T_A = ＋25℃	発振子接続		0.57	0.85	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.47	3.49	μA
				T_A = ＋50℃	発振子接続		0.66	3.68	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.80	6.10	μA
				T_A = ＋70℃	発振子接続		0.99	6.29	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		1.52	10.46	μA
				T_A = ＋85℃	発振子接続		1.71	10.65	
	I_{DD3}[注6]	STOPモード[注8]	T_A = －40℃				0.19	0.54	μA
			T_A = ＋25℃				0.26	0.54	
			T_A = ＋50℃				0.35	3.37	
			T_A = ＋70℃				0.68	5.98	
			T_A = ＋85℃				1.40	10.34	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
4. 高速システム・クロック，サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
   RTCLPC = 1, かつ超低消費発振（AMPHS1 = 1）設定時。RTCに流れる電流は含みます。ただし，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
6. RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
   HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
   　　2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
   LS（低速メイン）モード　：1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz
   LV（低電圧メイン）モード　：1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz
8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考 1. f_{MX} ：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
2. f_{IH} ：高速オンチップ・オシレータ・クロック周波数
3. f_{SUB} ：サブシステム・クロック周波数（XT1クロック発振周波数）
4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（4）周辺機能（全製品共通）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.20		μA
RTC動作電流	I_{RTC} 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	I_{IT} 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2, 5	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 6	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I_{ADREF} 注1				75.0		μA
温度センサ動作電流	I_{TMPS} 注1				75.0		μA
LVD動作電流	I_{LVD} 注1, 7				0.08		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 9				2.50	12.20	mA
BGO電流	I_{BGO} 注1, 8				2.50	12.20	mA
SNOOZE動作電流	I_{SNOZ} 注1	ADC動作	モード遷移中 注10		0.50	0.60	mA
			変換動作中，低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		1.20	1.44	
		CSI/UART動作			0.70	0.84	

注 1. V_{DD}に流れる電流です

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は，I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，I_{DD1}またはI_{DD2}にI_{IT}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。

5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。

6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。

7. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。

8. データ・フラッシュ書き換え動作に流れる電流です。
9. セルフ・プログラミング動作に流れる電流です。
10. SNOOZEモードへの移行時間は，18. 3 .3　SNOOZEモードを参照してください。

備考1. f_{IL}　：低速オンチップ・オシレータ・クロック周波数
2. f_{SUB} ：サブシステム・クロック周波数（XT1クロック発振周波数）
3. f_{CLK} ：CPU／周辺ハードウエア・クロック周波数
4. TYP.値の温度条件は，T_A = 25 ℃です。

29. 4　AC特性

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.03125		1	μs
				2.4 V≦V_{DD}＜2.7 V	0.0625		1	μs
			LS（低速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.125		1	μs
			LV（低電圧メイン）モード	1.6 V≦V_{DD}≦5.5 V	0.25		1	μs
		サブシステム・クロック（f_{SUB}）動作		1.8 V≦V_{DD}≦5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.03125		1	μs
				2.4 V≦V_{DD}＜2.7 V	0.0625		1	μs
			LS（低速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.125		1	μs
			LV（低電圧メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.25		1	μs
外部システム・クロック周波数	f_{EX}	2.7 V≦V_{DD}≦5.5 V			1.0		20.0	MHz
		2.4 V≦V_{DD}＜2.7 V			1.0		16.0	MHz
		1.8 V≦V_{DD}＜2.4V			1.0		8.0	MHz
		1.6 V≦V_{DD}＜1.8 V			1.0		4.0	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}	2.7 V≦V_{DD}≦5.5 V			24			ns
		2.4 V≦V_{DD}＜2.7 V			30			ns
		1.8 V≦V_{DD}＜2.4 V			60			ns
		1.6 V≦V_{DD}＜1.8 V			120			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI00-TI07, TI10-TI17入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK} ＋10			ns注
TO00-TO07, TO10-TO17出力周波数	f_{TO}	HS（高速メイン）モード	4.0 V≦EV_{DD0}≦5.5 V				16	MHz
			2.7 V≦EV_{DD0}＜4.0 V				8	MHz
			1.8 V≦EV_{DD0}＜2.7 V				4	MHz
			1.6 V≦EV_{DD0}＜1.8 V				2	MHz
		LS（低速メイン）モード	1.8 V≦EV_{DD0}≦5.5 V				4	MHz
			1.6 V≦EV_{DD0}＜1.8 V				2	MHz
		LV（低電圧メイン）モード	1.6 V≦EV_{DD0}≦5.5 V				2	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	HS（高速メイン）モード	4.0 V≦EV_{DD0}≦5.5 V				16	MHz
			2.7 V≦EV_{DD0}＜4.0 V				8	MHz
			1.8 V≦EV_{DD0}＜2.7 V				4	MHz
			1.6 V≦EV_{DD0}＜1.8 V				2	MHz
		LS（低速メイン）モード	1.8 V≦EV_{DD0}≦5.5 V				4	MHz
			1.6 V≦EV_{DD0}＜1.8 V				2	MHz
		LV（低電圧メイン）モード	1.8 V≦EV_{DD0}≦5.5 V				4	MHz
			1.6 V≦EV_{DD0}＜1.8 V				2	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0	1.6 V≦V_{DD}≦5.5 V		1			μs
		INTP1-INTP11	1.6 V≦EV_{DD0}≦5.5 V		1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}	KR0-KR7	1.8 V≦EV_{DD0}≦5.5 V		250			ns
			1.6 V≦EV_{DD0}＜1.8 V		1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

（注，備考は次ページにあります。）

注　EV_{DD0}＜V_{DD}となる低電圧インタフェース時は，次の条件も必要になります。

1.8 V≦EV_{DD0}＜2.7 V　：MIN. 125 ns

1.6 V≦EV_{DD0}＜1.8 V　：MIN. 250 ns

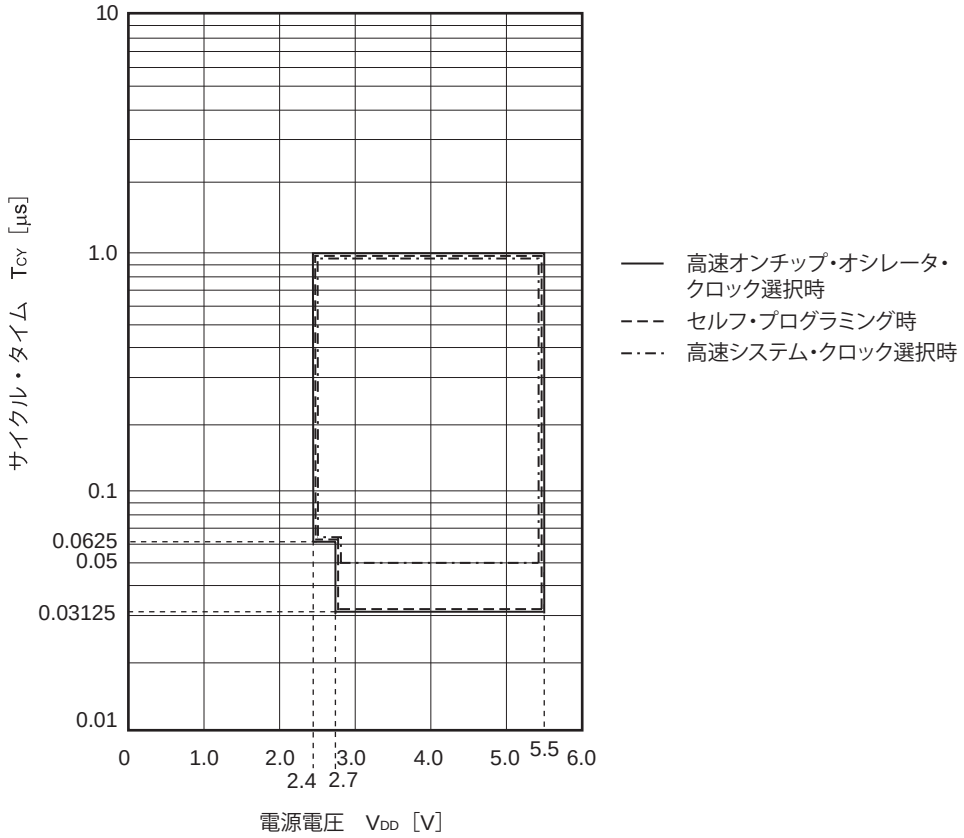
備考　f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数。

（タイマ・モード・レジスタmn（TMRmn）のCKSmn0, CKSmn1ビットで設定する動作クロック。

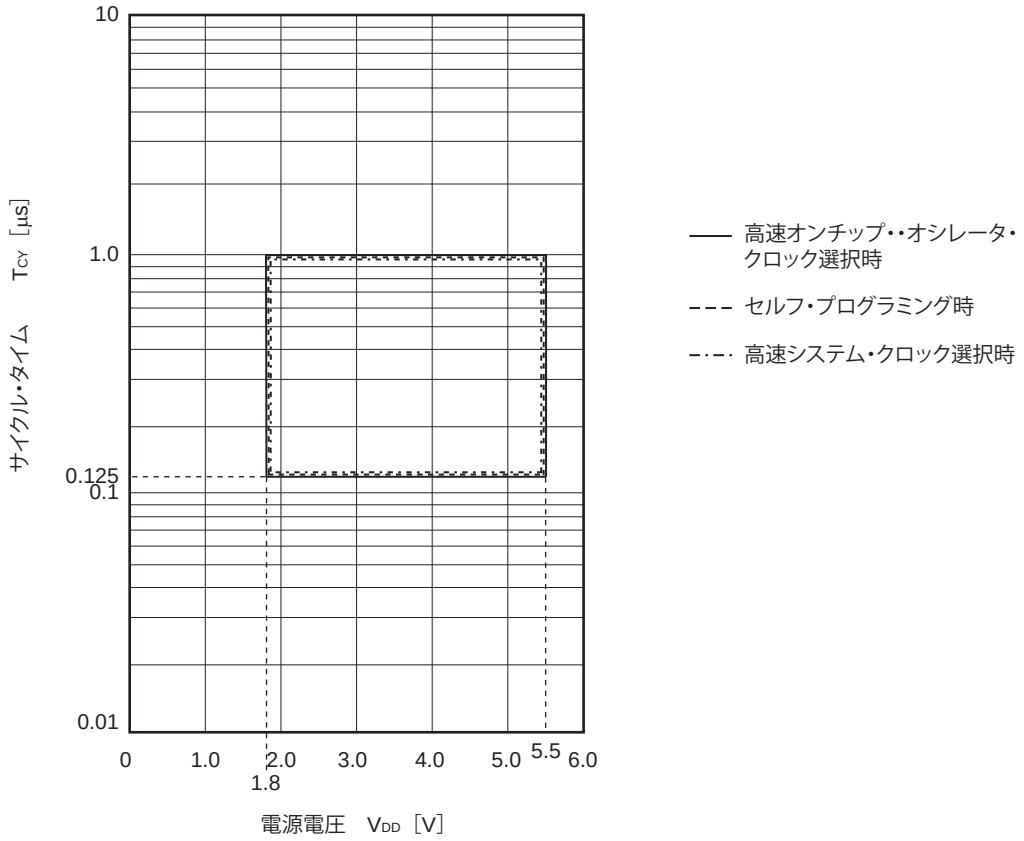
m：ユニット番号(m = 0, 1)，n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

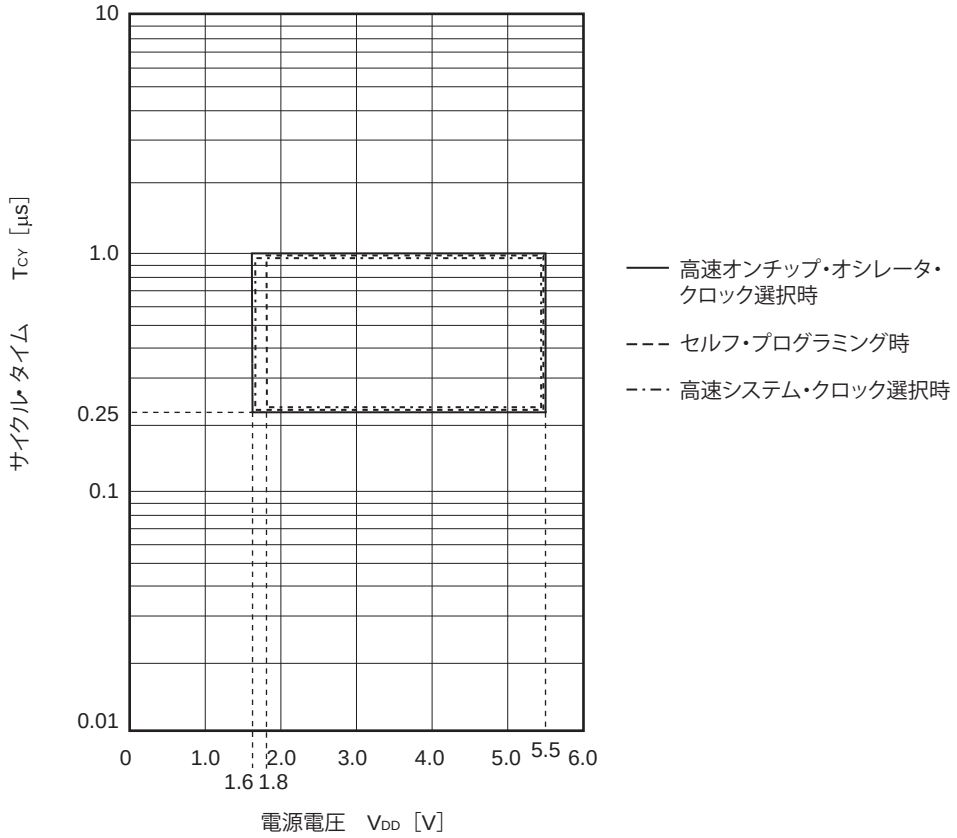
T_{CY} vs V_{DD}　（HS（高速メイン）モード）



TCY vs VDD （LS（低速メイン）モード）

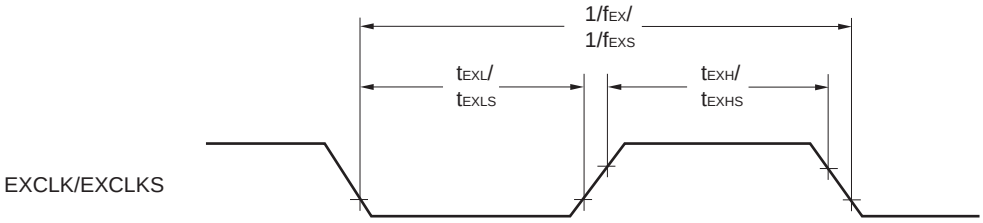


TCY vs VDD （LV（低電圧メイン）モード）

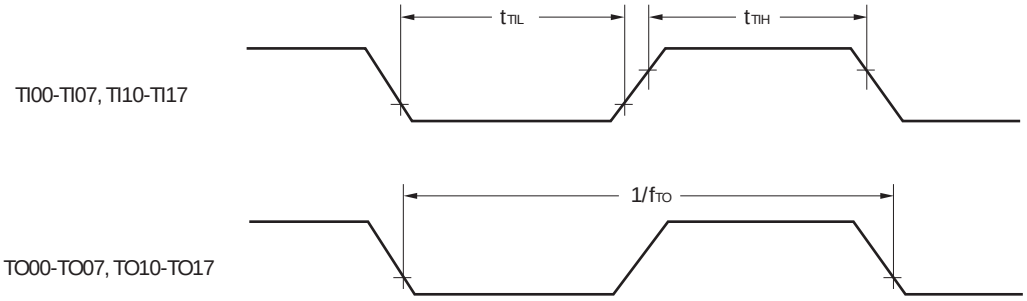


ACタイミング測定点

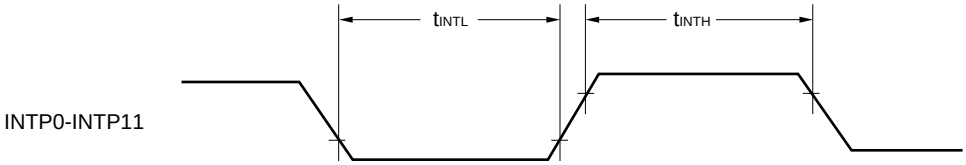
外部システム・クロック・タイミング



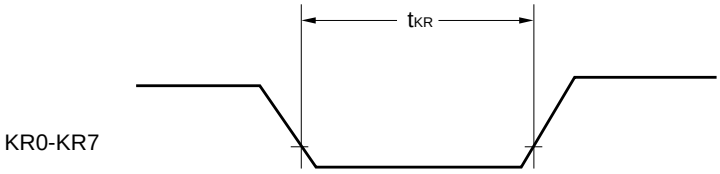
TI/TOタイミング



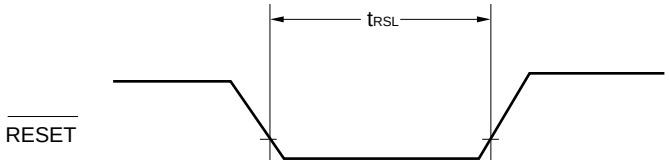
割り込み要求入力タイミング



キー割り込み入力タイミング



$\overline{\text{RESET}}$入力タイミング



29. 5　周辺機能特性

ACタイミング測定点

29. 5. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）

（T_A = **－**40**～＋**85 **℃，**1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V**）**

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.4 V≦EV_{DD0}≦5.5 V		$f_{MCK}/6$注2		$f_{MCK}/6$		$f_{MCK}/6$	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}注3		5.3		1.3		0.6	Mbps
		1.8 V≦EV_{DD0}≦5.5 V		$f_{MCK}/6$注2		$f_{MCK}/6$		$f_{MCK}/6$	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}注3		5.3		1.3		0.6	Mbps
		1.7 V≦EV_{DD0}≦5.5 V		$f_{MCK}/6$注2		$f_{MCK}/6$注2		$f_{MCK}/6$	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}注3		5.3		1.3		0.6	Mbps
		1.6 V≦EV_{DD0}≦5.5 V	–			$f_{MCK}/6$注2		$f_{MCK}/6$	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}注3	–			1.3		0.6	Mbps

注 1.　SNOOZE**モードでの転送レートは，**4800 bps**のみとなります。**

2.　EV_{DD0}＜V_{DD}**となる低電圧インタフェース時は、次の条件も必要になります。**

2.4 V≦EV_{DD0}＜2.7 V：MAX. 2.6 Mbps

1.8 V≦EV_{DD0}＜2.4 V：MAX. 1.3 Mbps

1.6 V≦EV_{DD0}＜1.8 V：MAX. 0.6 Mbps

3.　CPU／**周辺ハードウエア・クロック（**f_{CLK}**）の最高動作周波数を次に示します。**

HS**（高速メイン）モード**　：32 MHz（2.7 V≦V_{DD}≦5.5 V）

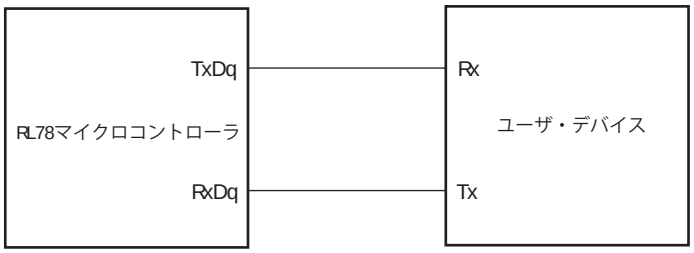
16 MHz（2.4 V≦V_{DD}≦5.5 V）

LS**（低速メイン）モード**　：8 MHz（1.8 V≦V_{DD}≦5.5 V）

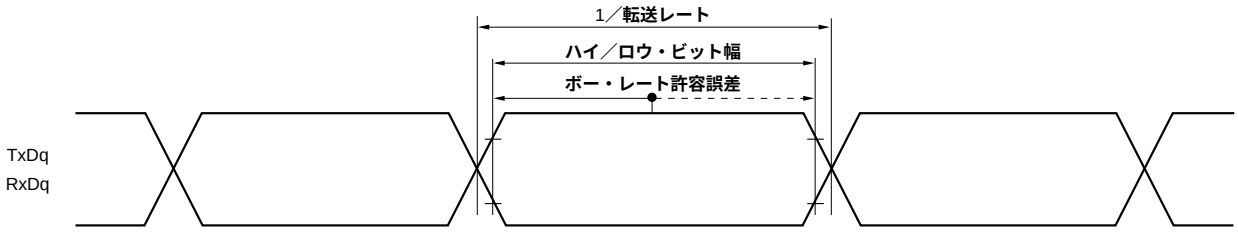
LV**（低電圧メイン）モード**　：4 MHz（1.6 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタg**（**PIMg**）とポート出力モード・レジスタ**g**（**POMg**）で，**RxDq**端子は通常入力バッファを選択し，**TxDq**端子は通常出力モードを選択します。**

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1.　q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 8, 14）

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号（mn = 00-03, 10-13））

（2）同電位通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）
（T_A = －40～＋85 ℃，2.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V	62.5		250		500		ns
			2.7 V≦EV_{DD0}≦5.5 V	83.3		250		500		ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－7		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－10		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V		23		110		110		ns
		2.7 V≦EV_{DD0}≦5.5 V		33		110		110		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	2.7 V≦EV_{DD0}≦5.5 V		10		10		10		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 20 pF注3			10		10		10	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。
3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. この値は，CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。
2. p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），
g：PIM, POM番号（g = 1）
3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（3）同電位通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦EV_{DD0}≦5.5 V	125		500		1000		ns
			2.4 V≦EV_{DD0}≦5.5 V	250		500		1000		ns
			1.8 V≦EV_{DD0}≦5.5 V	500		500		1000		ns
			1.7 V≦EV_{DD0}≦5.5 V	1000		1000		1000		ns
			1.6 V≦EV_{DD0}≦5.5 V	–		1000		1000		ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－12		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－18		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.4 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－38		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		1.8 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		1.7 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－100		t_{KCY1}/2－100		t_{KCY1}/2－100		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		t_{KCY1}/2－100		t_{KCY1}/2－100		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V		44		110		110		ns
		2.7 V≦EV_{DD0}≦5.5 V		44		110		110		ns
		2.4 V≦EV_{DD0}≦5.5 V		75		110		110		ns
		1.8 V≦EV_{DD0}≦5.5 V		110		110		110		ns
		1.7 V≦EV_{DD0}≦5.5 V		220		220		220		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		220		220		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	1.7 V≦EV_{DD0}≦5.5 V		19		19		19		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		19		19		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	1.7 V≦EV_{DD0}≦5.5 V C = 30 pF注3			25		25		25	ns
		1.6 V≦EV_{DD0}≦5.5 V C = 30 pF注3			–		25		25	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31），m：ユニット番号（m = 0, 1），
n：チャネル番号（n = 0-3），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（4）同電位通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）（1/2）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム注4	t_{KCY2}	4.0 V ≦ EV_{DD0} ≦5.5 V	20 MHz ＜ f_{MCK}	8/f_{MCK}		–		–		ns
			f_{MCK} ≦ 20 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.7 V ≦ EV_{DD0} ≦5.5 V	16 MHz ＜ f_{MCK}	8/f_{MCK}		–		–		ns
			f_{MCK} ≦ 16 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.4 V≦EV_{DD0}≦5.5 V		6/f_{MCK} かつ500		6/f_{MCK} かつ500		6/f_{MCK} かつ500		ns
		1.8 V≦EV_{DD0}≦5.5 V		6/f_{MCK} かつ750		6/f_{MCK} かつ750		6/f_{MCK} かつ750		ns
		1.7 V≦EV_{DD0}≦5.5 V		6/f_{MCK} かつ 1500		6/f_{MCK} かつ 1500		6/f_{MCK} かつ 1500		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		6/f_{MCK} かつ 1500		6/f_{MCK} かつ 1500		ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－7		t_{KCY2}/2－7		t_{KCY2}/2－7		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－8		t_{KCY2}/2－8		t_{KCY2}/2－8		ns
		1.8 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－18		t_{KCY2}/2－18		t_{KCY2}/2－18		ns
		1.7 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－66		t_{KCY2}/2－66		t_{KCY2}/2－66		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		t_{KCY2}/2－66		t_{KCY2}/2－66		ns

（注，注意，備考は次ページにあります。）

（4）同電位通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）（2/2）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↑）注1	t_{SIK2}	2.7 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋20		1/f_{MCK}＋30		1/f_{MCK}＋30		ns
		1.8 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋30		1/f_{MCK}＋30		1/f_{MCK}＋30		ns
		1.7 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋40		1/f_{MCK}＋40		1/f_{MCK}＋40		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		1/f_{MCK}＋40		1/f_{MCK}＋40		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI2}	1.8 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋31		1/f_{MCK}＋31		1/f_{MCK}＋31		ns
		1.7 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋250		1/f_{MCK}＋250		1/f_{MCK}＋250		ns
		1.6 V≦EV_{DD0}≦5.5 V		–		1/f_{MCK}＋250		1/f_{MCK}＋250		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF 注3	2.7 V≦EV_{DD0}≦5.5 V		2/f_{MCK}＋44		2/f_{MCK}＋110		2/f_{MCK}＋110	ns
			2.4 V≦EV_{DD0}≦5.5 V		2/f_{MCK}＋75		2/f_{MCK}＋110		2/f_{MCK}＋110	ns
			1.8 V≦EV_{DD0}≦5.5 V		2/f_{MCK}＋110		2/f_{MCK}＋110		2/f_{MCK}＋110	ns
			1.7 V≦EV_{DD0}≦5.5 V		2/f_{MCK}＋220		2/f_{MCK}＋220		2/f_{MCK}＋220	ns
			1.6 V≦EV_{DD0}≦5.5 V		–		2/f_{MCK}＋220		2/f_{MCK}＋220	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SOp出力ラインの負荷容量です。

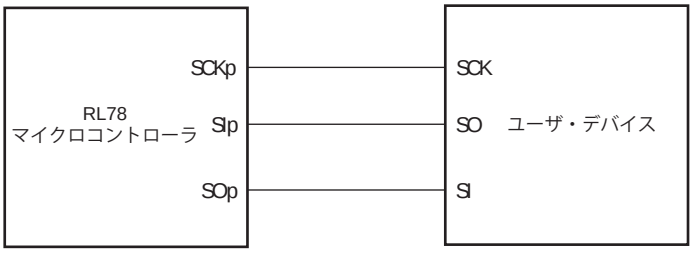
4. SNOOZEモードでの転送レートは，MAX. 1 Mbpsです。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考 1. p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31），m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-3），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

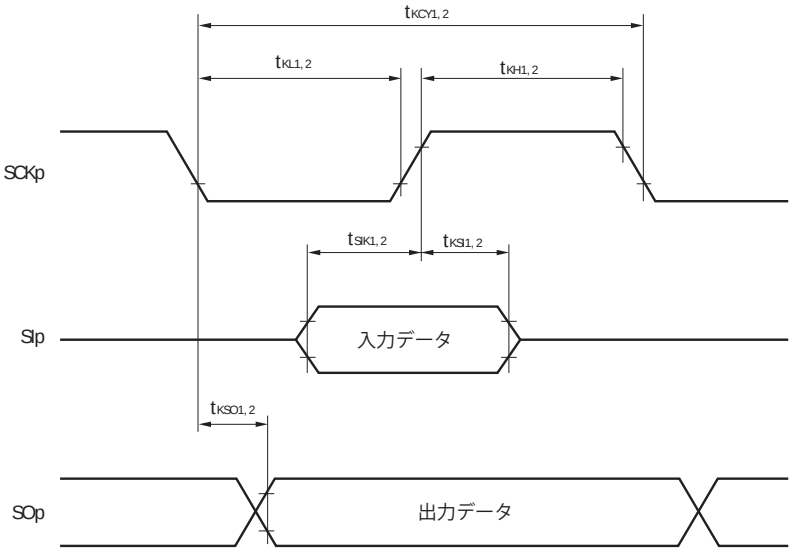
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

CSIモード接続図（同電位通信時）



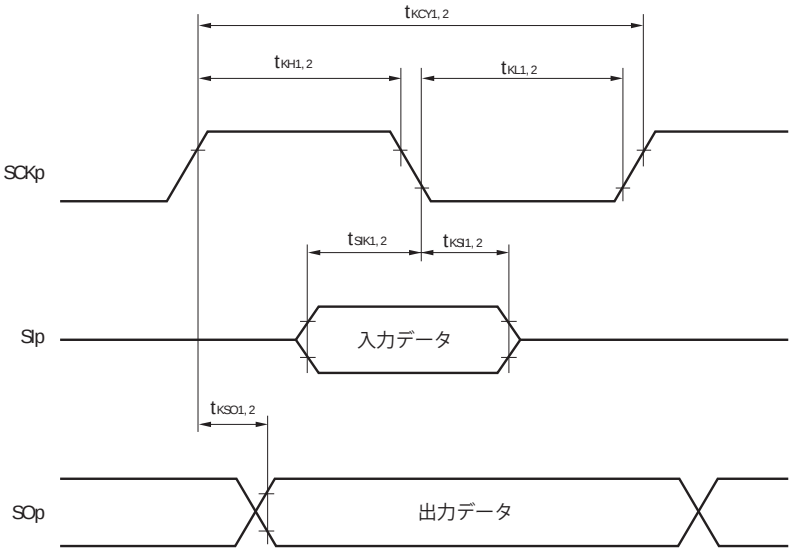
CSIモード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき）**



CSIモード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のとき）**



備考1.　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

2.　m**：ユニット番号，**n**：チャネル番号**（mn = 00-03, 10-13）

（5）同電位通信時（簡易I²Cモード）（1/2）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f_{SCL}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		400注1		400注1	kHz
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		400注1		400注1		400注1	kHz
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ		300注1		300注1		300注1	kHz
		1.7 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ		250注1		250注1		250注1	kHz
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ		–		250注1		250注1	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1150		1150		ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		ns
		1.7 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	–		1850		1850		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1150		1150		ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		ns
		1.7 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	–		1850		1850		ns

（注，注意は次ページに，備考は次々ページにあります。）

（5）同電位通信時（簡易I^2Cモード）（2/2）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋85 注2		1/f_{MCK}＋145 注2		1/f_{MCK}＋145 注2		ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK}＋145 注2		1/f_{MCK}＋145 注2		1/f_{MCK}＋145 注2		ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK}＋230 注2		1/f_{MCK}＋230 注2		1/f_{MCK}＋230 注2		ns
		1.7 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK}＋290 注2		1/f_{MCK}＋290 注2		1/f_{MCK}＋290 注2		ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	–		1/f_{MCK}＋290 注2		1/f_{MCK}＋290 注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V≦EV_{DD0}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	ns
		1.7 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V≦EV_{DD0}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	–		0	405	0	405	ns

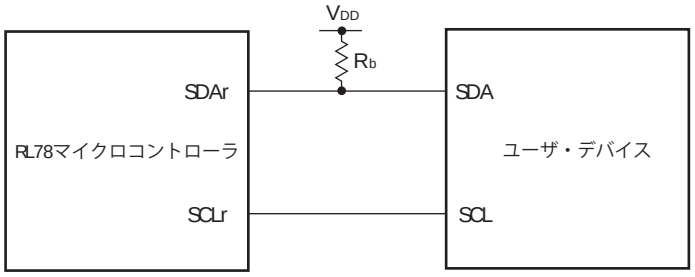
注1.　**かつ**f_{MCK}/4**以下に設定してください。**

2.　f_{MCK}**値は，**SCLr = "L"**と**SCLr = "H"**のホールド・タイムを越えない値に設定してください。**

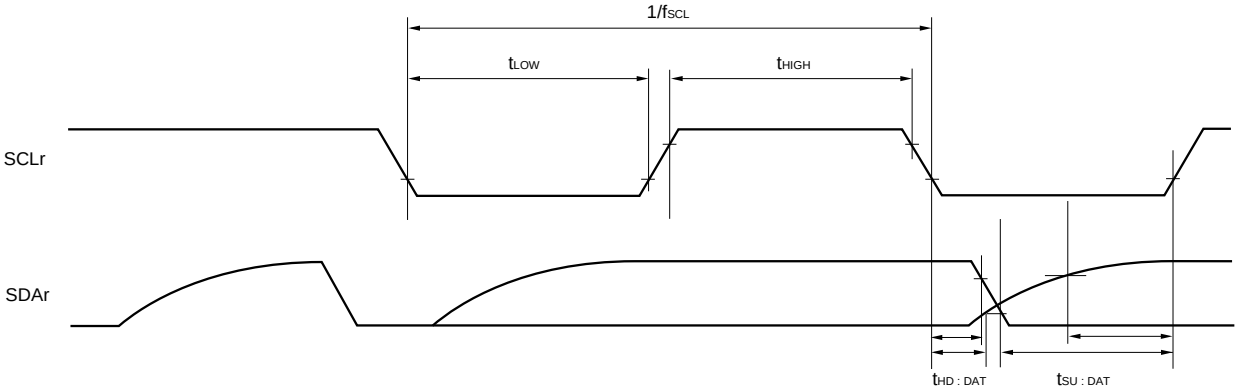
注意　ポート入力モード・レジスタg**（**PIMg**）とポート出力モード・レジスタ**h**（**POMh**）で，**SDAr**は通常入力バッファ，**N-ch**オープン・ドレイン出力（**V_{DD}**耐圧（**20～52**ピン製品の場合）／**EV_{DD}**耐圧（**64～128**ピン製品の場合）モードを選択し，**SCLr**は通常出力モードを選択します。**

（備考は次ページにあります。）

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考 1. Rb [Ω]：通信ライン（SDAr）プルアップ抵抗値，Cb [F]：通信ライン（SCLr, SDAr）負荷容量値

2. r：IIC番号（r = 00, 01, 10, 11, 20, 21, 30, 31），g：PIM番号（g = 0, 1, 4, 5, 8, 14），
h：POM番号（h = 0, 1, 4, 5, 7-9, 14）

3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 2），mn = 00-03, 10-13）

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		受信　4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		f_{MCK}/6 注1		f_{MCK}/6 注1		f_{MCK}/6 注1	bps
		最大転送レート理論値 f_{MCK} = f_{CLK} 注4		5.3		1.3		0.6	Mbps
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		f_{MCK}/6 注1		f_{MCK}/6 注1		f_{MCK}/6 注1	bps
		最大転送レート理論値 f_{MCK} = f_{CLK} 注4		5.3		1.3		0.6	Mbps
		1.8V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		f_{MCK}/6 注1,2,3		f_{MCK}/6 注1,2		f_{MCK}/6 注1,2	bps
		最大転送レート理論値 f_{MCK} = f_{CLK} 注4		5.3		1.3		0.6	Mbps

注 1.　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2.　EV_{DD0}≧V_bで使用してください。

3.　EV_{DD0}＜V_{DD}となる低電圧インタフェース時は，次の条件も必要になります。

2.4 V≦EV_{DD0}＜2.7 V　：MAX. 2.6 Mbps

1.8 V≦EV_{DD0}＜2.4 V　：MAX. 1.3 Mbps

4.　CPU／周辺ハードウエア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　：32 MHz（2.7 V≦V_{DD}≦5.5 V）

16 MHz（2.4 V≦V_{DD}≦5.5 V）

LS（低速メイン）モード　：8 MHz（1.8 V≦V_{DD}≦5.5 V）

LV（低電圧メイン）モード　：4 MHz（1.6 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　V_b [V]：通信ライン電圧

2.　q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 8, 14）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

4.　周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1のとき，UART2の異電位通信は使用できません。

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		送信　4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		注1		注1		注1	bps
		最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.8 注2		2.8 注2		2.8 注2	Mbps
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		注3		注3		注3	bps
		最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2 注4		1.2 注4		1.2 注4	Mbps
		1.8V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		注5, 6		注5, 6		注5, 6	bps
		最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V		0.43 注7		0.43 注7		0.43 注7	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

5. EV_{DD0}≧V_bで使用してください。

注6.　f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

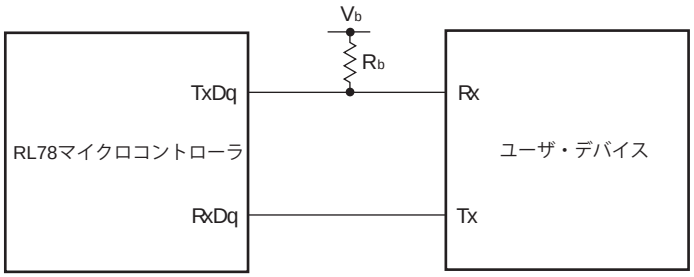
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

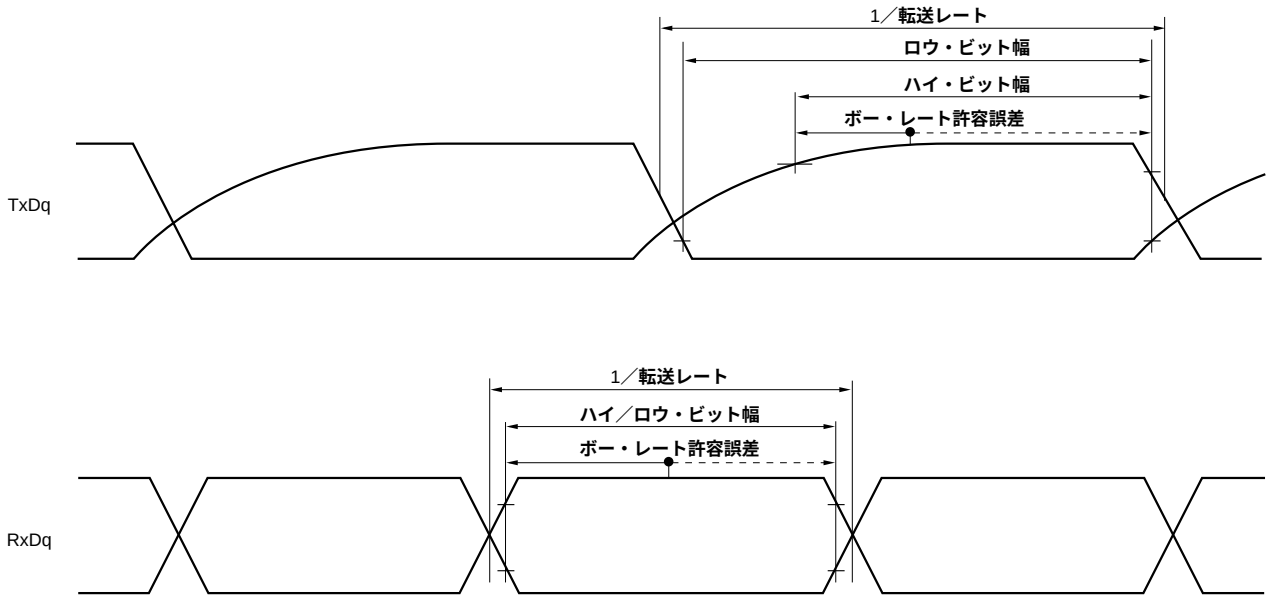
7.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1. R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，V_b [V]：通信ライン電圧

2. q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 8, 14）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

4. 周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1のとき，UART2の異電位通信は使用できません。

（7）異電位（2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）
（1/2）

（T_A = －40～＋85 ℃，2.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	200		1150		1150		ns
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	300		1150		1150		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2－120		t_{KCY1}/2－120		t_{KCY1}/2－120		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2－7		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2－10		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		58		479		479		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		121		479		479		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10		ns
SCKp↓→Sop出力遅延時間注1	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ			60		60		60	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ			130		130		130	ns

（注，注意，備考は次ページにあります。）

（7）異電位（2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）（2/2）

（T_A = －40～＋85 ℃，2.7 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	23		110		110		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	33		110		110		ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	10		10		10		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	10		10		10		ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

2 p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

4. この値は，CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

（8）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）
（1/3）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300		1150		1150		ns
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500		1150		1150		ns
			1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ	1150		1150		1150		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－75		t_{KCY1}/2－75		t_{KCY1}/2－75		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－170		t_{KCY1}/2－170		t_{KCY1}/2－170		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－458		t_{KCY1}/2－458		t_{KCY1}/2－458		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－12		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－18		t_{KCY1}/2－50		t_{KCY1}/2－50		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－50		t_{KCY1}/2－50		t_{KCY1}/2－50		ns

注　EV_{DD0}≧V_b**で使用してください。**

注意　**ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次次々ページにあります。）

（8）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）（2/3）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	81		479		479		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	177		479		479		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	479		479		479		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		100		100		100	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		195		195		195	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		483		483		483	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　EV_{DD0}≧V_bで使用してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次々ページにあります。）

（8）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）
（3/3）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SIpセットアップ時間（対SCKp↓）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	44		110		110		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	44		110		110		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	110		110		110		ns
SIpホールド時間（対SCKp↓）注1	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		ns
SCKp↑→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		25		25		25	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		25		25		25	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		25		25		25	ns

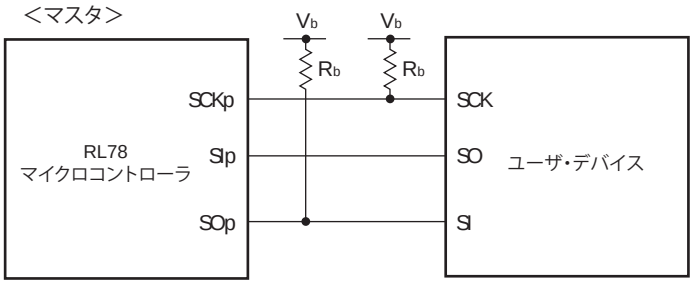
注1. DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のとき。**

2. EV_{DD0}≧V_b**で使用してください。**

注意　ポート入力モード・レジスタg**（**PIMg**）とポート出力モード・レジスタ**g**（**POMg**）で，**SIp**端子は**TTL**入力バッファを選択し，**SOp**端子と**SCKp**端子は**N-ch**オープン・ドレイン出力（**V_{DD}**耐圧（**20～52**ピン製品の場合）／**EV_{DD}**耐圧（**64～128**ピン製品の場合）モードを選択します。なお**V_{IH}**，**V_{IL}**は，**TTL**入力バッファ選択時の**DC**特性を参照してください。**

（備考は次ページにあります。）

CSIモード接続図（異電位通信時）



備考1.　Rb [Ω]：**通信ライン**（SCKp, SOp）**プルアップ抵抗値**，Cb [F]：**通信ライン**（SCKp, SOp）**負荷容量値**，Vb [V]：**通信ライン電圧**

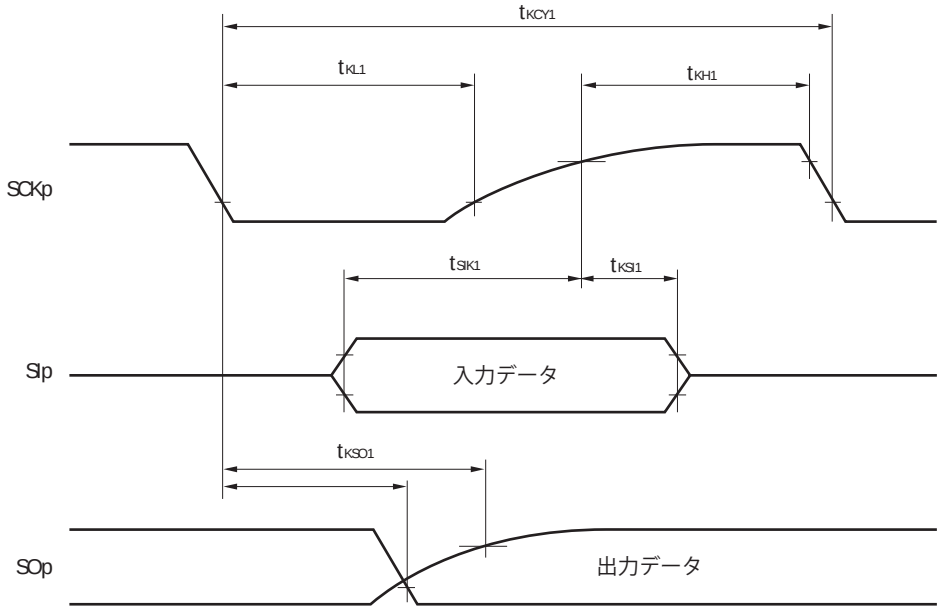
2.　p：CSI**番号**（p = 00, 01, 10, 20, 30, 31），m：**ユニット番号**，n：**チャネル番号**（mn = 00, 01, 02, 10, 12, 13），g：PIM, POM**番号**（g = 0, 1, 4, 5, 8, 14）

3.　f_{MCK}：**シリアル・アレイ・ユニットの動作クロック周波数**
シリアル・モード・レジスタmn（SMRmn）**の**CKSmn**ビットで設定する動作クロック**。m：**ユニット番号**，n：**チャネル番号**（mn = 00））

4　CSI11, CSI21**と**，48, 52, 64**ピン製品の**CSI01**は異電位通信できません。異電位通信をする場合は，それ以外の**CSI**を使用してください。**

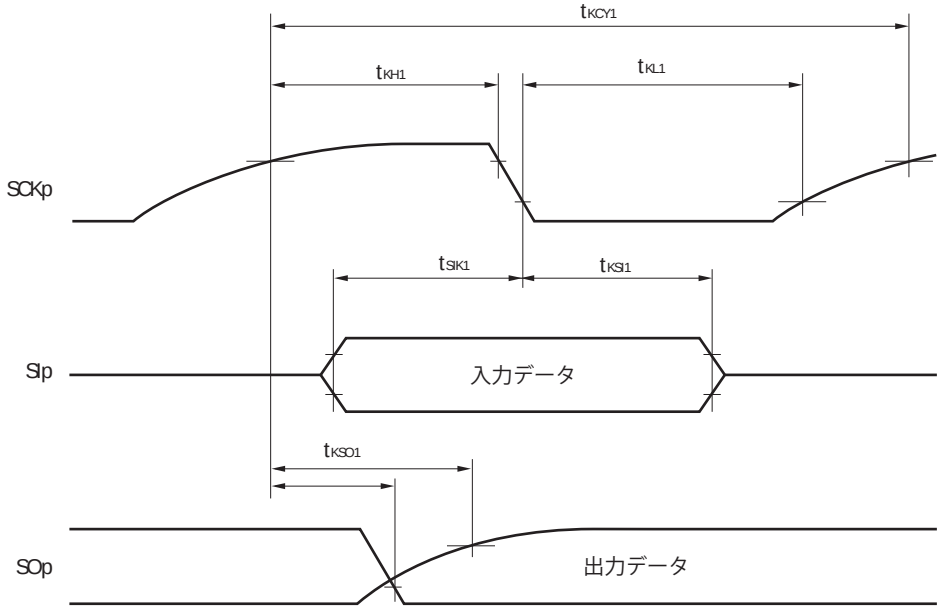
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 10, 20, 30, 31），m：ユニット番号，n：チャネル番号（mn = 00, 01, 02, 10, 12, 13），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

2. CSI11, CSI21と，48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（9）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）
（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）（1/2）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム注1	t_{KCY2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V	24 MHz＜f_{MCK}	14/f_{MCK}		–		–		ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}		–		–		ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}		–		–		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		16/f_{MCK}		–		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V	24 MHz＜f_{MCK}	20/f_{MCK}		–		–		ns
			20 MHz＜f_{MCK}≦24 MHz	16/f_{MCK}		–		–		ns
			16 MHz＜f_{MCK}≦20 MHz	14/f_{MCK}		–		–		ns
			8 MHz＜f_{MCK}≦16 MHz	12/f_{MCK}		–		–		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		16/f_{MCK}		–		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	24 MHz＜f_{MCK}	48/f_{MCK}		–		–		ns
			20 MHz＜f_{MCK}≦24 MHz	36/f_{MCK}		–		–		ns
			16 MHz＜f_{MCK}≦20 MHz	32/f_{MCK}		–		–		ns
			8 MHz＜f_{MCK}≦16 MHz	26/f_{MCK}		–		–		ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}		16/f_{MCK}		–		ns
			f_{MCK}≦4 MHz	10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns

（注，注意は次ページに，備考は次々ページにあります。）

（9）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）
（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）（2/2）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V	t_{KCY2}/2－12		t_{KCY2}/2－50		t_{KCY2}/2－50		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V	t_{KCY2}/2－18		t_{KCY2}/2－50		t_{KCY2}/2－50		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	t_{KCY2}/2－50		t_{KCY2}/2－50		t_{KCY2}/2－50		ns
SIpセットアップ時間（対SCKp↑）注3	t_{SIK2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V	1/f_{MCK}＋20		1/f_{MCK}＋30		1/f_{MCK}＋30		ns
		2.7 V≦EV_{DD0}≦4.0 V, 2.3 V≦V_b≦2.7 V	1/f_{MCK}＋20		1/f_{MCK}＋30		1/f_{MCK}＋30		ns
		1.8 V≦EV_{DD0}≦3.3 V, 1.6 V≦V_b≦2.0 V注2	1/f_{MCK}＋30		1/f_{MCK}＋30		1/f_{MCK}＋30		ns
SIpホールド時間（対SCKp↑）注3	t_{KSI2}		1/f_{MCK}＋31		1/f_{MCK}＋31		1/f_{MCK}＋31		ns
SCKp↓→Sop出力遅延時間注4	t_{KSO2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		2/f_{MCK}＋120		2/f_{MCK}＋573		2/f_{MCK}＋573	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		2/f_{MCK}＋214		2/f_{MCK}＋573		2/f_{MCK}＋573	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		2/f_{MCK}＋573		2/f_{MCK}＋573		2/f_{MCK}＋573	ns

注 1. SNOOZEモードでの転送レートは，MAX.：1 Mbps

2. EV_{DD0}≧V_bで使用してください。

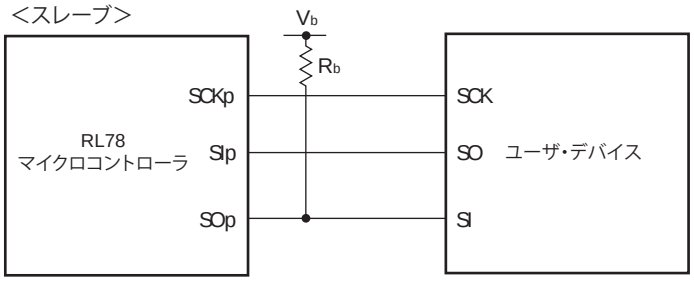
3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファを選択し，SOp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

CSIモード接続図（異電位通信時）



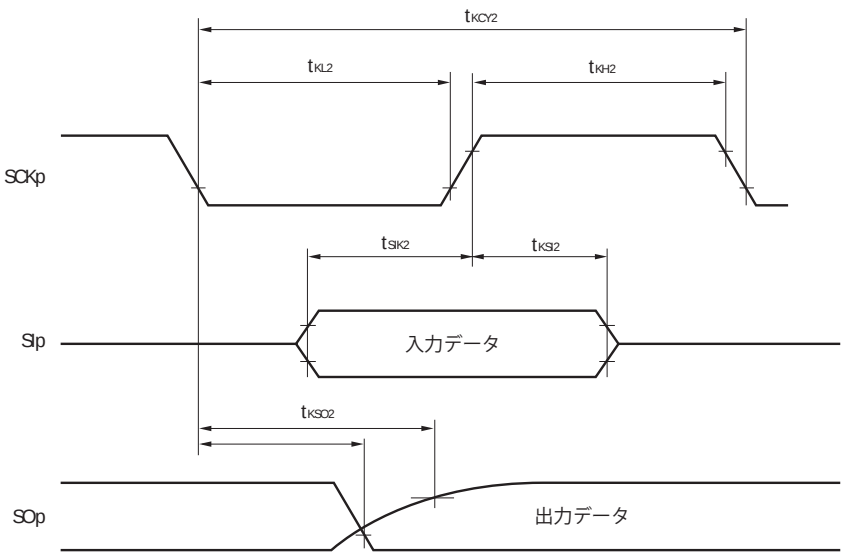
備考1.　R_b [Ω]：**通信ライン（SOp）プルアップ抵抗値，**C_b [F]：**通信ライン（SOp）負荷容量値，**
Vb [V]：**通信ライン電圧**

2.　p：CSI**番号（**p = 00, 01, 10, 20, 30, 31**）**，m：**ユニット番号**，n：**チャネル番号（**mn = 00, 01, 02, 10, 12, 13**）**，
g：PIM, POM**番号（**g = 0, 1, 4, 5, 8, 14**）**

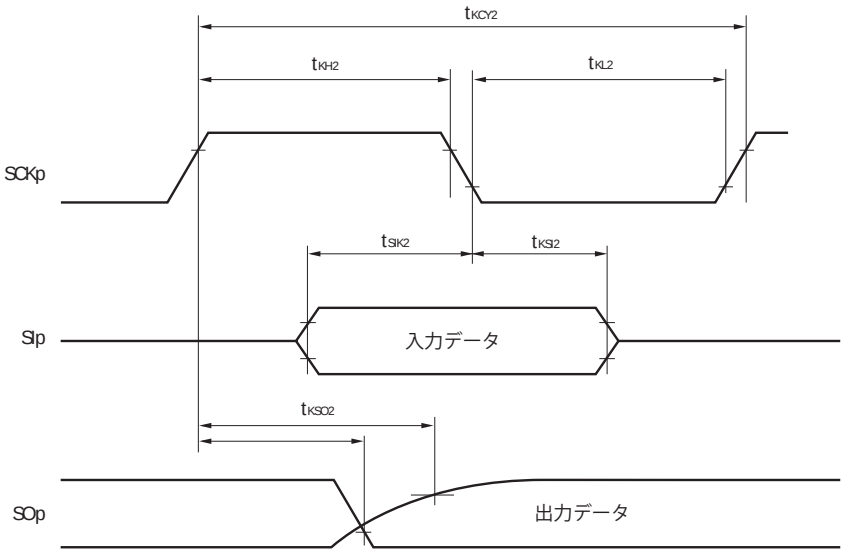
3.　f_{MCK}：**シリアル・アレイ・ユニットの動作クロック周波数**
（シリアル・モード・レジスタmn**（**SMRmn**）の**CKSmn**ビットで設定する動作クロック。**m：**ユニット番号，**n：**チャネル番号（**mn = 00, 01, 02, 10, 12, 13**））**

4.　CSI11, CSI21**と，**48, 52, 64**ピン製品の**CSI01**は異電位通信できません。異電位通信をする場合は，それ以外の**CSI**を使用してください。**

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 10, 20, 30, 31），m：ユニット番号，n：チャネル番号（mn = 00, 01, 02, 10, 12, 13），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

2. CSI11, CSI21と，48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（10）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（1/2）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f_{SCL}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		300注1		300注1	kHz
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		300注1		300注1	kHz
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ		400注1		300注1		300注1	kHz
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ		400注1		300注1		300注1	kHz
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ		300注1		300注1		300注1	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1550		1550		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	475		1550		1550		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1150		1550		1550		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1150		1550		1550		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	245		610		610		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	200		610		610		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	675		610		610		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	600		610		610		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2 C_b = 100 pF, R_b = 5.5 kΩ	610		610		610		ns

（10）異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（2/2）

（T_A = －40～＋85 ℃，1.8 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋135 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋135 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2 C_b = 100 pF, R_b = 5.5 kΩ	1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		1/f_{MCK}＋190 注3		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	0	405	0	405	0	405	ns

注 1.　かつf_{MCK}/4以下に設定してください。

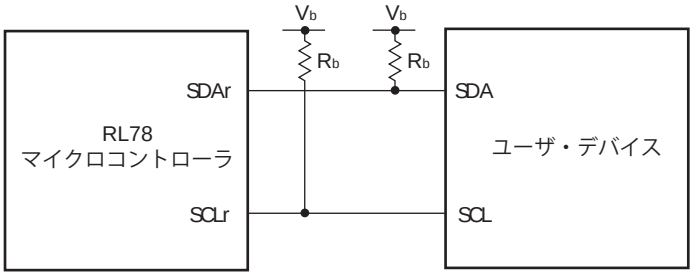
2.　EV_{DD0}≧V_bで使用してください。

3.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

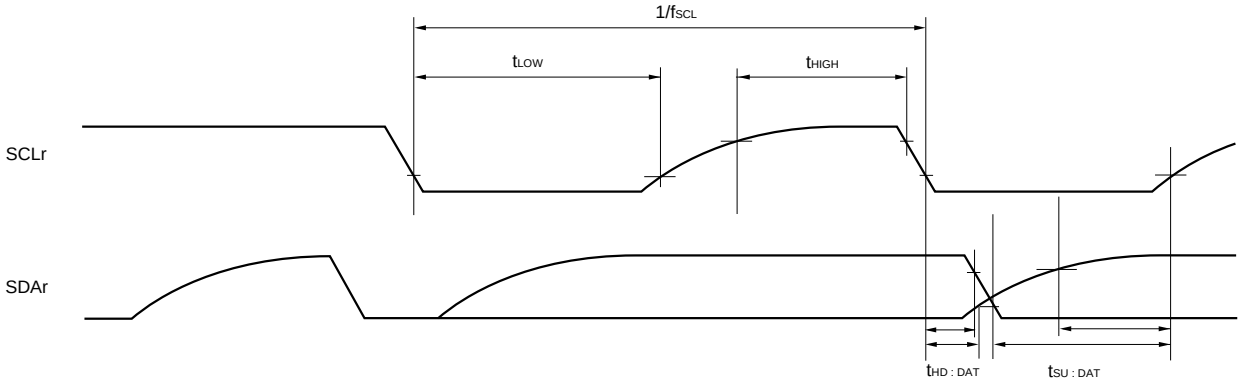
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択し，SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2.　r：IIC番号（r = 00, 01, 10, 20, 30, 31），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01, 02, 10, 12, 13））

29. 5. 2 シリアル・インタフェースIICA

（1）I^2C 標準モード（1/2）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	2.7 V≦EV_{DD0}≦5.5 V	0	100	0	100	0	100	kHz
			1.8 V≦EV_{DD0}≦5.5 V	0	100	0	100	0	100	kHz
			1.7 V≦EV_{DD0}≦5.5 V	0	100	0	100	0	100	kHz
			1.6 V≦EV_{DD0}≦5.5 V	–		0	100	0	100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD0}≦5.5 V		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD0}≦5.5 V		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD0}≦5.5 V		4.7		4.7		4.7		μs
		1.6 V≦EV_{DD0}≦5.5 V		–		4.7		4.7		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD0}≦5.5 V		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD0}≦5.5 V		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD0}≦5.5 V		4.0		4.0		4.0		μs
		1.6 V≦EV_{DD0}≦5.5 V		–		4.0		4.0		μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V		4.7		4.7		4.7		μs
		1.8 V≦EV_{DD0}≦5.5 V		4.7		4.7		4.7		μs
		1.7 V≦EV_{DD0}≦5.5 V		4.7		4.7		4.7		μs
		1.6 V≦EV_{DD0}≦5.5 V		–		4.7		4.7		μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V		4.0		4.0		4.0		μs
		1.8 V≦EV_{DD0}≦5.5 V		4.0		4.0		4.0		μs
		1.7 V≦EV_{DD0}≦5.5 V		4.0		4.0		4.0		μs
		1.6 V≦EV_{DD0}≦5.5 V		–		4.0		4.0		μs

（注，注意，備考は次ページにあります。）

（1）I^2C 標準モード（2/2）

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V	250		250		250		ns
		1.8 V≦EV_{DD0}≦5.5 V	250		250		250		ns
		1.7 V≦EV_{DD0}≦5.5 V	250		250		250		ns
		1.6 V≦EV_{DD0}≦5.5 V	–		250		250		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.8 V≦EV_{DD0}≦5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.7 V≦EV_{DD0}≦5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.6 V≦EV_{DD0}≦5.5 V	–		0	3.45	0	3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD0}≦5.5 V	4.0		4.0		4.0		μs
		1.8 V≦EV_{DD0}≦5.5 V	4.0		4.0		4.0		μs
		1.7 V≦EV_{DD0}≦5.5 V	4.0		4.0		4.0		μs
		1.6 V≦EV_{DD0}≦5.5 V	–		4.0		4.0		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD0}≦5.5 V	4.7		4.7		4.7		μs
		1.8 V≦EV_{DD0}≦5.5 V	4.7		4.7		4.7		μs
		1.7 V≦EV_{DD0}≦5.5 V	4.7		4.7		4.7		μs
		1.6 V≦EV_{DD0}≦5.5 V	–		4.7		4.7		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1},I_{OL1},V_{OH1},V_{OL1}）はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

標準モード　：C_b = 400 pF, Rb = 2.7 kΩ

(2) I^2C ファースト・モード

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	2.7 V≦EV_{DD0}≦5.5 V	0	400	0	400	0	400	kHz
			1.8 V≦EV_{DD0}≦5.5 V	0	400	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V		1.3		1.3		1.3		μs
		1.8 V≦EV_{DD0}≦5.5 V		1.3		1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V		100		100		100		ns
		1.8 V≦EV_{DD0}≦5.5 V		100		100		100		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V		0	0.9	0	0.9	0	0.9	μs
		1.8 V≦EV_{DD0}≦5.5 V		0	0.9	0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
		1.8 V≦EV_{DD0}≦5.5 V		0.6		0.6		0.6		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD0}≦5.5 V		1.3		1.3		1.3		μs
		1.8 V≦EV_{DD0}≦5.5 V		1.3		1.3		1.3		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1},I_{OL1},V_{OH1},V_{OL1}）はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード　　：C_b = 320 pF, Rb = 1.1 kΩ

(3) I^2C ファースト・モード・プラス

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		LV（低電圧メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス：f_{CLK}≧10 MHz	2.7 V≦EV_{DD0}≦5.5 V	0	1000	–		–		kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦EV_{DD0}≦5.5 V		0.26		–		–		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦EV_{DD0}≦5.5 V		0.26		–		–		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V		0.5		–		–		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V		0.26		–		–		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V		50		–		–		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V		0	0.45	–		–		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦EV_{DD0}≦5.5 V		0.26		–		–		μs
バス・フリー時間	t_{BUF}	2.7 V≦EV_{DD0}≦5.5 V		0.5		–		–		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

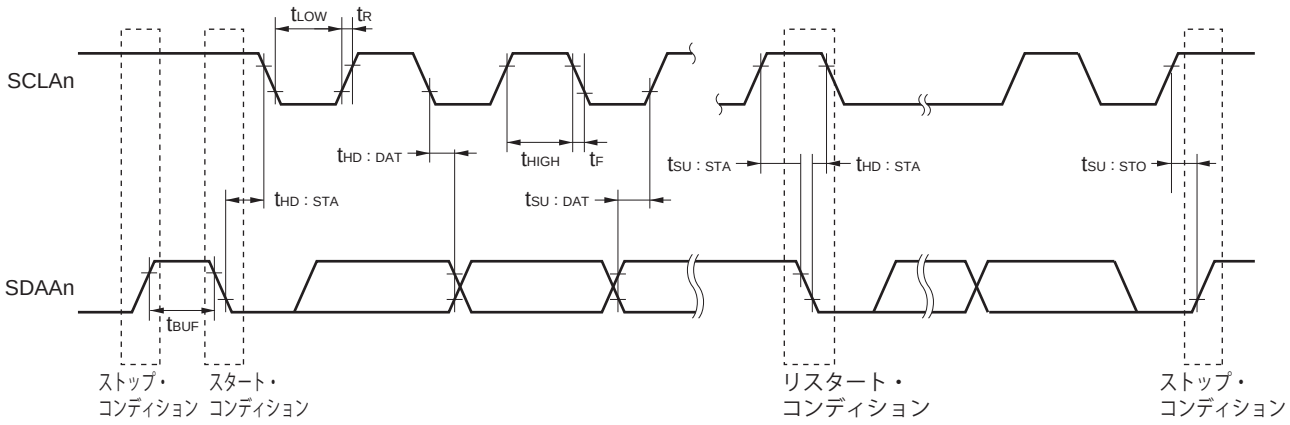
2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1},I_{OL1},V_{OH1},V_{OL1}）はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード・プラス　　：C_b = 120 pF, Rb = 1.1 kΩ

IICA**シリアル転送タイミング**



備考　n = 0, 1

29. 6　アナログ特性

29. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧（＋） = AVREFP 基準電圧（－） = AVREFM	基準電圧（＋） = VDD 基準電圧（－） = VSS	基準電圧（＋） = VBGR 基準電圧（－） = AVREFM
ANI0-ANI14	29. 6. 1（1）参照	29. 6. 1（3）参照	29. 6. 1（3）参照
ANI16-ANI26	29. 6. 1（2）参照		
内部基準電圧 温度センサ出力電圧	29. 6. 1（1）参照		–

（1）基準電圧（＋） = AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AVREFM/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI14，内部基準電圧，温度センサ出力電圧

（TA = －40～＋85 ℃，1.6 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V，基準電圧（＋）= AVREFP，基準電圧（－）= AVREFM = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 AVREFP = VDD[注3]	1.8 V≦AVREFP≦5.5 V		1.2	±3.5	LSB
			1.6 V≦AVREFP≦5.5 V[注4]		1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI2-ANI14	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧，温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V≦VDD≦5.5 V,	2.375		39	μs
			2.7 V≦VDD≦5.5 V,	3.5625		39	μs
			2.4 V≦VDD≦5.5 V,	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 AVREFP = VDD[注3]	1.8 V≦AVREFP≦5.5 V			±0.25	%FSR
			1.6 V≦AVREFP≦5.5 V[注4]			±0.50	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 AVREFP = VDD[注3]	1.8 V≦AVREFP≦5.5 V			±0.25	%FSR
			1.6 V≦AVREFP≦5.5 V[注4]			±0.50	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 AVREFP = VDD[注3]	1.8 V≦AVREFP≦5.5 V			±2.5	LSB
			1.6 V≦AVREFP≦5.5 V[注4]			±5.0	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 AVREFP = VDD[注3]	1.8 V≦AVREFP≦5.5 V			±1.5	LSB
			1.6 V≦AVREFP≦5.5 V[注4]			±2.0	LSB
アナログ入力電圧	VAIN	ANI2-ANI14		0		AVREFP	V
		内部基準電圧（2.4 V≦VDD≦5.5 V, HS（高速メイン）モード）		VBGR[注5]			V
		温度センサ出力電圧（2.4 V≦VDD≦5.5 V, HS（高速メイン）モード）		VTMPS25[注5]			V

（注は次ページにあります。）

注1. **量子化誤差（**±1/2 LSB**）を含みません。**

2. **フルスケール値に対する比率（**%FSR**）で表します。**

3. AV_{REFP} ＜ V_{DD}**の場合，**MAX.**値は次のようになります。**

総合誤差	**：**AV_{REFP} = V_{DD}**の**MAX.**値に**±1.0 LSB**を加算してください**
ゼロスケール誤差／フルスケール誤差	**：**AV_{REFP} = V_{DD}**の**MAX.**値に**±0.05 %FSR**を加算してください**
積分直線性誤差／微分直線性誤差	**：**AV_{REFP} = V_{DD}**の**MAX.**値に**±0.5 LSB**を加算してください**

4. **変換時間を**MIN. 57 μs**，**MAX. 95 μs**に設定した場合の値です。**

5. 29. 6. 2 **温度センサ／内部基準電圧特性を参照してください。**

（2）**基準電圧（＋）** = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），**基準電圧（－）** = AV_{REFM}/ANI1（ADREFM = 1）**選択時，変換対象：**ANI16-ANI26

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, 1.6 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, **基準電圧（＋）** = AV_{REFP}, **基準電圧（－）** = AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 EV_{DD0} ≦AV_{REFP} = V_{DD} 注3, 4	1.8 V≦AV_{REFP}≦5.5 V		1.2	±5.0	LSB
			1.6 V≦AV_{REFP}≦5.5 V注5		1.2	±8.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象： ANI16-ANI26	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			1.8 V≦V_{DD}≦5.5 V	17		39	μs
			1.6 V≦V_{DD}≦5.5 V	57		95	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能 EV_{DD0} ≦AV_{REFP} = V_{DD} 注3, 4	1.8 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
			1.6 V≦AV_{REFP}≦5.5 V注5			±0.60	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能 EV_{DD0} ≦AV_{REFP} = V_{DD} 注3, 4	1.8 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
			1.6 V≦AV_{REFP}≦5.5 V注5			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能 EV_{DD0} ≦AV_{REFP} = V_{DD} 注3, 4	1.8 V≦AV_{REFP}≦5.5 V			±3.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V注5			±6.0	LSB
微分直線性誤差注1	DLE	10ビット分解能 EV_{DD0} ≦AV_{REFP} = V_{DD} 注3, 4	1.8 V≦AV_{REFP}≦5.5 V			±2.0	LSB
			1.6 V≦AV_{REFP}≦5.5 V注5			±2.5	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI26		0		AV_{REFP} かつ EV_{DD0}	V

注1． 量子化誤差（±1/2 LSB）を含みません。

2．フルスケール値に対する比率（%FSR）で表します。

3．EV_{DD0} ≦ AV_{REFP} ＜ V_{DD}の場合，MAX.値は次のようになります。

総合誤差 ：AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください

4．AV_{REFP} ＜ EV_{DD0} ≦ V_{DD}の場合，MAX.値は次のようになります。

総合誤差 ：AV_{REFP} = V_{DD}のMAX.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AV_{REFP} = V_{DD}のMAX.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AV_{REFP} = V_{DD}のMAX.値に±2.0 LSBを加算してください

5．変換時間をMIN. 57 μs，MAX. 95 μsに設定した場合の値です。

（3）基準電圧（＋） = V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（－） = V_{SS}（ADREFM = 0）選択時，
変換対象：ANI0-ANI14, ANI16-ANI26，内部基準電圧、温度センサ出力電圧

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧（＋） = V_{DD}，基準電圧（－） = V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能	1.8 V≦V_{DD}≦5.5 V		1.2	±7.0	LSB
			1.6 V≦V_{DD}≦5.5 V[注3]		1.2	±10.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI14，ANI16-ANI26	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			1.8 V≦V_{DD}≦5.5 V	17		39	μs
			1.6 V≦V_{DD}≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧，温度センサ出力電圧 HS（高速メイン）モード	3.6 V≦V_{DD}≦5.5 V,	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V,	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V,	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	10ビット分解能	1.8 V≦V_{DD}≦5.5 V			±0.60	%FSR
			1.6 V≦V_{DD}≦5.5 V[注3]			±0.85	%FSR
フルスケール誤差[注1, 2]	E_{FS}	10ビット分解能	1.8 V≦V_{DD}≦5.5 V			±0.60	%FSR
			1.6 V≦V_{DD}≦5.5 V[注3]			±0.85	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能	1.8 V≦V_{DD}≦5.5 V			±4.0	LSB
			1.6 V≦V_{DD}≦5.5 V[注3]			±6.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能	1.8 V≦V_{DD}≦5.5 V			±2.0	LSB
			1.6 V≦V_{DD}≦5.5 V[注3]			±2.5	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI14		0		V_{DD}	V
		ANI16-ANI26		0		EV_{DD0}	
		内部基準電圧（2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}[注4]			V
		温度センサ出力電圧（2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}[注4]			V

注 1. 量子化誤差（±1/2 LSB）を含みません。
2. フルスケール値に対する比率（%FSR）で表します。
3. 変換時間をmin：57μs　max：95μsに設定した場合の値です。
4. 29. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（4）基準電圧（＋）＝ 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－）＝ AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象I：ANI0, ANI2-ANI14, ANI16-ANI26

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, 1.6 V≦ EV_{DD0} = EV_{DD1}≦V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧（＋）= V_{BGR}[注3], 基準電圧（－）= AV_{REFM}[注4] = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES				8		bit
変換時間	t_{CONV}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±1.0	LSB
アナログ入力電圧	V_{AIN}			0		V_{BGR}[注3]	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 29. 6. 2 温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧（－）＝ V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.2 LSBを加算してください

29. 6. 2　温度センサ／内部基準電圧特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V, HS（高速メイン）モード）

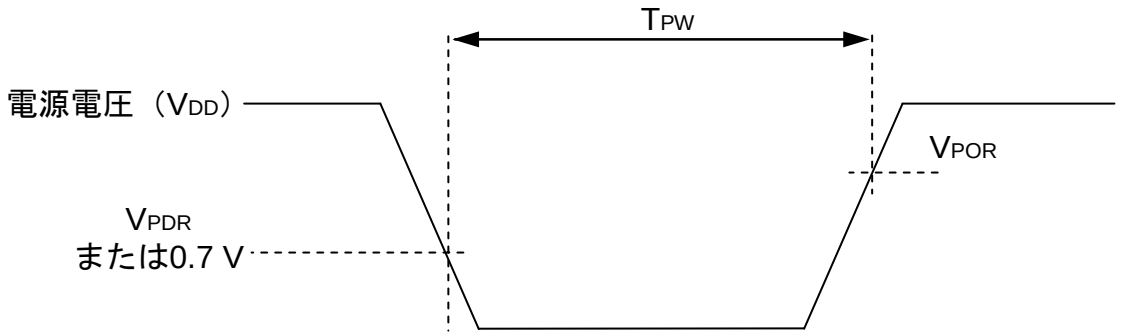
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，T_A = ＋25℃		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		－3.6		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

29. 6. 3　POR回路特性

（T_A = －40～＋85 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅注	T_{PW}		300			μs

注　V_{DD}がV_{PDR}を下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモード時および，クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（f_{MAIN}）を停止時は，V_{DD}が0.7 Vを下回ってから，V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



29. 6. 4　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（T_A = －40～＋85 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		V_{LVD1}	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		V_{LVD2}	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		V_{LVD3}	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		V_{LVD4}	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		V_{LVD5}	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		V_{LVD6}	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		V_{LVD7}	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		V_{LVD8}	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		V_{LVD9}	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		V_{LVD10}	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		V_{LVD11}	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		V_{LVD12}	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
		V_{LVD13}	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅		t_{LW}		300			μs
検出遅延						300	μs

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋85 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード	V_{LVDA0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 0, 0，立ち下がりリセット電圧			1.60	1.63	1.66	V
	V_{LVDA1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
				立ち下がり割り込み電圧	1.70	1.73	1.77	V
	V_{LVDA2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
				立ち下がり割り込み電圧	1.80	1.84	1.87	V
	V_{LVDA3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	V_{LVDB0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 0, 1，立ち下がりリセット電圧			1.80	1.84	1.87	V
	V_{LVDB1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
				立ち下がり割り込み電圧	1.90	1.94	1.98	V
	V_{LVDB2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
				立ち下がり割り込み電圧	2.00	2.04	2.08	V
	V_{LVDB3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
				立ち下がり割り込み電圧	3.00	3.06	3.12	V
	V_{LVDC0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 0，立ち下がりリセット電圧			2.40	2.45	2.50	V
	V_{LVDC1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
				立ち下がり割り込み電圧	2.50	2.55	2.60	V
	V_{LVDC2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
				立ち下がり割り込み電圧	2.60	2.65	2.70	V
	V_{LVDC3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
				立ち下がり割り込み電圧	3.60	3.67	3.74	V
	V_{LVDD0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 1，立ち下がりリセット電圧			2.70	2.75	2.81	V
	V_{LVDD1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	V_{LVDD2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
				立ち下がり割り込み電圧	2.90	2.96	3.02	V
	V_{LVDD3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
				立ち下がり割り込み電圧	3.90	3.98	4.06	V

29. 6. 5　電源電圧立ち上がり傾き特性

（T_A = －40～＋85 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

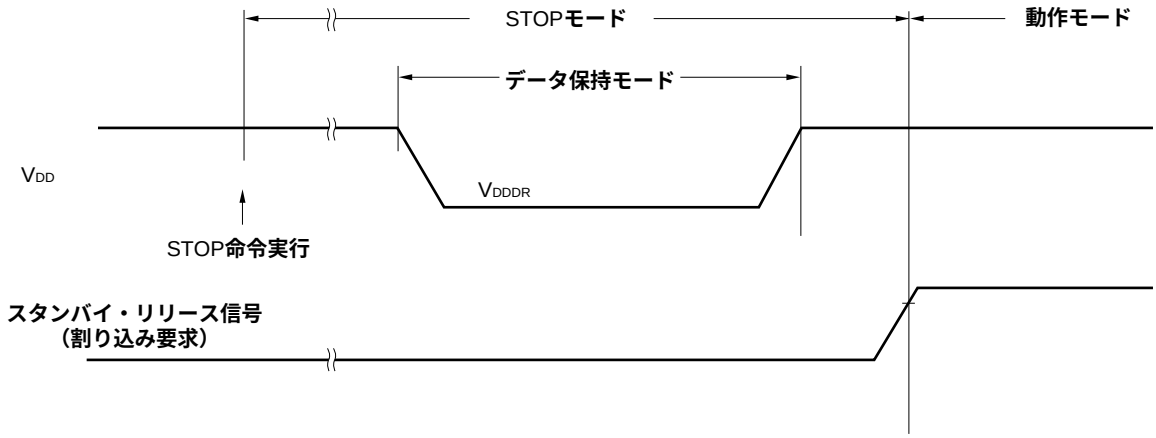
注意　V_{DD}が29.4 AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

29. 7　データ・メモリSTOPモード低電源電圧データ保持特性

（TA = －40～＋85 ℃, VSS = 0V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



29. 8　フラッシュ・メモリ・プログラミング特性

（TA = －40～＋85℃，1.8 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単　位
システム・クロック周波数	fCLK	1.8 V≦VDD≦5.5 V		1		32	MHz
コード・フラッシュの書き換え回数 注1,2,3	Cerwr	保持年数：20年	TA＝85℃	1,000			回
データ・フラッシュの書き換え回数 注1,2,3		保持年数：1年	TA＝25℃		1,000,000		
		保持年数：5年	TA＝85℃	100,000			
		保持年数：20年	TA＝85℃	10,000			

注 1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3. この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

29. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

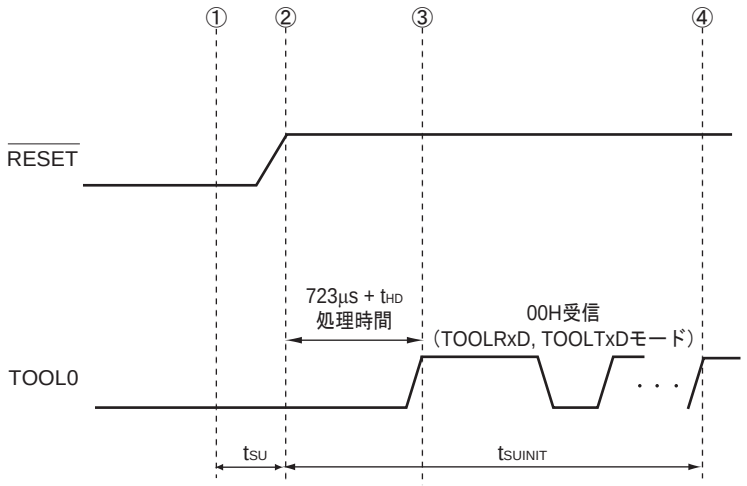
（TA = －40～＋85 ℃,　1.8 V ≦ EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

29. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（T_A = －40～＋85 ℃，1.8 V ≦ EV_{DD0} = EV_{DD1} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第30章　電気的特性（G：T_A = –40~＋105℃）

この章では，G：産業用途（T_A = –40～＋105℃）の電気的特性を示します。

注意1. RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

3. 製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。

★ 4. T_A = +85℃～+105℃で使用する場合のディレーティングについては，当社営業および販売店営業へお問い合わせください。なお，ディレーティングとは，「信頼性を改善するために，計画的に負荷を定格値から軽減すること」です。

”G：産業用途（T_A = －40～＋105℃）”は，“A：民生用途，D：産業用途” と次に示す機能が異なります。

用途区分	A：民生用途，D：産業用途	G：産業用途
動作周囲温度	T_A = －40～＋85℃	T_A = －40～＋105℃
動作モード 動作電圧範囲	HS（高速メイン）モード　： 2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz 2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz LS（低速メイン）モード　： 1.8 V≦V_{DD}≦5.5 V@1 MHz～8 MHz LV（低電圧メイン）モード： 1.6 V≦V_{DD}≦5.5 V@1 MHz～4 MHz	HS（高速メイン）モードのみ： 2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz 2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
高速オンチップ・オシレータ・クロック精度	1.8 V≦V_{DD}≦5.5 V： ±1.0 % @ T_A = －20～＋85℃ ±1.5 % @ T_A = －40～－20℃ 1.6 V≦V_{DD}＜1.8 V： ±5.0 % @ T_A = －20～＋85℃ ±5.5 % @ T_A = －40～－20℃	2.4 V≦V_{DD}≦5.5 V： ±2.0 % @ T_A = ＋85～＋105℃ ±1.0 % @ T_A = －20～＋85℃ ±1.5 % @ T_A = －40～－20℃
シリアル・アレイ・ユニット	UART CSI：f_{CLK}/2（16Mbps対応），f_{CLK}/4 簡易I^2C	UART CSI： f_{CLK}/4 簡易I^2C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	・立ち上がり：1.67 V～4.06 V（14段階） ・立ち下がり：1.63 V～3.98 V（14段階）	・立ち上がり：2.61 V～4.06 V（8段階） ・立ち下がり：2.55 V～3.98 V（8段階）

備考　G：産業用途（T_A = －40～＋105℃）の電気的特性は，“A：民生用途，D：産業用途” と異なります。詳細は，このページ以降の30. 1～30. 10を参照してください。

30. 1　絶対最大定格

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}		－0.5～＋6.5	V
	EV_{DD0}, EV_{DD1}	EV_{DD0} = EV_{DD1}	－0.5～＋6.5	V
	EV_{SS0}, EV_{SS1}	EV_{SS0} = EV_{SS1}	－0.5～＋0.3	V
REGC端子入力電圧	V_{IREGC}	REGC	－0.3～＋2.8 かつ－0.3～V_{DD}＋0.3[注1]	V
入力電圧	V_{I1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	－0.3～EV_{DD0}＋0.3 かつ－0.3～V_{DD}＋0.3[注2]	V
	V_{I2}	P60-P63（N-chオープン・ドレイン）	－0.3～＋6.5	V
	V_{I3}	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, $\overline{\text{RESET}}$	－0.3～V_{DD}＋0.3[注2]	V
出力電圧	V_{O1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	－0.3～EV_{DD0}＋0.3 かつ－0.3～V_{DD}＋0.3[注2]	V
	V_{O2}	P20-P27, P150-P156	－0.3～V_{DD}＋0.3[注2]	V
アナログ入力電圧	V_{AI1}	ANI16-ANI26	－0.3～EV_{DD0}＋0.3 かつ－0.3～AV_{REF}(+)＋0.3[注2, 3]	V
	V_{AI2}	ANI0-ANI14	－0.3～V_{DD}＋0.3 かつ－0.3～AV_{REF}(+)＋0.3[注2, 3]	V

注1.　REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2.　6.5 V以下であること。

3.　A/D変換対象の端子は，AV_{REF}(+)＋0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1.　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2.　AV_{REF}(+)：A/Dコンバータの＋側基準電圧

3.　V_{SS}を基準電圧とする。

絶対最大定格（TA = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	－40	mA
		端子合計 －170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	－70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	－100	mA
	I_{OH2}	1端子	P20-P27, P150-P156	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
	I_{OL2}	1端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
★ 動作周囲温度	T_A	通常動作時		－40～＋105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			－65～＋150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

30. 2　発振回路特性

30. 2. 1　X1, XT1発振回路特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	発振子	条　件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数（f_X）注	セラミック発振子／水晶振動子	2.7 V≦V_{DD}≦5.5 V	1.0		20.0	MHz
		2.4 V≦V_{DD}＜2.7 V	1.0		16.0	
XT1クロック発振周波数（f_{XT}）注	水晶振動子		32	32.768	35	kHz

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。
　　また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は、5. 4　システム・クロック発振回路を参照してください。

30. 2. 2　オンチップ・オシレータ特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータクロック周波数注1, 2	f_{IH}			1		32	MHz
高速オンチップ・オシレータクロック周波数精度		－20～＋85 ℃	2.4 V≦V_{DD}≦5.5 V	－1.0		＋1.0	%
		－40～－20 ℃	2.4 V≦V_{DD}≦5.5 V	－1.5		＋1.5	%
		＋85～＋105 ℃	2.4 V≦V_{DD}≦5.5 V	－2.0		＋2.0	%
低速オンチップ・オシレータクロック周波数	f_{IL}				15		kHz
低速オンチップ・オシレータクロック周波数精度				－15		＋15	%

注 1.　高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/010C2H）のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。
　2.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

30. 3　DC特性

30. 3. 1　端子特性

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} =0 V）　　（1/5）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147　1端子	2.4 V≦EV_{DD0}≦5.5 V			－3.0[注2]	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計（デューティ ≦ 70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			－30.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			－10.0	mA
			2.4 V≦EV_{DD0}＜2.7 V			－5.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147　合計（デューティ ≦70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			－30.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			－19.0	mA
			2.4 V≦EV_{DD0}＜2.7 V			－10.0	mA
		全端子合計（デューティ ≦70 %時[注3]）	2.4 V≦EV_{DD0}≦5.5 V			－60.0	mA
	I_{OH2}	P20-P27, P150-P156 1端子	2.4 V≦V_{DD}≦5.5 V			－0.1[注2]	mA
		全端子合計（デューティ ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			－1.5	mA

注 1.　EV_{DD0}, EV_{DD1}, V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2.　合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 =（－10.0×0.7）／（80×0.01）　－8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/5）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147　1端子				8.5[注2]	mA
		P60-P63 1端子				15.0[注2]	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 （デューティ ≦ 70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			40.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
			2.4 V≦EV_{DD0}＜2.7 V			9.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147　合計 （デューティ ≦70 %時[注3]）	4.0 V≦EV_{DD0}≦5.5 V			40.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
			2.4 V≦EV_{DD0}＜2.7 V			20.0	mA
		全端子合計 （デューティ ≦70 %時[注3]）				80.0	mA
	I_{OL2}	P20-P27, P150-P156 1端子				0.4[注2]	mA
		全端子合計 （デューティ ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			5.0	mA

注 1.　出力端子からEV_{SS0}, EV_{SS1}, V_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2.　合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での出力電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流 =（10.0×0.7）／（80×0.01）　8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V） （3/5）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8EV_{DD0}		EV_{DD0}	V
	V_{IH2}	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0}	V
			TTL入力バッファ 3.3 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0}	V
			TTL入力バッファ 2.4 V≦EV_{DD0}＜3.3 V	1.5		EV_{DD0}	V
	V_{IH3}	P20-P27, P150-P156		0.7V_{DD}		V_{DD}	V
	V_{IH4}	P60-P63		0.7EV_{DD0}		6.0	V
	V_{IH5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{RESET}$		0.8V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2EV_{DD0}	V
	V_{IL2}	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦EV_{DD0}＜4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V≦EV_{DD0}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P27, P150-P156		0		0.3V_{DD}	V
	V_{IL4}	P60-P63		0		0.3EV_{DD0}	V
	V_{IL5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{RESET}$		0		0.2V_{DD}	V

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はEV_{DD0}です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（4/5）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = －3.0 mA	EV_{DD0}－0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = －2.0 mA	EV_{DD0}－0.6			V
			2.4 V≦EV_{DD0}≦5.5 V, I_{OH1} = －1.5 mA	EV_{DD0}－0.5			V
	V_{OH2}	P20-P27, P150-P156	2.4 V≦V_{DD}≦5.5 V, I_{OH2} = －100 μA	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 3.0 mA			0.6	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
			2.4 V≦EV_{DD0}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
	V_{OL2}	P20-P27, P150-P156	2.4 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P60-P63	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 15.0 mA			2.0	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 5.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 3.0 mA			0.4	V
			2.4 V≦EV_{DD0}≦5.5 V, I_{OL3} = 2.0 mA			0.4	V

注意　P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144**は，**N-ch**オープン・ドレイン・モード時には，ハイ・レベル出力しません。**

備考　**特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。**

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　(5/5)

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V_I = EV_{DD0}				1	μA
	I_{LIH2}	P20-P27, P137, P150-P156, $\overline{RESET}$	V_I = V_{DD}				1	μA
	I_{LIH3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V_I = EV_{SS0}				－1	μA
	I_{LIL2}	P20-P27, P137, P150-P156, $\overline{RESET}$	V_I = V_{SS}				－1	μA
	I_{LIL3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
内蔵プルアップ抵抗	R_U	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V_I = EV_{SS0}，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

30. 3. 2　電源電流特性

（1）20～64ピン製品のフラッシュROM16～64 KBの製品

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} ≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）　　（1/2）

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 32 MHz[注3]	基本動作	V_{DD} = 5.0 V		2.1		mA
						V_{DD} = 3.0 V		2.1		
					通常動作	V_{DD} = 5.0 V		4.6	7.5	mA
						V_{DD} = 3.0 V		4.6	7.5	
				f_{IH} = 24 MHz[注3]	通常動作	V_{DD} = 5.0 V		3.7	5.8	mA
						V_{DD} = 3.0 V		3.7	5.8	
				f_{IH} = 16 MHz[注3]	通常動作	V_{DD} = 5.0 V		2.7	4.2	mA
						V_{DD} = 3.0 V		2.7	4.2	
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力		3.0	4.9	mA
						発振子接続		3.2	5.0	
				f_{MX} = 20 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		3.0	4.9	mA
						発振子接続		3.2	5.0	
				f_{MX} = 10 MHz[注2]，V_{DD} = 5.0 V	通常動作	方形波入力		1.9	2.9	mA
						発振子接続		1.9	2.9	
				f_{MX} = 10 MHz[注2]，V_{DD} = 3.0 V	通常動作	方形波入力		1.9	2.9	mA
						発振子接続		1.9	2.9	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		4.2	5.5	μA
						発振子接続		4.3	5.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		4.3	6.3	μA
						発振子接続		4.4	6.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		4.6	7.7	μA
						発振子接続		4.7	7.8	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋105℃	通常動作	方形波入力		6.9	19.7	μA
						発振子接続		7.0	19.8	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，サブシステム・クロックは停止時。

4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。RTC, 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz

2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（1）20～64ピン製品のフラッシュROM16～64 KBの製品

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = 0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS（高速メイン）モード[注7]	f_{IH} = 32 MHz[注4]	V_{DD} = 5.0 V		0.54	2.90	mA
					V_{DD} = 3.0 V		0.54	2.90	
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.44	2.30	mA
					V_{DD} = 3.0 V		0.44	2.30	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.40	1.70	mA
					V_{DD} = 3.0 V		0.40	1.70	
			HS（高速メイン）モード[注7]	f_{MX} = 20 MHz[注3]，	方形波入力		0.28	1.90	mA
				V_{DD} = 5.0 V	発振子接続		0.45	2.00	
				f_{MX} = 20 MHz[注3]，	方形波入力		0.28	1.90	mA
				V_{DD} = 3.0 V	発振子接続		0.45	2.00	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.19	1.02	mA
				V_{DD} = 5.0 V	発振子接続		0.26	1.10	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.19	1.02	mA
				V_{DD} = 3.0 V	発振子接続		0.26	1.10	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注5]	方形波入力		0.25	0.57	μA
				T_A = －40℃	発振子接続		0.44	0.76	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.30	0.57	μA
				T_A = ＋25℃	発振子接続		0.49	0.76	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.37	1.17	μA
				T_A = ＋50℃	発振子接続		0.56	1.36	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.53	1.97	μA
				T_A = ＋70℃	発振子接続		0.72	2.16	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.82	3.37	μA
				T_A = ＋85℃	発振子接続		1.01	3.56	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		3.01	15.37	μA
				T_A = ＋105℃	発振子接続		3.20	15.56	
	I_{DD3}[注6]	STOP モード[注8]	T_A = －40℃				0.18	0.50	μA
			T_A = ＋25℃				0.23	0.50	
			T_A = ＋50℃				0.30	1.10	
			T_A = ＋70℃				0.46	1.90	
			T_A = ＋85℃				0.75	3.30	
			T_A = ＋105℃				2.94	15.30	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
4. 高速システム・クロック，サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。RTCLPC = 1, かつ超低消費発振（AMPHS1 = 1）設定時。RTCに流れる電流は含みます。ただし，12ビットインターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
6. RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

   HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz

   2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数
3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）
4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

(2) 30～100ピン製品のフラッシュROM96～256 KBの製品

(T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)　　(1/2)

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 32 MHz[注3]	基本動作	V_{DD} = 5.0 V		2.3		mA
						V_{DD} = 3.0 V		2.3		
					通常動作	V_{DD} = 5.0 V		5.2	9.2	mA
						V_{DD} = 3.0 V		5.2	9.2	
				f_{IH} = 24 MHz[注3]	通常動作	V_{DD} = 5.0 V		4.1	7.0	mA
						V_{DD} = 3.0 V		4.1	7.0	
				f_{IH} = 16 MHz[注3]	通常動作	V_{DD} = 5.0 V		3.0	5.0	mA
						V_{DD} = 3.0 V		3.0	5.0	
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		3.4	5.9	mA
						発振子接続		3.6	6.0	
				f_{MX} = 20 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		3.4	5.9	mA
						発振子接続		3.6	6.0	
				f_{MX} = 10 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		2.1	3.5	mA
						発振子接続		2.1	3.5	
				f_{MX} = 10 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		2.1	3.5	mA
						発振子接続		2.1	3.5	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		4.8	5.9	μA
						発振子接続		4.9	6.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		4.9	5.9	μA
						発振子接続		5.0	6.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		5.0	7.6	μA
						発振子接続		5.1	7.7	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		5.2	9.3	μA
						発振子接続		5.3	9.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		5.7	13.3	μA
						発振子接続		5.8	13.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋105℃	通常動作	方形波入力		10.0	46.0	μA
						発振子接続		10.0	46.0	

(注，備考は次ページにあります。)

注 1. V_{DD}, EV_{DD0}, EV_{DD1}**に流れるトータル電流です。入力端子を**V_{DD}, EV_{DD0}, EV_{DD1}**または**V_{SS}, EV_{SS0}, EV_{SS1}**に固定した状態での入力リーク電流を含みます。また**MAX.**値には周辺動作電流を含みます。ただし，**A/D**コンバータ，**LVD**回路，**I/O**ポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。**

2. **高速オンチップ・オシレータ，サブシステム・クロックは停止時。**
3. **高速システム・クロック，サブシステム・クロックは停止時。**
4. **高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（**AMPHS1 = 1**）設定時。**RTC, 12**ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。**
5. **動作電圧範囲，**CPU**動作周波数，動作モードの関係を次に示します。**

HS**（高速メイン）モード**　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz

2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

備考1. f_{MX}　**：高速システム・クロック周波数（**X1**クロック発振周波数または外部メイン・システム・クロック周波数）**

2. f_{IH}　**：高速オンチップ・オシレータ・クロック周波数**
3. f_{SUB}　**：サブシステム・クロック周波数（**XT1**クロック発振周波数）**
4. **「サブシステム・クロック動作」以外の**TYP.**値の温度条件は，**T_A = 25 **℃です。**

（2）30～100ピン製品のフラッシュROM96～256 KBの製品

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS（高速メイン）モード[注7]	f_{IH} = 32 MHz[注4]	V_{DD} = 5.0 V		0.62	3.40	mA
					V_{DD} = 3.0 V		0.62	3.40	
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.50	2.70	mA
					V_{DD} = 3.0 V		0.50	2.70	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.44	1.90	mA
					V_{DD} = 3.0 V		0.44	1.90	
			HS（高速メイン）モード[注7]	f_{MX} = 20 MHz[注3]，	方形波入力		0.31	2.10	mA
				V_{DD} = 5.0 V	発振子接続		0.48	2.20	
				f_{MX} = 20 MHz[注3]，	方形波入力		0.31	2.10	mA
				V_{DD} = 3.0 V	発振子接続		0.48	2.20	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.21	1.10	mA
				V_{DD} = 5.0 V	発振子接続		0.28	1.20	
				f_{MX} = 10 MHz[注3]，	方形波入力		0.21	1.10	mA
				V_{DD} = 3.0 V	発振子接続		0.28	1.20	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注5]	方形波入力		0.28	0.61	μA
				T_A = －40℃	発振子接続		0.47	0.80	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.34	0.61	μA
				T_A = ＋25℃	発振子接続		0.53	0.80	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.41	2.30	μA
				T_A = ＋50℃	発振子接続		0.60	2.49	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		0.64	4.03	μA
				T_A = ＋70℃	発振子接続		0.83	4.22	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		1.09	8.04	μA
				T_A = ＋85℃	発振子接続		1.28	8.23	
				f_{SUB} = 32.768 kHz[注5]	方形波入力		5.50	41.00	μA
				T_A = ＋105℃	発振子接続		5.50	41.00	
	I_{DD3}[注6]	STOP モード[注8]	T_A = －40℃				0.19	0.52	μA
			T_A = ＋25℃				0.25	0.52	
			T_A = ＋50℃				0.32	2.21	
			T_A = ＋70℃				0.55	3.94	
			T_A = ＋85℃				1.00	7.95	
			T_A = ＋105℃				5.00	40.00	

（注，備考は次ページにあります。）

注 1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
4. 高速システム・クロック，サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。RTCLPC = 1, かつ超低消費発振（AMPHS1 = 1）設定時。RTCに流れる電流は含みます。ただし，12ビットインターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
6. RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

   HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz

   2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz
8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数
3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）
4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

(3) 周辺機能（全製品共通）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.20		μA
RTC動作電流	I_{RTC} 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	I_{IT} 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2, 5	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 6	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I_{ADREF} 注1				75.0		μA
温度センサ動作電流	I_{TMPS} 注1				75.0		μA
LVD動作電流	I_{LVI} 注1, 7				0.08		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 9				2.50	12.20	mA
BGO電流	I_{BGO} 注1, 8				2.50	12.20	mA
SNOOZE動作電流	I_{SNOZ} 注1	ADC動作	モード遷移中 注10		0.50	1.10	mA
			変換動作中，低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		1.20	2.04	
		CSI/UART動作			0.70	1.54	

注 1. V_{DD}に流れる電流です。

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。RTC動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{RTC}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはRTC動作電流が含まれています。

4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。12ビット・インターバル・タイマ動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{IT}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。

5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマ動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。

6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。

7. LVD回路にのみ流れる電流です。LVD回路動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が，RL78マイクロコントローラの電流値となります。

8. データ・フラッシュ書き換え動作に流れる電流です。

9. セルフ・プログラミング動作に流れる電流です。

10. SNOOZEモードへの以降時間は，18. 3. 3　SNOOZEモードを参照してください。

備考 1. f_{IL} **：低速オンチップ・オシレータ・クロック周波数**

2. f_{SUB} **：サブシステム・クロック周波数（**XT1**クロック発振周波数）**

3. f_{CLK} **：**CPU／**周辺ハードウエア・クロック周波数**

4. TYP.**値の温度条件は，**T_A = 25 **℃です。**

30. 4　AC特性

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.03125		1	μs
				2.4 V≦V_{DD}＜2.7 V	0.0625		1	μs
		サブシステム・クロック（f_{SUB}）動作		2.4 V≦V_{DD}≦5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.03125		1	μs
				2.4 V≦V_{DD}＜2.7 V	0.0625		1	μs
外部システム・クロック周波数	f_{EX}	2.7 V≦V_{DD}≦5.5 V			1.0		20.0	MHz
		2.4 V≦V_{DD}＜2.7 V			1.0		16.0	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}	2.7 V≦V_{DD}≦5.5 V			24			ns
		2.4 V≦V_{DD}＜2.7 V			30			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI00-TI07, TI10-TI17入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK}＋10			ns注
TO00-TO07, TO10-TO17出力周波数	f_{TO}	HS（高速メイン）モード	4.0 V≦EV_{DD0}≦5.5 V				16	MHz
			2.7 V≦EV_{DD0}＜4.0 V				8	MHz
			2.4 V≦EV_{DD0}＜2.7 V				4	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	HS（高速メイン）モード	4.0 V≦EV_{DD0}≦5.5 V				16	MHz
			2.7 V≦EV_{DD0}＜4.0 V				8	MHz
			2.4 V≦EV_{DD0}＜2.7 V				4	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0	2.4 V≦V_{DD}≦5.5 V		1			μs
		INTP1-INTP11	2.4 V≦EV_{DD0}≦5.5 V		1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}	KR0-KR7	2.4 V≦EV_{DD0}≦5.5 V		250			ns
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

注　EV_{DD0}＜V_{DD}となる低電圧インタフェース時は，次の条件も必要になります。

2.4 V≦EV_{DD0}＜2.7 V　：MIN. 125 ns

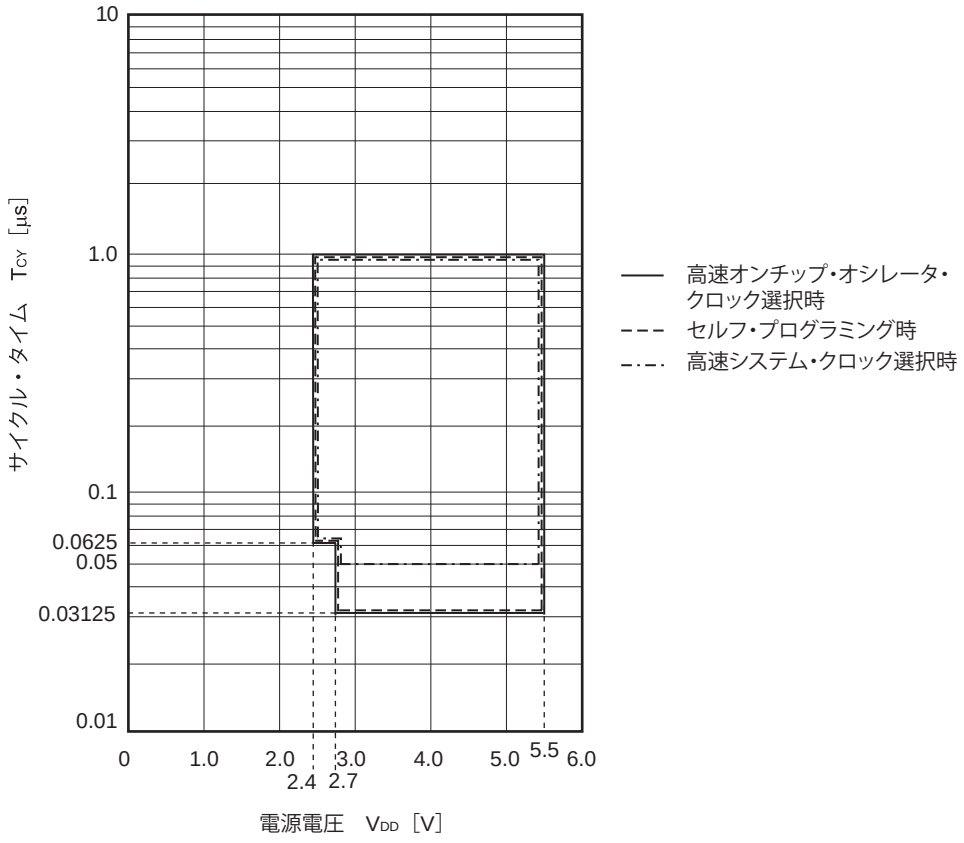
備考　f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数。

（タイマ・モード・レジスタmn（TMRmn）のCKSmn0, CKSmn1ビットで設定する動作クロック。

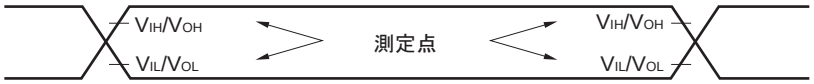
m：ユニット番号(m = 0, 1)，n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

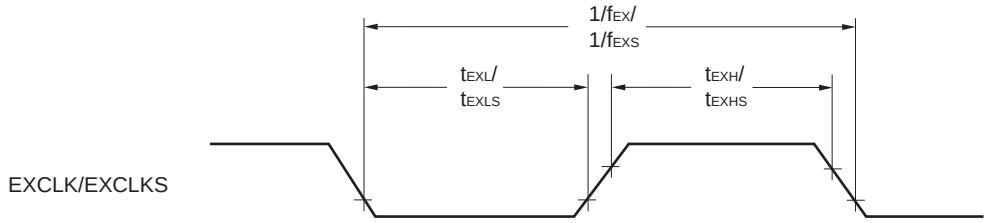
TCY vs VDD（HS（**高速メイン**）**モード**）



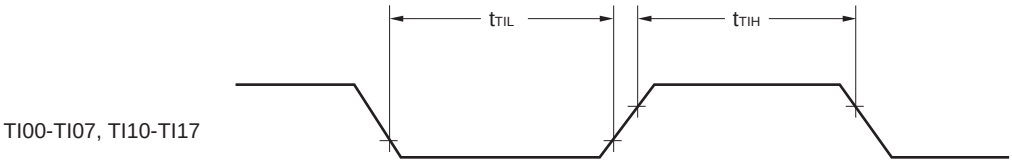
AC**タイミング測定点**

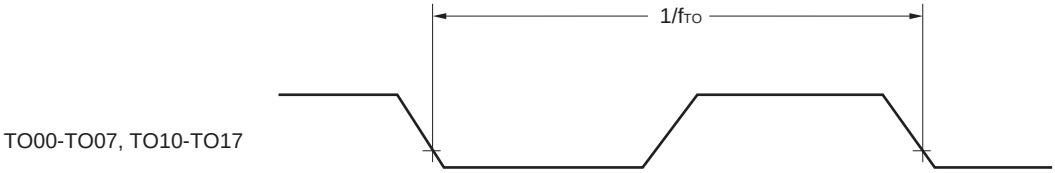


外部システム・クロック・タイミング

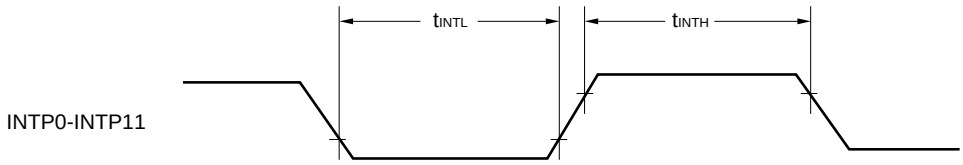


TI/TO**タイミング**

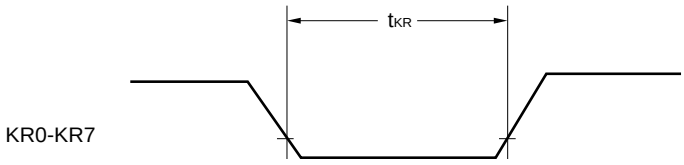




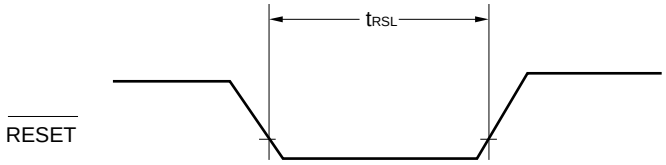
割り込み要求入力タイミング



キー割り込み入力タイミング



$\overline{\text{RESET}}$**入力タイミング**



30. 5　周辺機能特性

ACタイミング測定点

30. 5. 1　シリアル・アレイ・ユニット

(1) 同電位通信時（UARTモード）

（TA = －40～＋105 ℃，2.4 V≦EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
転送レート注1				fMCK/12注2	bps
		最大転送レート理論値 fCLK = 32 MHz, fMCK = fCLK		2.6	Mbps

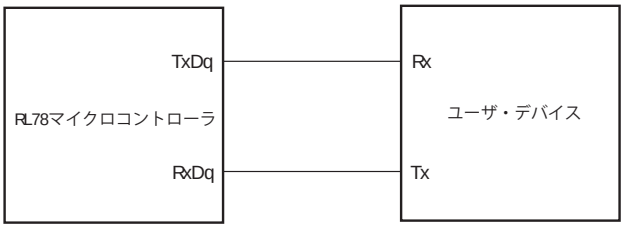
注 1.　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2.　EVDD0＜VDDとなる低電圧インタフェース時は、次の条件も必要になります。

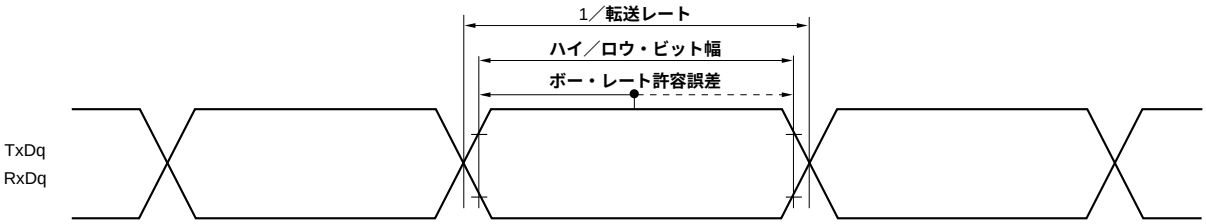
2.4 V≦EVDD0＜2.7 V　：MAX. 1.3 Mbps

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1.　q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 8, 14）

2.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

（2）同電位通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦EV_{DD0}≦5.5 V	250		ns
			2.4 V≦EV_{DD0}≦5.5 V	500		ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－24		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－36		ns
		2.4 V≦EV_{DD0}≦5.5 V		t_{KCY1}/2－76		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V		66		ns
		2.7 V≦EV_{DD0}≦5.5 V		66		ns
		2.4 V≦EV_{DD0}≦5.5 V		113		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}			38		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 30 pF注3			50	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31），m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-3）, g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

(3) 同電位通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCKpサイクル・タイム注4	t_{KCY2}	4.0 V≦EV_{DD0}≦5.5 V	20 MHz＜f_{MCK}	16/f_{MCK}		ns
			f_{MCK}≦20 MHz	12/f_{MCK}		ns
		2.7 V≦EV_{DD0}≦5.5 V	16 MHz＜f_{MCK}	16/f_{MCK}		ns
			f_{MCK}≦16 MHz	12/f_{MCK}		ns
		2.4 V≦EV_{DD0}≦5.5 V		12/f_{MCK} かつ1000		ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－14		ns
		2.7 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－16		ns
		2.4 V≦EV_{DD0}≦5.5 V		t_{KCY2}/2－36		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK2}	2.7 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋40		ns
		2.4 V≦EV_{DD0}≦5.5 V		1/f_{MCK}＋60		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI2}			1/f_{MCK}＋62		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3	2.7 V≦EV_{DD0}≦5.5 V		2/f_{MCK}＋66	ns
			2.4 V≦EV_{DD0}≦5.5 V		2/f_{MCK}＋113	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SOp出力ラインの負荷容量です。

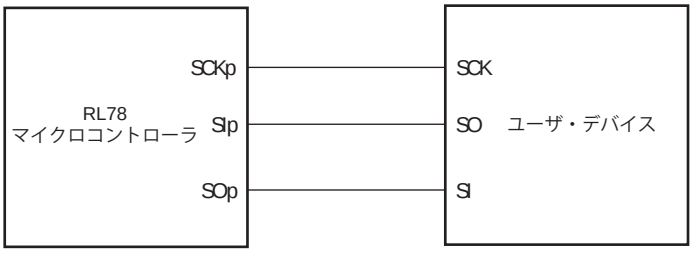
4. SNOOZEモードでの転送レートは，MAX.：1 Mbps

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考1. p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31），m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-3），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

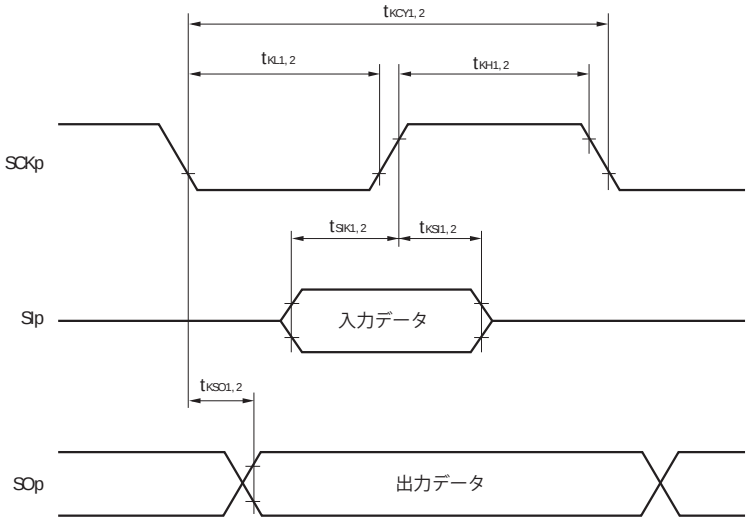
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

CSIモード接続図（同電位通信時）



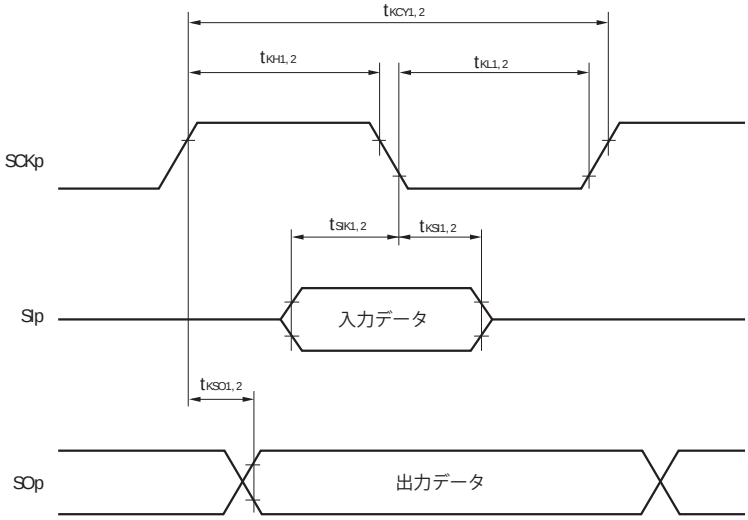
CSIモード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき）**



CSIモード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のとき）**



備考1.　p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）

2.　m**：ユニット番号，**n**：チャネル番号（**mn = 00-03, 10-13**）**

（4）同電位通信時（簡易I²Cモード）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
SCLrクロック周波数	f_{SCL}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		400注1	kHz
		2.4 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		100注1	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1200		ns
		2.4 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1200		ns
		2.4 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	4600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋220注2		ns
		2.4 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK}＋580注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦EV_{DD0}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	770	ns
		2.4 V≦EV_{DD0}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	1420	ns

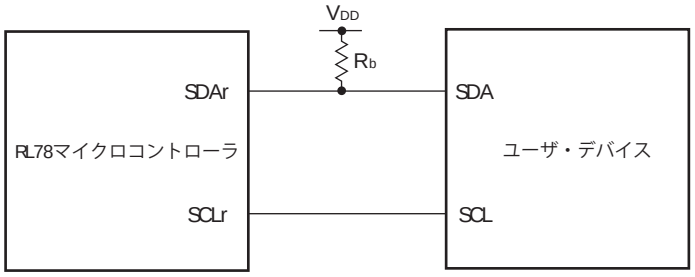
注 1.　かつf_{MCK}/4以下に設定してください。

2.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

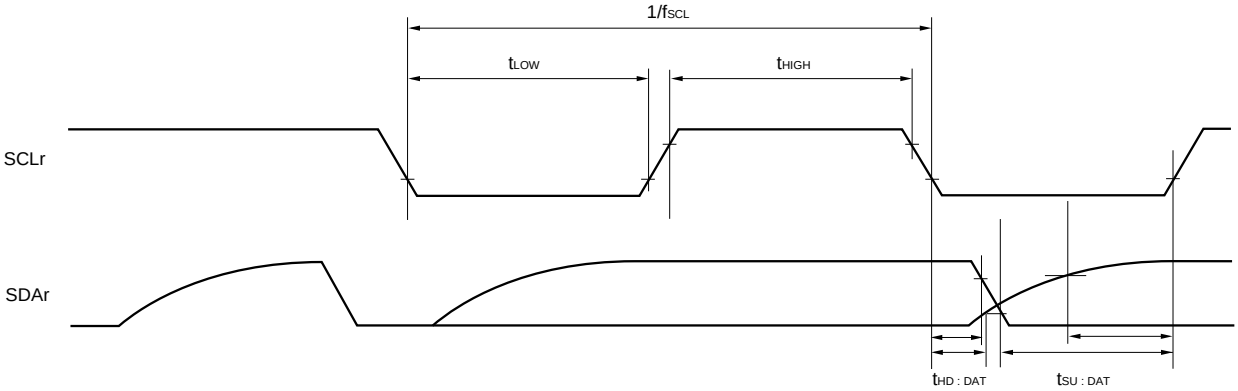
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタh（POMh）で，SDArは通常入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～100ピン製品の場合）モードを選択し，SCLrは通常出力モードを選択します。

（備考は次ページにあります。）

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考1.　Rb [Ω]：**通信ライン（**SDAr**）プルアップ抵抗値，**Cb [F]：**通信ライン（**SCLr, SDAr**）負荷容量値**

2.　r：IIC**番号（**r = 00, 01, 10, 11, 20, 21, 30, 31**）**, g：PIM**番号（**g = 0, 1, 4, 5, 8, 14**）**,
h：POM**番号（**h = 0, 1, 4, 5, 7-9, 14**）**

3.　fMCK：**シリアル・アレイ・ユニットの動作クロック周波数**
（SMRmn**レジスタの**CKSmn**ビットで設定する動作クロック。**m：**ユニット番号（**m = 0, 1**），**n：**チャネル番号（**n = 0, 2**）**, mn = 00-03, 10-13**）**

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
転送レート		受信	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		f_{MCK}/12 注1	bps
			最大転送レート理論値 f_{CLK} =32MHz, f_{MCK} = f_{CLK}		2.6	Mbps
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		f_{MCK}/12 注1	bps
			最大転送レート理論値 f_{CLK} =32MHz, f_{MCK} = f_{CLK}		2.6	Mbps
			2.4V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		f_{MCK}/12 注1,2	bps
			最大転送レート理論値 f_{CLK} =32MHz, f_{MCK} = f_{CLK}		2.6	Mbps

注 1. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2. EV_{DD0}＜V_{DD}となる低電圧インタフェース時は，次の条件も必要になります。

2.4 V≦EV_{DD0}＜2.7 V ：MAX. 1.3 Mbps

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～100ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]：通信ライン電圧

2. q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 8, 14）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

4. 周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1のとき，UART2の異電位通信は使用できません。

（5）異電位（1.8 V系，2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード MIN.	HS（高速メイン）モード MAX.	単　位
転送レート		送信	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		注1	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.6注2	Mbps
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		注3	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2注4	Mbps
			2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		注5	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V		0.43注6	Mbps

注1. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注5. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

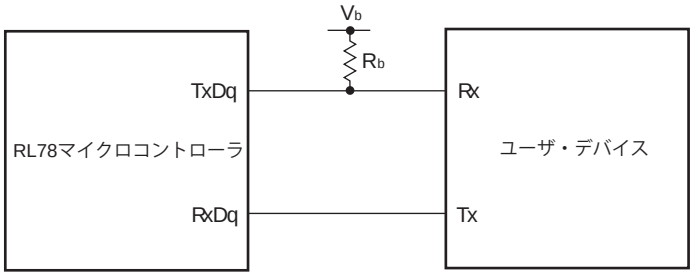
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

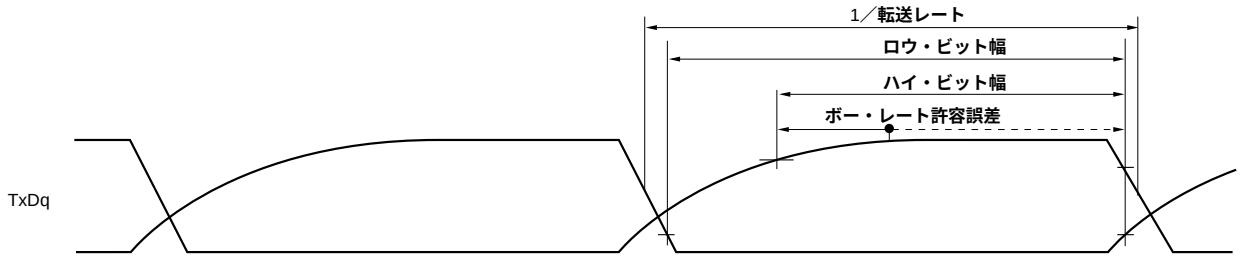
6. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

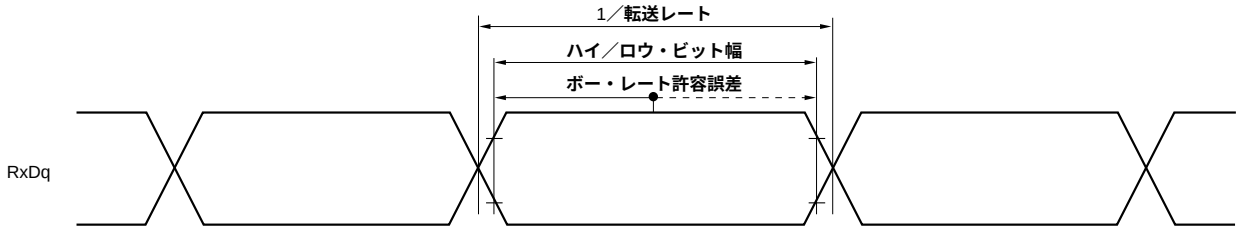
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～100ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）





備考1. R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，V_b [V]：通信ライン電圧

2. q：UART番号（q = 0-3），g：PIM, POM番号（g = 0, 1, 8, 14）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03, 10-13））

4. 周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1のとき，UART2の異電位通信は使用できません。

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）（1/3）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4f_{CLK}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	600		ns
			2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	1000		ns
			2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－150		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－340		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－916		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－24		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－36		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－100		ns

注意　**ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～100ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。**

（備考は次次々ページにあります。）

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）（2/3）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
SIpセットアップ時間（対SCKp↑）注	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	162		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	354		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	958		ns
SIpホールド時間（対SCKp↑）注	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	38		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	38		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 2.7 kΩ	38		ns
SCKp↓→SOp出力遅延時間注	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		200	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		390	ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		966	ns

注　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次々ページにあります。）

（6）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力）（3/3）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

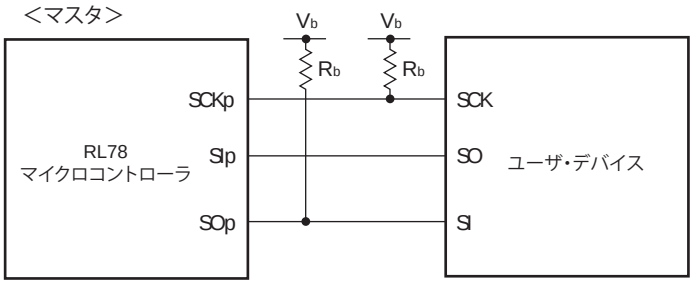
項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
SIpセットアップ時間（対SCKp↓）注	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	88		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	88		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	220		ns
SIpホールド時間（対SCKp↓）注	t_{KSI1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	38		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	38		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	38		ns
SCKp↑→SOp出力遅延時間注	t_{KSO1}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		50	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		50	ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		50	ns

注　DAPmn = 0, CKPmn = 1または DAPmn = 1, CKPmn = 0のとき。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～128ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

CSIモード接続図（異電位通信時）



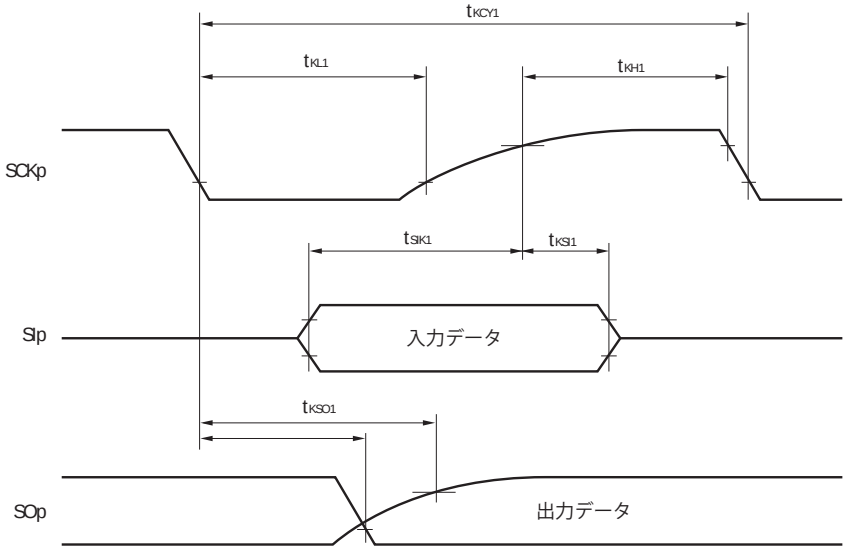
備考1. R_b [Ω]：**通信ライン**（SCKp, SOp）**プルアップ抵抗値**，C_b [F]：**通信ライン**（SCKp, SOp）**負荷容量値**，V_b [V]：**通信ライン電圧**

2. p：CSI**番号**（p = 00, 01, 10, 20, 30, 31），m：**ユニット番号**，n：**チャネル番号**（mn = 00, 01, 02, 10, 12, 13），g：PIM, POM**番号**（g = 0, 1, 4, 5, 8, 14）

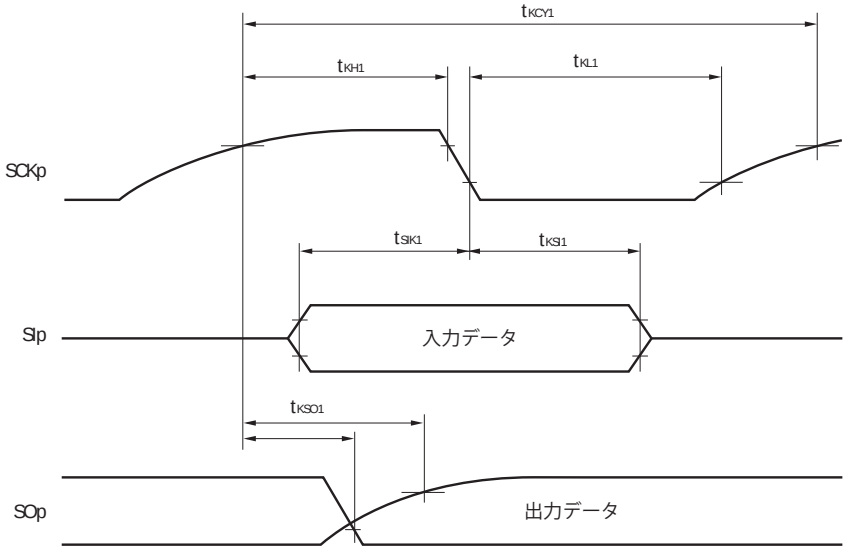
3. f_{MCK}：**シリアル・アレイ・ユニットの動作クロック周波数**
シリアル・モード・レジスタmn（SMRmn）**の**CKSmn**ビットで設定する動作クロック**。m：**ユニット番号**，n：**チャネル番号**（mn = 00））

4. CSI11, CSI21**と**，48, 52, 64**ピン製品の**CSI01**は異電位通信できません。異電位通信をする場合は，それ以外の**CSI**を使用してください。

CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 10, 20, 30, 31），m：ユニット番号，n：チャネル番号（mn = 00, 01, 02, 10, 12, 13），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

2. CSI11, CSI21と，48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（7）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCKpサイクル・タイム[注1]	t_{KCY2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V	24 MHz＜f_{MCK}	28/f_{MCK}		ns
			20 MHz＜f_{MCK}≦24 MHz	24/f_{MCK}		ns
			8 MHz＜f_{MCK}≦20 MHz	20/f_{MCK}		ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}		ns
			f_{MCK}≦4 MHz	12/f_{MCK}		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V	24 MHz＜f_{MCK}	40/f_{MCK}		ns
			20 MHz＜f_{MCK}≦24 MHz	32/f_{MCK}		ns
			16 MHz＜f_{MCK}≦20 MHz	28/f_{MCK}		ns
			8 MHz＜f_{MCK}≦16 MHz	24/f_{MCK}		ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}		ns
			f_{MCK}≦4 MHz	12/f_{MCK}		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V	24 MHz＜f_{MCK}	96/f_{MCK}		ns
			20 MHz＜f_{MCK}≦24 MHz	72/f_{MCK}		ns
			16 MHz＜f_{MCK}≦20 MHz	64/f_{MCK}		ns
			8 MHz＜f_{MCK}≦16 MHz	52/f_{MCK}		ns
			4 MHz＜f_{MCK}≦8 MHz	32/f_{MCK}		ns
			f_{MCK}≦4 MHz	20/f_{MCK}		ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		t_{KCY2}/2－24		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V		t_{KCY2}/2－36		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V		t_{KCY2}/2－100		ns
SIpセットアップ時間（対SCKp↑）[注2]	t_{SIK2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V		1/f_{MCK}＋40		ns
		2.7 V≦EV_{DD0}≦4.0 V, 2.3 V≦V_b≦2.7 V		1/f_{MCK}＋40		ns
		2.4 V≦EV_{DD0}≦3.3 V, 1.6 V≦V_b≦2.0 V		1/f_{MCK}＋60		ns
SIpホールド時間（対SCKp↑）[注2]	t_{KSI2}			1/f_{MCK}＋62		ns
SCKp↓→SOp出力遅延時間[注3]	t_{KSO2}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			2/f_{MCK}＋240	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			2/f_{MCK}＋428	ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ			2/f_{MCK}＋1146	ns

（注、注意、備考は次ページにあります。）

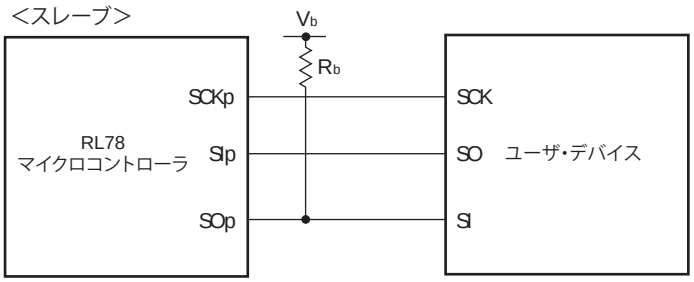
注1. SNOOZE**モードでの転送レートは，**MAX.：1 Mbps

2. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**SCKp↓**”となります。**

3. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**SCKp↑**”となります。**

注意　ポート入力モード・レジスタg**（**PIMg**）とポート出力モード・レジスタ**g**（**POMg**）で，**SIp**端子と**SCKp**端子は**TTL**入力バッファを選択し，**SOp**端子は**N-ch**オープン・ドレイン出力（**V_{DD}**耐圧（**20～52**ピン製品の場合）／**EV_{DD}**耐圧（**64～128**ピン製品の場合）モードを選択します。なお**V_{IH}**，**V_{IL}**は，**TTL**入力バッファ選択時の**DC**特性を参照してください。**

CSIモード接続図（異電位通信時）



備考1. R_b [Ω]：**通信ライン（**SOp**）プルアップ抵抗値，**C_b [F]：**通信ライン（**SOp**）負荷容量値，**
Vb [V]：**通信ライン電圧**

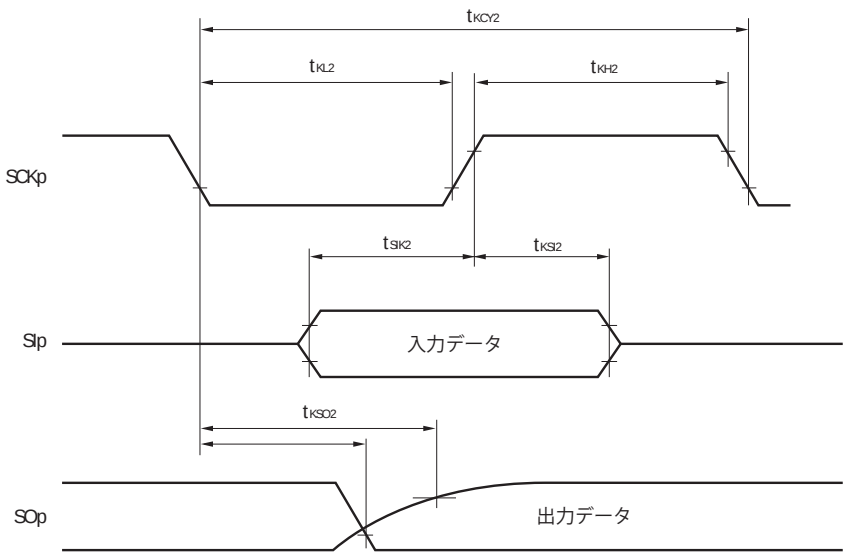
2. p：**CSI番号（**p = 00, 01, 10, 20, 30, 31**），**m：**ユニット番号，**n：**チャネル番号（**mn = 00, 01, 02, 10, 12, 13**），**
g：PIM, POM**番号（**g = 0, 1, 4, 5, 8, 14**）**

3. f_{MCK}：**シリアル・アレイ・ユニットの動作クロック周波数**
（シリアル・モード・レジスタmn**（**SMRmn**）の**CKSmn**ビットで設定する動作クロック。**m：**ユニット番号，**
n：**チャネル番号（**mn = 00, 01, 02, 10, 12, 13**））**

4. CSI11, CSI21**と，**48, 52, 64**ピン製品の**CSI01**は異電位通信できません。異電位通信をする場合は，それ以外の**CSI**を使用してください。**

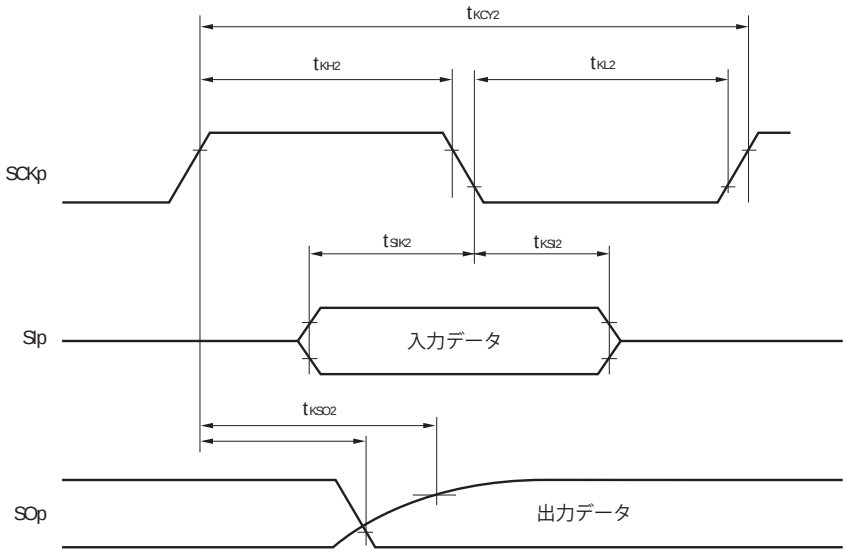
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき）**



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のとき）**



備考1.　p：CSI**番号**（p = 00, 01, 10, 20, 30, 31），m：**ユニット番号**，n：**チャネル番号**（mn = 00, 01, 02, 10, 12, 13），g：PIM, POM**番号**（g = 0, 1, 4, 5, 8, 14）

2.　CSI11, CSI21**と**，48, 52, 64**ピン製品の**CSI01**は異電位通信できません。異電位通信をする場合は，それ以外の**CSI**を使用してください。**

(8) 異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（1/2）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
SCLrクロック周波数	f_{SCL}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ		400注1	kHz
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ		400注1	kHz
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ		100注1	kHz
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ		100注1	kHz
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 100 pF, R_b = 5.5 kΩ		100注1	kHz
SCLr = "L" のホールド・タイム	t_{LOW}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	1200		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	1200		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	4600		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	4600		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 100 pF, R_b = 5.5 kΩ	4650		ns
SCLr = "H" のホールド・タイム	t_{HIGH}	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	620		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	500		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	2700		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	2400		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V C_b = 100 pF, R_b = 5.5 kΩ	1830		ns

（注，注意は次ページ，備考は次々ページにあります。）

(8) 異電位（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（2/2）

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋340 注2		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋340 注2		ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1/f_{MCK}＋760 注2		ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK}＋760 注2		ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V C_b = 100 pF, R_b = 5.5 kΩ	1/f_{MCK}＋570 注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	0	770	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	0	770	ns
		4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	0	1420	ns
		2.7 V≦EV_{DD0}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	0	1420	ns
		2.4 V≦EV_{DD0}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 100 pF, R_b = 5.5 kΩ	0	1215	ns

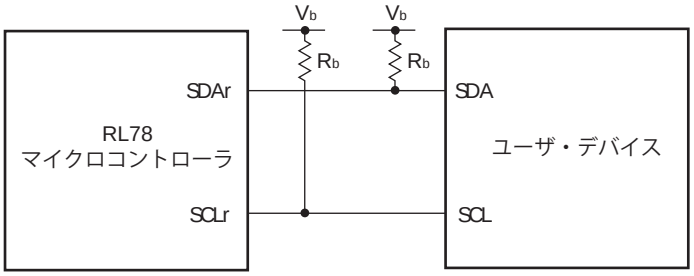
注 1.　かつf_{MCK}/4以下に設定してください。

2.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

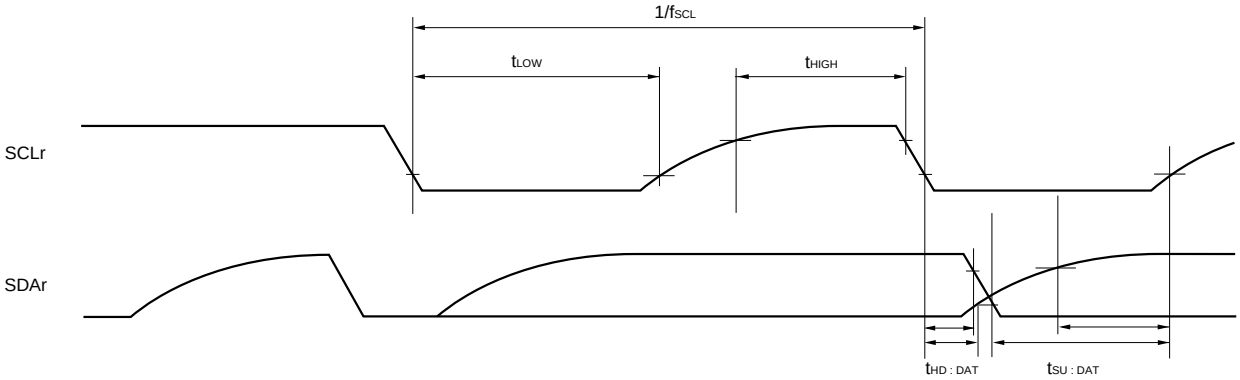
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～100ピン製品の場合）モードを選択し，SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64～100ピン製品の場合）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（VDD耐圧（20～52ピン製品の場合）／EVDD耐圧（64～100ピン製品の場合）モードを選択し，SCLrはN-chオープン・ドレイン出力（VDD耐圧（20～52ピン製品の場合）／EVDD耐圧（64～100ピン製品の場合）モードを選択します。なおVIH, VILは，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　Rb [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，Cb [F]：通信ライン（SDAr, SCLr）負荷容量値，
Vb [V]：通信ライン電圧

2.　r：IIC番号（r = 00, 01, 10, 20, 30, 31），g：PIM, POM番号（g = 0, 1, 4, 5, 8, 14）

3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01, 02, 10, 12, 13））

30. 5. 2　シリアル・インタフェースIICA

（TA = －40～＋105 ℃，2.4 V≦EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード				単　位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK} ≧3.5 MHz	－	－	0	400	kHz
		標準モード：f_{CLK}≧1MHz	0	100	－	－	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7		0.6		μs
ホールド時間注1	$t_{HD:STA}$		4.0		0.6		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}		4.7		1.3		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}		4.0		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		μs
バス・フリー時間	t_{BUF}		4.7		1.3		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

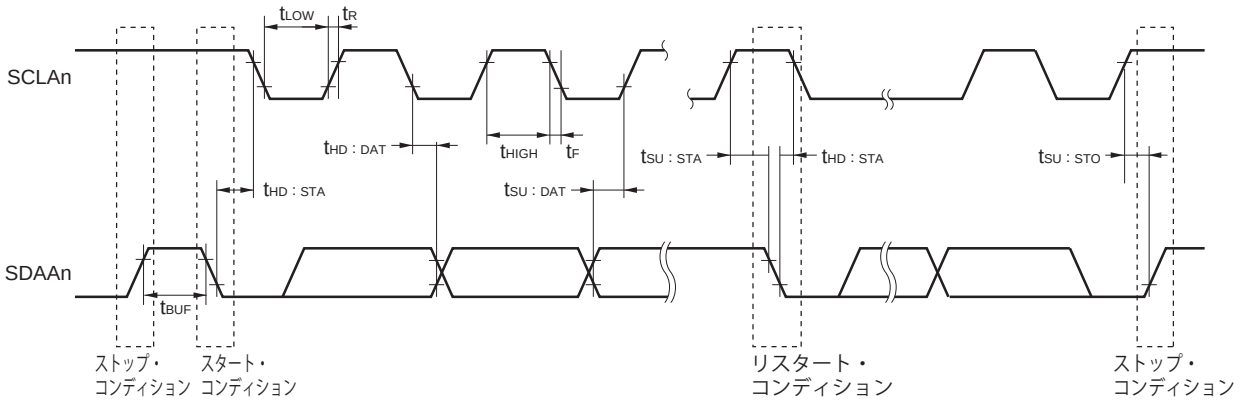
注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット2（PIOR2）が1の場合も，上記の値を適用できます。ただし，端子特性（IOH1,IOL1,VOH1,VOL1）はリダイレクト先の値を満たしてください。

備考　各モードにおけるCb（通信ライン容量）のMAX.値と，そのときのRb（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　　：Cb = 400 pF, Rb = 2.7 kΩ

ファースト・モード　　：Cb = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



備考　n = 0, 1

30. 6　アナログ特性

30. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧（＋） = AV_{REFP} 基準電圧（－） = AV_{REFM}	基準電圧（＋） = V_{DD} 基準電圧（－） = V_{SS}	基準電圧（＋） = V_{BGR} 基準電圧（－） = AV_{REFM}
ANI0-ANI14	30. 6. 1（1）参照	30. 6. 1（3）参照	30. 6. 1（3）参照
ANI16-ANI26	30. 6. 1（2）参照		
内部基準電圧 温度センサ出力電圧	30. 6. 1（1）参照		–

（1）基準電圧（＋） = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI14，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋105 ℃，2.4 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V		1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI2-ANI14	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象： 内部基準電圧 温度センサ出力電圧 （HS（高速メイン）モード）	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±2.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2-14		0		AV_{REFP}	V
		内部基準電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}注4			V
		温度センサ出力電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}注4			V

注1.　量子化誤差（±1/2 LSB）を含みません。

2.　フルスケール値に対する比率（%FSR）で表します。

3.　AV_{REFP} ＜ V_{DD}の場合，MAX.値は次のようになります。

総合誤差　：AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください

4.　30. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（2）**基準電圧（＋）** = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），**基準電圧（－）** = AV_{REFM}/ANI1（ADREFM = 1）**選択時，変換対象：**ANI16-ANI26

（T_A = －40～＋105 **℃，**2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, 2.4 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, **基準電圧（＋）** = AV_{REFP}, **基準電圧（－）** = AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10**ビット分解能** E_{VDD0}≦AV_{REFP} = V_{DD}注3, 4	2.4 V≦AV_{REFP}≦5.5 V		1.2	±5.0	LSB
変換時間	t_{CONV}	10**ビット分解能** **変換対象：**ANI16-ANI26	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10**ビット分解能** E_{VDD0}≦AV_{REFP} = V_{DD}注3, 4	2.4 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
フルスケール誤差注1, 2	E_{FS}	10**ビット分解能** E_{VDD0}≦AV_{REFP} = V_{DD}注3, 4	2.4 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
積分直線性誤差注1	ILE	10**ビット分解能** E_{VDD0}≦AV_{REFP} = V_{DD}注3, 4	2.4 V≦AV_{REFP}≦5.5 V			±3.5	LSB
微分直線性誤差注1	DLE	10**ビット分解能** E_{VDD0}≦AV_{REFP} = V_{DD}注3, 4	2.4 V≦AV_{REFP}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI26		0		AV_{REFP} **かつ** EV_{DD0}	V

注1．**量子化誤差（**±1/2 LSB**）を含みません。**

2．**フルスケール値に対する比率（**%FSR**）で表します。**

3．EV_{DD0} ≦ AV_{REFP} ＜ V_{DD}**の場合，**MAX.**値は次のようになります。**

総合誤差　：AV_{REFP} = V_{DD}**の**MAX.**値に**±1.0 LSB**を加算してください**

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}**の**MAX.**値に**±0.05 %FSR**を加算してください**

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}**の**MAX.**値に**±0.5 LSB**を加算してください**

4．AV_{REFP} ＜ EV_{DD0} ≦ V_{DD}**の場合，**MAX.**値は次のようになります。**

総合誤差　：AV_{REFP} = V_{DD}**の**MAX.**値に**±4.0 LSB**を加算してください**

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}**の**MAX.**値に**±0.20 %FSR**を加算してください**

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}**の**MAX.**値に**±2.0 LSB**を加算してください**

（3）基準電圧（＋） = V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（－） = V_{SS}（ADREFM = 0）選択時，変換対象：ANI0-ANI14, ANI16-ANI26，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧（＋） = V_{DD}，基準電圧（－） = V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	2.4 V≦V_{DD}≦5.5 V		1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI14, ANI16-ANI26	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象： 内部基準電圧、 温度センサ出力電圧 （HS（高速メイン）モード）	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI14		0		V_{DD}	V
		ANI16-ANI26		0		EV_{DD0}	V
		内部基準電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}注3			V
		温度センサ出力電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}注3			V

注1．量子化誤差（±1/2 LSB）を含みません。

2．フルスケール値に対する比率（%FSR）で表します。

3．30. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（4）基準電圧（＋） = 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI0, ANI2-ANI14, ANI16-ANI26

（T_A = －40～＋105 ℃，2.4 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧（＋）= VBGR[注3], 基準電圧（－）= AV_{REFM}[注4] = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES				8		bit
変換時間	t_{CONV}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±1.0	LSB
アナログ入力電圧	V_{AIN}			0		V_{BGR}[注3]	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 30. 6. 2 温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧（－） = V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.2 LSBを加算してください

30. 6. 2　温度センサ／内部基準電圧特性

（TA = －40～＋105 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V, HS（高速メイン）モード）

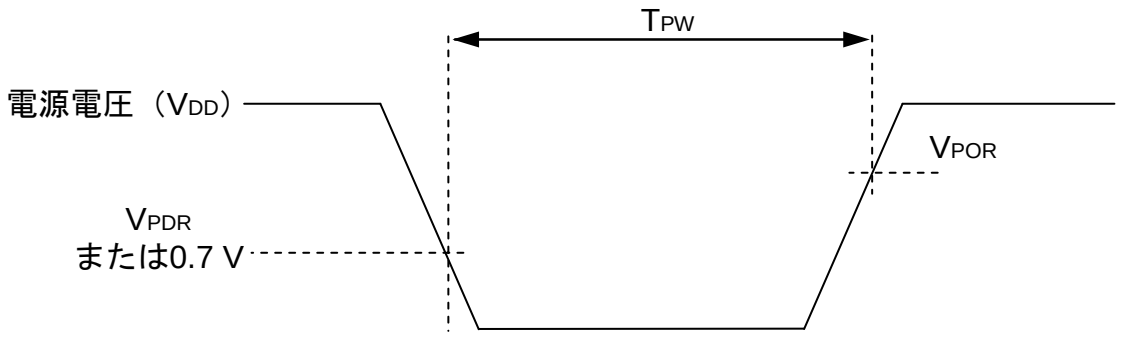
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，TA = ＋25℃		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		－3.6		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

30. 6. 3　POR回路特性

（TA = －40～＋105 ℃，VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V_{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅	T_{PW}		300			μs

注　VDDがVPDRを下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモードに移行時および，クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（fMAIN）を停止時は，VDDが0.7 Vを下回ってから，VPORを上回るまでのPORによるリセット動作に必要な時間です。



30. 6. 4　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（T_A = －40～＋105 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
		V_{LVD1}	電源立ち上がり時	3.60	3.75	3.90	V
			電源立ち下がり時	3.53	3.67	3.81	V
		V_{LVD2}	電源立ち上がり時	3.01	3.13	3.25	V
			電源立ち下がり時	2.94	3.06	3.18	V
		V_{LVD3}	電源立ち上がり時	2.90	3.02	3.14	V
			電源立ち下がり時	2.85	2.96	3.07	V
		V_{LVD4}	電源立ち上がり時	2.81	2.92	3.03	V
			電源立ち下がり時	2.75	2.86	2.97	V
		V_{LVD5}	電源立ち上がり時	2.70	2.81	2.92	V
			電源立ち下がり時	2.64	2.75	2.86	V
		V_{LVD6}	電源立ち上がり時	2.61	2.71	2.81	V
			電源立ち下がり時	2.55	2.65	2.75	V
		V_{LVD7}	電源立ち上がり時	2.51	2.61	2.71	V
			電源立ち下がり時	2.45	2.55	2.65	V
最小パルス幅		t_{LW}		300			μs
検出遅延						300	μs

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋105 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード	V_{LVDD0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 1，立ち下がりリセット電圧			2.64	2.75	2.86	V
	V_{LVDD1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
				立ち下がり割り込み電圧	2.75	2.86	2.97	V
	V_{LVDD2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
				立ち下がり割り込み電圧	2.85	2.96	3.07	V
	V_{LVDD3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
				立ち下がり割り込み電圧	3.83	3.98	4.13	V

30. 6. 5　電源電圧立ち上がり傾き特性

（T_A = －40～＋105 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

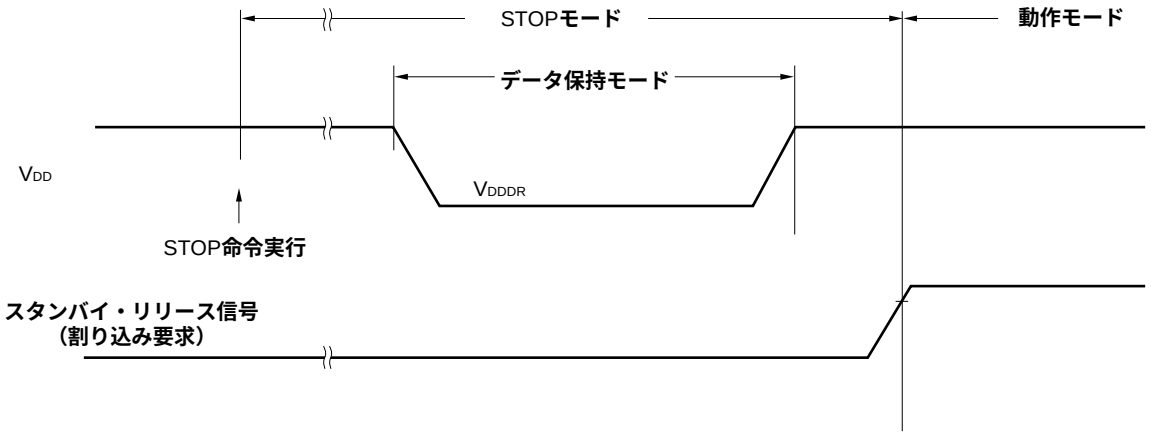
注意　V_{DD}が30.4 AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

30. 7　データ・メモリSTOPモード低電源電圧データ保持特性

（TA = －40～＋105 ℃, VSS = 0 V）

項　目	略 号	条　件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	VDDDR		1.44注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



30. 8　フラッシュ・メモリ・プログラミング特性

（TA = －40～＋105℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単 位
システム・クロック周波数	fCLK	2.4 V≦VDD≦5.5 V		1		32	MHz
コード・フラッシュの書き換え回数 注1,2,3	Cerwr	保持年数：20年	TA＝85℃	1,000			回
データ・フラッシュの書き換え回数 注1,2,3		保持年数：1年	TA＝25℃		1,000,000		
		保持年数：5年	TA＝85℃	100,000			
		保持年数：20年	TA＝85℃	10,000			

注1.　消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

30. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

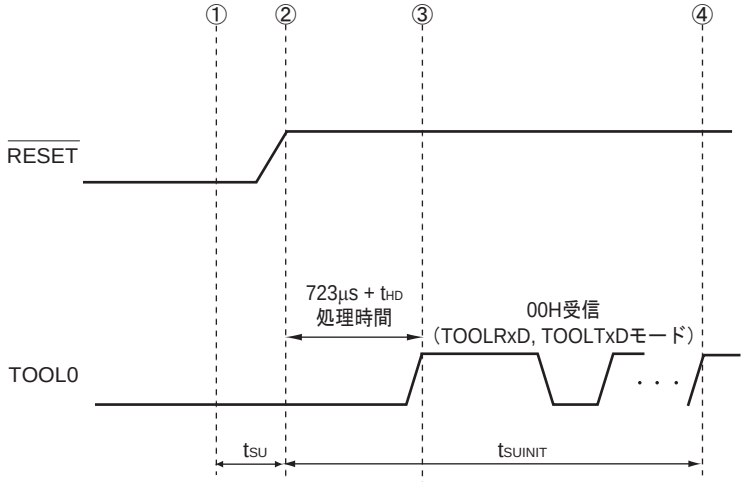
（TA = －40～＋105 ℃，2.4 V≦EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V）

項　目	略 号	条　件	MIN.	TYP.	MAX.	単 位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

30. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（TA = －40～＋105 ℃，2.4 V≦EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第31章 外 形 図

31. 1 20ピン製品

R5F1006AASP, R5F1006CASP, R5F1006DASP, R5F1006EASP

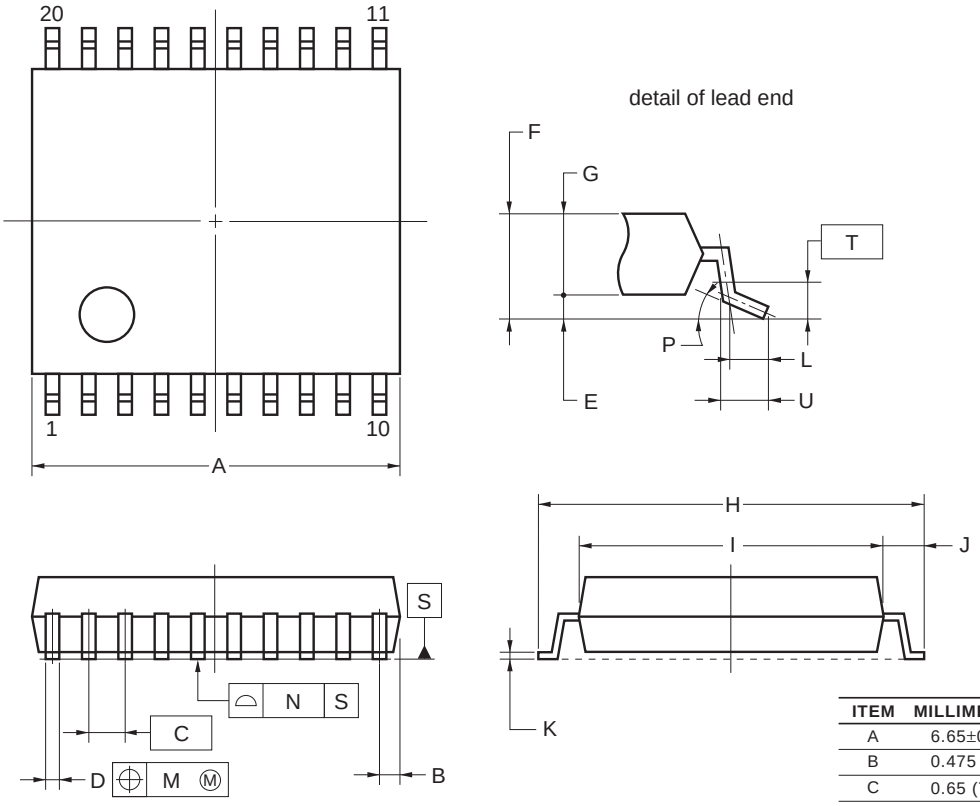
R5F1016AASP, R5F1016CASP, R5F1016DASP, R5F1016EASP

R5F1006ADSP, R5F1006CDSP, R5F1006DDSP, R5F1006EDSP

R5F1016ADSP, R5F1016CDSP, R5F1016DDSP, R5F1016EDSP

R5F1006AGSP, R5F1006CGSP, R5F1006DGSP, R5F1006EGSP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-0300-0.65	PLSP0020JC-A	S20MC-65-5A4-3	0.12



NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

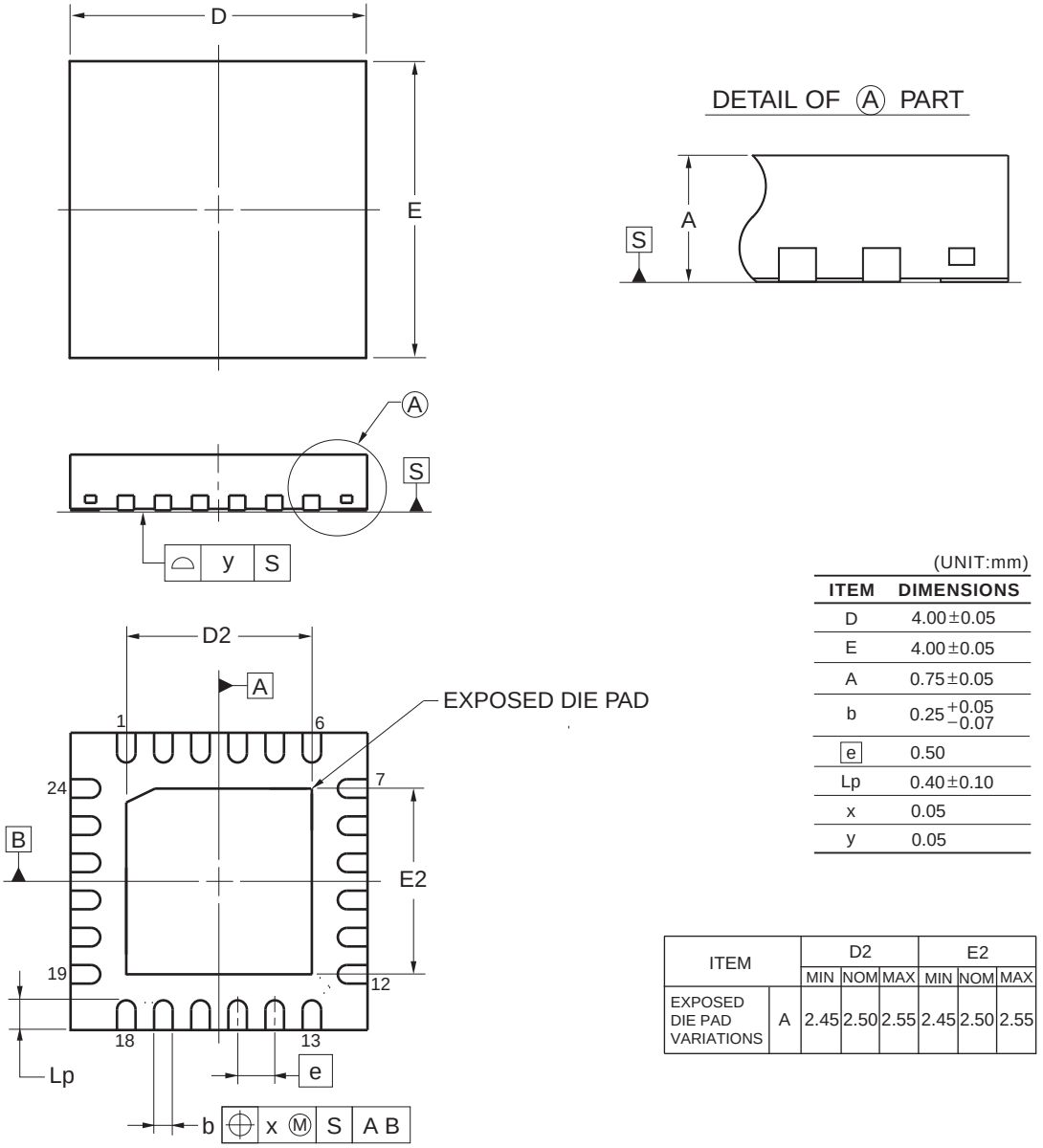
ITEM	MILLIMETERS
A	6.65±0.15
B	0.475 MAX.
C	0.65 (T.P.)
D	$0.24^{+0.08}_{-0.07}$
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	$3^\circ{}^{+5^\circ}_{-3^\circ}$
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

31. 2 24ピン製品

R5F1007AANA, R5F1007CANA, R5F1007DANA, R5F1007EANA
R5F1017AANA, R5F1017CANA, R5F1017DANA, R5F1017EANA
R5F1007ADNA, R5F1007CDNA, R5F1007DDNA, R5F1007EDNA
R5F1017AANA, R5F1017CDNA, R5F1017DDNA, R5F1017EDNA
R5F1007AGNA, R5F1007CGNA, R5F1007DGNA, R5F1007EGNA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN24-4x4-0.50	PWQN0024KE-A	P24K8-50-CAB-1	0.04



(UNIT:mm)

ITEM	DIMENSIONS
D	4.00±0.05
E	4.00±0.05
A	0.75±0.05
b	$0.25^{+0.05}_{-0.07}$
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

ITEM		D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	2.45	2.50	2.55	2.45	2.50	2.55

©2012 Renesas Electronics Corporation. All rights reserved.

31. 3 25ピン製品

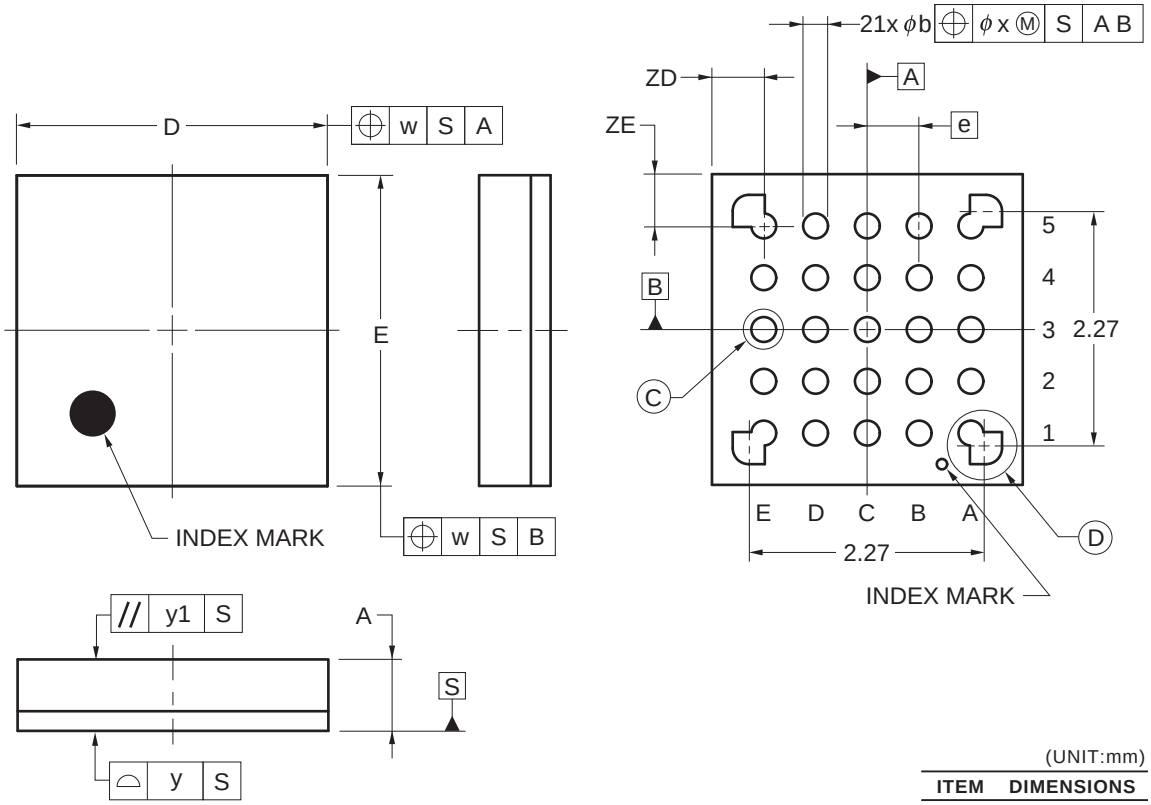
R5F1008AALA, R5F1008CALA, R5F1008DALA, R5F1008EALA

R5F1018AALA, R5F1018CALA, R5F1018DALA, R5F1018EALA

R5F1008ADLA, R5F1008CDLA, R5F1008DDLA, R5F1008EDLA

R5F1018ADLA, R5F1018CDLA, R5F1018DDLA, R5F1018EDLA

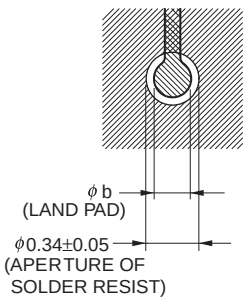
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-WFLGA25-3x3-0.50	PWLG0025KA-A	P25FC-50-2N2-2	0.01



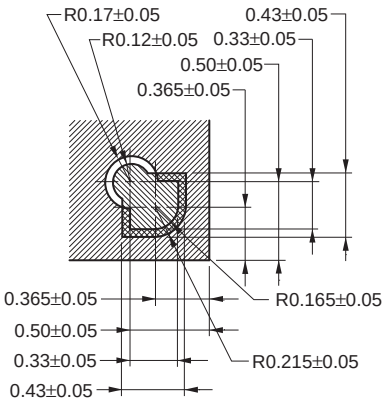
(UNIT:mm)

ITEM	DIMENSIONS
D	3.00±0.10
E	3.00±0.10
w	0.20
e	0.50
A	0.69±0.07
b	0.24±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.50
ZE	0.50

DETAIL OF Ⓒ PART



DETAIL OF Ⓓ PART

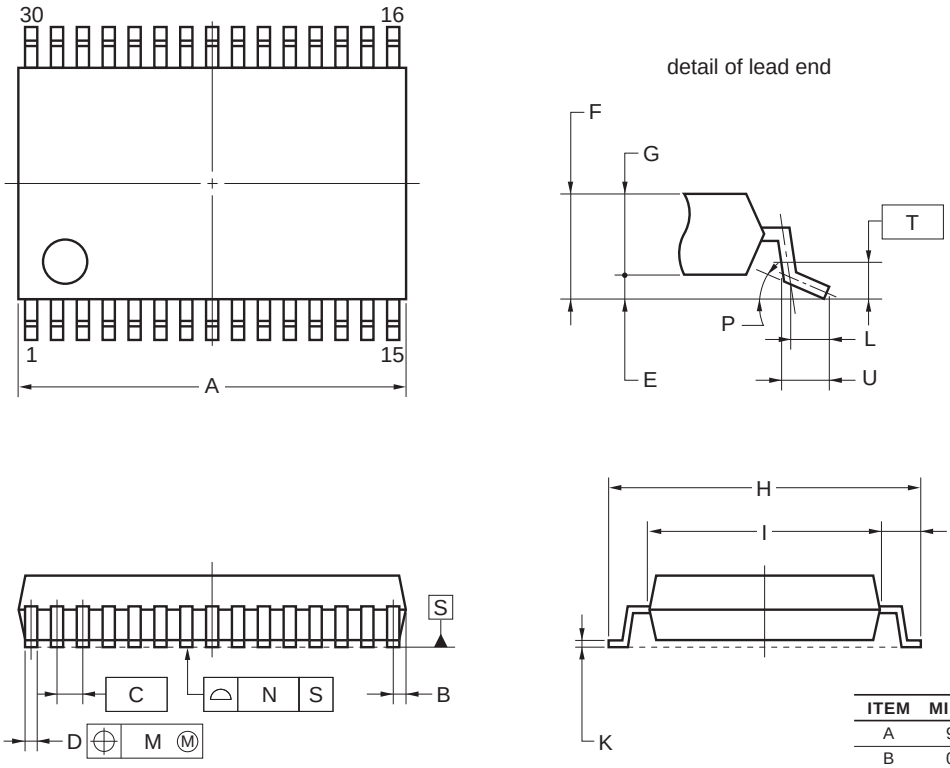


©2012 Renesas Electronics Corporation. All rights reserved.

31. 4 30ピン製品

R5F100AAASP, R5F100ACASP, R5F100ADASP, R5F100AEASP, R5F100AFASP, R5F100AGASP
R5F101AAASP, R5F101ACASP, R5F101ADASP, R5F101AEASP, R5F101AFASP, R5F101AGASP
R5F100AADSP, R5F100ACDSP, R5F100ADDSP, R5F100AEDSP, R5F100AFDSP, R5F100AGDSP
R5F101AADSP, R5F101ACDSP, R5F101ADDSP, R5F101AEDSP, R5F101AFDSP, R5F101AGDSP
R5F100AAGSP, R5F100ACGSP, R5F100ADGSP,R5F100AEGSP, R5F100AFGSP, R5F100AGGSP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



NOTE
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

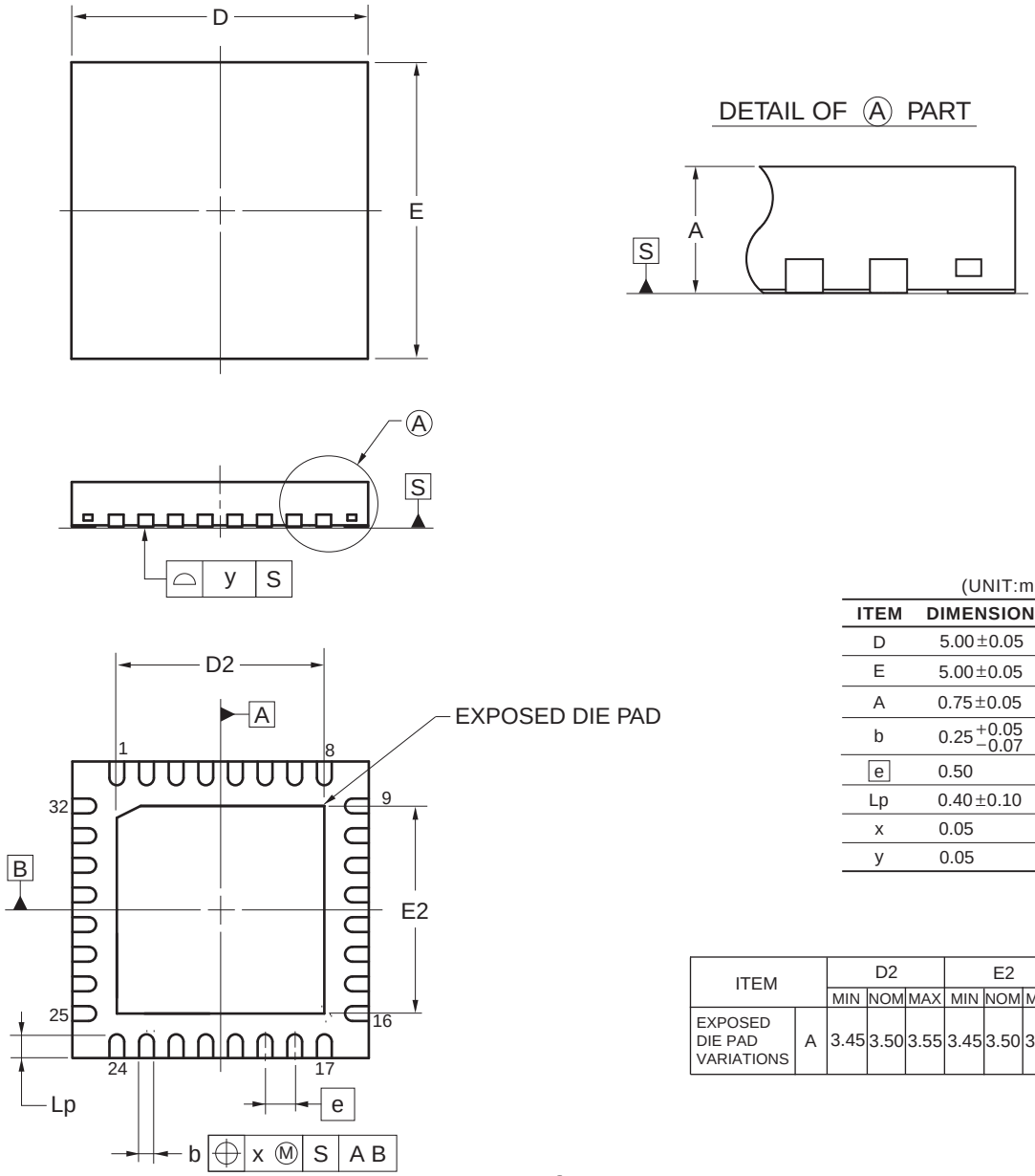
ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	$0.24^{+0.08}_{-0.07}$
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

31. 5 32ピン製品

R5F100BAANA, R5F100BCANA, R5F100BDANA, R5F100BEANA, R5F100BFANA, R5F100BGANA
R5F101BAANA, R5F101BCANA, R5F101BDANA, R5F101BEANA, R5F101BFANA, R5F101BGANA
R5F100BADNA, R5F100BCDNA, R5F100BDDNA, R5F100BEDNA, R5F100BFDNA, R5F100BGDNA
R5F101BADNA, R5F101BCDNA, R5F101BDDNA, R5F101BEDNA, R5F101BFDNA, R5F101BGDNA
R5F100BAGNA, R5F100BCGNA, R5F100BDGNA,R5F100BEGNA, R5F100BFGNA, R5F100BGGNA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN32-5x5-0.50	PWQN0032KB-A	P32K8-50-3B4-3	0.06



(UNIT:mm)

ITEM	DIMENSIONS
D	5.00±0.05
E	5.00±0.05
A	0.75±0.05
b	$0.25^{+0.05}_{-0.07}$
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

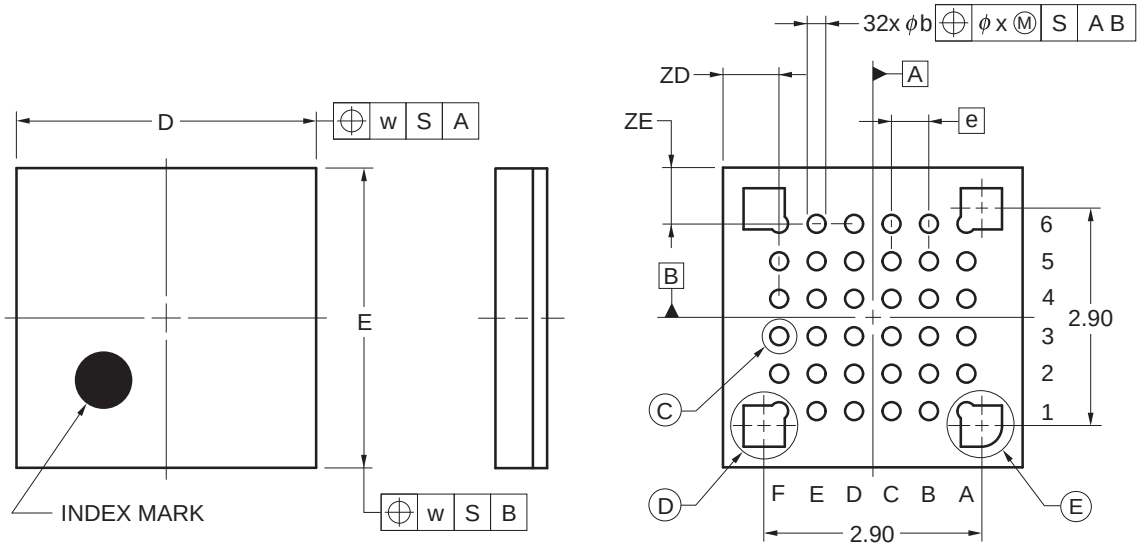
ITEM		D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	3.45	3.50	3.55	3.45	3.50	3.55

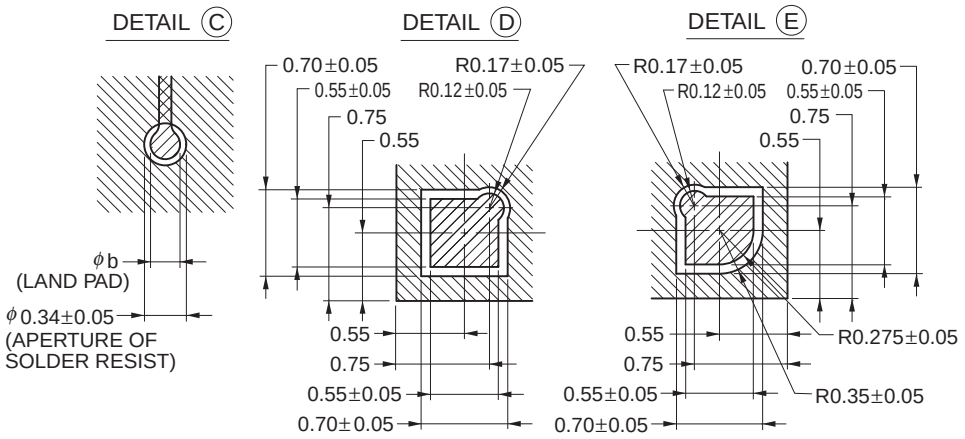
©2012 Renesas Electronics Corporation. All rights reserved.

31. 6 36ピン製品

R5F100CAALA, R5F100CCALA, R5F100CDALA, R5F100CEALA, R5F100CFALA, R5F100CGALA
R5F101CAALA, R5F101CCALA, R5F101CDALA, R5F101CEALA, R5F101CFALA, R5F101CGALA
R5F100CADLA, R5F100CCDLA, R5F100CDDLA, R5F100CEDLA, R5F100CFDLA, R5F100CGDLA
R5F101CADLA, R5F101CCDLA, R5F101CDDLA, R5F101CEDLA, R5F101CFDLA, R5F101CGDLA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-WFLGA36-4x4-0.50	PWLG0036KA-A	P36FC-50-AA4-2	0.023





(UNIT:mm)

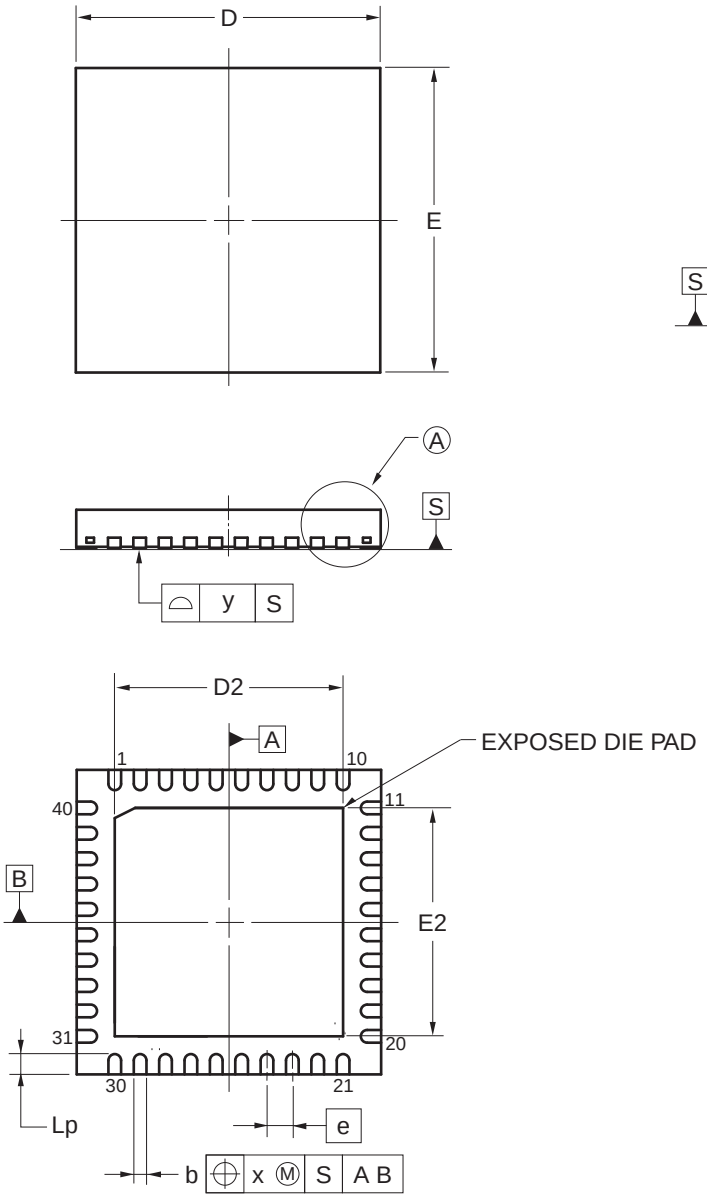
ITEM	DIMENSIONS
D	4.00±0.10
E	4.00±0.10
w	0.20
e	0.50
A	0.69±0.07
b	0.24±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

©2012 Renesas Electronics Corporation. All rights reserved.

31. 7 40ピン製品

R5F100EAANA, R5F100ECANA, R5F100EDANA, R5F100EEANA, R5F100EFANA, R5F100EGANA, R5F100EHANA
R5F101EAANA, R5F101ECANA, R5F101EDANA, R5F101EEANA, R5F101EFANA, R5F101EGANA, R5F101EHANA
R5F100EADNA, R5F100ECDNA, R5F100EDDNA, R5F100EEDNA, R5F100EFDNA, R5F100EGDNA, R5F100EHDNA
R5F101EADNA, R5F101ECDNA, R5F101EDDNA, R5F101EEDNA, R5F101EFDNA, R5F101EGDNA, R5F101EHDNA
R5F100EAGNA, R5F100ECGNA, R5F100EDGNA, R5F100EEGNA, R5F100EFGNA, R5F100EGGNA, R5F100EHGNA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-3	0.09



(UNIT:mm)

ITEM	DIMENSIONS
D	6.00±0.05
E	6.00±0.05
A	0.75±0.05
b	$0.25^{+0.05}_{-0.07}$
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

ITEM		D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	4.45	4.50	4.55	4.45	4.50	4.55

©2012 Renesas Electronics Corporation. All rights reserved.

31. 8 44ピン製品

R5F100FAAFP, R5F100FCAFP, R5F100FDAFP, R5F100FEAFP, R5F100FFAFP, R5F100FGAFP, R5F100FHAFP, R5F100FJAFP, R5F100FKAFP, R5F100FLAFP

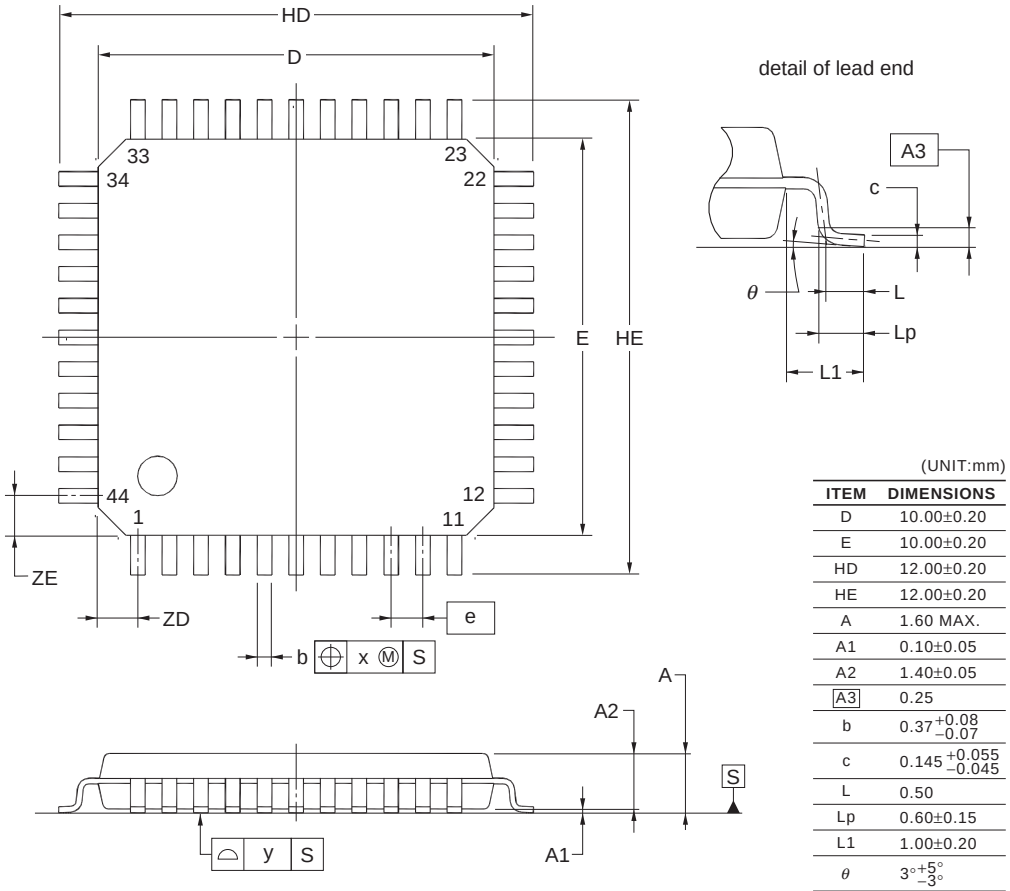
R5F101FAAFP, R5F101FCAFP, R5F101FDAFP, R5F101FEAFP, R5F101FFAFP, R5F101FGAFP, R5F101FHAFP, R5F101FJAFP, R5F101FKAFP, R5F101FLAFP

R5F100FADFP, R5F100FCDFP, R5F100FDDFP, R5F100FEDFP, R5F100FFDFP, R5F100FGDFP, R5F100FHDFP, R5F100FJDFP, R5F100FKDFP, R5F100FLDFP

R5F101FADFP, R5F101FCDFP, R5F101FDDFP, R5F101FEDFP, R5F101FFDFP, R5F101FGDFP, R5F101FHDFP, R5F101FJDFP, R5F101FKDFP, R5F101FLDFP

R5F100FAGFP, R5F100FCGFP, R5F100FDGFP, R5F100FEGFP, R5F100FFGFP, R5F100FGGFP, R5F100FHGFP, R5F100FJGFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.37^{+0.08}_{-0.07}$
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.80
x	0.20
y	0.10
ZD	1.00
ZE	1.00

NOTE
Each lead centerline is located within 0.20 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

31. 9 48ピン製品

R5F100GAAFB, R5F100GCAFB, R5F100GDAFB, R5F100GEAFB, R5F100GFAFB, R5F100GGAFB, R5F100GHAFB, R5F100GJAFB, R5F100GKAFB, R5F100GLAFB

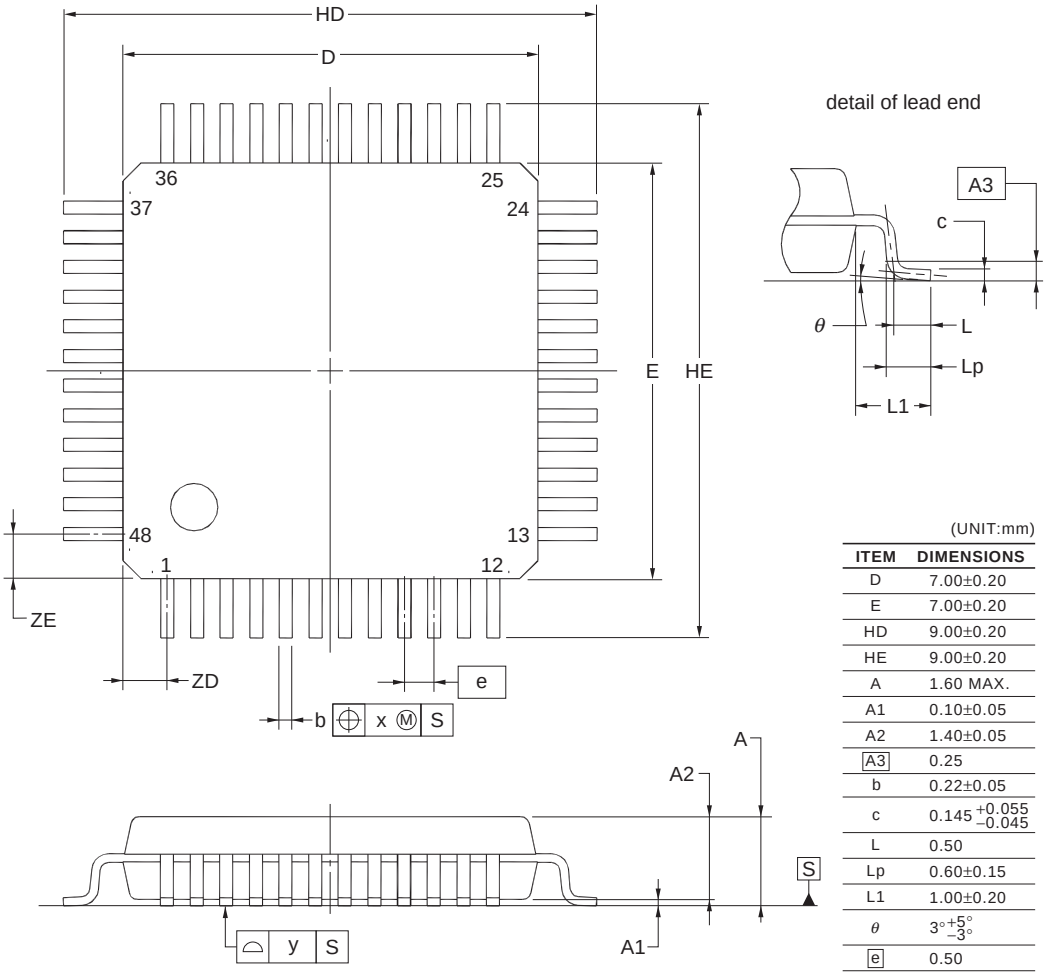
R5F101GAAFB, R5F101GCAFB, R5F101GDAFB, R5F101GEAFB, R5F101GFAFB, R5F101GGAFB, R5F101GHAFB, R5F101GJAFB, R5F101GKAFB, R5F101GLAFB

R5F100GADFB, R5F100GCDFB, R5F100GDDFB, R5F100GEDFB, R5F100GFDFB, R5F100GGDFB, R5F100GHDFB, R5F100GJDFB, R5F100GKDFB, R5F100GLDFB

R5F101GADFB, R5F101GCDFB, R5F101GDDFB, R5F101GEDFB, R5F101GFDFB, R5F101GGDFB, R5F101GHDFB, R5F101GJDFB, R5F101GKDFB, R5F101GLDFB

R5F100GAGFB, R5F100GCGFB, R5F100GDGFB, R5F100GEGFB, R5F100GFGFB, R5F100GGGFB, R5F100GHGFB, R5F100GJGFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16



(UNIT:mm)

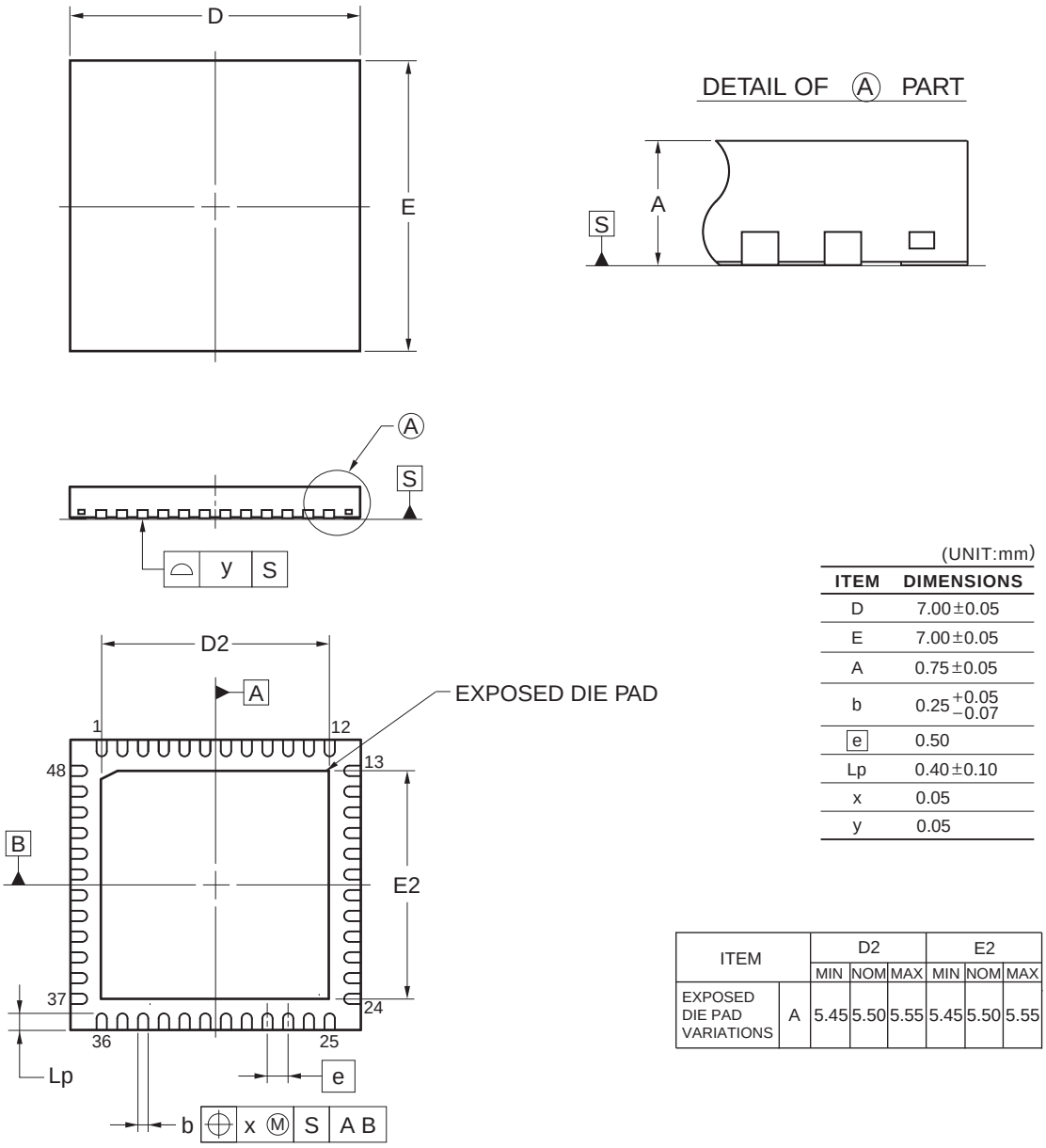
ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

R5F100GAANA, R5F100GCANA, R5F100GDANA, R5F100GEANA, R5F100GFANA, R5F100GGANA, R5F100GHANA, R5F100GJANA, R5F100GKANA, R5F100GLANA
R5F101GAANA, R5F101GCANA, R5F101GDANA, R5F101GEANA, R5F101GFANA, R5F101GGANA, R5F101GHANA, R5F101GJANA, R5F101GKANA, R5F101GLANA
R5F100GADNA, R5F100GCDNA, R5F100GDDNA, R5F100GEDNA, R5F100GFDNA, R5F100GGDNA, R5F100GHDNA, R5F100GJDNA, R5F100GKDNA, R5F100GLDNA
R5F101GADNA, R5F101GCDNA, R5F101GDDNA, R5F101GEDNA, R5F101GFDNA, R5F101GGDNA, R5F101GHDNA, R5F101GJDNA, R5F101GKDNA, R5F101GLDNA
R5F100GAGNA, R5F100GCGNA, R5F100GDGNA, R5F100GEGNA, R5F100GFGNA, R5F100GGGNA, R5F100GHGNA, R5F100GJGNA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	P48K8-50-5B4-4	0.13



(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.05
E	7.00±0.05
A	0.75±0.05
b	$0.25^{+0.05}_{-0.07}$
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

ITEM		D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS	A	5.45	5.50	5.55	5.45	5.50	5.55

©2012 Renesas Electronics Corporation. All rights reserved.

31. 10 52ピン製品

R5F100JCAFA, R5F100JDAFA, R5F100JEAFA, R5F100JFAFA, R5F100JGAFA, R5F100JHAFA, R5F100JJAFA, R5F100JKAFA, R5F100JLAFA

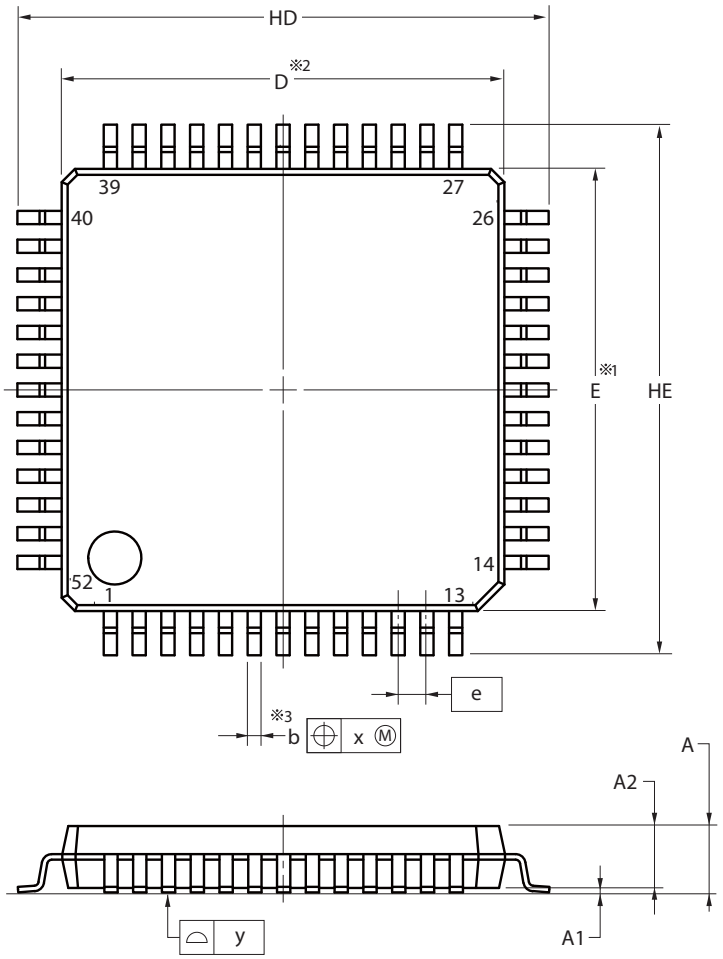
R5F101JCAFA, R5F101JDAFA, R5F101JEAFA, R5F101JFAFA, R5F101JGAFA, R5F101JHAFA, R5F101JJAFA, R5F101JKAFA, R5F101JLAFA

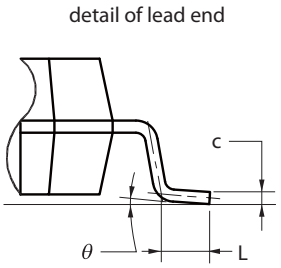
R5F100JCDFA, R5F100JDDFA, R5F100JEDFA, R5F100JFDFA, R5F100JGDFA, R5F100JHDFA, R5F100JJDFA, R5F100JKDFA, R5F100JLDFA

R5F101JCDFA, R5F101JDDFA, R5F101JEDFA, R5F101JFDFA, R5F101JGDFA, R5F101JHDFA, R5F101JJDFA, R5F101JKDFA, R5F101JLDFA

R5F100JCGFA, R5F100JDGFA, R5F100JEGFA, R5F100JFGFA, R5F100JGGFA, R5F100JHGFA, R5F100JJGFA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP52-10x10-0.65	PLQP0052JA-A	P52GB-65-GBS-1	0.3





(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.10
E	10.00±0.10
HD	12.00±0.20
HE	12.00±0.20
A	1.70 MAX.
A1	0.10±0.05
A2	1.40
b	0.32±0.05
c	0.145 ±0.055
L	0.50±0.15
θ	0° to 8°
e	0.65
x	0.13
y	0.10

NOTE

1.Dimensions "※1" and "※2" do not include mold flash.

2.Dimension "※3" does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

31. 11 64ピン製品

R5F100LCAFA, R5F100LDAFA, R5F100LEAFA, R5F100LFAFA, R5F100LGAFA, R5F100LHAFA, R5F100LJAFA, R5F100LKAFA, R5F100LLAFA

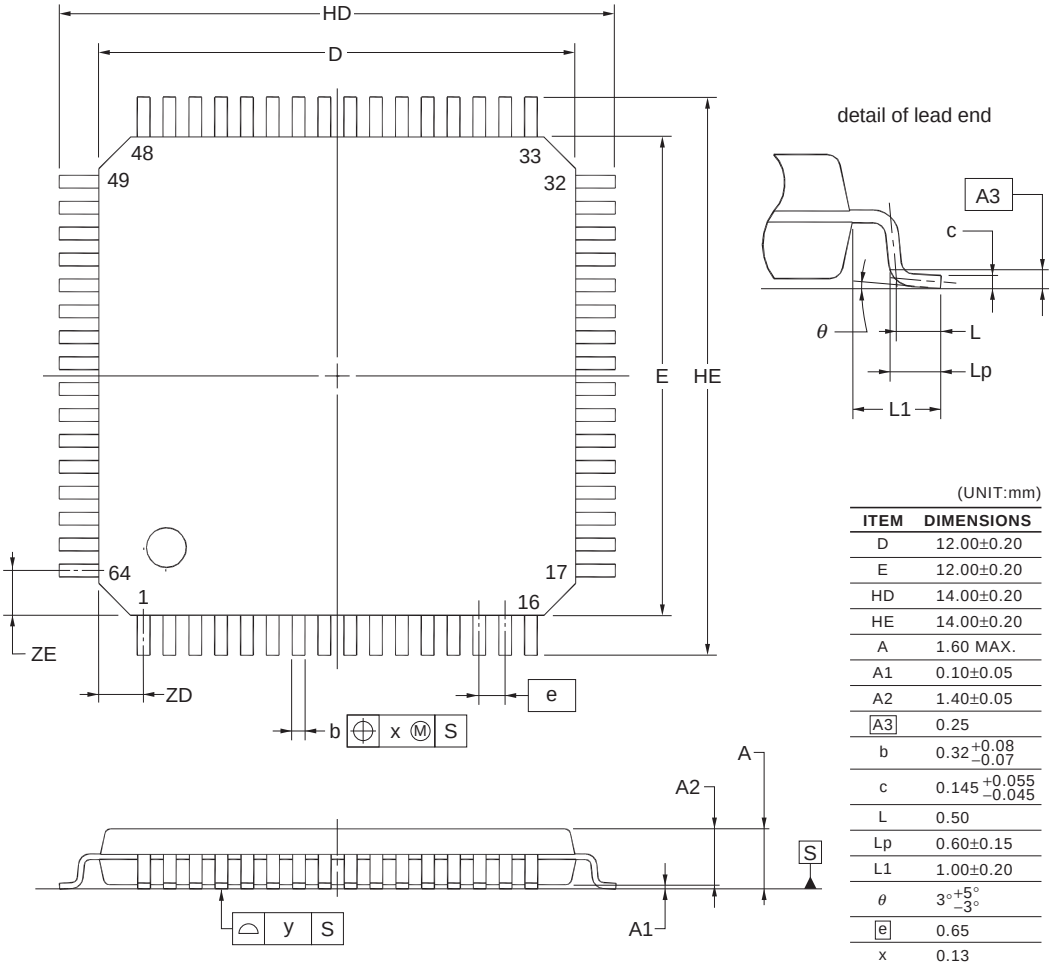
R5F101LCAFA, R5F101LDAFA, R5F101LEAFA, R5F101LFAFA, R5F101LGAFA, R5F101LHAFA, R5F101LJAFA, R5F101LKAFA, R5F101LLAFA

R5F100LCDFA, R5F100LDDFA, R5F100LEDFA, R5F100LFDFA, R5F100LGDFA, R5F100LHDFA, R5F100LJDFA, R5F100LKDFA, R5F100LLDFA

R5F101LCDFA, R5F101LDDFA, R5F101LEDFA, R5F101LFDFA, R5F101LGDFA, R5F101LHDFA, R5F101LJDFA, R5F101LKDFA, R5F101LLDFA

R5F100LCGFA, R5F100LDGFA, R5F100LEGFA, R5F100LFGFA, R5F100LGGFA, R5F100LHGFA, R5F100LJGFA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP64-12x12-0.65	PLQP0064JA-A	P64GK-65-UET-2	0.51



(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.32^{+0.08}_{-0.07}$
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.65
x	0.13
y	0.10
ZD	1.125
ZE	1.125

NOTE
Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

R5F100LCAFB, R5F100LDAFB, R5F100LEAFB, R5F100LFAFB, R5F100LGAFB, R5F100LHAFB, R5F100LJAFB, R5F100LKAFB, R5F100LLAFB

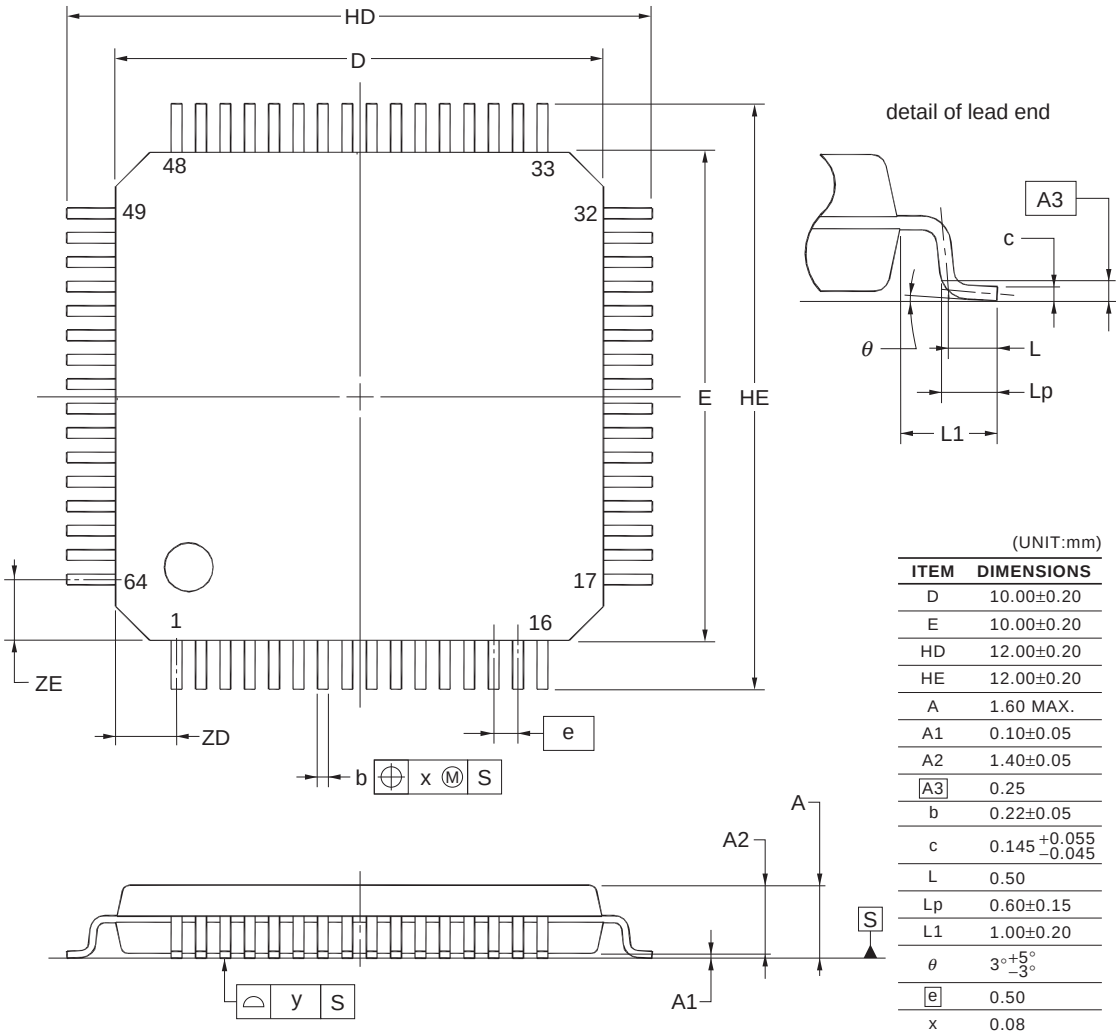
R5F101LCAFB, R5F101LDAFB, R5F101LEAFB, R5F101LFAFB, R5F101LGAFB, R5F101LHAFB, R5F101LJAFB, R5F101LKAFB, R5F101LLAFB

R5F100LCDFB, R5F100LDDFB, R5F100LEDFB, R5F100LFDFB, R5F100LGDFB, R5F100LHDFB, R5F100LJDFB, R5F100LKDFB, R5F100LLDFB

R5F101LCDFB, R5F101LDDFB, R5F101LEDFB, R5F101LFDFB, R5F101LGDFB, R5F101LHDFB, R5F101LJDFB, R5F101LKDFB, R5F101LLDFB

R5F100LCGFB, R5F100LDGFB, R5F100LEGFB, R5F100LFGFB, R5F100LGGFB, R5F100LHGFB, R5F100LJGFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-A	P64GB-50-UEU-2	0.35



(UNIT:mm)

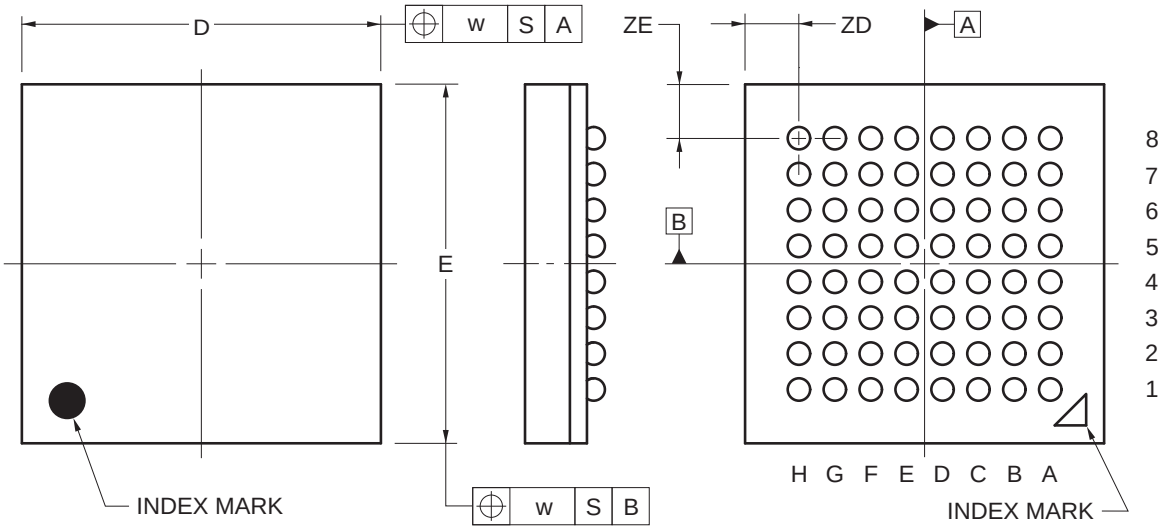
ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

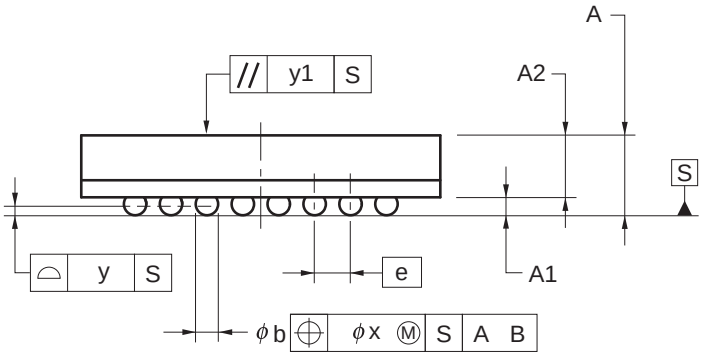
NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

R5F100LCABG, R5F100LDABG, R5F100LEABG, R5F100LFABG, R5F100LGABG, R5F100LHABG, R5F100LJABG
R5F101LCABG, R5F101LDABG, R5F101LEABG, R5F101LFABG, R5F101LGABG, R5F101LHABG, R5F101LJABG
R5F100LCDBG, R5F100LDDBG, R5F100LEDBG, R5F100LFDBG, R5F100LGDBG, R5F100LHDBG, R5F100LJDBG
R5F101LCDBG, R5F101LDDBG, R5F101LEDBG, R5F101LFDBG, R5F101LGDBG, R5F101LHDBG, R5F101LJDBG

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-VFBGA64-4x4-0.40	PVBG0064LA-A	P64F1-40-AA2-2	0.03





(UNIT:mm)

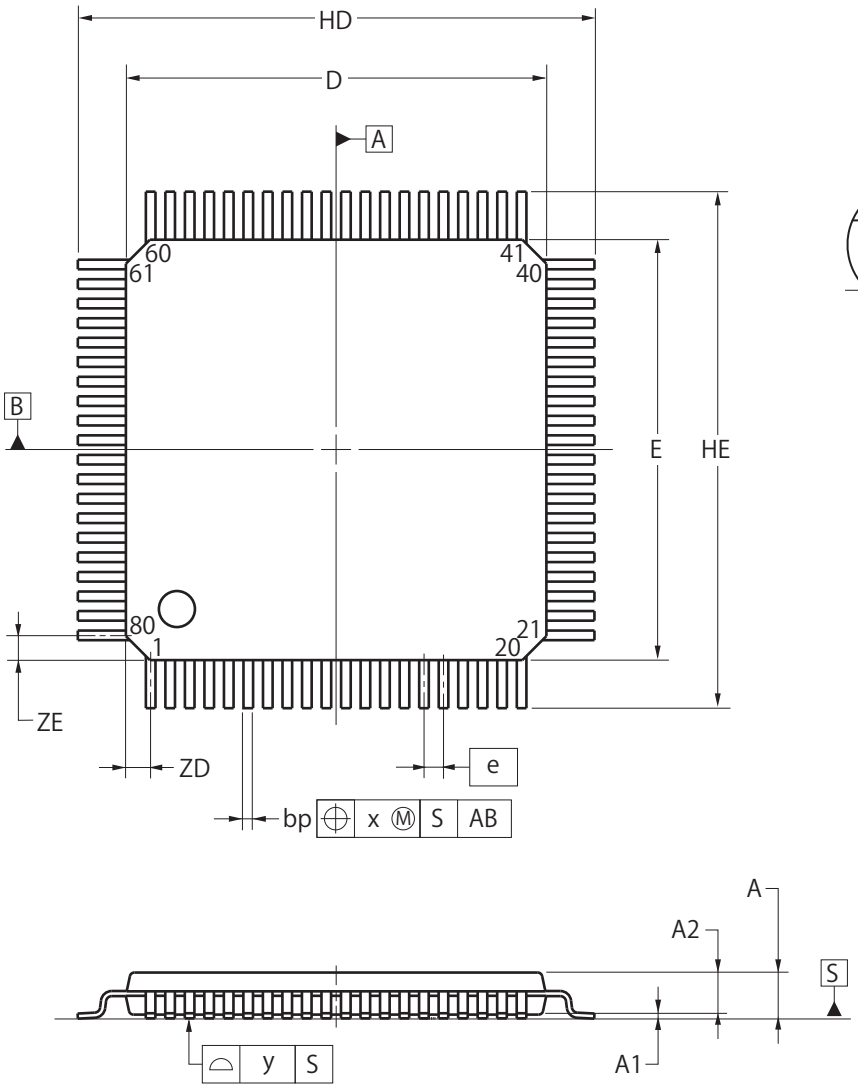
ITEM	DIMENSIONS
D	4.00±0.10
E	4.00±0.10
w	0.15
A	0.89±0.10
A1	0.20±0.05
A2	0.69
e	0.40
b	0.25±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.60
ZE	0.60

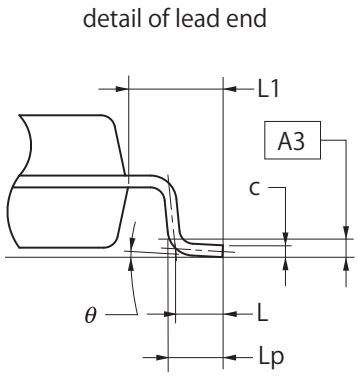
©2012 Renesas Electronics Corporation. All rights reserved.

31. 12 80ピン製品

R5F100MFAFA, R5F100MGAFA, R5F100MHAFA, R5F100MJAFA, R5F100MKAFA, R5F100MLAFA
R5F101MFAFA, R5F101MGAFA, R5F101MHAFA, R5F101MJAFA, R5F101MKAFA, R5F101MLAFA
R5F100MFDFA, R5F100MGDFA, R5F100MHDFA, R5F100MJDFA, R5F100MKDFA, R5F100MLDFA
R5F101MFDFA, R5F101MGDFA, R5F101MHDFA, R5F101MJDFA, R5F101MKDFA, R5F101MLDFA
R5F100MFGFA, R5F100MGGFA, R5F100MHGFA, R5F100MJGFA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP80-14x14-0.65	PLQP0080JB-E	P80GC-65-UBT-2	0.69



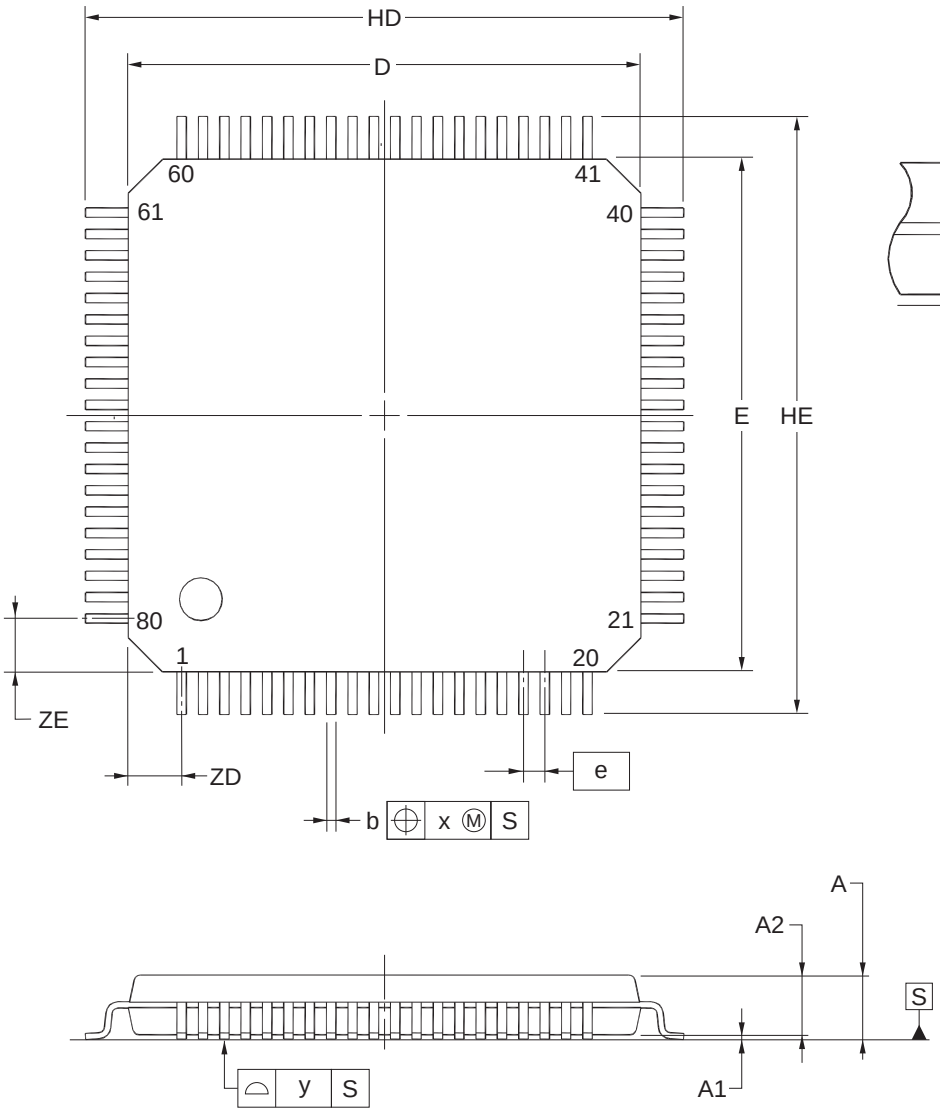


Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.80	14.00	14.20
E	13.80	14.00	14.20
HD	17.00	17.20	17.40
HE	17.00	17.20	17.40
A	—	—	1.70
A1	0.05	0.125	0.20
A2	1.35	1.40	1.45
A3	—	0.25	—
bp	0.26	0.32	0.38
c	0.10	0.145	0.20
L	—	0.80	—
Lp	0.736	0.886	1.036
L1	1.40	1.60	1.80
θ	0°	3°	8°
e	—	0.65	—
x	—	—	0.13
y	—	—	0.10
ZD	—	0.825	—
ZE	—	0.825	—

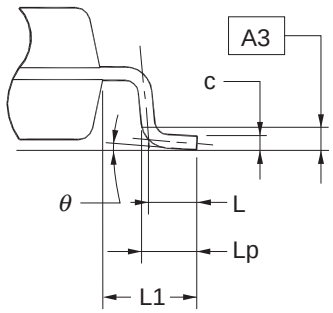
© 2012 Renesas Electronics Corporation. All rights reserved.

R5F100MFAFB, R5F100MGAFB, R5F100MHAFB, R5F100MJAFB, R5F100MKAFB, R5F100MLAFB
R5F101MFAFB, R5F101MGAFB, R5F101MHAFB, R5F101MJAFB, R5F101MKAFB, R5F101MLAFB
R5F100MFDFB, R5F100MGDFB, R5F100MHDFB, R5F100MJDFB, R5F100MKDFB, R5F100MLDFB
R5F101MFDFB, R5F101MGDFB, R5F101MHDFB, R5F101MJDFB, R5F101MKDFB, R5F101MLDFB
R5F100MFGFB, R5F100MGGFB, R5F100MHGFB, R5F100MJGFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-A	P80GK-50-8EU-2	0.53



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

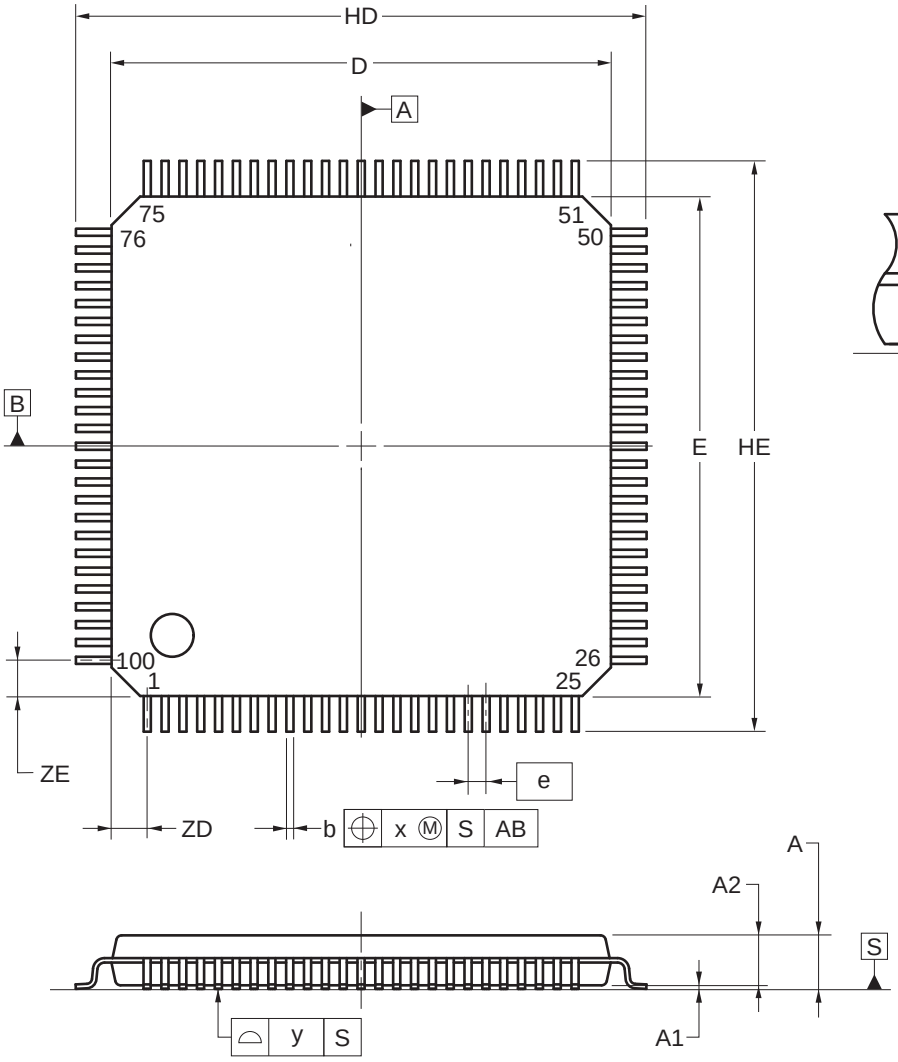
NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

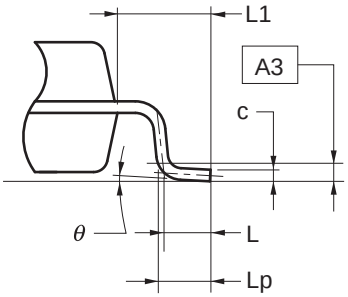
31. 13 100ピン製品

R5F100PFAFB, R5F100PGAFB, R5F100PHAFB, R5F100PJAFB, R5F100PKAFB, R5F100PLAFB
R5F101PFAFB, R5F101PGAFB, R5F101PHAFB, R5F101PJAFB, R5F101PKAFB, R5F101PLAFB
R5F100PFDFB, R5F100PGDFB, R5F100PHDFB, R5F100PJDFB, R5F100PKDFB, R5F100PLDFB
R5F101PFDFB, R5F101PGDFB, R5F101PHDFB, R5F101PJDFB, R5F101PKDFB, R5F101PLDFB
R5F100PFGFB, R5F100PGGFB, R5F100PHGFB, R5F100PJGFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP100-14x14-0.50	PLQP0100KE-A	P100GC-50-GBR-1	0.69



detail of lead end



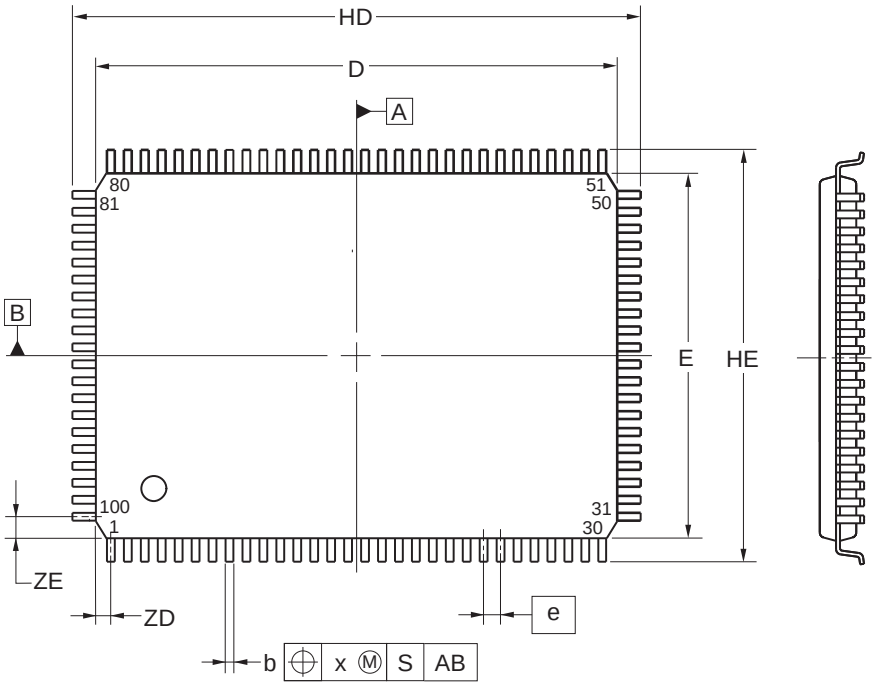
(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

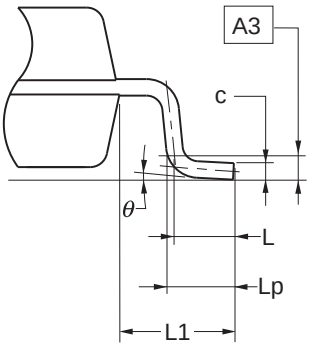
©2012 Renesas Electronics Corporation. All rights reserved.

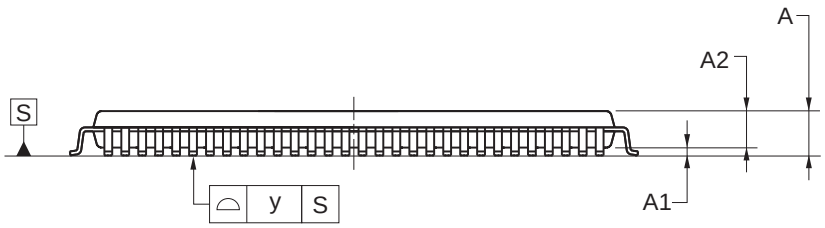
R5F100PFAFA, R5F100PGAFA, R5F100PHAFA, R5F100PJAFA, R5F100PKAFA, R5F100PLAFA
R5F101PFAFA, R5F101PGAFA, R5F101PHAFA, R5F101PJAFA, R5F101PKAFA, R5F101PLAFA
R5F100PFDFA, R5F100PGDFA, R5F100PHDFA, R5F100PJDFA, R5F100PKDFA, R5F100PLDFA
R5F101PFDFA, R5F101PGDFA, R5F101PHDFA, R5F101PJDFA, R5F101PKDFA, R5F101PLDFA
R5F100PFGFA, R5F100PGGFA, R5F100PHGFA, R5F100PJGFA

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP100-14x20-0.65	PLQP0100JC-A	P100GF-65-GBN-1	0.92



detail of lead end





(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.32^{+0.08}_{-0.07}$
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.65
x	0.13
y	0.10
ZD	0.575
ZE	0.825

©2012 Renesas Electronics Corporation. All rights reserved.

31. 14 128ピン製品

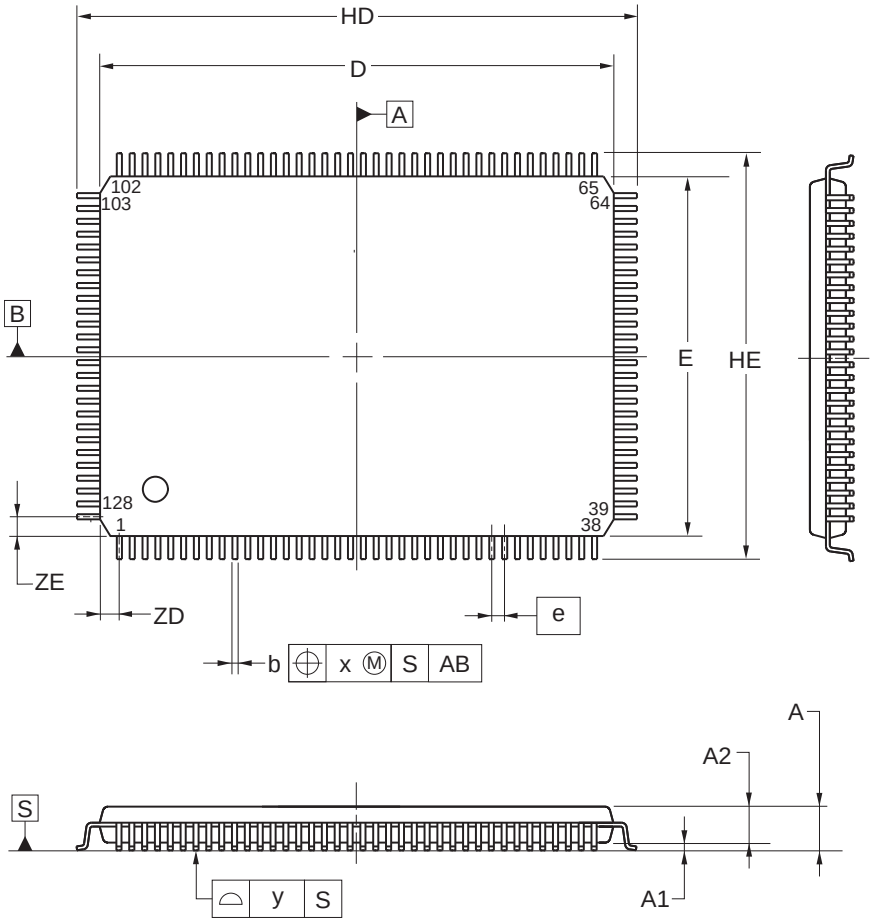
R5F100SHAFB, R5F100SJAFB, R5F100SKAFB, R5F100SLAFB

R5F101SHAFB, R5F101SJAFB, R5F101SKAFB, R5F101SLAFB

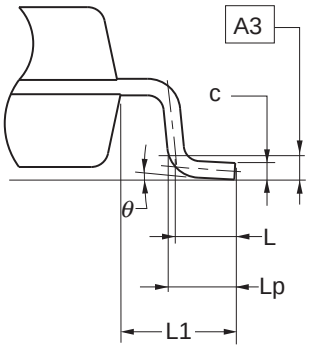
R5F100SHDFB, R5F100SJDFB, R5F100SKDFB, R5F100SLDFB

R5F101SHDFB, R5F101SJDFB, R5F101SKDFB, R5F101SLDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP128-14x20-0.50	PLQP0128KD-A	P128GF-50-GBP-1	0.92



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

©2012 Renesas Electronics Corporation. All rights reserved.

付録A　改版履歴

A. 1　本版で改訂された主な箇所

箇　所	内　容	分類
第30章　電気的特性（G：T_A = -40～+105℃）		
P999	注意4を追加	(c)
P1001	30. 1　絶対最大定格の動作周囲温度の注を削除	(c)

備考　表中の「分類」により，改訂内容を次のように区分しています。
（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，
（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

A. 2　前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/28）

版　数	内　容	適用箇所
Rev.3.00	1. 1　特長を変更	第1章　概説
	1. 2　型名一覧を変更	
	表1－1　発注型名一覧，注，注意を変更	
	1. 3. 1～1. 3. 14　パッケージ名称を変更	
	1. 4　端子名称の記述を変更	
	1. 6　機能概要の注意，表，注を変更	
	2. 1　ポート機能の注意を変更	第2章　端子機能
	2. 1. 1～2. 1. 14の表，備考を変更	
	2. 3　未使用端子の処理の表を変更	
	2. 4　端子ブロック図の図2－1～図2－14を変更	
	3. 1　メモリ空間　図3－1～図3－10の注1, 5を変更	第3章　CPUアーキテクチャ
	表3－1の備考を変更	
	3. 1. 2　ミラー領域の説明を変更	
	3. 1. 3　内部データ・メモリ空間の注意2, 3を変更	
	3. 1. 6　データ・メモリ・アドレッシング　図3－12～図3－21を図3－12に集約	
	(3) スタック・ポインタ（SP）の誤記修正，注意3, 4の記述を変更	
	3. 2. 3　ES, CSレジスタの誤記を修正	
	表3－5の記述を変更	
	表3－6，注2の記述を変更	
	4. 2　ポートの構成の表4－1の記述を変更	第4章　ポート機能
	4. 2. 1　ポート0の説明を変更	
	4. 2. 3　ポート2の説明を変更	
	4. 2. 4　ポート3の説明を変更	
	4. 2. 11　ポート10の説明を変更	
	4. 2. 12　ポート11の説明を変更	
	4. 2. 13　ポート12の説明を変更	
	4. 2. 15　ポート14の説明を変更	
	4. 2. 16　ポート15の説明を変更	
	4. 3. 1　ポート・モード・レジスタ（PMxx）の説明変更	
	図4－1の注意を変更	
	図4－2の注意を変更	
	4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx）の説明変更	
	図4－3の注意を変更	
	4. 3. 4　ポート入力モード・レジスタ（PIMxx）の注意を変更	
	4. 3. 5　ポート出力モード・レジスタ（POMxx）の注意を変更	
	図4－5の記述，注意を変更	
	4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）の図4－6の注意1, 3を変更	
	図4－8の備考を変更	
	4. 3. 9　グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）の説明を変更	
	図4－9の記述，注意1, 2，備考2を変更	
	4. 4. 4　$EV_{DD} \leqq V_{DD}$による異電位（1.8V系, 2.5V系, 3V系）対応の説明を変更	

（2/28）

版　数	内　　容	適用箇所
Rev.3.00	4. 4. 5 入出力による異電位（1.8V系, 2.5V系, 3V系）対応の説明を変更	第4章 ポート機能
	4. 5 兼用機能仕様時のレジスタ設定の説明を変更	
	表4－7の記述を変更	
	4. 6. 2 端子設定に関する注意事項の説明を変更	
	5. 1 クロック発生回路の機能の説明を変更	第5章 クロック発生回路
	5. 2 クロック発生回路の構成の説明を変更	
	5. 3 クロック発生回路を制御するレジスタの説明を変更	
	図5－2の注意3の説明を変更	
	図5－3の注意3の説明を変更	
	図5－5の説明を変更	
	5. 3. 5 発振安定時間選択レジスタ（OSTS）の説明を変更	
	図5－6の説明，注意1の説明を変更	
	5. 3. 7 サブシステム・クロック供給モード制御レジスタ（OSMC）の説明を変更	
	5. 3. 8 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の説明を変更	
	5. 4. 3 高速オンチップ・オシレータの説明を変更	
	5. 4. 4 低速オンチップ・オシレータの説明を変更	
	図5－14の説明を変更	
	5. 6. 1 高速オンチップ・オシレータの設定例の説明を変更	
	5. 6. 3 XT1発振回路の設定例の説明を変更	
	図5－15の説明を変更	
	表5－3（1/5）の注意を変更	
	表5－3（2/5）の注意，注を変更	
	表5－3（3/5）の説明を変更	
	表5－3（4/5）の説明，注意を変更	
	表5－3（5/5）の説明を変更	
	表5－4の説明を変更	
	図5－16を変更	
	（1）X1発振（1/2），（2/2）の説明を変更	
	（2）X1発振（水晶振動子）の説明を変更	
	タイマ・アレイ・ユニットの説明を変更	第6章 タイマ・アレイ・ユニット
	6. 1. 2 複数チャネル連動動作機能（1）ワンショット・パルス出力の図を変更	
	表6－2の説明を変更	
	図6－1の説明を変更	
	図6－2，図6－3の説明を変更	
	図6－4，図6－5の説明を変更	
	6. 3. 1 周辺イネーブル・レジスタの注意1を変更	
	6. 3. 2 タイマ・クロック選択レジスタm（TPSm）の説明を変更	
	図6－10（1/2）の説明，注意2を変更	
	図6－10（2/2）の説明を変更	
	6. 3. 7 タイマ・チャネル停止レジスタm（TTm）の説明を変更	
	図6－15の説明を変更	
	図6－17の説明を変更	
	6. 3. 14 ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2）の説明を変更	
	6. 3. 15 ポートを制御するレジスタの説明を変更	
	（2）イベント・カウンタ・モードの動作の備考を変更	
	図6－27の説明，備考を変更	
	6. 7 タイマ入力（TImn）の制御の説明を変更	

（3/28）

版　数	内　　容	適用箇所
Rev.3.00	図6－43の説明を変更	第6章　タイマ・アレイ・ユニット
	図6－44の説明を変更	
	図6－45の説明を変更	
	図6－47の説明を変更	
	図6－48の説明を変更	
	図6－51の説明を変更	
	図6－52の説明を変更	
	6. 8. 4　入力パルス間隔測定としての動作，図6－53の説明を変更	
	図6－56の説明を変更	
	図6－57の説明を変更	
	図6－60の説明を変更	
	図6－61の説明を変更	
	図6－63の説明を変更	
	図6－64の説明を変更	
	図6－65の説明を変更	
	図6－67の説明を変更	
	図6－69（1/2）の説明を変更	
	図6－69（2/2）の説明を変更	
	図6－72の説明を変更	
	図6－73の説明，注を変更	
	図6－77の説明を変更	
	図6－78の説明を変更	
	6. 10. 1　タイマ出力使用時の注意事項の説明を変更	
	7. 1　リアルタイム・クロックの機能の説明を変更	第7章　リアルタイム・クロック
	図7－1の説明を変更	
	7. 3　リアルタイム・クロックを制御するレジスタの説明を変更	
	図7－2の注意1, 2を変更	
	7. 3. 2　サブシステム・クロック・供給モード制御レジスタ（OSMC）の説明を変更	
	図7－4の注，注意2を変更	
	図7－5（1/2）の説明を変更	
	図7－5（2/2）の説明，備考2を変更	
	7. 3. 5　秒カウント・レジスタ（SEC）の説明，備考を変更	
	7. 3. 6　分カウント・レジスタ（MIN）の説明を変更	
	7. 3. 7　時カウント・レジスタ（HOUR）の説明を変更	
	7. 3. 8　日カウント・レジスタ（DAY）の説明を変更	
	7. 3. 9　曜日カウント・レジスタ（WEEK）の説明を変更	
	7. 3. 10　月カウント・レジスタ（MONTH）の説明を変更	
	7. 3. 11　年カウント・レジスタ（YEAR）の説明を変更	
	7. 3. 12　時計誤差補正レジスタ（SUBCUD）の説明を変更	
	7. 3. 16　ポート・モード・レジスタ3（PM3）の説明を変更	
	7. 3. 17　ポート・レジスタ3（P3）の説明を変更	
	7. 4. 1　リアルタイム・クロックの動作開始の注1を変更	
	7. 4. 2　動作開始後のHALT/STOPモードへの移行の説明を変更	
	図7－24の説明，注意1, 2を変更	
	7. 4. 6　リアルタイム・クロックの時計誤差補正例の説明を変更	
	図7－25の説明を変更	

(4/28)

版 数	内 容	適用箇所
Rev.3.00	表8－1の説明を変更	第8章 12ビット・インターバル・タイマ
	図8－1の説明，注意を変更	
	8. 3 12ビット・インターバル・タイマを制御するレジスタの説明を変更	
	8. 3. 1 周辺イネーブル・レジスタ0（PER）の注意1, 2を変更	
	8. 3. 2 サブシステム・クロック供給・モード制御レジスタ0（OSMC）の説明を変更	
	8. 4. 1 12ビット・インターバル・タイマの動作タイミングの説明を変更	
	8. 4. 2 HALT/STOPモードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行の 説明を変更	
	9. 1 クロック出力／ブザー出力制御回路の機能の説明，注意を変更	第9章 クロック出力／ブザー出力制御回路
	図9－1の注を変更	
	9. 3 クロック出力／ブザー出力制御回路を制御するレジスタの説明を変更	
	図9－2の注，注意2, 3を変更	
	9. 3. 2 ポート・モード・レジスタ1, 3, 5, 14（PM1, PM3, PM5, PM14）の説明を変更	
	9. 4. 1 出力端子の動作の説明を変更	
	図9－3の説明を変更	
	9. 5 クロック出力／ブザー出力制御回路の注意事項の説明を変更	
	10. 1 ウォッチドッグ・タイマの機能の説明を変更	第10章 ウォッチドッグ・タイマ
	表10－1の説明を変更	
	図10－1の説明を変更	
	10. 4. 1 ウォッチドッグ・タイマの動作制御の注意2を変更	
	表10－3の説明を変更	
	10. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考を変更	
	10. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定の説明を変更	
	11. 1 A/Dコンバータの機能の説明を変更	第11章 A/Dコンバータ
	図11－1の説明を追加	
	11. 2 A/Dコンバータの構成の説明を変更	
	11. 3のタイトル（A/Dコンバータを制御するレジスタ）の説明を変更	
	図11－2の注意1を変更	
	図11－3のADCSビットの説明を変更	
	図11－4の図面と注意4を変更	
	表11－3の表，注，注意1を変更	
	表11－3の表，注4，注意1を変更	
	表11－3の表，注2，注意1を変更	
	表11－3の表，注5，注意1を変更	
	図11－5を変更	
	図11－6の注意2を変更	
	11. 3. 4 A/Dコンバータ・モード・レジスタ2（ADM2）の説明を変更	
	図11－7のADREFP1・ADREFP0・ADRCK・AWCビットの説明を変更	
	図11－8を変更	
	11. 3. 5 10ビットA/D変換結果レジスタ（ADCR）の説明を変更	
	図11－11の注意8, 9を変更	
	図11－13の注意2, 3を変更	
	11. 3. 10 A/Dテスト・レジスタ（ADTES）の説明を変更	
	図11－14のフォーマットのADTES1・ADTES0ビットの説明を変更	
	図11－15の説明を変更	
	図11－22のタイミング・チャートを変更	

(5/28)

版　数	内　　容	適用箇所
Rev.3.00	図11－23のタイミング・チャートを変更	第11章　A/Dコンバータ
	図11－24のタイミング・チャートを変更	
	図11－25のタイミング・チャートを変更	
	図11－26のタイミング・チャートを変更	
	図11－27のタイミング・チャートを変更	
	図11－28のタイミング・チャートを変更	
	図11－29のフロー・チャートを変更	
	図11－30のフロー・チャートを変更	
	図11－31のフロー・チャートを変更	
	図11－32のフロー・チャートを変更	
	図11－33のフロー・チャート，注意を変更	
	11. 8　SNOOZEモード機能の説明を変更	
	図11－34のフロー・チャートを変更	
	図11－37のフロー・チャートを変更	
	図11－40，図11－41を変更	
	11. 10　A/Dコンバータの注意事項の（4）ノイズ対策についての説明を変更	
	図11－44を変更	
	12. 1. 1　3線シリアルI/Oの説明の説明，注を変更	第12章　シリアル・アレイ・ユニット
	表12－1　シリアル・データ出力を変更	
	図12－1を変更	
	図12－2を変更	
	12. 2. 2　シリアル・データ・レジスタの説明を変更	
	図12－4の注2を変更	
	12. 3. 1　周辺イネーブル・レジスタ0（PER0）の注意1を変更	
	図12－6の注1を変更	
	図12－7の注1を変更	
	図12－8の注1を変更	
	図12－8の説明，注1を変更	
	12. 3. 5　シリアル・データ・レジスタmn（SDRmn）のタイトルと説明を変更	
	図12－9のフォーマット，注意2を変更	
	図12－10のフォーマットの注1を変更	
	図12－11のフォーマットの注1を変更	
	図12－12のフォーマットの注1を変更	
	図12－13のフォーマットの注1，注意を変更	
	図12－14のフォーマットの注を変更	
	図12－15のフォーマットの注を変更	
	図12－16のフォーマットの注1, 2を変更	
	図12－17のフォーマットの注を変更	
	図12－18のタイミング図を変更	
	12. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm）の注意を変更	
	図12－19のフォーマット，注を変更	
	図12－20を変更	
	12. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）の説明を変更	
	12. 5　3線シリアルI/Oの説明を変更	
	12. 5. 1　マスタ送信の転送レートの説明，注を変更	
	図12－28のフロー・チャートを変更	

(6/28)

版　数	内　　容	適用箇所
Rev.3.00	図12－29のタイミング・チャートを変更	第12章　シリアル・アレイ・ユニット
	図12－30のフロー・チャートを変更	
	図12－31のタイミング・チャートを変更	
	図12－32のフロー・チャートを変更	
	12. 5. 2　マスタ受信の説明，転送レート，クロック位相，注を変更	
	図12－35のフロー・チャートを変更	
	図12－36のフロー・チャートを変更	
	図12－37のフロー・チャートを変更	
	図12－39のタイミング・チャートを変更	
	図12－40のフロー・チャートを変更	
	12. 5. 3　マスタ送受信 の説明，転送レート，注を変更	
	図12－43のフロー・チャートを変更	
	図12－45のタイミング・チャートを変更	
	図12－47のタイミング・チャートを変更	
	図12－48のフロー・チャートを変更	
	12. 5. 4　スレーブ送信の説明，注1, 2を変更	
	図12－51のフロー・チャートを変更	
	図12－52のフロー・チャートを変更	
	図12－53のタイミング・チャートを変更	
	図12－54のフロー・チャートを変更	
	図12－55のタイミング・チャートを変更	
	図12－56のフロー・チャートを変更	
	12. 5. 5　スレーブ受信の説明，注1, 2を変更	
	図12－59のフロー・チャートを変更	
	図12－61のタイミング・チャートを変更	
	12. 5. 6　スレーブ送受信の説明，注1, 2を変更	
	図12－65のフロー・チャートを変更	
	図12－67のタイミング・チャートを変更	
	図12－69のタイミング・チャートを変更	
	図12－70のフロー・チャートを変更	
	図12－71のタイミング・チャート，注意2を変更	
	図12－72のフロー・チャートを変更	
	図12－73のタイミング・チャート，注意2を変更	
	図12－74のフロー・チャートを変更	
	12. 6　UART（UART0-UART3）通信の動作の説明を変更	
	12. 6. 1　UART送信の説明，注2を変更	
	図12－76の注1を変更	
	図12－77，図12－78のフロー・チャートを変更	
	図12－79のフロー・チャートを変更	
	図12－80のフロー・チャートを変更	
	図12－81のタイミング・チャートを変更	
	図12－82のフロー・チャートを変更	
	図12－83のタイミング・チャートを変更	
	12. 6. 2　UART受信の説明，注2を変更	
	図12－84の注1を変更	
	図12－86のフロー・チャートを変更	

（7/28）

版　数	内　　容	適用箇所
Rev.3.00	図12－88のタイミング・チャートを変更	第12章　シリアル・アレイ・ユニット
	図12－89のフロー・チャートを変更	
	12. 6. 3　SNOOZEモード機能の説明を変更	
	表12－3を変更	
	12. 6. 3　SNOOZEモード機能の変更・（1）SNOOZEモード動作の説明を変更	
	12. 6. 3　SNOOZEモード機能の変更・（2）SNOOZEモード動作の説明を変更	
	図12－92のフロー・チャート，備考1を変更	
	図12－94のフロー・チャートを変更	
	12. 6. 4　ボー・レートの算出・（1）ボー・レート算出式の注意，備考1を変更	
	12. 7. 1　LIN送信の注を変更	
	図12－98のタイミング・チャート，注1, 3を変更	
	12. 7. 2　LIN受信の注を変更	
	図12－102を変更	
	12. 8. 1　アドレス・フィールドの注1, 2を変更	
	図12－104の注2を変更	
	12. 8. 2　データ送信の注1, 2を変更	
	図12－108の注1, 3を変更	
	12. 8. 3　データ受信の注1, 2を変更	
	図12－111の注1を変更	
	図12－116，図12－117を変更	
	図13－6の注2を変更	第13章　シリアル・インタフェースIICA
	図13－6の注を変更	
	図13－9の注意1, 2を変更	
	図13－11の備考1を変更	
	図13－24のフロー・チャートを変更	
	図13－28のフロー・チャートを変更	
	図13－29のフロー・チャートを変更	
	図13－30のフロー・チャートを変更	
	図14－1を変更，備考を追加	第14章　乗除積和算器
	14. 3. 1　乗除算コントロール・レジスタ0（MDUC）の説明を変更	
	図14－5　乗除算コントロール・レジスタ（MDUC）のフォーマットの説明を変更	
	14. 4. 1　乗算（符号なし）動作の説明を変更	
	14. 4. 2　乗算（符号付）動作の説明を変更	
	14. 4. 3　積和演算（符号なし）動作の説明を変更	
	14. 4. 4　積和演算（符号付）動作の説明を変更	
	図14－9のタイミング図を変更	
	14. 4. 5　除算動作の説明を変更	
	15. 1　DMAコントローラの機能の説明を変更	第15章　DMAコントローラ
	図15－9のフロー・チャートを変更	
	15. 6　DMAコントローラ（4）DMA転送の保留命令の説明を変更	
	15. 6　DMAコントローラ（6）データ・フラッシュ空間にアクセスする場合の動作の説明を変更	
	表16－1の説明，注3を変更	第16章　割り込み機能
	表16－2の注3, 6を変更	
	表16－2の注3を変更	
	表16－2の注を変更	

(8/28)

版　数	内　　容	適用箇所
Rev.3.00	図16－2のフォーマット，注意1を変更	第16章　割り込み機能
	16. 3. 2　割り込みマスク・フラグ・レジスタの説明を変更	
	図16－3のフォーマットと注意を変更	
	図16－4のフォーマットと注意を変更	
	図16－5のフォーマットを変更	
	16. 3. 5　プログラム・ステータス・ワード（PSW）の説明を変更	
	図16－9のタイミング・チャートを変更	
	表16－5の説明，備考3を変更	
	16. 4. 4　割り込み要求の保留の説明を変更	
	17. 1　キー割り込みの機能の説明を変更	第17章　キー割り込み機能
	表17－1，表17－2の説明を変更	
	17. 3　キー割り込みを制御するレジスタの説明変更	
	図17－2の注意2を変更	
	17. 3. 2　ポート・モード・レジスタ７（PM7）の説明を追加	
	18. 2　スタンバイ機能を制御するレジスタの説明を変更	第18章　スタンバイ機能
	18. 3. 1　HALTモードの注意を変更	
	図18－2（1），（2）のタイミング図を変更	
	18. 3. 2　STOPモードの注意を変更	
	図18－3（1）のタイミング図，備考1を変更	
	図18－3（2）のタイミング図，注2を変更	
	図18－3（3）の注1, 2，注意，備考1, 2を変更	
	図18－4（1），（2）のタイミング図を変更	
	18. 3. 3　SNOOZEモード（1）の説明を変更	
	表18－3の説明を変更	
	18. 3. 3　SNOOZEモード（2），（3）の説明を変更	
	冒頭の説明，注意3，備考を変更	第19章　リセット機能
	図19－2のタイミング図を変更	
	図19－3の注3を変更	
	表19－1の説明を変更，注を追加	
	表19－2の備考を変更	
	図19－4のフォーマットを変更	
	表19－3の説明を変更	
	図19－5のフロー・チャートを変更	
	20. 1　パワーオン・リセット回路の機能の説明，注意，備考2を変更	第20章　パワーオン・リセット回路
	図20－2（1）の説明，注2～5，注意を変更	
	図20－2（2）の説明，注1, 2を変更	
	図20－2（3）の説明，注1, 2，備考2を変更	
	21. 1　電源検出回路の機能 の説明を変更	第21章　電圧検出回路
	図21－1の説明を変更	
	図21－2の説明，注3を変更	
	図21－3の注2，注意1, 2を変更	
	表21－1（1/2）の説明を変更	
	表21－1（2/2）の説明を変更，注意2を変更	
	21. 4. 1　リセット・モードとして使用する場合の設定の説明を変更	
	図21－4の説明を変更	
	21. 4. 2　割り込みモードとして使用する場合の設定の説明を変更	
	図21－5の説明，注2を変更	

(9/28)

版　数	内　　容	適用箇所
Rev.3.00	21. 4. 3 割り込み＆リセット・モードとして使用する場合の設定の説明を変更	第21章 電圧検出回路
	図21－6（1/2）の説明を変更	
	図21－6（2/2）の説明を変更	
	図21－7 フロー・チャートの説明を変更	
	図21－8 フロー・チャートの説明を変更	
	21. 5 電源検出回路の注意事項(1)の説明を変更	
	図21－9 フロー・チャートの説明を変更	
	21. 5 電源検出回路の注意事項（3），（4）の説明を変更	
	22. 1 安全機能の概要（6），（7）の説明，備考を変更	第22章 安全機能
	図22－3の説明を変更	
	図22－7の注意，備考2, 4を変更	
	図22－8の説明を変更	
	図22－9の説明を変更	
	図22－11の説明を変更	
	22. 3. 7 周波数検出機能の説明を変更	
	22. 3. 7. 1 タイマ入力選択レジスタ（TIS0）の説明を変更	
	22. 3. 8 A/Dテスト機能の説明を変更	
	図22－15の説明を変更	
	22. 3. 8. 1 A/Dテスト・レジスタ（ADTES）の説明を変更	
	図22－17の注意2～4, 9を変更	
	24. 1 オプション・バイトの機能の注意を変更	第24章 オプション・バイト
	24. 1. 1 ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）（1），（2），（3）の説明を変更	
	図24－2（1/2）の説明を変更	
	図24－2（2/2）の説明，注意2，備考3を変更	
	図24－3の説明，注意2を変更	
	24. 4 オプション・バイトの設定の説明を変更	
	冒頭の説明を変更	第25章 フラッシュ・メモリ
	表25－1の説明を変更	
	図25－1の説明を変更	
	表25－2の注2の説明を変更	
	図25－3の注を追加	
	図25－4の注1を変更	
	表25－3の説明を変更	
	25. 3 オンボード上の端子処理の備考を変更	
	25. 3. 1 P40/TOOL0端子の説明，備考1を変更	
	25. 3. 4 REGC端子の説明を変更	
	25. 4. 2 フラッシュ・メモリ・プログラミング・モードの説明，図25－7を変更	
	表25－5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧を追加	
	25. 4. 4 通信コマンドの説明を変更	
	表25－7の説明を変更	
	表25－8の説明を変更	
	25. 5 PG-FP5使用時の各コマンド処理時間（参考値）の説明を変更	
	25. 6 セルフ・プログラミングの説明を変更	
	25. 7 セキュリティ設定の説明を変更	
	表25－13の注意を変更	

(10/28)

版 数	内 容	適用箇所
Rev.3.00	25. 8. 1 データ・フラッシュの概要の注意1を変更	第25章 フラッシュ・メモリ
	25. 8. 3 データ・フラッシュへのアクセス手順の注意2を変更	
	図26－1の説明，備考を変更	第26章 オンチップ・デバッグ機能
	26. 3 ユーザ資源の確保の説明を変更	
	冒頭の説明を変更	第28章 命令セットの概要
	表28－5（1/17）注3を変更	
	表28－5（2/17）注2を変更	
	表28－5（3/17）注2を変更	
	表28－5（4/17）注2を変更	
	表28－5（5/17）注2を変更	
	表28－5（6/17）注2を変更	
	表28－5（7/17）注2を変更	
	表28－5（8/17）注2を変更	
	表28－5（9/17）注2を変更	
	表28－5（10/17）注2を変更	
	表28－5（11/17）注2を変更	
	表28－5（12/17）注2を変更	
	表28－5（13/17）注2を変更	
	表28－5（14/17）注2を変更	
	表28－5（15/17）注2を変更	
	表28－5（16/17）注2を変更	
	表28－5（17/17）注2を変更	
	絶対最大定格（T_A=25℃）の表の記述を変更	第29章 電気的特性 (A,D:T_A=-40～+85℃)
	29. 2. 1 X1, XT1発振回路特性の表，注，注意，備考を変更	
	29. 2. 2 オンチップ・オシレータ特性の表を変更	
	29. 3. 1 端子特性（1/5）の注3を変更	
	29. 3. 1 端子特性（2/5）の注3を変更	
	(1) 20～64ピン製品のフラッシュROM16～64KBの製品の表を変更	
	(1) 20～64ピン製品のフラッシュROM16～64KBの製品の注1, 4を変更	
	(1) 20～64ピン製品のフラッシュROM16～64KBの製品の表を変更	
	(1) 20～64ピン製品のフラッシュROM16～64KBの製品の注1, 5, 6を変更	
	(2) 30～100ピン製品のフラッシュROM96～256KBの製品の注1, 4を変更	
	(2) 30～100ピン製品のフラッシュROM96～256KBの製品の注1, 5, 6を変更	
	(3) 44～100ピン製品のフラッシュROM:384, 512KBの製品の注1, 4を変更	
	(3) 44～100ピン製品のフラッシュROM:384, 512KBの製品の注1, 5, 6を変更	
	(4) 周辺機能（全製品共通）を変更	
	29. 4 AC特性の表を変更	
	メイン・システム・クロック動作時の最少命令実行時間を追加	
	ACタイミング測定点，外部システム・クロック・タイミングの図を変更	
	ACタイミング測定点の図を変更	
	(1) 同電位通信時（UARTモード）の説明，注3を変更	
	(2) 同電位通信時（CSIモード）の説明を変更	
	(3) 同電位通信時（CSIモード）の説明を変更	
	(4) 同電位通信時（CSIモード）（1/2）の説明を変更	
	(4) 同電位通信時（CSIモード）（2/2）の説明を変更	
	(5) 同電位通信時（簡易I^2Cモード）（1/2）の表を変更	

(11/28)

版 数	内 容	適用箇所
Rev.3.00	(5) 同電位通信時(簡易I²Cモード) (2/2)の表, 注意を変更	第29章 電気的特性 (A,D:TA=-40～+85℃)
	(6) 異電位(1.8V系, 2.5V系, 3V系)通信時(UARTモード) (1/2)の表, 注1, 4を変更	
	(6) 異電位(1.8V系, 2.5V系, 3V系)通信時(UARTモード) (2/2)の表, 注2～7を変更	
	(6) 異電位(1.8V系, 2.5V系, 3V系)通信時(UARTモード) (2/2)の備考1～4を変更	
	(7) 異電位(2.5V系, 3V系)通信時(CSIモード) (1/2)の表を変更	
	(7) 異電位(2.5V系, 3V系)通信時(CSIモード) (2/2)の表, 注意を変更	
	(8) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード) (1/3)の表を変更	
	(8) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード) (2/3)の表, 注1, 注意を変更	
	(8) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード) (3/3)の表, 注1, 注意を変更	
	(8) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード) (3/3)の備考3, 4を変更	
	(9) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード) (1/2)の表を変更	
	(9) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード) (2/2)の表, 注意を変更	
	(10) 異電位(1.8V系, 2.5V系, 3V系)通信時(簡易I²Cモード) (1/2)の表を変更	
	(10) 異電位(1.8V系, 2.5V系, 3V系)通信時(簡易I²Cモード) (2/2)の表, 注1, 注意を変更	
	(1) I²C標準モード(1/2)を追加	
	(1) I²C標準モード(2/2)を追加	
	(2) I²Cファースト・モードを追加	
	(3) I²Cファースト・モード・プラスを追加	
	IICAシリアル転送タイミングの図を変更	
	29. 6. 1 A/Dコンバータ特性に表を追加	
	29. 6. 1 (1)の記述を変更	
	29. 6. 1 (1)の注3～5を変更	
	29. 6. 1 (2)の記述, 注2, 4, 5を変更	
	29. 6. 1 (3)の記述, 注3, 4を変更	
	29. 6. 1 (4)の記述, 注3, 4を変更	
	29. 6. 2 温度センサ/内部基準電圧 の表を変更	
	29. 6. 3 POR回路特性の表, 注を変更	
	29. 6. 4 LVD回路特性の表を変更	
	割り込み&リセット・モードLVD検出電圧の表を変更	
	29. 6. 5 電源電圧立ち上がり傾き特性に変更	
	29. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングの表, 図, 備考を変更	
	注意1の説明を変更	第30章 電気的特性 (G:TA=-40～+105℃)
	絶対最大定格(TA=25℃)の表, 備考3を変更	
	30. 2. 1 X1,XT1発振回路特性の表, 注, 注意, 備考を変更	
	30. 2. 2 オンチップ・オシレータ特性の表を変更	
	30. 3. 1 端子特性(1/5)の注3を変更	
	30. 3. 1 端子特性(2/5)の注3を変更	
	(1) 20～64ピン製品のフラッシュROM16～64KBの製品(1/2)の注1, 4を変更	
	(1) 20～64ピン製品のフラッシュROM16～64KBの製品(2/2)の注1, 5, 6を変更	
	(2) 30～100ピン製品のフラッシュROM96～256KBの製品(1/2)の注1, 4を変更	

(12/28)

版 数	内 容	適用箇所
Rev.3.00	(2) 30～100ピン製品のフラッシュROM96～256KBの製品 (2/2) の注1, 5, 6を変更	第30章 電気的特性 (G:TA=-40～+105℃)
	(3) 周辺機能 (全製品共通) を変更	
	30. 4 AC特性の表を変更	
	メイン・システム・クロック動作時の最少命令実行時間を追加	
	ACタイミング測定点の図を変更	
	外部システム・クロック・タイミングの図を変更	
	ACタイミング測定点の図を変更	
	(1) 同電位通信時 (UARTモード) の説明, 注1, 注意を変更	
	(2) 同電位通信時 (CSIモード) の説明を変更	
	(3) 同電位通信時 (CSIモード) の説明を変更	
	(4) 同電位通信時 (簡易I²Cモード) の表, 注1, 注意を変更	
	(5) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (UARTモード) (1/2) の表, 注1, 注意を変更	
	(5) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (UARTモード) (2/2) の表, 注2～6, 注意, 備考1～4を変更	
	(6) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (1/3) の表を変更	
	(6) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (2/3) の表, 注意を変更	
	(6) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (3/3) の表, 注意, 備考3, 4を変更	
	(7) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (1/2) の表, 注意を変更	
	(8) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (簡易I²Cモード) (1/2) の表を変更	
	(8) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (簡易I²Cモード) (2/2) の表, 注1, 注意を変更	
	30. 5. 2 シリアル・インタフェースIICAの表を変更	
	IICAシリアル転送タイミングの図を変更	
	30. 6. 1 A/Dコンバータ特性に表を追加	
	30. 6. 1 (1) の表, 注3, 4を変更	
	30. 6. 1 (2) の記述を変更	
	30. 6. 1 (3) の記述, 注3を変更	
	30. 6. 1 (4) の記述, 注3, 4を変更	
	30. 6. 3 POR回路特性の表, 注を変更	
	割り込み&リセット・モードLVD検出電圧の表を変更	
	30. 6. 5 電源電圧立ち上がり傾き特性に変更	
	30. 9 専用フラッシュ・メモリ・プログラマ通信 (UART) を変更	
	30. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングの表, 図, 備考を変更	

（13/28）

版　数	内　　容	適用箇所
Rev.2.10	SCK, SCK∗∗のオーバーバーを削除	全般
	f_{EXT}をf_{EXS}に改称	
	1. 1　特徴を変更	第1章　概説
	1. 2　オーダ情報を1. 2　型名一覧に変更 1. 2　型名一覧を変更	
	1. 4　端子名称，INTP0-INTP11の説明を変更	
	1. 6　機能概要の説明，注を追加，変更	
	表2－2　リセット解除時のP40/TOOL0と動作モードとの関係の誤記を修正	第2章　端子機能
	3. 1　メモリ空間の説明を変更	第3章　CPUアーキテクチャ
	図3－1～図3－10の注意を変更	
	3. 1. 1　内部プログラム・メモリ空間の説明を変更	
	図3－11　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット，注を削除，注意2, 3を削除，新たに注意2を追加	
	3. 1. 3　内部データ・メモリ空間，説明を変更，注意1, 2を変更	
	3. 1. 6　データ・メモリ・アドレッシングの説明を変更	
	図3－12～図3－21の注意を変更	
	3. 2. 1　制御レジスタ，3. 2. 2　汎用レジスタ，3. 2. 3　ES, CSレジスタを変更	
	3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）の説明を変更	
	3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の説明を変更，注意を変更	
	表3－6　拡張SFR（2nd SFR）一覧（2/9），レジスタHIOTRMのリセット時を変更，注を変更	
	図3－28～図3－30，図3－32～図3－49を変更	
	3. 4. 1　インプライド・アドレッシング，【オペランド形式】を変更	
	3. 4. 3　ダイレクト・アドレッシング，【オペランド形式】を変更	
	3. 4. 5　SFRアドレッシング，【オペランド形式】を変更	
	3. 4. 7　ベースト・アドレッシング，【機　　能】を変更	
	3. 4. 9　スタック・アドレッシング，【機　　能】を変更，【オペランド形式】を【記述形式】に変更，【記述形式】を変更，説明を追加	
	図3－50～図3－55を追加	
	表4-20（2/3）の誤記を修正	第4章　ポート機能
	図5－2　クロック動作モード制御レジスタ（CMC）のフォーマットの注意を変更	第5章　クロック発生回路
	5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の注意1-4を削除，新たに注意1-3を追加	
	5. 4. 2　XT1発振回路の説明を変更	
	図5－12　XT1発振回路の外付け回路例の注意を変更	
	図5－14　電源電圧投入時のクロック発生回路の動作を変更，注3を変更	
	5. 6. 1　高速オンチップ・オシレータの設定例　【オプション・バイト設定】の説明を変更	
	5. 6. 2　X1発振回路の設定例　【レジスタ設定】の説明を変更	
	5. 7　発振子と発振回路定数の注意1を変更	

（14/28）

版　数	内　　容	適用箇所
Rev.2.10	（1）X1発振，データの日付を変更	第5章　クロック発生回路
	（1）X1発振，リバーエレテック株式会社殿のデータを追加	
	（2）XT1発振（水晶振動子），データの日付を変更	
	（2）XT1発振（水晶振動子），セイコーインスツル株式会社殿・日本電波工業株式会社殿・京セラキンセキ株式会社殿のデータを変更，リバーエレテック株式会社殿のデータを追加	
	6. 2. 2　タイマ・データ・レジスタmn（TDRmn）の説明を変更	第6章　タイマ・アレイ・ユニット
	図6－12　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4），カウント・スタートと割り込みの設定を変更	
	図6－29　動作タイミング（キャプチャ・モード：入力パルス間隔測定）に説明を追加	
	図7－23　～の場合の動作を図7－23　～の場合の補正動作に変更	第7章　リアルタイム・クロック
	図8－1　12ビット・インターバル・タイマのブロック図，割り込み信号を割り込み要求信号に変更	第8章　12ビット・インターバル・タイマ
	8. 3. 1　周辺イネーブル・レジスタ0（PER0）を変更	
	8. 3. 2　動作スピード・モード制御レジスタ（OSMC）の説明を変更	
	図8－5　12ビット・インターバル・タイマ動作のタイミング～を変更	
	図11－1　A/Dコンバータのブロック図の誤記を修正	第11章　A/Dコンバータ
	11. 2（9）AVREFP端子の誤記を修正	
	11. 3. 1　周辺イネーブル・レジスタ0（PER0）の注意1を変更	
	11. 3. 2　A/Dコンバータ・モード・レジスタ0（ADM0），注意1, 3を変更，注意2を追加	
	表11－1　ADCSビットとADCEビットの設定を変更	
	表11－3　A/D変換時間の選択（1/4）～（4/4）を変更	
	11. 3. 3　A/Dコンバータ・モード・レジスタ1（ADM1）の注意1を変更	
	11. 3. 4　A/Dコンバータ・モード・レジスタ2（ADM2）の注意1を変更	
	図11－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）の注意を変更	
	11. 3. 7　アナログ入力チャネル指定レジスタ（ADS）の注意5を変更	
	図11－31　ハードウエア・トリガ・ウエイト・モード（～の説明を変更	
	11. 7. 4　温度センサ使用時の設定（～を11. 7. 4　温度センサ出力／内部基準電圧出力を選択時の設定（～に変更 図11－35　温度センサ使用時の設定を図11－35　温度センサ出力／内部基準電圧出力を選択時の設定に変更	
	図12－85（c）シリアル通信動作設定レジスタmn（SCRmn）の説明を変更	第12章　シリアル・アレイ・ユニット
	（2）送信時のボー・レート誤差，値を変更	
	図14－5　乗除算コントロール・レジスタ（MDUC）のフォーマット，演算モードの選択を変更	第14章　乗除積和算器
	図14－9　積和演算（符号付）動作のタイミング図（～の値を変更	
	17. 3. 1　キー・リターン・モード・レジスタ（KRM）　注意1を変更	第17章　キー割り込み機能
	18. 1（1）SNOOZEモード　注意1を修正	第18章　スタンバイ機能
	表18－1（2/2）　タイマ・アレイ・ユニットの説明を変更	
	表18－1（2/2）　クロック出力／ブザー出力の説明を変更	
	表18－1（2/2）　シリアル・アレイ・ユニット（SAU）の説明を変更	
	表18－1（2/2）　乗除算・積和演算器の説明を変更	
	図18－4　HALTモードのリセットによる解除（1/2）の説明、注を変更	
	図18－4　HALTモードのリセットによる解除（2/2）の説明、注を変更	

（15/28）

版　数	内　　容	適用箇所
Rev.2.10	18. 3. 2 （1）STOPモードの設定および動作状態の注意1を変更	第18章 スタンバイ機能
	表18－2 クロック出力／ブザー出力の説明を変更	
	18. 3. 2 （1）STOPモードの設定および動作状態の注意1を変更	
	図18－6 STOPモードのリセットによる解除の説明、注を変更	
	18. 3. 3（1）SNOOZEモードの設定および動作状態の説明を変更	
	表18－3 クロック出力／ブザー出力の説明を変更	
	第19章 リセット機能の説明 注意3を変更	第19章 リセット機能
	図19－2の説明を変更，注を追加	
	図19－3のタイトル，説明を修正	
	図19－4を削除	
	表19－1 ポート（ラッチ）の説明を変更	
	表19－2 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）の説明を変更	
	表19－2 各ハードウエアのリセット受け付け後の状態（1/4）の注2を変更	
	図19－5 リセット・コントロール・フラグ・レジスタ（RESF）のフォーマットの注意2を変更	
	図20－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）、（2/3）の図，注を変更	第20章 パワーオン・リセット回路
	図20－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（3/3）の図を追加	
	図22－7 RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマットの注意を変更	第22章 安全機能
	24. 1 オプション・バイトの機能の説明を変更	第24章 オプション・バイト
	図24－1の注意を変更	
	図24－3 ユーザ・オプション・バイト（000C2H/010C2H）のフォーマットの注意を変更	
	25. 4. 1 データ・フラッシュの概要の説明，注意1を変更	第25章 フラッシュ・メモリ
	表25－4 リセット解除時のTOOL0端子の動作モードとの関係の誤記を修正	
	25. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意4を変更	
	表28－5 オペレーション一覧（14/17）の誤記を修正	第28章 命令セットの概要
	第29章 電気的特性（A, D：T_A = -40～+85℃）に改称	第29章 電気的特性（A, D：T_A = -40～+85℃）
	第29章 電気的特性（A, D：T_A = -40～+85℃）に説明を追加	
	29. 3. 2 （1）20～64ピン製品のフラッシュROM16～64 KBの製品の注8を変更	
	29. 3. 2 （2）30～100ピン製品のフラッシュROM96～256 KBの製品の注8を変更	
	29. 3. 2 （3）44～100ピン製品のフラッシュROM: 384, 512 KBの製品と，128ピン製品の注8を変更	
	29. 3. 2 （4）RL78/G13全製品共通の注3-7を変更	
	29. 6. 1 A/Dコンバータ特性 （1）、（2）、（3）総合誤差の注2を削除	
	29. 6. 2 温度センサ／内部基準電圧特性に改称	
	29. 6. 2 温度センサ／内部基準電圧特性の説明を変更	
	29. 6. 4 割り込み＆リセット・モードのLVD検出電圧の説明を変更	
	29. 8 フラッシュ・メモリ・プログラミング特性の条件を変更	
	29. 8 フラッシュ・メモリ・プログラミング特性の注3を追加	
	産業用途向け（T_A = -40~+105℃）製品を追加	第30章 電気的特性（G：T_A = -40~+105℃）（ターゲット）
	産業用途向け（T_A = -40~+105℃）製品を追加	第31章 外形図

(16/28)

版 数	内 容	適用箇所
Rev.2.01	レジスタ名称の書式を変更	全般
Rev.2.00	インターバル・タイマ（ユニット）を12ビット・インターバル・タイマに改称	全般
	周辺I/Oリダイレクト機能の端子名を追加	
	V_{LVI}, V_{LVIH}, V_{LVIL}をV_{LVD}, V_{LVDH}, V_{LVDL}に改称（LVD検出電圧）	
	RAMパリティ・エラーの割り込み要因RAMTOPをRPEに改称	
	f_{EXS}をf_{EXT}に改称	
	1. 1 特徴の説明を追加	第1章 概説
	1. 2 オーダ情報を変更	
	図1－1 RL78/G13の型名とメモリ・サイズ，パッケージを追加	
	1. 3. 11 64ピン製品を変更	
	1. 6 機能概要の説明を追加，変更	
	2. 1 ポート機能を変更	第2章 端子機能
	2. 2 ポート以外の機能の説明を変更（ポート機能の説明を削除）	
	2. 3 端子の入出力回路と未使用端子の処理に備考を追加	
	表2－3 各端子の未使用端子処理（128ピン製品）（3/4）を変更	
	図3－1, 3－2, 3－5～3－7, 3－9に注1を追加	第3章 CPUアーキテクチャ
	図3－1～3－10に注意を追加	
	図3－3, 3－4, 3－8, 3－10の注1を変更	
	表3－1 フラッシュ・メモリのアドレス値とブロック番号の対応に備考を追加	
	3. 1. 2 ミラー領域の説明を変更	
	3. 1. 3 内部データ・メモリ空間の注意2を変更	
	図3－12, 3－13, 3－16～3－18, 3－20に注1を追加	
	図3－12～3－21に注意を追加	
	図3－14, 3－15, 3－19, 3－21の注1を変更	
	3. 2. 1（3）スタック・ポインタ（SP）の注意3を変更	
	3. 2. 2 汎用レジスタの注意2を変更	
	4. 1 ポートの機能の説明を変更	第4章 ポート機能
	ブロック図を変更	
	4. 2. 3 ポート2の説明を追加	
	4. 2. 16 ポート15の説明を追加	
	4. 3 ポート機能を制御するレジスタに注意を追加	
	図4－66 ポート・レジスタのフォーマット（128ピン製品）を変更	
	4. 3（3）プルアップ抵抗オプション・レジスタ（PUxx）の説明を変更，注意を追加	
	4. 3（5）ポート出力モード・レジスタ（POMxx）に説明を追加	
	図4－70 ポート・モード・コントロール・レジスタのフォーマットに注意1, 2を追加	
	図4－71 A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマットに注意1を追加	
	4. 3（8）周辺I/Oリダイレクション・レジスタ（PIOR）の説明を変更	
	4. 3（9）グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）に備考を追加	
	4. 4. 1（2）入力モードの場合, 4. 4. 3（2）入力モードの場合に説明を追加	
	4. 4. 4（1）（a）1.8 V系, 2.5 V系, 3 V系からの入力ポートとして使用，（b）1.8 V系, 2.5 V系, 3 V系への出力ポートとして使用に備考を追加	
	4. 4. 4（2）IIC00, IIC01, IIC10, IIC20, IIC30, IIC31機能の入出力端子を使用する場合の設定手順の説明を追加	
	4. 5 兼用機能使用時のポート関連レジスタの設定に注意を追加	
	表4－22 兼用機能使用時のポート関連レジスタの設定	

(17/28)

版 数	内 容	適用箇所
Rev.2.00	4. 6. 2 端子設定に関する注意事項を追加	第4章 ポート機能
	5. 1 (1) 高速オンチップ・オシレータの説明を追加	第5章 クロック発生回路
	図5－1 クロック発生回路のブロック図を変更	
	図5－2 クロック動作モード制御レジスタ（CMC）のフォーマットの注意1を変更，注意4-6を追加	
	図5－9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットの注意3を変更	
	図5－14 電源電圧投入時のクロック発生回路の動作の注3を変更	
	5. 6. 2 X1発振回路の設定例の説明を追加	
	図5－15 CPUクロック状態移行図の説明を追加	
	表5－3 CPUクロックの移行とSFRレジスタの設定例の説明を追加	
	表5－4 CPUクロックの移行についての説明を追加，削除	
	5. 6. 6 CPUクロックの切り替えとシステム・クロックの切り替えに要する時間の備考2を変更	
	5. 7 発振子と発振回路定数を追加	
	6. 1. 1 (7) ディレイ・カウンタの説明を変更	第6章 タイマ・アレイ・ユニット
	6. 1. 2 (3) 多重PWM（Pulse Width Modulation）出力の注意を変更	
	図6－2 タイマ・アレイ・ユニット0のチャネル0, 2, 4, 6内部ブロック図を変更	
	図6－3～図6－6を追加	
	表6－3 各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値を変更	
	図6－10 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1を変更	
	図6－11 タイマ・クロック選択レジスタm（TPSm）のフォーマット（1/2）の注，備考2を変更，注意を追加	
	図6－12 タイマ・モード・レジスタmn（TMRmn）のフォーマットを変更	
	図6－16 タイマ・チャネル停止レジスタm（TTm）のフォーマットの説明を変更	
	図6－17 タイマ入力選択レジスタ0（TIS0）のフォーマットに注意を追加	
	図6－18 タイマ出力許可レジスタ0（TOE0）のフォーマットの説明を変更	
	6. 3 (15) ポート・モード・レジスタ0, 1, 3, 4, 6, 10, 14（PM0, PM1, PM3, PM4, PM6, PM10, PM14）の説明を変更	
	6. 5. 1 (1) CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）を変更	
	表6－6 カウント動作許可状態からタイマ・カウンタ・レジスタ0n（TCR0n）のカウント・スタートまでの動作の説明を変更	
	6. 5. 3 カウンタの動作の表題，備考を追加	
	図6－29 動作タイミング（キャプチャ・モード：入力パルス間隔測定），備考を変更，注を追加	
	図6－31 動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）の備考を変更	
	6. 6. 2 TOmn端子の出力設定の説明を変更	
	図6－34～図6－36を変更	
	図6－43, 6－47, 6－55, 6－59, 6－63, 6－68, 6－78 レジスタ設定内容例の説明を変更	
	図6－45, 6－49, 6－57, 6－61, 6－65 ブロック図を変更	
	図6－48, 6－52, 6－56, 6－60, 6－64, 6－69, 6－79 操作手順を変更	

(18/28)

版 数	内 容	適用箇所
Rev.2.00	6. 8. 3 多重PWM出力機能としての動作の備考を変更	第6章 タイマ・アレイ・ユニット
	7. 3（5）～（11）の説明を変更	第7章 リアルタイム・クロック
	7. 4. 2 動作開始後のHALT/STOPモードへの移行の説明を変更	
	図8－4 インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマットの注意3を追加	第8章 12ビット・インターバル・タイマ
	図8－5 12ビット・インターバル・タイマ動作のタイミングを変更	
	9. 5 クロック出力／ブザー出力制御回路の注意事項を追加	第9章 クロック出力／ブザー出力制御回路
	10. 1 ウォッチドッグ・タイマの機能，10. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定，10. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定の説明を変更	第10章 ウォッチドッグ・タイマ
	図11－1 A/Dコンバータのブロック図を変更	第11章 A/Dコンバータ
	図11－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマットの注3を削除，注意1, 2を追加	
	図11－4 A/D電圧コンパレータ使用時のタイミング・チャートを変更，注2，注意4を追加	
	表11－3 A/D変換時間の選択の説明を追加	
	図11－6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマットの注意2を変更	
	図11－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）の説明を変更，注，注意2, 3，備考を追加	
	11. 3（5）10ビットA/D変換結果レジスタ（ADCR），（6）8ビットA/D変換結果レジスタ（ADCRH）に注を追加	
	図11－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマットに注3，注意9, 10を追加	
	11. 3（10）A/Dテスト・レジスタ（ADTES）に注意を追加	
	11. 3（11）A/Dポート・コンフィギュレーション・レジスタ（ADPC）に注意3を追加	
	11. 3（12）ポート・モード・コントロール・レジスタ0, 3, 10, 11, 12, 14（PMC0, PMC3, PMC10, PMC11, PMC12,PMC14）に注意を追加	
	11. 3（13）ポート・モード・レジスタ0, 2, 3, 10, 11, 12, 14, 15（PM0, PM2, PM3, PM10, PM11, PM12, PM14, PM15）を変更，注意を追加	
	11. 4 A/Dコンバータの変換動作に注1を追加	
	図11－32～図11－36を変更	
	11. 8 SNOOZEモード機能の説明を変更	
	11. 10（2）ANI0-ANI14, ANI16-ANI26端子入力範囲についてに注意を追加	
	11. 10（5）アナログ入力（ANIn）端子の説明を変更	
	表11－6 等価回路の各抵抗と容量値（参考値）の値を変更	
	12. 1. 1 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）に注1を追加	第12章 シリアル・アレイ・ユニット
	12. 1. 2 UART（UART0-UART3）に注を追加	
	図12－1, 12－2 シリアル・アレイ・ユニット0, 1のブロック図を変更	
	12. 2（2）シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットの説明を変更	
	図12－5 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1を変更	
	図12－8 シリアル通信動作設定レジスタmn（SCRmn）のフォーマットの説明を変更	
	12. 3（5）シリアル・データ・レジスタmn（SDRmn）の上位7ビットの説明を変更	
	図12－12 シリアル・チャネル開始レジスタm（SSm）のフォーマットの注，注意2を追加	

(19/28)

版 数	内 容	適用箇所
Rev.2.00	図12－13 シリアル・チャネル停止レジスタm（STm）のフォーマットに注を追加	第12章 シリアル・アレイ・ユニット
	図12－18 シリアル・スタンバイ・コントロール・レジスタm（SSCm）のフォーマットの説明を変更，注意を追加	
	12. 3(18)ポート出力モード・レジスタ0, 1, 4, 5, 7-9, 14(POM0, POM1, POM4, POM5, POM7-POM9, POM14）の説明を変更	
	12. 3(19)ポート・モード・レジスタ0, 1, 3-5, 7-9, 14(PM0, PM1, PM3-PM5, PM7-PM9, PM14）の説明を追加	
	図12－24 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定の注意1を変更	
	12. 5 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21,CSI30, CSI31）通信の動作の注1を変更	
	図12－26, 34, 42, 50, 58, 64, 77, 85, 105, 109, 112（レジスタ設定内容例）の説明を変更	
	図12－28, 29, 36, 37, 44, 45, 52, 53, 60, 61, 66, 67, 79, 80, 82, 84, 87, 88, 90, 93, 95, 106, 108, 111, 114, 116（フロー・チャート）を変更	
	12. 5. 4 スレーブ送信，12. 5. 5 スレーブ受信，12. 5. 6 スレーブ送受信の注の説明を追加	
	12. 5. 7 SNOOZEモード機能に説明を追加	
	図12－72，図12－74の注意を変更	
	表12－2 3線シリアルI/O動作クロックの選択を変更	
	12. 6 UART（UART0-UART2）通信の動作に説明を追加	
	12. 6. 1 UART送信，12. 6. 2 UART受信の説明を変更	
	図12－86 UART受信の初期設定手順の注意を変更	
	12. 6. 3 SNOOZEモード機能に説明を追加，注意を変更	
	図12－91 SNOOZEモード動作（通常動作）時のタイミング・チャート4の注，注意を変更	
	図12－92 SNOOZEモード動作（異常動作 ）時のタイミング・チャートの注意を変更	
	図12－94 SNOOZEモード動作（異常動作 ）時のタイミング・チャートの注1，注意1を変更	
	表12－3 UART動作クロックの選択の説明を変更	
	12. 7. 1 LIN送信，12. 7. 2 LIN受信の説明，注を変更	
	図12－99 LINのマスタ送信操作を変更	
	図12－100 LIN送信のフロー・チャートを追加	
	図12－101 LINの受信操作の説明を変更	
	図12－102 LIN受信のフロー・チャートを追加	
	12. 8. 1 アドレス・フィールド送信，12. 8. 2 データ送信，12. 8. 3 データ受信の説明を変更	
	12. 8. 5 転送レートの算出の注意に説明を追加	
	IIC転送レート設定例の説明を変更	
	図12－117 簡易I2Cモード時のパリティ・エラー（ACKエラー）発生時の処理手順の説明を変更	
	図13－9 IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（2/2）の説明を変更	第13章 シリアル・インタフェースIICA
	13. 3（6）IICAロウ・レベル幅設定レジスタn（IICWLn）の説明を変更	
	13. 5. 13 ウエイク・アップ機能の説明を変更	
	図13－28, 13－29, 13－30を変更	
	13. 5. 17（2）（d）Start～Address～Data～Start～Address～Data～Stopを変更	

（20/28）

版　数	内　　容	適用箇所
Rev.2.00	13. 5. 17（3）（d）Start～Code～Data～Start～Address～Data～Stopを変更	第13章　シリアル・インタフェースIICA
	図14－1　乗除積和算器のブロック図を変更	第14章　乗除積和算器
	14. 2（2）乗除算データ・レジスタB（MDBL, MDBH）の注意1を変更	
	14. 2（3）乗除算データ・レジスタC（MDCL, MDCH）の注意2を変更	
	図14－5　乗除算コントロール・レジスタ（MDUC）のフォーマットの説明を変更	
	14. 4. 1　乗算（符号なし）動作，図14－6　乗算（符号なし）動作のタイミング図の値を変更	
	14. 4. 2　乗算（符号付）動作，図14－7 乗算（符号付）動作のタイミング図（－2×32767 = －65534）の値を変更	
	14. 4. 3　積和演算（符号なし）動作の説明を変更	
	図14－8　積和演算（符号なし）動作のタイミング図の値を変更	
	14. 4. 4　積和演算（符号付）動作の説明を追加	
	図14－9　積和演算（符号付）動作のタイミング図の値を変更	
	14. 4. 5　除算動作の説明を変更	
	図14－10　除算動作のタイミング図（例：35÷6 = 5 余5）の値を変更	
	冒頭に説明を追加	第16章　割り込み機能
	図16－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット（128ピン製品）の注意2を削除	
	表16－3　EGPnビットとEGNnビットに対応するポートに備考1を追加	
	表16－4　マスカブル割り込み要求発生から処理までの時間を変更，注を追加	
	図16－8　割り込み要求の受け付けタイミング（最小時間），図16－9 割り込み要求の受け付けタイミング（最大時間）を変更	
	表16－5　割り込み処理中に多重割り込み可能な割り込み要求の関係を変更	
	16. 4. 4　割り込み要求の保留の注意を削除	
	図17－2　キー・リターン・モード・レジスタ（KRM）のフォーマット，注意2を変更，注意1を追加	第17章　キー割り込み機能
	表18－1　HALTモード時の動作状態を変更	第18章　スタンバイ機能
	図18－3　HALTモードの割り込み要求発生による解除に注1を追加，注2を変更	
	図18－4　HALTモードのリセットによる解除，注を変更	
	表18－2　STOPモード時の動作状態を変更	
	図18－5　STOPモードの割り込み要求発生による解除の注を変更	
	図18－6　STOPモードのリセットによる解除の注を変更	
	18. 2. 3（1）SNOOZEモードの設定および動作状態の説明を変更	
	表18－3　SNOOZEモード時の動作状態の説明を変更	
	図19－2, 19－4を変更	第19章　リセット機能
	表19－1　リセット期間中の動作状態説明を変更	
	表19－2　各ハードウエアのリセット受け付け後の状態の注2を変更	
	図19－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマットの注意3を変更	
	図20－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングの説明，注を変更	第20章　パワーオン・リセット回路
	図21－1　電圧検出回路のブロック図を変更	第21章　電圧検出回路
	図21－2　電圧検出レジスタ（LVIM）のフォーマットの説明を変更	

（21/28）

版　数	内　　容	適用箇所
Rev.2.00	表21－1　ユーザ・オプション・バイト（000C1H）によるLVD動作モードと検出電圧設定に図を追加	第21章　電圧検出回路
	図21－4～21－6を変更	
	図21－7, 21－8と説明を追加	
	22. 1　安全機能の概要の備考を変更	第22章　安全機能
	22. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）の説明，注意を追加	
	図22－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを変更	
	22. 3. 2　CRC演算機能（汎用CRC）の説明，注意を追加	
	図22－6　CRC演算機能（汎用CRC）のフロー・チャートを変更	
	図22－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマットの注意を変更	
	図22－10　不正アクセス検出空間を変更	
	図22－11　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマットに備考を追加	
	22. 3. 8　A/Dテスト機能の説明を追加	
	図を追加（前版21. 3. 7　A/Dテスト機能の2. 2　端子機能の説明から移動）	第23章　レギュレータ
	図24－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマットの説明を変更	第24章　オプション・バイト
	図24－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを変更	
	表25－1　RL78/G13と専用フラッシュ・メモリ・プログラマの配線表の注を変更	第25章　フラッシュ・メモリ
	25. 1. 1　プログラミング環境の説明，25. 1. 2　通信方式の注を変更	
	25. 2　外部デバイス（UART内蔵）による書き込み方法に説明を追加	
	25. 2. 2　通信方式の説明の注を変更	
	25. 3　オンボード上の端子処理に備考を追加	
	25. 4. 1　データ・フラッシュの概要の説明を変更，備考を追加	
	図25－8　フラッシュ・メモリ・プログラミング・モードへの引き込みを変更	
	表25－5　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧を変更	
	表25－10　シグネチャ・データ例の説明を変更	
	25. 6　セキュリティ設定に説明，注意を追加	
	25. 7　セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意3を追加	
	表25－13　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧を変更	
	図26－1　E1オンチップデバッギングエミュレータとRL78/G13の接続例を追加	第26章　オンチップ・デバッグ
	フラグの状態を変更	第28章　命令セットの概要
	第29章　電気的特性に注意2, 3を追加（製品別搭載端子を削除）	第29章　電気的特性
	29. 1　絶対最大定格に説明，注3, 備考2を追加	
	29. 2　発振回路特性を変更（推奨発振回路定数を5. 7　発振子と発振回路定数に移動）	
	29. 2. 2　オンチップ・オシレータ特性に注2を追加	
	29. 3. 1　端子特性に注4を追加	
	29. 3. 2　電源電流特性に注を変更	
	29. 3. 2　電源電流特性の注を追加	
	29. 3. 2（3）44～100ピン製品のフラッシュROM: 384, 512 KBの製品と，128ピン製品のターゲットを削除し，正式規格に変更	
	29. 3. 2（4）RL78/G13全製品共通に説明，注7を追加	
	29. 4　AC特性に説明を追加	
	29. 5. 1　シリアル・アレイ・ユニットの注意を変更	

（22/28）

版　数	内　　容	適用箇所
Rev.2.00	29. 5. 1 シリアル・アレイ・ユニットの備考を削除	第29章 電気的特性
	（7）異電位（2.5 V系，3 V系）通信時（fMCK/2）（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，CSI00のみ対応）の値を変更	
	29. 5. 1 （9）異電位（1.8 V系，2.5 V系，3 V系）通信時（CSIモード）（スレーブ・モード，$\overline{\text{SCKp}}$…外部クロック入力）に説明を追加，値を削除	
	29. 5. 2 シリアル・インタフェースIICAに値を追加	
	29. 6. 1 A/Dコンバータ特性，29. 6. 2 温度センサ特性に説明を追加	
	29. 6. 4 LVD回路特性の説明を変更	
	29. 9 フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング・スペックを変更	
	産業用途向け製品を追加	第30章 外形図
	30. 11 64ピン製品の説明を変更	
Rev.1.00	高速内蔵発振を高速オンチップ・オシレータに変更	全般
	低速内蔵発振を低速オンチップ・オシレータに変更	
	電気的特性のターゲットを削除	
	周辺I/Oリダイレクション・レジスタ（PIOR）に関する機能の公開	第1章 概　説
	注1～注3を変更	
	注1を変更	
	周辺I/Oリダイレクション・レジスタ（PIOR）に関する機能の公開	第2章 端子機能
	2. 1. 15 製品別搭載端子（ポート以外の端子）を変更	
	2. 2 端子機能の説明のデジタル入出力／アナログ入力に関する説明を変更	
	2. 2 端子機能の説明にプルアップ抵抗オプション・レジスタに関する説明を追加	
	2. 2. 17（2）V_{SS}, EV_{SS0}, EV_{SS1}に備考を追加	
	2. 2. 19 REGCの説明を変更	
	表2－3 各端子の未使用端子処理（128ピン製品）（2/4）に備考3を追加	
	図2－1 端子の入出力回路一覧を変更	
	図3－1～図3－3を変更	第3章 CPUアーキテクチャ
	図3－3，図3－4，図3－8，図3－10の注1を変更	
	表3－3 ベクタ・テーブルを変更	
	3. 1. 2 ミラー領域の説明を変更	
	3. 1. 3 内部データ・メモリ空間の注意2を変更	
	図3－12～図3－14を変更	
	図3－14，図3－15，図3－19，図3－21の注1を変更	
	3. 2. 1（3）スタック・ポインタ（SP）の注意3を変更	
	3. 2. 2 汎用レジスタの注意2を変更	
	表3－6 拡張SFR（2nd SFR）一覧（2/9）を変更，注を追加	
	表3－6 拡張SFR（2nd SFR）一覧（7/9）を変更	
	図3－31 テーブル・インダイレクト・アドレッシングの概略を変更	
	表4－X ポートX使用時のレジスタ設定を追加	第4章 ポート機能
	4. 2 ポートの構成のブロック図を128ピン製品の場合で説明	
	4. 2 ポートの構成のデジタル入出力／アナログ入力に関する説明を変更	
	4. 2 ポートの構成のリセット信号の発生に関する説明を変更	
	図4－10 P13のブロック図を変更	
	図4－15 P20-P27のブロック図を変更	

（23/28）

版　数	内　　容	適用箇所
Rev.1.00	図4－23　P43, P44のブロック図を変更	第4章　ポート機能
	図4－25　P46のブロック図を変更	
	図4－26　P47のブロック図を追加	
	図4－52　P121, P122のブロック図を変更	
	図4－53　P123, P124のブロック図を変更	
	4. 2. 14　ポート13の説明を変更	
	図4－64　P150-P156のブロック図を変更	
	表4－21　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを変更	
	表4－22　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（80ピン製品～128ピン製品）（3/4）を変更	
	図4－70　ポート・モード・コントロール・レジスタのフォーマットを変更	
	図4－72　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットの注意1, 2を変更，	
	4. 3（9）グローバル・デジタル・インプット・ディスエーブル・レジスタ（GDIDIS）の説明を変更	
	4. 4. 4　異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法の説明を変更	
	表4－23　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定を変更	
	表4－23　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定に注3を追加	
	4. 6　ポート機能使用時の注意事項の項目を追加	
	4. 6. 2　128ピン以外の製品での端子設定に関する注意事項を追加	
	5. 1（2）サブシステム・クロックの説明を変更	第5章　クロック発生回路
	図5－1　クロック発生回路のブロック図を変更	
	図5－2　クロック動作モード制御レジスタ（CMC）のフォーマットを変更，注を追加	
	5. 3（2）システム・クロック制御レジスタ（CKC）の説明を変更，注2を削除	
	図5－6　発振安定時間選択レジスタ（OSTS）のフォーマットを変更	
	図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマットの注4を削除	
	5. 3（7）動作スピード・モード制御レジスタ（OSMC）の説明を変更，注意を削除	
	図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットの注意2, 3を変更	
	5. 3（9）高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）を変更	
	図5－14　電源電圧投入時のクロック発生回路の動作の注3を追加	
	5. 6. 1　高速オンチップ・オシレータの設定例を変更	
	5. 6. 2　X1発振回路の設定例の説明を変更	
	表5－3　CPUクロックの移行とSFRレジスタの設定例の（6），（8）を変更	
	表5－6，表5－7を変更	
	表6－2　各製品に搭載しているタイマ入出力端子を変更	第6章　タイマ・アレイ・ユニット
	6. 2（1）タイマ・カウンタ・レジスタmn（TCRmn）の説明を変更	
	6. 2（2）タイマ・クロック選択レジスタm（TPSm）の説明を変更	
	表6－4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間に注を追加	
	6. 3（3）タイマ・モード・レジスタmn（TMRmn）の注意を変更，	
	図6－8　タイマ・モード・レジスタmn（TMRmn）のフォーマットを変更	
	6. 3（5）タイマ・チャネル許可ステータス・レジスタm（TEm）の説明を変更	
	6. 3（6）タイマ・チャネル開始レジスタm（TSm）の説明を変更	
	図6－18　入力切り替え制御レジスタ（ISC）のフォーマットを変更	

（24/28）

版　数	内　　容	適用箇所
Rev.1.00	6. 3（15）ポート・モード・レジスタ0, 1, 3, 4, 6, 10, 14（PM0, PM1, PM3, PM4, PM6, PM10, PM14）に備考を追加	第6章　タイマ・アレイ・ユニット
	6. 4. 1　複数チャネル連動動作機能の基本ルールの説明を変更	
	6. 5. 2（e）キャプチャ&ワンカウント・モード時のスタート・タイミング（ハイ・レベル幅測定時の動作）の説明を変更 図6－27　スタート・タイミング（キャプチャ&ワンカウント・モード時）を変更	
	図6－30　トグル出力時（TOMmn = 0）のTOmn端子出力状態を変更	
	図6－37，6－39，図6－43，図6－51，図6－55，図6－57，図6－59，図6－64，図6－69，図6－74の注を変更	
	図6－39，図6－43，図6－51，図6－55，図6－59の動作クロック（f_{MCK}）の選択を変更	
	図6－49，図6－53に注を追加	
	6. 7. 6　ディレイ・カウンタとしての動作の説明を変更	
	6. 9　タイマ・アレイ・ユニット使用時の注意事項を追加	
	7. 1　リアルタイム・クロックの機能の注意を変更	第7章　リアルタイム・クロック
	図7－1　リアルタイム・クロックのブロック図の図，注意を変更	
	7. 3（1）周辺イネーブル・レジスタ0（PER0）の注4を削除	
	7. 3（2）動作スピード・モード制御レジスタ（OSMC）の注意を変更	
	図7－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）を変更	
	(5）秒カウント・レジスタ（SEC）～（11）年カウント・レジスタ（YEAR）の説明，注意を変更	
	7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みの説明を変更	
	図7－20　リアルタイム・クロックの書き込み手順に注意2を追加	
	図7－22　1 Hz出力の設定手順を変更	
	8. 1　インターバル・タイマの機能の説明を変更	第8章　インターバル・タイマ
	図8－4　インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマットの注意1を変更	
	図9－1　クロック出力／ブザー出力制御回路のブロック図の注を変更，備考を追加	第9章　クロック出力／ブザー出力制御回路
	図9－2　クロック出力選択レジスタn（CKSn）のフォーマットを変更	
	9. 3（2）ポート・モード・レジスタ1, 3, 5, 14（PM1, PM3, PM5, PM14）を変更	
	10. 4. 1　ウォッチドッグ・タイマの動作制御の注意4を変更，注意5を削除 表10－3　ウォッチドッグ・タイマのオーバフローの注意を削除	第10章　ウォッチドッグ・タイマ
	表10－4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定の注意1を削除，備考を変更	
	11. 1　A/Dコンバータの機能の説明を変更	第11章　A/Dコンバータ
	図11－1　A/Dコンバータのブロック図を変更	
	11. 2　A/Dコンバータの構成の説明を変更	
	11. 3　A/Dコンバータで使用するレジスタを変更	
	表11－1　ADCSビットとADCEビットの設定に注を追加 表11－2　ADCSビットのセット／クリア条件を変更	
	表11－3　A/D変換時間の選択を変更	

（25/28）

版　数	内　　容	適用箇所
Rev.1.00	図11－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマットを変更	第11章　A/Dコンバータ
	図11－8　ADRCKビットによる割り込み信号発生範囲を変更	
	図11－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマットを変更	
	図11－14　A/Dテスト・レジスタ（ADTES）のフォーマットを変更	
	11. 3（11）A/Dポート・コンフィギュレーション・レジスタ（ADPC）の説明を変更	
	11. 3（12）ポート・モード・コントロール・レジスタ0, 3, 10, 11, 12, 14（PMC0, PMC3, PMC10, PMC11, PMC12, PMC14）を変更	
	11. 3（13）ポート・モード・レジスタ0, 2, 3, 10, 11, 12, 14, 15（PM0, PM2, PM3, PM10, PM11, PM12, PM14, PM15）を変更	
	11. 6　A/Dコンバータの動作モードのパワー・ダウン状態を停止状態に変更	
	11. 7. 4　温度センサ使用時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）を変更	
	11. 8（1）A/D変換終了後に割り込みが発生する場合に説明を追加	
	11. 10（2）ANI0-ANI14, ANI16-ANI26端子入力範囲についてを変更	
	表11－6　等価回路の各抵抗と容量値（参考値）を変更	
	CSI30, CSI31, UART3, IIC30, IIC31を説明に追加（128ピン製品対応）	第12章　シリアル・アレイ・ユニット
	説明を128ピン製品対応に変更	
	SNOOZEモードに対応するCSI-UARTチャネルの説明を変更	
	9ビット・データ通信に対応するUARTチャネルの説明を変更	
	第12章　シリアル・アレイ・ユニットの注意を変更	
	12. 1. 3　簡易I^2C（IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31）の説明を変更	
	表12－1　シリアル・アレイ・ユニットの構成の注1を変更	
	図12－2　シリアル・アレイ・ユニット1のブロック図を変更	
	図12－3，図12－4に注を追加	
	図12－5　周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1を変更	
	図12－6　シリアル・クロック選択レジスタm（SPSm）のフォーマットを変更	
	図12－8　シリアル通信動作設定レジスタmn（SCRmn）のフォーマットの注2，注意を変更	
	12. 3（5）シリアル・データ・レジスタmn（SDRmn）の上位7ビットの説明を変更	
	図12－12　シリアル・チャネル開始レジスタm（SSm）のフォーマットに注意2を追加	
	12. 3（13）シリアル出力レベル・レジスタm（SOLm）の説明を変更	
	12. 3（14）シリアル・スタンバイ・コントロール・レジスタm（SSCm）の注を変更，注意を追加	
	図12－19　入力切り替え制御レジスタ（ISC）のフォーマットを変更	
	各動作モードのフロー・チャートを変更	
	図12－86　UART受信の初期設定手順を変更	
	図12－88　UART受信の再開設定手順を変更	
	12. 8. 1　アドレス・フィールド送信～12. 8. 3　データ受信の注を変更	
	図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマットを変更	第13章　シリアル・インタフェースIICA
	図13－7　IICAステータス・レジスタ0（IICS0）のフォーマットを変更	
	13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法を変更	
	図13－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（1/3）の説明を変更	

（26/28）

版　数	内　　容	適用箇所
Rev.1.00	図14－6　乗算（符号なし）動作のタイミング図（2×3 = 6）を変更	第14章　乗除積和算器
	14. 4. 3　積和演算（符号なし）動作の説明を変更	
	図14－8　積和演算（符号なし）動作のタイミング図（2×3＋3 = 9 → 32767×2＋4294901762 = 0（オーバフロー発生））を変更	
	14. 4. 4　積和演算（符号付）動作の説明を変更	
	図14－9　積和演算（符号付）動作のタイミング図（2×3＋（－4） = 2 → 32767×（－1）＋（－2147483647） = －2147450882（オーバフロー発生））を変更	
	表15－2　汎用レジスタ以外の内蔵RAM領域を変更	第15章　DMAコントローラ
	15. 6　DMAコントローラの注意事項の（4）を変更，（6）を追加	
	表16－1　割り込み要因一覧を変更	第16章　割り込み機能
	表16－2　割り込み要求ソースに対応する各種フラグを変更	
	16. 4. 2　ソフトウエア割り込み要求の受け付け動作の注意を変更	
	18. 1. 1　スタンバイ機能の注意2, 4，備考を変更，注意3を追加	第18章　スタンバイ機能
	図18－3, 18－4に注を追加	
	18. 2. 2（1）STOPモードの設定および動作状態の備考を変更	
	表18－2　STOPモード時の動作状態の備考2，注意2を変更	
	図18－5～図18－6に注を追加	
	18. 2. 3（1）SNOOZEモードの設定および動作状態の備考を変更	
	表18－3　SNOOZEモード時の動作状態の備考2を変更	
	第19章　リセット機能の説明を変更，注意3を削除	第19章　リセット機能
	図19－2～図19－4を変更	
	表19－2　各ハードウエアのリセット受け付け後の状態（1/4），注2を変更	
	表19－2　各ハードウエアのリセット受け付け後の状態（4/4）の注2のLVIM, LVISの値を変更	
	図20－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/2）の（1）を変更，注4を追加	第20章　パワーオン・リセット回路
	図20－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/2）の注4を変更，注5を追加	
	図20－3　リセット解除後のソフト処理例を変更	
	21. 1　電圧検出回路の機能の説明を変更	第21章　電圧検出回路
	図21－2　電圧検出レジスタ（LVIM）のフォーマットの注2を変更，注3, 4を追加	
	図21－3　電圧検出レベル・レジスタ（LVIS）のフォーマットを変更	
	表21－1　ユーザ・オプション・バイト（000C1H/010C1H）によるLVD動作モード・検出電圧設定を変更	
	21. 4. 1　リセット・モードとして使用時の設定の説明を変更	
	図21－4　内部リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）を変更	
	21. 4. 2　割り込みモードとして使用時の設定の説明を変更	
	図21－5　割り込み信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）を変更	
	21. 4. 3　割り込み＆リセット・モードとして使用時の設定の説明を変更	
	図21－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）を変更	
	図21－8　LVDリセット要因発生からLVDリセット発生または解除までの遅延を変更	

（27/28）

版　　数	内　　容	適用箇所
Rev.1.00	全般的に変更	第22章　安全機能
	23. 1　レギュレータの概要の説明，表23－1　レギュレータ出力電圧条件を変更	第23章　レギュレータ
	24. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）の説明を変更	第24章　オプション・バイト
	図24－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマットの注意を変更	
	図24－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを変更	
	図24－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマットを変更	
	表25－1　RL78/G13と専用フラッシュ・メモリ・プログラマの配線表を変更	第25章　フラッシュ・メモリ
	25. 1. 2　通信方式を変更	
	25. 2. 2　通信方式の説明を変更	
	25. 4. 1　データ・フラッシュの概要の説明を変更	
	25. 4. 3　データ・フラッシュへのアクセス手順の説明を変更	
	25. 5. 2　フラッシュ・メモリ・プログラミング・モードの説明を変更	
	25. 5. 5　シグネチャ・データの説明を追加	
	表25－12　各プログラミング・モード時のセキュリティ設定方法を変更	
	表25－14　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係を変更	
	図26－2　デバッグ用モニタ・プログラムが配置されるメモリ空間を変更	第26章　オンチップ・デバッグ機能
	第28章　命令セットの概要の説明を変更，備考を削除	第28章　命令セットの概要
	28. 2　オペレーション一覧を変更	
	製品ごとの端子に関する注意を追加	第29章　電気的特性
	29. 2　絶対最大定格を変更	
	29. 3. 2　オンチップ・オシレータ特性を変更	
	29. 3. 4　推奨発振回路定数を追加	
	29. 4. 1　端子特性を変更	
	29. 4. 2　電源電流特性を変更	
	29. 5. 1　基本動作を変更	
	29. 6. 1　シリアル・アレイ・ユニットを変更	
	29. 7. 1　A/Dコンバータ特性を変更	
	29. 7. 2　温度センサ特性，29. 7. 3　POR回路特性を変更	
	電源電圧立ち上げ時間を変更	
	29. 8　データ・メモリSTOPモード低電源電圧データ保持特性，29. 9 フラッシュ・メモリ・プログラミング特性を変更	
	29. 10　モード引き込み時のタイミング・スペックを変更	
	第30章　外形図を追加	第30章　外 形 図

（28/28）

版　数	内　　容	適用箇所
Rev.0.07	1. 1 特 徴を変更	第1章 概　説
	1. 6 機能概要を変更	
	2. 1（5）128ピン製品を変更	第2章 端子機能
	2. 1. 12 80ピン製品を変更	
	2. 1. 13 100ピン製品を変更	
	2. 1. 14 128ピン製品を変更	
	2. 1. 15 製品別搭載端子（ポート以外の端子）（6/6）を変更	
	2. 2. 5（2）コントロール・モードの注意を変更	
	2. 2. 17 V_{DD}, EV_{DD0}, EV_{DD1}, V_{SS}, EV_{SS0}, EV_{SS1}を変更	
	図2－1 端子の入出力回路一覧（1/2）のタイプ37-Cを変更	
	図3－1～図3－10を変更	第3章 CPUアーキテクチャ
	3. 1. 2 ミラー領域の説明を変更	
	図3－11 プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマットを変更	
	3. 1. 3 内部データ・メモリ空間の注意を変更	
	図3－12～図3－21を変更	
	3. 2. 1（3）スタック・ポインタ（SP）の注意を変更	
	3. 2. 2 汎用レジスタの注意を変更	
	表4－1（5）128ピン製品を変更	第4章 ポート機能
	4. 2. 5 ポート4の注と注意3を削除	
	図4－56 P137のブロック図を変更	
	表4－7 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（1/4）を変更	
	5. 1（2）サブシステム・クロックを変更	第5章 クロック発生回路
	図5－1 クロック発生回路のブロック図を変更	
	図5－10 高速内蔵発振器トリミング・レジスタ（HIOTRM）のフォーマットを変更	
	図5－15 CPUクロック状態移行図を変更	
	図6－8 タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）の注2を変更	第6章 タイマ・アレイ・ユニット
	6. 3（6）タイマ・チャネル開始レジスタm（TSm）を変更	
	図6－41 インターバル・タイマ／方形波出力機能時の操作手順（2/2）を変更	
	図6－45 外部イベント・カウンタ機能時の操作手順を変更	
	図6－49 分周器機能時の操作手順を変更	
	図6－61 ディレイ・カウンタ機能時の操作手順を変更	
	図6－66 ワンショット・パルス出力機能時の操作手順（2/2）を変更	
	図6－71 PWM機能時の操作手順（2/2）を変更	
	図6－76 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）を変更	
	図19－5 リセット・コントロール・フラグ・レジスタ（RESF）のフォーマットに注意を追加	第19章 リセット機能
	図22－6 RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマットに注意を追加	第22章 安全機能
	表25－1 RL78/G13と専用フラッシュ・メモリ・プログラマの配線表を変更	第25章 フラッシュ・メモリ
	図25－2 専用フラッシュ・メモリ・プログラマとの通信を変更	
	表25－2 端子接続一覧を変更	
	25. 4. 1 データ・フラッシュの概要の説明を変更	
	25. 5. 2 フラッシュ・メモリ・プログラミング・モードの説明を変更	
	表25－7 フラッシュ・メモリ制御用コマンドを変更	
	25. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意を追加	
	29. 10 モード引き込み時のタイミング・スペックを変更	第29章 電気的特性（ターゲット）

RL78/G13 ユーザーズマニュアル
ハードウェア編

発行年月日　2013 年 11 月 15 日 Rev.3.10

発行　ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2013 Renesas Electronics Corporation. All rights reserved.
Colophon 2.0

RL78/G13

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0146JJ0310