

RX671 グループ

ルネサスマイクロコンピュータ

R01DS0373JJ0100

Rev.1.00

2021.03.31

120MHz、32ビットRX MCU、倍精度FPU内蔵、698 Coremark、最大2Mバイトフラッシュメモリ(デュアルバンク機能対応)、384KバイトSRAM、SD Host I/F、Quad SPI、CANなど多種多様な通信機能、静電容量式タッチセンサ、12ビットA/Dコンバータ、RTC、暗号機能、音源用シリアルI/F、リモコン信号受信機能

特長

■ 32ビットRXv3 CPU コア

- 最高動作周波数 120MHz
698 Coremark の性能 (120MHz 動作時)
- 64ビット倍精度浮動小数点 (IEEE754 に準拠)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■ 消費電力低減機能

- 2.7V ~ 3.6V 単一電源動作
- バッテリバックアップで動作可能な RTC、バックアップレジスタ
- 4種類の低消費電力モード

■ コードフラッシュメモリ

- 最大 2M バイト
- 60MHz 以下もしくはROM キャッシュヒット時はウェイトなし、120MHz 以下の場合には1ウェイト
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドでのプログラム/イレーズ (BGO)
- 起動バンクの入れ替えが可能なデュアルバンク機能搭載

■ データフラッシュメモリ

- 8K バイト (100k 回イレーズ可能)
- バックグラウンドでのプログラム/イレーズ (BGO)

■ SRAM

- 384K バイト SRAM (ノーウェイト)
- 4K バイト スタンバイ RAM (ディープソフトウェアスタンバイモード時、バックアップ可能)

■ 外部アドレス空間

- 高速動作バス (最高 60MHz)
- 8つの CS 領域をサポート
- エリアごとに 8/16 ビットバス空間を選択可能
- 独立した SDRAM 空間 (128M バイト)

■ データ転送機能

- DMACAb : 8ch
- DTCb : 1ch
- EXDMACa : 2ch

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載
- バックアップ領域パワーダウン検出機能搭載

■ クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 24MHz
- 32.768kHz 水晶発振子対応のサブクロック発振器を搭載
- 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■ リアルタイムクロック

- 補正機能 (30秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- イベント端子入力による時間キャプチャ機能

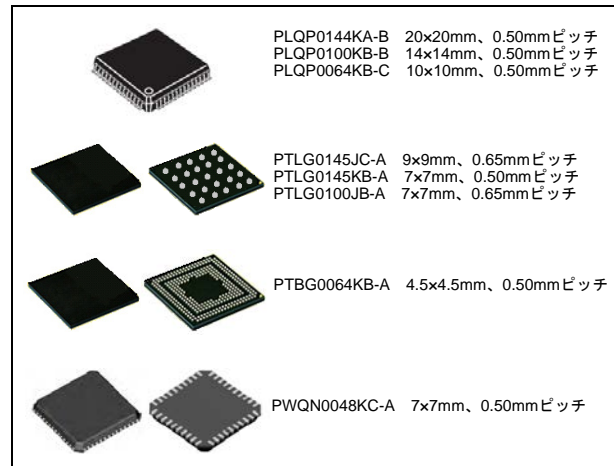
■ 独立ウォッチドッグタイマ

- 専用低速発振器による 120kHz クロック動作

■ IEC60730 対応機能

- 発振停止検出、周波数測定機能、CRCA、IWDTa、A/D 自己診断など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット

■ リモコン信号受信機能



■ 多種多様な通信機能

- USB2.0 フルススピード ホスト/ファンクション/OTG (1ch) PHY 内蔵 (最大 2ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (最大 2ch)
- 多彩な機能に対応した SCiK、SCIm、SCiH (最大 13ch) 調歩同期モード/クロック同期モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIm (最大 2ch)
- マンチェスターコード機能、HBS 機能をサポートした RSCL (最大 2ch)
- I²C バスインタフェース (RIIC、RIICHS) 最大 3.4Mbps 転送 (最大 3ch)、RIICHS はハイスピードモードをサポート
- Single I/O の RSPiD (3ch)、RSPIA (1ch) に加え、Quad I/O の QSPIX (1ch) を搭載、QSPIX はシリアルフラッシュからのフェッチをサポート
- SD Host I/F (1ch) SD メモリ /SDIO 通信用の SD バス (1 or 4 ビット) をサポート
- I²S や、様々なオーディオデータフォーマットに対応した SSIE

■ 最大 25 本の拡張タイマ機能

- 16 ビット TPUa、MTU3a
- 8 ビット TMRb (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■ 12 ビット A/D コンバータ

- 12 ビット x2 ユニット (ユニット 0: 8ch、ユニット 1: 12ch)
- 自己診断機能、アナログ入力断線検出機能

■ チップ内部の温度を計測可能な温度センサ

■ 静電容量式タッチセンサ

- 自己容量方式: 1 端子 1 キー構成で最大 17 キーに対応
- 相互容量方式: 17 本の端子のマトリクス構成により最大 64 キーに対応

■ 暗号機能

- Trusted Secure IP (TSIP)
AES128/192/256、TDES、ARC4、RSA、ECC、真正乱数生成回路 (TRNG)、SHA1、SHA224、SHA256、MD5、GHASH、鍵の不正コピー防止

■ 最大 114 本の汎用入出力ポート

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- D バージョン: -40°C ~ +85°C
- G バージョン: -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャンネル数は、パッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 9)

| 分類 | モジュール/機能 | 説明 |
|-----|----------------|---|
| CPU | 中央演算処理装置 | <ul style="list-style-type: none"> 最大動作周波数：120MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 113命令 <ul style="list-style-type: none"> 標準搭載命令：111命令 <ul style="list-style-type: none"> 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 レジスタ一括退避機能命令：2命令 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット |
| | FPU | <ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外 |
| | 倍精度浮動小数点コプロセッサ | <ul style="list-style-type: none"> 倍精度浮動小数点レジスタセット <ul style="list-style-type: none"> 倍精度浮動小数点データレジスタ：64ビット×16本 倍精度浮動小数点制御レジスタ：32ビット×4本 倍精度浮動小数点処理命令：21種類 倍精度浮動小数点例外の割り込みコントローラへの通知機能 |
| | レジスタ一括退避機能 | <ul style="list-style-type: none"> CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載 |
| メモリ | コードフラッシュメモリ | <ul style="list-style-type: none"> 容量：1M/1.5M/2Mバイト ROMキャッシュ：8Kバイト 60MHz以下の場合にはノーウェイトアクセス 120MHz以下の場合には1ウェイトアクセス ROMキャッシュにヒットしている命令/オペランドは120MHzノーウェイトアクセス可能 オンボードプログラミング：4種類 オフボードプログラミング(パラレルライターモード) Trusted Memory (TM)機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現 デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能 |
| | データフラッシュメモリ | <ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：100,000回 |
| | ユニークID | <ul style="list-style-type: none"> 16バイト長のデバイス固有のID |
| | RAM | <ul style="list-style-type: none"> 容量：384Kバイト 120MHz、ノーウェイトアクセス |
| | スタンバイRAM | <ul style="list-style-type: none"> 容量：4Kバイト PCLKB同期：60MHz max、2サイクルアクセス |

表 1.1 仕様概要 (2 / 9)

| 分類 | モジュール/機能 | 説明 |
|--------------|----------|--|
| 動作モード | | <ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) レジスタ設定による動作モードの選択 シングルチップモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード エンディアン選択可能 |
| クロック | クロック発生回路 | <ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振器停止検出：あり システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max QSPIXはICLK同期：120MHz max MTU、RSPI、SCIm、RSPIA、RSCI、RIICHSの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max S12AD(ユニット0)のADCLKはPCLKC同期：60MHz max S12AD(ユニット1)のADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：60MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして逡倍可能 外部クロック入力周波数：30MHz(max) クロック出力機能 |
| リセット | | <p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCC = AVCC0 = AVCC1の上昇時発生 電圧監視0リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視1リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視2リセット：VCC = AVCC0 = AVCC1の下降時発生 ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生 |
| パワーオンリセット | | <ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0 = AVCC1が電圧検出レベルを超えると、一定時間経過後解除 |
| 電圧検出回路(LVDA) | | <p>VCC = AVCC0 = AVCC1端子に入力する電圧を監視し、内部リセットまたは割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：3レベルから選択可(2.94V, 2.87V, 2.80V) 電圧検出回路1、2 電圧検出レベル：3レベルから選択可(2.99V, 2.92V, 2.85V) デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスクابل割り込みもしくはノンマスクابل割り込み選択可 電圧検出モニタ機能有り イベントリンク機能有り |

表 1.1 仕様概要 (3 / 9)

| 分類 | モジュール/機能 | 説明 |
|--------|------------------------|---|
| 低消費電力 | 消費電力低減機能 | <ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード |
| | バッテリーバックアップ機能 | <ul style="list-style-type: none"> VCC端子が低下したとき、VBATT端子からのバッテリー電源でバックアップ電源領域に電力供給可能 バックアップ電源領域機能： <ul style="list-style-type: none"> サブクロック発振器 リアルタイムクロック バックアップレジスタ タンパ検出機能 バックアップ電源領域の電圧低下検出機能 |
| 割り込み | 割り込みコントローラ (ICUE) | <ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスクابل割り込み：要因数8 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式： <ul style="list-style-type: none"> 割り込みベクタは256ベクタで構成(128要因は固定ベクタ。残り128要因から133ベクタを選択) |
| 外部バス拡張 | | <ul style="list-style-type: none"> 外部アドレス空間を8つのエリア (CS0～CS7)に分割して管理 各エリアの領域：16Mバイト (CS0～CS7) エリアごとにチップセレクト (CS0#～CS7#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) SDRAM インタフェース接続可能 バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能 |
| DMA | DMAコントローラ (DMACAb) | <ul style="list-style-type: none"> 8チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み 転送空間：4Gバイト (0000 0000h～FFFF FFFFhのうち、予約領域以外の領域) |
| | EXDMAコントローラ (EXDMACa) | <ul style="list-style-type: none"> 2チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード EDACKn信号によるシングルアドレス転送が可能 起動要因：ソフトウェアトリガ、外部DMA転送要求 (EDREQn)、周辺機能割り込み |
| | データトランスファコントローラ (DTCb) | <ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み シーケンス転送が可能 |

表 1.1 仕様概要 (4 / 9)

| 分類 | モジュール/機能 | 説明 |
|--------------------|-----------------------|--|
| I/Oポート | 汎用入出力ポート | <ul style="list-style-type: none"> • 145ピンTFLGA (0.65mmピッチ) 入出力：111 入力：1 プルアップ抵抗：111 オープンドレイン出力：111 5Vトレラント：20 • 145ピンTFLGA (0.50mmピッチ)、144ピンLFQFP 入出力：113 入力：1 プルアップ抵抗：113 オープンドレイン出力：113 5Vトレラント：20 • 100ピンTFLGA、100ピンLFQFP 入出力：80 入力：1 プルアップ抵抗：80 オープンドレイン出力：80 5Vトレラント：18 • 64ピンTFBGA 入出力：43 入力：1 プルアップ抵抗：43 オープンドレイン出力：43 5Vトレラント：8 • 64ピンLFQFP 入出力：44 入力：1 プルアップ抵抗：44 オープンドレイン出力：44 5Vトレラント：8 • 48ピンHWQFN 入出力：33 入力：1 プルアップ抵抗：33 オープンドレイン出力：33 5Vトレラント：6 |
| イベントリンクコントローラ(ELC) | | <ul style="list-style-type: none"> • 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 • 99種類の内部イベントを自由に組み合わせで接続間の機能を連動可能 • 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) • 入力端子の変化で周辺機能が連動可能(ポートB、E) |
| タイマ | 16ビットタイマパルスユニット(TPUa) | <ul style="list-style-type: none"> • (16ビット×6チャンネル)×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード(2相エンコーダ入力)、カスケード接続動作(32ビット×2チャンネル)をサポート • PPGの出力トリガを生成可能 • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子におけるデジタルフィルタ機能 • ELCによるイベントリンク機能をサポート |
| | 8ビットタイマ(TMRb) | <ul style="list-style-type: none"> • (8ビット×2チャンネル)×2ユニット • 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5、SCI6、SCI12のポーレートクロック生成可能 • REMCの動作クロックを生成可能 • ELCによるイベントリンク機能をサポート |

表 1.1 仕様概要 (5 / 9)

| 分類 | モジュール/機能 | 説明 |
|-------------------------|---|---|
| タイマ | コンペアマッチタイマ (CMT) | <ul style="list-style-type: none"> • (16ビット×2チャンネル)×2ユニット • 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 • ELCによるイベントリンク機能をサポート |
| | コンペアマッチタイマW (CMTW) | <ul style="list-style-type: none"> • (32ビット×1チャンネル)×2ユニット • コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 • 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 • ELCによるイベントリンク機能をサポート |
| | ウォッチドッグタイマ (WDTA) | <ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウンタクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192) を選択可能 |
| | 独立ウォッチドッグタイマ (IWDTa) | <ul style="list-style-type: none"> • 14ビット×1チャンネル • カウンタクロック：IWDT専用オンチップオシレータ • IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 • ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) • ELCによるイベントリンク機能をサポート |
| | マルチファンクションタイマパルスユニット3 (MTU3a) | <ul style="list-style-type: none"> • 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウンタクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル0は14種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル2は12種類、チャンネル5は10種類) • インプットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ(TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 43種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード：16ビットモード(チャンネル1、2)/32ビットモード(チャンネル1、2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウンタクロック端子におけるデジタルフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート |
| ポートアウトプットイネーブル3 (POE3a) | <ul style="list-style-type: none"> • MTU波形出力端子のハイインピーダンス制御 • POE0#, POE4#, POE8#, POE10#, POE11#の5つの入力端子による起動 • 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 • 発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能 | |
| プログラマブルパルスジェネレータ (PPG) | <ul style="list-style-type: none"> • (4ビット×4グループ)×2ユニット • MTU、またはTPUからの出力をトリガとしてパルスを出力 • 最大32本のパルス出力 | |

表 1.1 仕様概要 (6 / 9)

| 分類 | モジュール/機能 | 説明 |
|------|---|--|
| タイマ | リアルタイムクロック (RTCd) (注1) | <ul style="list-style-type: none"> クロックソース：メインクロック、サブクロック 時計カウント/秒単位の32ビットバイナリカウントを選択可能 時計/カレンダー機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み バッテリーバックアップ動作 時間キャプチャ機能(最大3端子) ELCによるイベントリンク機能をサポート |
| 通信機能 | USB2.0 FS ホスト/ファンクションモジュール (USBb) | <ul style="list-style-type: none"> USB2.0 FSに対応したUDC (USB Device Controller) およびトランシーバを内蔵 最大2ポート USBバージョン2.0準拠 転送スピード：フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) セルフパワーモードおよびバスパワーモードの両方に対応 OTG (On-The-Go)に対応 (ロースピードは未対応) 通信バッファとして2KバイトのRAMを内蔵 外付けPull-Up抵抗、Pull-Down抵抗が不要 |
| | シリアルコミュニケーションインタフェース (SCIk, SCIm, SCIh) | <ul style="list-style-type: none"> 13チャンネル：(SCIk：10チャンネル + SCIh：1チャンネル + SCIm：2チャンネル) SCIk, SCIh, SCIm シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート SCIk, SCIh TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) ELCによるイベントリンク機能をサポート(チャンネル5のみ) SCIh スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート SCIm 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 SCIk, SCIm データ一致検出 RXDサンプリング調整機能 |
| | シリアルコミュニケーションインタフェース (RSCI) | <ul style="list-style-type: none"> 2チャンネル(RSCI10, RSCI11) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート ELCによるイベントリンク機能をサポート(RSCI10のみ) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 マンチェスターコード機能をサポート HBS機能をサポート(RSCI11のみ) データ一致検出 RXDサンプリング調整機能 |

表 1.1 仕様概要 (7 / 9)

| 分類 | モジュール/機能 | 説明 |
|------|--|--|
| 通信機能 | I ² Cバスインタフェース (RIICa) | <ul style="list-style-type: none"> 3チャンネル(チャンネル0のみFM+に対応可能) 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート : 1Mbps (チャンネル0) ELCによるイベントリンク機能をサポート |
| | ハイスピードI ² Cバスインタフェース (RIICHS) | <ul style="list-style-type: none"> 1チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート : 3.4Mbps ELCによるイベントリンク機能をサポート |
| | CANモジュール(CAN) | <ul style="list-style-type: none"> 2チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 32メールボックス/チャンネル |
| | シリアルペリフェラルインタフェース (RSPId) | <ul style="list-style-type: none"> 3チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート |
| | シリアルペリフェラルインタフェース (RSPIA) | <ul style="list-style-type: none"> 1チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信部、受信部ともに32ビット×4段のFIFOバッファ構造による連続送信、受信が可能 マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート 通信プロトコル : TI SSP (Synchronous Serial Protocol)をサポート |
| | クワッドSPIメモリアインタフェース(QSPIX) | <ul style="list-style-type: none"> 1チャンネル SPI互換インタフェースを持つシリアルフラッシュからフェッチ可能 拡張SPI、Dual-SPI、Quad-SPIの各プロトコルをサポート アドレス幅として8、16、24、32ビットから選択可能 |
| | リモコン信号受信機能 (REMCa) | <ul style="list-style-type: none"> 1チャンネル 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ8バイト(1ユニットあたり) 動作クロックを、PCLK、サブブロック、TMRから選択可能 |

表 1.1 仕様概要 (8 / 9)

| 分類 | モジュール/機能 | 説明 |
|-------------------------|----------|---|
| シリアルサウンドインタフェース (SSIE) | | <ul style="list-style-type: none"> 1チャンネル 全二重通信可能 多様なシリアルオーディオフォーマットをサポート マスタ/スレーブ機能をサポート ビットクロック周波数を13種類(1/1, 1/2, 1/4, 1/6, 1/8, 1/12, 1/16, 1/24, 1/32, 1/48, 1/64, 1/96, 1/128)から選択可能 8/16/18/20/22/24/32ビットデータフォーマットをサポート 送信用32段FIFO内蔵 データ転送停止時にSSILRCKを停止するかしないかを選択可能 |
| SDホストインタフェース(SDHI) (注2) | | <ul style="list-style-type: none"> 1チャンネル 転送スピード：ハイスピードモード(25MB/s)、デフォルトスピードモード(12.5MB/s) SDメモリ/I/Oカードインタフェース(1ビット/4ビットSDバス) SD Specifications Part 1：Physical Layer Specification Ver.3.01 準拠(DDR未対応) Part E1：SDIO Specification Ver. 3.00 エラーチェック機能：CRC7(コマンド)、CRC16(データ) 割り込み要因：カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み DMA転送要因：SD_BUFライト、SD_BUFリード カード検出機能、ライトプロテクトをサポート |
| 12ビットA/Dコンバータ(S12ADFa) | | <ul style="list-style-type: none"> 12ビット×2ユニット(ユニット0：8チャンネル、ユニット1：12チャンネル) 分解能：12ビット(12ビット/10ビット/8ビットの分解能切り替え可能) 変換時間 1チャンネル当たり(0.48 μs)(12ビット変換モード) 1チャンネル当たり(0.45 μs)(10ビット変換モード) 1チャンネル当たり(0.42 μs)(8ビット変換モード) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループ優先制御動作(3グループスキャンモードのみ) サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0：VREFL0, VREFH0×1/2, VREFH0、ユニット1：AVSS1, AVCC1×1/2, AVCC1) ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ(MTU, TMR, TPU)のトリガ、外部トリガ ELCによるイベントリンク機能をサポート |
| 温度センサ | | <ul style="list-style-type: none"> 1チャンネル 相対精度：±1°C 温度を電圧に変換し12ビットA/Dコンバータ(ユニット1)でデジタル化 |
| 静電容量式タッチセンサ(CTSUA) | | <ul style="list-style-type: none"> 検出端子17チャンネル |

表 1.1 仕様概要 (9 / 9)

| 分類 | モジュール/機能 | 説明 |
|-------------|----------------------------------|--|
| セーフティ | メモリプロテクション ユニット (MPU) | <ul style="list-style-type: none"> プロテクションエリア : 0000 0000h ~ FFFF FFFFh 範囲内で最大 8 エリアを設定可能 最小保護単位 : 16 バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生 |
| | Trusted Memory (TM) 機能 | <ul style="list-style-type: none"> コードフラッシュメモリの TM 対象領域に対するプログラムのリード防止機能 TM 機能有効時は CPU による命令フェッチのみ実行可能、データリード防止 |
| | レジスタライト プロテクション | <ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止 |
| | CRC 演算 (CRCA) | <ul style="list-style-type: none"> 8 ビット/32 ビット単位の任意のデータ長に対して CRC コードを生成 8 ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32 ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSB ファースト/MSB ファースト通信用 CRC コード生成の選択が可能 |
| | メインクロック発振停止 検出機能 | <ul style="list-style-type: none"> メインクロック発振停止検出 : あり |
| | クロック周波数精度測定 回路 (CAC) | <ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDT 専用オンチップオシレータ、および PCLKB における出カクロック周波数の異常を監視可能 |
| | データ演算回路 (DOCA) | <ul style="list-style-type: none"> 32 ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能 |
| 暗号機能 | Trusted Secure IP (TSIP) (注3) | <ul style="list-style-type: none"> アクセスマネジメント回路搭載 暗号エンジン 共通鍵暗号 : AES (NIST FIPS PUB 197 準拠)、TDES、ARC4 公開鍵暗号 : RSA、ECC ハッシュ機能 : SHA1、SHA224、SHA256、MD5、GHASH その他の特長 TRNG (真正乱数生成回路) 鍵の不正コピー防止 |
| 動作周波数 | | 120MHz max |
| 電源電圧 | | VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0, V _{BATT} = 1.62 (注4) ~ 3.6V |
| 動作周囲温度 | | Dバージョン : -40 ~ +85°C Gバージョン : -40 ~ +105°C |
| パッケージ | | 145ピン TFLGA (PTLG0145JC-A) (計画中) 145ピン TFLGA (PTLG0145KB-A) (計画中) 144ピン LQFP (PLQP0144KA-B) 100ピン TFLGA (PTLG0100JB-A) (計画中) 100ピン LQFP (PLQP0100KB-B) 64ピン TFBGA (PTBG0064KB-A) (計画中) 64ピン LQFP (PLQP0064KB-C) 48ピン HWQFN (PWQN0048KC-A) (計画中) |
| デバックインタフェース | | JTAG および FINE インタフェース |

注1. リアルタイムクロックを使用しない場合、「ユーザーズマニュアルハードウェア編」の「31.6.8 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。

注2. SDHIの有無で型名が異なります。

注3. 暗号機能の有無で型名が異なります。

注4. V_{BATT} < 2.0V の場合、低 CL 水晶振動子は使用できません。

表 1.2 パッケージ別機能比較一覧 (1 / 2)

| 機能 | 製品 | RX671 | | | | |
|--|-----------------------|----------------------------|---|--------------------------|------------------------|-----------|
| | パッケージ | 145ピンTFLGA (0.65mmピッチ) | 145ピンTFLGA (0.50mmピッチ) 144ピンLFQFP | 100ピンTFLGA 100ピンLFQFP | 64ピンTFBGA 64ピンLFQFP | 48ピンHWQFN |
| コードフラッシュメモリ | コードフラッシュメモリ容量 | 1M/1.5M/2M バイト | | | | |
| | デュアルバンク機能 | あり | | | | |
| | BGO機能 | あり | | | | |
| データフラッシュメモリ | | 8K バイト | | | | |
| RAM | | 384K バイト | | | | |
| スタンバイRAM | | 4K バイト | | | | |
| 外部バス | 外部バス幅 | 16/8 ビット | | | なし | |
| | SDRAM領域コントローラ | あり | | なし | | |
| DMA | DMAコントローラ | ch0 ~ 7 | | | | |
| | データトランスファコントローラ | あり | | | | |
| | EXDMAコントローラ | ch0, 1 | | | なし | |
| タイマ | 16ビットタイマパルスユニット | ch0 ~ 5 | | | | |
| | マルチファンクションタイマパルスユニット3 | ch0 ~ 8 | | | | |
| | ポートアウトプットイネーブル3 | あり | | | | |
| | プログラマブルパルスジェネレータ | ch0, 1 | | | なし | |
| | 8ビットタイマ | ch0 ~ 3 | | | | |
| | コンペアマッチタイマ | ch0 ~ 3 | | | | |
| | コンペアマッチタイマW | ch0, 1 | | | | |
| | リアルタイムクロック | あり | | | なし | |
| | ウォッチドッグタイマ | あり | | | | |
| | 独立ウォッチドッグタイマ | あり | | | | |
| | 通信 | USB2.0 FS ホスト/ファンクションモジュール | ch0, 1 | ch0 | | ch0 (注1) |
| シリアルコミュニケーションインタフェース (SCIk) | | ch0 ~ 9 | | ch0 ~ 3, 5, 6, 8, 9 | ch1 ~ 3, 5, 8, 9 | |
| シリアルコミュニケーションインタフェース (SCIm) | | ch10, 11 | | | | |
| シリアルコミュニケーションインタフェース (SCIh) | | ch12 | | | | |
| シリアルコミュニケーションインタフェース (RSCI) | | ch10, 11 | | | | |
| I ² Cバスインタフェース (RIIC) | | ch0 ~ 2 | | | ch0, 2 | |
| ハイスピードI ² Cバスインタフェース (RIICHS) | | ch0 | | | | |
| シリアルペリフェラルインタフェース (RSPI) | | ch0 ~ 2 | | | ch0, 1 | |
| シリアルペリフェラルインタフェース (RSPIA) | | ch0 | | | | |
| CANモジュール | | ch0, 1 | | | なし | |
| クワッドSPIメモリインタフェース (QSPIX) | | ch0 | | | | |

表 1.2 パッケージ別機能比較一覧 (2 / 2)

| 機能 | 製品 | RX671 | | | | |
|-------------------------------|---------------------------|---------------------------|---|--------------------------------|--------------------------------|-----------|
| | パッケージ | 145ピンTFLGA (0.65mmピッチ) | 145ピンTFLGA (0.50mmピッチ) 144ピンLFQFP | 100ピンTFLGA 100ピンLFQFP | 64ピンTFBGA 64ピンLFQFP | 48ピンHWQFN |
| 通信 | SDホストインタフェース (SDHI) | あり | | | | |
| | シリアルサウンドインタ フェース(SSIE) | ch0 | | | | |
| | リモコン信号受信機能(REMC) | ch0 | | | | |
| 静電容量式タッチセンサ(CTSU) | 17本+1本(TSCAP) | | | 8本+1本 (TSCAP) | 6本+1本 (TSCAP) | |
| 12ビットA/Dコンバータ | ユニット0: 8ch ユニット1: 12ch | | ユニット0: 8ch ユニット1: 8ch | ユニット0: 4ch ユニット1: 6ch | ユニット0: 4ch ユニット1: 4ch | |
| 温度センサ | あり | | | | | |
| CRC演算器 | あり | | | | | |
| データ演算回路(DOC) | あり | | | | | |
| クロック周波数精度測定回路(CAC) | あり | | | | | |
| Trusted Secure IP | あり/なし | | | | | |
| イベントリンクコントローラ(ELC) | あり | | | | | |
| バッテリーバックアップ機能 | あり | | | | なし | |
| バックアップレジスタ | あり | | | | | |
| オフボードプログラミング (パラレルライターモード) | あり | | | なし | | |

注1. ファンクションコントローラ機能のみサポートしています。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表 (1 / 3)

| グループ | 型名 | パッケージ | コード フラッシュ メモリ容量 | RAM容量 | データ フラッシュ メモリ容量 | 動作周波数 (max) | 暗号 | 動作周囲温度 (°C) |
|-------------------|-------------------|--------------|-----------------------|---------|-----------------------|----------------|---------|----------------|
| RX671 (Dバージョン) | R5F5671EHDFB | PLQP0144KA-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDFB | PLQP0144KA-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDFB | PLQP0144KA-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDFB | PLQP0144KA-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDFB | PLQP0144KA-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDFB | PLQP0144KA-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671EHDFP | PLQP0100KB-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDFP | PLQP0100KB-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDFP | PLQP0100KB-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDFP | PLQP0100KB-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDFP | PLQP0100KB-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDFP | PLQP0100KB-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671EHDFM | PLQP0064KB-C | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDFM | PLQP0064KB-C | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDFM | PLQP0064KB-C | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDFM | PLQP0064KB-C | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDFM | PLQP0064KB-C | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDFM | PLQP0064KB-C | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671EHDNE (注1) | PWQN0048KC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDNE (注1) | PWQN0048KC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDNE (注1) | PWQN0048KC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDNE (注1) | PWQN0048KC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDNE (注1) | PWQN0048KC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDNE (注1) | PWQN0048KC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671EHDBP (注1) | PTBG0064KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDBP (注1) | PTBG0064KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDBP (注1) | PTBG0064KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDBP (注1) | PTBG0064KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDBP (注1) | PTBG0064KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDBP (注1) | PTBG0064KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671EHDLE (注1) | PTLG0145JC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDLE (注1) | PTLG0145JC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDLE (注1) | PTLG0145JC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDLE (注1) | PTLG0145JC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDLE (注1) | PTLG0145JC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDLE (注1) | PTLG0145JC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671EHDLK (注1) | PTLG0145KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671EDDLK (注1) | PTLG0145KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F5671CHDLK (注1) | PTLG0145KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDLK (注1) | PTLG0145KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| R5F56719HDLK (注1) | PTLG0145KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 | |
| R5F56719DDLK (注1) | PTLG0145KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 | |
| R5F5671EHDLJ (注1) | PTLG0100JB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 | |
| R5F5671EDDLJ (注1) | PTLG0100JB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 | |

表1.3 製品一覧表 (2 / 3)

| グループ | 型名 | パッケージ | コード フラッシュ メモリ容量 | RAM容量 | データ フラッシュ メモリ容量 | 動作周波数 (max) | 暗号 | 動作周囲温度 (°C) |
|-------------------|--------------------|--------------|-----------------------|---------|-----------------------|----------------|----------|----------------|
| RX671 (Dバージョン) | R5F5671CHDLJ (注1) | PTLG0100JB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F5671CDDLJ (注1) | PTLG0100JB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| | R5F56719HDLJ (注1) | PTLG0100JB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+85 |
| | R5F56719DDLJ (注1) | PTLG0100JB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+85 |
| RX671 (Gバージョン) | R5F5671EHGFB | PLQP0144KA-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGFB | PLQP0144KA-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGFB | PLQP0144KA-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGFB | PLQP0144KA-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGFB | PLQP0144KA-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGFB | PLQP0144KA-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671EHGFP | PLQP0100KB-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGFP | PLQP0100KB-B | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGFP | PLQP0100KB-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGFP | PLQP0100KB-B | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGFP | PLQP0100KB-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGFP | PLQP0100KB-B | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671EHGFM | PLQP0064KB-C | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGFM | PLQP0064KB-C | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGFM | PLQP0064KB-C | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGFM | PLQP0064KB-C | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGFM | PLQP0064KB-C | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGFM | PLQP0064KB-C | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671EHGNE (注1) | PWQN0048KC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGNE (注1) | PWQN0048KC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGNE (注1) | PWQN0048KC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGNE (注1) | PWQN0048KC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGNE (注1) | PWQN0048KC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGNE (注1) | PWQN0048KC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671EHGBP (注1) | PTBG0064KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGBP (注1) | PTBG0064KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGBP (注1) | PTBG0064KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGBP (注1) | PTBG0064KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGGBP (注1) | PTBG0064KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGGBP (注1) | PTBG0064KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671EHGLE (注1) | PTLG0145JC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGLE (注1) | PTLG0145JC-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGLE (注1) | PTLG0145JC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGLE (注1) | PTLG0145JC-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGLE (注1) | PTLG0145JC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGLE (注1) | PTLG0145JC-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671EHGLK (注1) | PTLG0145KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671EDGLK (注1) | PTLG0145KB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F5671CHGLK (注1) | PTLG0145KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGLK (注1) | PTLG0145KB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| R5F56719HGLK (注1) | PTLG0145KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 | |
| R5F56719DGLK (注1) | PTLG0145KB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 | |
| R5F5671EHGLJ (注1) | PTLG0100JB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 | |
| R5F5671EDGLJ (注1) | PTLG0100JB-A | 2Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 | |

表1.3 製品一覧表 (3 / 3)

| グループ | 型名 | パッケージ | コードフラッシュメモリ容量 | RAM容量 | データフラッシュメモリ容量 | 動作周波数 (max) | 暗号 | 動作周囲温度 (°C) |
|-------------------|-------------------|--------------|---------------|---------|---------------|-------------|----|-------------|
| RX671 (Gバージョン) | R5F5671CHGLJ (注1) | PTLG0100JB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F5671CDGLJ (注1) | PTLG0100JB-A | 1.5Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |
| | R5F56719HGLJ (注1) | PTLG0100JB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | あり | -40~+105 |
| | R5F56719DGLJ (注1) | PTLG0100JB-A | 1Mバイト | 384Kバイト | 8Kバイト | 120MHz | なし | -40~+105 |

注1. 計画中

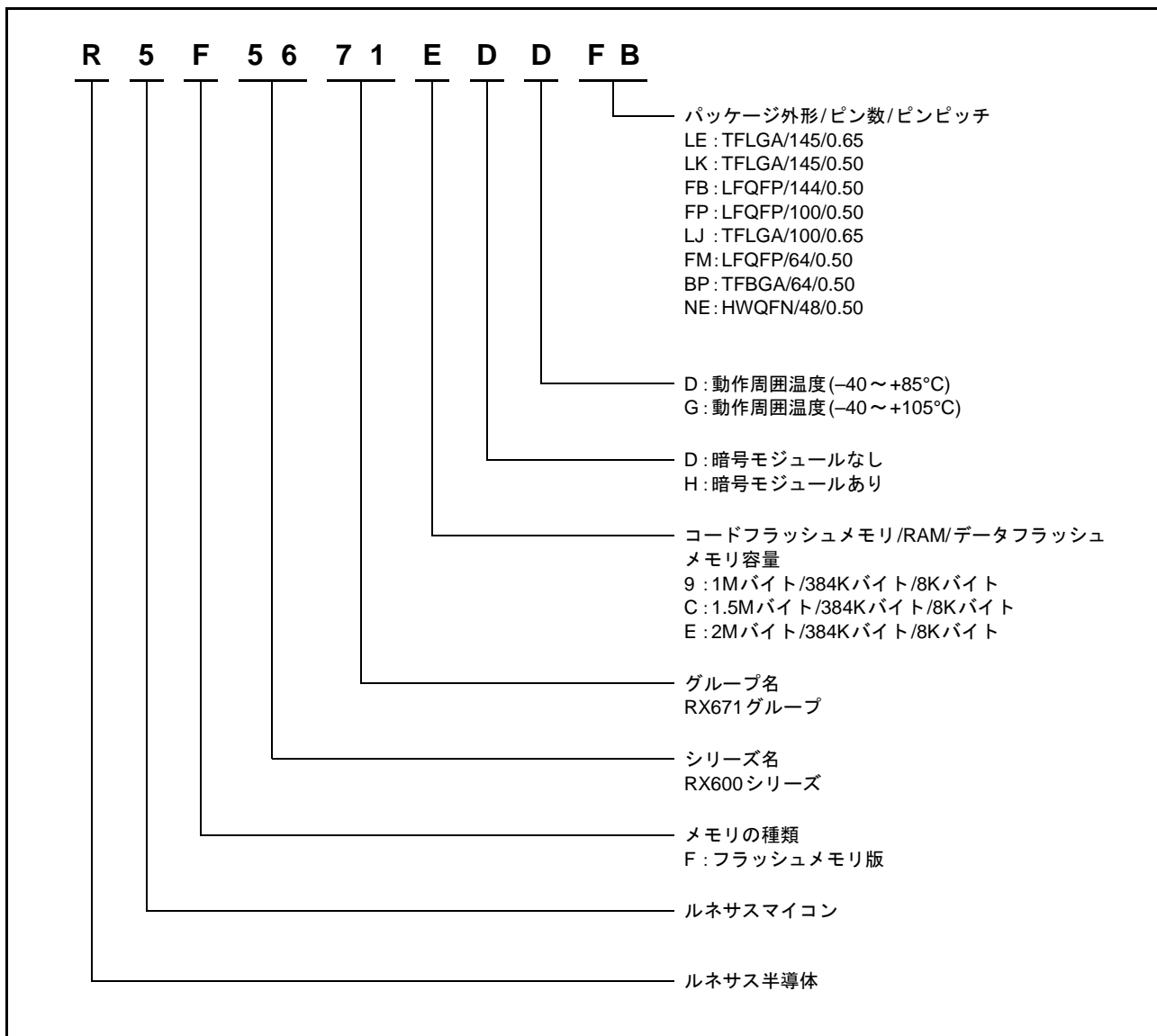


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

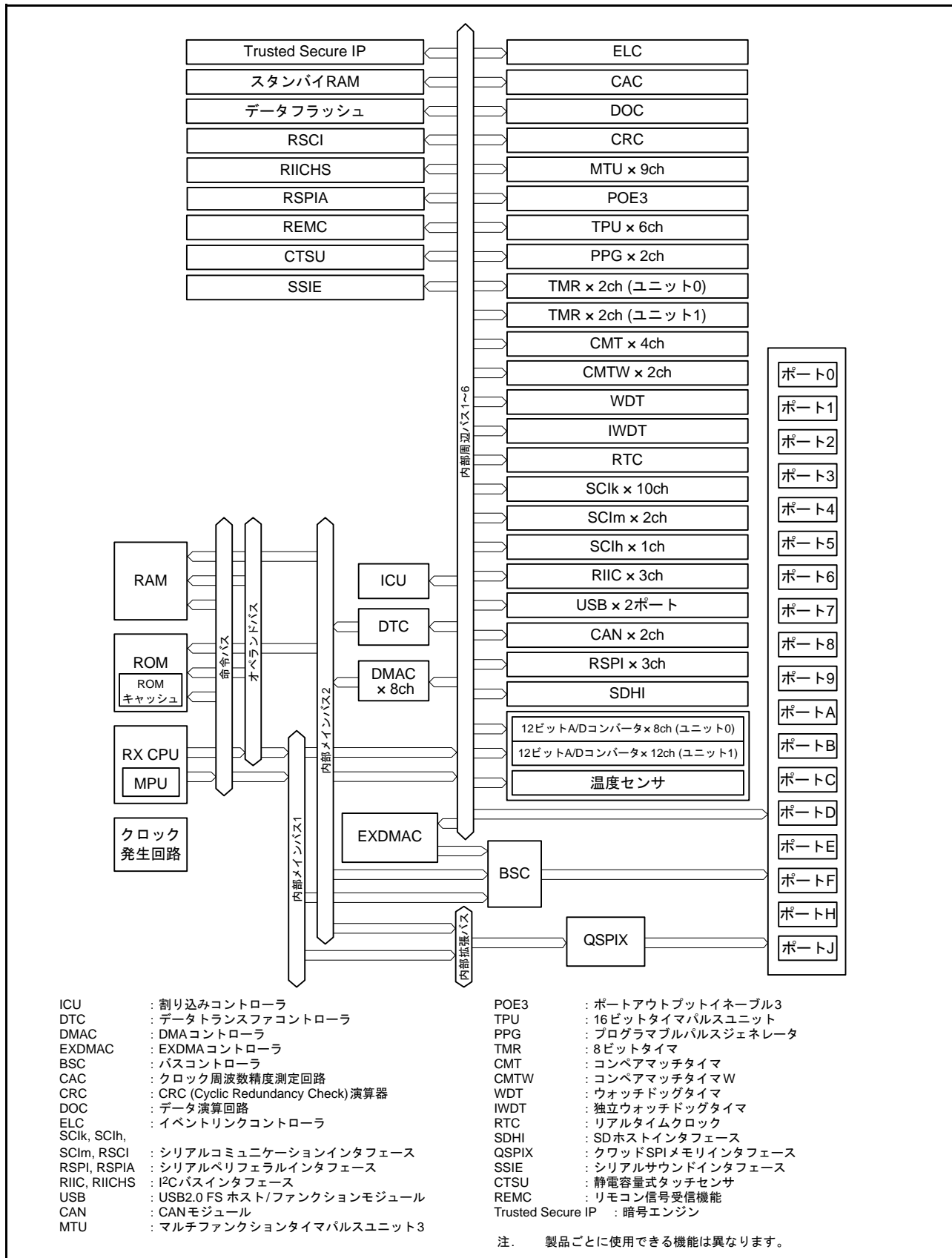


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|-------------|--|--------|--|
| デジタル電源 | VCC | 入力 | 電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください |
| | VCL | 入力 | 0.22μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください |
| | VSS | 入力 | グランド端子。システムの電源(0V)に接続してください |
| | VBATT | 入力 | バックアップ電源端子 |
| クロック | XTAL | 出力 | 水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます |
| | EXTAL | 入力 | |
| | BCLK | 出力 | 外部デバイス用の外部バスクロック出力端子 |
| | SDCLK | 出力 | SDRAM専用のクロック出力端子 |
| | XCOUT | 出力 | サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください |
| | XCIN | 入力 | |
| | CLKOUT | 出力 | クロック出力端子 |
| | EXCIN | 入力 | RTC、バッテリーバックアップ、REMC用外部クロック入力端子 |
| クロック周波数精度測定 | CACREF | 入力 | クロック周波数精度測定回路のリファレンスクロック入力端子 |
| 動作モードコントロール | MD | 入力 | 動作モードを設定。この端子は、動作中に変化させないでください |
| | UB | 入力 | USBブートモードイネーブル端子 |
| | UPSEL | 入力 | USBブートモード時の電源供給方式を選択 Lowでセルフパワー、Highでバスパワーを選択 |
| システム制御 | RES# | 入力 | リセット端子。この端子がLowになると、リセット状態となります |
| | EMLE | 入力 | オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください |
| | BSCANP | 入力 | バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください |
| オンチップエミュレータ | FINED | 入出力 | FINEインタフェース端子 |
| | TRST# | 入力 | オンチップエミュレータ用またはバウンダリスキャン用端子。 EMLE端子をHighにするとオンチップエミュレータ専用端子になります |
| | TMS | 入力 | |
| | TDI | 入力 | |
| | TCK | 入力 | |
| | TDO | 出力 | |
| | TRCLK | 出力 | トレースデータと同期をとるためのクロックを出力します |
| | TRSYNC TRSYNC1 | 出力 | TRDATA0～TRDATA7端子からの出力が有効データであることを示します |
| | TRDATA0 TRDATA1 TRDATA2 TRDATA3 TRDATA4 TRDATA5 TRDATA6 TRDATA7 | 出力 | トレース情報を出力します |
| | アドレスバス | A0～A23 | 出力 |
| データバス | D0～D15 | 入出力 | 双方向データバス |

表 1.4 端子機能一覧 (2 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|-----------------------|-------------------------------------|-----|--|
| マルチプレクスバス | A0/D0～A15/D15 | 入出力 | アドレス/データマルチプレクスバス |
| バス制御 | RD# | 出力 | 外部バスインタフェース空間をリード中であることを示すストロープ信号 |
| | WR# | 出力 | 1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号 |
| | WR0#, WR1# | 出力 | バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストロープ信号 |
| | BC0#, BC1# | 出力 | 1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストロープ信号 |
| | ALE | 出力 | アドレスデータマルチプレクスバス選択時のアドレスラッチ信号 |
| | WAIT# | 入力 | 外部空間をアクセスするときのウェイト要求信号 |
| | CS0#～CS7# | 出力 | CS領域選択信号 |
| SDRAMインタフェース | CKE | 出力 | SDRAMクロックイネーブル信号 |
| | SDCS# | 出力 | SDRAMチップセレクト信号 |
| | RAS# | 出力 | SDRAMロウアドレスストロープ信号 |
| | CAS# | 出力 | SDRAMカラムアドレスストロープ信号 |
| | WE# | 出力 | SDRAMライトイネーブル端子 |
| | DQM0, DQM1 | 出力 | SDRAM入出力データマスキイネーブル信号 |
| EXDMAコントローラ | EDREQ0, EDREQ1 | 入力 | 外部DMA転送要求端子 |
| | EDACK0, EDACK1 | 出力 | シングルアドレス転送アクリッジ信号 |
| 割り込み | NMI | 入力 | ノンマスクブル割り込み要求端子 |
| | IRQ0～IRQ15, IRQ0-DS～IRQ15-DS | 入力 | 割り込み要求端子 |
| マルチファンクションタイマパルスユニット3 | MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D | 入出力 | TGRA0～TGRD0のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC1A, MTIOC1B | 入出力 | TGRA1, TGRB1のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC2A, MTIOC2B | 入出力 | TGRA2, TGRB2のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D | 入出力 | TGRA3～TGRD3のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D | 入出力 | TGRA4～TGRD4のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIC5U, MTIC5V, MTIC5W | 入力 | TGRU5, TGRV5, TGRW5のインพุットキャプチャ入力/デッドタイム補償機能の入力端子 |
| | MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D | 入出力 | TGRA6～TGRD6のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D | 入出力 | TGRA7～TGRD7のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D | 入出力 | TGRA8～TGRD8のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子 |
| | MTCLKA, MTCLKB, MTCLKC, MTCLKD | 入力 | 外部クロックを入力、または位相計数モードクロック入力端子 |
| ポートアウトプットイネーブル3 | POE0#, POE4#, POE8#, POE10#, POE11# | 入力 | MTUをハイインピーダンス状態にする要求信号を入力 |

表 1.4 端子機能一覧 (3 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|--|-----------------------------------|-----|--|
| 16ビットタイマ パルスユニット | TIOCA0, TIOCB0, TIOCC0, TIOCD0 | 入出力 | TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子 |
| | TIOCA1, TIOCB1 | 入出力 | TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子 |
| | TIOCA2, TIOCB2 | 入出力 | TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子 |
| | TIOCA3, TIOCB3, TIOCC3, TIOCD3 | 入出力 | TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子 |
| | TIOCA4, TIOCB4 | 入出力 | TGRA4, TGRB4のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子 |
| | TIOCA5, TIOCB5 | 入出力 | TGRA5, TGRB5のインプットキャプチャ入力/アウトプットコン ペア出力/PWM出力端子 |
| | TCLKA, TCLKB, TCLKC, TCLKD | 入力 | 外部クロックを入力、または位相計数モードクロック入力端子 |
| プログラマブルパルス ジェネレータ | PO0～PO31 | 出力 | パルス出力端子 |
| 8ビットタイマ | TMO0～TMO3 | 出力 | コンペアマッチ出力端子 |
| | TMCIO～TMCIO3 | 入力 | カウンタに入力する外部クロックの入力端子 |
| | TMRI0～TMRI3 | 入力 | カウンタリセット入力端子 |
| コンペアマッチタイマW | TIC0～TIC3 | 入力 | CMTWの入力端子 |
| | TOC0～TOC3 | 出力 | CMTWの出力端子 |
| シリアル コミュニケーション インタフェース (SCIk) | • 調歩同期モード/クロック同期モード | | |
| | SCK0～SCK9 | 入出力 | クロック入出力端子 |
| | RXD0～RXD9 | 入力 | 受信データ入力端子 |
| | TXD0～TXD9 | 出力 | 送信データ出力端子 |
| | CTS0#～CTS9# | 入力 | 送受信開始制御用入力端子 |
| | RTS0#～RTS9# | 出力 | 送受信開始制御用出力端子 |
| | • 簡易I ² Cモード | | |
| | SSCL0～SSCL9 | 入出力 | I ² Cクロック入出力端子 |
| | SSDA0～SSDA9 | 入出力 | I ² Cデータ入出力端子 |
| | • 簡易SPIモード | | |
| | SCK0～SCK9 | 入出力 | クロック入出力端子 |
| | SMISO0～SMISO9 | 入出力 | スレーブ送出データ入出力端子 |
| | SMOSI0～SMOSI9 | 入出力 | マスタ送出データ入出力端子 |
| | SS0#～SS9# | 入力 | チップセレクト入力端子 |
| シリアル コミュニケーション インタフェース (SCIh) | • 調歩同期モード/クロック同期モード | | |
| | SCK12 | 入出力 | クロック入出力端子 |
| | RXD12 | 入力 | 受信データ入力端子 |
| | TXD12 | 出力 | 送信データ出力端子 |
| | CTS12# | 入力 | 送受信開始制御用入力端子 |
| | RTS12# | 出力 | 送受信開始制御用出力端子 |
| | • 簡易I ² Cモード | | |
| | SSCL12 | 入出力 | I ² Cクロック入出力端子 |
| | SSDA12 | 入出力 | I ² Cデータ入出力端子 |

表 1.4 端子機能一覧 (4 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|--|--|-----------------------------------|-------------------------------------|
| シリアル コミュニケーション インタフェース (SCIh) | • 簡易SPIモード | | |
| | SCK12 | 入出力 | クロック入出力端子 |
| | SMISO12 | 入出力 | スレーブ送出データ入出力端子 |
| | SMOSI12 | 入出力 | マスタ送出データ入出力端子 |
| | SS12# | 入力 | チップセレクト入力端子 |
| | • 拡張シリアルモード | | |
| | RDX12 | 入力 | 受信データ入力端子 |
| | TXDX12 | 出力 | 送信データ出力端子 |
| | SIOX12 | 入出力 | 送受信データ入出力端子 |
| シリアル コミュニケーション インタフェース (SCIm) | • 調歩同期式モード/クロック同期式モード | | |
| | SCK10, SCK11 | 入出力 | クロック入出力端子 |
| | RXD10, RXD11 | 入力 | 受信データ入力端子 |
| | TXD10, TXD11 | 出力 | 送信データ出力端子 |
| | CTS10#, CTS11# | 入力 | 送受信開始制御用入力端子 |
| | RTS10#, RTS11# | 出力 | 送受信開始制御用出力端子 |
| | • 簡易I ² Cモード | | |
| | SSCL10, SSCL11 | 入出力 | I ² Cクロック入出力端子 |
| | SSDA10, SSDA11 | 入出力 | I ² Cデータ入出力端子 |
| | • 簡易SPIモード | | |
| | SCK10, SCK11 | 入出力 | クロック入出力端子 |
| | SMISO10, SMISO11 | 入出力 | スレーブ送出データ入出力端子 |
| | SMOSI10, SMOSI11 | 入出力 | マスタ送出データ入出力端子 |
| | SS10#, SS11# | 入力 | チップセレクト入力端子 |
| | シリアル コミュニケーション インタフェース (RSCI) | • 調歩同期式モード/クロック同期式モード | |
| SCK010, SCK011 | | 入出力 | クロック入出力端子 |
| RXD010, RXD011 | | 入力 | 受信データ入力端子 |
| TXD010, TXD011 | | 出力 | 送信データ出力端子 |
| CTS010#, CTS011# | | 入力 | 送受信開始制御用入力端子 |
| RTS010#, RTS011# | | 出力 | 送受信開始制御用出力端子 |
| DE010, DE011 | | 出力 | DriveEnable出力端子 |
| • 簡易I ² Cモード | | | |
| SSCL010, SSCL011 | | 入出力 | I ² Cクロック入出力端子 |
| SSDA010, SSDA011 | | 入出力 | I ² Cデータ入出力端子 |
| • 簡易SPIモード | | | |
| SCK010, SCK011 | | 入出力 | クロック入出力端子 |
| SMISO010, SMISO011 | | 入出力 | スレーブ送出データ入出力端子 |
| SMOSI010, SMOSI011 | | 入出力 | マスタ送出データ入出力端子 |
| SS010#, SS011# | | 入力 | チップセレクト入力端子 |
| • HBSモード | | | |
| RXD011 | | 入力 | 受信データ入力端子 |
| TXDA011, TXDB011 | | 出力 | 送信データ出力端子 |
| I ² Cバスインタフェース | | SCL0[FM+], SCL1, SCL2, SCL2-DS | 入出力 |
| | SDA0[FM+], SDA1, SDA2, SDA2-DS | 入出力 | データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます |

表 1.4 端子機能一覧 (5 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|--|---|-----|--------------------------------------|
| ハイスピードI ² Cバス インタフェース (RIICHS) | SCLHS0[FM+/HS] | 入出力 | クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます |
| | SDAHS0[FM+/HS] | 入出力 | データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます |
| USB2.0 ホスト/ファンク ションモジュール | VCC_USB | 入力 | 電源端子 |
| | VSS_USB | 入力 | グラウンド端子 |
| | USB0_DP, USB1_DP | 入出力 | USBバスのD+データ |
| | USB0_DM, USB1_DM | 入出力 | USBバスのD-データ |
| | USB0_EXICEN, USB1_EXICEN | 出力 | OTG電源ICに接続 |
| | USB0_ID, USB1_ID | 入力 | OTG電源ICに接続 |
| | USB0_VBUSEN, USB1_VBUSEN | 出力 | USB用VBUSパワーイネーブル端子 |
| | USB0_OVRCURA/ USB0_OVRCURB, USB1_OVRCURA/ USB1_OVRCURB | 入力 | USB用オーバカレント端子 |
| | USB0_VBUS, USB1_VBUS | 入力 | USBケーブルの接続/切断検出入力端子 |
| CANモジュール | CRX0, CRX1, CRX1-DS | 入力 | 入力端子 |
| | CTX0, CTX1 | 出力 | 出力端子 |
| シリアルペリフェラル インタフェース | RSPCKA-A/RSPCKA-B/ RSPCKB-A/RSPCKB-B/ RSPCKC-A/RSPCKC-B | 入出力 | クロック入出力端子 |
| | MOSIA-A/MOSIA-B/ MOSIB-A/MOSIB-B/ MOSIC-A/MOSIC-B | 入出力 | マスタ送出データ入出力端子 |
| | MISOA-A/MISOA-B/ MISOB-A/MISOB-B/ MISOC-A/MISOC-B | 入出力 | スレーブ送出データ入出力端子 |
| | SSLA0-A/SSLA0-B/ SSLB0-A/SSLB0-B/ SSLC0-A | 入出力 | スレーブセレクト入出力端子 |
| | SSLA1-A/SSLA1-B/ SSLB1-A/SSLB1-B/ SSLC1-A, SSLA2-A/SSLA2-B/ SSLB2-A/SSLB2-B/ SSLC2-A, SSLA3-A/SSLA3-B/ SSLB3-A/SSLB3-B/ SSLC3-A | 出力 | スレーブセレクト出力端子 |
| シリアルペリフェラルイ ンタフェース (RSPIA) | RSPCK0-A/RSPCK0-B | 入出力 | クロック入出力端子 |
| | MOSI0-A/MOSI0-B | 入出力 | マスタ送出データ入出力端子 |
| | MISO0-A/MISO0-B | 入出力 | スレーブ送出データ入出力端子 |
| | SSL00-A/SSL00-B | 入出力 | スレーブセレクト入出力端子 |
| | SSL01-A/SSL01-B, SSL02-A/SSL02-B, SSL03-A/SSL03-B | 出力 | スレーブセレクト出力端子 |
| クワッドSPIメモリー インタフェース | QSPCLK-A/QSPCLK-B | 出力 | QSPIXのクロック出力端子 |
| | QSSL-A/QSSL-B | 出力 | QSPIXのスレーブ出力端子 |
| | QIO0-A/QIO0-B, QIO1-A/QIO1-B, QIO2-A/QIO2-B, QIO3-A/QIO3-B | 入出力 | QSPIXの送受信データ端子 |

表 1.4 端子機能一覧 (6 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|--------------------|---|-----|--|
| シリアルサウンドインタフェース | SSIBCK0 | 入出力 | SSIEシリアルビットクロック端子 |
| | SSILRCK0 | 入出力 | LRクロック |
| | SSITXD0 | 出力 | シリアルデータ出力端子 |
| | SSIRXD0 | 入力 | シリアルデータ入力端子 |
| | AUDIO_CLK | 入力 | オーディオ用の外部クロック端子(入力オーバーサンプリングクロック) |
| SDホストインタフェース | SDHI_CLK-A/SDHI_CLK-B/SDHI_CLK-C | 出力 | SDクロック出力端子 |
| | SDHI_CMD-A/SDHI_CMD-B/SDHI_CMD-C | 入出力 | SDコマンド出力、レスポンス入力信号端子 |
| | SDHI_D3-A/SDHI_D3-B/SDHI_D3-C~SDHI_D0-A/SDHI_D0-B/SDHI_D0-C | 入出力 | SDデータバス端子 |
| | SDHI_CD | 入力 | SDカード検出端子 |
| | SDHI_WP | 入力 | SDライトプロテクト信号 |
| リアルタイムクロック | RTCOUT | 出力 | 1Hz/64Hzのクロック出力端子 |
| | RTCIC0~RTCIC2 | 入力 | 時間キャプチャイベント入力端子 |
| バッテリーバックアップ | TAMPI0~TAMPI2 | 入力 | タンパ検出 |
| リモコン信号受信機能(REMC) | PMC0-DS | 入力 | 外部パルス信号入力端子 |
| 12ビットA/Dコンバータ | AN000~AN007, AN100~AN111 | 入力 | A/Dコンバータのアナログ入力端子 |
| | ADTRG0#, ADTRG1# | 入力 | A/D変換開始のための外部トリガ入力端子 |
| | ANEX0 | 出力 | 拡張アナログ出力端子 |
| | ANEX1 | 入力 | 拡張アナログ入力端子 |
| 静電容量式タッチセンサ(CTSUS) | TS0~TS16 | 入出力 | 静電容量計測端子(タッチ端子) |
| | TSCAP | — | 内部電源安定用の平滑コンデンサ(10nF)を介してVSSに接続してください。コンデンサは端子近くに配置してください |
| アナログ電源 | AVCC0(注1) | 入力 | 12ビットA/Dコンバータ(ユニット0)のアナログ電源端子。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS0に接続してください。コンデンサは端子近くに配置してください |
| | AVSS0(注1) | 入力 | 12ビットA/Dコンバータ(ユニット0)のアナロググランド端子。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC0に接続してください。コンデンサは端子近くに配置してください |
| | VREFH0 | 入力 | 12ビットA/Dコンバータ(ユニット0)の基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください |
| | VREFL0 | 入力 | 12ビットA/Dコンバータ(ユニット0)の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください |
| | AVCC1(注1) | 入力 | 12ビットA/Dコンバータ(ユニット1)のアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS1に接続してください。コンデンサは端子近くに配置してください |
| アナログ電源 | AVSS1(注1) | 入力 | 12ビットA/Dコンバータ(ユニット1)のアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC1に接続してください。コンデンサは端子近くに配置してください |

表 1.4 端子機能一覧 (7 / 7)

| 分類 | 端子名 | 入出力 | 機能 |
|--------|-------------------|-----|-----------------------|
| I/Oポート | P00～P03, P05, P07 | 入出力 | 6ビットの入出力端子 |
| | P12～P17 | 入出力 | 6ビットの入出力端子 |
| | P20～P27 | 入出力 | 8ビットの入出力端子 |
| | P30～P37 | 入出力 | 8ビットの入出力端子 (P35は入力端子) |
| | P40～P47 | 入出力 | 8ビットの入出力端子 |
| | P50～P56 | 入出力 | 7ビットの入出力端子 |
| | P60～P67 | 入出力 | 8ビットの入出力端子 |
| | P70～P77 | 入出力 | 8ビットの入出力端子 |
| | P80～P83, P86, P87 | 入出力 | 6ビットの入出力端子 |
| | P90～P93 | 入出力 | 4ビットの入出力端子 |
| | PA0～PA7 | 入出力 | 8ビットの入出力端子 |
| | PB0～PB7 | 入出力 | 8ビットの入出力端子 |
| | PC0～PC7 | 入出力 | 8ビットの入出力端子 |
| | PD0～PD7 | 入出力 | 8ビットの入出力端子 |
| | PE0～PE7 | 入出力 | 8ビットの入出力端子 |
| | PF5 | 入出力 | 1ビットの入出力端子 |
| | PH1, PH2 | 入出力 | 2ビットの入出力端子 |
| | PJ3, PJ5 | 入出力 | 2ビットの入出力端子 |

注. 端子名については、以下の注意事項があります。詳細は、「1.5 ピン配置図」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせることを推奨します。RSPI、RSPIA、QSPIX、SDHIのAC特性は、各グループ内の端子間で測定しています。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
- RIIC、RIICHSの端子名に[FM+]が付加されている端子は、ファストモードプラスに対応しています。

注1. 12ビットA/Dコンバータ、温度センサを使用しない場合、AVCC0、AVCC1端子はVCCに、AVSS0、AVSS1端子はVSSにそれぞれ接続してください。

1.5 ピン配置図

1.5.1 145ピン TFLGA (0.65mm ピッチ)

| | A | B | C | D | E | F | G | H | J | K | L | M | N | |
|----|-------|--------|--------|-----|--|-------|--------------|---------------|-----|-----|-----|-------------|---------------------|---------------------|
| 13 | PE3 | PE4 | VSS | PE6 | P67 | PA2 | USB1_ DP | USB1_ DM | PB1 | PB5 | VSS | VCC | P74 | 13 |
| 12 | PE1 | PE2 | P70 | PE5 | P65 | PA1 | VSS_ USB | VCC_ USB | PB2 | PB6 | P73 | PC1 | P75 | 12 |
| 11 | P62 | P61 | PE0 | VCC | P66 | PA4 | PA6 | PA7 | PB4 | PB7 | PC2 | PC0 | PC3 | 11 |
| 10 | VSS | VCC | P63 | PE7 | PA0 | PA3 | PA5 | PB0 | PB3 | P76 | PC4 | P77 | P82 | 10 |
| 9 | PD6 | PD4 | PD7 | P64 | RX671 グループ PTLG0145JC-A (0.65mm ピッチ 145ピン TFLGA) (上面透視図) | | | | | P80 | PC5 | P81 | PC7 | 9 |
| 8 | PD2 | PD0 | PD3 | P60 | | | | | | VCC | P83 | PC6 | VSS | 8 |
| 7 | P92 | P91 | PD1 | PD5 | | | | | | P51 | P52 | P50 | P55 | 7 |
| 6 | P90 | P47 | VSS | P93 | | | | | | P53 | P56 | VSS_ USB | PH1/ USB0_ DP | 6 |
| 5 | P45 | P43 | P46 | VCC | | | | | | P44 | P54 | P13 | VCC_ USB | PH2/ USB0_ DM |
| 4 | P42 | VREFL0 | P41 | P01 | EMLE | VBATT | BSCANP | P35 | P30 | P15 | P24 | P12 | P14 | 4 |
| 3 | P40 | P05 | VREFH0 | P03 | PJ5 | PJ3 | MD/ FINED | VSS | P32 | P31 | P16 | P86 | P87 | 3 |
| 2 | P07 | AVCC0 | P02 | PF5 | VCL | XCOUT | RES# | VCC | P33 | P26 | P23 | P17 | P20 | 2 |
| 1 | AVSS0 | AVCC1 | AVSS1 | P00 | VSS | XCIN | P37/ XTAL | P36/ EXTAL | P34 | P27 | P25 | P22 | P21 | 1 |
| | A | B | C | D | E | F | G | H | J | K | L | M | N | |

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.5 機能別端子一覧(0.65mmピッチ145ピンTFLGA)」をご確認ください。

図 1.3 ピン配置図 (0.65mm ピッチ 145ピン TFLGA)

1.5.2 145ピン TFLGA (0.50mm ピッチ)

| | A | B | C | D | E | F | G | H | J | K | L | M | N | |
|----|-------|--------|--------|-----|--|-------|--------------|---------------|-----|-----|-----|----------|---------------------|---------------------|
| 13 | PE3 | PE4 | VSS | PE6 | P67 | PA2 | PA4 | PA7 | PB1 | PB5 | VSS | VCC | P74 | 13 |
| 12 | PE1 | PE2 | P70 | PE5 | P65 | PA1 | VCC | PB0 | PB2 | PB6 | P73 | PC1 | P75 | 12 |
| 11 | P62 | P61 | PE0 | VCC | P66 | VSS | PA6 | P71 | PB4 | PB7 | PC2 | PC0 | PC3 | 11 |
| 10 | VSS | VCC | P63 | PE7 | PA0 | PA3 | PA5 | P72 | PB3 | P76 | PC4 | P77 | P82 | 10 |
| 9 | PD6 | PD4 | PD7 | P64 | RX671 グループ PTLG0145KB-A (0.50mm ピッチ 145ピン TFLGA) (上面透視図) | | | | | P80 | PC5 | P81 | PC7 | 9 |
| 8 | PD2 | PD0 | PD3 | P60 | | | | | | VCC | P83 | PC6 | VSS | 8 |
| 7 | P92 | P91 | PD1 | PD5 | | | | | | P51 | P52 | P50 | P55 | 7 |
| 6 | P90 | P47 | VSS | P93 | | | | | | P53 | P56 | VSS_ USB | PH1/ USB0_ DP | 6 |
| 5 | P45 | P43 | P46 | VCC | | | | | | P44 | P54 | P13 | VCC_ USB | PH2/ USB0_ DM |
| 4 | P42 | VREFL0 | P41 | P01 | EMLE | VBATT | BSCANP | P35 | P30 | P15 | P24 | P12 | P14 | 4 |
| 3 | P40 | P05 | VREFH0 | P03 | PJ5 | PJ3 | MD/ FINED | VSS | P32 | P31 | P16 | P86 | P87 | 3 |
| 2 | P07 | AVCC0 | P02 | PF5 | VCL | XCOUT | RES# | VCC | P33 | P26 | P23 | P17 | P20 | 2 |
| 1 | AVSS0 | AVCC1 | AVSS1 | P00 | VSS | XCIN | P37/ XTAL | P36/ EXTAL | P34 | P27 | P25 | P22 | P21 | 1 |
| | A | B | C | D | E | F | G | H | J | K | L | M | N | |

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.6 機能別端子一覧(0.50mmピッチ145ピンTFLGA)」をご確認ください。

図 1.4 ピン配置図 (0.50mm ピッチ 145ピン TFLGA)

1.5.3 144ピン LQFP



図 1.5 ピン配置図(144ピン LQFP)

1.5.4 100ピン TFLGA

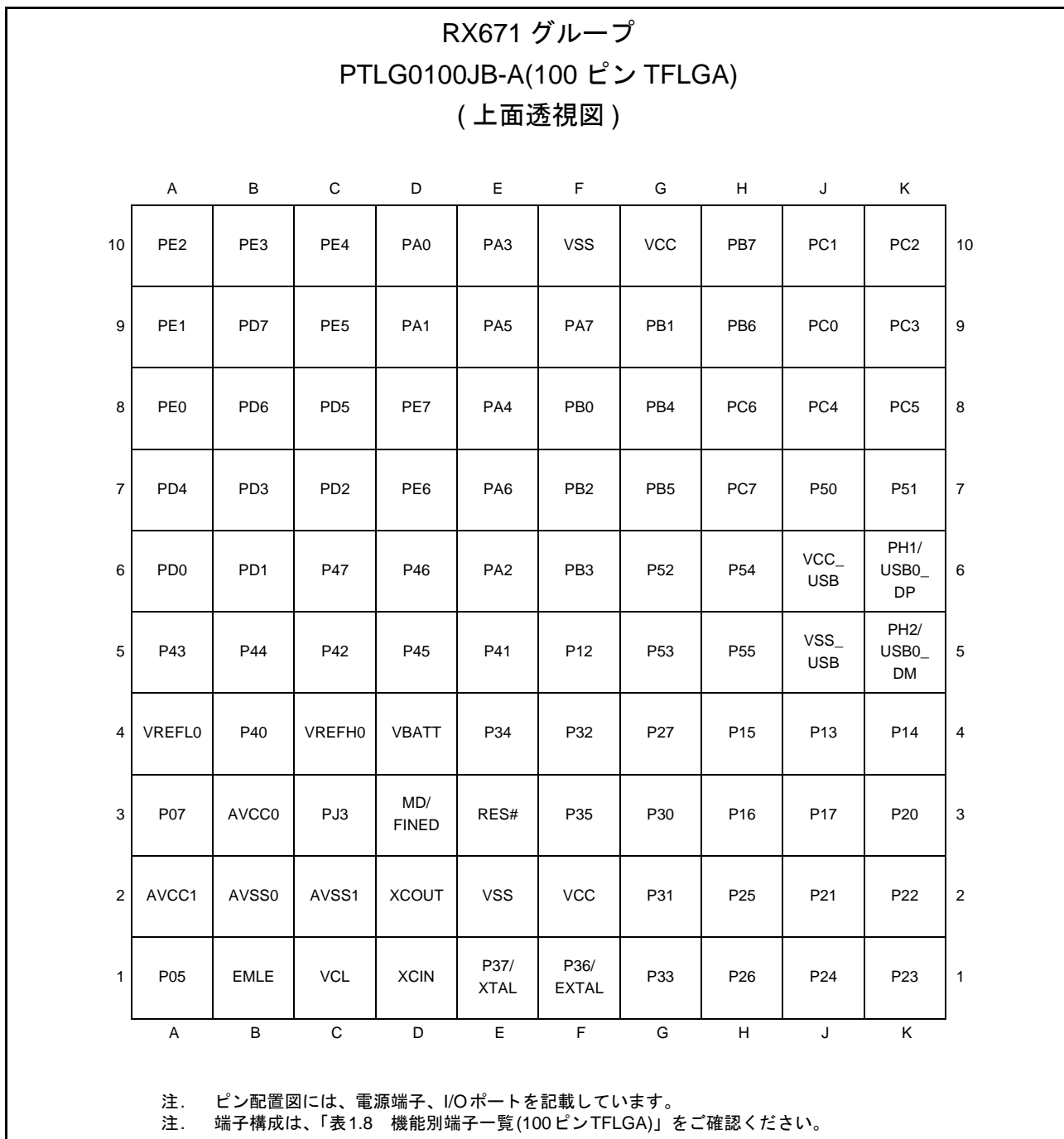


図 1.6 ピン配置図 (100ピン TFLGA)

1.5.5 100ピン LQFP

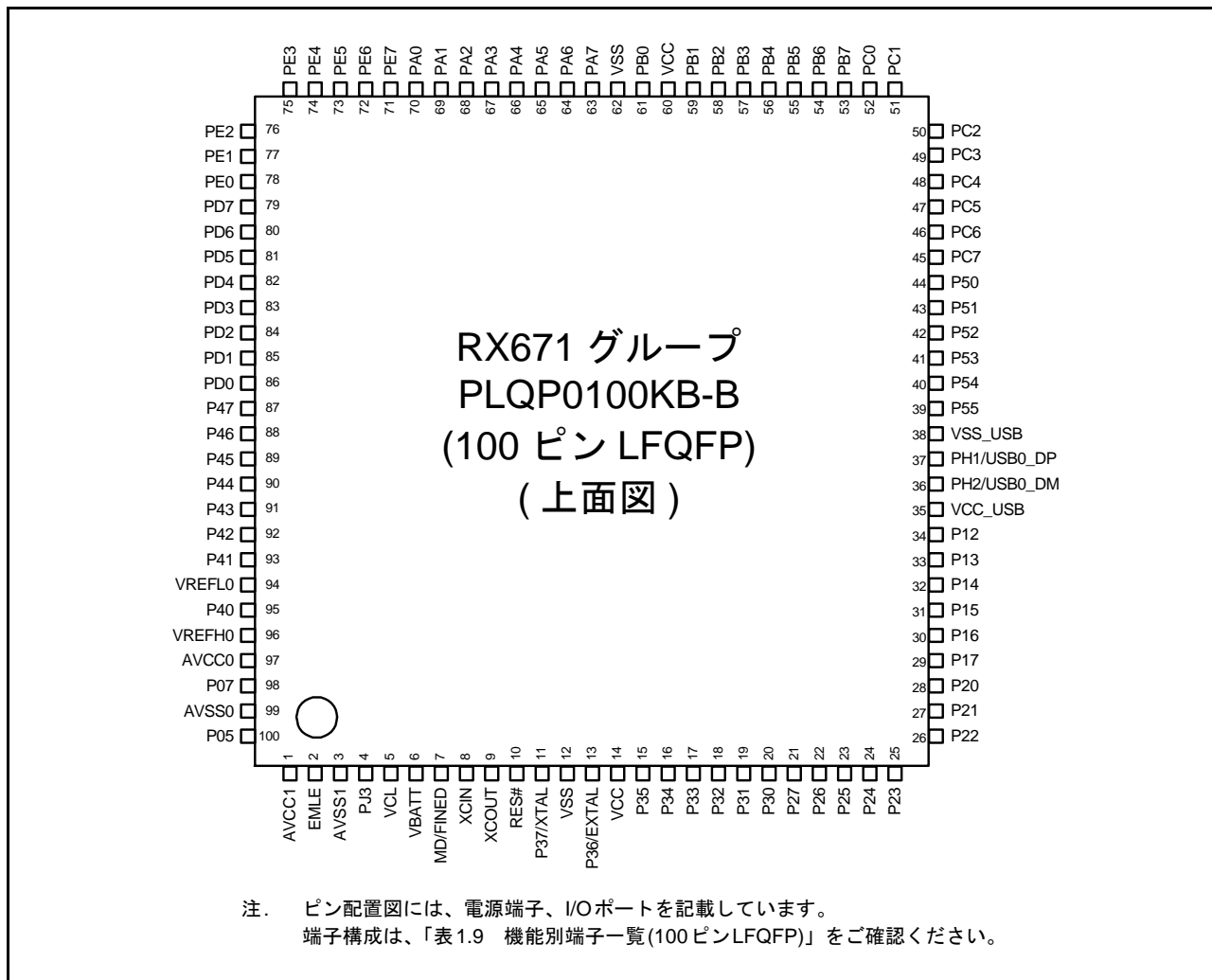


図 1.7 ピン配置図 (100ピン LQFP)

1.5.6 64ピン TFBGA

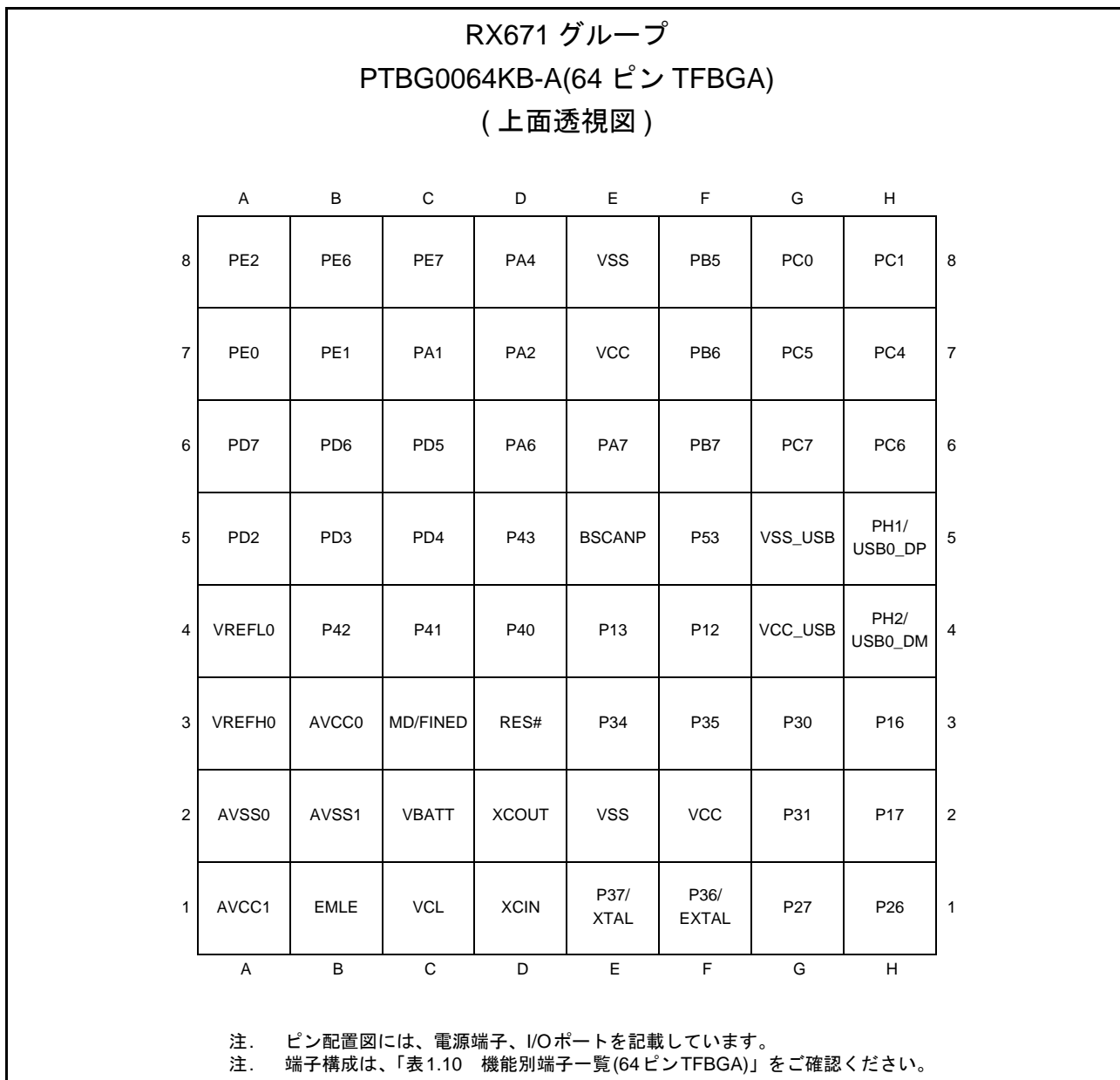


図 1.8 ピン配置図 (64ピン TFBGA)

1.5.7 64ピンLFQFP

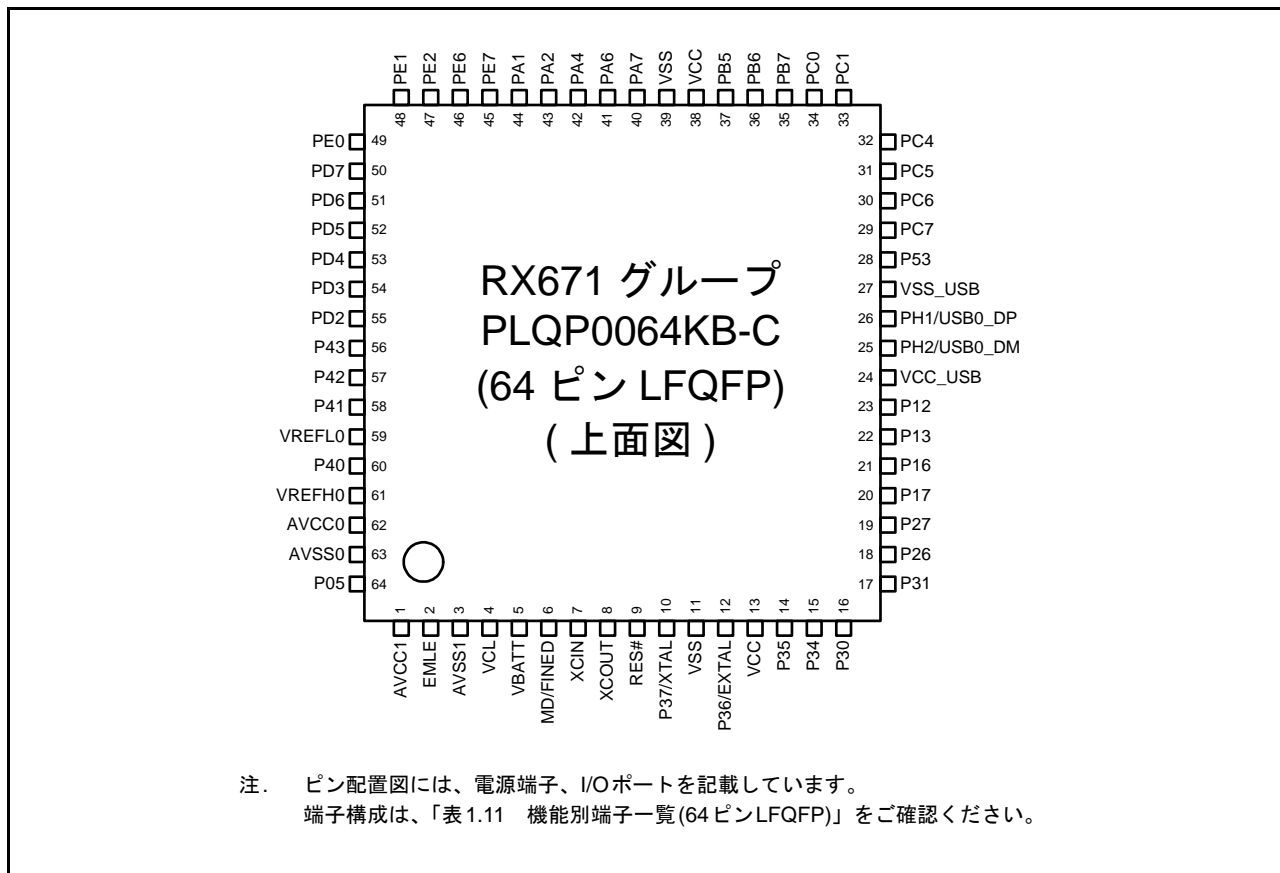


図 1.9 ピン配置図 (64ピンLFQFP)

1.5.8 48ピン HWQFN

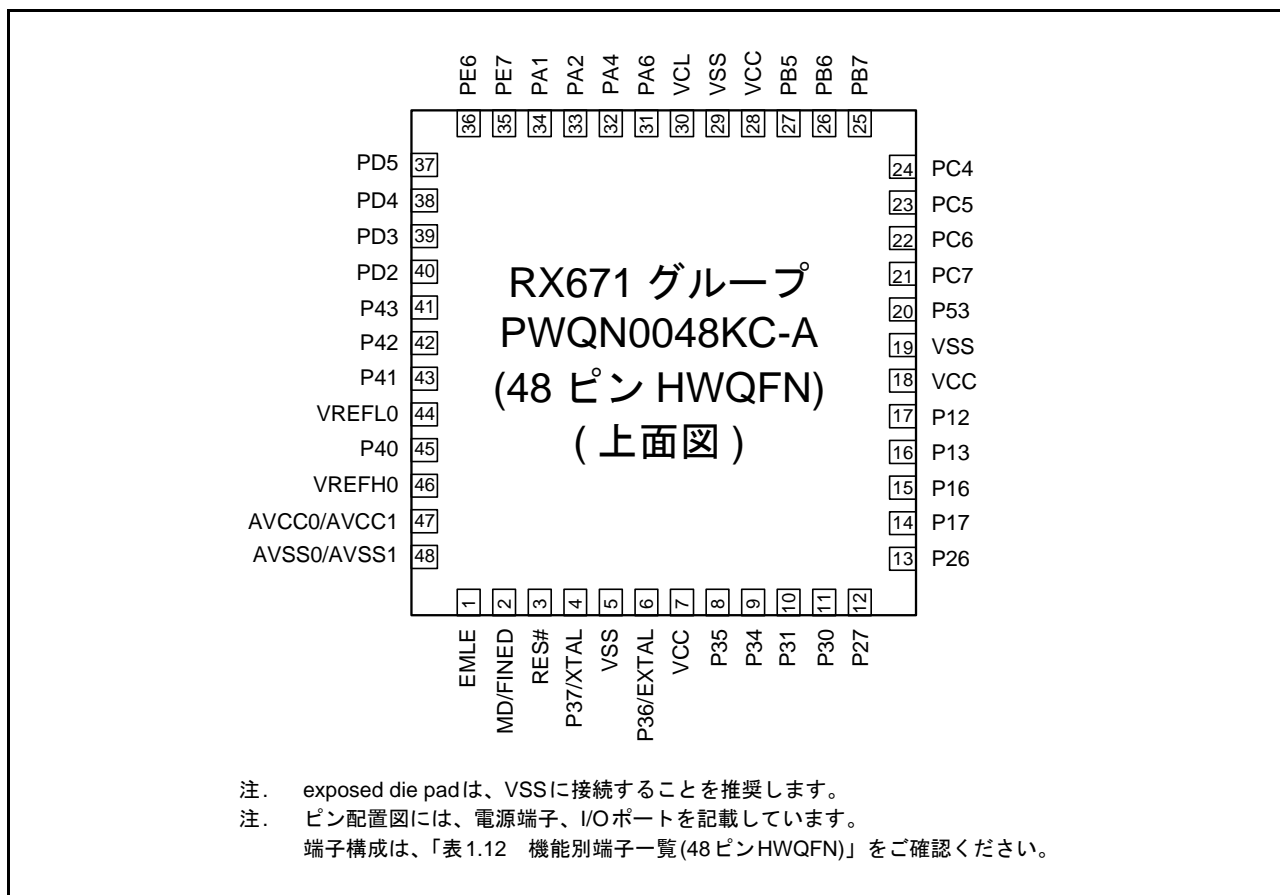


図 1.10 ピン配置図 (48ピン HWQFN)

1.6 機能別端子一覧

1.6.1 145 ピン TFLGA (0.65mm ピッチ)

表 1.5 機能別端子一覧(0.65mm ピッチ 145 ピン TFLGA) (1 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSUI、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|--------------------------------|---|---|---------------------------|----------|---------|---|
| A1 | AVSS0 | | | | | | | | |
| A2 | | P07 | | | | | IRQ15 | ADTRG0# | |
| A3 | | P40 | | | | | IRQ8-DS | AN000 | |
| A4 | | P42 | | | | | IRQ10-DS | AN002 | |
| A5 | | P45 | | | | | IRQ13-DS | AN005 | |
| A6 | | P90 | A16 | | TXD7/SMOSI7/ SSDA7 | | IRQ0 | AN108 | |
| A7 | | P92 | A18 | POE4# | RXD7/SMISO7/ SSCL7 | | IRQ10 | | |
| A8 | | PD2 | D2[A2/D2] | MTIOC4D/ TIC2 | CRX0/MISOC-A | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| A9 | | PD6 | D6[A6/D6] | MTIC5V/ MTIOC8A/ POE4# | SSLC2-A | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| A10 | VSS | | | | | | | | |
| A11 | | P62 | CS2#/RAS#/ D1[A1/D1] | | | | IRQ2 | | |
| A12 | | PE1 | D9[A9/D9]/ D1[A1/D1] | MTIOC4C/ MTIOC3B/ PO18 | TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| A13 | | PE3 | D11[A11/ D11]/ D3[A3/D3] | MTIOC4B/ PO26/POE8#/ TOC3 | CTS12#/RTS12#/ SS12# | | IRQ11 | | |
| B1 | AVCC1 | | | | | | | | |
| B2 | AVCC0 | | | | | | | | |
| B3 | | P05 | | | | | IRQ13 | | |
| B4 | VREFL0 | | | | | | | | |
| B5 | | P43 | | | | | IRQ11-DS | AN003 | |
| B6 | | P47 | | | | | IRQ15-DS | AN007 | |
| B7 | | P91 | A17 | | SCK7 | | IRQ9 | | |
| B8 | | PD0 | D0[A0/D0] | POE4# | | | IRQ0 | AN107 | |
| B9 | | PD4 | D4[A4/D4] | MTIOC8B/ POE11# | SSLC0-A | SDHI_CMD- B/ QSSL-B | IRQ4 | AN103 | |
| B10 | VCC | | | | | | | | |
| B11 | | P61 | CS1#/ SDCS#/ D0[A0/D0] | | | | IRQ1 | | |
| B12 | | PE2 | D10[A10/ D10]/ D2[A2/D2] | MTIOC4A/ PO23/TIC3 | RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B | | IRQ7-DS | | |
| B13 | | PE4 | D12[A12/ D12]/ D4[A4/D4] | MTIOC4D/ MTIOC1A/ PO28 | SSLB0-B | | IRQ12 | | |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピンTFLGA) (2 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|--------------------------------|---|---|----------------------------------|----------|-------|--|
| C1 | AVSS1 | | | | | | | | |
| C2 | | P02 | | TMC11 | SCK6 | | IRQ10 | AN109 | |
| C3 | VREFH0 | | | | | | | | |
| C4 | | P41 | | | | | IRQ9-DS | AN001 | |
| C5 | | P46 | | | | | IRQ14-DS | AN006 | |
| C6 | VSS | | | | | | | | |
| C7 | | PD1 | D1[A1/D1] | MTIOC4B/ POE0# | CTX0/MOSIC-A | | IRQ1 | AN106 | |
| C8 | | PD3 | D3[A3/D3] | MTIOC8D/ POE8#/TOC2 | RSPCKC-A | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| C9 | | PD7 | D7[A7/D7] | MTIC5U/ POE0# | SSLC3-A | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| C10 | | P63 | CS3#/CAS#/ D2[A2/D2] | | | | IRQ3 | | |
| C11 | | PE0 | D8[A8/D8]/ D0[A0/D0] | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| C12 | | P70 | SDCLK | | | | IRQ0 | | |
| C13 | VSS | | | | | | | | |
| D1 | | P00 | | TMRI0 | TXD6/SMOSI6/ SSDA6 | | IRQ8 | AN111 | |
| D2 | | PF5 | | | | | IRQ4 | | |
| D3 | | P03 | | | | | IRQ11 | | |
| D4 | | P01 | | TMC10 | RXD6/SMISO6/ SSCL6 | | IRQ9 | AN110 | |
| D5 | VCC | | | | | | | | |
| D6 | | P93 | A19 | POE0# | CTS7#/RTS7#/ SS7# | | IRQ11 | | |
| D7 | | PD5 | D5[A5/D5] | MTIC5W/ MTIOC8C/ POE10# | SSLC1-A | SDHI_CLK- B/ QSPCLK-B | IRQ5 | AN102 | |
| D8 | | P60 | CS0# | | | | IRQ0 | | |
| D9 | | P64 | CS4#/WE#/ D3[A3/D3] | | | | IRQ4 | | |
| D10 | | PE7 | D15[A15/ D15]/ D7[A7/D7] | MTIOC6A/ TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| D11 | VCC | | | | | | | | |
| D12 | | PE5 | D13[A13/ D13]/ D5[A5/D5] | MTIOC4C/ MTIOC2B | RSPCKB-B | | IRQ5 | | |
| D13 | | PE6 | D14[A14/ D14]/ D6[A6/D6] | MTIOC6C/ TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| E1 | VSS | | | | | | | | |
| E2 | VCL | | | | | | | | |
| E3 | | PJ5 | | POE8# | CTS2#/RTS2#/ SS2# | | IRQ13 | | |
| E4 | EMLE | | | | | | | | |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピンTFLGA) (3 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|------------------------|---|---|------------------------|----------|-------|--|
| E5 | | P44 | | | | | IRQ12-DS | AN004 | |
| E10 | | PA0 | A0/BC0# | MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16 | SSLA1-B/SSL01-B | | IRQ0 | | |
| E11 | | P66 | CS6#/DQM0 | MTIOC7D | | | IRQ14 | | |
| E12 | | P65 | CS5#/CKE | | | | IRQ13 | | |
| E13 | | P67 | CS7#/DQM1 | MTIOC7C | | | IRQ15 | | |
| F1 | XCIN | | | | | | | | |
| F2 | XCOUT | | | | | | | | |
| F3 | EXCIN | PJ3 | EDACK1 | MTIOC3C | CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0# | | IRQ11 | | |
| F4 | VBATT | | | | | | | | |
| F10 | | PA3 | A3 | MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19 | RXD5/SMISO5/ SSCL5 | | IRQ6-DS | | |
| F11 | | PA4 | A4 | MTIC5U/ MTCLKA/ TIOCA1/ TMR10/PO20 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12 | | IRQ5-DS | | |
| F12 | | PA1 | A1 | MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| F13 | | PA2 | A2 | MTIOC7A/ PO18 | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| G1 | XTAL | P37 | | | | | | | |
| G2 | RES# | | | | | | | | |
| G3 | MD/ FINED | | | | | | | | |
| G4 | BSCANP | | | | | | | | |
| G10 | | PA5 | A5 | MTIOC6B/ TIOCB1/PO21 | RSPCKA-B/ RSPCK0-B | | IRQ5 | | |
| G11 | | PA6 | A6 | MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |
| G12 | VSS_USB | | | | | | | | |
| G13 | | | | | USB1_DP | | | | |
| H1 | EXTAL | P36 | | | | | | | |
| H2 | VCC | | | | | | | | |
| H3 | VSS | | | | | | | | |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピンTFLGA) (4 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|------------------------|---|---|------------------------|---------|-----|--|
| H4 | UPSEL | P35 | | | | | NMI | | |
| H10 | | PB0 | A8 | MTIC5W/ TIOCA3/PO24 | RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6 | | IRQ12 | | |
| H11 | | PA7 | A7 | TIOCB2/PO23 | MISOA-B/MISO0-B | | IRQ7 | | |
| H12 | VCC_USB | | | | | | | | |
| H13 | | | | | USB1_DM | | | | |
| J1 | TRST# | P34 | | MTIOC0A/ TMCI3/PO12/ POE10# | SCK6/SCK0 | | IRQ4 | | TS0 |
| J2 | | P33 | EDREQ1 | MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11# | RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0 | | IRQ3-DS | | TS1 |
| J3 | | P32 | | MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10# | TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN | | IRQ2-DS | | TAMPI2 |
| J4 | TDI | P30 | | MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMPI0 |
| J10 | | PB3 | A11 | MTIOC0A/ MTIOC4A/ TIOC0D3/ TCLKD/ TMO0/PO27/ POE11# | SCK4/SCK6/ PMC0-DS | | IRQ3 | | |
| J11 | | PB4 | A12 | TIOCA4/PO28 | CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011 | | IRQ4 | | |
| J12 | | PB2 | A10 | TIOCC3/ TCLKC/PO26 | CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6# | | IRQ2 | | |
| J13 | | PB1 | A9 | MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25 | TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6 | | IRQ4-DS | | |
| K1 | TCK | P27 | CS7# | MTIOC2B/ TMCI3/PO7 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| K2 | TDO | P26 | CS6# | MTIOC2A/ TMO1/PO6 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| K3 | TMS | P31 | | MTIOC4D/ TMCI2/PO9/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMPI1 |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピン TFLGA) (5 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|----------|------------------------------|---|--|---------------------------|-------|---------|--|
| K4 | | P15 | | MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13 | RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS | | IRQ5 | | TS10 |
| K5 | TRDATA2 | P54 | ALE/ D1[A1/D1]/ EDACK0 | MTIOC4B/ TMCI1 | CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B | | IRQ4 | | |
| K6 | | P53 (注1) | BCLK | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |
| K7 | | P51 | WR1#/BC1#/ WAIT# | | SCK2/SSLB2-A | | IRQ1 | | |
| K8 | VCC | | | | | | | | |
| K9 | TRDATA0 | P80 | EDREQ0 | MTIOC3B/ PO26 | SCK10/RTS10#/ SCK10/RTS010#/ DE010/ USB1_EXICEN | SDHI_WP/ QIO2-A | IRQ8 | | |
| K10 | TRDATA6 | P76 | CS6# | PO22 | SMISO11/SSCL11/ RXD11/SMISO011/ SSCL011/RXD011 | SDHI_CMD- A/ QSSL-A | IRQ14 | | |
| K11 | | PB7 | A15 | MTIOC3B/ TIOCB5/PO31 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| K12 | | PB6 | A14 | MTIOC3D/ TIOCA5/PO30 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| K13 | | PB5 | A13 | MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| L1 | | P25 | CS5#/ EDACK1 | MTIOC4C/ MTCLKB/ TIOCA4/PO5 | RXD3/SMISO3/ SSCL3 | SDHI_CD | IRQ5 | ADTRG0# | TS4/ CLKOUT |
| L2 | | P23 | EDACK0 | MTIOC3D/ MTCLKD/ TIOCD3/PO3 | TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0 | SDHI_D1-C | IRQ3 | | TS6 |
| L3 | | P16 | | MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB | | IRQ6 | ADTRG0# | |
| L4 | | P24 | CS4#/ EDREQ1 | MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4 | SCK3/ USB0_VBUSEN | SDHI_WP | IRQ12 | | TS5 |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピンTFLGA) (6 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|----------------------------------|--|--|------------------------|-------|---------|--|
| L5 | | P13 | | MTIOC0B/ TIOCA5/ TMO3/PO13 | TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| L6 | | P56 | EDACK1 | MTIOC3C/ TIOCA1 | SCK7/RSPCKC-B | | IRQ6 | | |
| L7 | | P52 | RD# | | RXD2/SMISO2/ SSCL2/SSLB3-A | | IRQ2 | | |
| L8 | TRCLK | P83 | EDACK1 | MTIOC4C | SS10#/CTS10#/ SCK10/SS010#/ CTS010#/SCK010 | | IRQ3 | | |
| L9 | | PC5 | D3[A3/D3]/ A21/CS2#/ WAIT# | MTIOC3B/ MTCLKD/ TMR12/PO29 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| L10 | | PC4 | A20/CS3# | MTIOC3D/ MTCLKC/ TMC11/PO25/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| L11 | | PC2 | A18 | MTIOC4B/ TCLKA/PO21 | RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A | SDHI_D3-A | IRQ10 | | |
| L12 | TRDATA4 | P73 | CS3# | PO16 | USB1_VBUS/ USB1_VBUSEN/ USB1_OVRCURB | | IRQ8 | | |
| L13 | VSS | | | | | | | | |
| M1 | | P22 | EDREQ0 | MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2 | SCK0/ USB0_OVRCURB/ AUDIO_CLK | SDHI_D0-C | IRQ15 | | TS7 |
| M2 | | P17 | | MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| M3 | | P86 | | MTIOC4D/ TIOCA0 | SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010 | | IRQ14 | | |
| M4 | | P12 | | MTIC5U/ TMC11 | RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| M5 | VCC_USB | | | | | | | | |
| M6 | VSS_USB | | | | | | | | |
| M7 | | P50 | WR0#/WR# | | TXD2/SMOSI2/ SSDA2/SSLB1-A | | IRQ0 | | |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピンTFLGA) (7 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|--------------------------------|---|---|-----------------------------|-------|-----|--|
| M8 | | PC6 | D2[A2/D2]/ A22/CS1# | MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A | | IRQ13 | | TS13 |
| M9 | TRDATA1 | P81 | EDACK0 | MTIOC3D/ PO27 | SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010/ USB1_OVRCURB | SDHI_CD/ QIO3-A | IRQ9 | | |
| M10 | TRDATA7 | P77 | CS7# | PO23 | SMOSI11/SSDA11/ TXD11/SMOSI011/ SSDA011/TXD011/ USB1_ID | SDHI_CLK- A/ QSPCLK-A | IRQ7 | | |
| M11 | | PC0 | A16 | MTIOC3C/ TCLKC/PO17 | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |
| M12 | | PC1 | A17 | MTIOC3A/ TCLKD/PO18 | SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A | | IRQ12 | | TS15 |
| M13 | VCC | | | | | | | | |
| N1 | | P21 | | MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1 | RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0 | SDHI_CLK-C | IRQ9 | | TS8 |
| N2 | | P20 | | MTIOC1A/ TIOCB3/ TMRI0/PO0 | TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0 | SDHI_CMD- C | IRQ8 | | TS9 |
| N3 | | P87 | | MTIOC4C/ TIOCA2 | SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010 | SDHI_D2-C | IRQ15 | | |
| N4 | | P14 | | MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15 | CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA | | IRQ4 | | TS11 |
| N5 | | PH2 | | TMRI0 | USB0_DM | | IRQ1 | | |
| N6 | | PH1 | | TMO0 | USB0_DP | | IRQ0 | | |
| N7 | TRDATA3 | P55 | D0[A0/D0]/ WAIT#/ EDREQ0 | MTIOC4D/ TMO3 | TXD7/SMOSI7/ SSDA7/CRX1/ MISOC-B | | IRQ10 | | |
| N8 | VSS | | | | | | | | |

表 1.5 機能別端子一覧(0.65mm ピッチ 145ピンTFLGA) (8 / 8)

| ピン番号 145ピン TFLGA (0.65mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|------------------------|---|--|------------------------|-------|-----|--|
| N9 | UB | PC7 | A23/CS0# | MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |
| N10 | TRSYNC | P82 | EDREQ1 | MTIOC4A/ PO28 | SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010/ USB1_VBUSEN | | IRQ2 | | |
| N11 | | PC3 | A19 | MTIOC4D/ TCLKB/PO24 | TXD5/SMOSI5/ SSDA5/PMC0-DS | SDHI_D0-A/ QIO0-A | IRQ11 | | |
| N12 | TRSYNC1 | P75 | CS5# | PO20 | SCK11/RTS11#/ SCK011/RTS011#/ DE011/ USB1_OVRCURA | SDHI_D2-A | IRQ13 | | |
| N13 | TRDATA5 | P74 | A20/CS4# | PO19 | SS11#/CTS11#/ SS011#/CTS011#/ USB1_VBUSEN | | IRQ12 | | |

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.2 145ピン TFLGA (0.50mm ピッチ)

表 1.6 機能別端子一覧(0.50mmピッチ145ピンTFLGA) (1 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|--------------------------------|---|---|---------------------------|----------|---------|--|
| A1 | AVSS0 | | | | | | | | |
| A2 | | P07 | | | | | IRQ15 | ADTRG0# | |
| A3 | | P40 | | | | | IRQ8-DS | AN000 | |
| A4 | | P42 | | | | | IRQ10-DS | AN002 | |
| A5 | | P45 | | | | | IRQ13-DS | AN005 | |
| A6 | | P90 | A16 | | TXD7/SMOSI7/ SSDA7 | | IRQ0 | AN108 | |
| A7 | | P92 | A18 | POE4# | RXD7/SMISO7/ SSCL7 | | IRQ10 | | |
| A8 | | PD2 | D2[A2/D2] | MTIOC4D/ TIC2 | CRX0/MISOC-A | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| A9 | | PD6 | D6[A6/D6] | MTIC5V/ MTIOC8A/ POE4# | SSLC2-A | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| A10 | VSS | | | | | | | | |
| A11 | | P62 | CS2#/RAS#/ D1[A1/D1] | | | | IRQ2 | | |
| A12 | | PE1 | D9[A9/D9]/ D1[A1/D1] | MTIOC4C/ MTIOC3B/ PO18 | TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| A13 | | PE3 | D11[A11/ D11]/ D3[A3/D3] | MTIOC4B/ PO26/POE8#/ TOC3 | CTS12#/RTS12#/ SS12# | | IRQ11 | | |
| B1 | AVCC1 | | | | | | | | |
| B2 | AVCC0 | | | | | | | | |
| B3 | | P05 | | | | | IRQ13 | | |
| B4 | VREFL0 | | | | | | | | |
| B5 | | P43 | | | | | IRQ11-DS | AN003 | |
| B6 | | P47 | | | | | IRQ15-DS | AN007 | |
| B7 | | P91 | A17 | | SCK7 | | IRQ9 | | |
| B8 | | PD0 | D0[A0/D0] | POE4# | | | IRQ0 | AN107 | |
| B9 | | PD4 | D4[A4/D4] | MTIOC8B/ POE11# | SSLC0-A | SDHI_CMD- B/ QSSL-B | IRQ4 | AN103 | |
| B10 | VCC | | | | | | | | |
| B11 | | P61 | CS1#/ SDCS#/ D0[A0/D0] | | | | IRQ1 | | |
| B12 | | PE2 | D10[A10/ D10]/ D2[A2/D2] | MTIOC4A/ PO23/TIC3 | RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B | | IRQ7-DS | | |
| B13 | | PE4 | D12[A12/ D12]/ D4[A4/D4] | MTIOC4D/ MTIOC1A/ PO28 | SSLB0-B | | IRQ12 | | |
| C1 | AVSS1 | | | | | | | | |

表 1.6 機能別端子一覧(0.50mm ピッチ 145ピンTFLGA) (2 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|--------------------------------|---|---|----------------------------------|----------|-------|--|
| C2 | | P02 | | TMCI1 | SCK6 | | IRQ10 | AN109 | |
| C3 | VREFH0 | | | | | | | | |
| C4 | | P41 | | | | | IRQ9-DS | AN001 | |
| C5 | | P46 | | | | | IRQ14-DS | AN006 | |
| C6 | VSS | | | | | | | | |
| C7 | | PD1 | D1[A1/D1] | MTIOC4B/ POE0# | CTX0/MOSIC-A | | IRQ1 | AN106 | |
| C8 | | PD3 | D3[A3/D3] | MTIOC8D/ POE8#/TOC2 | RSPCKC-A | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| C9 | | PD7 | D7[A7/D7] | MTIC5U/ POE0# | SSLC3-A | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| C10 | | P63 | CS3#/CAS#/ D2[A2/D2] | | | | IRQ3 | | |
| C11 | | PE0 | D8[A8/D8]/ D0[A0/D0] | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| C12 | | P70 | SDCLK | | | | IRQ0 | | |
| C13 | VSS | | | | | | | | |
| D1 | | P00 | | TMRI0 | TXD6/SMOSI6/ SSDA6 | | IRQ8 | AN111 | |
| D2 | | PF5 | | | | | IRQ4 | | |
| D3 | | P03 | | | | | IRQ11 | | |
| D4 | | P01 | | TMCI0 | RXD6/SMISO6/ SSCL6 | | IRQ9 | AN110 | |
| D5 | VCC | | | | | | | | |
| D6 | | P93 | A19 | POE0# | CTS7#/RTS7#/ SS7# | | IRQ11 | | |
| D7 | | PD5 | D5[A5/D5] | MTIC5W/ MTIOC8C/ POE10# | SSLC1-A | SDHI_CLK- B/ QSPCLK-B | IRQ5 | AN102 | |
| D8 | | P60 | CS0# | | | | IRQ0 | | |
| D9 | | P64 | CS4#/WE#/ D3[A3/D3] | | | | IRQ4 | | |
| D10 | | PE7 | D15[A15/ D15]/ D7[A7/D7] | MTIOC6A/ TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| D11 | VCC | | | | | | | | |
| D12 | | PE5 | D13[A13/ D13]/ D5[A5/D5] | MTIOC4C/ MTIOC2B | RSPCKB-B | | IRQ5 | | |
| D13 | | PE6 | D14[A14/ D14]/ D6[A6/D6] | MTIOC6C/ TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| E1 | VSS | | | | | | | | |
| E2 | VCL | | | | | | | | |
| E3 | | PJ5 | | POE8# | CTS2#/RTS2#/ SS2# | | IRQ13 | | |
| E4 | EMLE | | | | | | | | |
| E5 | | P44 | | | | | IRQ12-DS | AN004 | |

表 1.6 機能別端子一覧(0.50mmピッチ145ピンTFLGA)(3/8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|------------------------|---|--|------------------------|---------|-----|--|
| E10 | | PA0 | A0/BC0# | MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16 | SSLA1-B/SSL01-B | | IRQ0 | | |
| E11 | | P66 | CS6#/DQM0 | MTIOC7D | | | IRQ14 | | |
| E12 | | P65 | CS5#/CKE | | | | IRQ13 | | |
| E13 | | P67 | CS7#/DQM1 | MTIOC7C | | | IRQ15 | | |
| F1 | XCIN | | | | | | | | |
| F2 | XCOUT | | | | | | | | |
| F3 | EXCIN | PJ3 | EDACK1 | MTIOC3C | CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0# | | IRQ11 | | |
| F4 | VBATT | | | | | | | | |
| F10 | | PA3 | A3 | MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19 | RXD5/SMISO5/ SSCL5 | | IRQ6-DS | | |
| F11 | VSS | | | | | | | | |
| F12 | | PA1 | A1 | MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| F13 | | PA2 | A2 | MTIOC7A/ PO18 | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| G1 | XTAL | P37 | | | | | | | |
| G2 | RES# | | | | | | | | |
| G3 | MD/ FINED | | | | | | | | |
| G4 | BSCANP | | | | | | | | |
| G10 | | PA5 | A5 | MTIOC6B/ TIOCB1/PO21 | RSPCKA-B/ RSPCK0-B | | IRQ5 | | |
| G11 | | PA6 | A6 | MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |
| G12 | VCC | | | | | | | | |
| G13 | | PA4 | A4 | MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12 | | IRQ5-DS | | |
| H1 | EXTAL | P36 | | | | | | | |
| H2 | VCC | | | | | | | | |
| H3 | VSS | | | | | | | | |
| H4 | UPSEL | P35 | | | | | NMI | | |

表 1.6 機能別端子一覧(0.50mm ピッチ 145ピン TFLGA) (4 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|------------------------|---|---|------------------------|---------|-----|--|
| H10 | | P72 | A19/CS2# | | | | IRQ10 | | |
| H11 | | P71 | A18/CS1# | | | | IRQ1 | | |
| H12 | | PB0 | A8 | MTIC5W/ TIOCA3/PO24 | RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6 | | IRQ12 | | |
| H13 | | PA7 | A7 | TIOCB2/PO23 | MISOA-B/MISO0-B | | IRQ7 | | |
| J1 | TRST# | P34 | | MTIOC0A/ TMCI3/PO12/ POE10# | SCK6/SCK0 | | IRQ4 | | TS0 |
| J2 | | P33 | EDREQ1 | MTIOC0D/ TIOCDO/ TMRI3/PO11/ POE4#/ POE11# | RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0 | | IRQ3-DS | | TS1 |
| J3 | | P32 | | MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOU0/ RTCIC2/ POE0#/ POE10# | TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN | | IRQ2-DS | | TAMPI2 |
| J4 | TDI | P30 | | MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMPI0 |
| J10 | | PB3 | A11 | MTIOC0A/ MTIOC4A/ TIOC3/ TCLKD/ TMO0/PO27/ POE11# | SCK4/SCK6/ PMC0-DS | | IRQ3 | | |
| J11 | | PB4 | A12 | TIOCA4/PO28 | CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011 | | IRQ4 | | |
| J12 | | PB2 | A10 | TIOCC3/ TCLKC/PO26 | CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6# | | IRQ2 | | |
| J13 | | PB1 | A9 | MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25 | TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6 | | IRQ4-DS | | |
| K1 | TCK | P27 | CS7# | MTIOC2B/ TMCI3/PO7 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| K2 | TDO | P26 | CS6# | MTIOC2A/ TMO1/PO6 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| K3 | TMS | P31 | | MTIOC4D/ TMCI2/PO9/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMPI1 |

表 1.6 機能別端子一覧(0.50mm ピッチ 145ピン TFLGA) (5 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|---|--------------------------|----------|------------------------------|---|--|---------------------------|-------|---------|--|
| K4 | | P15 | | MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13 | RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS | | IRQ5 | | TS10 |
| K5 | TRDATA2 | P54 | ALE/ D1[A1/D1]/ EDACK0 | MTIOC4B/ TMCI1 | CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B | | IRQ4 | | |
| K6 | | P53 (注1) | BCLK | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |
| K7 | | P51 | WR1#/BC1#/ WAIT# | | SCK2/SSLB2-A | | IRQ1 | | |
| K8 | VCC | | | | | | | | |
| K9 | TRDATA0 | P80 | EDREQ0 | MTIOC3B/ PO26 | SCK10/RTS10#/ SCK10/RTS010#/ DE010 | SDHI_WP/ QIO2-A | IRQ8 | | |
| K10 | TRDATA6 | P76 | CS6# | PO22 | SMISO11/SSCL11/ RXD11/SMISO011/ SSCL011/RXD011 | SDHI_CMD- A/ QSSL-A | IRQ14 | | |
| K11 | | PB7 | A15 | MTIOC3B/ TIOCB5/PO31 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| K12 | | PB6 | A14 | MTIOC3D/ TIOCA5/PO30 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| K13 | | PB5 | A13 | MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| L1 | | P25 | CS5#/ EDACK1 | MTIOC4C/ MTCLKB/ TIOCA4/PO5 | RXD3/SMISO3/ SSCL3 | SDHI_CD | IRQ5 | ADTRG0# | TS4/ CLKOUT |
| L2 | | P23 | EDACK0 | MTIOC3D/ MTCLKD/ TIOCD3/PO3 | TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0 | SDHI_D1-C | IRQ3 | | TS6 |
| L3 | | P16 | | MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB | | IRQ6 | ADTRG0# | |
| L4 | | P24 | CS4#/ EDREQ1 | MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4 | SCK3/ USB0_VBUSEN | SDHI_WP | IRQ12 | | TS5 |
| L5 | | P13 | | MTIOC0B/ TIOCA5/ TMO3/PO13 | TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |

表 1.6 機能別端子一覧(0.50mm ピッチ 145 ピン TFLGA) (6 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|----------------------------------|--|--|------------------------|-------|---------|--|
| L6 | | P56 | EDACK1 | MTIOC3C/ TIOCA1 | SCK7/RSPCKC-B | | IRQ6 | | |
| L7 | | P52 | RD# | | RXD2/SMISO2/ SSCL2/SSLB3-A | | IRQ2 | | |
| L8 | TRCLK | P83 | EDACK1 | MTIOC4C | SS10#/CTS10#/ SCK10/SS010#/ CTS010#/SCK010 | | IRQ3 | | |
| L9 | | PC5 | D3[A3/D3]/ A21/CS2#/ WAIT# | MTIOC3B/ MTCLKD/ TMRI2/PO29 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| L10 | | PC4 | A20/CS3# | MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| L11 | | PC2 | A18 | MTIOC4B/ TCLKA/PO21 | RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A | SDHI_D3-A | IRQ10 | | |
| L12 | TRDATA4 | P73 | CS3# | PO16 | | | IRQ8 | | |
| L13 | VSS | | | | | | | | |
| M1 | | P22 | EDREQ0 | MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2 | SCK0/ USB0_OVRCURB/ AUDIO_CLK | SDHI_D0-C | IRQ15 | | TS7 |
| M2 | | P17 | | MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| M3 | | P86 | | MTIOC4D/ TIOCA0 | SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010 | | IRQ14 | | |
| M4 | | P12 | | MTIC5U/ TMCI1 | RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| M5 | VCC_USB | | | | | | | | |
| M6 | VSS_USB | | | | | | | | |
| M7 | | P50 | WR0#/WR# | | TXD2/SMOSI2/ SSDA2/SSLB1-A | | IRQ0 | | |
| M8 | | PC6 | D2[A2/D2]/ A22/CS1# | MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSIO-A | | IRQ13 | | TS13 |

表 1.6 機能別端子一覧(0.50mm ピッチ 145ピンTFLGA) (7 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSUI、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|--------------------------------|---|--|-----------------------------|-------|-----|---|
| M9 | TRDATA1 | P81 | EDACK0 | MTIOC3D/ PO27 | SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010 | SDHI_CD/ QIO3-A | IRQ9 | | |
| M10 | TRDATA7 | P77 | CS7# | PO23 | SMOSI11/SSDA11/ TXD11/SMOSI011/ SSDA011/TXD011 | SDHI_CLK- A/ QSPCLK-A | IRQ7 | | |
| M11 | | PC0 | A16 | MTIOC3C/ TCLKC/PO17 | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |
| M12 | | PC1 | A17 | MTIOC3A/ TCLKD/PO18 | SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A | | IRQ12 | | TS15 |
| M13 | VCC | | | | | | | | |
| N1 | | P21 | | MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1 | RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0 | SDHI_CLK-C | IRQ9 | | TS8 |
| N2 | | P20 | | MTIOC1A/ TIOCB3/ TMRI0/PO0 | TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0 | SDHI_CMD- C | IRQ8 | | TS9 |
| N3 | | P87 | | MTIOC4C/ TIOCA2 | SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010 | SDHI_D2-C | IRQ15 | | |
| N4 | | P14 | | MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15 | CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA | | IRQ4 | | TS11 |
| N5 | | PH2 | | TMRI0 | USB0_DM | | IRQ1 | | |
| N6 | | PH1 | | TMO0 | USB0_DP | | IRQ0 | | |
| N7 | TRDATA3 | P55 | D0[A0/D0]/ WAIT#/ EDREQ0 | MTIOC4D/ TMO3 | TXD7/SMOSI7/ SSDA7/CRX1/ MISOC-B | | IRQ10 | | |
| N8 | VSS | | | | | | | | |
| N9 | UB | PC7 | A23/CS0# | MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |
| N10 | TRSYNC | P82 | EDREQ1 | MTIOC4A/ PO28 | SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010 | | IRQ2 | | |
| N11 | | PC3 | A19 | MTIOC4D/ TCLKB/PO24 | TXD5/SMOSI5/ SSDA5/PMC0-DS | SDHI_D0-A/ QIO0-A | IRQ11 | | |

表 1.6 機能別端子一覧(0.50mm ピッチ 145 ピン TFLGA) (8 / 8)

| ピン番号 145ピン TFLGA (0.50mm ピッチ) | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|---|--------------------------|--------|------------------------|---|---|------------------------|-------|-----|--|
| N12 | TRSYNC1 | P75 | CS5# | PO20 | SCK11/RTS11#/ SCK011/RTS011#/ DE011 | SDHI_D2-A | IRQ13 | | |
| N13 | TRDATA5 | P74 | A20/CS4# | PO19 | SS11#/CTS11#/ SS011#/CTS011# | | IRQ12 | | |

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.3 144ピン LQFP

表 1.7 機能別端子一覧(144ピンLQFP) (1 / 8)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------|--------------------------|--------|------------------------|---|---|------------------------|---------|-------|--|
| 1 | AVSS0 | | | | | | | | |
| 2 | | P05 | | | | | IRQ13 | | |
| 3 | AVCC1 | | | | | | | | |
| 4 | | P03 | | | | | IRQ11 | | |
| 5 | AVSS1 | | | | | | | | |
| 6 | | P02 | | TMCI1 | SCK6 | | IRQ10 | AN109 | |
| 7 | | P01 | | TMCI0 | RXD6/SMISO6/ SSCL6 | | IRQ9 | AN110 | |
| 8 | | P00 | | TMRI0 | TXD6/SMOSI6/ SSDA6 | | IRQ8 | AN111 | |
| 9 | | PF5 | | | | | IRQ4 | | |
| 10 | EMLE | | | | | | | | |
| 11 | | PJ5 | | POE8# | CTS2#/RTS2#/ SS2# | | IRQ13 | | |
| 12 | VSS | | | | | | | | |
| 13 | EXCIN | PJ3 | EDACK1 | MTIOC3C | CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0# | | IRQ11 | | |
| 14 | VCL | | | | | | | | |
| 15 | VBATT | | | | | | | | |
| 16 | MD/ FINED | | | | | | | | |
| 17 | XCIN | | | | | | | | |
| 18 | XCOUT | | | | | | | | |
| 19 | RES# | | | | | | | | |
| 20 | XTAL | P37 | | | | | | | |
| 21 | VSS | | | | | | | | |
| 22 | EXTAL | P36 | | | | | | | |
| 23 | VCC | | | | | | | | |
| 24 | UPSEL | P35 | | | | | NMI | | |
| 25 | TRST# | P34 | | MTIOC0A/ TMCI3/PO12/ POE10# | SCK6/SCK0 | | IRQ4 | | TS0 |
| 26 | | P33 | EDREQ1 | MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11# | RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0 | | IRQ3-DS | | TS1 |
| 27 | | P32 | | MTIOC0C/ TIOC0C/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10# | TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN | | IRQ2-DS | | TAMPI2 |

表 1.7 機能別端子一覧(144ピンLQFP) (2 / 8)

| ピン番号 144ピン LQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|-----------------------|--------------------------|--------|------------------------|--|--|------------------------|---------|---------|--|
| 28 | TMS | P31 | | MTIOC4D/ TMCI2/PO9/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMP11 |
| 29 | TDI | P30 | | MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMP10 |
| 30 | TCK | P27 | CS7# | MTIOC2B/ TMCI3/PO7 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| 31 | TDO | P26 | CS6# | MTIOC2A/ TMO1/PO6 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| 32 | | P25 | CS5#/ EDACK1 | MTIOC4C/ MTCLKB/ TIOCA4/PO5 | RXD3/SMISO3/ SSCL3 | SDHI_CD | IRQ5 | ADTRG0# | TS4/ CLKOUT |
| 33 | | P24 | CS4#/ EDREQ1 | MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4 | SCK3/ USB0_VBUSEN | SDHI_WP | IRQ12 | | TS5 |
| 34 | | P23 | EDACK0 | MTIOC3D/ MTCLKD/ TIOCD3/PO3 | TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0 | SDHI_D1-C | IRQ3 | | TS6 |
| 35 | | P22 | EDREQ0 | MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2 | SCK0/ USB0_OVRCURB/ AUDIO_CLK | SDHI_D0-C | IRQ15 | | TS7 |
| 36 | | P21 | | MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1 | RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0 | SDHI_CLK-C | IRQ9 | | TS8 |
| 37 | | P20 | | MTIOC1A/ TIOCB3/ TMRI0/PO0 | TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0 | SDHI_CMD- C | IRQ8 | | TS9 |
| 38 | | P17 | | MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| 39 | | P87 | | MTIOC4C/ TIOCA2 | SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010 | SDHI_D2-C | IRQ15 | | |
| 40 | | P16 | | MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB | | IRQ6 | ADTRG0# | |

表 1.7 機能別端子一覧(144ピンLQFP) (3 / 8)

| ピン番号 144ピン LQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|-----------------------|--------------------------|----------|--------------------------------|---|---|------------------------|-------|---------|--|
| 41 | | P86 | | MTIOC4D/ TIOCA0 | SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010 | | IRQ14 | | |
| 42 | | P15 | | MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMC12/PO13 | RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS | | IRQ5 | | TS10 |
| 43 | | P14 | | MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMR12/PO15 | CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA | | IRQ4 | | TS11 |
| 44 | | P13 | | MTIOC0B/ TIOCA5/ TMO3/PO13 | TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| 45 | | P12 | | MTIC5U/ TMC11 | RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| 46 | VCC_USB | | | | | | | | |
| 47 | | PH2 | | TMR10 | USB0_DM | | IRQ1 | | |
| 48 | | PH1 | | TMO0 | USB0_DP | | IRQ0 | | |
| 49 | VSS_USB | | | | | | | | |
| 50 | | P56 | EDACK1 | MTIOC3C/ TIOCA1 | SCK7/RSPCKC-B | | IRQ6 | | |
| 51 | TRDATA3 | P55 | D0[A0/D0]/ WAIT#/ EDREQ0 | MTIOC4D/ TMO3 | TXD7/SMOSI7/ SSDA7/CRX1/ MISOC-B | | IRQ10 | | |
| 52 | TRDATA2 | P54 | ALE/ D1[A1/D1]/ EDACK0 | MTIOC4B/ TMC11 | CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B | | IRQ4 | | |
| 53 | | P53 (注1) | BCLK | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |
| 54 | | P52 | RD# | | RXD2/SMISO2/ SSCL2/SSLB3-A | | IRQ2 | | |
| 55 | | P51 | WR1#/BC1#/ WAIT# | | SCK2/SSLB2-A | | IRQ1 | | |
| 56 | | P50 | WR0#/WR# | | TXD2/SMOSI2/ SSDA2/SSLB1-A | | IRQ0 | | |
| 57 | VSS | | | | | | | | |
| 58 | TRCLK | P83 | EDACK1 | MTIOC4C | SS10#/CTS10#/ SCK10/SS010#/ CTS010#/SCK010 | | IRQ3 | | |
| 59 | VCC | | | | | | | | |

表 1.7 機能別端子一覧(144ピンLFQFP) (4 / 8)

| ピン番号 144ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|----------------------------------|---|--|-----------------------------|-------|-----|--|
| 60 | UB | PC7 | A23/CS0# | MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |
| 61 | | PC6 | D2[A2/D2]/ A22/CS1# | MTIOC3C/ MTCLKA/ TMC12/TIC0/ PO30 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A | | IRQ13 | | TS13 |
| 62 | | PC5 | D3[A3/D3]/ A21/CS2#/ WAIT# | MTIOC3B/ MTCLKD/ TMR12/PO29 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| 63 | TRSYNC | P82 | EDREQ1 | MTIOC4A/ PO28 | SMOSI10/ SSDA10/TXD10/ SMOSI010/ SSDA010/TXD010 | | IRQ2 | | |
| 64 | TRDATA1 | P81 | EDACK0 | MTIOC3D/ PO27 | SMISO10/SSCL10/ RXD10/SMISO010/ SSCL010/RXD010 | SDHI_CD/ QIO3-A | IRQ9 | | |
| 65 | TRDATA0 | P80 | EDREQ0 | MTIOC3B/ PO26 | SCK10/RTS10#/ SCK010/RTS010#/ DE010 | SDHI_WP/ QIO2-A | IRQ8 | | |
| 66 | | PC4 | A20/CS3# | MTIOC3D/ MTCLKC/ TMC11/PO25/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| 67 | | PC3 | A19 | MTIOC4D/ TCLKB/PO24 | TXD5/SMOSI5/ SSDA5/PMC0-DS | SDHI_D0-A/ QIO0-A | IRQ11 | | |
| 68 | TRDATA7 | P77 | CS7# | PO23 | SMOSI11/SSDA11/ TXD11/SMOSI011/ SSDA011/TXD011 | SDHI_CLK- A/ QSPCLK-A | IRQ7 | | |
| 69 | TRDATA6 | P76 | CS6# | PO22 | SMISO11/SSCL11/ RXD11/SMISO011/ SSCL011/RXD011 | SDHI_CMD- A/ QSSL-A | IRQ14 | | |
| 70 | | PC2 | A18 | MTIOC4B/ TCLKA/PO21 | RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A | SDHI_D3-A | IRQ10 | | |
| 71 | TRSYNC1 | P75 | CS5# | PO20 | SCK11/RTS11#/ SCK011/RTS011#/ DE011 | SDHI_D2-A | IRQ13 | | |
| 72 | TRDATA5 | P74 | A20/CS4# | PO19 | SS11#/CTS11#/ SS011#/CTS011# | | IRQ12 | | |

表 1.7 機能別端子一覧(144ピンLQFP) (5 / 8)

| ピン番号 144ピン LQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|-----------------------|--------------------------|--------|------------------------|---|---|------------------------|---------|-----|--|
| 73 | | PC1 | A17 | MTIOC3A/ TCLKD/PO18 | SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A | | IRQ12 | | TS15 |
| 74 | VCC | | | | | | | | |
| 75 | | PC0 | A16 | MTIOC3C/ TCLKC/PO17 | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |
| 76 | VSS | | | | | | | | |
| 77 | TRDATA4 | P73 | CS3# | PO16 | | | IRQ8 | | |
| 78 | | PB7 | A15 | MTIOC3B/ TIOCB5/PO31 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| 79 | | PB6 | A14 | MTIOC3D/ TIOCA5/PO30 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| 80 | | PB5 | A13 | MTIOC2A/ MTIOC1B/ TIOCB4/ TMR11/PO29/ POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| 81 | | PB4 | A12 | TIOCA4/PO28 | CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011 | | IRQ4 | | |
| 82 | | PB3 | A11 | MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/ TMO0/PO27/ POE11# | SCK4/SCK6/ PMC0-DS | | IRQ3 | | |
| 83 | | PB2 | A10 | TIOCC3/ TCLKC/PO26 | CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6# | | IRQ2 | | |
| 84 | | PB1 | A9 | MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25 | TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6 | | IRQ4-DS | | |
| 85 | | P72 | A19/CS2# | | | | IRQ10 | | |
| 86 | | P71 | A18/CS1# | | | | IRQ1 | | |
| 87 | | PB0 | A8 | MTIC5W/ TIOCA3/PO24 | RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6 | | IRQ12 | | |
| 88 | | PA7 | A7 | TIOCB2/PO23 | MISOA-B/MISO0-B | | IRQ7 | | |

表 1.7 機能別端子一覧(144ピンLQFP) (6 / 8)

| ピン番号 144ピン LQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|-----------------------|--------------------------|--------|--------------------------------|---|---|----------------------------------|---------|-----|--|
| 89 | | PA6 | A6 | MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |
| 90 | | PA5 | A5 | MTIOC6B/ TIOCB1/PO21 | RSPCKA-B/ RSPCK0-B | | IRQ5 | | |
| 91 | VCC | | | | | | | | |
| 92 | | PA4 | A4 | MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12 | | IRQ5-DS | | |
| 93 | VSS | | | | | | | | |
| 94 | | PA3 | A3 | MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19 | RXD5/SMISO5/ SSCL5 | | IRQ6-DS | | |
| 95 | | PA2 | A2 | MTIOC7A/ PO18 | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| 96 | | PA1 | A1 | MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| 97 | | PA0 | A0/BC0# | MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16 | SSLA1-B/SSL01-B | | IRQ0 | | |
| 98 | | P67 | CS7#/DQM1 | MTIOC7C | | | IRQ15 | | |
| 99 | | P66 | CS6#/DQM0 | MTIOC7D | | | IRQ14 | | |
| 100 | | P65 | CS5#/CKE | | | | IRQ13 | | |
| 101 | | PE7 | D15[A15/ D15]/ D7[A7/D7] | MTIOC6A/ TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| 102 | | PE6 | D14[A14/ D14]/ D6[A6/D6] | MTIOC6C/ TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| 103 | VCC | | | | | | | | |
| 104 | | P70 | SDCLK | | | | IRQ0 | | |
| 105 | VSS | | | | | | | | |
| 106 | | PE5 | D13[A13/ D13]/ D5[A5/D5] | MTIOC4C/ MTIOC2B | RSPCKB-B | | IRQ5 | | |
| 107 | | PE4 | D12[A12/ D12]/ D4[A4/D4] | MTIOC4D/ MTIOC1A/ PO28 | SSLB0-B | | IRQ12 | | |

表 1.7 機能別端子一覧(144ピンLQFP) (7 / 8)

| ピン番号 144ピン LQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|-----------------------|--------------------------|--------|-------------------------------|---|---|-----------------------------|---------|-------|--|
| 108 | | PE3 | D11[A11/ D11/ D3[A3/D3] | MTIOC4B/ PO26/POE8#/ TOC3 | CTS12#/RTS12#/ SS12# | | IRQ11 | | |
| 109 | | PE2 | D10[A10/ D10/ D2[A2/D2] | MTIOC4A/ PO23/TIC3 | RXD12/SMISO12/ SSCL12/RXD12/ SSLB3-B | | IRQ7-DS | | |
| 110 | | PE1 | D9[A9/D9]/ D1[A1/D1] | MTIOC4C/ MTIOC3B/ PO18 | TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| 111 | | PE0 | D8[A8/D8]/ D0[A0/D0] | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| 112 | | P64 | CS4#/WE#/ D3[A3/D3] | | | | IRQ4 | | |
| 113 | | P63 | CS3#/CAS#/ D2[A2/D2] | | | | IRQ3 | | |
| 114 | | P62 | CS2#/RAS#/ D1[A1/D1] | | | | IRQ2 | | |
| 115 | | P61 | CS1#/ SDCS#/ D0[A0/D0] | | | | IRQ1 | | |
| 116 | VSS | | | | | | | | |
| 117 | | P60 | CS0# | | | | IRQ0 | | |
| 118 | VCC | | | | | | | | |
| 119 | | PD7 | D7[A7/D7] | MTIC5U/ POE0# | SSLC3-A | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| 120 | | PD6 | D6[A6/D6] | MTIC5V/ MTIOC8A/ POE4# | SSLC2-A | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| 121 | | PD5 | D5[A5/D5] | MTIC5W/ MTIOC8C/ POE10# | SSLC1-A | SDHI_CLK- B/ QSPCLK-B | IRQ5 | AN102 | |
| 122 | | PD4 | D4[A4/D4] | MTIOC8B/ POE11# | SSLC0-A | SDHI_CMD- B/ QSSL-B | IRQ4 | AN103 | |
| 123 | | PD3 | D3[A3/D3] | MTIOC8D/ POE8#/TOC2 | RSPCKC-A | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| 124 | | PD2 | D2[A2/D2] | MTIOC4D/ TIC2 | CRX0/MISOC-A | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| 125 | | PD1 | D1[A1/D1] | MTIOC4B/ POE0# | CTX0/MOSIC-A | | IRQ1 | AN106 | |
| 126 | | PD0 | D0[A0/D0] | POE4# | | | IRQ0 | AN107 | |
| 127 | | P93 | A19 | POE0# | CTS7#/RTS7#/ SS7# | | IRQ11 | | |
| 128 | | P92 | A18 | POE4# | RXD7/SMISO7/ SSCL7 | | IRQ10 | | |
| 129 | | P91 | A17 | | SCK7 | | IRQ9 | | |
| 130 | VSS | | | | | | | | |
| 131 | | P90 | A16 | | TXD7/SMOSI7/ SSDA7 | | IRQ0 | AN108 | |
| 132 | VCC | | | | | | | | |

表 1.7 機能別端子一覧(144ピンLFQFP) (8 / 8)

| ピン番号 144ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC SDRAMC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|------------------------|---|---|------------------------|----------|---------|--|
| 133 | | P47 | | | | | IRQ15-DS | AN007 | |
| 134 | | P46 | | | | | IRQ14-DS | AN006 | |
| 135 | | P45 | | | | | IRQ13-DS | AN005 | |
| 136 | | P44 | | | | | IRQ12-DS | AN004 | |
| 137 | | P43 | | | | | IRQ11-DS | AN003 | |
| 138 | | P42 | | | | | IRQ10-DS | AN002 | |
| 139 | | P41 | | | | | IRQ9-DS | AN001 | |
| 140 | VREFL0 | | | | | | | | |
| 141 | | P40 | | | | | IRQ8-DS | AN000 | |
| 142 | VREFH0 | | | | | | | | |
| 143 | AVCC0 | | | | | | | | |
| 144 | | P07 | | | | | IRQ15 | ADTRG0# | |

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.4 100 ピン TFLGA

表 1.8 機能別端子一覧(100ピンTFLGA) (1 / 6)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------|--------------------------|--------|--------------------------------|---|---|---------------------------|----------|---------|--|
| A1 | | P05 | | | | | IRQ13 | | |
| A2 | AVCC1 | | | | | | | | |
| A3 | | P07 | | | | | IRQ15 | ADTRG0# | |
| A4 | VREFL0 | | | | | | | | |
| A5 | | P43 | | | | | IRQ11-DS | AN003 | |
| A6 | | PD0 | D0[A0/D0] | POE4# | | | IRQ0 | AN107 | |
| A7 | | PD4 | D4[A4/D4] | MTIOC8B/ POE11# | SSLC0-A | SDHI_CMD- B/ QSSL-B | IRQ4 | AN103 | |
| A8 | | PE0 | D8[A8/D8]/ D0[A0/D0] | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| A9 | | PE1 | D9[A9/D9]/ D1[A1/D1] | MTIOC4C/ MTIOC3B/ PO18 | TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| A10 | | PE2 | D10[A10/ D10]/ D2[A2/D2] | MTIOC4A/ PO23/TIC3 | RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B | | IRQ7-DS | | |
| B1 | EMLE | | | | | | | | |
| B2 | AVSS0 | | | | | | | | |
| B3 | AVCC0 | | | | | | | | |
| B4 | | P40 | | | | | IRQ8-DS | AN000 | |
| B5 | | P44 | | | | | IRQ12-DS | AN004 | |
| B6 | | PD1 | D1[A1/D1] | MTIOC4B/ POE0# | CTX0/MOSIC-A | | IRQ1 | AN106 | |
| B7 | | PD3 | D3[A3/D3] | MTIOC8D/ POE8#/TOC2 | RSPCKC-A | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| B8 | | PD6 | D6[A6/D6] | MTIC5V/ MTIOC8A/ POE4# | SSLC2-A | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| B9 | | PD7 | D7[A7/D7] | MTIC5U/ POE0# | SSLC3-A | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| B10 | | PE3 | D11[A11/ D11]/ D3[A3/D3] | MTIOC4B/ PO26/POE8#/ TOC3 | CTS12#/RTS12#/ SS12# | | IRQ11 | | |
| C1 | VCL | | | | | | | | |
| C2 | AVSS1 | | | | | | | | |
| C3 | EXCIN | PJ3 | EDACK1 | MTIOC3C | CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0# | | IRQ11 | | |
| C4 | VREFH0 | | | | | | | | |
| C5 | | P42 | | | | | IRQ10-DS | AN002 | |
| C6 | | P47 | | | | | IRQ15-DS | AN007 | |
| C7 | | PD2 | D2[A2/D2] | MTIOC4D/ TIC2 | CRX0/MISOC-A | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |

表 1.8 機能別端子一覧(100ピンTFLGA) (2 / 6)

| ピン番号 100ピン TFLGA | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|--------------------------------|---|---|----------------------------------|----------|-------|--|
| C8 | | PD5 | D5[A5/D5] | MTIC5W/ MTIOC8C/ POE10# | SSLC1-A | SDHI_CLK- B/ QSPCLK-B | IRQ5 | AN102 | |
| C9 | | PE5 | D13[A13/ D13]/ D5[A5/D5] | MTIOC4C/ MTIOC2B | RSPCKB-B | | IRQ5 | | |
| C10 | | PE4 | D12[A12/ D12]/ D4[A4/D4] | MTIOC4D/ MTIOC1A/ PO28 | SSLB0-B | | IRQ12 | | |
| D1 | XCIN | | | | | | | | |
| D2 | XCOUT | | | | | | | | |
| D3 | MD/ FINED | | | | | | | | |
| D4 | VBATT | | | | | | | | |
| D5 | | P45 | | | | | IRQ13-DS | AN005 | |
| D6 | | P46 | | | | | IRQ14-DS | AN006 | |
| D7 | | PE6 | D14[A14/ D14]/ D6[A6/D6] | MTIOC6C/ TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| D8 | | PE7 | D15[A15/ D15]/ D7[A7/D7] | MTIOC6A/ TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| D9 | | PA1 | A1 | MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| D10 | | PA0 | A0/BC0# | MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16 | SSLA1-B/SSL01-B | | IRQ0 | | |
| E1 | XTAL | P37 | | | | | | | |
| E2 | VSS | | | | | | | | |
| E3 | RES# | | | | | | | | |
| E4 | TRST# | P34 | | MTIOC0A/ TMCI3/PO12/ POE10# | SCK6/SCK0 | | IRQ4 | | TS0 |
| E5 | | P41 | | | | | IRQ9-DS | AN001 | |
| E6 | | PA2 | A2 | MTIOC7A/ PO18 | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| E7 | | PA6 | A6 | MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |

表 1.8 機能別端子一覧(100ピンTFLGA) (3 / 6)

| ピン番号 100ピン TFLGA | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|----------|--------------|---|---|------------------------|---------|-----|--|
| E8 | | PA4 | A4 | MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12 | | IRQ5-DS | | |
| E9 | | PA5 | A5 | MTIOC6B/ TIOCB1/PO21 | RSPCKA-B/ RSPCK0-B | | IRQ5 | | |
| E10 | | PA3 | A3 | MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19 | RXD5/SMISO5/ SSCL5 | | IRQ6-DS | | |
| F1 | EXTAL | P36 | | | | | | | |
| F2 | VCC | | | | | | | | |
| F3 | UPSEL | P35 | | | | | NMI | | |
| F4 | | P32 | | MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10# | TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN | | IRQ2-DS | | TAMPI2 |
| F5 | | P12 | | MTIC5U/ TMCI1 | RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| F6 | | PB3 | A11 | MTIOC0A/ MTIOC4A/ TIOC0D3/ TCLKD/ TMO0/PO27/ POE11# | SCK6/PMC0-DS | | IRQ3 | | |
| F7 | | PB2 | A10 | TIOCC3/ TCLKC/PO26 | CTS6#/RTS6#/ SS6# | | IRQ2 | | |
| F8 | | PB0 | A8 | MTIC5W/ TIOCA3/PO24 | RXD6/SMISO6/ SSCL6 | | IRQ12 | | |
| F9 | | PA7 | A7 | TIOCB2/PO23 | MISOA-B/MISO0-B | | IRQ7 | | |
| F10 | VSS | | | | | | | | |
| G1 | | P33 | EDREQ1 | MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11# | RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0 | | IRQ3-DS | | TS1 |
| G2 | TMS | P31 | | MTIOC4D/ TMCI2/PO9/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMPI1 |
| G3 | TDI | P30 | | MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMPI0 |
| G4 | TCK | P27 | CS7# | MTIOC2B/ TMCI3/PO7 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| G5 | | P53 (注1) | BCLK | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |

表 1.8 機能別端子一覧(100ピンTFLGA) (4 / 6)

| ピン番号 100ピン TFLGA | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|--------------------------------|---|--|------------------------|---------|---------|--|
| G6 | | P52 | RD# | | RXD2/SMISO2/ SSCL2/SSLB3-A | | IRQ2 | | |
| G7 | | PB5 | A13 | MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| G8 | | PB4 | A12 | TIOCA4/PO28 | CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011 | | IRQ4 | | |
| G9 | | PB1 | A9 | MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25 | TXD6/SMOSI6/ SSDA6 | | IRQ4-DS | | |
| G10 | VCC | | | | | | | | |
| H1 | TDO | P26 | CS6# | MTIOC2A/ TMO1/PO6 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| H2 | | P25 | CS5#/ EDACK1 | MTIOC4C/ MTCLKB/ TIOCA4/PO5 | RXD3/SMISO3/ SSCL3 | SDHI_CD | IRQ5 | ADTRG0# | TS4/ CLKOUT |
| H3 | | P16 | | MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB | | IRQ6 | ADTRG0# | |
| H4 | | P15 | | MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13 | RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS | | IRQ5 | | TS10 |
| H5 | | P55 | D0[A0/D0]/ WAIT#/ EDREQ0 | MTIOC4D/ TMO3 | CRX1/MISOC-B | | IRQ10 | | |
| H6 | | P54 | ALE/ D1[A1/D1]/ EDACK0 | MTIOC4B/ TMCI1 | CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B | | IRQ4 | | |
| H7 | UB | PC7 | A23/CS0# | MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |

表 1.8 機能別端子一覧(100ピンTFLGA) (5 / 6)

| ピン番号 100ピン TFLGA | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|------------------------|--|--|------------------------|-------|---------|--|
| H8 | | PC6 | D2[A2/D2]/ A22/CS1# | MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A | | IRQ13 | | TS13 |
| H9 | | PB6 | A14 | MTIOC3D/ TIOCA5/PO30 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| H10 | | PB7 | A15 | MTIOC3B/ TIOCB5/PO31 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| J1 | | P24 | CS4#/ EDREQ1 | MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4 | SCK3/ USB0_VBUSEN | SDHI_WP | IRQ12 | | TS5 |
| J2 | | P21 | | MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1 | RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0 | SDHI_CLK-C | IRQ9 | | TS8 |
| J3 | | P17 | | MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| J4 | | P13 | | MTIOC0B/ TIOCA5/ TMO3/PO13 | TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| J5 | VSS_USB | | | | | | | | |
| J6 | VCC_USB | | | | | | | | |
| J7 | | P50 | WR0#/WR# | | TXD2/SMOSI2/ SSDA2/SSLB1-A | | IRQ0 | | |
| J8 | | PC4 | A20/CS3# | MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| J9 | | PC0 | A16 | MTIOC3C/ TCLKC/PO17 | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |

表 1.8 機能別端子一覧(100ピンTFLGA) (6 / 6)

| ピン番号 100ピン TFLGA | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|----------------------------------|---|---|------------------------|-------|-----|--|
| J10 | | PC1 | A17 | MTIOC3A/ TCLKD/PO18 | SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A | | IRQ12 | | TS15 |
| K1 | | P23 | EDACK0 | MTIOC3D/ MTCLKD/ TIOCD3/PO3 | TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0 | SDHI_D1-C | IRQ3 | | TS6 |
| K2 | | P22 | EDREQ0 | MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2 | SCK0/ USB0_OVRCURB/ AUDIO_CLK | SDHI_D0-C | IRQ15 | | TS7 |
| K3 | | P20 | | MTIOC1A/ TIOCB3/ TMRI0/PO0 | TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0 | SDHI_CMD- C | IRQ8 | | TS9 |
| K4 | | P14 | | MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15 | CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA | | IRQ4 | | TS11 |
| K5 | | PH2 | | TMRI0 | USB0_DM | | IRQ1 | | |
| K6 | | PH1 | | TMO0 | USB0_DP | | IRQ0 | | |
| K7 | | P51 | WR1#/BC1#/ WAIT# | | SCK2/SSLB2-A | | IRQ1 | | |
| K8 | | PC5 | D3[A3/D3]/ A21/CS2#/ WAIT# | MTIOC3B/ MTCLKD/ TMRI2/PO29 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| K9 | | PC3 | A19 | MTIOC4D/ TCLKB/PO24 | TXD5/SMOSI5/ SSDA5/PMC0-DS | SDHI_D0-A/ QIO0-A | IRQ11 | | |
| K10 | | PC2 | A18 | MTIOC4B/ TCLKA/PO21 | RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A | SDHI_D3-A | IRQ10 | | |

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.5 100ピン LQFP

表 1.9 機能別端子一覧(100ピンLQFP) (1 / 6)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------|--------------------------|--------|--------------|---|---|------------------------|---------|-----|--|
| 1 | AVCC1 | | | | | | | | |
| 2 | EMLE | | | | | | | | |
| 3 | AVSS1 | | | | | | | | |
| 4 | EXCIN | PJ3 | EDACK1 | MTIOC3C | CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0# | | IRQ11 | | |
| 5 | VCL | | | | | | | | |
| 6 | VBATT | | | | | | | | |
| 7 | MD/ FINED | | | | | | | | |
| 8 | XCIN | | | | | | | | |
| 9 | XCOUT | | | | | | | | |
| 10 | RES# | | | | | | | | |
| 11 | XTAL | P37 | | | | | | | |
| 12 | VSS | | | | | | | | |
| 13 | EXTAL | P36 | | | | | | | |
| 14 | VCC | | | | | | | | |
| 15 | UPSEL | P35 | | | | | NMI | | |
| 16 | TRST# | P34 | | MTIOC0A/ TMCI3/PO12/ POE10# | SCK6/SCK0 | | IRQ4 | | TS0 |
| 17 | | P33 | EDREQ1 | MTIOC0D/ TIOC0D/ TMRI3/PO11/ POE4#/ POE11# | RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0 | | IRQ3-DS | | TS1 |
| 18 | | P32 | | MTIOC0C/ TIOCC0/ TMO3/PO10/ RTCOUT/ RTCIC2/ POE0#/ POE10# | TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN | | IRQ2-DS | | TAMPI2 |
| 19 | TMS | P31 | | MTIOC4D/ TMCI2/PO9/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMPI1 |
| 20 | TDI | P30 | | MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMPI0 |
| 21 | TCK | P27 | CS7# | MTIOC2B/ TMCI3/PO7 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| 22 | TDO | P26 | CS6# | MTIOC2A/ TMO1/PO6 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |

表 1.9 機能別端子一覧(100ピンLQFP) (2 / 6)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|------|--------------------------|--------|-----------------|--|--|------------------------|-------|---------|--|
| 23 | | P25 | CS5#/ EDACK1 | MTIOC4C/ MTCLKB/ TIOCA4/PO5 | RXD3/SMISO3/ SSCL3 | SDHI_CD | IRQ5 | ADTRG0# | TS4/ CLKOUT |
| 24 | | P24 | CS4#/ EDREQ1 | MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4 | SCK3/ USB0_VBUSEN | SDHI_WP | IRQ12 | | TS5 |
| 25 | | P23 | EDACK0 | MTIOC3D/ MTCLKD/ TIOCD3/PO3 | TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSIBCK0 | SDHI_D1-C | IRQ3 | | TS6 |
| 26 | | P22 | EDREQ0 | MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/PO2 | SCK0/ USB0_OVRCURB/ AUDIO_CLK | SDHI_D0-C | IRQ15 | | TS7 |
| 27 | | P21 | | MTIOC1B/ MTIOC4A/ TIOCA3/ TMCI0/PO1 | RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ SSILRCK0 | SDHI_CLK-C | IRQ9 | | TS8 |
| 28 | | P20 | | MTIOC1A/ TIOCB3/ TMRI0/PO0 | TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/ SSIRXD0 | SDHI_CMD- C | IRQ8 | | TS9 |
| 29 | | P17 | | MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/PO15/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| 30 | | P16 | | MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/PO14/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB | | IRQ6 | ADTRG0# | |
| 31 | | P15 | | MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/PO13 | RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS | | IRQ5 | | TS10 |
| 32 | | P14 | | MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/PO15 | CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA | | IRQ4 | | TS11 |
| 33 | | P13 | | MTIOC0B/ TIOCA5/ TMO3/PO13 | TXD2/SMOSI2/ SSDA2/ SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| 34 | | P12 | | MTIC5U/ TMCI1 | RXD2/SMISO2/ SSCL2/ SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| 35 | VCC_USB | | | | | | | | |

表 1.9 機能別端子一覧(100ピンLQFP) (3 / 6)

| ピン番号 100ピン LQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|-----------------------|--------------------------|---------|----------------------------------|---|--|------------------------|-------|-----|--|
| 36 | | PH2 | | TMRI0 | USB0_DM | | IRQ1 | | |
| 37 | | PH1 | | TMO0 | USB0_DP | | IRQ0 | | |
| 38 | VSS_USB | | | | | | | | |
| 39 | | P55 | D0[A0/D0]/ WAIT#/ EDREQ0 | MTIOC4D/ TMO3 | CRX1/MISOC-B | | IRQ10 | | |
| 40 | | P54 | ALE/ D1[A1/D1]/ EDACK0 | MTIOC4B/ TMCI1 | CTS2#/RTS2#/ SS2#/CTX1/ MOSIC-B | | IRQ4 | | |
| 41 | | P53(注1) | BCLK | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |
| 42 | | P52 | RD# | | RXD2/SMISO2/ SSCL2/SSLB3-A | | IRQ2 | | |
| 43 | | P51 | WR1#/BC1#/ WAIT# | | SCK2/SSLB2-A | | IRQ1 | | |
| 44 | | P50 | WR0#/WR# | | TXD2/SMOSI2/ SSDA2/SSLB1-A | | IRQ0 | | |
| 45 | UB | PC7 | A23/CS0# | MTIOC3A/ MTCLKB/ TMO2/TOC0/ PO31/ CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/ SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |
| 46 | | PC6 | D2[A2/D2]/ A22/CS1# | MTIOC3C/ MTCLKA/ TMCI2/TIC0/ PO30 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSI0-A | | IRQ13 | | TS13 |
| 47 | | PC5 | D3[A3/D3]/ A21/CS2#/ WAIT# | MTIOC3B/ MTCLKD/ TMRI2/PO29 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| 48 | | PC4 | A20/CS3# | MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/ SS10#/CTS10#/ RTS10#/SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| 49 | | PC3 | A19 | MTIOC4D/ TCLKB/PO24 | TXD5/SMOSI5/ SSDA5/PMC0-DS | SDHI_D0-A/ QIO0-A | IRQ11 | | |
| 50 | | PC2 | A18 | MTIOC4B/ TCLKA/PO21 | RXD5/SMISO5/ SSCL5/SSLA3-A/ TXDB011/SSL03-A | SDHI_D3-A | IRQ10 | | |
| 51 | | PC1 | A17 | MTIOC3A/ TCLKD/PO18 | SCK5/SSLA2-A/ TXD011/ SMOSI011/ SSDA011/ TXDA011/SSL02-A | | IRQ12 | | TS15 |

表 1.9 機能別端子一覧(100ピンLQFP) (4 / 6)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTS0、 CLKOUT、 タンパ 検出) |
|------|--------------------------|--------|--------------|---|---|------------------------|---------|-----|--|
| 52 | | PC0 | A16 | MTIOC3C/ TCLKC/PO17 | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/ SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |
| 53 | | PB7 | A15 | MTIOC3B/ TIOCB5/PO31 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| 54 | | PB6 | A14 | MTIOC3D/ TIOCA5/PO30 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| 55 | | PB5 | A13 | MTIOC2A/ MTIOC1B/ TIOCB4/ TMR11/PO29/ POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| 56 | | PB4 | A12 | TIOCA4/PO28 | CTS9#/RTS9#/ SS9#/SS11#/ CTS11#/RTS11#/ SS011#/CTS011#/ RTS011#/DE011 | | IRQ4 | | |
| 57 | | PB3 | A11 | MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/ TMO0/PO27/ POE11# | SCK6/PMC0-DS | | IRQ3 | | |
| 58 | | PB2 | A10 | TIOCC3/ TCLKC/PO26 | CTS6#/RTS6#/ SS6# | | IRQ2 | | |
| 59 | | PB1 | A9 | MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25 | TXD6/SMOSI6/ SSDA6 | | IRQ4-DS | | |
| 60 | VCC | | | | | | | | |
| 61 | | PB0 | A8 | MTIC5W/ TIOCA3/PO24 | RXD6/SMISO6/ SSCL6 | | IRQ12 | | |
| 62 | VSS | | | | | | | | |
| 63 | | PA7 | A7 | TIOCB2/PO23 | MISOA-B/MISO0-B | | IRQ7 | | |
| 64 | | PA6 | A6 | MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |
| 65 | | PA5 | A5 | MTIOC6B/ TIOCB1/PO21 | RSPCKA-B/ RSPCK0-B | | IRQ5 | | |
| 66 | | PA4 | A4 | MTIC5U/ MTCLKA/ TIOCA1/ TMRIO/PO20 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12 | | IRQ5-DS | | |

表 1.9 機能別端子一覧(100ピンLFQFP) (5 / 6)

| ピン番号 100ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSUI、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|--------------------------------|---|---|----------------------------------|---------|-------|---|
| 67 | | PA3 | A3 | MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/PO19 | RXD5/SMISO5/ SSCL5 | | IRQ6-DS | | |
| 68 | | PA2 | A2 | MTIOC7A/ PO18 | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| 69 | | PA1 | A1 | MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/PO17 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| 70 | | PA0 | A0/BC0# | MTIOC4A/ MTIOC6D/ TIOCA0/ CACREF/ PO16 | SSLA1-B/SSL01-B | | IRQ0 | | |
| 71 | | PE7 | D15[A15/ D15]/ D7[A7/D7] | MTIOC6A/ TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| 72 | | PE6 | D14[A14/ D14]/ D6[A6/D6] | MTIOC6C/ TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| 73 | | PE5 | D13[A13/ D13]/ D5[A5/D5] | MTIOC4C/ MTIOC2B | RSPCKB-B | | IRQ5 | | |
| 74 | | PE4 | D12[A12/ D12]/ D4[A4/D4] | MTIOC4D/ MTIOC1A/ PO28 | SSLB0-B | | IRQ12 | | |
| 75 | | PE3 | D11[A11/ D11]/ D3[A3/D3] | MTIOC4B/ PO26/POE8#/ TOC3 | CTS12#/RTS12#/ SS12# | | IRQ11 | | |
| 76 | | PE2 | D10[A10/ D10]/ D2[A2/D2] | MTIOC4A/ PO23/TIC3 | RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B | | IRQ7-DS | | |
| 77 | | PE1 | D9[A9/D9]/ D1[A1/D1] | MTIOC4C/ MTIOC3B/ PO18 | TXD12/SMOS12/ SSDA12/TXDX12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| 78 | | PE0 | D8[A8/D8]/ D0[A0/D0] | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| 79 | | PD7 | D7[A7/D7] | MTIC5U/ POE0# | SSLC3-A | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| 80 | | PD6 | D6[A6/D6] | MTIC5V/ MTIOC8A/ POE4# | SSLC2-A | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| 81 | | PD5 | D5[A5/D5] | MTIC5W/ MTIOC8C/ POE10# | SSLC1-A | SDHI_CLK- B/ QSPCLK-B | IRQ5 | AN102 | |
| 82 | | PD4 | D4[A4/D4] | MTIOC8B/ POE11# | SSLC0-A | SDHI_CMD- B/ QSSL-B | IRQ4 | AN103 | |
| 83 | | PD3 | D3[A3/D3] | MTIOC8D/ POE8#/TOC2 | RSPCKC-A | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |

表 1.9 機能別端子一覧(100ピンLFQFP) (6 / 6)

| ピン番号 100ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | バス EXDMAC | タイマ (MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, CAN, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 CLKOUT、 タンパ 検出) |
|------------------------|--------------------------|--------|--------------|---|---|------------------------|----------|---------|--|
| 84 | | PD2 | D2[A2/D2] | MTIOC4D/ TIC2 | CRX0/MISOC-A | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| 85 | | PD1 | D1[A1/D1] | MTIOC4B/ POE0# | CTX0/MOSIC-A | | IRQ1 | AN106 | |
| 86 | | PD0 | D0[A0/D0] | POE4# | | | IRQ0 | AN107 | |
| 87 | | P47 | | | | | IRQ15-DS | AN007 | |
| 88 | | P46 | | | | | IRQ14-DS | AN006 | |
| 89 | | P45 | | | | | IRQ13-DS | AN005 | |
| 90 | | P44 | | | | | IRQ12-DS | AN004 | |
| 91 | | P43 | | | | | IRQ11-DS | AN003 | |
| 92 | | P42 | | | | | IRQ10-DS | AN002 | |
| 93 | | P41 | | | | | IRQ9-DS | AN001 | |
| 94 | VREFL0 | | | | | | | | |
| 95 | | P40 | | | | | IRQ8-DS | AN000 | |
| 96 | VREFH0 | | | | | | | | |
| 97 | AVCC0 | | | | | | | | |
| 98 | | P07 | | | | | IRQ15 | ADTRG0# | |
| 99 | AVSS0 | | | | | | | | |
| 100 | | P05 | | | | | IRQ13 | | |

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.6 64ピンTFBGA

表 1.10 機能別端子一覧(64ピンTFBGA) (1 / 3)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 タンパ 検出) |
|------|--------------------------|--------|---|--|----------------------------------|----------|-------|-----------------------------|
| A1 | AVCC1 | | | | | | | |
| A2 | AVSS0 | | | | | | | |
| A3 | VREFH0 | | | | | | | |
| A4 | VREFL0 | | | | | | | |
| A5 | | PD2 | MTIOC4D/TIC2 | | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| A6 | | PD7 | MTIC5U/POE0# | | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| A7 | | PE0 | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| A8 | | PE2 | MTIOC4A/TIC3 | RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B | | IRQ7-DS | | |
| B1 | EMLE | | | | | | | |
| B2 | AVSS1 | | | | | | | |
| B3 | AVCC0 | | | | | | | |
| B4 | | P42 | | | | IRQ10-DS | AN002 | |
| B5 | | PD3 | MTIOC8D/POE8#/ TOC2 | | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| B6 | | PD6 | MTIC5V/MTIOC8A/ POE4# | | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| B7 | | PE1 | MTIOC4C/ MTIOC3B | TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| B8 | | PE6 | MTIOC6C/TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| C1 | VCL | | | | | | | |
| C2 | VBATT | | | | | | | |
| C3 | MD/FINED | | | | | | | |
| C4 | | P41 | | | | IRQ9-DS | AN001 | |
| C5 | | PD4 | MTIOC8B/POE11# | | SDHI_CMD-B/ QSSL-B | IRQ4 | AN103 | |
| C6 | | PD5 | MTIC5W/ MTIOC8C/POE10# | | SDHI_CLK-B/ QSPCLK-B | IRQ5 | AN102 | |
| C7 | | PA1 | MTIOC0B/ MTCLKC/ MTIOC7B/TIOC0 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| C8 | | PE7 | MTIOC6A/TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| D1 | XCIN | | | | | | | |
| D2 | XCOUT | | | | | | | |
| D3 | RES# | | | | | | | |
| D4 | | P40 | | | | IRQ8-DS | AN000 | |
| D5 | | P43 | | | | IRQ11-DS | AN003 | |

表 1.10 機能別端子一覧(64ピンTFBGA) (2 / 3)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 タンパ 検出) |
|------|--------------------------|--------|---|--|------------------------|---------|---------|-----------------------------|
| D6 | | PA6 | MTIC5V/MTCLKB/ TIOCA2/TMCI3/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |
| D7 | | PA2 | MTIOC7A | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| D8 | | PA4 | MTIC5U/MTCLKA/ TIOCA1/TMRI0 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12 | | IRQ5-DS | | |
| E1 | XTAL | P37 | | | | | | |
| E2 | VSS | | | | | | | |
| E3 | TRST# | P34 | MTIOC0A/TMCI3/ POE10# | | | IRQ4 | | TS0 |
| E4 | | P13 | MTIOC0B/TIOCA5/ TMO3 | TXD2/SMOSI2/ SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| E5 | BSCANP | | | | | | | |
| E6 | | PA7 | TIOCB2 | MISOA-B/MISO0-B | | IRQ7 | | |
| E7 | VCC | | | | | | | |
| E8 | VSS | | | | | | | |
| F1 | EXTAL | P36 | | | | | | |
| F2 | VCC | | | | | | | |
| F3 | UPSEL | P35 | | | | NMI | | |
| F4 | | P12 | TMCI1/MTIC5U | RXD2/SMOSI2/ SSCL2/SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| F5 | | P53 | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |
| F6 | | PB7 | MTIOC3B/TIOCB5 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| F7 | | PB6 | MTIOC3D/TIOCA5 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| F8 | | PB5 | MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| G1 | TCK | P27 | MTIOC2B/TMCI3 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| G2 | TMS | P31 | MTIOC4D/TMCI2/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMPI1 |
| G3 | TDI | P30 | MTIOC4B/TMRI3/ RTCIC0/POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMPI0 |
| G4 | VCC_USB | | | | | | | |

表 1.10 機能別端子一覧(64ピンTFBGA) (3 / 3)

| ピン番号 64ピン TFBGA | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 タンパ 検出) |
|-----------------------|--------------------------|--------|---|--|------------------------|-------|---------|-----------------------------|
| G5 | VSS_USB | | | | | | | |
| G6 | UB | PC7 | MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |
| G7 | | PC5 | MTIOC3B/ MTCLKD/TMRI2 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| G8 | | PC0 | MTIOC3C/TCLKC | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |
| H1 | TDO | P26 | MTIOC2A/TMO1 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| H2 | | P17 | MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| H3 | | P16 | MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS | | IRQ6 | ADTRG0# | |
| H4 | | PH2 | TMRI0 | USB0_DM | | IRQ1 | | |
| H5 | | PH1 | TMO0 | USB0_DP | | IRQ0 | | |
| H6 | | PC6 | MTIOC3C/ MTCLKA/TMC12/ TIC0 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SMISO010/ SSCL010/RXD010/ MOSIO-A/SSILRCK0 | | IRQ13 | | TS13 |
| H7 | | PC4 | MTIOC3D/ MTCLKC/TMC11/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/SS10#/ CTS10#/RTS10#/ SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| H8 | | PC1 | MTIOC3A/TCLKD | SCK5/SSLA2-A/ TXD011/SMOSI011/ SSDA011/TXDA011/ SSL02-A | | IRQ12 | | TS15 |

1.6.7 64ピンLFQFP

表 1.11 機能別端子一覧(64ピンLFQFP) (1 / 3)

| ピン番号 64ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 タンパ 検出) |
|-----------------------|--------------------------|--------|---|--|------------------------|---------|---------|-----------------------------|
| 1 | AVCC1 | | | | | | | |
| 2 | EMLE | | | | | | | |
| 3 | AVSS1 | | | | | | | |
| 4 | VCL | | | | | | | |
| 5 | VBATT | | | | | | | |
| 6 | MD/FINED | | | | | | | |
| 7 | XCIN | | | | | | | |
| 8 | XCOUT | | | | | | | |
| 9 | RES# | | | | | | | |
| 10 | XTAL | P37 | | | | | | |
| 11 | VSS | | | | | | | |
| 12 | EXTAL | P36 | | | | | | |
| 13 | VCC | | | | | | | |
| 14 | UPSEL | P35 | | | | NMI | | |
| 15 | TRST# | P34 | MTIOC0A/TMCI3/ POE10# | | | IRQ4 | | TS0 |
| 16 | TDI | P30 | MTIOC4B/TMRI3/ RTCIC0/POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | TAMPIO |
| 17 | TMS | P31 | MTIOC4D/TMCI2/ RTCIC1 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | TAMPI1 |
| 18 | TDO | P26 | MTIOC2A/TMO1 | TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| 19 | TCK | P27 | MTIOC2B/TMCI3 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| 20 | | P17 | MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| 21 | | P16 | MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ RTCOUT | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS | | IRQ6 | ADTRG0# | |
| 22 | | P13 | MTIOC0B/TIOCA5/ TMO3 | TXD2/SMOSI2/ SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| 23 | | P12 | TMCI1/MTIC5U | RXD2/SMISO2/ SSCL2/SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| 24 | VCC_USB | | | | | | | |
| 25 | | PH2 | TMRI0 | USB0_DM | | IRQ1 | | |
| 26 | | PH1 | TMO0 | USB0_DP | | IRQ0 | | |
| 27 | VSS_USB | | | | | | | |
| 28 | | P53 | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |

表 1.11 機能別端子一覧(64ピンLFQFP) (2 / 3)

| ピン番号 64ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIIHS, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU, タンパ 検出) |
|-----------------------|--------------------------|--------|---|--|------------------------|-------|-----|-----------------------------|
| 29 | UB | PC7 | MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |
| 30 | | PC6 | MTIOC3C/ MTCLKA/TMCI2/ TIC0 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SMISO010/ SSCL010/RXD010/ MOSI0-A/SSILRCK0 | | IRQ13 | | TS13 |
| 31 | | PC5 | MTIOC3B/ MTCLKD/TMRI2 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| 32 | | PC4 | MTIOC3D/ MTCLKC/TMCI1/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/SS10#/ CTS10#/RTS10#/ SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| 33 | | PC1 | MTIOC3A/TCLKD | SCK5/SSLA2-A/ TXD011/SMOSI011/ SSDA011/TXDA011/ SSL02-A | | IRQ12 | | TS15 |
| 34 | | PC0 | MTIOC3C/TCLKC | CTS5#/RTS5#/ SS5#/SSLA1-A/ RXD011/SMISO011/ SSCL011/SSL01-A | | IRQ14 | | TS16 |
| 35 | | PB7 | MTIOC3B/TIOCB5 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| 36 | | PB6 | MTIOC3D/TIOCA5 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| 37 | | PB5 | MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| 38 | VCC | | | | | | | |
| 39 | VSS | | | | | | | |
| 40 | | PA7 | TIOCB2 | MISOA-B/MISO0-B | | IRQ7 | | |
| 41 | | PA6 | MTIC5V/MTCLKB/ TIOCA2/TMCI3/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSI0-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |

表 1.11 機能別端子一覧(64ピンLFQFP) (3 / 3)

| ピン番号 64ピン LFQFP | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, RTC, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIIHS, USB, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU、 タンパ 検出) |
|-----------------------|--------------------------|--------|---|--|----------------------------------|----------|-------|-----------------------------|
| 42 | | PA4 | MTIC5U/MTCLKA/ TIOCA1/TMRI0 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12 | | IRQ5-DS | | |
| 43 | | PA2 | MTIOC7A | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| 44 | | PA1 | MTIOC0B/ MTCLKC/ MTIOC7B/TIOCB0 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| 45 | | PE7 | MTIOC6A/TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |
| 46 | | PE6 | MTIOC6C/TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| 47 | | PE2 | MTIOC4A/TIC3 | RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3-B | | IRQ7-DS | | |
| 48 | | PE1 | MTIOC4C/ MTIOC3B | TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2-B | | IRQ9 | ANEX1 | |
| 49 | | PE0 | MTIOC3D | SCK12/SSLB1-B | | IRQ8 | ANEX0 | |
| 50 | | PD7 | MTIC5U/POE0# | | SDHI_D1-B/ QIO1-B | IRQ7 | AN100 | |
| 51 | | PD6 | MTIC5V/MTIOC8A/ POE4# | | SDHI_D0-B/ QIO0-B | IRQ6 | AN101 | |
| 52 | | PD5 | MTIC5W/ MTIOC8C/POE10# | | SDHI_CLK-B/ QSPCLK-B | IRQ5 | AN102 | |
| 53 | | PD4 | MTIOC8B/POE11# | | SDHI_CMD-B/ QSSL-B | IRQ4 | AN103 | |
| 54 | | PD3 | MTIOC8D/POE8#/ TOC2 | | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| 55 | | PD2 | MTIOC4D/TIC2 | | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| 56 | | P43 | | | | IRQ11-DS | AN003 | |
| 57 | | P42 | | | | IRQ10-DS | AN002 | |
| 58 | | P41 | | | | IRQ9-DS | AN001 | |
| 59 | VREFL0 | | | | | | | |
| 60 | | P40 | | | | IRQ8-DS | AN000 | |
| 61 | VREFH0 | | | | | | | |
| 62 | AVCC0 | | | | | | | |
| 63 | AVSS0 | | | | | | | |
| 64 | | P05 | | | | IRQ13 | | |

1.6.8 48 ピン HWQFN

表 1.12 機能別端子一覧(48ピンHWQFN) (1 / 3)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU) |
|------|--------------------------|--------|---|--|------------------------|---------|---------|---------------|
| 1 | EMLE | | | | | | | |
| 2 | MD/FINED | | | | | | | |
| 3 | RES# | | | | | | | |
| 4 | XTAL | P37 | | | | | | |
| 5 | VSS | | | | | | | |
| 6 | EXTAL | P36 | | | | | | |
| 7 | VCC | | | | | | | |
| 8 | UPSEL | P35 | | | | NMI | | |
| 9 | TRST# | P34 | MTIOC0A/TMCI3/ POE10# | | | IRQ4 | | TS0 |
| 10 | TMS | P31 | MTIOC4D/TMCI2 | CTS1#/RTS1#/ SS1#/SSLB0-A | | IRQ1-DS | | |
| 11 | TDI | P30 | MTIOC4B/TMRI3/ POE8# | RXD1/SMISO1/ SSCL1/MISOB-A | | IRQ0-DS | | |
| 12 | TCK | P27 | MTIOC2B/TMCI3 | SCK1/RSPCKB-A | | IRQ7 | | TS2 |
| 13 | TDO | P26 | MTIOC2A/TMO1 | TXD1/CTS3#/ RTS3#/SMOS11/ SS3#/SSDA1/ MOSIB-A | | IRQ6 | | TS3 |
| 14 | | P17 | MTIOC3A/ MTIOC3B/ MTIOC4B/TIOCB0/ TCLKD/TMO1/ POE8# | SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0 | SDHI_D3-C | IRQ7 | ADTRG1# | |
| 15 | | P16 | MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2 | TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS | | IRQ6 | ADTRG0# | |
| 16 | | P13 | MTIOC0B/TIOCA5/ TMO3 | TXD2/SMOSI2/ SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS] | | IRQ3 | ADTRG1# | |
| 17 | | P12 | TMCI1/MTIC5U | RXD2/SMISO2/ SSCL2/SCL0[FM+]/ SCLHS0[FM+/HS] | | IRQ2 | | |
| 18 | VCC | | | | | | | |
| 19 | VSS | | | | | | | |
| 20 | | P53 | | SSIRXD0/ PMC0-DS | | IRQ3 | | TS12 |
| 21 | UB | PC7 | MTIOC3A/ MTCLKB/TMO2/ TOC0/CACREF | TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ MISOA-A/SSITXD0/ SMOSI010/ SSDA010/TXD010/ MISO0-A | | IRQ14 | | |

表 1.12 機能別端子一覧(48ピンHWQFN) (2 / 3)

| ピン番号 | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSUS) |
|------|--------------------------|--------|--|--|----------------------------------|---------|-----|----------------|
| 22 | | PC6 | MTIOC3C/ MTCLKA/TMCI2/ TIC0 | RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ MOSIA-A/ SSILRCK0/ SMISO010/ SSCL010/RXD010/ MOSIO-A | | IRQ13 | | TS13 |
| 23 | | PC5 | MTIOC3B/ MTCLKD/TMRI2 | SCK8/SCK10/ RSPCKA-A/ SSIBCK0/SCK010/ RSPCK0-A | | IRQ5 | | TS14 |
| 24 | | PC4 | MTIOC3D/ MTCLKC/TMCI1/ POE0# | SCK5/CTS8#/ RTS8#/SS8#/SS10#/ CTS10#/RTS10#/ SSLA0-A/ AUDIO_CLK/ SS010#/CTS010#/ RTS010#/DE010/ SSL00-A | SDHI_D1-A/ QIO1-A | IRQ12 | | TSCAP |
| 25 | | PB7 | MTIOC3B/TIOCB5 | TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ SMOSI011/ SSDA011/TXD011 | | IRQ15 | | |
| 26 | | PB6 | MTIOC3D/TIOCA5 | RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ SMISO011/ SSCL011/RXD011 | | IRQ6 | | |
| 27 | | PB5 | MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/POE4# | SCK9/SCK11/ SCK011 | | IRQ13 | | |
| 28 | VCC | | | | | | | |
| 29 | VSS | | | | | | | |
| 30 | VCL | | | | | | | |
| 31 | | PA6 | MTIC5V/MTCLKB/ TIOCA2/TMCI3/ POE10# | CTS5#/RTS5#/ SS5#/MOSIA-B/ MOSIO-B/CTS12#/ RTS12#/SS12# | | IRQ14 | | |
| 32 | | PA4 | MTIC5U/MTCLKA/ TIOCA1/TMRI0 | TXD5/SMOSI5/ SSDA5/SSLA0-B/ SSL00-B/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12 | | IRQ5-DS | | |
| 33 | | PA2 | MTIOC7A | RXD5/SMISO5/ SSCL5/SSLA3-B/ SSL03-B/RXD12/ SMISO12/SSCL12/ RXDX12 | SDHI_WP | IRQ10 | | |
| 34 | | PA1 | MTIOC0B/ MTCLKC/ MTIOC7B/TIOCB0 | SCK5/SSLA2-B/ SSL02-B/SCK12 | SDHI_CD | IRQ11 | | |
| 35 | | PE7 | MTIOC6A/TOC1 | MISOB-B | SDHI_WP/ SDHI_D1-B/ QIO1-B | IRQ7 | | |

表 1.12 機能別端子一覧(48ピンHWQFN) (3 / 3)

| ピン番号 48ピン HWQFN | 電源 クロック システム 制御 | I/Oポート | タイマ (MTU, TPU, TMR, CMTW, POE, CAC) | 通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RIICHS, SSIE, REMC) | 通信 (QSPIX, SDHI) | 割り込み | A/D | その他 (CTSU) |
|-----------------------|--------------------------|--------|--|---|----------------------------------|----------|-------|---------------|
| 36 | | PE6 | MTIOC6C/TIC1 | MOSIB-B | SDHI_CD/ SDHI_D0-B/ QIO0-B | IRQ6 | | |
| 37 | | PD5 | MTIC5W/ MTIOC8C/POE10# | | SDHI_CLK-B/ QSPCLK-B | IRQ5 | AN102 | |
| 38 | | PD4 | MTIOC8B/POE11# | | SDHI_CMD-B/ QSSL-B | IRQ4 | AN103 | |
| 39 | | PD3 | MTIOC8D/POE8#/ TOC2 | | SDHI_D3-B/ QIO3-B | IRQ3 | AN104 | |
| 40 | | PD2 | MTIOC4D/TIC2 | | SDHI_D2-B/ QIO2-B | IRQ2 | AN105 | |
| 41 | | P43 | | | | IRQ11-DS | AN003 | |
| 42 | | P42 | | | | IRQ10-DS | AN002 | |
| 43 | | P41 | | | | IRQ9-DS | AN001 | |
| 44 | VREFL0 | | | | | | | |
| 45 | | P40 | | | | IRQ8-DS | AN000 | |
| 46 | VREFH0 | | | | | | | |
| 47 | AVCC0/ AVCC1 | | | | | | | |
| 48 | AVSS0/AVSS1 | | | | | | | |

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V

| 項目 | | 記号 | 定格値 | 単位 |
|------------------------|--|-------------------|-----------------------------|----|
| 電源電圧 | | VCC, VCC_USB | -0.3 ~ +4.0 | V |
| V _{BATT} 電源電圧 | | V _{BATT} | -0.3 ~ +4.0 | V |
| アナログ電源電圧 | | AVCC0, AVCC1 (注1) | -0.3 ~ +4.0 | V |
| リファレンス電源電圧 | | VREFH0 | -0.3 ~ AVCC0 + 0.3 (最大 4.0) | V |
| 入力電圧 | 5Vトレラント対応ポート : P12~P17、 P20、P21、P30~P33、P67、P73、 PC0~PC3、PJ3 | V _{in} | -0.3 ~ VCC + 4.0 (最大 5.8) | V |
| | TAMPI0~TAMPI2, RTCIC0~RTCIC2, EXCIN (注2) | | -0.3 ~ +4.0 | |
| | 5Vトレラント対応ポート : P07 | | -0.3 ~ AVCC0 + 4.0 (最大 5.8) | |
| | P03, P05, P40~P47 | | -0.3 ~ AVCC0 + 0.3 (最大 4.0) | |
| | 上記以外 | | -0.3 ~ VCC + 0.3 (最大 4.0) | |
| ジャンクション温度 | | T _j | -40 ~ +125 | °C |
| 保存温度 | | T _{stg} | -55 ~ +125 | °C |

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. AVCC0、AVCC1、VCC_USBはVCCに、AVSS0、AVSS1、VSS_USBはVSSに接続してください。

A/Dコンバータのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。AVCC0とAVSS0間、AVCC1とAVSS1間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

注2. P30、P31、P32をTAMPIn/RTCICn (n = 0~2)機能にしたとき、およびPJ3をEXCIN機能にしたとき

2.2 推奨動作条件

表2.2 推奨動作条件(1)

| 項目 | | 記号 | min | typ | max | 単位 |
|------------------------|--|-------------------|-----------|-----|----------------------|----|
| 電源電圧 (注1) | | VCC | 2.7 | — | 3.6 | V |
| | | VSS | — | 0 | — | |
| V _{BATT} 電源電圧 | | V _{BATT} | 1.62 (注2) | — | 3.6 | V |
| USB電源電圧 | | VCC_USB | — | VCC | — | V |
| | | VSS_USB | — | 0 | — | |
| アナログ電源電圧 (注1、注3) | | AVCC0 | — | VCC | — | V |
| | | AVSS0 | — | 0 | — | |
| | | AVCC1 | — | VCC | — | |
| | | AVSS1 | — | 0 | — | |
| | | VREFH0 | 2.7 | — | AVCC0 | |
| | | VREFL0 | — | 0 | — | |
| 入力電圧 | 5Vトレラント対応ポート：P12～P17、P20、P21、P30～P33、P67、P73、PC0～PC3、PJ3 | V _{in} | -0.3 | — | VCC + 3.6 (最大 5.5) | V |
| | TAMPI0～TAMPI2, RTCIC0～RTCIC2, EXCIN (注4) | | -0.3 | — | 3.9 | |
| | SCLHS0, SDAHS0 (注5) | | -0.3 | — | VCC + 0.3 | |
| | 5Vトレラント対応ポート：P07 | | -0.3 | — | AVCC0 + 3.6 (最大 5.5) | |
| | P03, P05, P40～P47 | | -0.3 | — | AVCC0 + 0.3 | |
| | 上記以外 | | -0.3 | — | VCC + 0.3 | |
| 動作温度 | Dバージョン | T _{opr} | -40 | — | 85 | °C |
| | Gバージョン | | -40 | — | 105 | |
| ジャンクション温度 | Dバージョン | T _j | -40 | — | 105 | °C |
| | Gバージョン | | -40 | — | 125 | |

注1. 電位関係は以下を守ってください。

VCC = AVCC0 = AVCC1 = VCC_USB

注2. V_{BATT} < 2.0Vの場合、低CL水晶振動子は使用できません。

注3. 詳細は「ユーザーズマニュアルハードウェア編」の「50.6.11 アナログ電源端子他の設定範囲」を参照してください。

注4. P30、P31、P32をTAMPIn/RTCICn (n = 0～2)機能にしたとき、およびPJ3をEXCIN機能にしたとき

注5. P12、P13をRIICHSのHsモードでSCLHS0/SDAHS0端子にしたとき

表2.3 推奨動作条件(2)

| 項目 | 記号 | 規格値 |
|------------------|------------------|-------------------|
| 内部電源安定用平滑コンデンサ容量 | C _{VCL} | 0.22μF ± 30% (注1) |

注1. 静電容量の公称値が0.22μF、静電容量許容差が±30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表 2.4 DC 特性(1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 |
|--|---|----------------------|-------------------|----------------------|------------------|----|------|
| シュミットトリガ 入力電圧 | IRQ入力端子(注1) | V_{IH} | $0.8 \times VCC$ | — | — | V | |
| | MTU入力端子(注1) | V_{IL} | — | — | $0.2 \times VCC$ | | |
| | POE3入力端子(注1) | ΔV_T | $0.06 \times VCC$ | — | — | | |
| | TPU入力端子(注1) | | | | | | |
| | TMR入力端子(注1) | | | | | | |
| | CMTW入力端子(注1) | | | | | | |
| | SCI入力端子(注1) | | | | | | |
| | RSCIA入力端子(注1) | | | | | | |
| | CAN入力端子(注1) | | | | | | |
| | CAC入力端子(注1) | | | | | | |
| | ADTRG#入力端子(注1) | | | | | | |
| | QSPIX入力端子(注1) | | | | | | |
| | SSIE入力端子(注1) | | | | | | |
| | REMC入力端子(注1) | | | | | | |
| RES#, NMI, TCK | | | | | | | |
| RIIC入力端子 | V_{IH} | $0.7 \times VCC$ | — | — | | | |
| RIICHS入力端子 (SMBusを除く) | V_{IL} | — | — | $0.3 \times VCC$ | | | |
| | ΔV_T | $0.05 \times VCC$ | — | — | | | |
| TAMPIn/RTClCn端子 EXCIN端子 | V_{IH} | $0.8 \times V_{BKP}$ | — | — | | | |
| | V_{IL} | — | — | $0.2 \times V_{BKP}$ | | | |
| 5Vトレラント対応ポート (注2) | V_{IH} | $0.8 \times VCC$ | — | — | | | |
| | V_{IL} | — | — | $0.2 \times VCC$ | | | |
| 5Vトレラント対応ポート以外 その他の入力端子 | V_{IH} | $0.8 \times VCC$ | — | — | | | |
| | V_{IL} | — | — | $0.2 \times VCC$ | | | |
| Highレベル入力 電圧(シュミット トリガ入力端子を 除く) | MD端子、EMLE | V_{IH} | $0.9 \times VCC$ | — | — | V | |
| | EXTAL, RSPI入力端子、 RSPIA入力端子、 EXDMAC入力端子、WAIT#、 SDHI入力端子 | | $0.8 \times VCC$ | — | — | | |
| | D0~D15 | | $0.7 \times VCC$ | — | — | | |
| | RIIC, RIICHS (SMBus) | | 2.1 | — | — | | |
| Lowレベル入力 電圧(シュミット トリガ入力端子を 除く) | MD端子、EMLE | V_{IL} | — | — | $0.1 \times VCC$ | V | |
| | EXTAL, RSPI入力端子、 RSPIA入力端子、 EXDMAC入力端子、WAIT#、 SDHI入力端子 | | — | — | $0.2 \times VCC$ | | |
| | D0~D15 | | — | — | $0.3 \times VCC$ | | |
| | RIIC, RIICHS (SMBus) | | — | — | 0.8 | | |

注1. 5Vトレラント対応のポートで兼用している端子は該当しません。

注2. P07、P12~P17、P20、P21、P30~P33、P67、P73、PC0~PC3、PJ3は、5Vトレラント対応です。

表 2.5 DC 特性 (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|--------------------|---|-------------|-------------|-------|-----|---|
| High レベル出力電圧 | 全出力端子 | V_{OH} | $VCC - 0.5$ | — | — | V $I_{OH} = -1mA$ |
| Low レベル出力電圧 | 全出力端子 (RIIC0 ~ RIIC2 端子、RIICHS0 端子を除く) | V_{OL} | — | — | 0.5 | V $I_{OL} = 1.0mA$ |
| | RIIC0 ~ RIIC2 出力端子 RIICHS0 出力端子 | | — | — | 0.4 | $I_{OL} = 3.0mA$ |
| | | | — | — | 0.6 | $I_{OL} = 6.0mA$ |
| | RIIC0 出力端子 RIICHS0 出力端子 | | — | — | 0.4 | $I_{OL} = 15.0mA$ (ICFER.FMPE = 1) |
| | | | — | 0.4 | — | $I_{OL} = 20.0mA$ (ICFER.FMPE = 1) |
| | RIICHS0 出力端子 | | — | — | 0.4 | $I_{OL} = 3.0mA$ (ICFER.HSME = 1) |
| 入力リーク電流 | RES#, MD 端子、EMLE (注1)、 BSCANP (注1)、NMI | $ I_{in} $ | — | — | 1.0 | μA $V_{in} = 0V$ $V_{in} = VCC$ |
| スリーステートリーク電流(オフ状態) | 5V トレラント対応ポート以外 | $ I_{TSI} $ | — | — | 1.0 | μA $V_{in} = 0V$ $V_{in} = VCC$ |
| | 5V トレラント対応ポート | | — | — | 5.0 | $V_{in} = 0V$ $V_{in} = 5.5V$ |
| 入力プルアップ抵抗 | P35 以外の端子 | R_{PU} | 10 | — | 100 | $k\Omega$ $V_{in} = 0V$ |
| 入力プルダウン抵抗 | EMLE, BSCANP | R_{PD} | 10 | — | 100 | $k\Omega$ $V_{in} = VCC$ |
| SCLHS0 電流源のプルアップ電流 | SCLHS0 端子 (P12) | I_{CS} | 3 | — | 12 | mA $VCC = 3.0 \sim 3.6V$ $V_{in} = 0.3 \times VCC \sim 0.7 \times VCC$ |
| 入力容量 | 全入力端子 (P12, P13, P16, P17, P20, P21, EMLE, BSCANP, USB0_DP, USB0_DM, USB1_DP, USB1_DM 以外) | C_{in} | — | — | 8 | pF $V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$ |
| | P12, P13, P16, P17, P20, P21, EMLE, BSCANP, USB0_DP, USB0_DM, USB1_DP, USB1_DM | | — | — | 16 | |
| バックアップ領域内電源電圧 | | V_{BKP} | — | VCC | — | V $VCC \geq V_{DET BATT}$ |
| | | | — | VBATT | — | $VCC < V_{DET BATT}$ |
| VCL 端子出力電圧 | | V_{CL} | — | 1.18 | — | V |

注 1. EMLE 端子、BSCANP 端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 2.6 DC 特性 (3)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
T_a = T_{opr}

| 項目 | 記号 | Dバージョン | | Gバージョン | | 単位 | 測定条件 | | | |
|---|----------------------------|--|----------------------------------|--------|------|------|------|--|--|----|
| | | typ | max | typ | max | | | | | |
| 消費電流 (注1) | I _{CC} (注3) | 最大動作 (注2) | | — | 55 | — | 68 | mA | ICLK = 120MHz、 PCLKA = 120MHz、 PCLKB = 60MHz、 PCLKC = 60MHz、 PCLKD = 60MHz、 FCLK = 60MHz、 BCLK = 120MHz、 BCLK端子 = 60MHz | |
| | | 通常動作 | 周辺機能クロック供給状態 (注4) | | 23 | — | 23 | | | — |
| | | | 周辺機能クロック停止状態 (注4、注5) | | 13 | — | 13 | | | — |
| | | Core Mark動作 | 周辺機能クロック停止状態 (注4、注5) | | 14.5 | — | 14.5 | | | — |
| | | | スリープモード時：周辺機能クロック供給状態 (注4) | | 20 | 38 | 20 | | | 51 |
| | | 全モジュールクロックストップモード時 (参考値) | | 9 | 26 | 9 | 39 | | | |
| | | BGO動作時の増加分 (注8) | データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し | | 6 | — | 6 | | | — |
| | | | コードフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し | | 7 | — | 7 | | | — |
| | | Trusted Secure IP動作時の増加分 | | — | 15 | — | 15 | | | |
| | | 低速動作モード1：周辺機能クロック停止状態 (注4) | | 1.6 | — | 1.6 | — | | | μA |
| | 低速動作モード2：周辺機能クロック停止状態 (注4) | | 1.6 | — | 1.6 | — | μA | 全クロック 32.768kHz | | |
| | ソフトウェアスタンバイモード | | 1.1 | 18 | 1.1 | 27 | μA | | | |
| | ディープソフトウェアスタンバイモード | スタンバイRAM、USBレジューム検出部 (USB0のみ)、REMC電源供給あり | | 15.5 | 69 | 15.5 | 85 | μA | | |
| | | スタンバイRAM、USBレジューム検出部 (USB0のみ)、REMC電源供給なし | パワーオンリセット回路の低消費電力機能無効 (注6) | | 11.5 | 42 | 11.5 | 54 | μA | |
| パワーオンリセット回路の低消費電力機能有効 (注7) | | | 4.9 | 32 | 4.9 | 47 | μA | | | |
| RTC動作時の増分 | | 低CL水晶振動子使用時 | | 1 | — | 1 | — | μA | | |
| | | 標準CL水晶振動子使用時 | | 2 | — | 2 | — | μA | | |
| REMC動作時の増分 | | 外部クロック (32kHz) 入力 | | 0.1 | — | 0.1 | — | μA | | |
| | | 標準CL水晶振動子使用時 | | 1.4 | — | 1.4 | — | μA | | |
| VCCオフ時のRTC動作 (バッテリーバックアップ機能により、RTC、サブクロック発振器のみ動作) | | 低CL水晶振動子使用時 | | 0.9 | — | 0.9 | — | μA | V _{BATT} = 2.0V, VCC = 0V | |
| | 1.6 | | | — | 1.6 | — | μA | V _{BATT} = 3.3V, VCC = 0V | | |
| | 標準CL水晶振動子使用時 | | 1.6 | — | 1.6 | — | μA | V _{BATT} = 1.62V, VCC = 0V | | |
| | | | 1.7 | — | 1.7 | — | μA | V _{BATT} = 2.0V, VCC = 0V | | |
| ディープソフトウェアスタンバイ復帰時のラッシュ電流 | ラッシュ電流 (注9) | | I _{RUSH} | — | 130 | — | 130 | mA | | |
| | ラッシュ電流の総量 (注9) | | E _{RUSH} | — | 1 | — | 1 | μC | | |

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
注2. 周辺機能はクロック供給状態。

- 注3. I_{CC} は、以下の式のとおり ICLK周波数 f (MHz) に依存します
(ICLK/PCLKA : PCLKB/PCLKC/PCLKD : BCLK : BCLK端子 = 2 : 1 : 2 : 1 @EXTAL = 12 MHz)。
- Dバージョン製品
 - $I_{CC\ max} = 0.28 \times f + 21.0$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.16 \times f + 3.5$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.20 \times f + 1.4$ (ICLK 1 MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.14 \times f + 21.0$ (スリープモード時)
 - Gバージョン製品
 - $I_{CC\ max} = 0.31 \times f + 30.0$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.16 \times f + 3.5$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.20 \times f + 1.4$ (ICLK 1 MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.17 \times f + 30.0$ (スリープモード時)
- 注4. 周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタ A~D のビット設定でのみ制御しています。
注5. 周辺機能クロック停止時の各クロック周波数は、ICLK = 120 MHz、PCLKA = PCLKB = PCLKC = PCLKD = FCLK = BCLK = BCLK端子 = 3.75 MHz (64分周) に設定しています。
注6. 低消費電力機能無効時は、DEEPCUT[1:0] ビット = 01b。
注7. 低消費電力機能有効時は、DEEPCUT[1:0] ビット = 11b。
注8. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ (プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレーズ実行した場合の増加分です。
注9. 参考値。

表 2.7 DC特性(4)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, $2.7V \leq VREFH0 \leq AVCC0$,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 $T_a = T_{opr}$

| 項目 | 記号 | Dバージョン | | | Gバージョン | | | 単位 | 測定条件 | |
|----------------------------|------------------------------|---------------|-----|------|--------|-----|------|-------|-----------|------------------------------------|
| | | min | typ | max | min | typ | max | | | |
| アナログ電源電流 (注1、注2) | 12ビットA/D変換中(ユニット0) | I_{AVCC0} | — | 0.8 | 1 | — | 0.8 | 1 | mA | |
| | 12ビットA/D変換中(ユニット1) | I_{AVCC1} | — | 0.6 | 1 | — | 0.6 | 1 | mA | |
| | 12ビットA/D変換中(ユニット1) +温度センサ | | — | 0.7 | 1.1 | — | 0.7 | 1.1 | | |
| | A/D、温度センサ変換待機時 (全ユニット) | I_{AVCC} | — | 0.9 | 1.4 | — | 0.9 | 1.4 | mA | $I_{AVCC} = I_{AVCC0} + I_{AVCC1}$ |
| | A/D、温度センサスタンバイ時 (全ユニット) | | — | 1.4 | 6.7 | — | 1.4 | 9.0 | μA | |
| リファレンス電源電流 | 12ビットA/D変換中(ユニット0) | I_{VREFH0} | — | 38 | 60 | — | 38 | 60 | μA | |
| | 12ビットA/D変換待機時 (ユニット0) | | — | 0.07 | 0.5 | — | 0.07 | 0.6 | | |
| | 12ビットA/Dモジュールストップ時(ユニット0) | | — | 0.07 | 0.4 | — | 0.07 | 0.5 | | |
| USB動作電流 (1チャンネルあたりの増加分) | ロースピード | $I_{CCUSBLS}$ | — | 3.7 | 6.5 | — | 3.7 | 6.5 | mA | |
| | フルスピード | $I_{CCUSBFS}$ | — | 4.2 | 10 | — | 4.2 | 10 | mA | |
| CTSU動作電流 | | I_{CTSUS} | — | 100 | — | — | 100 | — | μA | |
| RAM保持電圧 | | V_{RAM} | 2.7 | — | — | 2.7 | — | — | V | |
| VCC立ち上がり勾配 | | $SrVCC$ | 8.4 | — | 20000 | 8.4 | — | 20000 | $\mu s/V$ | |
| VCC立ち下がり勾配(注3) | | $SfVCC$ | 8.4 | — | — | 8.4 | — | — | $\mu s/V$ | |

- 注1. 12ビットA/Dコンバータ(ユニット1)の測定値には、リファレンス電流の値も含まれています。
注2. 48ピンの製品では、AVCC0とAVCC1が端子を共有していますので、 I_{AVCC0} と I_{AVCC1} を区別できません。
注3. V_{BATT} を使用する場合に適用される規格です。

表 2.8 出力許容電流

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
T_a = T_{opr}

| 項目 | | 記号 | min | typ | max | 単位 | |
|--------------------------------|------------|-------------------|------------------|-----|-----|------|----|
| Low レベル出力許容電流 (1端子あたりの平均値) | 全出力端子 (注1) | 通常駆動 | I _{OL} | — | — | 2.0 | mA |
| | 全出力端子 (注2) | 高駆動 | | — | — | 3.8 | |
| | 全出力端子 (注3) | 高速インタフェース 用高駆動 | | — | — | 7.5 | |
| Low レベル出力許容電流 (1端子あたりの最大値) | 全出力端子 (注1) | 通常駆動 | I _{OL} | — | — | 4.0 | mA |
| | 全出力端子 (注2) | 高駆動 | | — | — | 7.6 | |
| | 全出力端子 (注3) | 高速インタフェース 用高駆動 | | — | — | 15 | |
| Low レベル出力許容電流 (総和) | 全出力端子の総和 | | ΣI _{OL} | — | — | 80 | mA |
| High レベル出力許容電流 (1端子あたりの平均値) | 全出力端子 (注1) | 通常駆動 | I _{OH} | — | — | -2.0 | mA |
| | 全出力端子 (注2) | 高駆動 | | — | — | -3.8 | |
| | 全出力端子 (注3) | 高速インタフェース 用高駆動 | | — | — | -7.5 | |
| High レベル出力許容電流 (1端子あたりの最大値) | 全出力端子 (注1) | 通常駆動 | I _{OH} | — | — | -4.0 | mA |
| | 全出力端子 (注2) | 高駆動 | | — | — | -7.6 | |
| | 全出力端子 (注3) | 高速インタフェース 用高駆動 | | — | — | -15 | |
| High レベル出力許容電流 (総和) | 全出力端子の総和 | | ΣI _{OH} | — | — | -80 | mA |

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 2.8 の値を超えないようにしてください。

注 1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注 2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

注 3. 高速インタフェース用高駆動設定ができる端子で、高速インタフェース用高駆動設定をした場合の値

表 2.9 熱抵抗値 (参考値)

| 項目 | パッケージ | 記号 | max | 単位 | 測定条件 |
|-----|---------------------------|-----------------|------|------|---------------------------|
| 熱抵抗 | 144ピンLFQFP (PLQP0144KA-B) | θ _{ja} | 48.4 | °C/W | JESD51-2および JESD51-7準拠 |
| | 100ピンLFQFP (PLQP0100KB-B) | | 51.7 | | |
| | 64ピンLFQFP (PLQP0064KB-C) | | 51.2 | | |
| | 144ピンLFQFP (PLQP0144KA-B) | Ψ _{jt} | 1.2 | °C/W | |
| | 100ピンLFQFP (PLQP0100KB-B) | | 1.2 | | |
| | 64ピンLFQFP (PLQP0064KB-C) | | 1.2 | | |

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

2.4 AC 特性

表 2.10 動作周波数(高速動作モード)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | |
|-------|---------------------|----|---------|-----|-----|-----|-----|
| 動作周波数 | システムクロック (ICLK) | f | — | — | 120 | MHz | |
| | 周辺モジュールクロック (PCLKA) | | — | — | 120 | | |
| | 周辺モジュールクロック (PCLKB) | | — | — | 60 | | |
| | 周辺モジュールクロック (PCLKC) | | — | — | 60 | | |
| | 周辺モジュールクロック (PCLKD) | | — | — | 60 | | |
| | FlashIFクロック (FCLK) | | — (注1) | — | 60 | | |
| | 外部バスクロック (BCLK) | | 144ピン以上 | — | — | | 120 |
| | | | 100ピンのみ | — | — | | 60 |
| | BCLK端子出力 | | 144ピン以上 | — | — | | 60 |
| | | | 100ピンのみ | — | — | | 30 |
| | SDRAMクロック (SDCLK) | | 144ピン以上 | — | — | | 60 |
| | SDCLK端子出力 | | 144ピン以上 | — | — | | 60 |

注1. フラッシュメモリの書き換えを行う場合は、FCLKを4MHz以上としてください。

表 2.11 動作周波数(低速動作モード1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | |
|-------|--------------------------|----|---------|-----|-----|-----|---|
| 動作周波数 | システムクロック (ICLK) | f | — | — | 1 | MHz | |
| | 周辺モジュールクロック (PCLKA) | | — | — | 1 | | |
| | 周辺モジュールクロック (PCLKB) | | — | — | 1 | | |
| | 周辺モジュールクロック (PCLKC) (注1) | | — | — | 1 | | |
| | 周辺モジュールクロック (PCLKD) (注1) | | — | — | 1 | | |
| | FlashIFクロック (FCLK) | | — | — | 1 | | |
| | 外部バスクロック (BCLK) | | 144ピン以上 | — | — | | 1 |
| | | | 100ピンのみ | — | — | | 1 |
| | BCLK端子出力 | | 144ピン以上 | — | — | | 1 |
| | | | 100ピンのみ | — | — | | 1 |
| | SDRAMクロック (SDCLK) | | 144ピン以上 | — | — | | 1 |
| | SDCLK端子出力 | | 144ピン以上 | — | — | | 1 |

注1. 12ビットA/Dコンバータを使用する場合、1MHz以上の設定が必要です。

表 2.12 動作周波数 (低速動作モード2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$, $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | |
|-------|--------------------------|----|---------|-----|-----|-----|-----|
| 動作周波数 | システムクロック (ICLK) | f | 32 | — | 264 | kHz | |
| | 周辺モジュールクロック (PCLKA) | | — | — | 264 | | |
| | 周辺モジュールクロック (PCLKB) | | — | — | 264 | | |
| | 周辺モジュールクロック (PCLKC) (注1) | | — | — | 264 | | |
| | 周辺モジュールクロック (PCLKD) (注1) | | — | — | 264 | | |
| | FlashIFクロック (FCLK) | | 32 | — | 264 | | |
| | 外部バスクロック (BCLK) | | 144ピン以上 | — | — | | 264 |
| | | | 100ピンのみ | — | — | | 264 |
| | BCLK端子出力 | | 144ピン以上 | — | — | | 264 |
| | | | 100ピンのみ | — | — | | 264 |
| | SDRAMクロック (SDCLK) | | 144ピン以上 | — | — | | 264 |
| | SDCLK端子出力 | | 144ピン以上 | — | — | | 264 |

注1. 12ビットA/Dコンバータは使用できません。

2.4.1 リセットタイミング

表2.13 リセットタイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 T_a = T_{opr}

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 |
|--|--|--------------------|-----|-----|-----|-------------------|------|
| RES#パルス幅 | 電源投入時 | t _{RESWP} | 1 | — | — | ms | 図2.1 |
| | ディープソフトウェアスタンバイモード | t _{RESWD} | 0.6 | — | — | ms | 図2.2 |
| | ソフトウェアスタンバイモード、 低速動作モード2 | t _{RESWS} | 0.3 | — | — | ms | |
| | コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中 | t _{RESWF} | 200 | — | — | μs | |
| | 上記以外 | t _{RESW} | 200 | — | — | μs | |
| RES#解除後待機時間 | | t _{RESWT} | 54 | — | 55 | t _{Lcyc} | 図2.1 |
| 内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット) | | t _{RESW2} | 100 | — | 108 | t _{Lcyc} | |

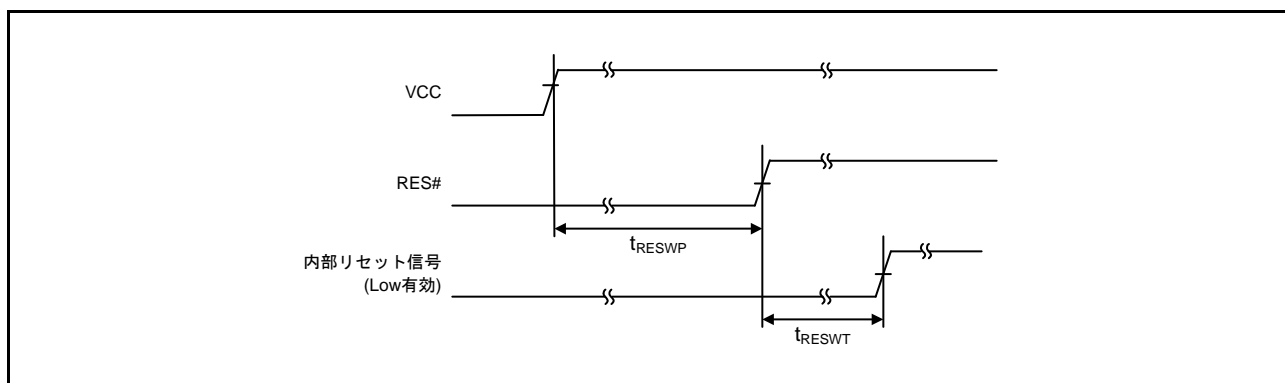


図 2.1 電源投入時リセット入力タイミング

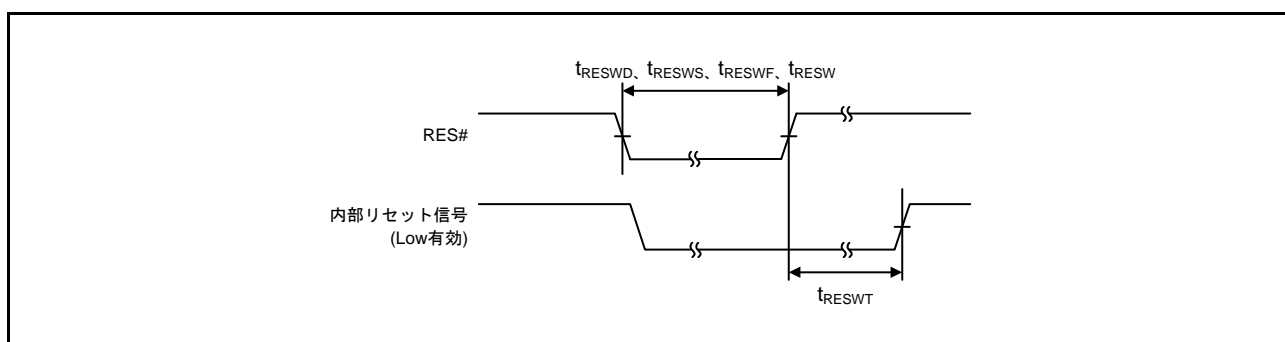


図 2.2 リセット入力タイミング

2.4.2 クロックタイミング

表 2.14 BCLK 端子出力、SDCLK 端子出カクックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|----------------------|------------|----------|------|-----|----|------|-------|
| BCLK 端子出力サイクル時間 | t_{Bcyc} | 144 ピン以上 | 16.6 | — | — | ns | 図 2.3 |
| | | 100 ピン | 33.2 | — | — | | |
| BCLK 端子出力 High パルス幅 | t_{CH} | 3.3 | — | — | ns | | |
| BCLK 端子出力 Low パルス幅 | t_{CL} | 3.3 | — | — | ns | | |
| BCLK 端子出力立ち上がり時間 | t_{Cr} | — | — | 5 | ns | | |
| BCLK 端子出力立ち下がり時間 | t_{Cf} | — | — | 5 | ns | | |
| SDCLK 端子出力サイクル時間 | t_{Bcyc} | 16.6 | — | — | ns | | |
| SDCLK 端子出力 High パルス幅 | t_{CH} | 3.3 | — | — | ns | | |
| SDCLK 端子出力 Low パルス幅 | t_{CL} | 3.3 | — | — | ns | | |
| SDCLK 端子出力立ち上がり時間 | t_{Cr} | — | — | 5 | ns | | |
| SDCLK 端子出力立ち下がり時間 | t_{Cf} | — | — | 5 | ns | | |

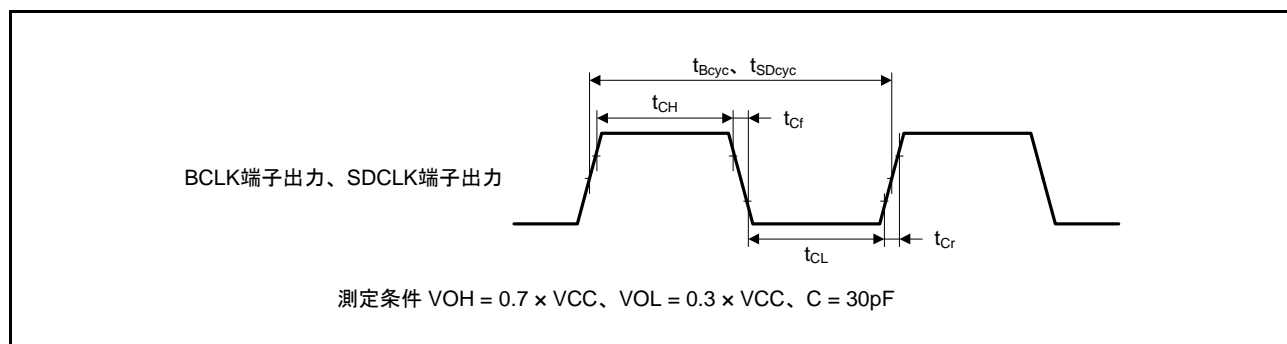


図 2.3 BCLK 端子出力、SDCLK 端子出力タイミング

表2.15 EXTALクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | $f_{EXMAIN} \leq 24MHz$ | | | $f_{EXMAIN} > 24MHz$ | | | 単位 | 測定条件 |
|-----------------------|--------------|-------------------------|-----|-----|----------------------|-----|-----|-----|------|
| | | min | typ | max | min | typ | max | | |
| EXTAL外部クロック入力サイクル時間 | t_{EXcyc} | 41.66 | — | — | 33.33 | — | — | ns | 図2.4 |
| EXTAL外部クロック入力周波数 | f_{EXMAIN} | — | — | 24 | — | — | 30 | MHz | |
| EXTAL外部クロック入力Highパルス幅 | t_{EXH} | 15.83 | — | — | 13.33 | — | — | ns | |
| EXTAL外部クロック入力Lowパルス幅 | t_{EXL} | 15.83 | — | — | 13.33 | — | — | ns | |
| EXTAL外部クロック立ち上がり時間 | t_{EXr} | — | — | 5 | — | — | 5 | ns | |
| EXTAL外部クロック立ち下がり時間 | t_{EXf} | — | — | 5 | — | — | 5 | ns | |

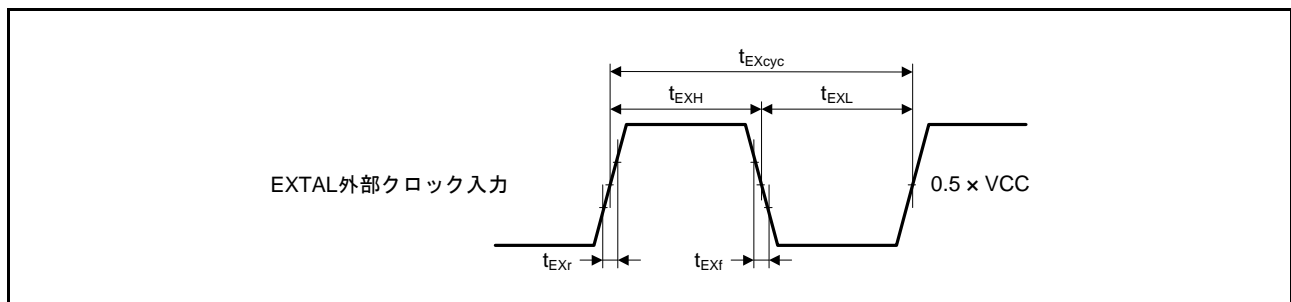


図 2.4 EXTAL 外部クロック入力タイミング

表2.16 メインクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|---------------------|-----------------|-----|-----|------|-----|------|
| メインクロック発振器発振周波数 | f_{MAIN} | 8 | — | 24 | MHz | |
| メインクロック発振安定時間(水晶) | $t_{MAINOSC}$ | — | — | (注1) | ms | 図2.5 |
| メインクロック発振安定待機時間(水晶) | $t_{MAINOSCWT}$ | — | — | (注2) | ms | |

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSCWT} = [(MSTS[7:0] \text{ビット} \times 32) + 10] / f_{Loco}$$

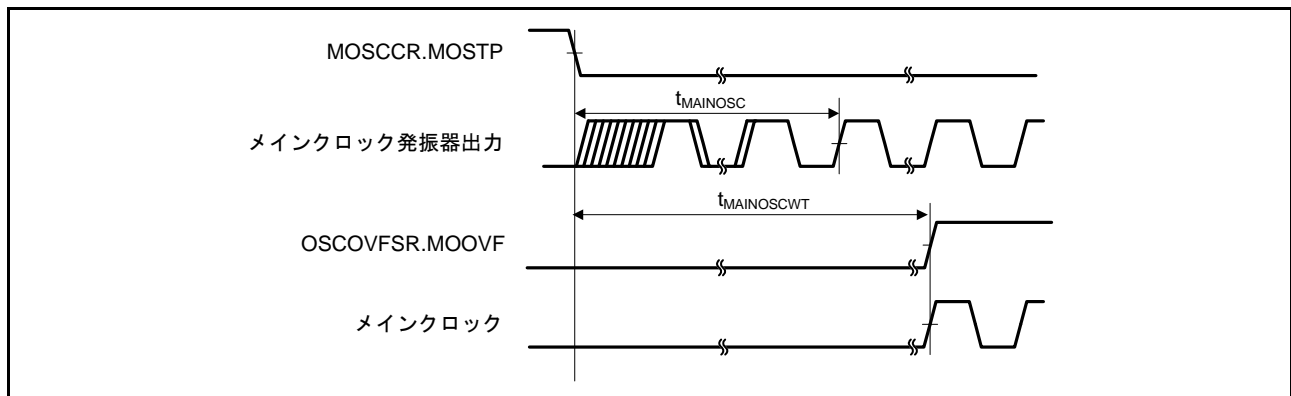


図 2.5 メインクロック発振開始タイミング

表 2.17 LOCO, IWDT 専用低速クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|----------------------|---------------|------------|------|------------|---------|-------|
| LOCOクロックサイクル時間 | t_{Lcyc} | 3.78 | 4.16 | 4.63 | μs | |
| LOCOクロック発振周波数 | f_{LOCO} | 216 (-10%) | 240 | 264 (+10%) | kHz | |
| LOCOクロック発振安定待機時間 | t_{LOCOWT} | — | — | 44 | μs | 図 2.6 |
| IWDT専用低速クロックサイクル時間 | t_{iLcyc} | 7.57 | 8.33 | 9.26 | μs | |
| IWDT専用低速クロック発振周波数 | f_{iLOCO} | 108 (-10%) | 120 | 132 (+10%) | kHz | |
| IWDT専用低速クロック発振安定待機時間 | $t_{iLOCOWT}$ | — | 142 | 190 | μs | 図 2.7 |

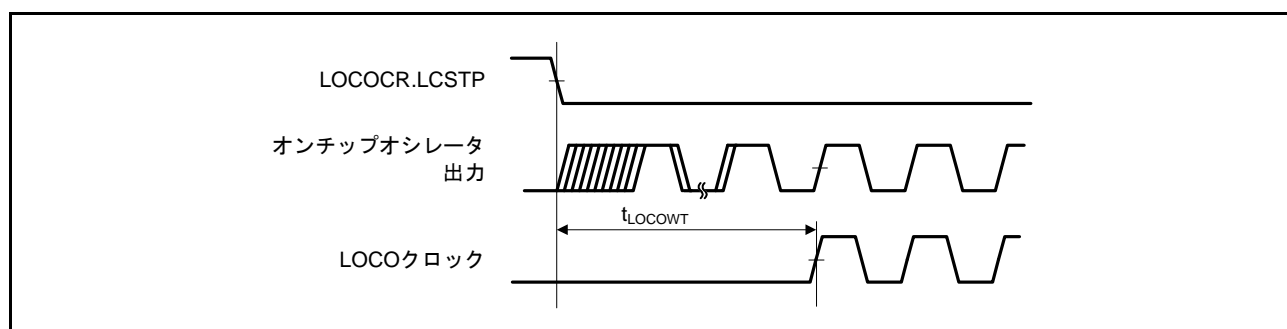


図 2.6 LOCO クロック発振開始タイミング

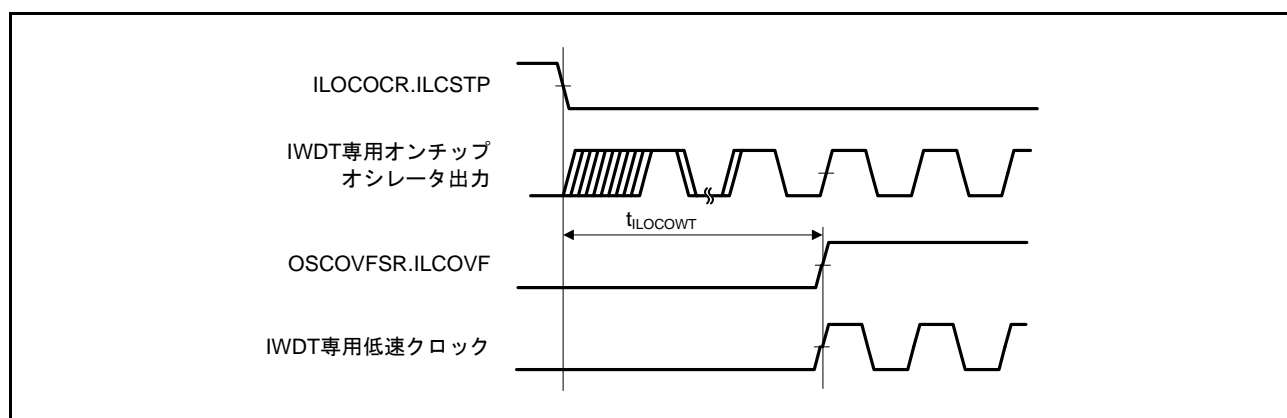


図 2.7 IWDT 専用低速クロック発振開始タイミング

表2.18 HOCOクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 |
|------------------|-------|--------------|-----------------|-----|-----------------|---------------------------|-------------------------|
| HOCOクロック発振周波数 | FLLなし | f_{HOCO} | 15.616 (-2.40%) | 16 | 16.384 (+2.40%) | MHz | $-20^{\circ}C \leq T_a$ |
| | | | 17.568 (-2.40%) | 18 | 18.432 (+2.40%) | | |
| | | | 19.520 (-2.40%) | 20 | 20.480 (+2.40%) | | |
| | FLLあり | f_{HOCO} | 15.520 (-3.00%) | 16 | 16.480 (+3.00%) | MHz | $T_a < -20^{\circ}C$ |
| | | | 17.460 (-3.00%) | 18 | 18.540 (+3.00%) | | |
| | | | 19.400 (-3.00%) | 20 | 20.600 (+3.00%) | | |
| | | | 15.960 (-0.25%) | 16 | 16.040 (+0.25%) | サブクロック周波数精度 : $\pm 50ppm$ | |
| | | | 17.955 (-0.25%) | 18 | 18.045 (+0.25%) | | |
| | | | 19.950 (-0.25%) | 20 | 20.050 (+0.25%) | | |
| HOCOクロック発振安定待機時間 | | t_{HOCOWT} | — | 105 | 149 | μs | 図2.8 |
| HOCOクロック電源安定時間 | | t_{HOCOP} | — | — | 150 | μs | 図2.9 |
| FLL安定待機時間 | | t_{FLLWT} | — | — | 1.8 | ms | |

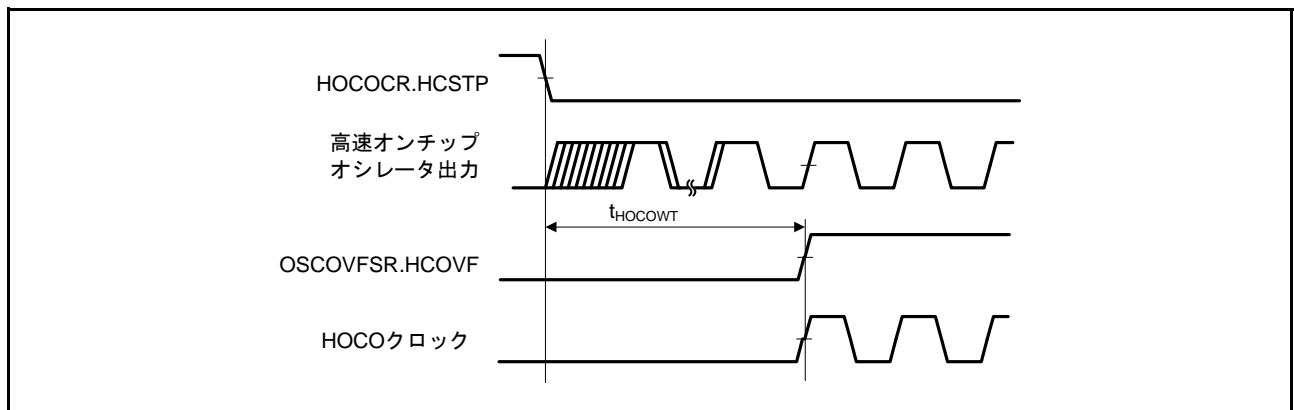


図 2.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

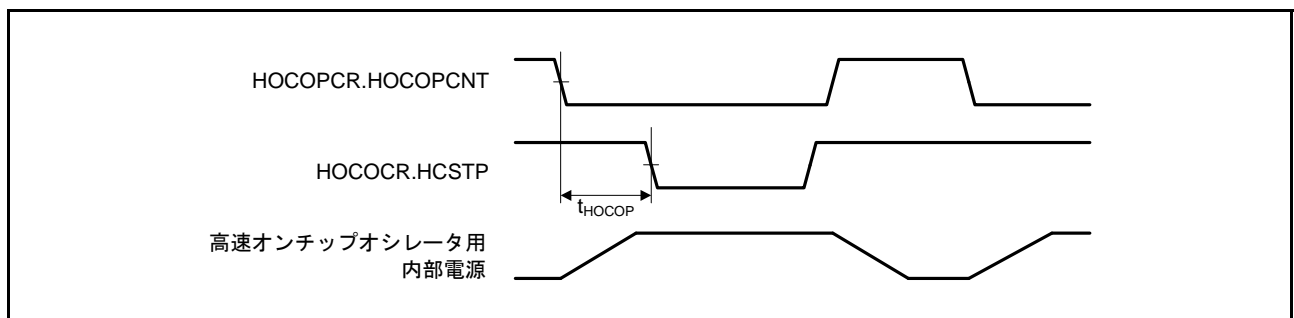


図 2.9 高速オンチップオシレータ電源制御タイミング

表 2.19 PLL クロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|-------------------|-------------|-----|-----|-----|---------|--------|
| PLL クロック 発振周波数 | f_{PLL} | 120 | — | 240 | MHz | |
| PLL クロック 発振安定待機時間 | t_{PLLWT} | — | 259 | 320 | μs | 図 2.10 |

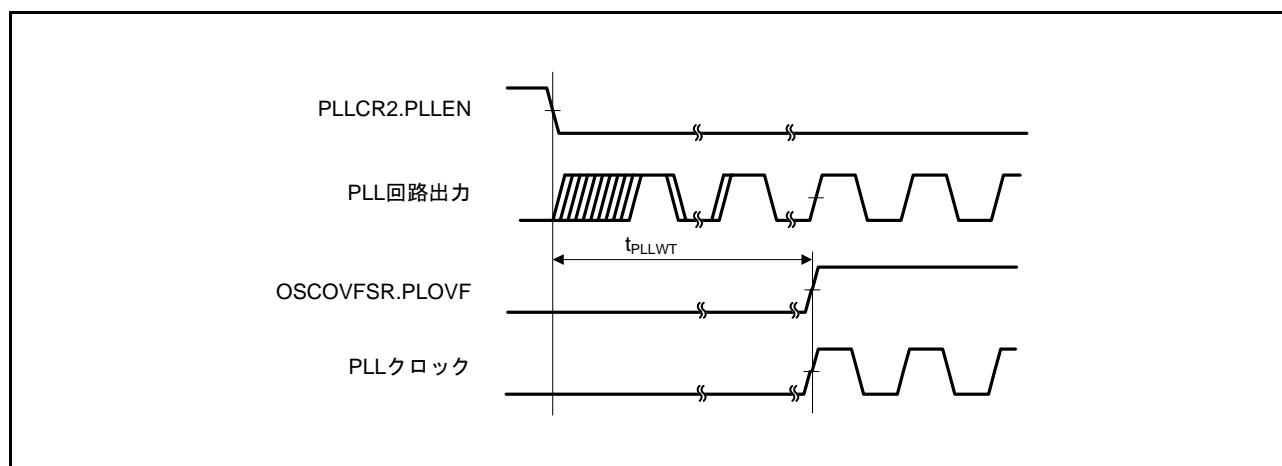


図 2.10 PLL クロック 発振開始タイミング

表 2.20 サブクロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 低 CL 水晶振動子時 $V_{BATT} = 2.0 \sim 3.6V$ 、標準 CL 水晶振動子時 $V_{BATT} = 1.62 \sim 3.6V$ 、 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|------------------|----------------|-----|--------|-------|-----|--------|
| サブクロック 発振器 発振周波数 | f_{SUB} | — | 32.768 | — | kHz | |
| サブクロック 発振安定時間 | t_{SUBOSC} | — | — | (注 1) | s | 図 2.11 |
| サブクロック 発振安定待機時間 | $t_{SUBOSCWT}$ | — | — | (注 2) | s | |

注 1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. サブクロック発振安定待機時間は、SOSWTCR.SSTS[7:0] ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{Loco}$

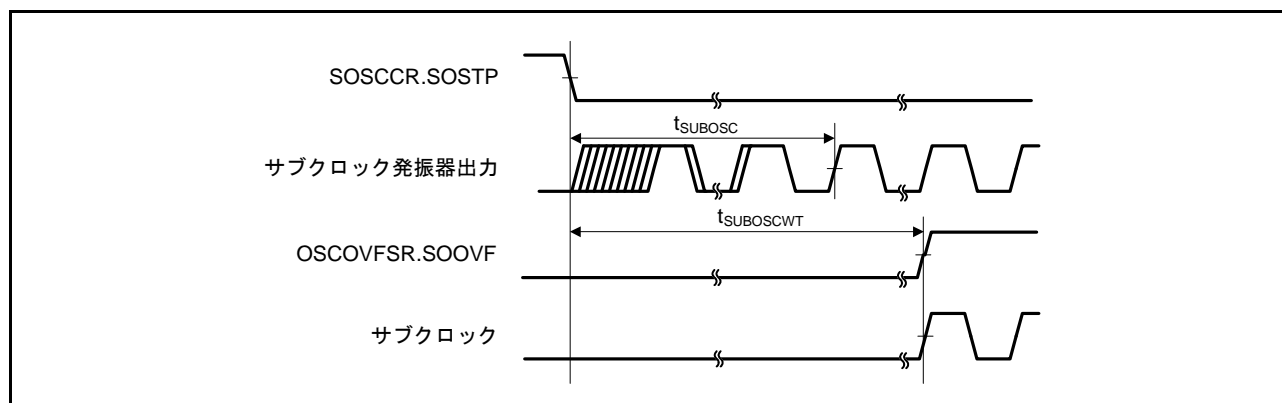


図 2.11 サブクロック 発振開始タイミング

表 2.21 CLKOUT 端子出カタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|----------------------------|-----------|-----|-----|-----|----|-----------------------------------|
| CLKOUT 端子出カサイクル時間 | t_{Cyc} | 25 | — | — | ns | 図 2.12 $t_{Cyc} = 25ns$ の場合 |
| CLKOUT 端子出カ High パルス幅 (注1) | t_{CH} | 5 | — | — | ns | |
| CLKOUT 端子出カ Low パルス幅 (注1) | t_{CL} | 5 | — | — | ns | |
| CLKOUT 端子出カ立ち上がり時間 | t_{Cr} | — | — | 5 | ns | |
| CLKOUT 端子出カ立ち下がり時間 | t_{Cf} | — | — | 5 | ns | |

注 1. CLKOUT 出カソース選択ビット (CKOCR.CKOSEL[2:0]) でメインクロック発振器を選択、かつ、メインクロック発振器切り替えビット (MOFCR.MOSEL) で外部クロック入力を選択している場合は入カクロック波形に依存します。

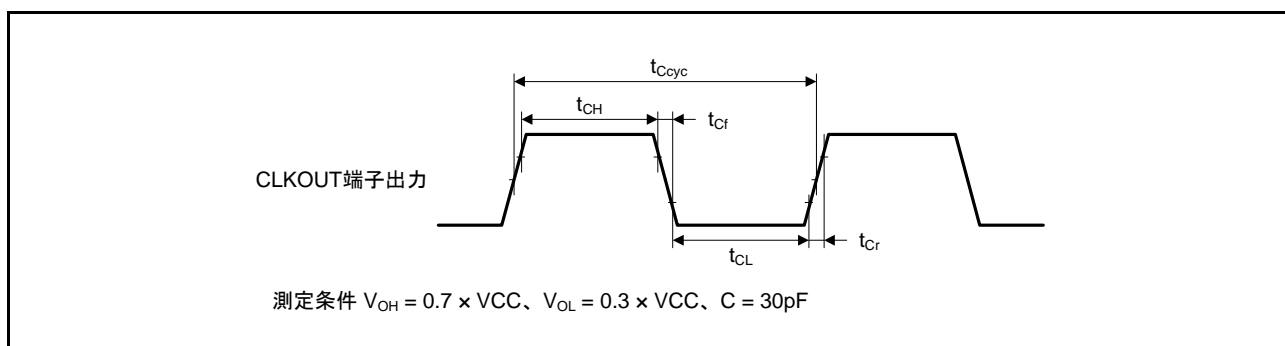


図 2.12 CLKOUT 端子出カタイミング

2.4.3 低消費電力状態からの復帰タイミング

表 2.22 低消費電力状態からの復帰タイミング(1)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

T_a = T_{opr}

| 項目 | 記号 | min | typ | max | | 単位 | 測定条件 |
|----------------------------|----------------------|------------------------|--------------------|----------------------------|--------------------------|----|--------|
| | | | | t _{SBYOSCWT} (注2) | t _{SBYSEQ} (注3) | | |
| ソフトウェアスタンバイモード解除後復帰時間 (注1) | メインクロック発振器に水晶振動子を接続 | メインクロック発振器動作 | t _{SBYMC} | — | — | μs | 図 2.13 |
| | | メインクロック発振器、PLL回路動作 | t _{SBYPC} | | | | |
| | メインクロック発振器に外部クロックを入力 | メインクロック発振器動作 | t _{SBYEX} | | | | |
| | | メインクロック発振器、PLL回路動作 | t _{SBYPE} | | | | |
| | サブクロック発振器動作 | | t _{SBYSC} | | | | |
| | 高速オンチップオシレータ動作 | 高速オンチップオシレータ動作 | t _{SBYHO} | | | | |
| | | 高速オンチップオシレータ動作、PLL回路動作 | t _{SBYPH} | | | | |
| | 低速オンチップオシレータ動作 (注4) | | t _{SBYLO} | | | | |

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。
- 注4. 本条件は、f_{ICLK}:f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

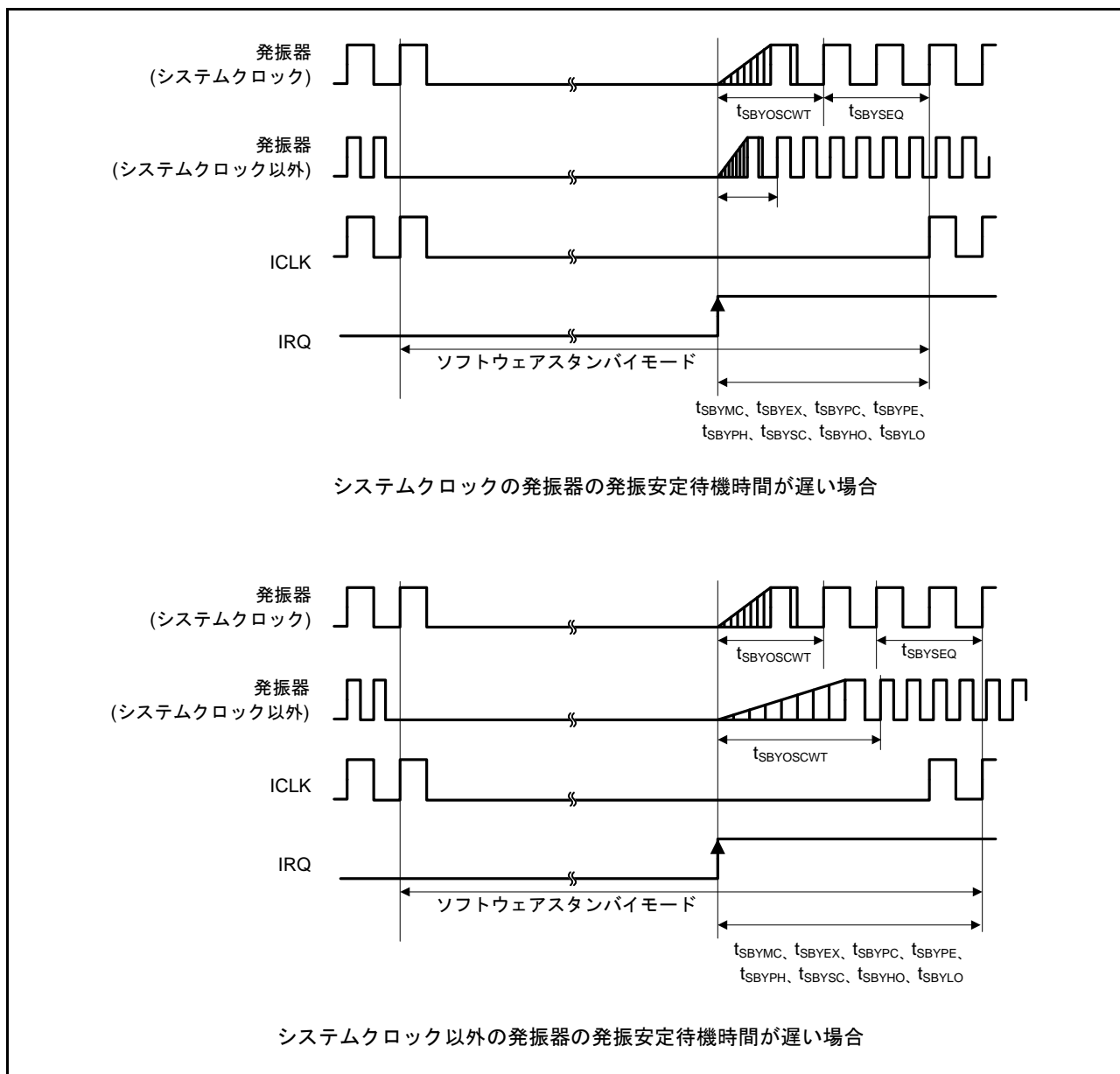


図 2.13 ソフトウェアスタンバイモード解除タイミング

表 2.23 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|---------------------------|--------------|-----|-----|-----|------------|--------|
| ディープソフトウェアスタンバイモード解除後復帰時間 | t_{DSBY} | — | — | 0.9 | ms | 図 2.14 |
| ディープソフトウェアスタンバイモード解除後待機時間 | t_{DSBYWT} | 23 | — | 24 | t_{Lcyc} | |

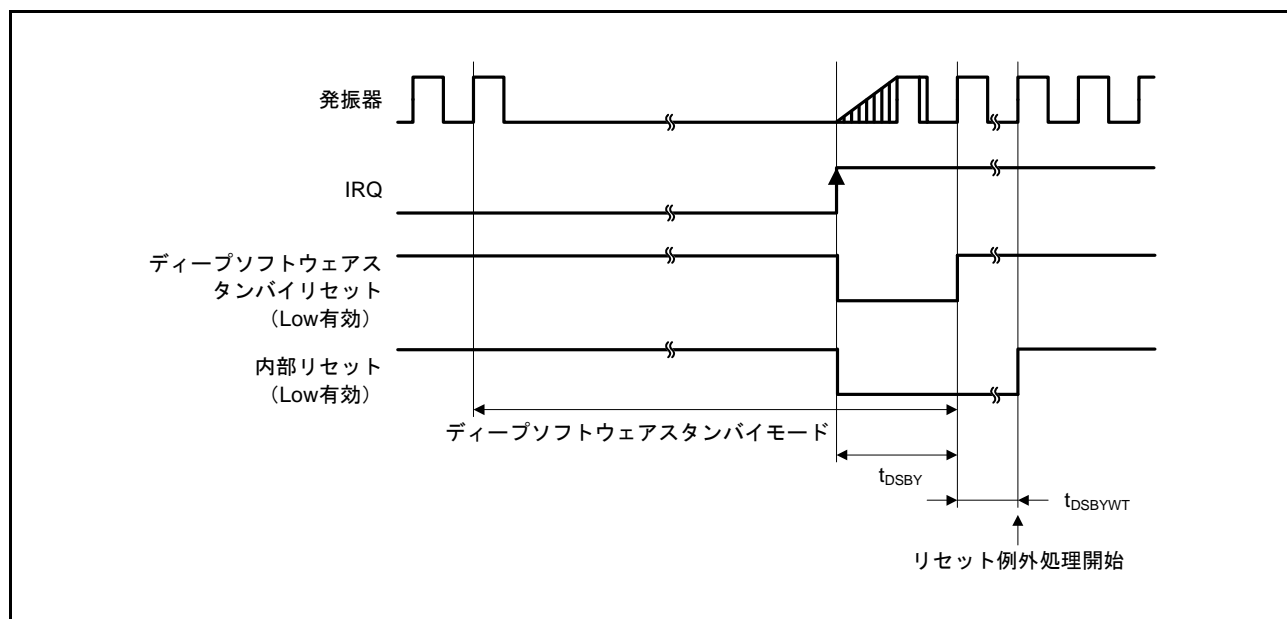


図 2.14 ディープソフトウェアスタンバイモード解除タイミング

2.4.4 制御信号タイミング

表 2.24 制御信号タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $PCLKB = 8 \sim 60MHz, T_a = T_{opr}$

| 項目 | 記号 | min (注1) | typ | max | 単位 | 測定条件 (注1) |
|---------|------------|----------------------|-----|-----|----|---|
| NMIパルス幅 | t_{NMIW} | 200 | — | — | ns | $t_{PBcyc} \times 2 \leq 200ns$ 、図 2.15 |
| | | $t_{PBcyc} \times 2$ | — | — | | $t_{PBcyc} \times 2 > 200ns$ 、図 2.15 |
| IRQパルス幅 | t_{IRQW} | 200 | — | — | ns | $t_{PBcyc} \times 2 \leq 200ns$ 、図 2.16 |
| | | $t_{PBcyc} \times 2$ | — | — | | $t_{PBcyc} \times 2 > 200ns$ 、図 2.16 |

注1. t_{PBcyc} : PCLKBの周期

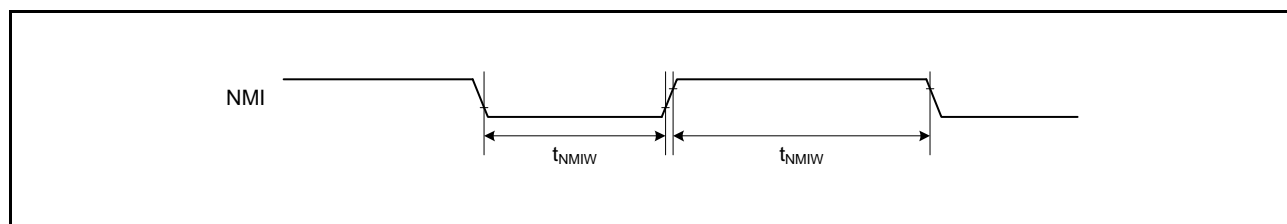


図 2.15 NMI 割り込み入力タイミング

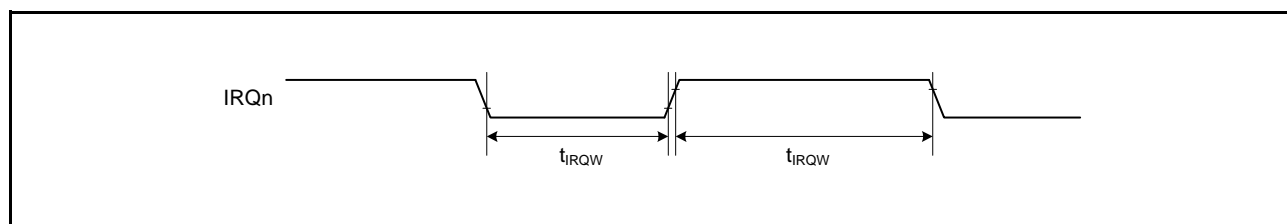


図 2.16 IRQ 割り込み入力タイミング

2.4.5 バスタイミング

表 2.25 バスタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 |
|-------------------------|------------|------|------|----|-----------------|
| アドレス遅延時間 | t_{AD} | — | 12.5 | ns | 図 2.17 ~ 図 2.22 |
| バイトコントロール遅延時間 | t_{BCD} | — | 12.5 | ns | |
| CS#遅延時間 | t_{CSD} | — | 12.5 | ns | |
| ALE 遅延時間 | t_{ALED} | — | 12.5 | ns | |
| RD#遅延時間 | t_{RSD} | — | 12.5 | ns | |
| リードデータセットアップ時間 | t_{RDS} | 12.5 | — | ns | |
| リードデータホールド時間 | t_{RDH} | 0 | — | ns | |
| WR#遅延時間 | t_{WRD} | — | 12.5 | ns | |
| ライトデータ遅延時間 | t_{WDD} | — | 12.5 | ns | |
| ライトデータホールド時間 | t_{WDH} | 0 | — | ns | |
| WAIT#セットアップ時間 | t_{WTS} | 12.5 | — | ns | |
| WAIT#ホールド時間 | t_{WTH} | 0 | — | ns | |
| アドレス遅延時間2 (SDRAM) | t_{AD2} | 1 | 12.5 | ns | 図 2.24 ~ 図 2.30 |
| CS#遅延時間2 (SDRAM) | t_{CSD2} | 1 | 12.5 | ns | |
| DQM遅延時間 (SDRAM) | t_{DQMD} | 1 | 12.5 | ns | |
| CKE遅延時間 (SDRAM) | t_{CKED} | 1 | 12.5 | ns | |
| リードデータセットアップ時間2 (SDRAM) | t_{RDS2} | 10 | — | ns | |
| リードデータホールド時間2 (SDRAM) | t_{RDH2} | 0 | — | ns | |
| ライトデータ遅延時間2 (SDRAM) | t_{WDD2} | — | 12.5 | ns | |
| ライトデータホールド時間2 (SDRAM) | t_{WDH2} | 1 | — | ns | |
| WE#遅延時間 (SDRAM) | t_{WED} | 1 | 12.5 | ns | |
| RAS#遅延時間 (SDRAM) | t_{RASD} | 1 | 12.5 | ns | |
| CAS#遅延時間 (SDRAM) | t_{CASD} | 1 | 12.5 | ns | |

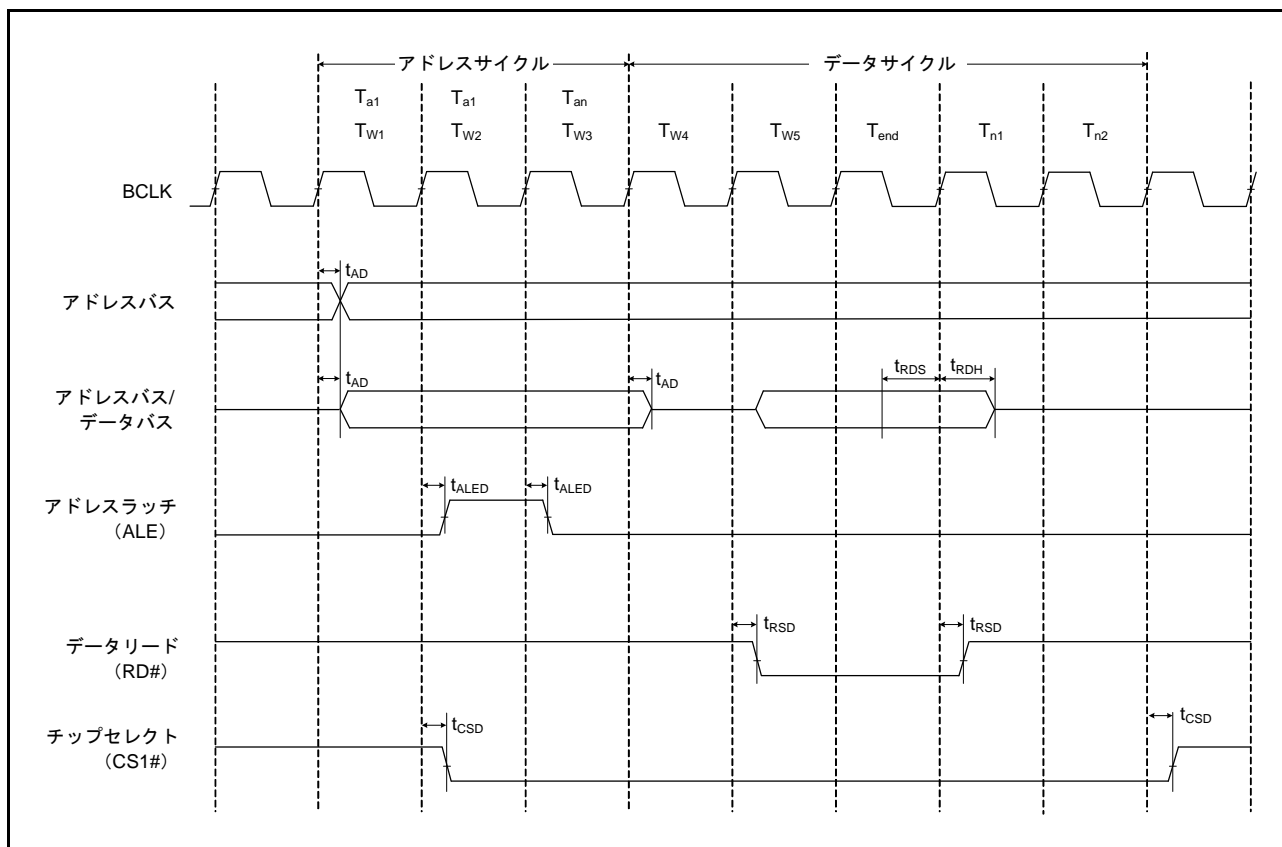


図 2.17 アドレス/データマルチプレクスバスのリードアクセスタイミング

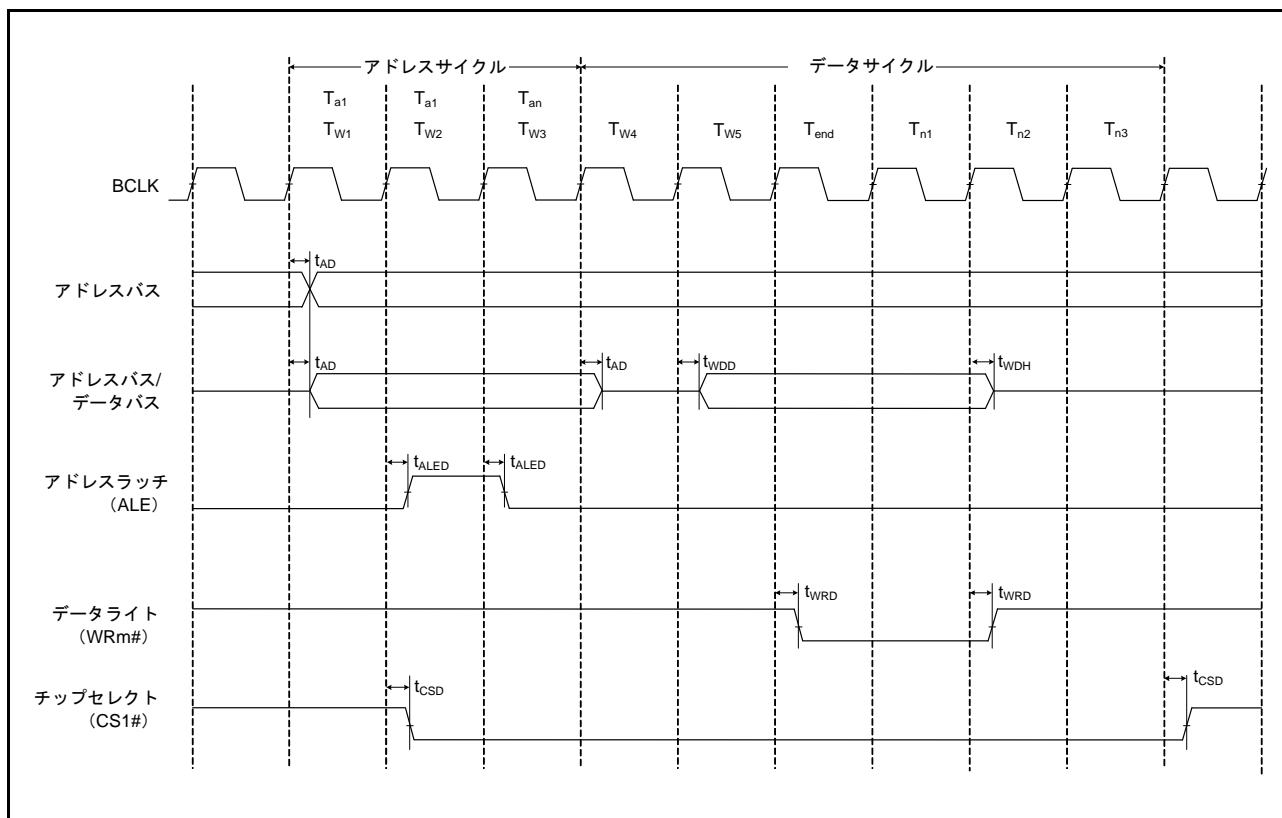


図 2.18 アドレス/データマルチプレクスバスのライトアクセスタイミング

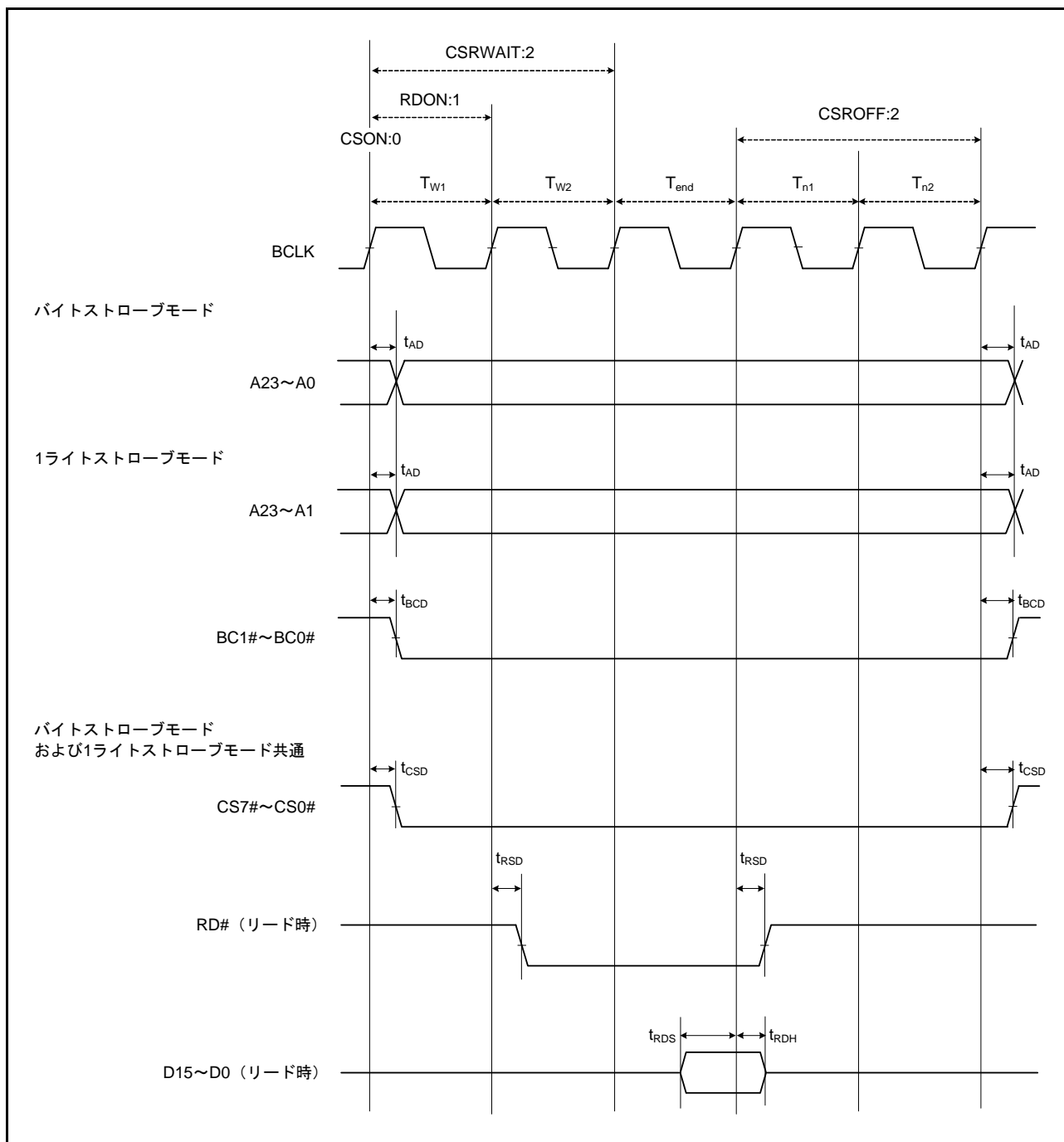


図 2.19 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

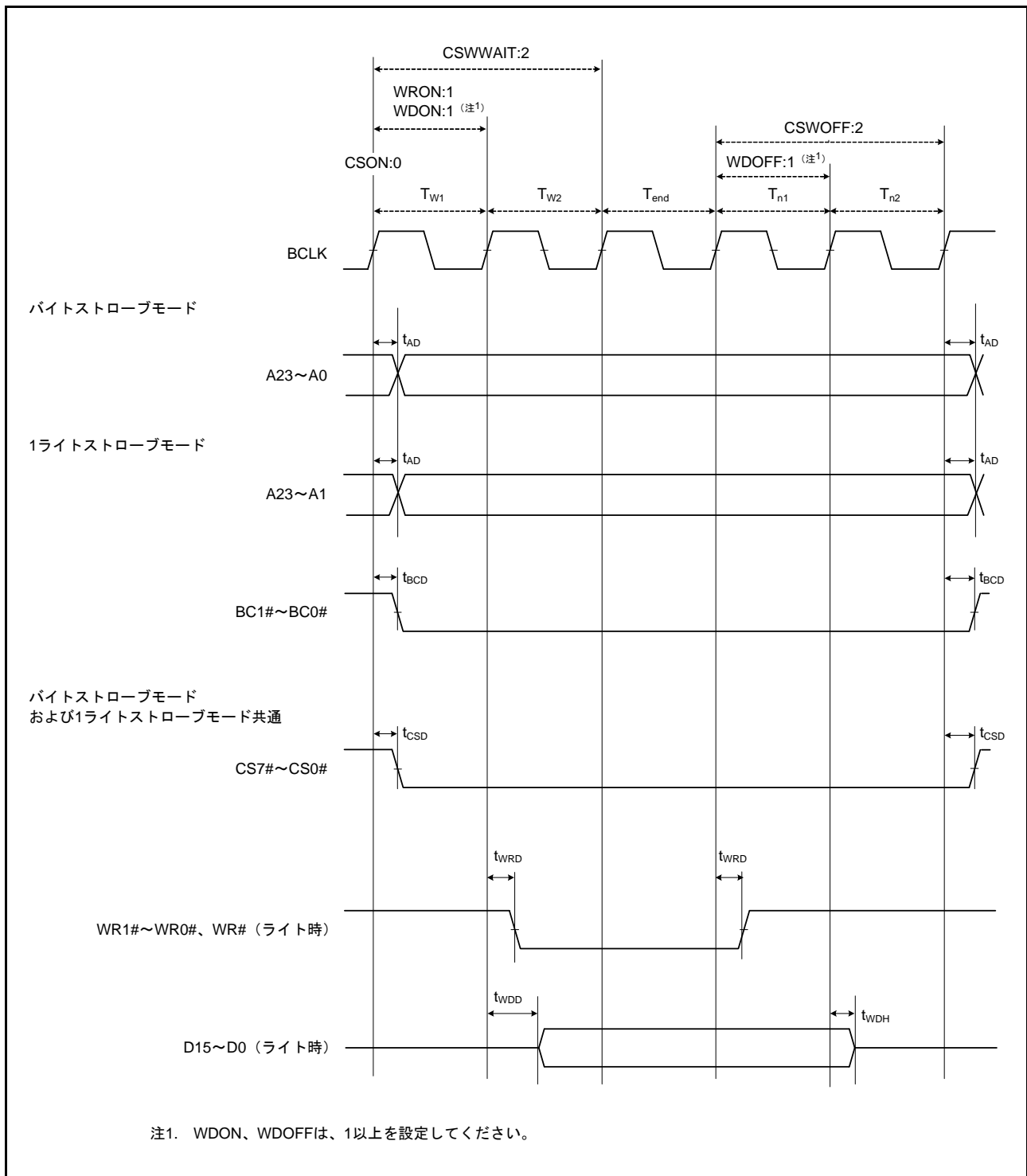


図 2.20 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

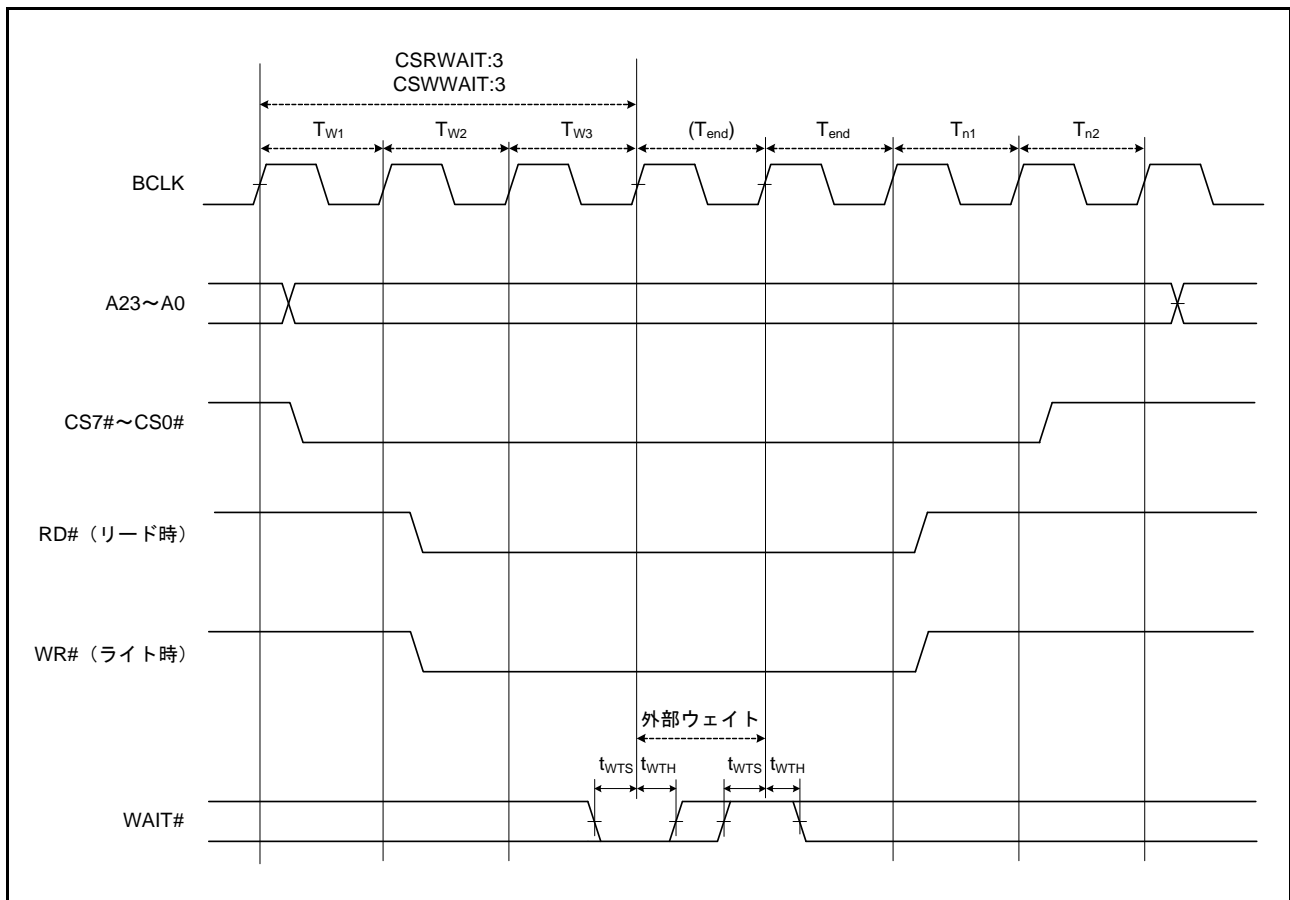


図 2.23 外部バスタイミング / 外部ウェイト制御

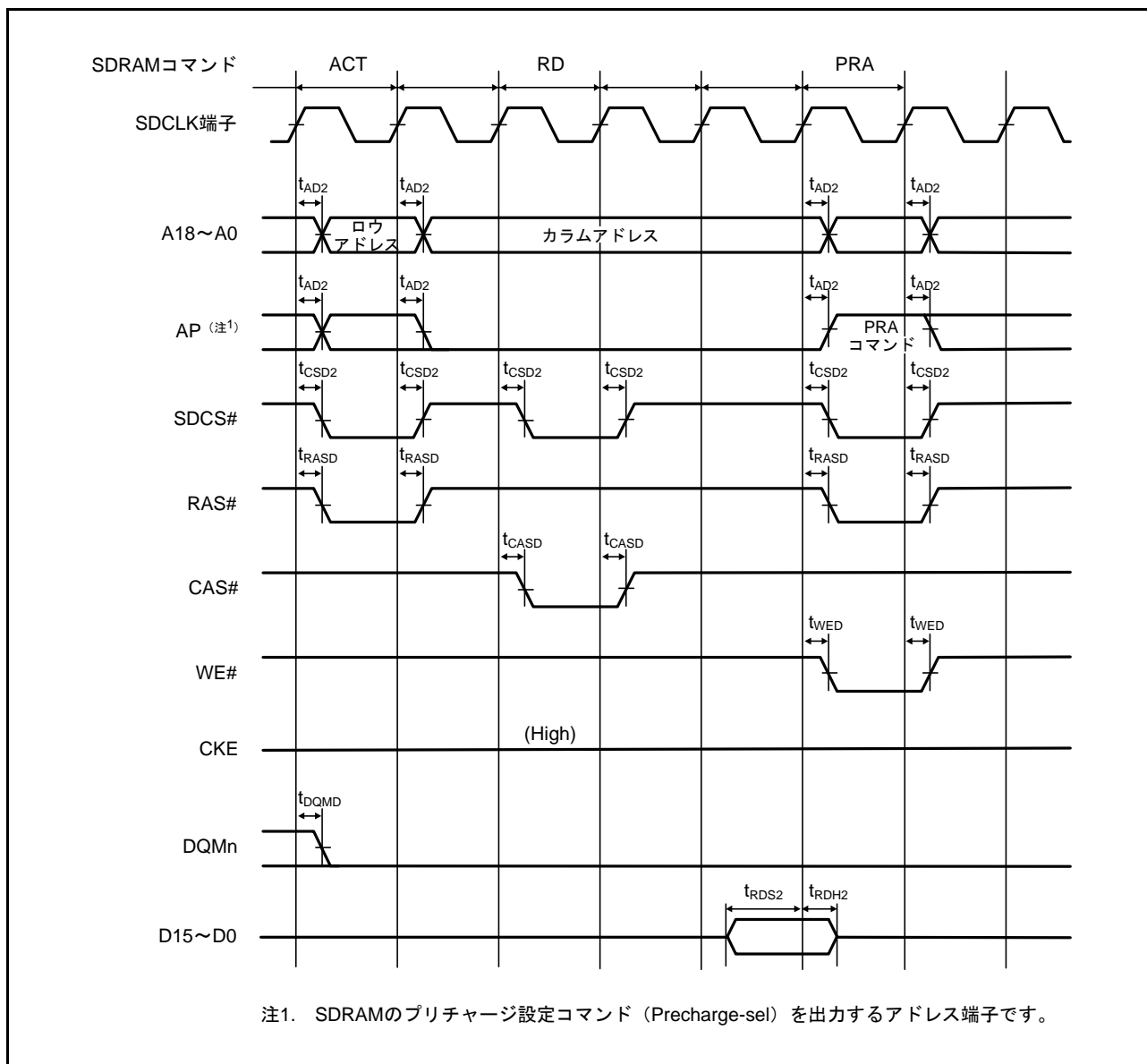


図 2.24 SDRAM 空間シングルリードバスタイミング

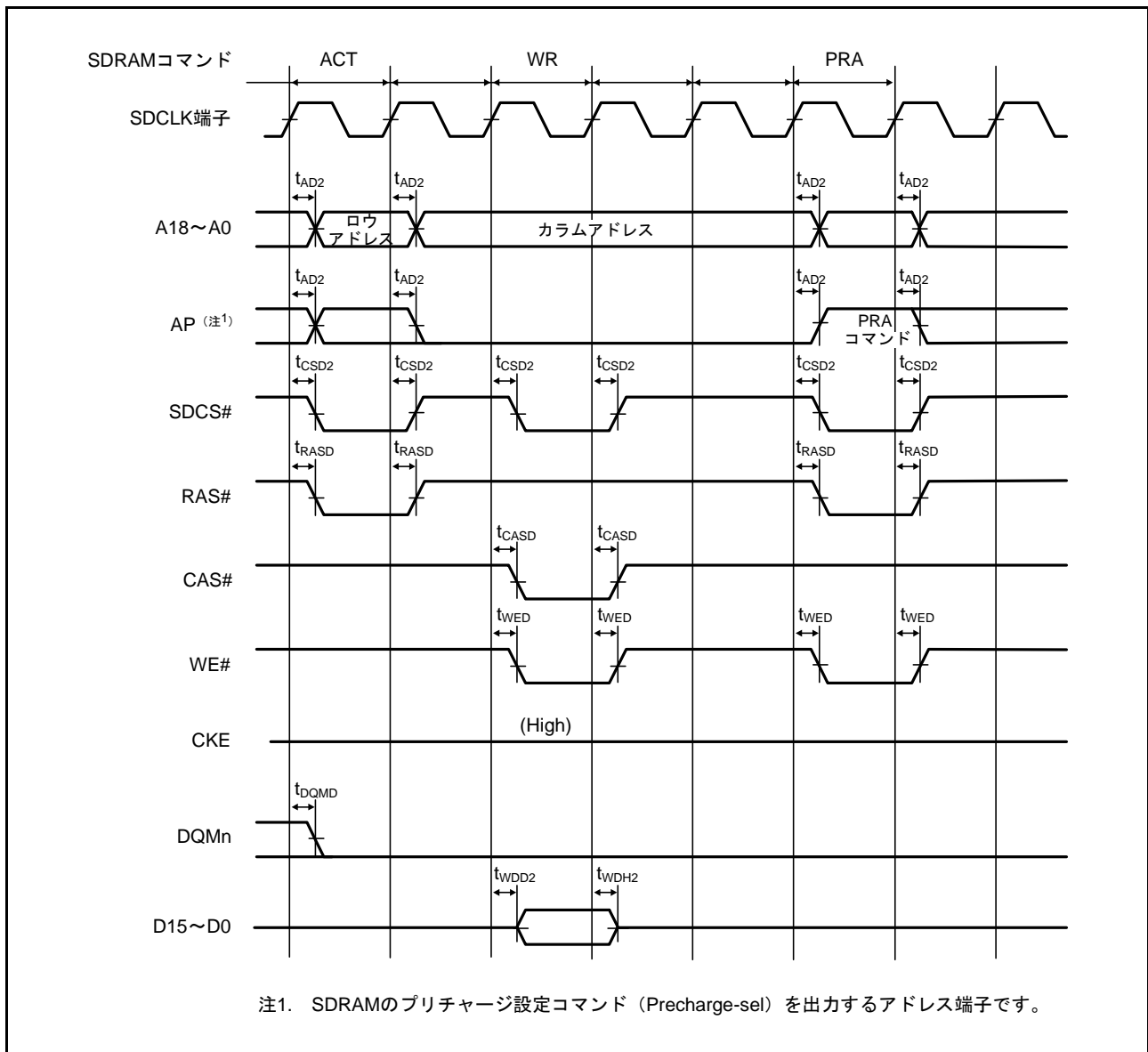


図 2.25 SDRAM 空間シングルライトバスタイミング

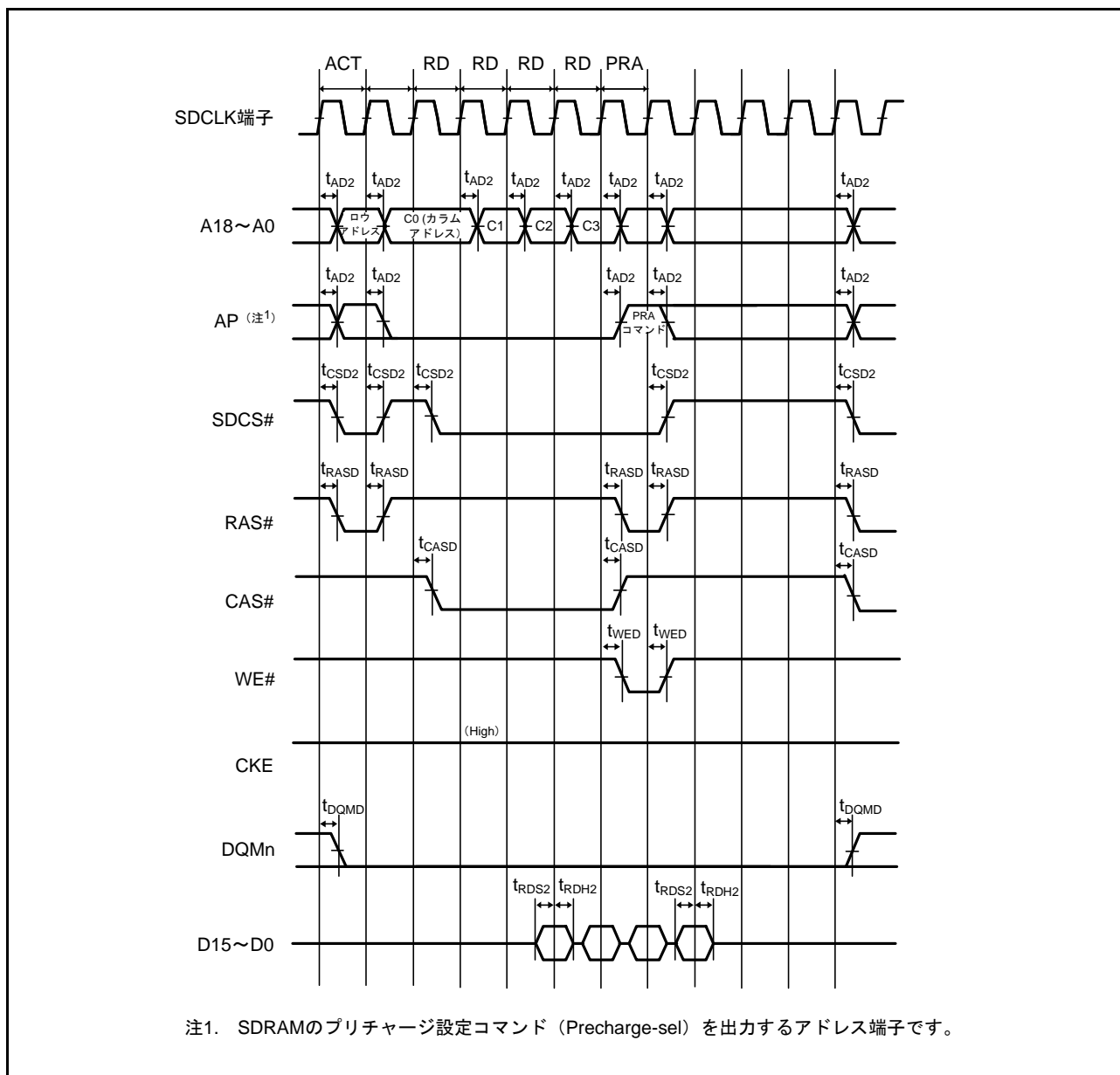


図 2.26 SDRAM 空間複数リードバスタイミング

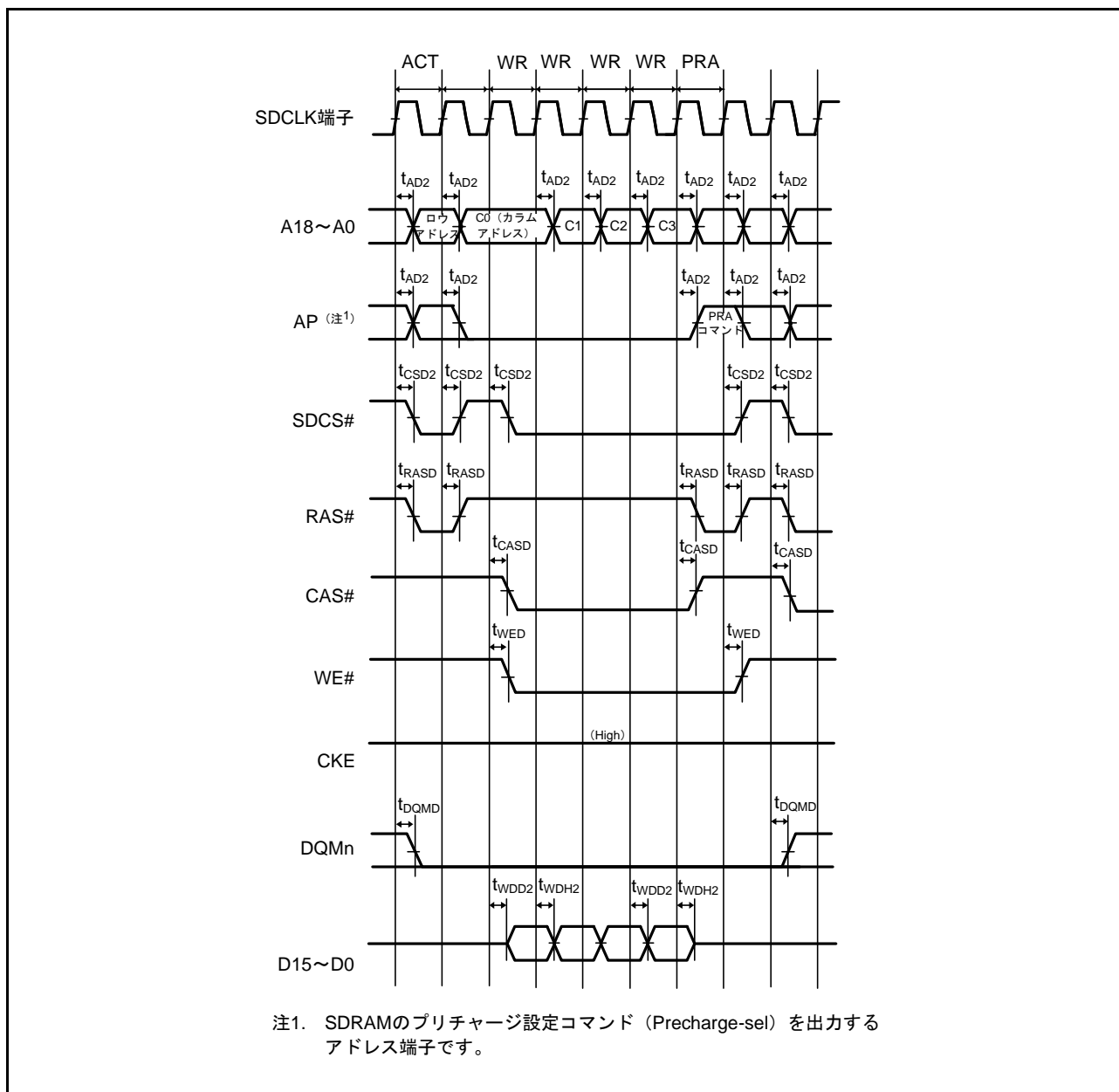


図 2.27 SDRAM 空間複数ライトバスタイミング

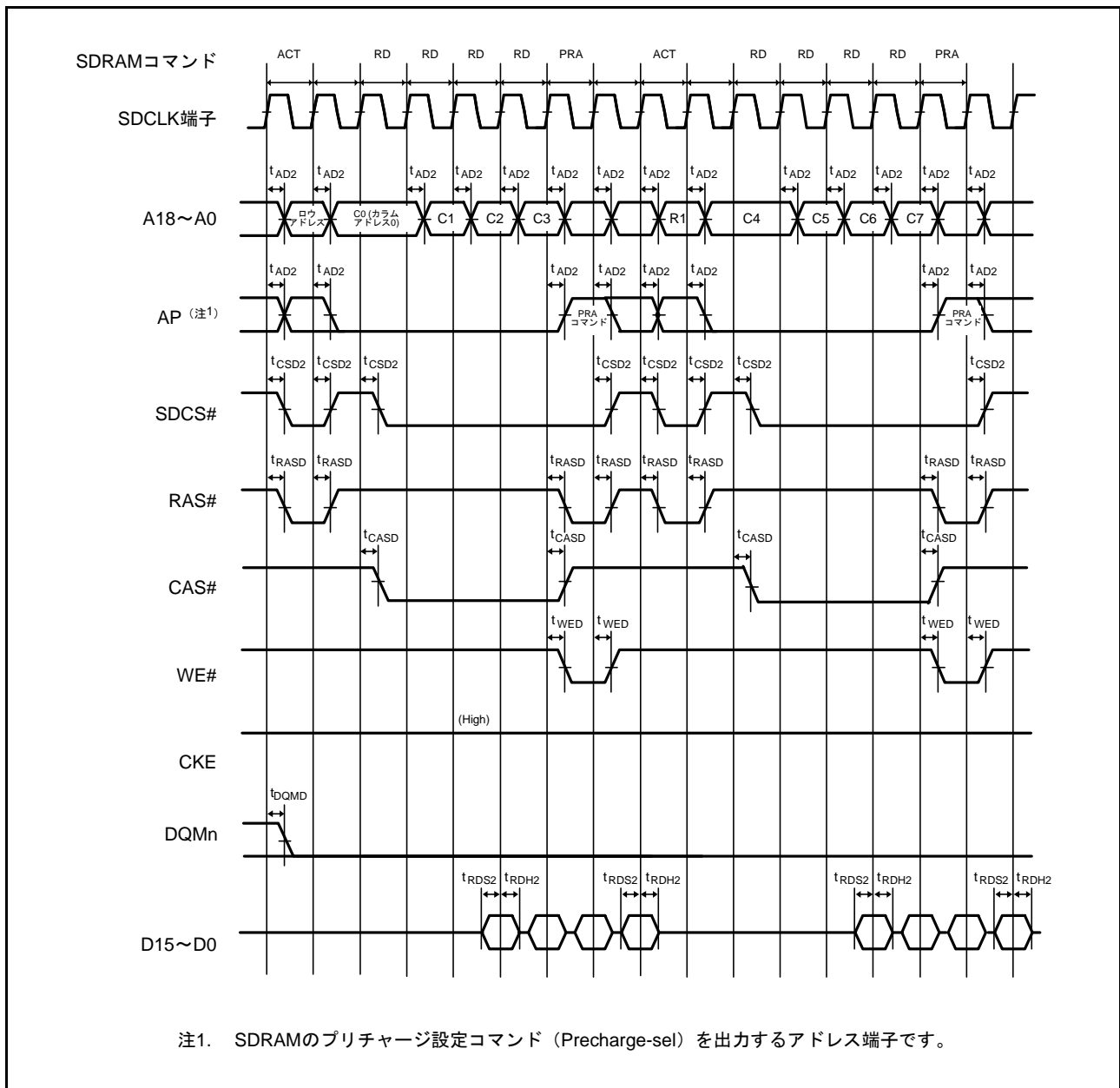


図 2.28 SDRAM 空間複数リード行またぎバスタイミング

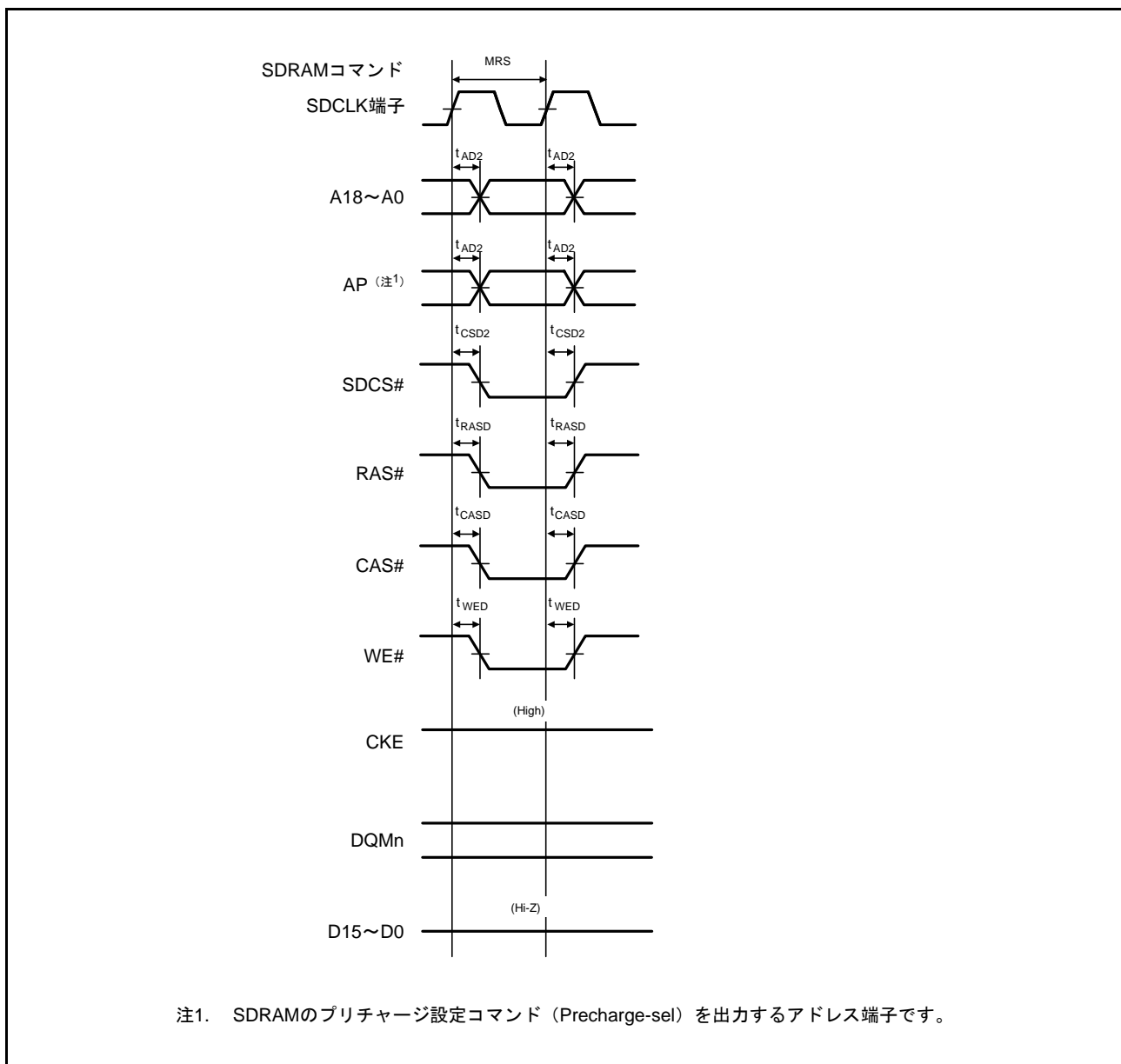


図 2.29 SDRAM 空間モードレジスタセットバスタイミング

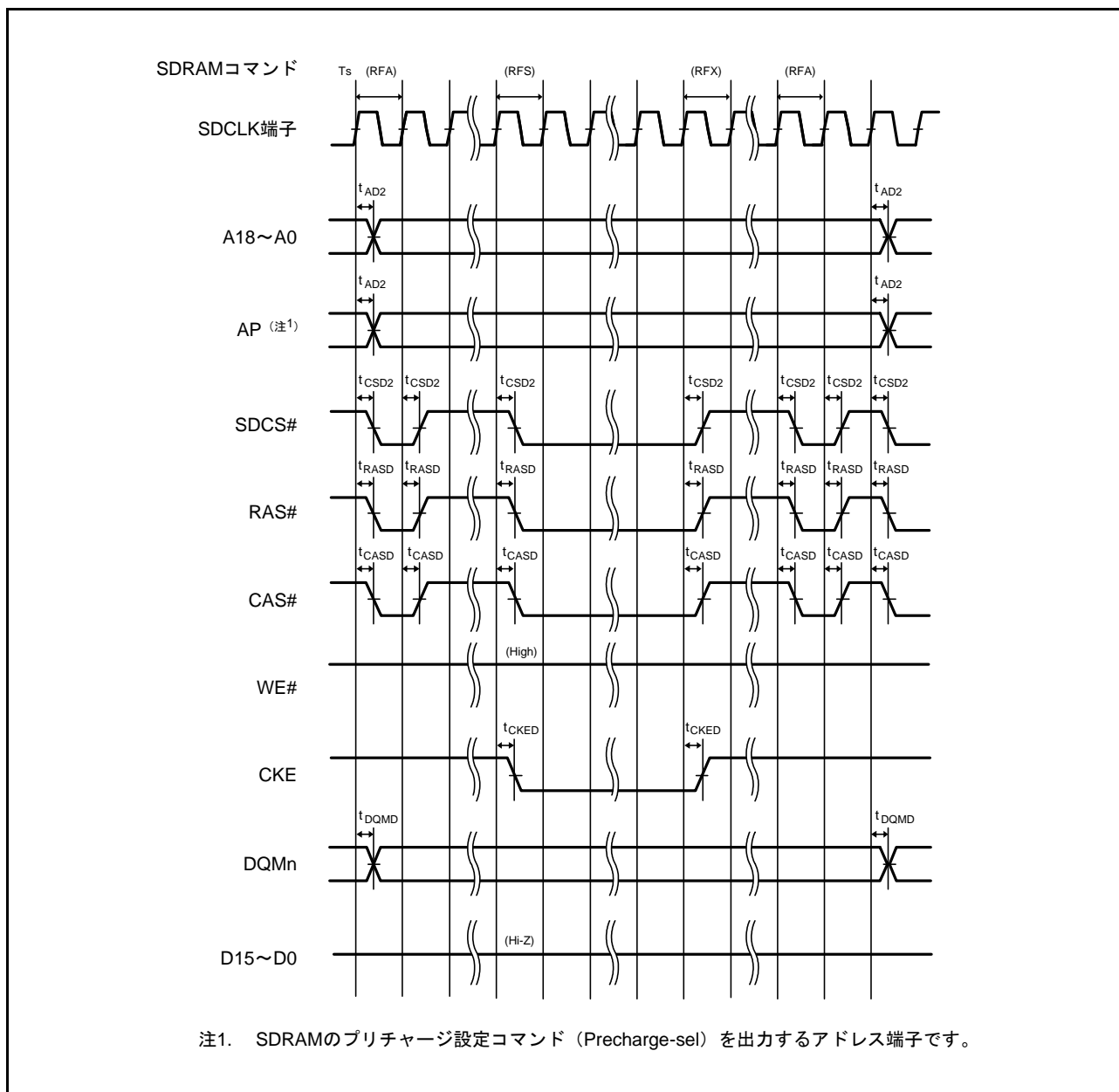


図 2.30 SDRAM 空間セルフリフレッシュバスタイミング

2.4.6 EXDMAC タイミング

表 2.26 EXDMAC タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 | 測定条件 |
|--------|----------------|-------------|-----|-----|----|-------------------|
| EXDMAC | EDREQ セットアップ時間 | t_{EDRQS} | 13 | — | ns | 図 2.31 |
| | EDREQ ホールド時間 | t_{EDRQH} | 2 | — | ns | |
| | EDACK 遅延時間 | t_{EDACD} | — | 13 | ns | 図 2.32、 図 2.33 |

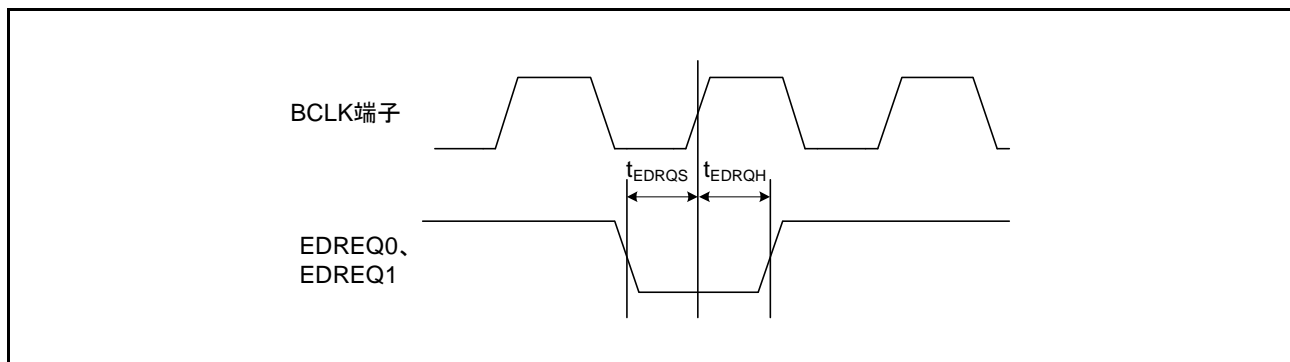


図 2.31 EDREQ0, EDREQ1 入カタイミング

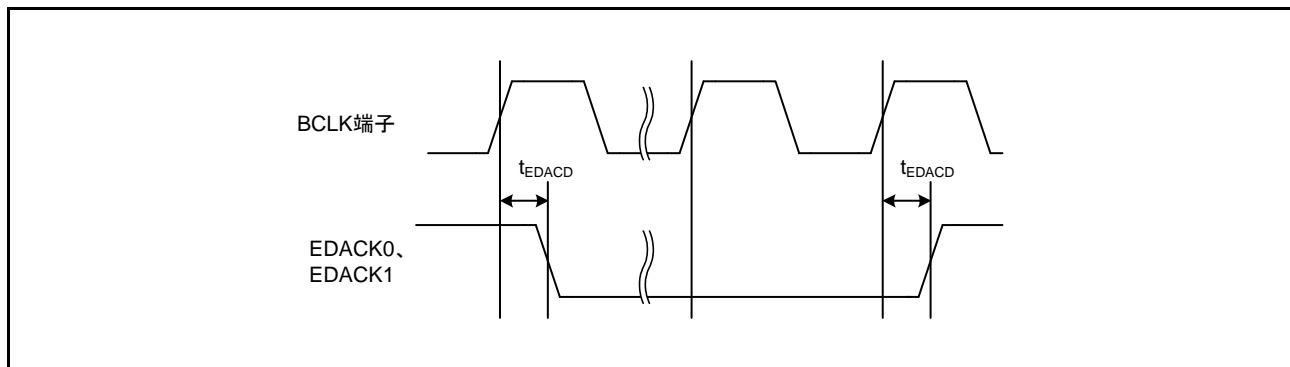


図 2.32 EDACK0, EDACK1 シングルアドレス転送タイミング (CS 領域)

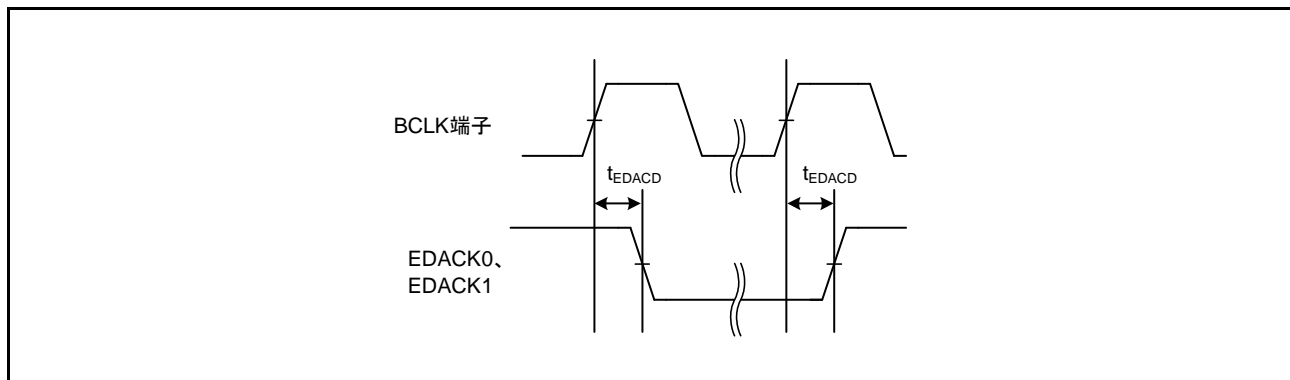


図 2.33 EDACK0, EDACK1 シングルアドレス転送タイミング (SDRAM 領域)

2.4.7 内蔵周辺モジュールタイミング

2.4.7.1 I/O ポート

表 2.27 I/O ポートタイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|--------|-----------|-----------|-----|-----|-------------|--------|
| I/Oポート | 入カデータパルス幅 | t_{PRW} | 1.5 | — | t_{PBcyc} | 図 2.34 |

注1. t_{PBcyc} : PCLKBの周期

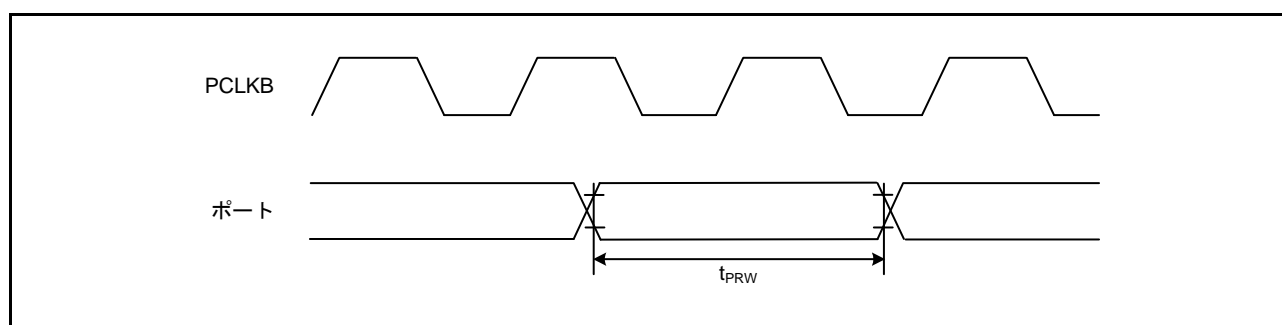


図 2.34 I/O ポート入力タイミング

2.4.7.2 TPU

表2.28 TPUタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|---------|----------------------|--------|--|-----|--------------------|--------------------|
| TPU | インプットキャプチャ入力 パルス幅 | 単エッジ指定 | 1.5 | — | t _{PBcyc} | 図2.35 |
| | | 両エッジ指定 | 2.5 | — | | |
| | タイマクロックパルス幅 | 単エッジ指定 | t _{TCKWH} , t _{TCKWL} | 1.5 | — | t _{PBcyc} |
| 両エッジ指定 | | 2.5 | | — | | |
| 位相計数モード | | 2.5 | — | | | |

注1. t_{PBcyc}：PCLKBの周期

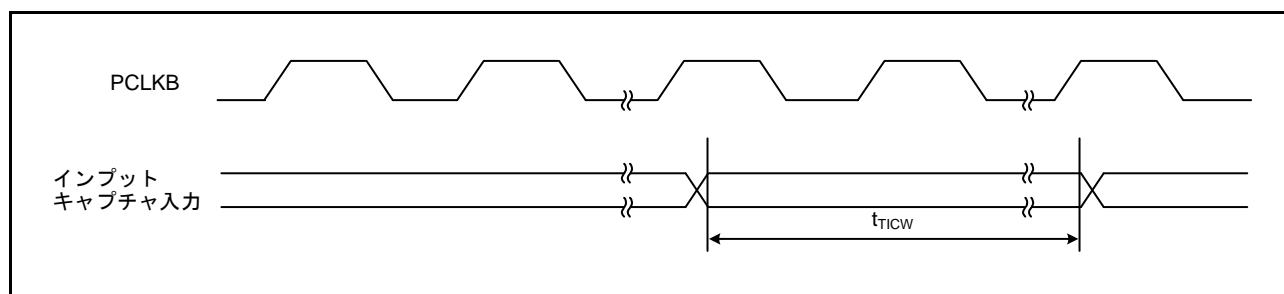


図 2.35 TPU インプットキャプチャ入力タイミング

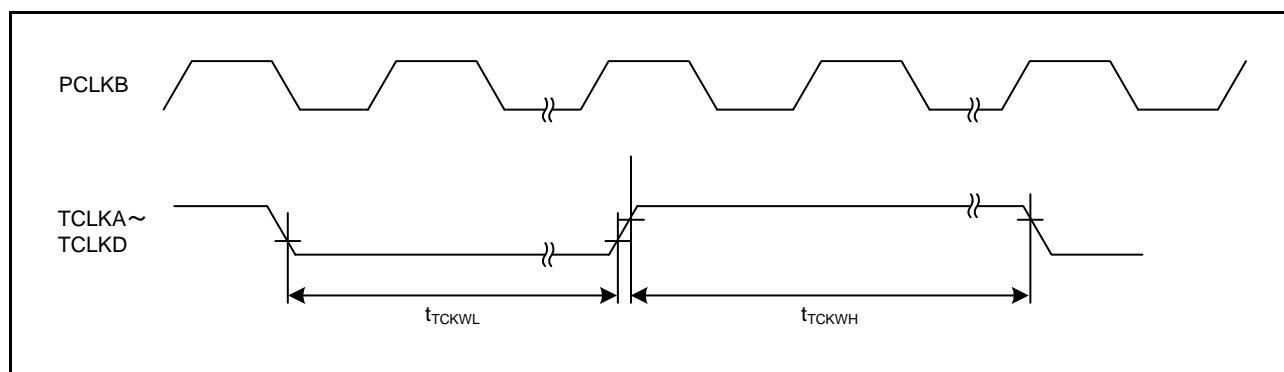


図 2.36 TPU クロック入力タイミング

2.4.7.3 TMR

表 2.29 TMR タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|-----|-------------|--------|-----|-----|-------------|--------|
| TMR | タイマクロックパルス幅 | 単エッジ指定 | 1.5 | — | t_{PBcyc} | 図 2.37 |
| | | 両エッジ指定 | 2.5 | — | | |

注1. t_{PBcyc} : PCLKBの周期

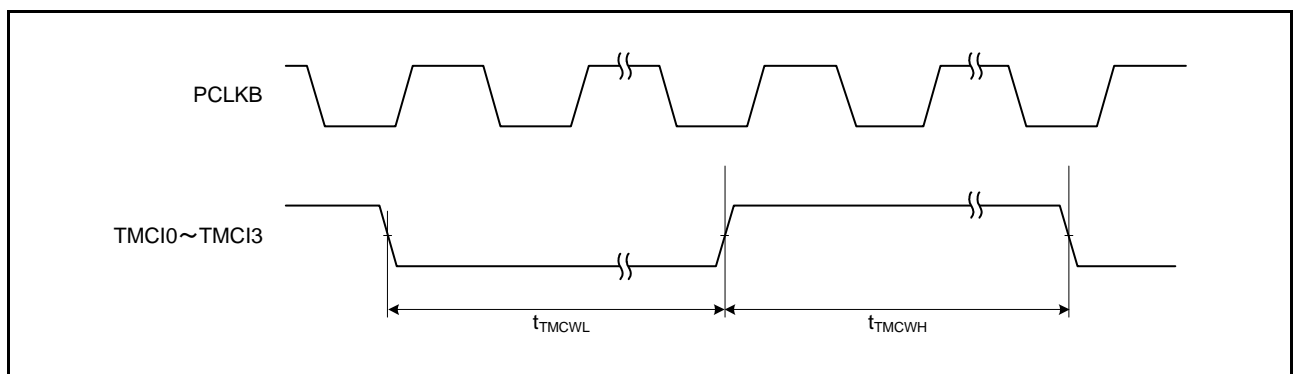


図 2.37 TMR クロック入力タイミング

2.4.7.4 CMTW

表 2.30 CMTW タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|------|----------------------|--------|-----|-----|-------------|--------|
| CMTW | インプットキャプチャ入力 パルス幅 | 単エッジ指定 | 1.5 | — | t_{PBcyc} | 図 2.38 |
| | | 両エッジ指定 | 2.5 | — | | |

注1. t_{PBcyc} : PCLKBの周期

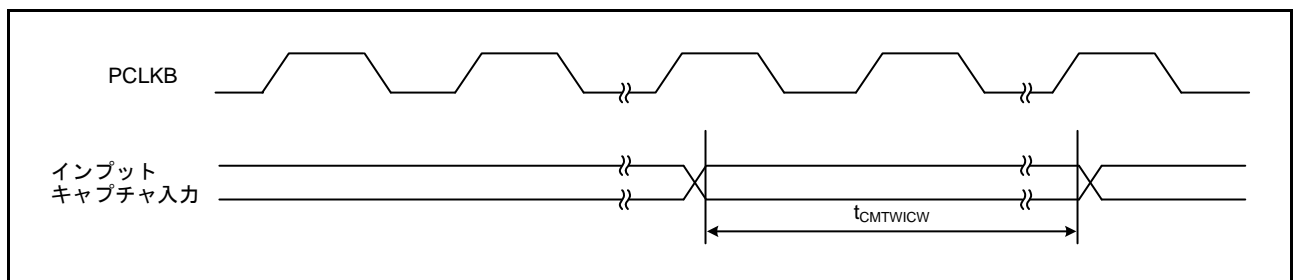


図 2.38 CMTW インプットキャプチャ入力タイミング

2.4.7.5 MTU

表 2.31 MTU タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq V_{REFH0} \leq AVCC0,$
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr},$
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}, V_{OL} = 0.5 \times V_{CC}, C = 30pF,$
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 | |
|-----|----------------------|---------|-------------------------------|-----|-------------|-------------|--------|
| MTU | インプットキャプチャ入力 パルス幅 | 単エッジ指定 | 1.5 | — | t_{PAcyc} | 図 2.39 | |
| | | 両エッジ指定 | | | | | |
| | タイマクロックパルス幅 | 単エッジ指定 | $t_{MTCKWH},$ t_{MTCKWL} | 1.5 | — | t_{PAcyc} | 図 2.40 |
| | | 両エッジ指定 | | | | | |
| | | 位相計数モード | | | | | |

注 1. t_{PAcyc} : PCLKA の周期

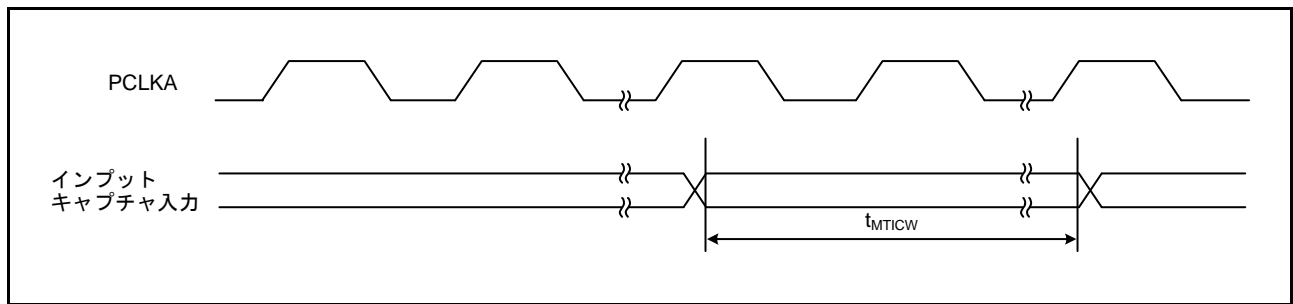


図 2.39 MTU インプットキャプチャ入力タイミング

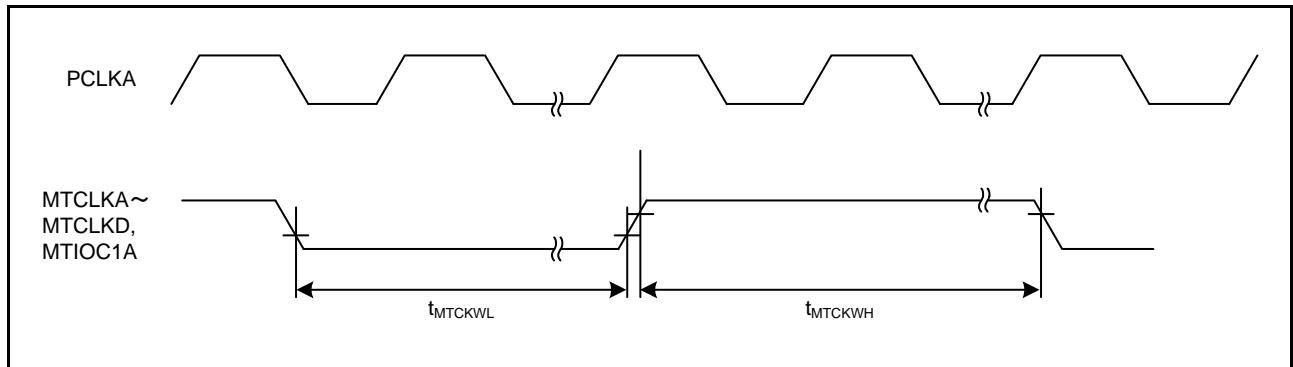


図 2.40 MTU クロック入力タイミング

2.4.7.6 POE3

表 2.32 POE3 タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | typ | max | 単位 (注1) | 測定条件 | |
|-----|------------------------------------|---------------------|--------------------|-----|---------------|--------------------|-------------------------|---|
| POE | POEn# 入力パルス幅 (n = 0, 4, 8, 10, 11) | t _{POEW} | 1.5 | — | — | t _{PBcyc} | 図 2.41 | |
| | 出力ディセーブル時間 | POEn# 端子の変化 | t _{POEDI} | — | — | 5 PCLKB + 0.24 | μs | 図 2.42 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1 ~ 5, n = 0, 4, 8, 10, 11)) |
| | | 出力端子の短絡 | t _{POEDO} | — | — | 3 PCLKB + 0.2 | μs | 図 2.43 |
| | レジスタ設定 | t _{POEDS} | — | — | 1 PCLKB + 0.2 | μs | 図 2.44 レジスタアクセス時間は除く | |
| | 発振停止検出 | t _{POEDOS} | — | — | 21 | μs | 図 2.45 | |

注 1. t_{PBcyc} : PCLKB の周期

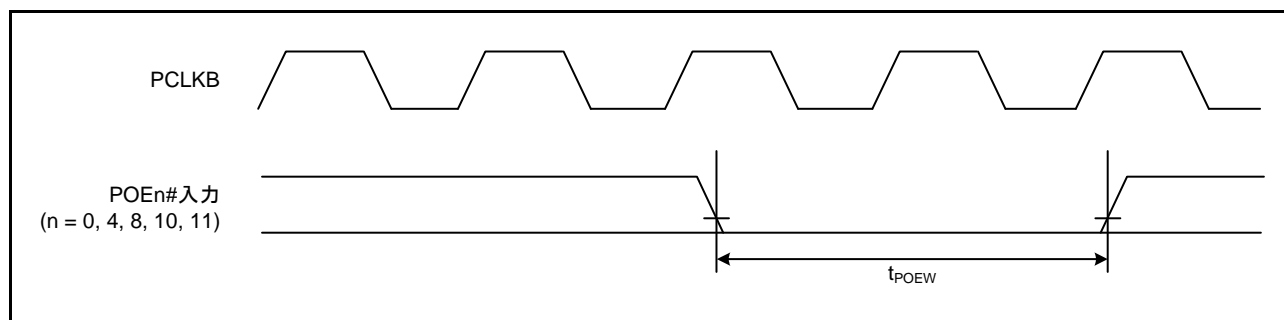


図 2.41 POE# 端子入力タイミング

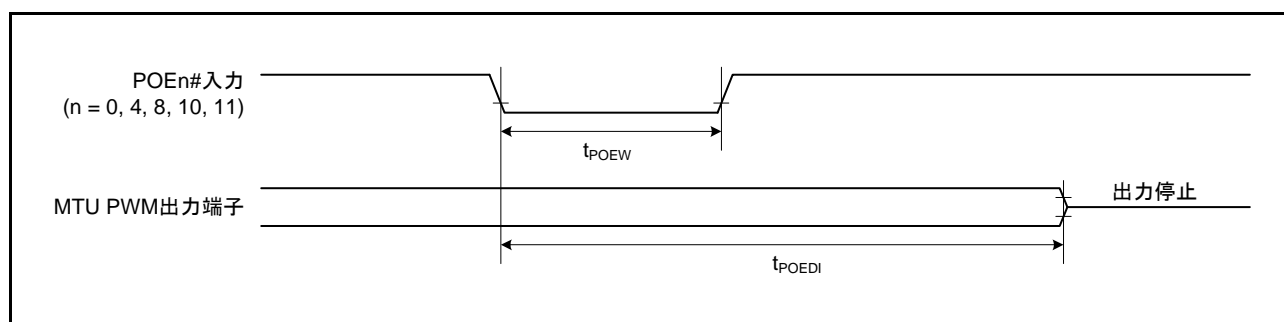


図 2.42 POE 出力ディセーブル時間 (POEn# 端子の変化)

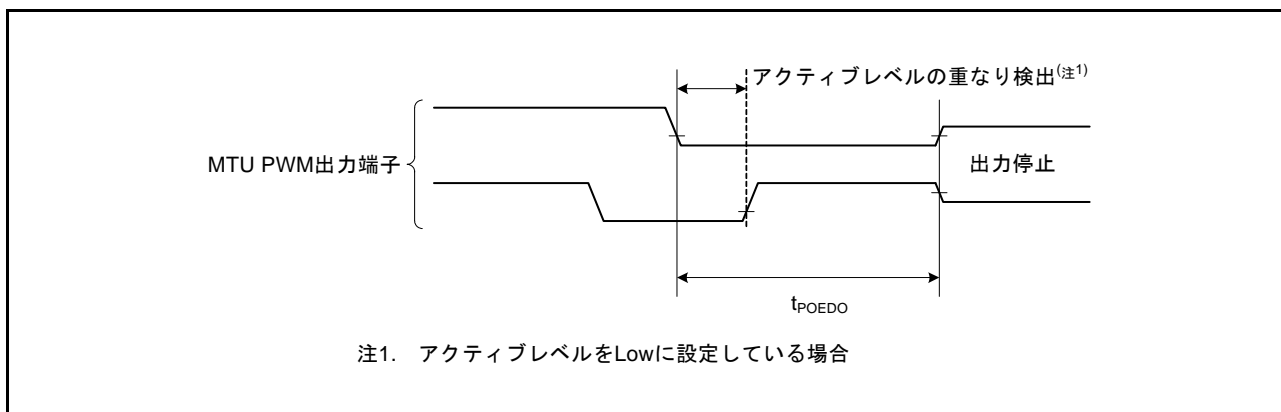


図 2.43 POE 出力ディセーブル時間 (出力端子の短絡)

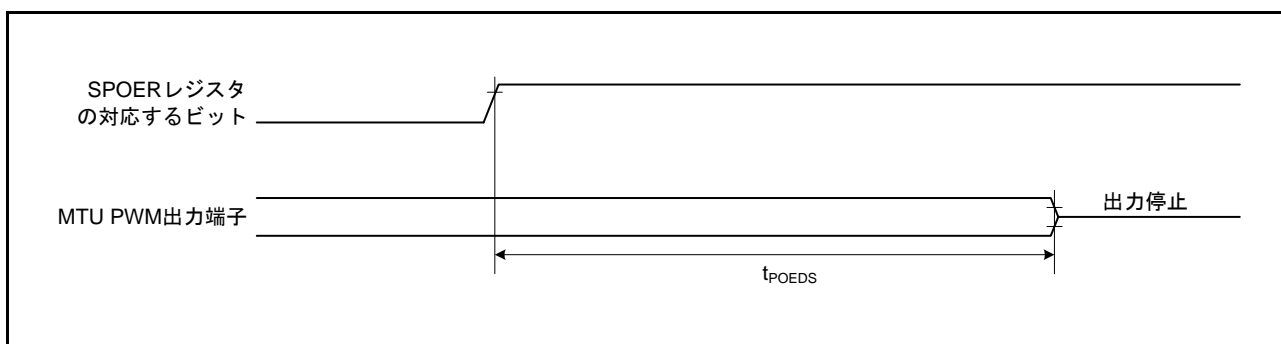


図 2.44 POE 出力ディセーブル時間 (レジスタ設定)

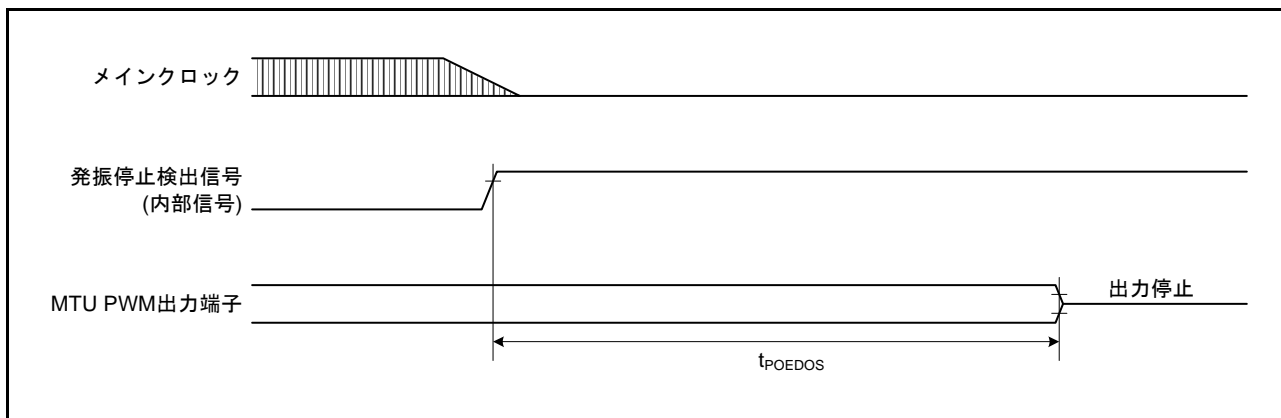


図 2.45 POE 出力ディセーブル時間 (発振停止検出)

2.4.7.7 A/D コンバータトリガ

表 2.33 A/D コンバータトリガタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 |
|--------------|--------------------|------------|-----|-----|-------------|--------|
| A/D コンバータ | A/D コンバータトリガ入力パルス幅 | t_{TRGW} | 1.5 | — | t_{PBcyc} | 図 2.46 |

注1. t_{PBcyc} : PCLKB の周期

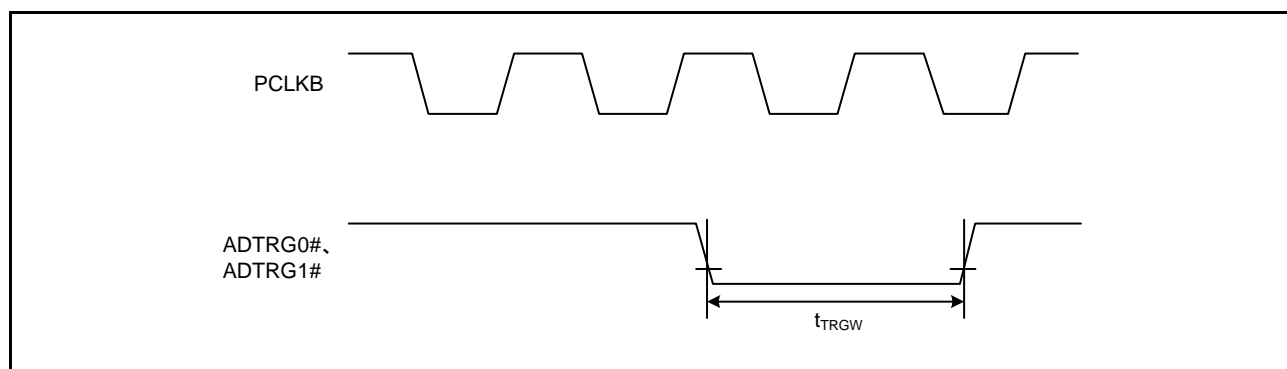


図 2.46 A/D コンバータトリガ入力タイミング

2.4.7.8 CAC

表 2.34 CAC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 (注1、注2) | | 記号 | min (注1、注2) | max | 単位 | 測定条件 |
|------------|---------------|--------------|--------------------------|---------------------------|----|------|
| CAC | CACREF 入力パルス幅 | t_{CACREF} | $t_{PBcyc} \leq t_{cac}$ | $4.5t_{cac} + 3t_{PBcyc}$ | — | ns |
| | | | $t_{PBcyc} > t_{cac}$ | $5t_{cac} + 6.5t_{PBcyc}$ | — | |

注1. t_{PBcyc} : PCLKB の周期

注2. t_{CAC} : CAC カウントクロックソースの周期

2.4.7.9 SCI

表 2.35 SCIk, SCIlh, SCIm タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 | | |
|---------------|---------------|--------------|------------|-----|-------------|--------|-------------|--------|
| SCIk, SCIlh | 入カクロックサイクル | 調歩同期 | 4 | — | t_{PBcyc} | 図 2.47 | | |
| | | クロック同期 | 6 | — | | | | |
| | 入カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 入カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 入カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 出カクロックサイクル | 調歩同期 (SCIk) | t_{scyc} | 6 | — | | t_{PBcyc} | |
| | | 調歩同期 (SCIlh) | | 8 | — | | | |
| | | クロック同期 | | 4 | — | | | |
| | 出カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 出カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 出カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 送信データ遅延時間 | クロック同期 | t_{TXD} | — | 28 | | ns | 図 2.48 |
| 受信データセットアップ時間 | クロック同期 | t_{RXS} | 15 | — | ns | | | |
| 受信データホールド時間 | クロック同期 | t_{RXH} | 5 | — | ns | | | |
| SCIm | 入カクロックサイクル | 調歩同期 | 4 | — | t_{PAcyc} | 図 2.47 | | |
| | | クロック同期 | 6 | — | | | | |
| | 入カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 入カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 入カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 出カクロックサイクル | 調歩同期 | t_{scyc} | 6 | — | | t_{PAcyc} | |
| | | クロック同期 | | 4 | — | | | |
| | 出カクロックパルス幅 | | t_{SCKW} | 0.4 | 0.6 | | t_{Scyc} | |
| | 出カクロック立ち上がり時間 | | t_{SCKr} | — | 5 | | ns | |
| | 出カクロック立ち下がり時間 | | t_{SCKf} | — | 5 | | ns | |
| | 送信データ遅延時間 | マスタ | t_{TXD} | — | 15 | | ns | 図 2.48 |
| | | スレーブ | | — | 28 | | | |
| 受信データセットアップ時間 | クロック同期 | t_{RXS} | 20 | — | ns | | | |
| 受信データホールド時間 | クロック同期 | t_{RXH} | 5 | — | ns | | | |

注1. t_{PBcyc} : PCLKBの周期、 t_{PAcyc} : PCLKAの周期

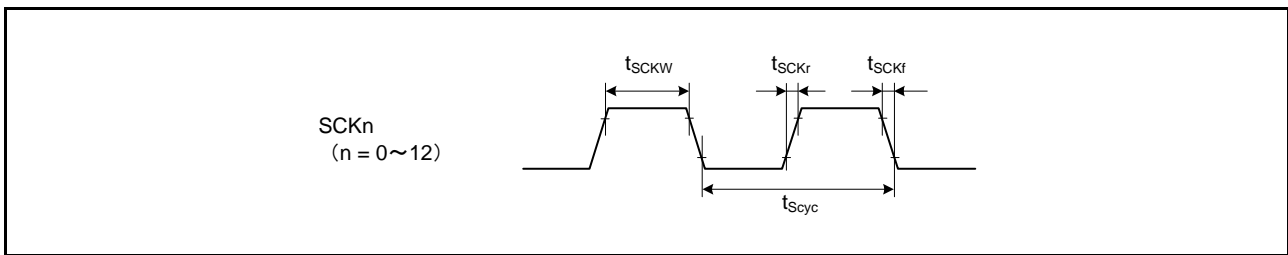


図 2.47 SCK クロック入カタイミング

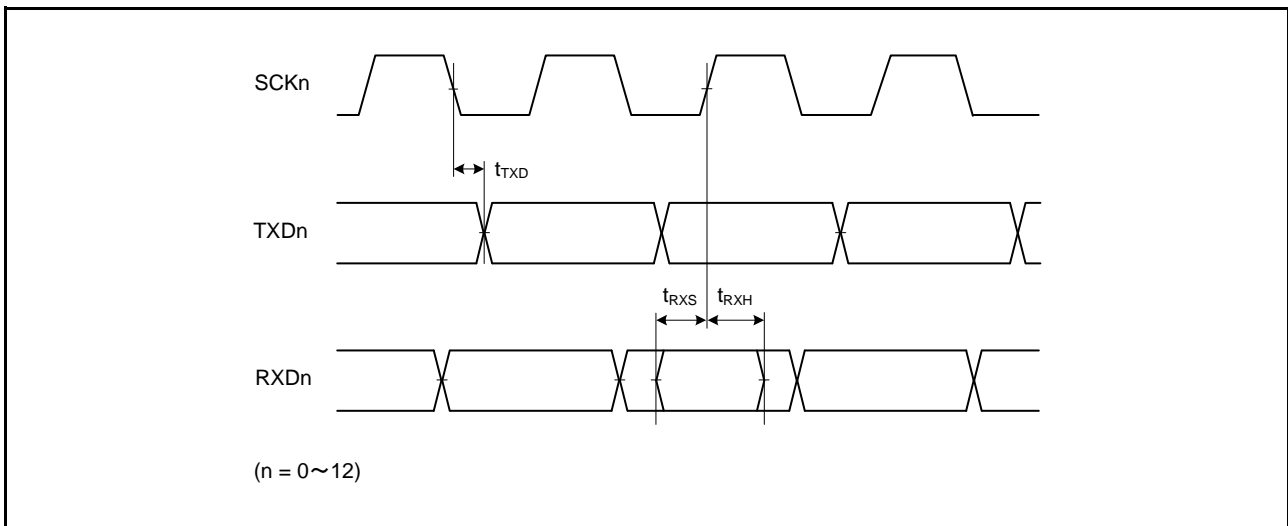


図 2.48 SCI 入出カタイミング/クロック同期式モード

表 2.36 簡易 IIC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 | |
|---------------------------|--------------------------|-------------|-----|---------------------|------|--------|
| 簡易 IIC (Standard-mode) | SSCL、SSDA 入力立ち上がり時間 | t_{Sr} | — | 1000 | ns | 図 2.49 |
| | SSCL、SSDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SSCL、SSDA 入力カスパイクパルス除去時間 | t_{SP} | 0 | $4 \times t_{Pcyc}$ | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | 250 | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SSCL、SSDA の容量性負荷 | C_b (注 1) | — | 400 | pF | |
| 簡易 IIC (Fast-mode) | SSCL、SSDA 入力立ち上がり時間 | t_{Sr} | — | 300 | ns | |
| | SSCL、SSDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SSCL、SSDA 入力カスパイクパルス除去時間 | t_{SP} | 0 | $4 \times t_{Pcyc}$ | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | 100 | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SSCL、SSDA の容量性負荷 | C_b (注 1) | — | 400 | pF | |

注. t_{Pcyc} : SCI10、SCI11 では PCLKA の周期を示します。SCI0 ~ SCI9、SCI12 では PCLKB の周期を示します。
 注 1. C_b はバスラインの容量総計です。

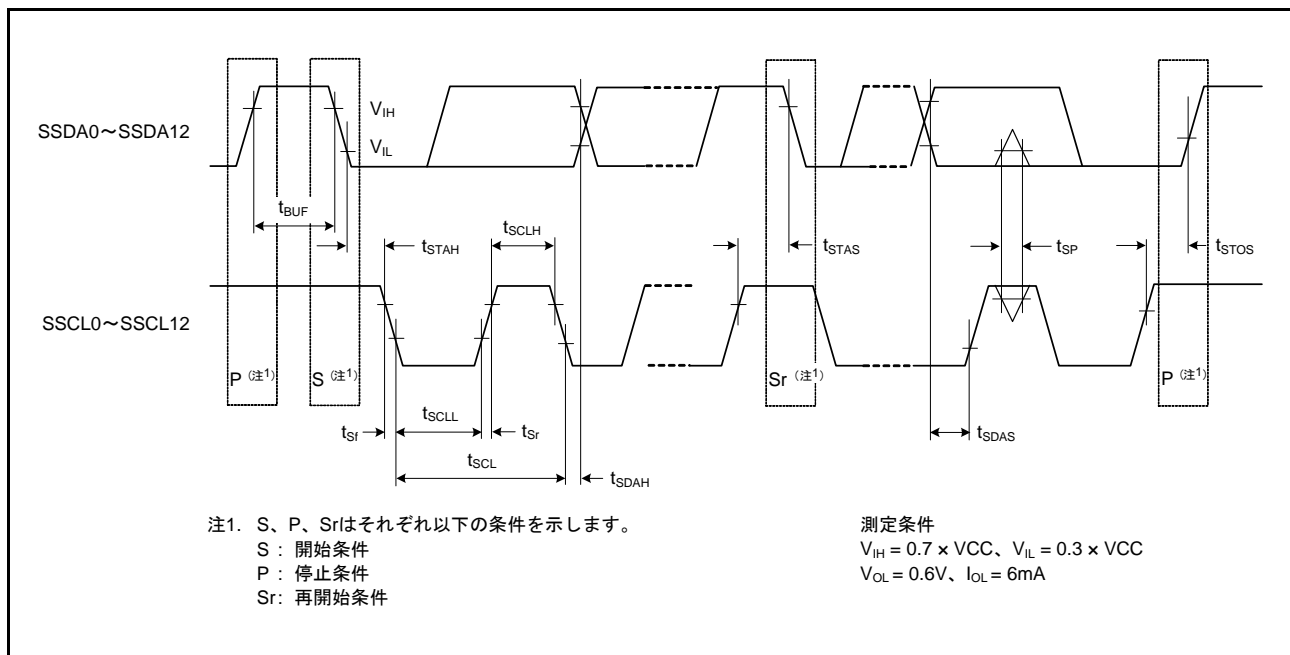


図 2.49 簡易 IIC バスインタフェース入出力タイミング

表 2.37 簡易SPI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 | 測定条件 |
|--------------|-------------------------|---------------------------|------|------------|-------------|------------------------------|
| 簡易 SPI | SCK クロック サイクル 出力 (マスタ) | t_{SPCyc} | 4 | — | t_{PCyc} | 図 2.50 図 2.51 ~ 図 2.54 |
| | SCK クロック サイクル 入力 (スレーブ) | | 6 | — | | |
| | SCK クロック High パルス 幅 | t_{SPCKWH} | 0.4 | 0.6 | t_{SPCyc} | |
| | SCK クロック Low パルス 幅 | t_{SPCKWL} | 0.4 | 0.6 | t_{SPCyc} | |
| | SCK クロック 立ち上がり/立ち下がり時間 | t_{SPCKr} , t_{SPCKf} | — | 20 | ns | |
| | データ 入力 セットアップ時間 | t_{SU} | 33.3 | — | ns | |
| | データ 入力 ホールド時間 | t_H | 33.3 | — | ns | |
| | SS 入力 セットアップ時間 | t_{LEAD} | 1 | — | t_{SPCyc} | |
| | SS 入力 ホールド時間 | t_{LAG} | 1 | — | t_{SPCyc} | |
| | データ 出力 遅延時間 | t_{OD} | — | 33.3 | ns | |
| | データ 出力 ホールド時間 | t_{OH} | -10 | — | ns | |
| | データ 立ち上がり/立ち下がり時間 | t_{Dr} , t_{Df} | — | 16.6 | ns | |
| | SS 入力 立ち上がり/立ち下がり時間 | t_{SSLr} , t_{SSLf} | — | 16.6 | ns | |
| | スレーブ アクセス時間 | t_{SA} | — | 5 | t_{PCyc} | |
| スレーブ 出力 開放時間 | t_{REL} | — | 5 | t_{PCyc} | | |

注. t_{PCyc} : SCI10、SCI11 では PCLKA の周期を示します。SCI0 ~ SCI9、SCI12 では PCLKB の周期を示します。

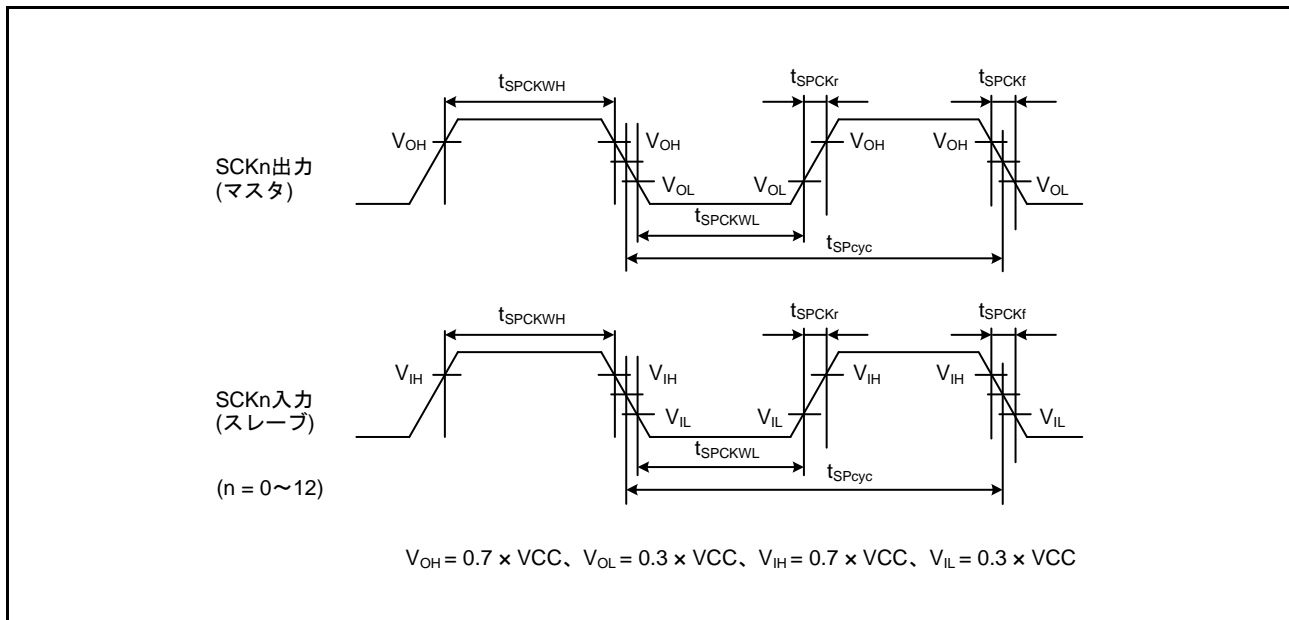


図 2.50 簡易 SPI クロック タイミング

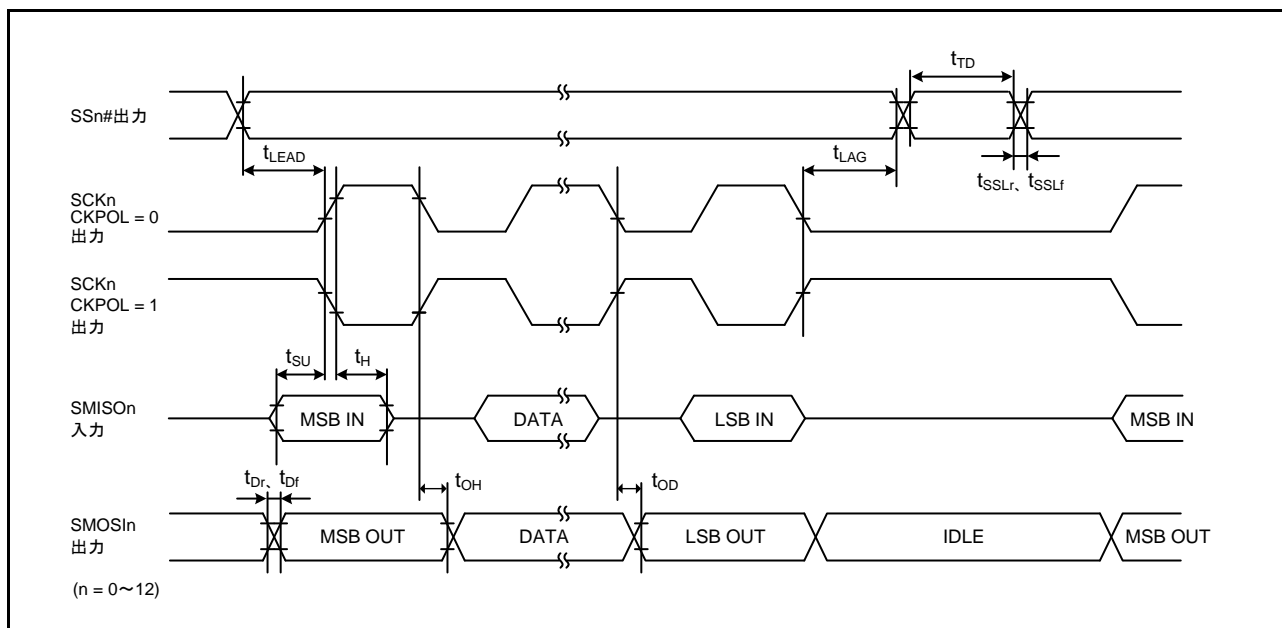


図 2.51 簡易 SPI タイミング (マスタ、CKPH = 1)

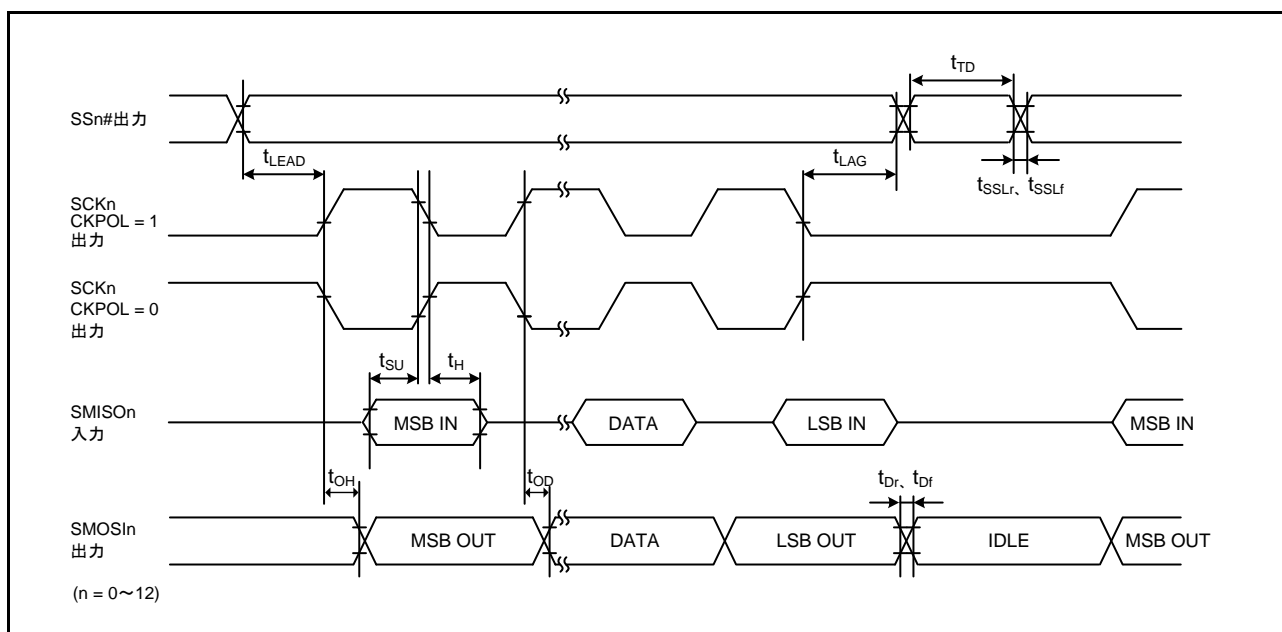


図 2.52 簡易 SPI タイミング (マスタ、CKPH = 0)

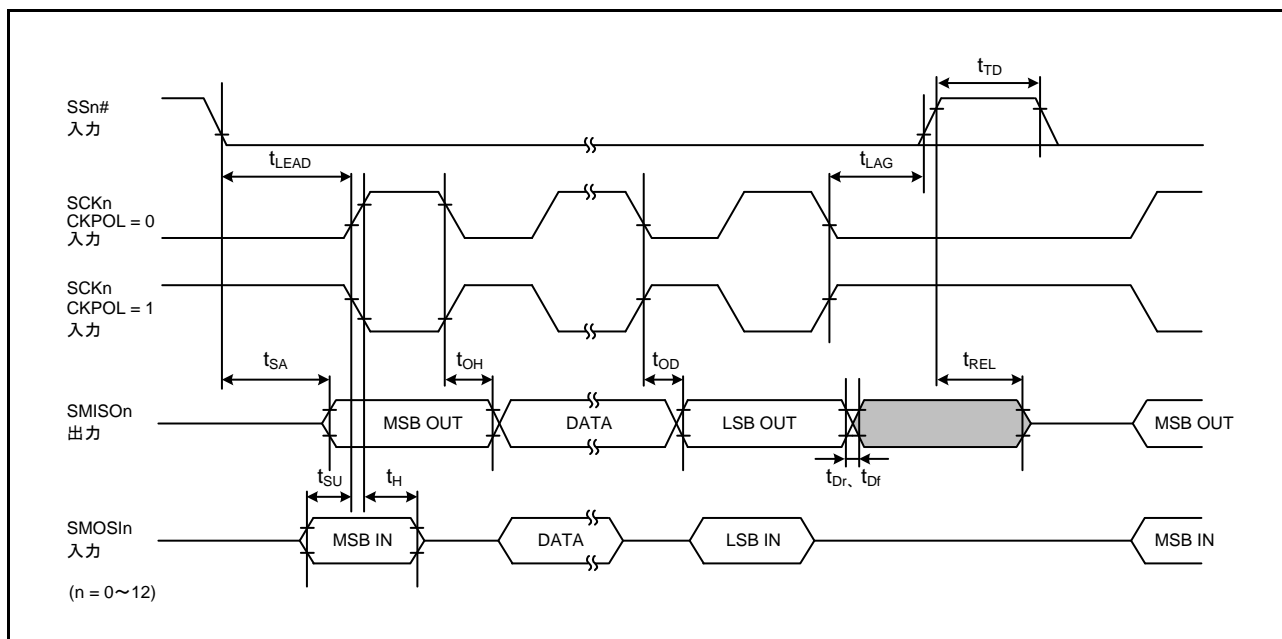


図 2.53 簡易 SPI タイミング (スレーブ、CKPH = 1)

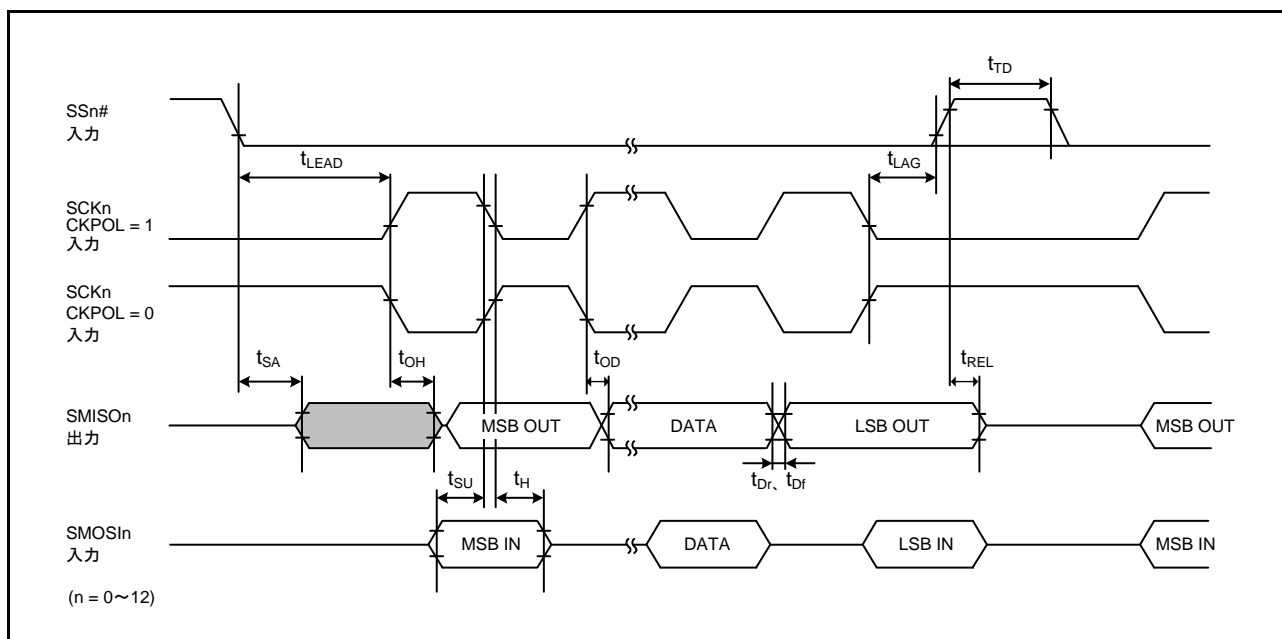


図 2.54 簡易 SPI タイミング (スレーブ、CKPH = 0)

2.4.7.10 RSCI

表 2.38 RSCI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 | |
|---------------|--------------|------------|------------|-----|-------------|--------|-------------|
| RSCI | 入カロックサイクル | 調歩同期 | 4 | — | t_{PACyc} | 図 2.55 | |
| | | クロック同期 | | | | | |
| | 入カロックパルス幅 | t_{SCKW} | 0.4 | 0.6 | t_{SCKW} | | |
| | 入カロック立ち上がり時間 | t_{SCKr} | — | 5 | ns | | |
| | 入カロック立ち下がり時間 | t_{SCKf} | — | 5 | ns | | |
| | 出カロックサイクル | 調歩同期 | t_{SCKW} | 6 | — | | t_{PACyc} |
| | | クロック同期 | | | | | |
| | 出カロックパルス幅 | t_{SCKW} | 0.4 | 0.6 | t_{SCKW} | | |
| | 出カロック立ち上がり時間 | t_{SCKr} | — | 5 | ns | | |
| | 出カロック立ち下がり時間 | t_{SCKf} | — | 5 | ns | | |
| 受信データセットアップ時間 | マスタ | t_{RXS} | 0.5 | — | ns | 図 2.56 | |
| | スレーブ | | | | | | |
| 受信データホールド時間 | マスタ | t_{RXH} | 11 | — | ns | | |
| | スレーブ | | | | | | |
| 送信データ遅延時間 | マスタ | t_{TXD} | — | 4 | ns | | |
| | スレーブ | | | | | | |
| | | | — | 15 | | | |

注1. t_{PACyc} : PCLKAの周期、 t_{SCKW} : SCKの周期

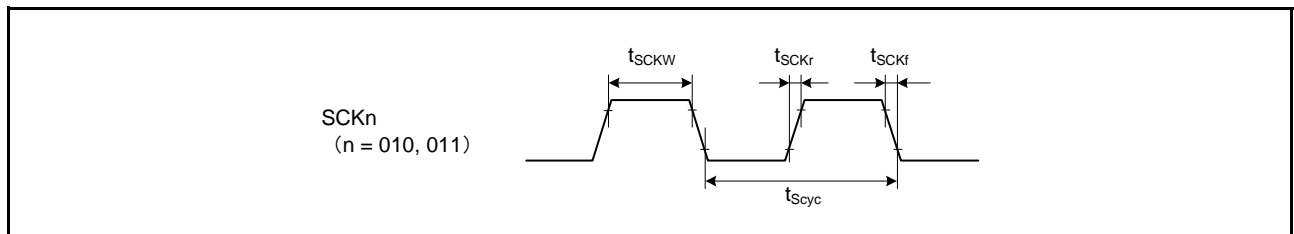


図 2.55 SCK クロック入カタイミング

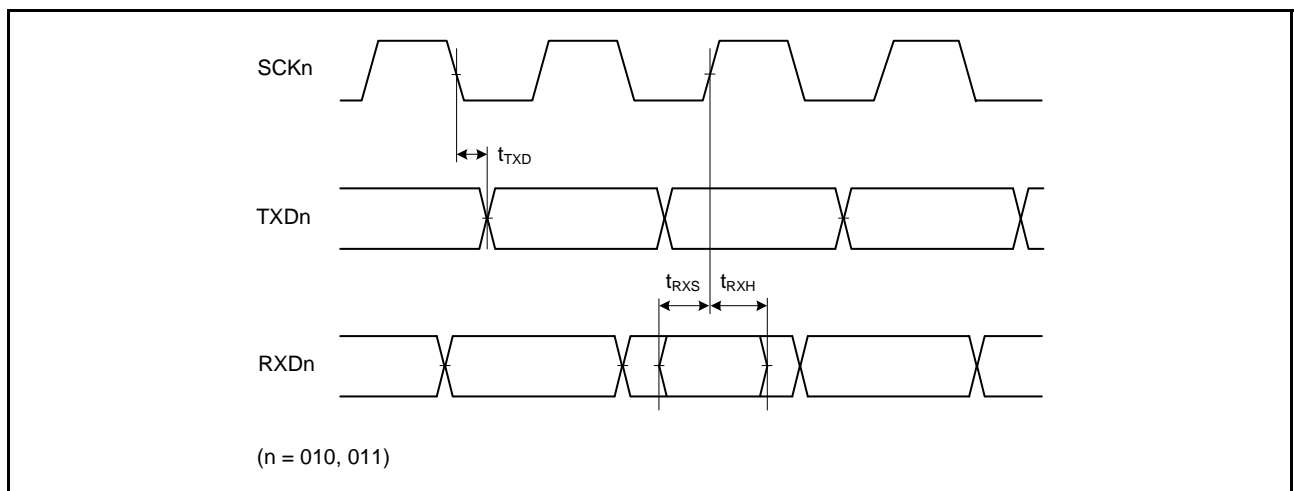


図 2.56 RSCI 入出カタイミング/クロック同期式モード

表 2.39 簡易 IIC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr},$
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 | |
|------------------------|-------------------------|-------------|-----|----------------------|------|--------|
| 簡易 IIC (Standard-mode) | SSCL、SSDA 入力立ち上がり時間 | t_{Sr} | — | 1000 | ns | 図 2.57 |
| | SSCL、SSDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SSCL、SSDA 入カスパイクパルス除去時間 | t_{SP} | 0 | $4 \times t_{PAcyc}$ | ns | |
| | データ入カセットアップ時間 | t_{SDAS} | 250 | — | ns | |
| | データ入カホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SSCL、SSDA の容量性負荷 | C_b (注 1) | — | 400 | pF | |
| 簡易 IIC (Fast-mode) | SSCL、SSDA 入力立ち上がり時間 | t_{Sr} | — | 300 | ns | 図 2.57 |
| | SSCL、SSDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SSCL、SSDA 入カスパイクパルス除去時間 | t_{SP} | 0 | $4 \times t_{PAcyc}$ | ns | |
| | データ入カセットアップ時間 | t_{SDAS} | 100 | — | ns | |
| | データ入カホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SSCL、SSDA の容量性負荷 | C_b (注 1) | — | 400 | pF | |

注. t_{PAcyc} : PCLKA の周期

注 1. C_b はバスラインの容量総計です。

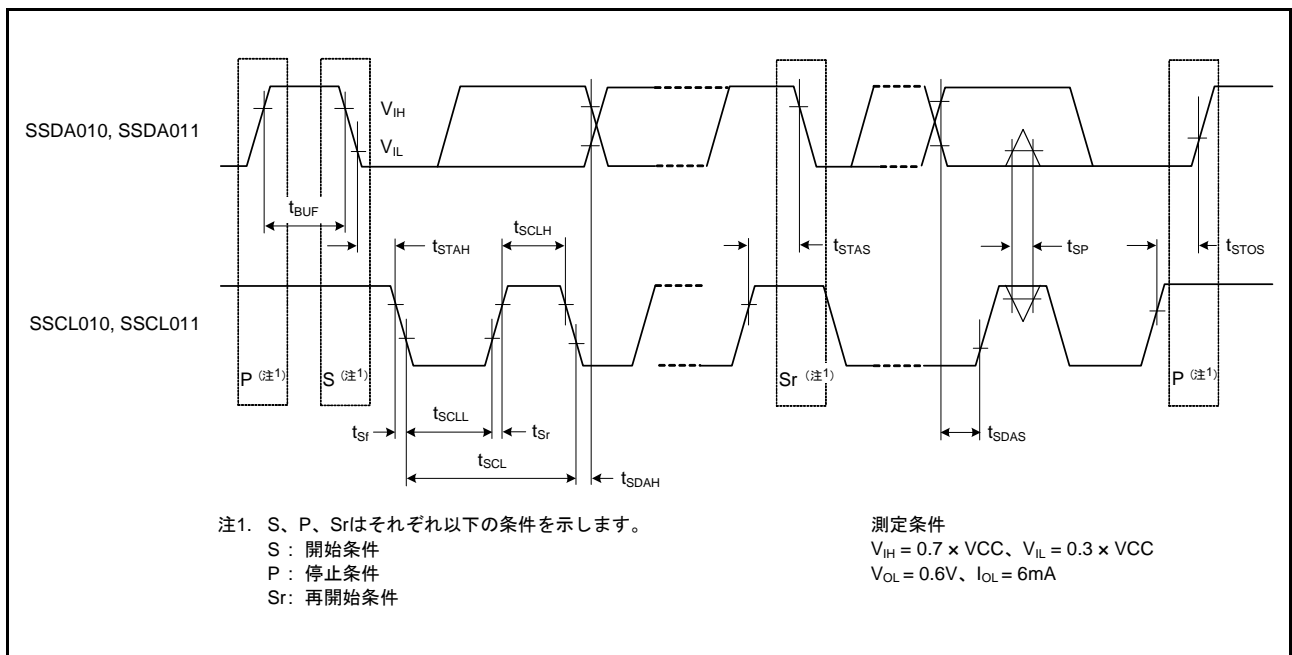


図 2.57 簡易 IIC バスインタフェース入出力タイミング

表 2.40 簡易SPIタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq V_{REFH0} \leq AVCC0,$
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr},$
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}, V_{OL} = 0.5 \times V_{CC}, C = 30pF,$
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 (注1) | 測定条件 | | |
|-------------------|--------------------------|----------------------|------------------------|-----|-------------|--------------------|----|--------------------|
| 簡易SPI | SCKクロックサイクル出力(マスタ) | t_{SPcyc} | 2 | — | t_{PAcyc} | 図 2.58 | | |
| | SCKクロックサイクル入力(スレーブ) | | 2 | — | | | | |
| | SCKクロック Highパルス幅 | t_{SPCKWH} | 0.4 | 0.6 | t_{SPcyc} | | | |
| | SCKクロック Lowパルス幅 | t_{SPCKWL} | 0.4 | 0.6 | t_{SPcyc} | | | |
| | SCKクロック立ち上がり/ 立ち下がり時間 | 出力 | t_{SPCKr}, t_{SPCKf} | — | 5 | | ns | |
| | | 入力 | | — | 1 | | | μs |
| | データ入力セットアップ時間 | マスタ | t_{SU} | 0.5 | — | | ns | 図 2.59 ~ 図 2.62 |
| | | スレーブ | | 2.5 | — | | | |
| | データ入力ホールド時間 | マスタ | t_H | 11 | — | | ns | |
| | | スレーブ | | 2.5 | — | | | |
| データ出力遅延時間 | マスタ | t_{OD} | — | 4 | ns | | | |
| | スレーブ | | — | 15 | | | | |
| データ出力ホールド時間 | マスタ | t_{OH} | 0 | — | ns | | | |
| | スレーブ | | 0 | — | | | | |
| データ立ち上がり/立ち下がり時間 | 出力 | t_{Dr}, t_{Df} | — | 5 | ns | | | |
| | 入力 | | — | 1 | | μs | | |
| スレーブアクセス時間 | | t_{SA} | — | 5 | t_{PAcyc} | 図 2.61、 図 2.62 | | |
| スレーブ出力開放時間 | | t_{REL} | — | 5 | t_{PAcyc} | | | |
| SS入力セットアップ時間 | | t_{LEAD} | 1 | — | t_{SPcyc} | 図 2.59 ~ 図 2.62 | | |
| SS入力ホールド時間 | | t_{LAG} | 1 | — | t_{SPcyc} | | | |
| SS入力立ち上がり/立ち下がり時間 | | t_{SSLr}, t_{SSLf} | — | 1 | μs | | | |

注 1. t_{PAcyc} : PCLKAの周期

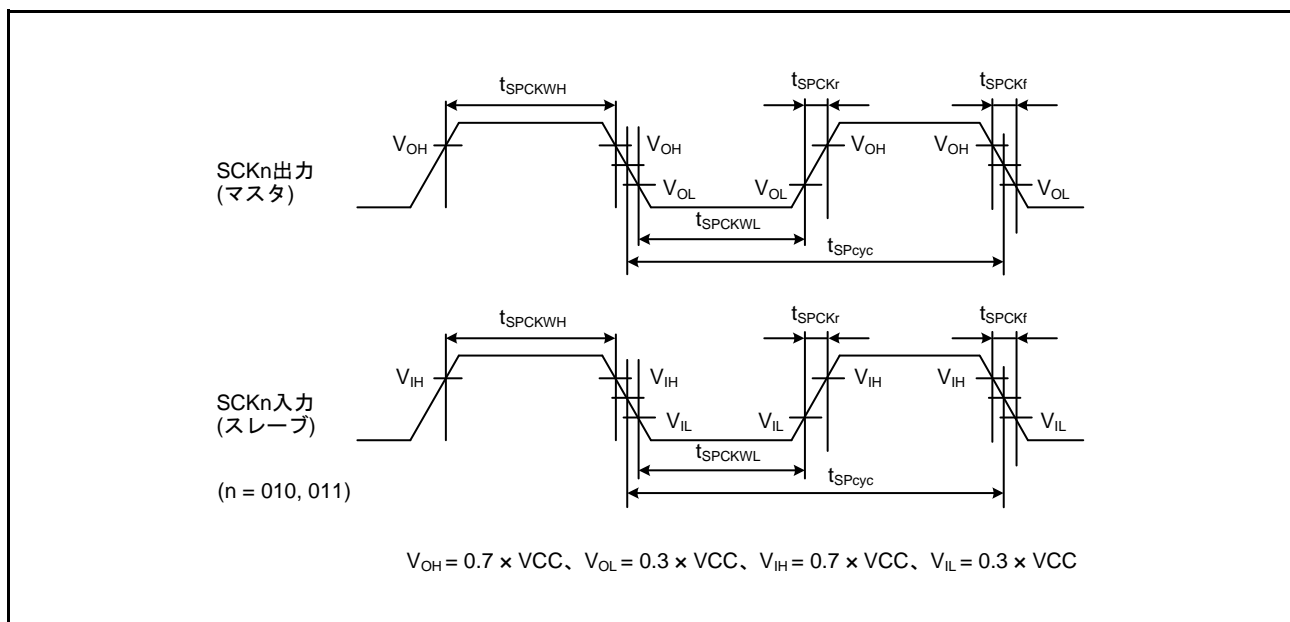


図 2.58 簡易SPIクロックタイミング

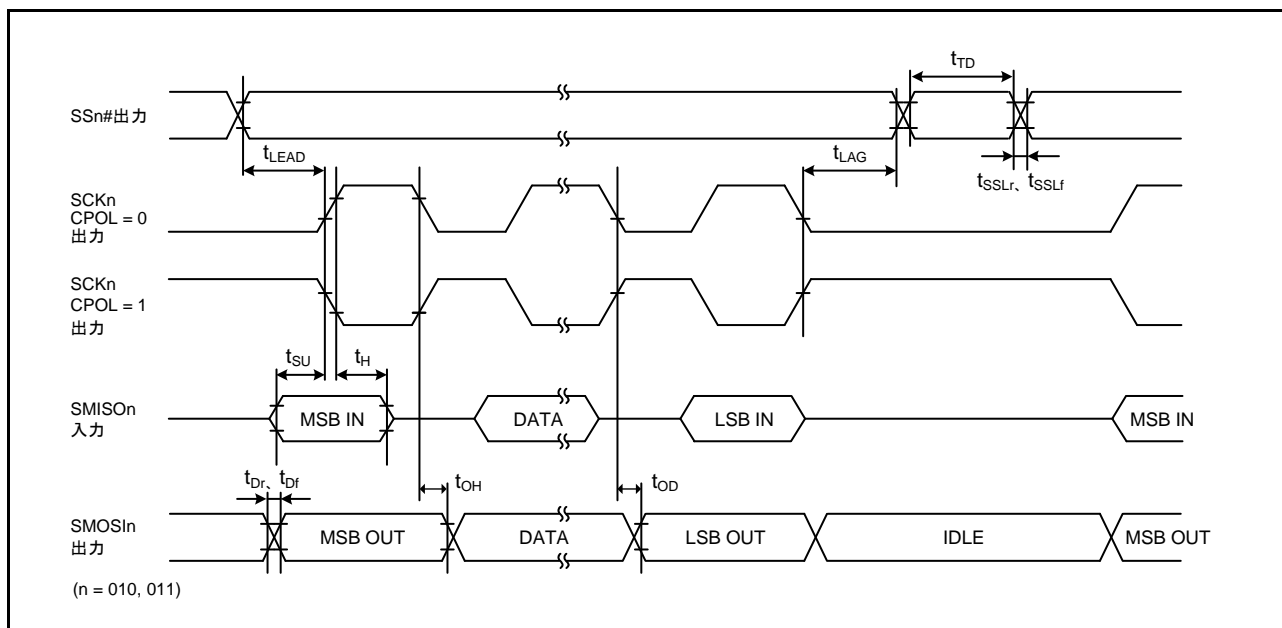


図 2.59 簡易 SPI タイミング (マスタ、CPHA = 0)

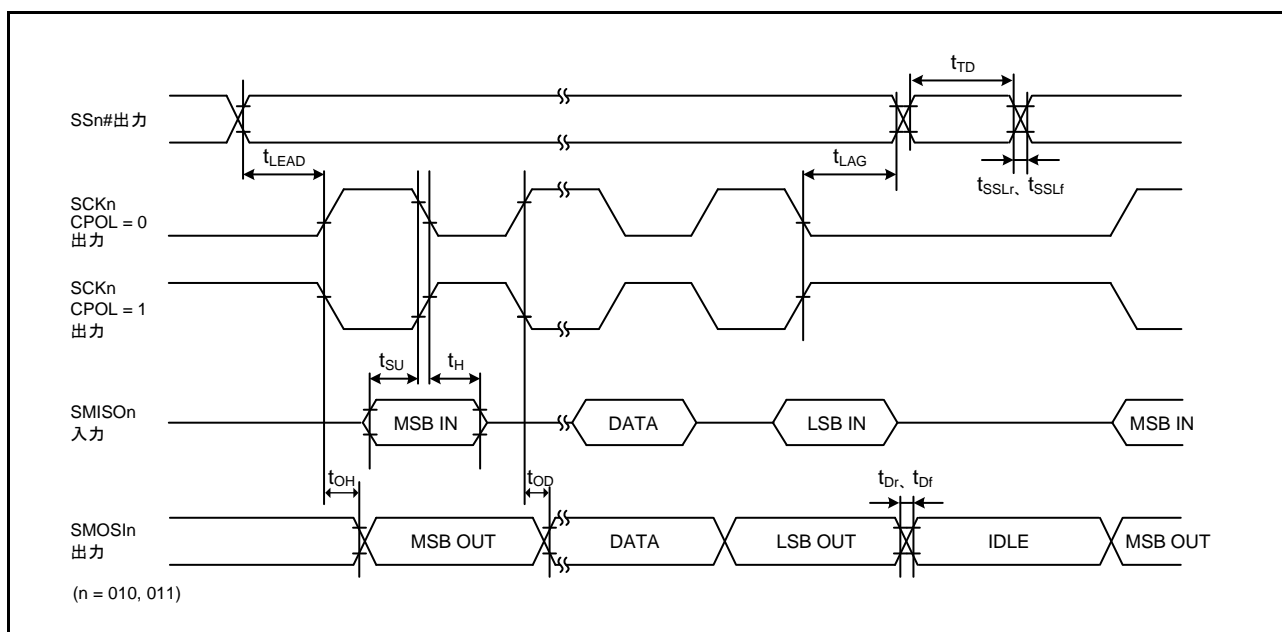


図 2.60 簡易 SPI タイミング (マスタ、CPHA = 1)

2.4.7.11 SSIE

表2.41 シリアルサウンドインタフェースタイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力選択制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min | max | 単位 | 測定条件 | | |
|----------------------------|----------------|------------------------------------|------------------|------|--------------------|-------|-------------|----------------|
| AUDIO_CLK | サイクル | t _{EXcyc} | 20 | — | ns | 図2.63 | | |
| | Highレベル/Lowレベル | t _{EXL} /t _{EXH} | 0.4 | 0.6 | t _{EXcyc} | | | |
| SSIBCK0 | サイクル | マスタ | t _O | 80 | — | ns | 図2.64 | |
| | | スレーブ | t _I | 80 | — | | | |
| | 出カクロック Highレベル | マスタ | t _{HC} | 0.35 | — | | | t _O |
| | 出カクロック Lowレベル | | t _{LC} | 0.35 | — | | | t _O |
| | 入カクロック Highレベル | スレーブ | t _{HC} | 0.35 | — | | | t _I |
| | 入カクロック Lowレベル | | t _{LC} | 0.35 | — | | | t _I |
| | 出カクロック立ち上がり時間 | マスタ | t _{RC} | — | 0.15 | | | t _O |
| | 出カクロック立ち下がり時間 | | t _{FC} | — | 0.15 | | | t _O |
| | 入カクロック立ち上がり時間 | スレーブ | t _{RC} | — | 0.15 | | | t _I |
| | 入カクロック立ち下がり時間 | | t _{FC} | — | 0.15 | | | t _I |
| SSILRCK0, SSITXD0, SSIRXD0 | 入力セットアップ時間 | マスタ | t _{SR} | 12 | — | ns | 図2.65、図2.66 | |
| | | スレーブ | | 12 | — | | | |
| | 入力ホールド時間 | マスタ | t _{HR} | 8 | — | ns | | |
| | | スレーブ | | 15 | — | | | |
| | 出力遅延時間 | マスタ | t _{DTR} | -10 | 5 | ns | | |
| スレーブ | | 0 | | 20 | | | | |
| SSILRCK0 変化時からの出力遅延時間 | スレーブ | t _{DTRW} | — | 20 | ns | 図2.67 | | |

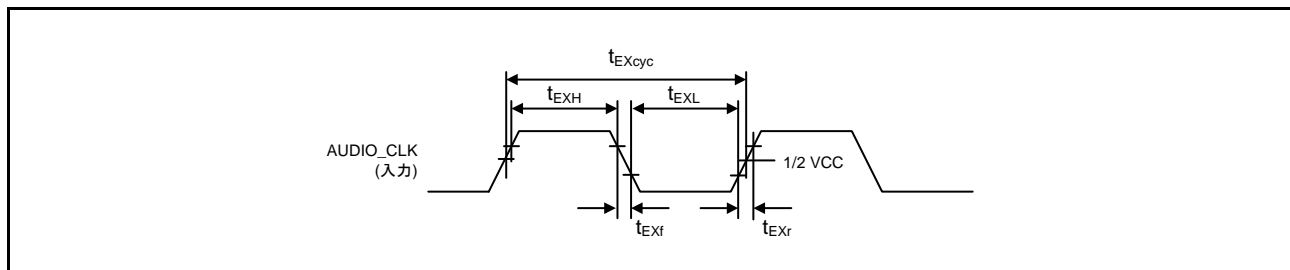


図 2.63 クロック入力タイミング

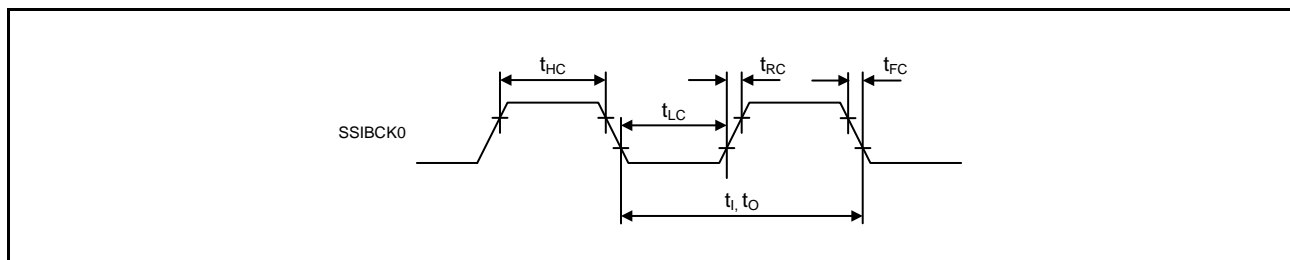


図 2.64 SSIE クロック入出力タイミング

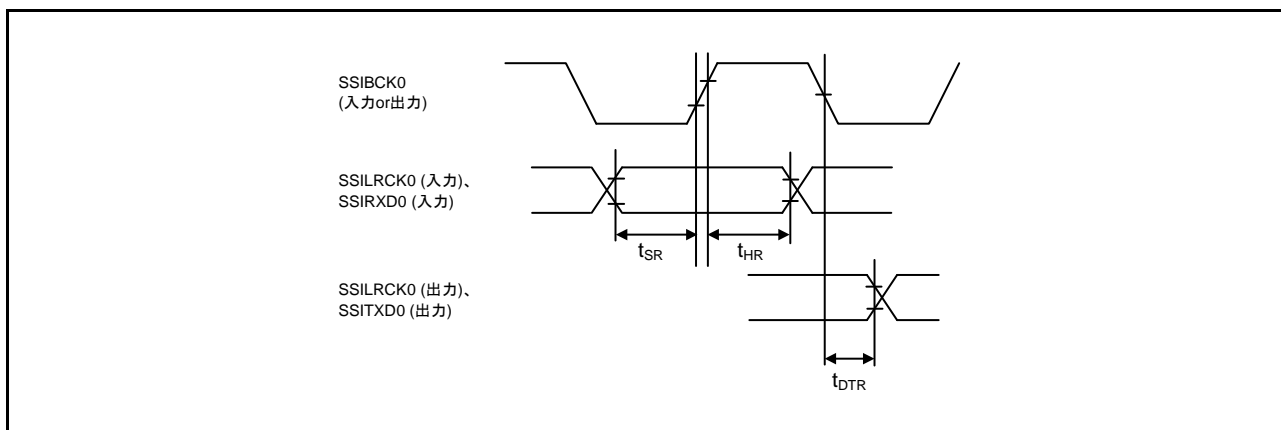


図 2.65 SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

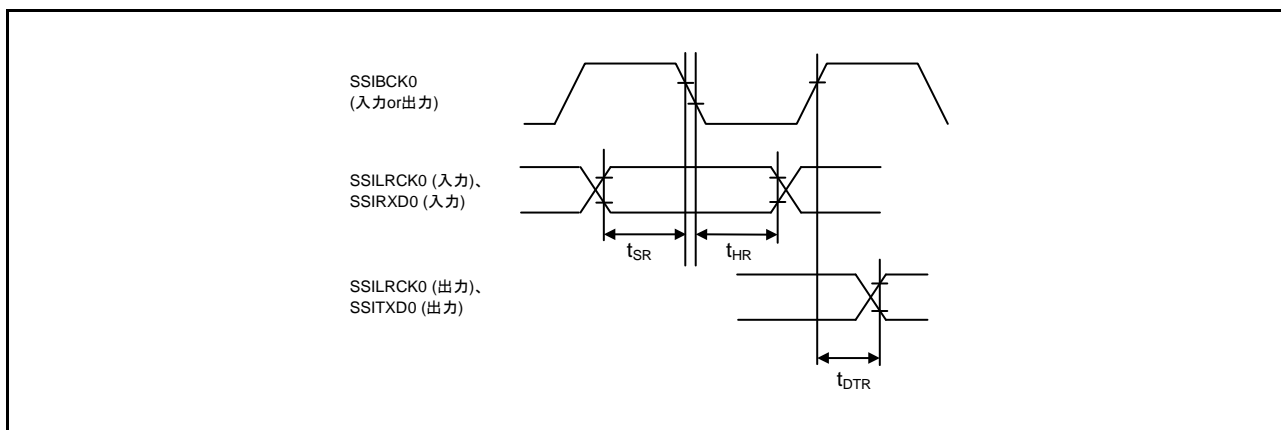


図 2.66 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

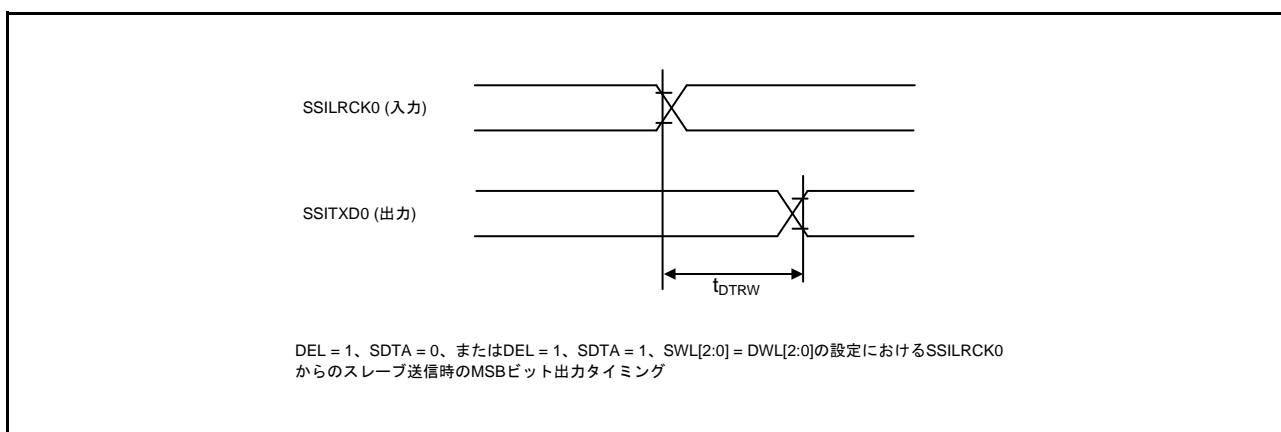


図 2.67 SSILRCK0 変化時からの SSIE データ出力遅延

2.4.7.12 RSPI

表 2.42 RSPI タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | | 記号 | min (注1) | max (注1) | 単位 (注1) | 測定条件 (注2) | | |
|-----------------------------|-----------------------------|--|--|---|--------------------|--------------------|--------|--------------------|
| RSPI | RSPCK クロックサイクル | マスタ | t _{SPcyc} | 2 | — | t _{PAcyc} | 図 2.68 | |
| | | スレーブ | | 4 | — | | | |
| | RSPCK クロック Highパルス幅 | マスタ | t _{SPCKWH} | $(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$ | | — | | ns |
| | | スレーブ | | 0.4 | 0.6 | t _{SPcyc} | | |
| | RSPCK クロック Lowパルス幅 | マスタ | t _{SPCKWL} | $(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$ | | — | | ns |
| | | スレーブ | | 0.4 | 0.6 | t _{SPcyc} | | |
| | RSPCK クロック 立ち上がり/立ち下がり時間 | 出力 | t _{SPCKr} , t _{SPCKf} | — | 5 | ns | | |
| | | 入力 | | — | 1 | μs | | |
| | データ入力セットアップ時間 | マスタ | t _{SU} | 6 | — | ns | | 図 2.69 ~ 図 2.74 |
| | | スレーブ | | 8.3 | — | | | |
| | データ入力ホールド時間 | マスタ | PCLKAを2分周に設定 | t _{HF} | 0 | — | | ns |
| | | | PCLKAを2分周以外に設定 | t _H | t _{PAcyc} | — | | |
| | | スレーブ | | | 8.3 | — | | |
| | SSL セットアップ時間 | マスタ | t _{LEAD} | 1 | 8 | t _{SPcyc} | | |
| | | スレーブ | | 4 | — | t _{PAcyc} | | |
| | SSL ホールド時間 | マスタ | t _{LAG} | 1 | 8 | t _{SPcyc} | | |
| スレーブ | | 4 | | — | t _{PAcyc} | | | |
| データ出力遅延時間 | マスタ | t _{OD} | — | 6.3 | ns | | | |
| | スレーブ | | — | 28 | | | | |
| データ出力ホールド時間 | マスタ | t _{OH} | 0 | — | ns | | | |
| | スレーブ | | 0 | — | | | | |
| 連続送信遅延時間 | マスタ | t _{TD} | $t_{SPcyc} + 2 \times t_{PAcyc}$ | $8 \times t_{SPcyc} + 2 \times t_{PAcyc}$ | ns | | | |
| | スレーブ | | $4 \times t_{PAcyc}$ | — | | | | |
| MOSI, MISO 立ち上がり/立ち下がり時間 | 出力 | t _{Dr} , t _{Df} | — | 5 | ns | | | |
| | 入力 | | — | 1 | | μs | | |
| SSL 立ち上がり/立ち下がり時間 | 出力 | t _{SSLr} , t _{SSLf} | — | 5 | ns | | | |
| | 入力 | | — | 1 | | μs | | |
| スレーブアクセス時間 | | t _{SA} | — | 28 | ns | 図 2.73、 図 2.74 | | |
| スレーブ出力開放時間 | | t _{REL} | — | 28 | ns | | | |

注 1. t_{PAcyc} : PCLKAの周期

注 2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせで使用することを推奨します。RSPIのAC特性は、各グループ内の端子間で測定しています。

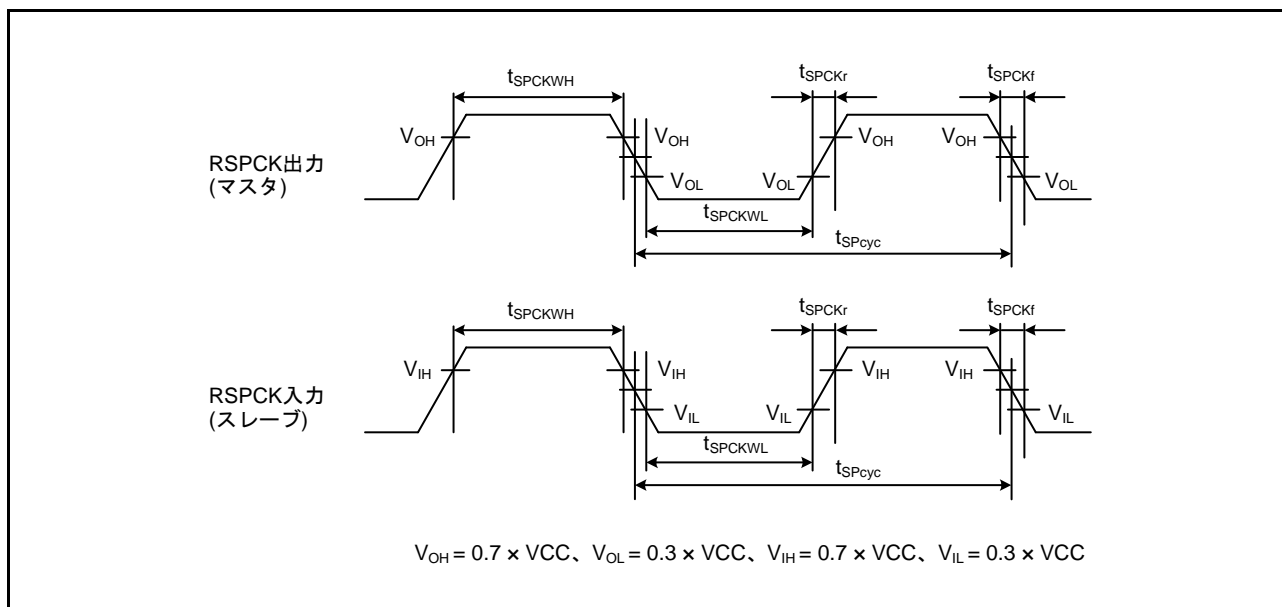


図 2.68 RSPCK クロックタイミング

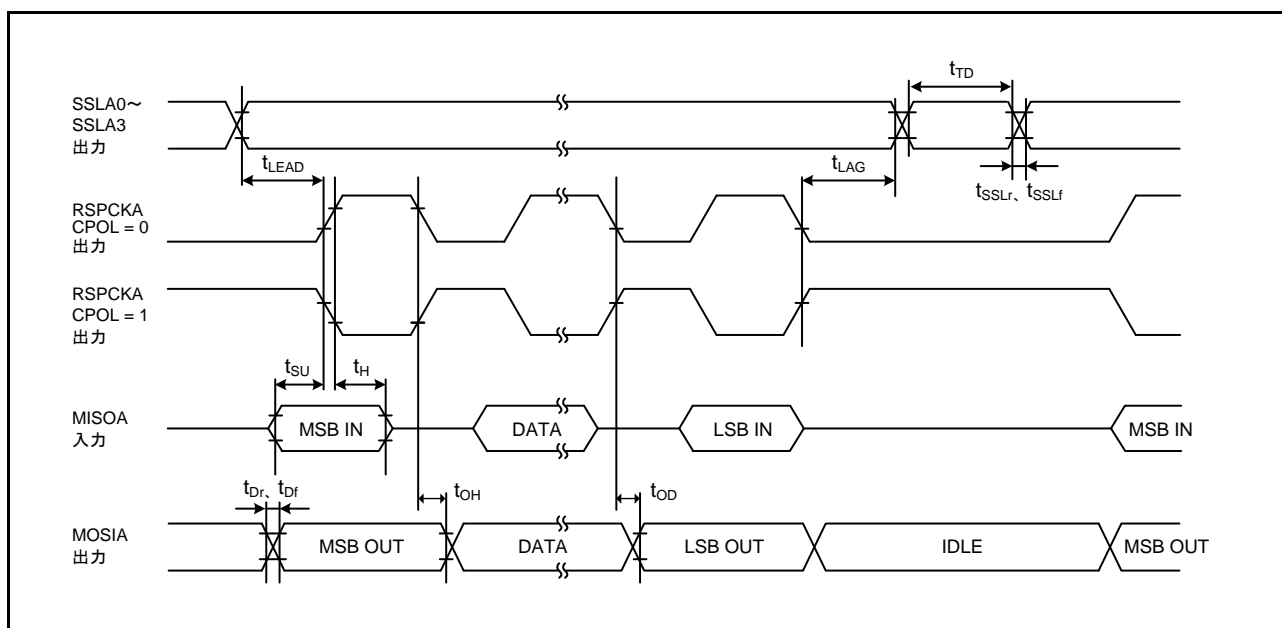


図 2.69 RSPCK タイミング (マスター、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

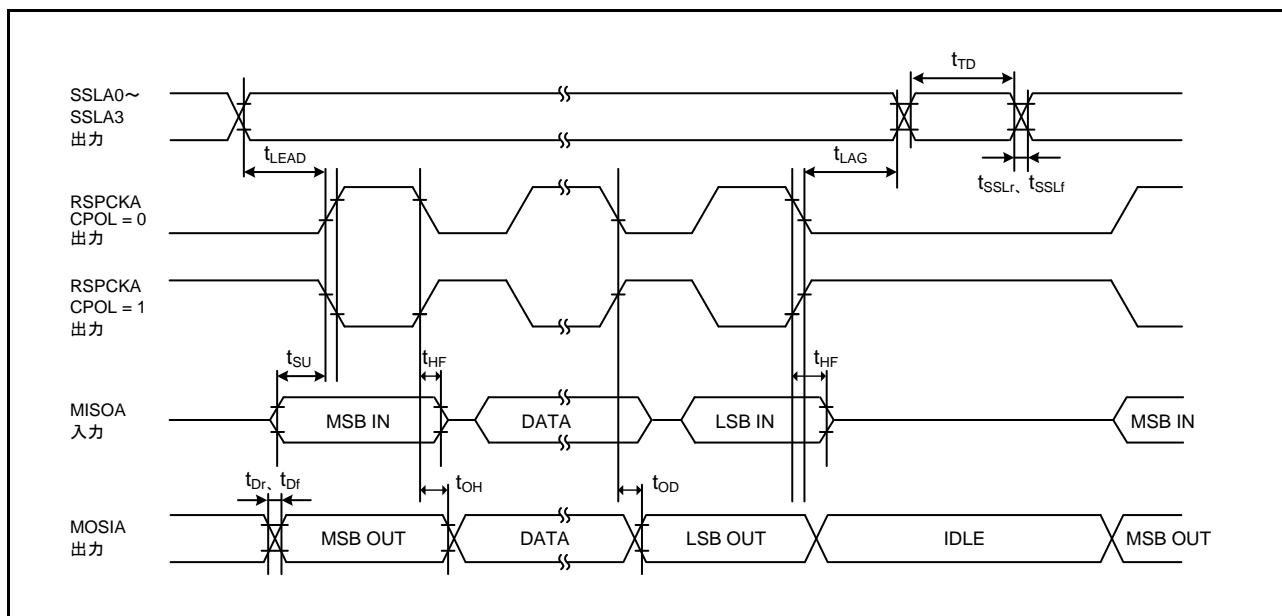


図 2.70 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

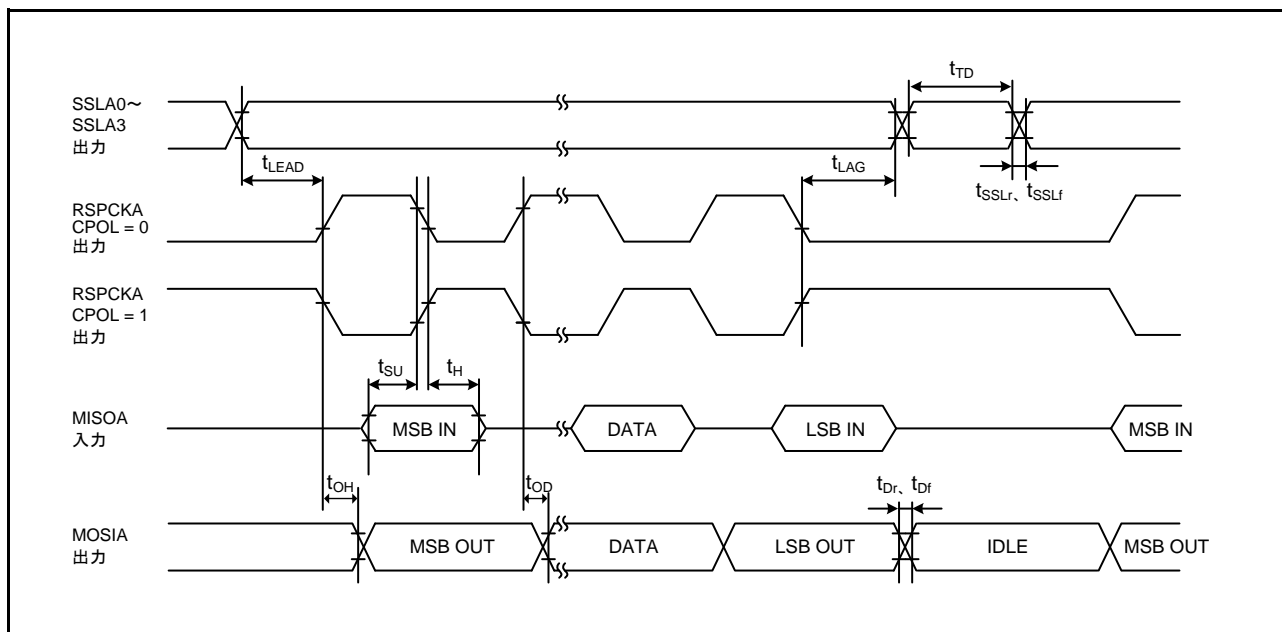


図 2.71 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

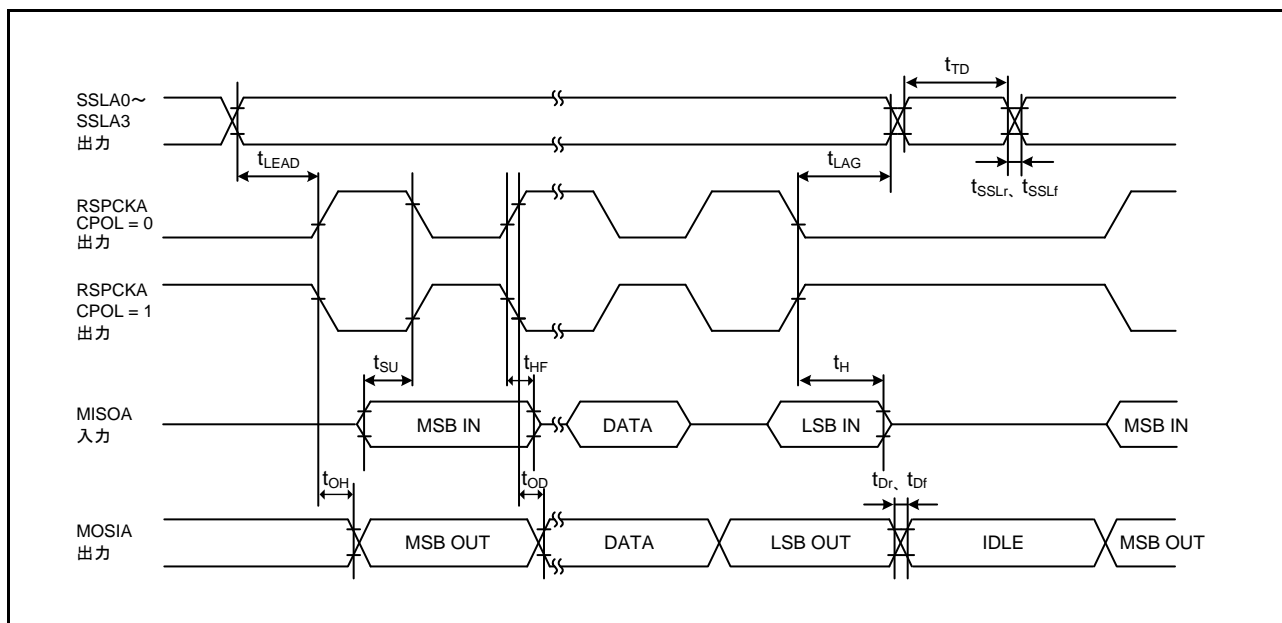


図 2.72 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

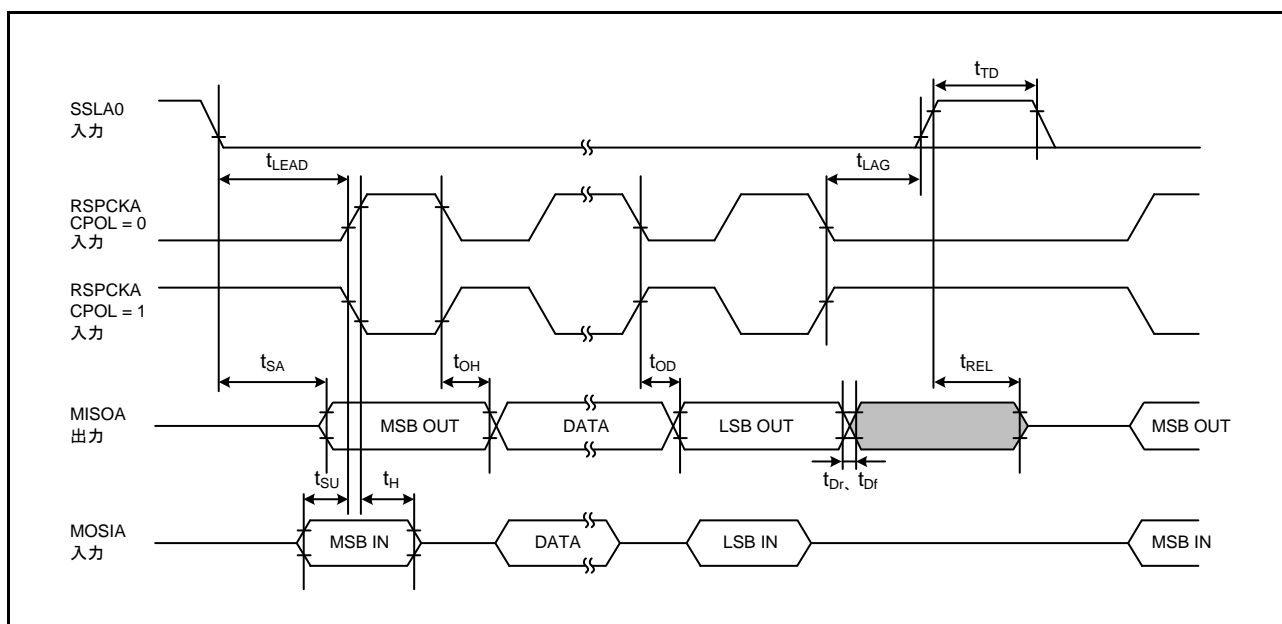


図 2.73 RSPI タイミング (スレーブ、CPHA = 0)

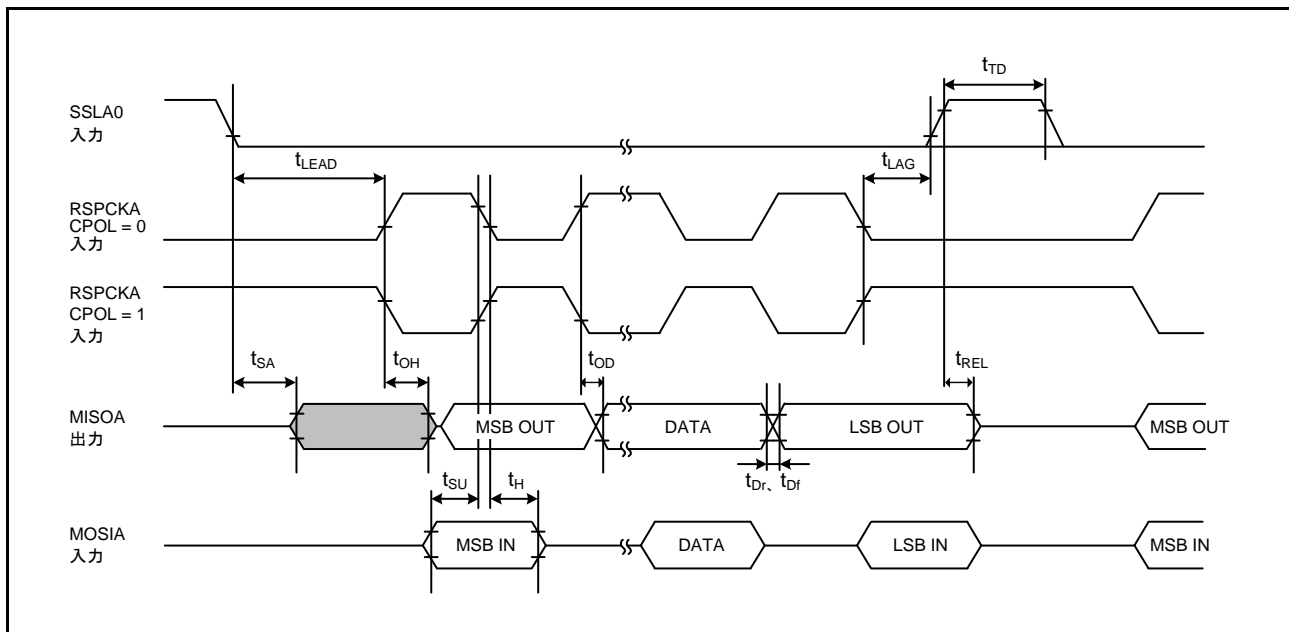


図 2.74 RSPi タイミング (スレーブ、CPHA = 1)

2.4.7.13 RSPIA

表2.43 RSPIA タイミング

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

| 項目 | | 記号 | min (注1) | max (注1) | 単位 (注1) | 測定条件 (注2) | |
|------------|-----------------------------|------------------|---|--|--------------------|------------------|-----------------|
| RSPIA | RSPCK クロックサイクル | マスタ | 2 | — | t _{PAcyc} | 図2.75 | |
| | | スレーブ | 2 | — | | | |
| | RSPCK クロック Highパルス幅 | マスタ | $(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$ | — | ns | | |
| | | スレーブ | 0.4 | 0.6 | t _{SPCyc} | | |
| | RSPCK クロック Lowパルス幅 | マスタ | $(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$ | — | ns | | |
| | | スレーブ | 0.4 | 0.6 | t _{SPCyc} | | |
| | RSPCK クロック 立ち上がり/立ち下がり時間 | 出力 | — | 5 | ns | | |
| | | 入力 | — | 1 | μs | | |
| | データ入力セットアップ時間 | マスタ | 0 | — | ns | 図2.76 ~ 図2.82 | |
| | | スレーブ | 2.5 | — | | | |
| | データ入力ホールド時間 | マスタ | 5.7 | — | ns | | |
| | | スレーブ | 2.5 | — | | | |
| | SSL セットアップ時間 | マスタ | 1 | 8 | t _{SPCyc} | | |
| | | スレーブ | 6 | — | t _{PAcyc} | | |
| | SSL ホールド時間 | マスタ | 1 | 8 | t _{SPCyc} | | |
| | | スレーブ | 6 | — | t _{PAcyc} | | |
| | データ出力遅延時間 | マスタ | — | 4 | ns | | |
| | | スレーブ | — | 14 | | | |
| | データ出力ホールド時間 | マスタ | 0 | — | ns | | |
| | | スレーブ | 0 | — | | | |
| | 連続送信遅延時間 | マスタ | $t_{SPCyc} + 2 \times t_{PAcyc}$ | $8 \times t_{SPCyc} + 2 \times t_{PAcyc}$ | ns | | |
| | | スレーブ | t _{SPCyc} | — | | | |
| | MOSI, MISO 立ち上がり/立ち下がり時間 | 出力 | — | 5 | ns | | |
| | | 入力 | — | 1 | μs | | |
| | SSL 立ち上がり/立ち下がり時間 | 出力 | — | 5 | ns | | |
| | | 入力 | — | 1 | μs | | |
| スレーブアクセス時間 | | t _{SA} | — | 20 | ns | 図2.79、 図2.80 | |
| スレーブ出力開放時間 | | t _{REL} | — | 20 | ns | | |
| | TI SSP SS 入力セットアップ時間 | スレーブ | t _{TISS} | 4.5 | — | ns | 図2.81、 図2.82 |
| | TI SSP SS 入力ホールド時間 | スレーブ | t _{TISH} | 2.5 | — | ns | |
| | TI SSP 次アクセス遅延時間 | スレーブ | t _{TIND} | $2 \times t_{PAcyc} + \text{SLNDL 値} \times t_{PAcyc}$ | — | ns | |
| | TI SSP SS 出力遅延時間 | マスタ | t _{TISSOD} | — | 7 | ns | 図2.78 |

注1. t_{PAcyc} : PCLKAの周期

注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせ使用することを推奨します。RSPIAのAC特性は、各グループ内の端子間で測定しています。

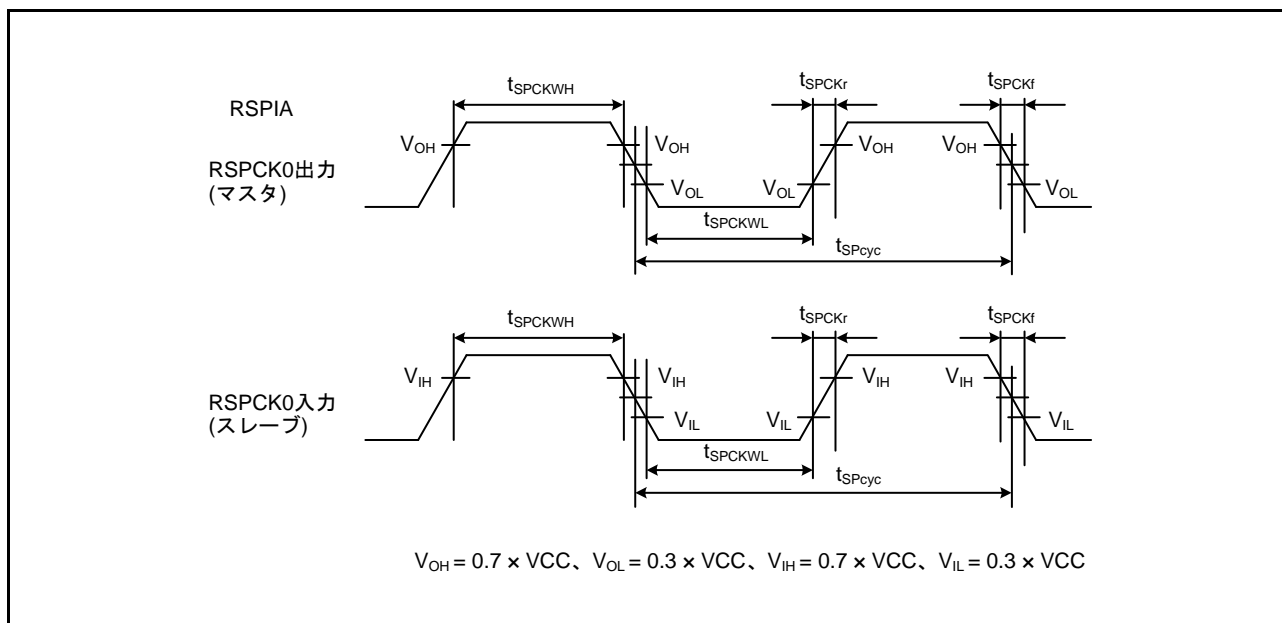


図 2.75 RSPCK0 クロックタイミング

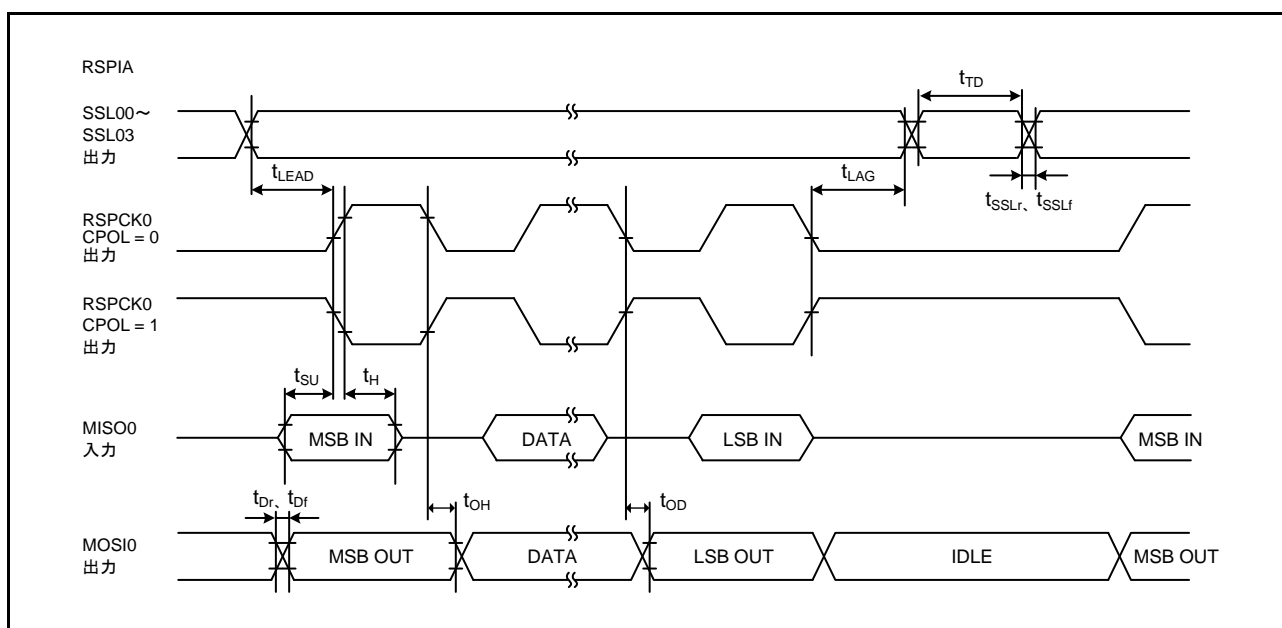


図 2.76 RSPCK0 タイミング (マスター、Motorola SPI、CPHA = 0)

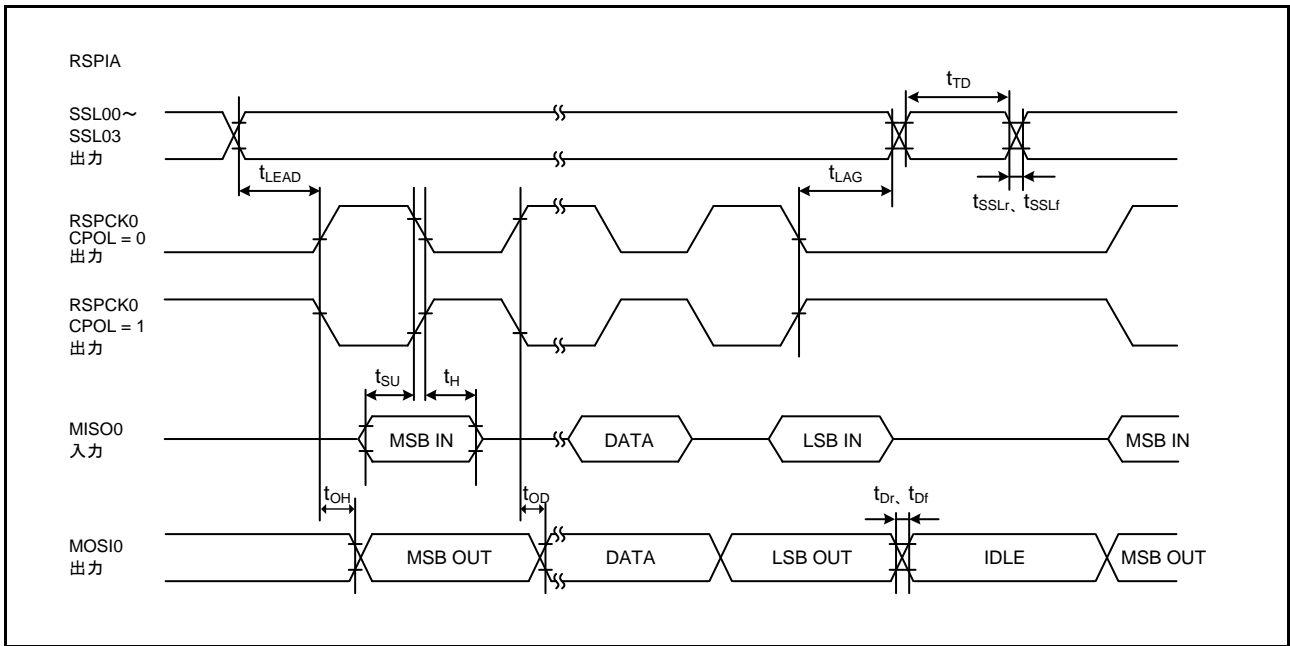


図 2.77 RSPiA タイミング (マスタ、Motorola SPI、CPHA = 1)

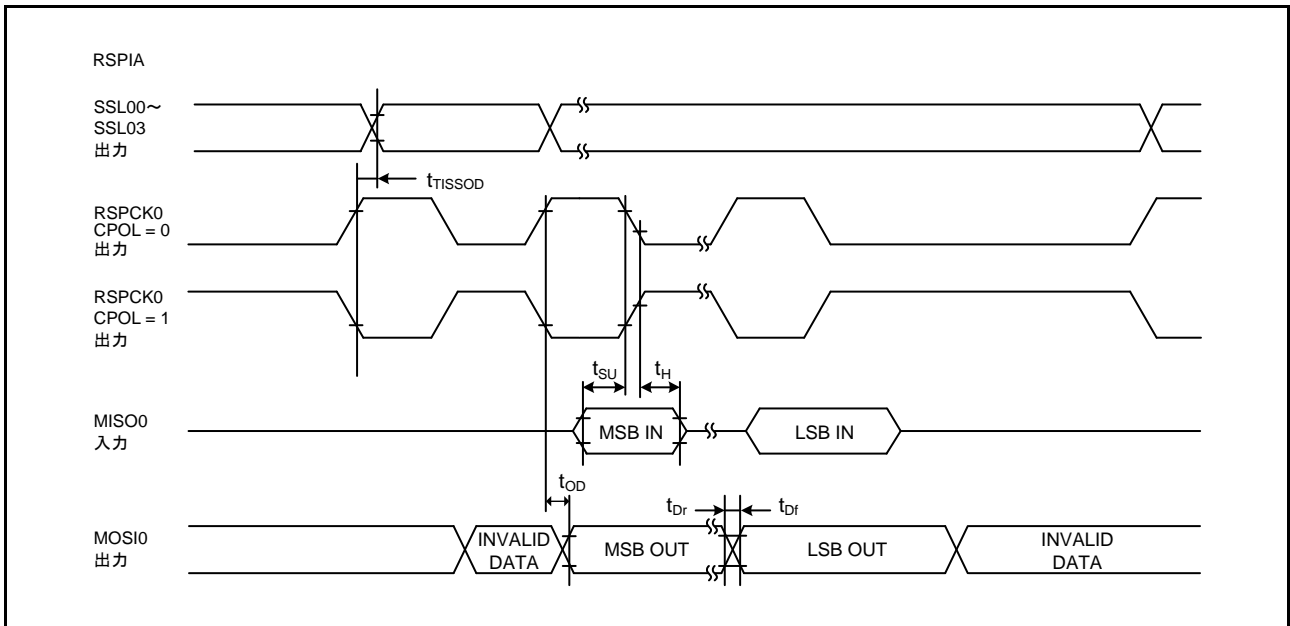


図 2.78 RSPiA タイミング (マスタ、TI SSP)

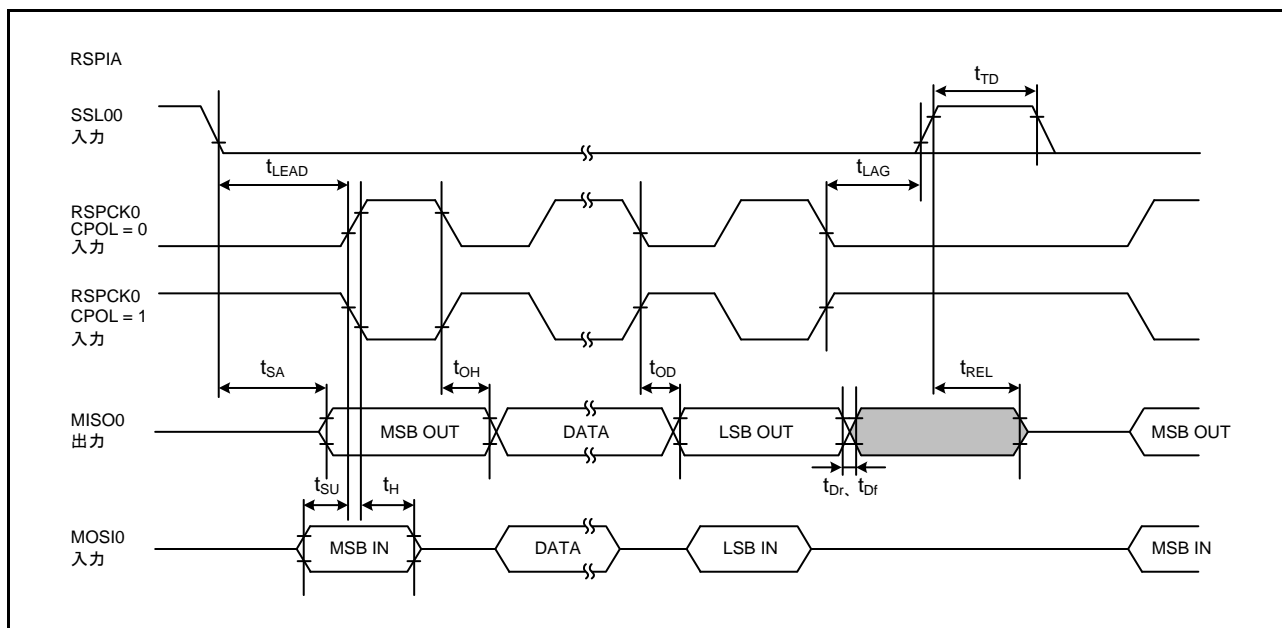


図 2.79 RSPCIA タイミング (スレーブ、Motorola SPI、CPHA = 0)

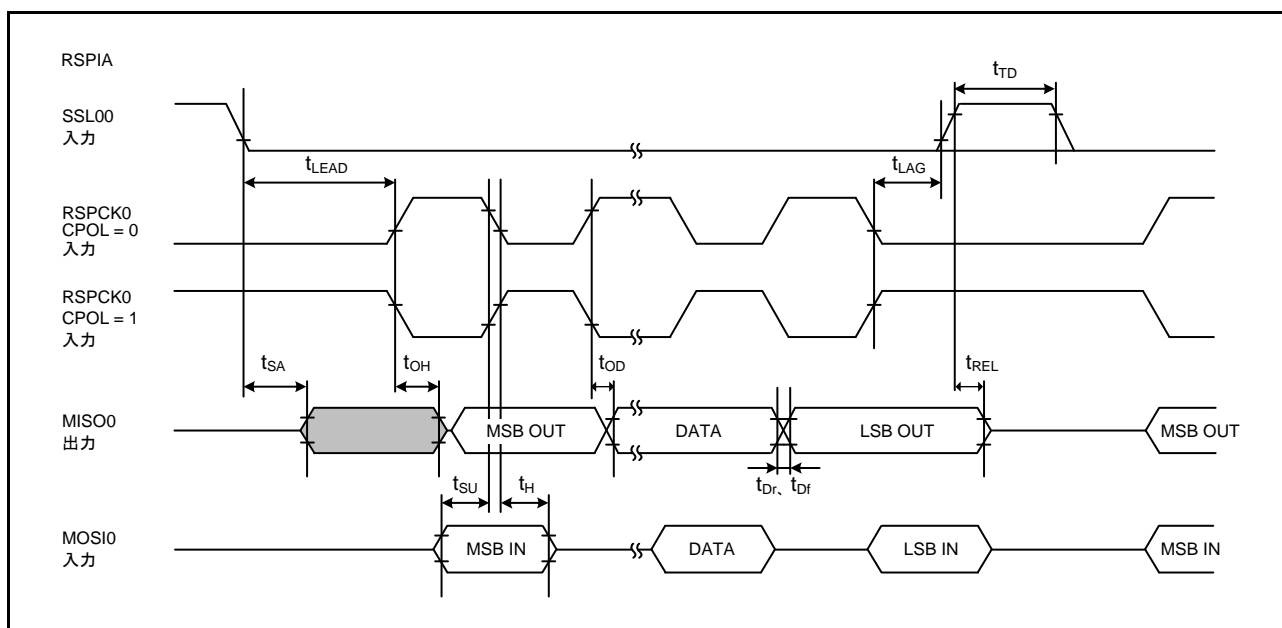


図 2.80 RSPCIA タイミング (スレーブ、Motorola SPI、CPHA = 1)

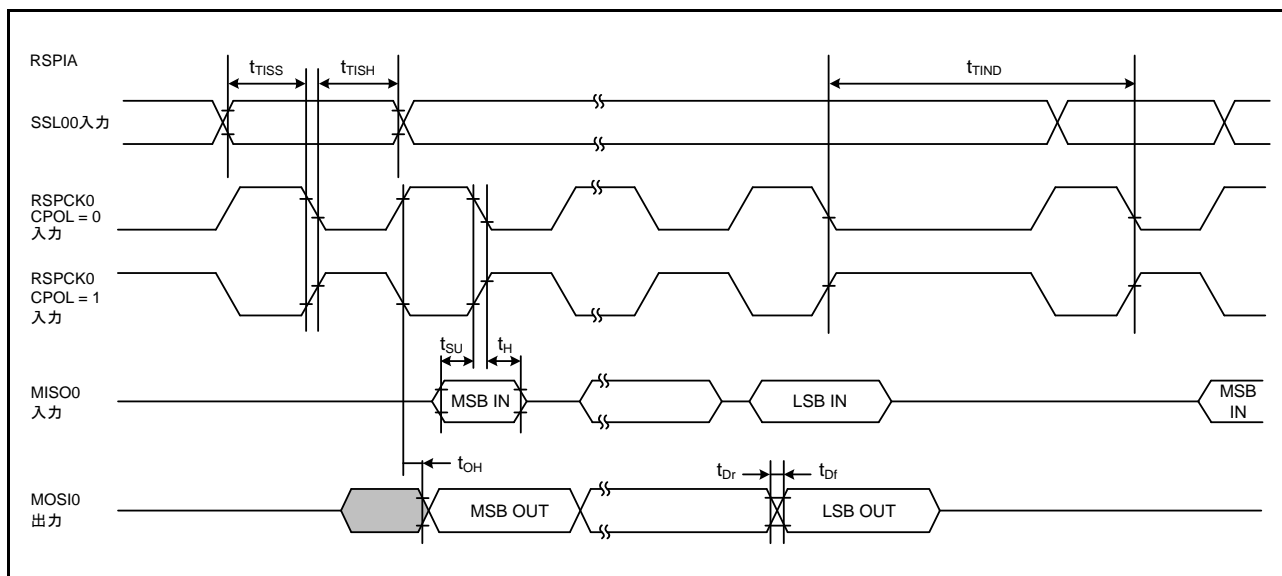


図 2.81 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延あり)

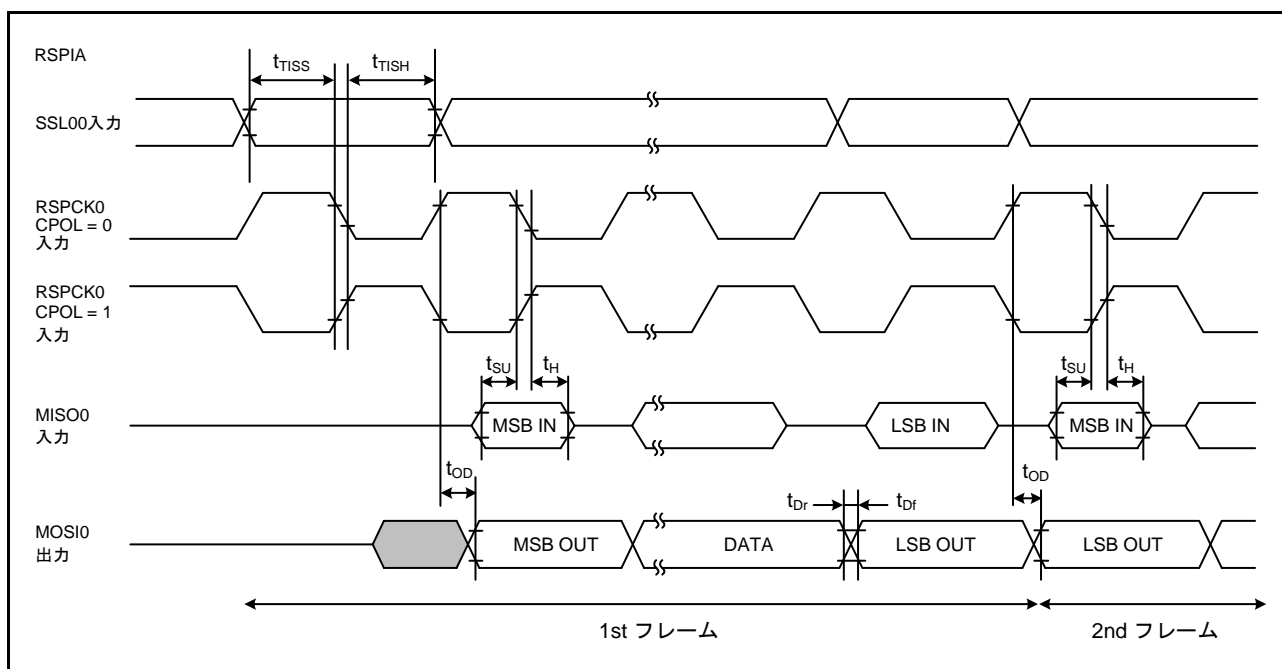


図 2.82 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延なし)

2.4.7.14 QSPIX

表2.44 QSPIX タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $ICLK = 8 \sim 120MHz, PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr},$
 出力負荷条件 : $V_{OH} = 0.5 \times VCC, V_{OL} = 0.5 \times VCC, C = 30pF,$
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 | |
|-------|--------------------|-------------|---------------------------------------|---|-----------------|-------|
| QSPIX | QSPCLKクロックサイクル | t_{QScyc} | 2 | 48 | t_{lcyc} (注1) | 図2.83 |
| | QSPCLKクロックHighパルス幅 | t_{QSWH} | $t_{QScyc} \times 0.4$ | — | ns | |
| | QSPCLKクロックLowパルス幅 | t_{QSWL} | $t_{QScyc} \times 0.4$ | — | ns | |
| QSPIX | データ入力セットアップ時間 | t_{Su} | 8 | — | ns | 図2.84 |
| | データ入力ホールド時間 | t_{IH} | 0 | — | ns | |
| | QSSLセットアップ時間 | t_{LEAD} | $(N + 0.5) \times t_{QScyc} - 5$ (注2) | $(N + 0.5) \times t_{QScyc} + 100$ (注2) | ns | |
| | QSSLホールド時間 | t_{LAG} | $(N + 0.5) \times t_{QScyc} - 5$ (注3) | $(N + 0.5) \times t_{QScyc} + 100$ (注3) | ns | |
| | データ出力遅延時間 | t_{OD} | — | 4 | ns | |
| | データ出力ホールド時間 | t_{OH} | -3.3 | — | ns | |
| | 連続転送遅延時間 | t_{TD} | 1 | 16 | t_{QScyc} | |

注1. t_{lcyc} : ICLKの周期
 注2. N : SPSSCR.SSSUビットの設定値 (0, 1)
 注3. N : SPSSCR.SSHLDビットの設定値 (0, 1)

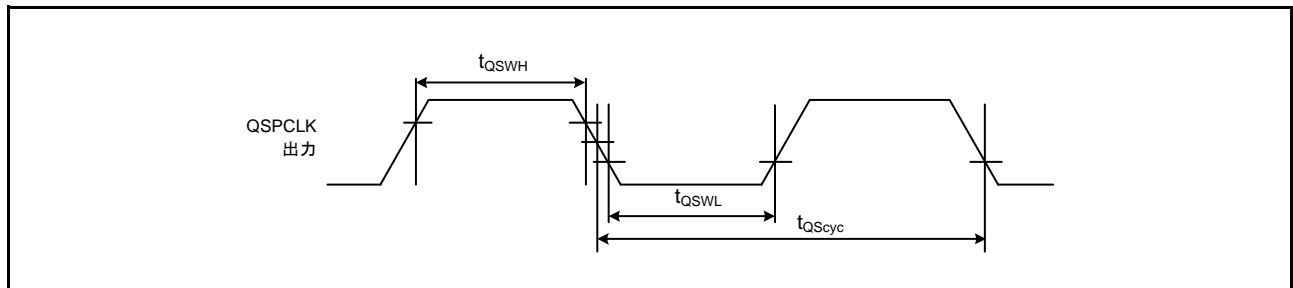


図 2.83 QSPIX クロックタイミング

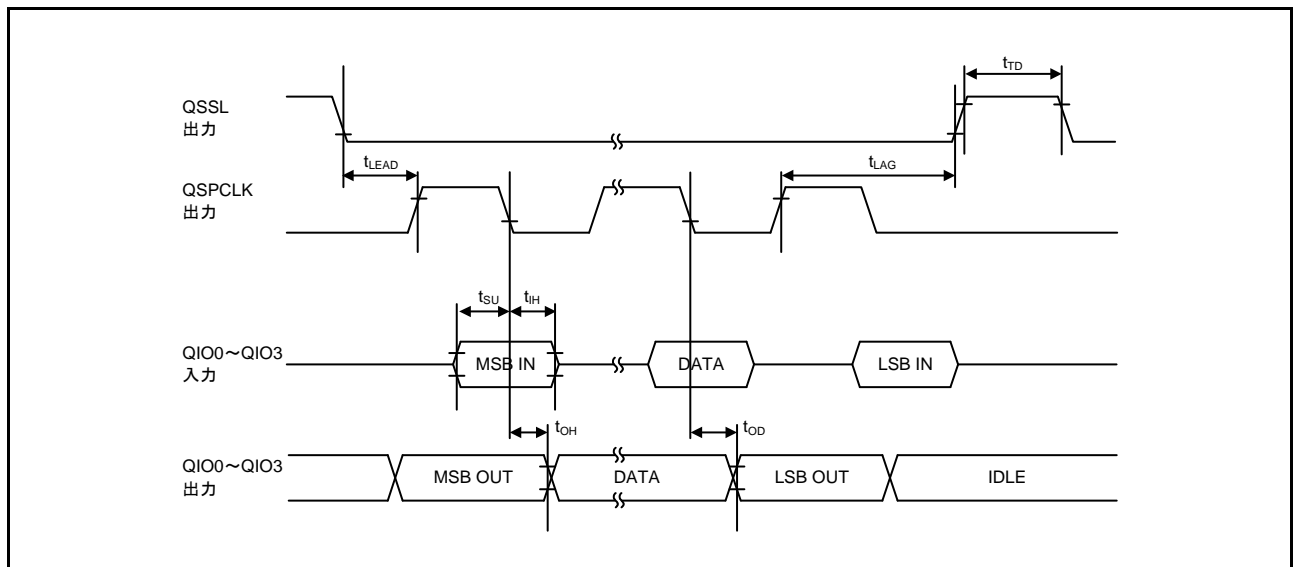


図 2.84 送受信タイミング

2.4.7.15 RIIC

表 2.45 RIIC タイミング (1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

| 項目 | | 記号 | min (注1) | max | 単位 | 測定条件 |
|--|-----------------------|------------|-------------------------------------|--------------------------|----|--------|
| RIIC (Standard-mode, SMBus) ICFER.FMPE = 0 | SCL 入力サイクル時間 | t_{SCL} | $6(12) \times t_{IICcyc} + 1300$ | — | ns | 図 2.85 |
| | SCL 入力 High パルス幅 | t_{SCLH} | $3(6) \times t_{IICcyc} + 300$ | — | ns | |
| | SCL 入力 Low パルス幅 | t_{SCLL} | $3(6) \times t_{IICcyc} + 300$ | — | ns | |
| | SCL、SDA 入力立ち上がり時間 | t_{Sr} | — | 1000 | ns | |
| | SCL、SDA 入力立ち下がり時間 | t_{Sf} | — | 300 | ns | |
| | SCL、SDA 入カスパイクパルス除去時間 | t_{SP} | 0 | $1(4) \times t_{IICcyc}$ | ns | |
| | SDA 入力バスフリー時間 | t_{BUF} | $3(6) \times t_{IICcyc} + 300$ | — | ns | |
| | 開始条件入力ホールド時間 | t_{STAH} | $t_{IICcyc} + 300$ | — | ns | |
| | 再送開始条件入力セットアップ時間 | t_{STAS} | 1000 | — | ns | |
| | 停止条件入力セットアップ時間 | t_{STOS} | 1000 | — | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | $t_{IICcyc} + 50$ | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SCL、SDA の容量性負荷 | C_b (注2) | — | 400 | pF | |
| RIIC (Fast-mode) ICFER.FMPE = 0 | SCL 入力サイクル時間 | t_{SCL} | $6(12) \times t_{IICcyc} + 600$ | — | ns | |
| | SCL 入力 High パルス幅 | t_{SCLH} | $3(6) \times t_{IICcyc} + 300$ | — | ns | |
| | SCL 入力 Low パルス幅 | t_{SCLL} | $3(6) \times t_{IICcyc} + 300$ | — | ns | |
| | SCL、SDA 入力立ち上がり時間 | t_{Sr} | $20 \times$ (外付け プルアップ電圧 / 5.5V) | 300 | ns | |
| | SCL、SDA 入力立ち下がり時間 | t_{Sf} | $20 \times$ (外付け プルアップ電圧 / 5.5V) | 300 | ns | |
| | SCL、SDA 入カスパイクパルス除去時間 | t_{SP} | 0 | $1(4) \times t_{IICcyc}$ | ns | |
| | SDA 入力バスフリー時間 | t_{BUF} | $3(6) \times t_{IICcyc} + 300$ | — | ns | |
| | 開始条件入力ホールド時間 | t_{STAH} | $t_{IICcyc} + 300$ | — | ns | |
| | 再送開始条件入力セットアップ時間 | t_{STAS} | 300 | — | ns | |
| | 停止条件入力セットアップ時間 | t_{STOS} | 300 | — | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | $t_{IICcyc} + 50$ | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SCL、SDA の容量性負荷 | C_b (注2) | — | 400 | pF | |

注. t_{IICcyc} : RIIC の内部基準クロック (IIC ϕ) の周期

注1. ()内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。

表 2.46 RIIC タイミング (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$

| 項目 | 記号 | min (注1) | max | 単位 | 測定条件 | |
|--|----------------------|------------|---------------------------------|--------------------------|------|--------|
| RIIC (Fast-mode+) ICFER.FMPE = 1 | SCL入力サイクル時間 | t_{SCL} | $6(12) \times t_{IICcyc} + 240$ | — | ns | 図 2.85 |
| | SCL入力Highパルス幅 | t_{SCLH} | $3(6) \times t_{IICcyc} + 120$ | — | ns | |
| | SCL入力Lowパルス幅 | t_{SCLL} | $3(6) \times t_{IICcyc} + 120$ | — | ns | |
| | SCL、SDA入力立ち上がり時間 | t_{Sr} | — | 120 | ns | |
| | SCL、SDA入力立ち下がり時間 | t_{Sf} | — | 120 | ns | |
| | SCL、SDA入カスパイクパルス除去時間 | t_{SP} | 0 | $1(4) \times t_{IICcyc}$ | ns | |
| | SDA入力バスフリー時間 | t_{BUF} | $3(6) \times t_{IICcyc} + 120$ | — | ns | |
| | 開始条件入力ホールド時間 | t_{STAH} | $t_{IICcyc} + 120$ | — | ns | |
| | 再送開始条件入力セットアップ時間 | t_{STAS} | 120 | — | ns | |
| | 停止条件入力セットアップ時間 | t_{STOS} | 120 | — | ns | |
| | データ入力セットアップ時間 | t_{SDAS} | $t_{IICcyc} + 20$ | — | ns | |
| | データ入力ホールド時間 | t_{SDAH} | 0 | — | ns | |
| | SCL、SDAの容量性負荷 | C_b (注2) | — | 550 | pF | |

注. t_{IICcyc} : RIICの内部基準クロック (IICφ) の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

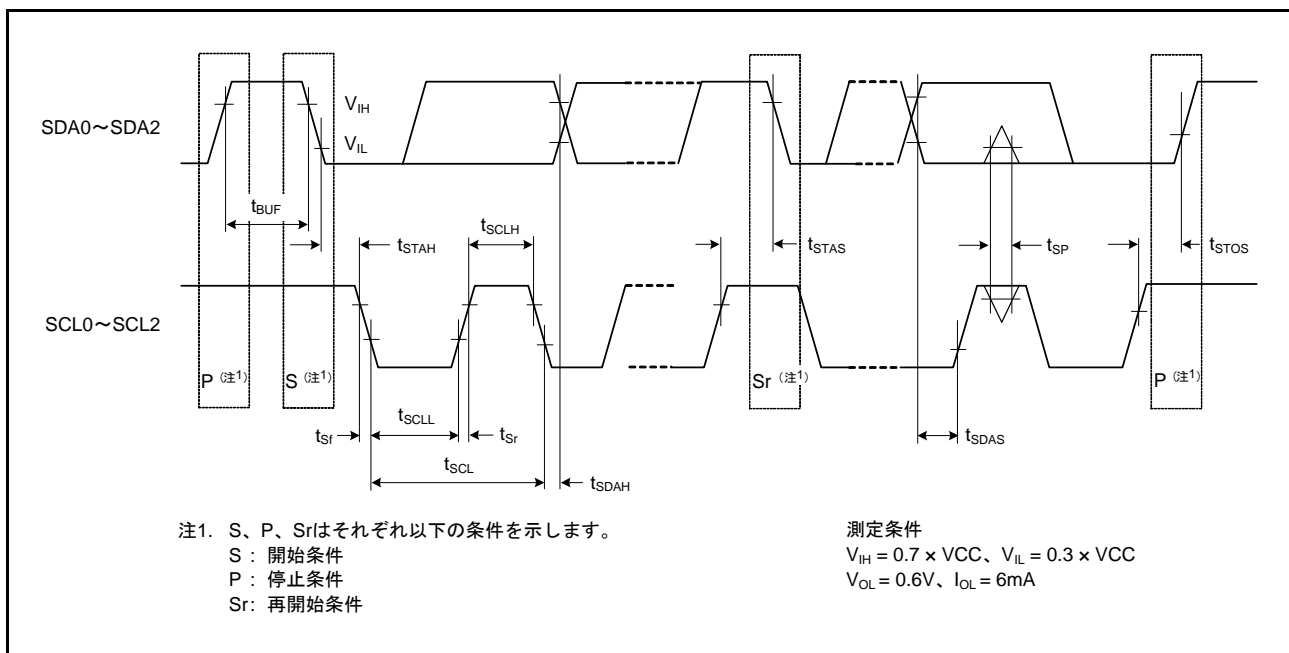


図 2.85 RIIC バスインタフェース入出力タイミング

2.4.7.16 RIICHS

表2.47 RIICHSタイミング(1)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}

| 項目 | 記号 | min (注1) | max | 単位 | 測定条件 | |
|--|--------------------------|---------------------|-------------------------------------|----------------------------|------|-------|
| RIICHS (Standard-mode, SMBus) ICFER.FMPE = 0 | SCLHS入力サイクル時間 | t _{SCL} | 10(18) × t _{IIcCyc} + 1300 | — | ns | 図2.86 |
| | SCLHS入力Highパルス幅 | t _{SCLH} | 5(9) × t _{IIcCyc} + 300 | — | ns | |
| | SCLHS入力Lowパルス幅 | t _{SCLL} | 5(9) × t _{IIcCyc} + 300 | — | ns | |
| | SCLHS、SDAHS入力立ち上がり時間 | t _{Sr} | — | 1000 | ns | |
| | SCLHS、SDAHS入力立ち下がり時間 | t _{Sf} | — | 300 | ns | |
| | SCLHS、SDAHS入カスパイクパルス除去時間 | t _{SP} | 0 | 1(4) × t _{IIcCyc} | ns | |
| | SDAHS入力バスフリー時間 | t _{BUF} | 5(9) × t _{IIcCyc} + 300 | — | ns | |
| | 開始条件入力ホールド時間 | t _{STAH} | t _{IIcCyc} + 300 | — | ns | |
| | 再送開始条件入力セットアップ時間 | t _{STAS} | 1000 | — | ns | |
| | 停止条件入力セットアップ時間 | t _{STOS} | 1000 | — | ns | |
| | データ入力セットアップ時間 | t _{SDAS} | t _{IIcCyc} + 50 | — | ns | |
| | データ入力ホールド時間 | t _{SDAH} | 0 | — | ns | |
| | SCLHS、SDAHSの容量性負荷 | C _b (注2) | — | 400 | pF | |
| RIICHS (Fast-mode) ICFER.FMPE = 0 | SCLHS入力サイクル時間 | t _{SCL} | 10(18) × t _{IIcCyc} + 600 | — | ns | |
| | SCLHS入力Highパルス幅 | t _{SCLH} | 5(9) × t _{IIcCyc} + 300 | — | ns | |
| | SCLHS入力Lowパルス幅 | t _{SCLL} | 5(9) × t _{IIcCyc} + 300 | — | ns | |
| | SCLHS、SDAHS入力立ち上がり時間 | t _{Sr} | 20 × (外付け プルアップ電圧 / 5.5V) | 300 | ns | |
| | SCLHS、SDAHS入力立ち下がり時間 | t _{Sf} | 20 × (外付け プルアップ電圧 / 5.5V) | 300 | ns | |
| | SCLHS、SDAHS入カスパイクパルス除去時間 | t _{SP} | 0 | 1(4) × t _{IIcCyc} | ns | |
| | SDAHS入力バスフリー時間 | t _{BUF} | 5(9) × t _{IIcCyc} + 300 | — | ns | |
| | 開始条件入力ホールド時間 | t _{STAH} | t _{IIcCyc} + 300 | — | ns | |
| | 再送開始条件入力セットアップ時間 | t _{STAS} | 300 | — | ns | |
| | 停止条件入力セットアップ時間 | t _{STOS} | 300 | — | ns | |
| | データ入力セットアップ時間 | t _{SDAS} | t _{IIcCyc} + 50 | — | ns | |
| | データ入力ホールド時間 | t _{SDAH} | 0 | — | ns | |
| | SCLHS、SDAHSの容量性負荷 | C _b (注2) | — | 400 | pF | |
| RIICHS (Fast-mode+) ICFER.FMPE = 1 | SCLHS入力サイクル時間 | t _{SCL} | 10(18) × t _{IIcCyc} + 240 | — | ns | |
| | SCLHS入力Highパルス幅 | t _{SCLH} | 5(9) × t _{IIcCyc} + 120 | — | ns | |
| | SCLHS入力Lowパルス幅 | t _{SCLL} | 5(9) × t _{IIcCyc} + 120 | — | ns | |
| | SCLHS、SDAHS入力立ち上がり時間 | t _{Sr} | — | 120 | ns | |
| | SCLHS、SDAHS入力立ち下がり時間 | t _{Sf} | — | 120 | ns | |
| | SCLHS、SDAHS入カスパイクパルス除去時間 | t _{SP} | 0 | 1(4) × t _{IIcCyc} | ns | |
| | SDAHS入力バスフリー時間 | t _{BUF} | 5(9) × t _{IIcCyc} + 120 | — | ns | |
| | 開始条件入力ホールド時間 | t _{STAH} | t _{IIcCyc} + 120 | — | ns | |
| | 再送開始条件入力セットアップ時間 | t _{STAS} | 120 | — | ns | |
| | 停止条件入力セットアップ時間 | t _{STOS} | 120 | — | ns | |
| | データ入力セットアップ時間 | t _{SDAS} | t _{IIcCyc} + 20 | — | ns | |
| | データ入力ホールド時間 | t _{SDAH} | 0 | — | ns | |
| | SCLHS、SDAHSの容量性負荷 | C _b (注2) | — | 550 | pF | |

注. t_{IIcCyc} : RIICHSの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICICR.NFE = 1でデジタルフィルタを有効にした状態でICICR.NF[3:0] = 0011bの場合を示します。
 注2. C_b はバスラインの容量総計です。

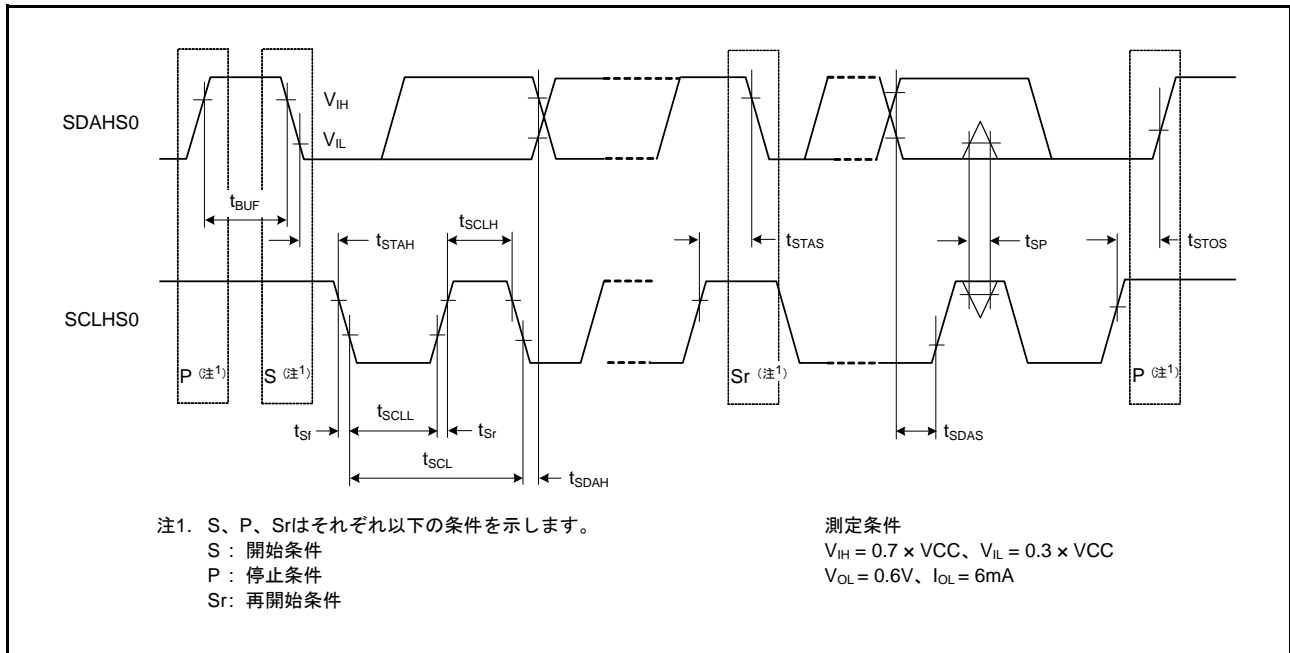


図 2.86 RIICHS バスインタフェース入出力タイミング

表 2.48 RIICHS タイミング (2)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

| 項目 | | 記号 | min (注1) | max | 単位 | 測定条件 | |
|---------------------------------------|----------------------------|----------------------------|---------------------------------|--------------------------|-----|--------|----|
| RIICHS (Hs-mode) ICFER.HSME = 1 | SCLHS入力サイクル時間 | t_{SCL} | $10(12) \times t_{IICcyc} + 80$ | — | ns | 図 2.87 | |
| | SCLHS入力Highパルス幅 | t_{SCLH} | $5(6) \times t_{IICcyc}$ | — | ns | | |
| | SCLHS入力Lowパルス幅 | t_{SCLL} | $5(6) \times t_{IICcyc}$ | — | ns | | |
| | SCLHS入力立ち上がり時間 | $C_b=400pF$ $C_b=100pF$ | t_{SrCL} | — | 80 | | ns |
| | | | | — | 40 | | |
| | SDAHS入力立ち上がり時間 | $C_b=400pF$ $C_b=100pF$ | t_{SrDA} | — | 160 | | ns |
| | | | | — | 80 | | |
| | SCLHS入力立ち下がり時間 | $C_b=400pF$ $C_b=100pF$ | t_{SrCL} | — | 80 | | ns |
| | | | | — | 40 | | |
| | SDAHS入力立ち下がり時間 | $C_b=400pF$ $C_b=100pF$ | t_{SrDA} | — | 160 | | ns |
| — | | | | 80 | | | |
| SCLHS、SDAHS入カスパイクパルス除去時間 | | t_{SP} | 0 | $1(1) \times t_{IICcyc}$ | ns | 図 2.86 | |
| SDAHS入力バスフリー時間 | | t_{BUF} | $5(6) \times t_{IICcyc} + 40$ | — | ns | 図 2.87 | |
| 開始条件入力ホールド時間 | | t_{STAH} | $t_{IICcyc} + 40$ | — | ns | | |
| 再送開始条件入力セットアップ時間 | | t_{STAS} | 40 | — | ns | | |
| 停止条件入力セットアップ時間 | | t_{STOS} | 40 | — | ns | | |
| データ入力セットアップ時間 | | t_{SDAS} | 10 | — | ns | | |
| データ入力ホールド時間 | $C_b=400pF$ $C_b=100pF$ | t_{SDAH} | 0 | 150 | ns | | |
| | | | 0 | 70 | | | |
| SCLHS、SDAHSの容量性負荷 | | C_b (注2) | — | 400 | pF | | |

注. t_{IICcyc} : RIICHSの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICICR.NFE = 1でデジタルフィルタを有効にした状態でICICR.NF[3:0] = 0011bの場合を示します。ただし、Hsモード時は下位2ビットが無視され、デジタルフィルタ1段相当です。

注2. C_b はバスラインの容量総計です。

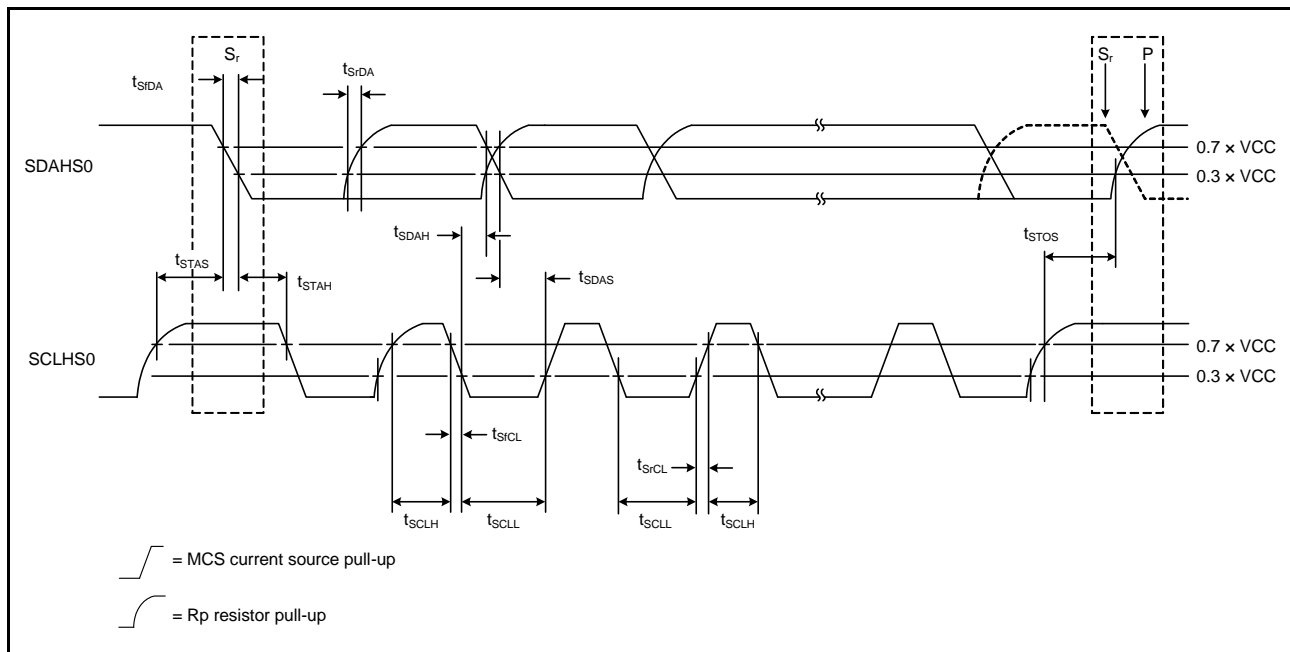


図 2.87 RIICHS バスインタフェース入出カタイミング (Hs モード)

2.4.7.17 SDHI

表 2.49 SDHI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | max | 単位 | 測定条件 (注1) | |
|------|--|----------------|-------------------------|----|--------------|----|
| SDHI | SDHI_CLK 端子出力サイクル時間 | $t_{PP(SD)}$ | — | ns | 図 2.88 | |
| | SDHI_CLK 端子出力 High パルス幅 | $t_{WH(SD)}$ | $0.4 \times t_{PP(SD)}$ | ns | | |
| | SDHI_CLK 端子出力 Low パルス幅 | $t_{WL(SD)}$ | $0.4 \times t_{PP(SD)}$ | ns | | |
| | SDHI_CLK 端子出力立ち上がり時間 | $t_{TLH(SD)}$ | — | 3 | | |
| | SDHI_CLK 端子出力立ち下がり時間 | $t_{THL(SD)}$ | — | 3 | | |
| | SDHI_CMD、SDHI_D3～SDHI_D0 端子 出力データ遅延時間(データ転送モード) | $t_{ODLY(SD)}$ | -6.5 | 4 | | ns |
| | SDHI_CMD、SDHI_D3～SDHI_D0 端子 入力データセットアップ時間 | $t_{SU(SD)}$ | 6 | — | | ns |
| | SDHI_CMD、SDHI_D3～SDHI_D0 端子 入力データホールド時間 | $t_{H(SD)}$ | 2 | — | | ns |

注1. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせで使用することを推奨します。SDHI の AC 特性は、各グループ内の端子間で測定しています。

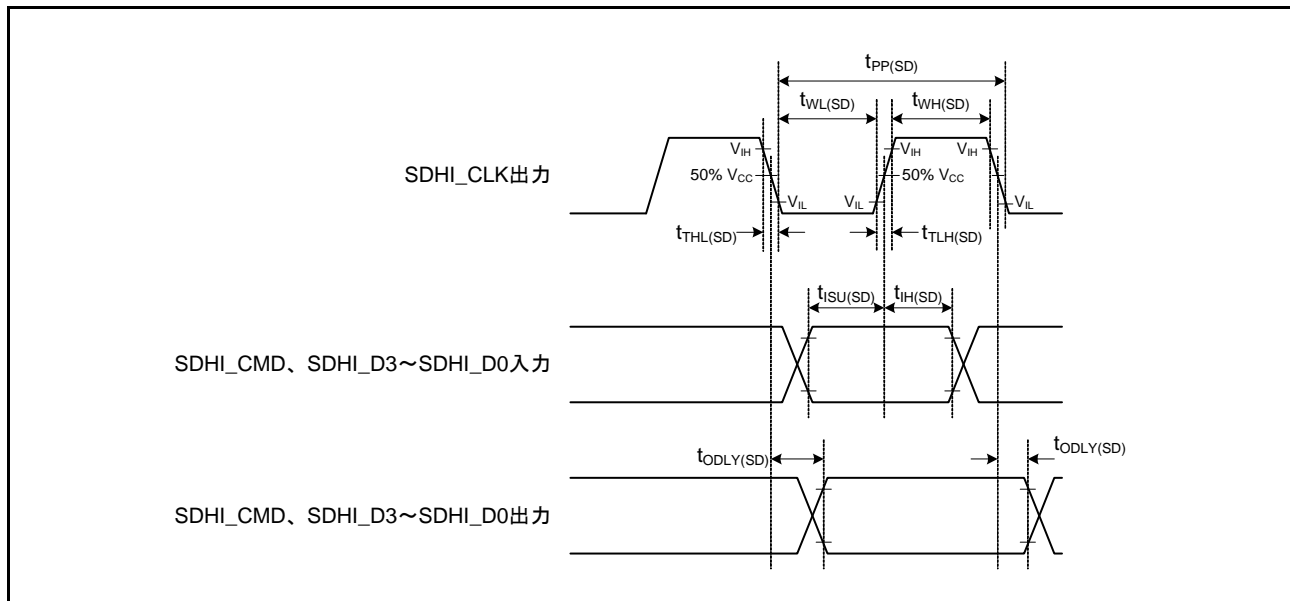


図 2.88 SD ホストインタフェース入出力信号タイミング

2.5 USB 特性

表 2.50 内蔵USB ロースピード (Hostのみ) 特性 (DP, DM 端子特性)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $U_{CLK} = 48MHz$, $P_{CLKA} = 8 \sim 120MHz$,
 $P_{CLKB} = 8 \sim 60MHz$, $T_a = T_{opr}$

| 項目 | 記号 | min | Typ | max | 単位 | 測定条件 | |
|---------|------------------------|-------------------|-------|-----|-------|------------|----------------------|
| 入力特性 | High レベル入力電圧 | V_{IH} | 2.0 | — | — | V | |
| | Low レベル入力電圧 | V_{IL} | — | — | 0.8 | V | |
| | 差動入力感度 | V_{DI} | 0.2 | — | — | V | DP - DM |
| | 差動コモンモードレンジ | V_{CM} | 0.8 | — | 2.5 | V | |
| 出力特性 | High レベル出力電圧 | V_{OH} | 2.8 | — | 3.6 | V | $I_{OH} = -200\mu A$ |
| | Low レベル出力電圧 | V_{OL} | 0.0 | — | 0.3 | V | $I_{OL} = 2mA$ |
| | クロスオーバー電圧 | V_{CRS} | 1.3 | — | 2.0 | V | 図 2.89 |
| | 立ち上がり時間 | t_{LR} | 75 | — | 300 | ns | |
| | 立ち下がり時間 | t_{LF} | 75 | — | 300 | ns | |
| | 立ち上がり/立ち下がり時間比 | t_{LR} / t_{LF} | 80 | — | 125 | % | t_{LR} / t_{LF} |
| ブルダウン特性 | DP/DM ブルダウン抵抗 (ホスト選択時) | R_{pd} | 14.25 | — | 24.80 | k Ω | |

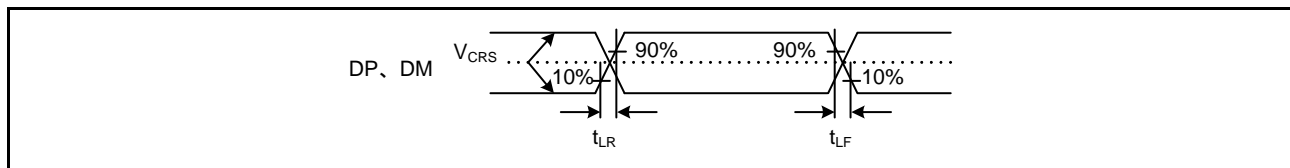


図 2.89 DP、DM 出カタイミング (ロースピード時)

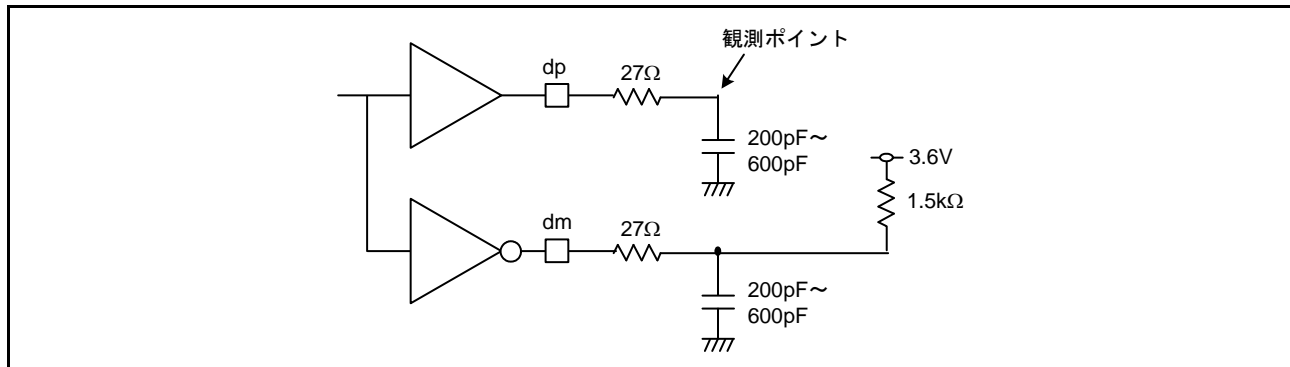


図 2.90 測定回路 (ロースピード時)

表 2.51 内蔵USBフルスピード特性(DP, DM端子特性)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 3.0 \sim 3.6V, 3.0V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $UCLK = 48MHz, PCLKA = 8 \sim 120MHz,$
 $PCLKB = 8 \sim 60MHz, T_a = T_{opr}$

| 項目 | 記号 | min | Typ | max | 単位 | 測定条件 | |
|-----------------------|----------------------------|-------------------|-------|-----|--------|------------|----------------------|
| 入力特性 | Highレベル入力電圧 | V_{IH} | 2.0 | — | — | V | |
| | Lowレベル入力電圧 | V_{IL} | — | — | 0.8 | V | |
| | 差動入力感度 | V_{DI} | 0.2 | — | — | V | DP - DM |
| | 差動共通モードレンジ | V_{CM} | 0.8 | — | 2.5 | V | |
| 出力特性 | Highレベル出力電圧 | V_{OH} | 2.8 | — | 3.6 | V | $I_{OH} = -200\mu A$ |
| | Lowレベル出力電圧 | V_{OL} | 0.0 | — | 0.3 | V | $I_{OL} = 2mA$ |
| | クロスオーバー電圧 | V_{CRS} | 1.3 | — | 2.0 | V | 図 2.91 |
| | 立ち上がり時間 | t_{FR} | 4 | — | 20 | ns | |
| | 立ち下がり時間 | t_{FF} | 4 | — | 20 | ns | |
| | 立ち上がり/立ち下がり時間比 | t_{FR} / t_{FF} | 90 | — | 111.11 | % | |
| | 出力抵抗 | Z_{DRV} | 28 | — | 44 | Ω | $R_s = 27\Omega$ 含む |
| プリアップ、 プルダウン 特性 | DP プリアップ抵抗 (ファンクション選択時) | R_{pu} | 0.900 | — | 1.575 | k Ω | アイドル時 |
| | | | 1.425 | — | 3.090 | | 送受信時 |
| | DP/DMプルダウン抵抗 (ホスト選択時) | R_{pd} | 14.25 | — | 24.80 | k Ω | |

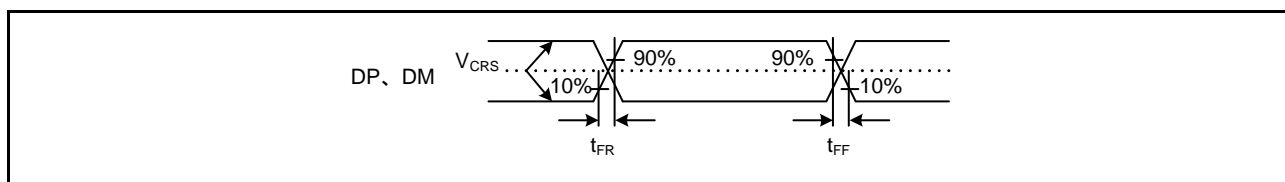


図 2.91 DP、DM 出カタイミング (フルスピード時)

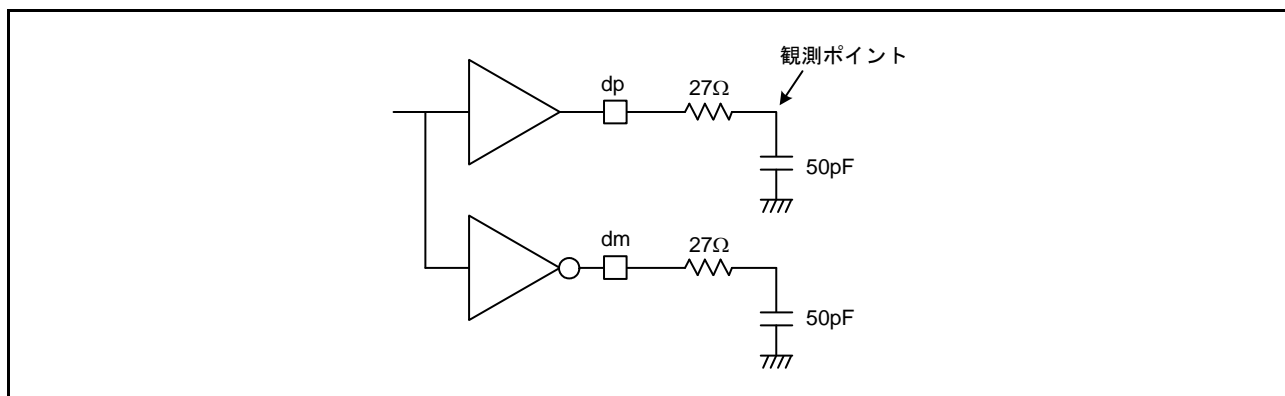


図 2.92 測定回路 (フルスピード時)

2.6 A/D 変換特性

表 2.52 12ビット A/D (ユニット0) 変換特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKB = PCLKC = 1MHz \sim 60MHz$, $T_a = T_{opr}$,
 信号源インピーダンス = $1.0k\Omega$

| 項目 | min | typ | max | 単位 | 測定条件 |
|-------------------------------|----------------------|-----------|-----------|---------|--------------|
| 分解能 | 8 | — | 12 | ビット | |
| アナログ入力容量 | — | — | 30 | pF | |
| 変換時間 (注1) (PCLKC = 60MHz時) | 0.48 (0.267) (注2) | — | — | μs | サンプリング16ステート |
| オフセット誤差 | — | ± 1.0 | ± 2.5 | LSB | |
| フルスケール誤差 | — | ± 1.0 | ± 2.5 | LSB | |
| 量子化誤差 | — | ± 0.5 | — | LSB | |
| 絶対精度 | — | ± 2.5 | ± 4.5 | LSB | |
| DNL 微分非直線性誤差 | — | ± 0.5 | ± 1.5 | LSB | |
| INL 積分非直線性誤差 | — | ± 1.0 | ± 2.5 | LSB | |

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 2.53 12ビット A/D (ユニット1) 変換特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKB = PCLKD = 1MHz \sim 60MHz$, $T_a = T_{opr}$,
 信号源インピーダンス = $1.0k\Omega$

| 項目 | min | typ | max | 単位 | 測定条件 |
|-------------------------------|-------------------------|-----------|-----------|---------|---------------------------------|
| 分解能 | 8 | — | 12 | ビット | |
| 変換時間 (注1) (PCLKD = 60MHz時) | 0.88 (0.633) (注2) | — | — | μs | サンプリング38ステート (ADSAM.SAM = 1) |
| 変換時間 (注1) (PCLKD = 30MHz時) | 1 (0.500) (注2) | — | — | μs | サンプリング15ステート (ADSAM.SAM = 1) |
| アナログ入力容量 | — | — | 30 | pF | |
| オフセット誤差 | — | ± 2.0 | ± 3.5 | LSB | |
| フルスケール誤差 | — | ± 2.0 | ± 3.5 | LSB | |
| 量子化誤差 | — | ± 0.5 | — | LSB | |
| 絶対精度 | — | ± 4.0 | ± 6.0 | LSB | |
| DNL 微分非直線性誤差 (PCLKD = 60MHz時) | — | ± 1.5 | ± 4.0 | LSB | |
| DNL 微分非直線性誤差 (PCLKD = 30MHz時) | — | ± 1.5 | ± 2.5 | LSB | |
| INL 積分非直線性誤差 (PCLKD = 60MHz時) | — | ± 2.0 | ± 4.0 | LSB | |
| INL 積分非直線性誤差 (PCLKD = 30MHz時) | — | ± 2.0 | ± 3.5 | LSB | |

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 2.54 A/D内部基準電圧特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKD = 60MHz$, $T_a = T_{opr}$

| 項目 | min | typ | max | 単位 | 測定条件 |
|-----------|------|------|------|----|------|
| A/D内部基準電圧 | 1.13 | 1.18 | 1.23 | V | |

2.7 温度センサ特性

表 2.55 温度センサ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | min | typ | max | 単位 | 測定条件 |
|---------------|------|------|-----|-------|--------------------|
| 相対精度 | — | ±1 | — | °C | |
| 温度傾斜 | — | 4 | — | mV/°C | |
| 出力電位 | — | 1.21 | — | V | $T_a = 25^\circ C$ |
| 温度センサ起動時間 | — | — | 30 | μs | |
| サンプリング時間 (注1) | 4.15 | — | — | μs | |

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

2.8 CTSU 特性

表 2.56 CTSU 特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|-------------------|-----------------|-----|-----|----------|----|-----------|
| TSCAP端子外付け容量 | C_{tscap} | 9 | 10 | 11 | nF | |
| TS端子負荷容量 | C_{base} | — | — | 50 | pF | |
| Highレベル総出力電流 (注1) | ΣI_{OH} | — | — | -40 (注2) | mA | 相互容量方式適用時 |

注1. TSCAP、TS0～TS16以外の端子の I_{OH} の総和

注2. 相互容量方式では、他のI/Oの電流出力が大きいか、VCCの電圧降下が大きくなり、計測値に影響します。CTSU使用時は他の端子の I_{OH} の総和をこの値以下にすることを推奨します。

2.9 パワーオンリセット回路、電圧検出回路特性

表2.57 パワーオンリセット回路、電圧検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 | |
|-----------------------|----------------|---------------|---------------|------|------|---------|-----------------|-------|
| 電圧検出レベル | パワーオンリセット(POR) | 低消費電力機能無効(注1) | V_{POR} | 2.5 | 2.6 | 2.7 | V | 図2.93 |
| | | 低消費電力機能有効(注2) | | 1.8 | 2.25 | 2.7 | | |
| | 電圧検出回路(LVD0) | | V_{det0_1} | 2.84 | 2.94 | 3.04 | | 図2.94 |
| | | | V_{det0_2} | 2.77 | 2.87 | 2.97 | | |
| | | | V_{det0_3} | 2.70 | 2.80 | 2.90 | | |
| | 電圧検出回路(LVD1) | | V_{det1_1} | 2.89 | 2.99 | 3.09 | | 図2.95 |
| | | | V_{det1_2} | 2.82 | 2.92 | 3.02 | | |
| | | | V_{det1_3} | 2.75 | 2.85 | 2.95 | | |
| | 電圧検出回路(LVD2) | | V_{det2_1} | 2.89 | 2.99 | 3.09 | | 図2.96 |
| | | | V_{det2_2} | 2.82 | 2.92 | 3.02 | | |
| | | | V_{det2_3} | 2.75 | 2.85 | 2.95 | | |
| | 内部リセット時間 | パワーオンリセット時間 | t_{POR} | — | 4.6 | — | | ms |
| LVD0リセット時間 | | t_{LVD0} | — | 0.70 | — | 図2.94 | | |
| LVD1リセット時間 | | t_{LVD1} | — | 0.57 | — | 図2.95 | | |
| LVD2リセット時間 | | t_{LVD2} | — | 0.57 | — | 図2.96 | | |
| 最小VCC低下時間 | | t_{VOFF} | 200 | — | — | μs | 図2.93、 図2.94 | |
| 応答遅延時間 | | t_{det} | — | — | 200 | μs | 図2.93～図 2.96 | |
| LVD動作安定時間(LVD有効切り替え時) | | $t_{d(E-A)}$ | — | — | 10 | μs | 図2.95、 図2.96 | |
| ヒステリシス幅(LVD1, LVD2) | | V_{LVH} | — | 70 | — | mV | | |

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} , V_{det1} , V_{det2} のmin値を下回っている時間です。

注1. 低消費電力機能無効 DEEPCUT[1:0] = 00b、または01b

注2. 低消費電力機能有効 DEEPCUT[1:0] = 11b

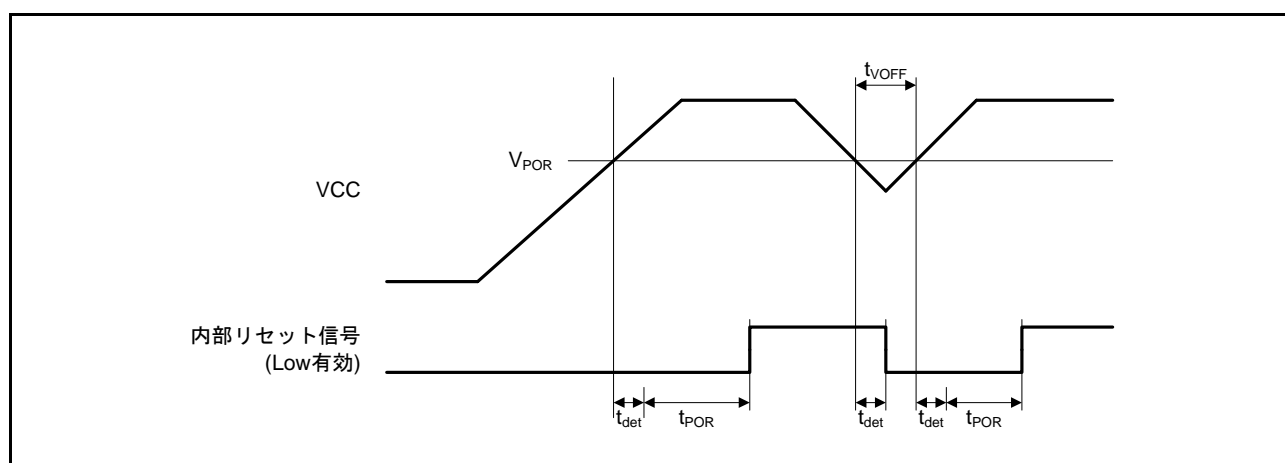


図2.93 パワーオンリセットタイミング

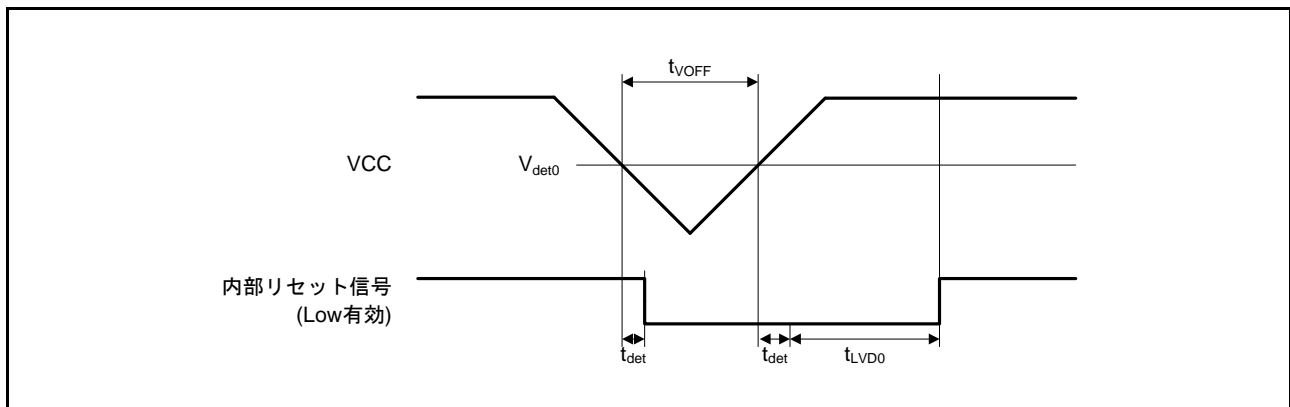


図 2.94 電圧検出回路タイミング (V_{det0})

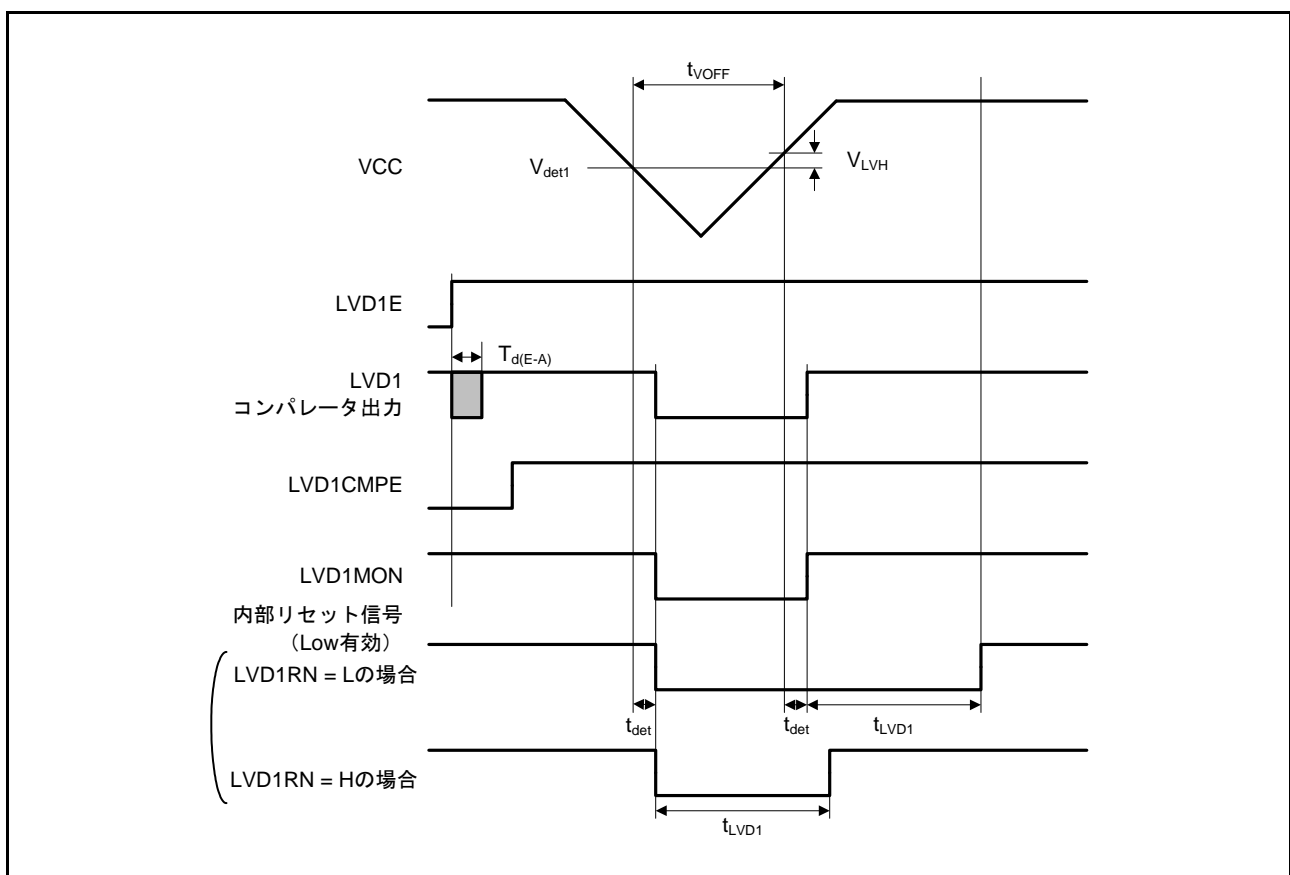
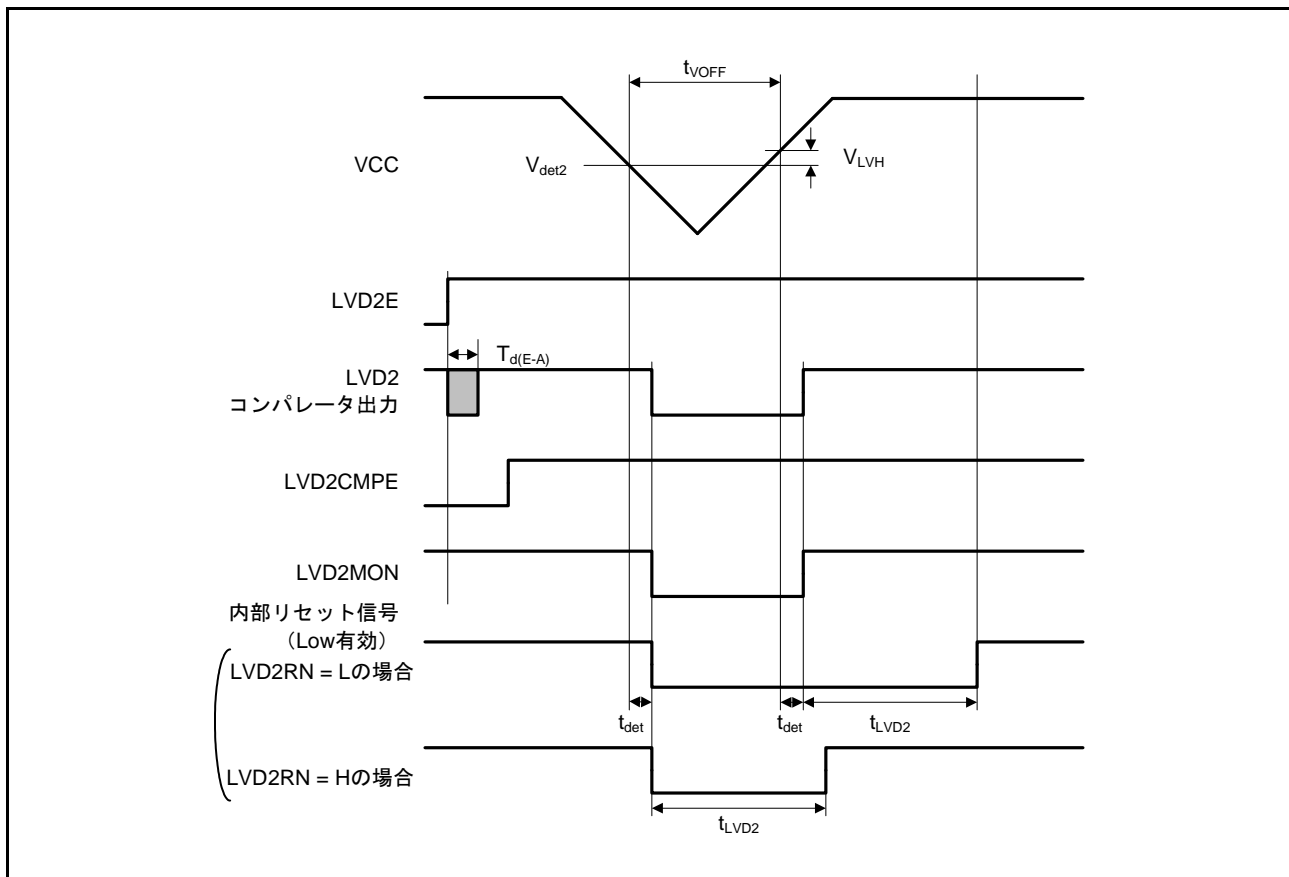


図 2.95 電圧検出回路タイミング (V_{det1})

図 2.96 電圧検出回路タイミング (V_{det2})

2.10 発振停止検出タイミング

表 2.58 発振停止検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $T_a = T_{opr}$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|------|----------|-----|-----|-----|----|--------|
| 検出時間 | t_{dr} | — | — | 1 | ms | 図 2.97 |

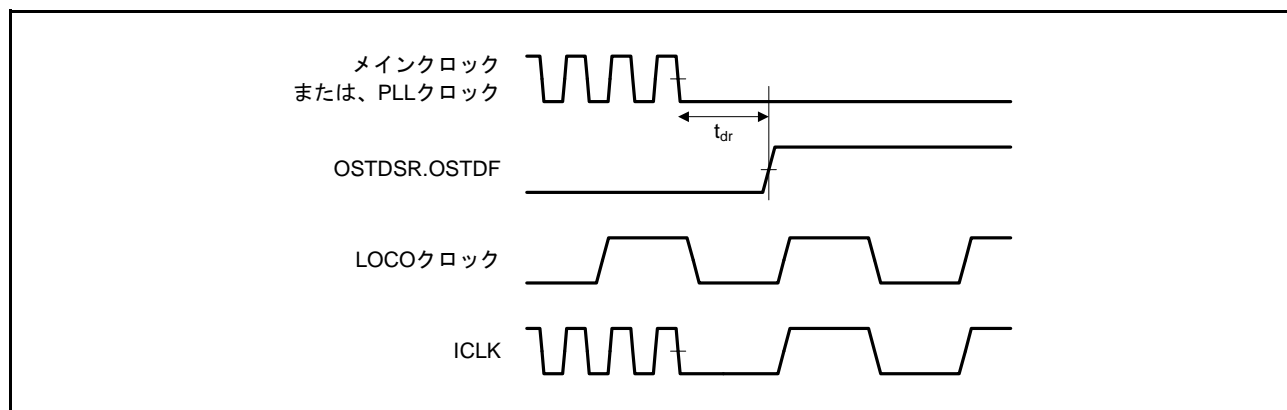


図 2.97 発振停止検出タイミング

2.11 バッテリバックアップ機能特性

表2.59 バッテリバックアップ機能特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 V_{BATT} = 1.62 ~ 3.6V, T_a = T_{opr}

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|--------------------------------------|--------------------------------|------|------|------|----|--------|
| バッテリバックアップ切り替え電圧レベル | V _{DETBATT} | 2.50 | 2.60 | 2.70 | V | 図2.98 |
| VCC電圧低下電源切り替え時V _{BATT} 下限電圧 | V _{BATT_{SW}} | 2.00 | — | — | V | |
| 切り替え可能VCCオフ期間(注1) | t _{VOFFBATT} | 200 | — | — | μs | |
| バックアップ領域/パワーダウン検出レベル | V _{PDR(BKP)} | 1.45 | 1.5 | 1.55 | V | 図2.99 |
| バックアップ領域リセット信号アサート遅延時間(注2) | t _{p(PDRL)} | — | — | 2000 | μs | |
| バックアップ領域リセット信号ネゲート遅延時間 | t _{p(PDRH)} | — | — | 1000 | μs | |
| タンパ入力カプルス幅 | t _{w(TAMPI)} | 200 | — | — | ns | 図2.100 |

注1. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベルV_{DETBATT}のmin値を下回ってから、VBATT端子からの電源供給に切り替わるまでの時間です。この時間内にVCCが復旧した場合、VBATTからの供給に切り替わずにVCCからの供給のままになります。

注2. この時間以内にV_{BKP}が復旧した場合、バックアップ領域リセット信号が生成されないことがあります。

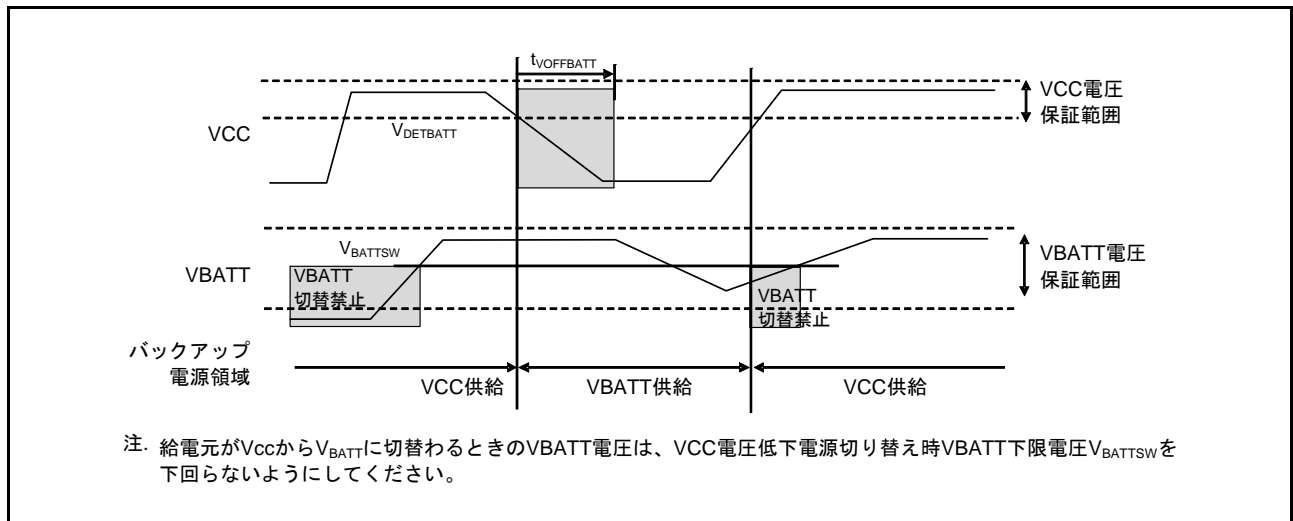


図 2.98 バッテリバックアップ機能特性

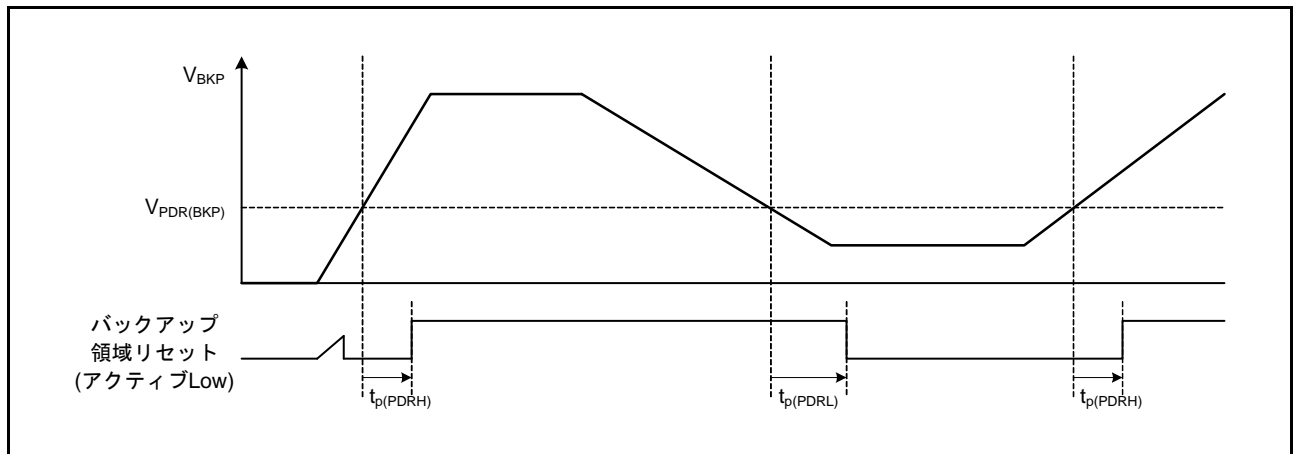


図 2.99 バックアップ領域リセット特性

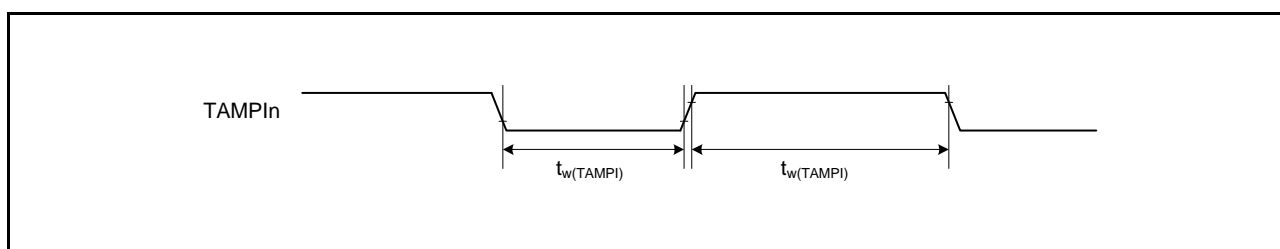


図 2.100 TAMPIn 入力タイミング

2.12 フラッシュメモリ特性

表 2.60 コードフラッシュメモリ特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 プログラム/イレーズ時の動作温度範囲 : T_a = T_{opr}

| 項目 | 記号 | FCLK = 4MHz | | | FCLK = 15MHz | | | 20MHz ≤ FCLK ≤ 60MHz | | | 単位 | 測定条件 | |
|---|--------------------|-------------------|-----|------|---------------|-----|------|----------------------|-----|------|-----|------|------------------------|
| | | min | typ | max | min | typ | max | min | typ | max | | | |
| プログラム時間 N _{PEC} ≤ 100回 のとき | 128バイト | t _{P128} | — | 0.75 | 13.2 | — | 0.38 | 6.6 | — | 0.34 | 6 | ms | |
| | 8Kバイト | t _{P8K} | — | 49 | 176 | — | 25 | 88 | — | 22 | 80 | ms | |
| | 32Kバイト | t _{P32K} | — | 194 | 704 | — | 97 | 352 | — | 88 | 320 | ms | |
| プログラム時間 N _{PEC} > 100回 のとき | 128バイト | t _{P128} | — | 0.91 | 15.8 | — | 0.46 | 8 | — | 0.41 | 7.2 | ms | |
| | 8Kバイト | t _{P8K} | — | 60 | 212 | — | 30 | 106 | — | 27 | 96 | ms | |
| | 32Kバイト | t _{P32K} | — | 234 | 848 | — | 117 | 424 | — | 106 | 384 | ms | |
| イレーズ時間 N _{PEC} ≤ 100回 のとき | 8Kバイト | t _{E8K} | — | 78 | 216 | — | 48 | 132 | — | 43 | 120 | ms | |
| | 32Kバイト | t _{E32K} | — | 283 | 864 | — | 173 | 528 | — | 157 | 480 | ms | |
| イレーズ時間 N _{PEC} > 100回 のとき | 8Kバイト | t _{E8K} | — | 94 | 260 | — | 58 | 158 | — | 52 | 144 | ms | |
| | 32Kバイト | t _{E32K} | — | 341 | 1040 | — | 208 | 632 | — | 189 | 576 | ms | |
| プログラム/イレーズ回数 (注1) | N _{PEC} | 10000 (注2) | — | — | 10000 (注2) | — | — | 10000 (注2) | — | — | — | 回 | |
| プログラム中のサスペンド 遅延時間 | t _{SPD} | — | — | 264 | — | — | 132 | — | — | 120 | μs | | |
| イレーズ中の1回目のサスペンド 遅延時間 (サスペンド優先モード時) | t _{SESD1} | — | — | 216 | — | — | 132 | — | — | 120 | μs | | |
| イレーズ中の2回目のサスペンド 遅延時間 (サスペンド優先モード時) | t _{SESD2} | — | — | 1.7 | — | — | 1.7 | — | — | 1.7 | ms | | |
| イレーズ中のサスペンド 遅延時間 (イレーズ優先モード時) | t _{SEED} | — | — | 1.7 | — | — | 1.7 | — | — | 1.7 | ms | | |
| 強制終了コマンド | t _{FD} | — | — | 32 | — | — | 22 | — | — | 20 | μs | | |
| データ保持時間 (注3、注4) | t _{DRP} | 20 | — | — | 20 | — | — | 20 | — | — | — | 年 | T _a ≤ 85°C |
| | | 10 | — | — | 10 | — | — | 10 | — | — | — | | T _a ≤ 105°C |

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
 プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
 たとえば、8Kバイトのブロックについて、それぞれ異なる番地に128バイトプログラムを64回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

表 2.61 データフラッシュメモリ特性

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,

VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

プログラム/イレーズ時の動作温度範囲 : T_a = T_{opr}

| 項目 | 記号 | FCLK = 4MHz | | | FCLK = 15MHz | | | 20MHz ≤ FCLK ≤ 60MHz | | | 単位 | 測定条件 | |
|--|-------------------|--------------------|-----|------|----------------|-----|------|----------------------|-----|------|------|------|------------------------|
| | | min | typ | max | min | typ | max | min | typ | max | | | |
| プログラム時間 | 4バイト | t _{DP4} | — | 0.36 | 3.8 | — | 0.18 | 1.9 | — | 0.16 | 1.7 | ms | |
| イレーズ時間 | 64バイト | t _{DP64} | — | 3.1 | 18 | — | 1.9 | 11 | — | 1.7 | 10 | ms | |
| | 128バイト | t _{DP128} | — | 4.7 | 27 | — | 2.9 | 16 | — | 2.6 | 15 | ms | |
| | 256バイト | t _{DP256} | — | 8.9 | 50 | — | 5.4 | 31 | — | 4.9 | 28 | ms | |
| ブランクチェック時間 | 4バイト | t _{DBC4} | — | — | 84 | — | — | 33 | — | — | 30 | μs | |
| | 64バイト | t _{DBC64} | — | — | 280 | — | — | 110 | — | — | 100 | μs | |
| | 2Kバイト | t _{DBC2K} | — | — | 6160 | — | — | 2420 | — | — | 2200 | μs | |
| プログラム/イレーズ回数 (注1) | N _{DPEC} | 100000 (注2) | — | — | 100000 (注2) | — | — | 100000 (注2) | — | — | — | 回 | |
| プログラム中のサスペンド 遅延時間 | t _{DSPD} | — | — | 264 | — | — | 132 | — | — | 120 | μs | | |
| イレーズ中の 1回目のサスペンド 遅延時間 (サスペンド 優先モード時) | 64バイト | — | — | — | 216 | — | — | 132 | — | — | 120 | μs | |
| | 128バイト | — | — | — | 216 | — | — | 132 | — | — | 120 | μs | |
| | 256バイト | — | — | — | 216 | — | — | 132 | — | — | 120 | μs | |
| イレーズ中の 2回目のサスペンド 遅延時間 (サスペンド 優先モード時) | 64バイト | — | — | — | 300 | — | — | 300 | — | — | 300 | μs | |
| | 128バイト | — | — | — | 390 | — | — | 390 | — | — | 390 | μs | |
| | 256バイト | — | — | — | 570 | — | — | 570 | — | — | 570 | μs | |
| イレーズ中の サスペンド遅延 時間 (イレーズ優先 モード時) | 64バイト | — | — | — | 300 | — | — | 300 | — | — | 300 | μs | |
| | 128バイト | — | — | — | 390 | — | — | 390 | — | — | 390 | μs | |
| | 256バイト | — | — | — | 570 | — | — | 570 | — | — | 570 | μs | |
| 強制終了コマンド | t _{FD} | — | — | 32 | — | — | 22 | — | — | 20 | μs | | |
| データ保持時間 (注3、注4) | t _{DDRP} | 20 | — | — | 20 | — | — | 20 | — | — | — | 年 | T _a ≤ 85°C |
| | | 10 | — | — | 10 | — | — | 10 | — | — | — | | T _a ≤ 105°C |

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

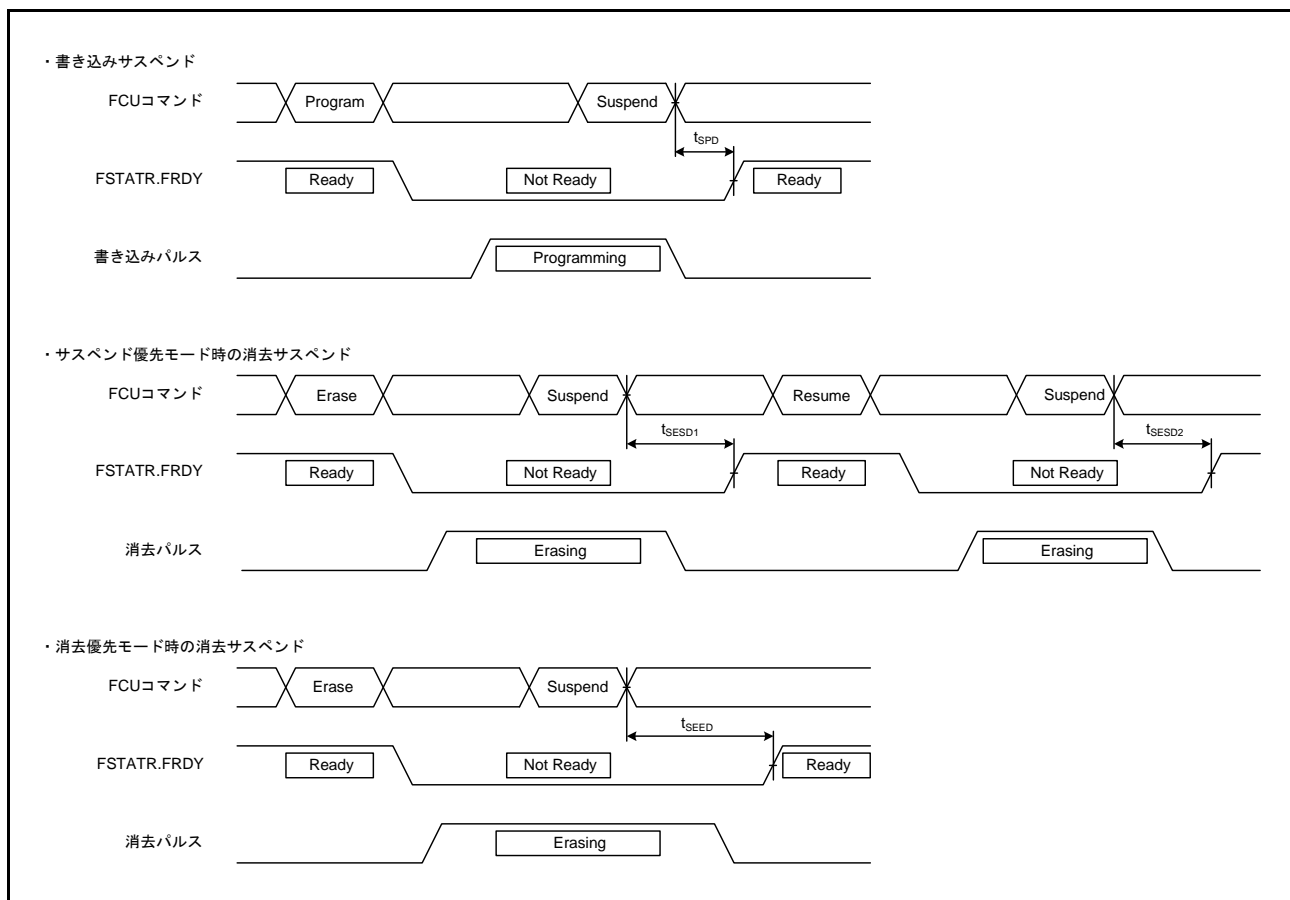


図 2.101 フラッシュメモリプログラム/イレーズサスペンドタイミング

2.13 バウンダリスキャン

表 2.62 バウンダリスキャン特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 |
|-----------------|--------------|-----|-----|-----|--------------|---------|
| TCKクロックサイクル時間 | t_{TCKcyc} | 100 | — | — | ns | 図 2.102 |
| TCKクロックHighパルス幅 | t_{TCKH} | 45 | — | — | ns | |
| TCKクロックLowパルス幅 | t_{TCKL} | 45 | — | — | ns | |
| TCKクロック立ち上がり時間 | t_{TCKr} | — | — | 5 | ns | |
| TCKクロック立ち下がり時間 | t_{TCKf} | — | — | 5 | ns | |
| TRST#パルス幅 | t_{TRSTW} | 20 | — | — | t_{TCKcyc} | 図 2.103 |
| TMSセットアップ時間 | t_{TMSS} | 20 | — | — | ns | 図 2.104 |
| TMSホールド時間 | t_{TMSH} | 20 | — | — | ns | |
| TDIセットアップ時間 | t_{TDIS} | 20 | — | — | ns | |
| TDIホールド時間 | t_{TDIH} | 20 | — | — | ns | |
| TDOデータ遅延時間 | t_{TDOD} | — | — | 40 | ns | |

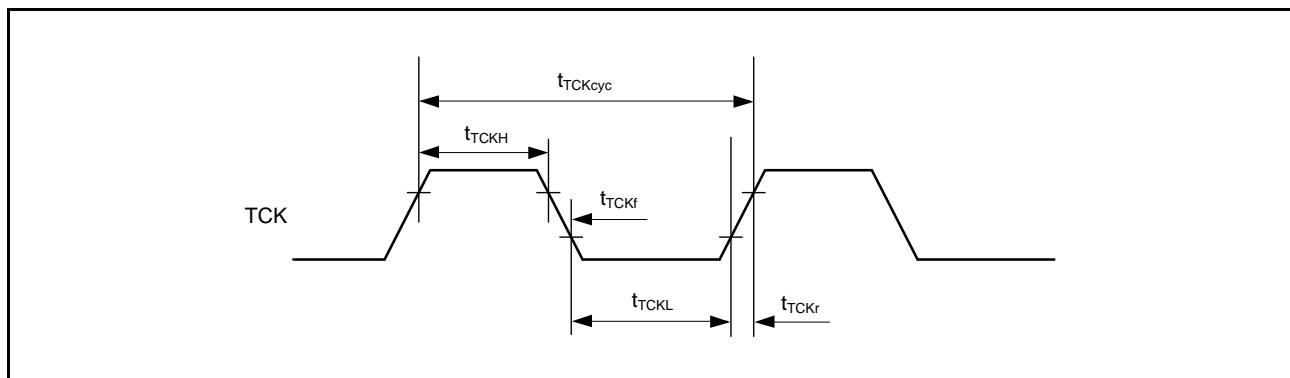


図 2.102 バウンダリスキャン TCK タイミング

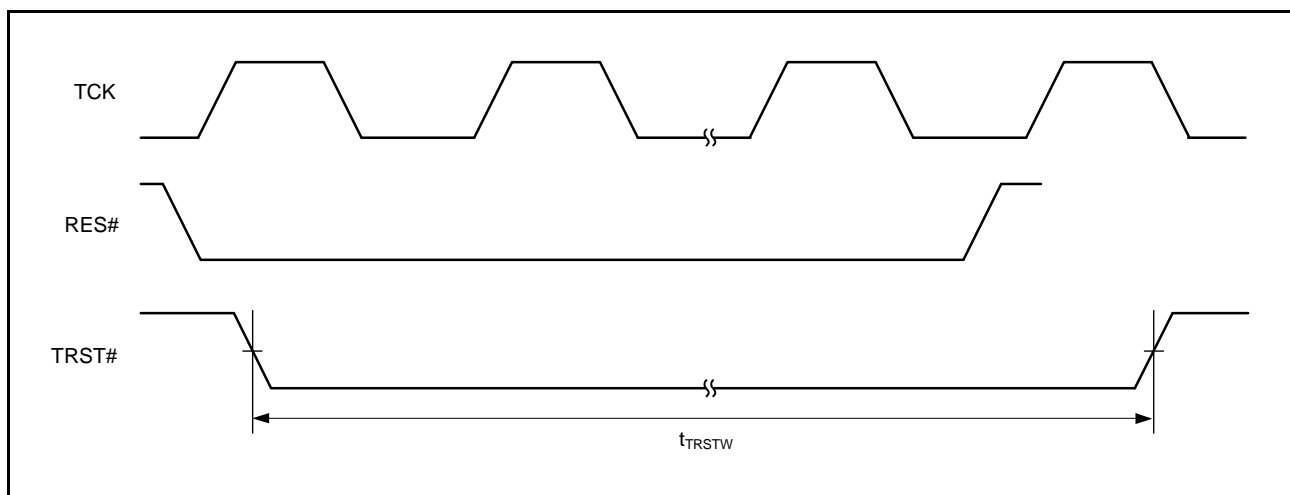


図 2.103 バウンダリスキャン TRST# タイミング

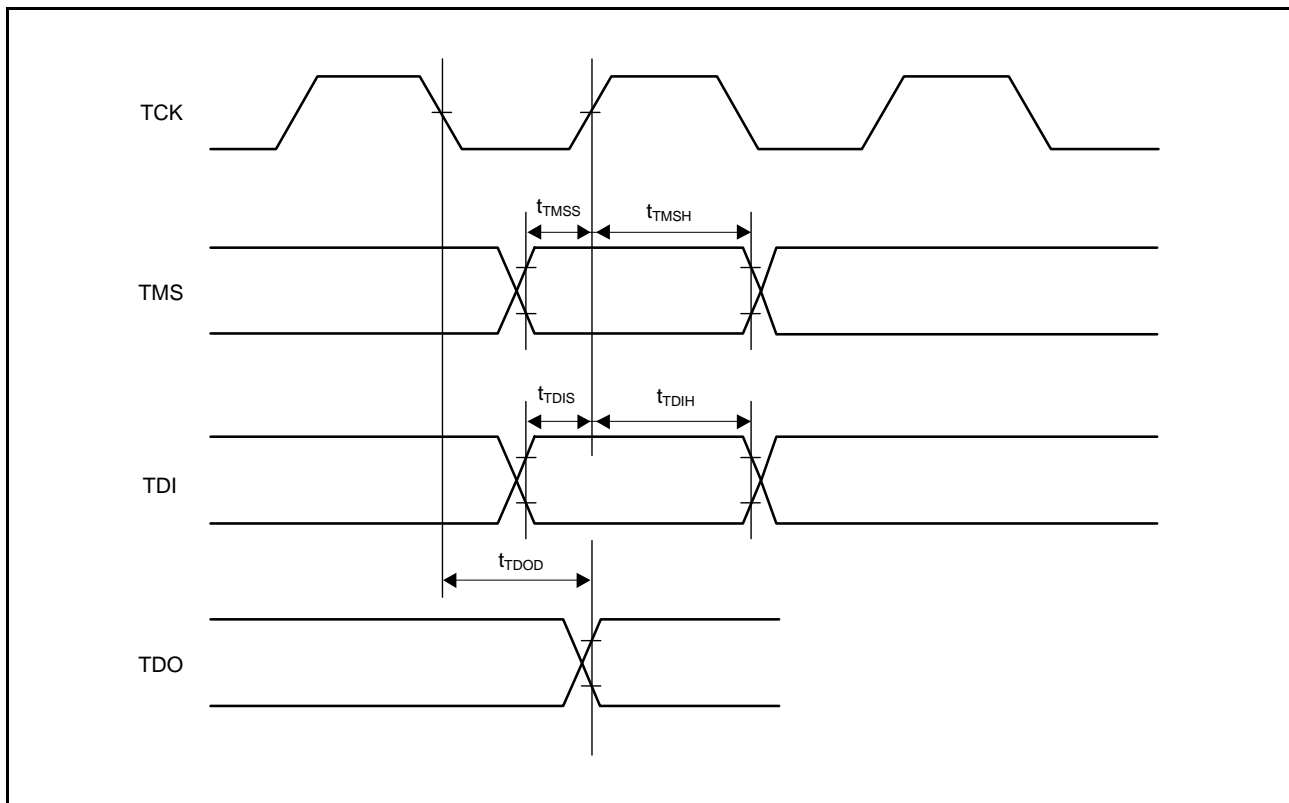


図 2.104 バウンダリスキャン入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

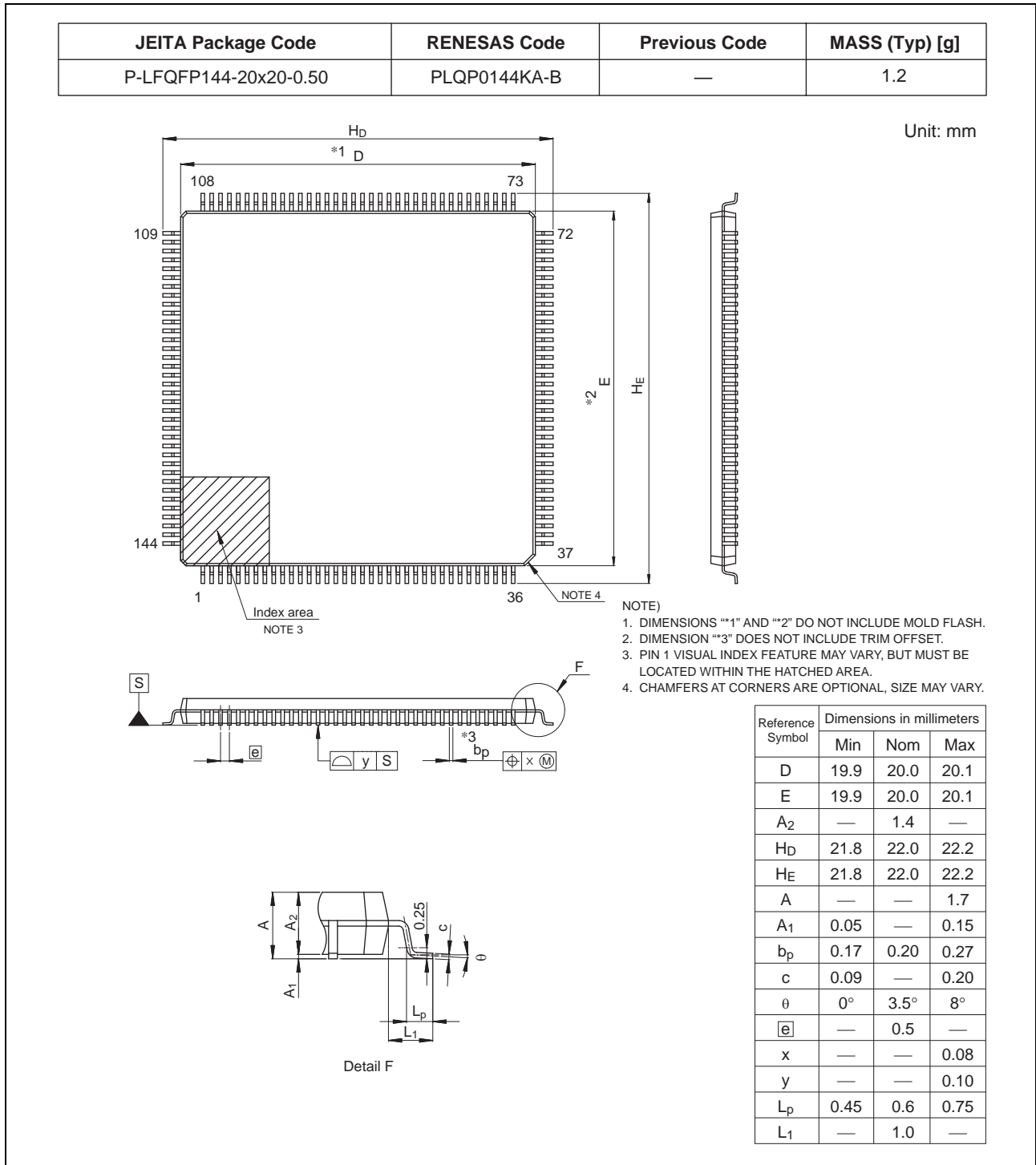
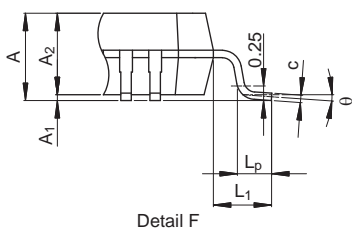
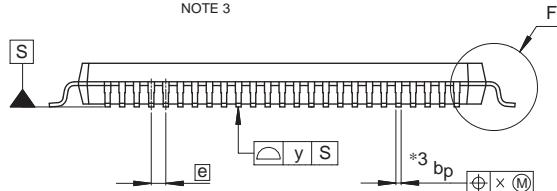
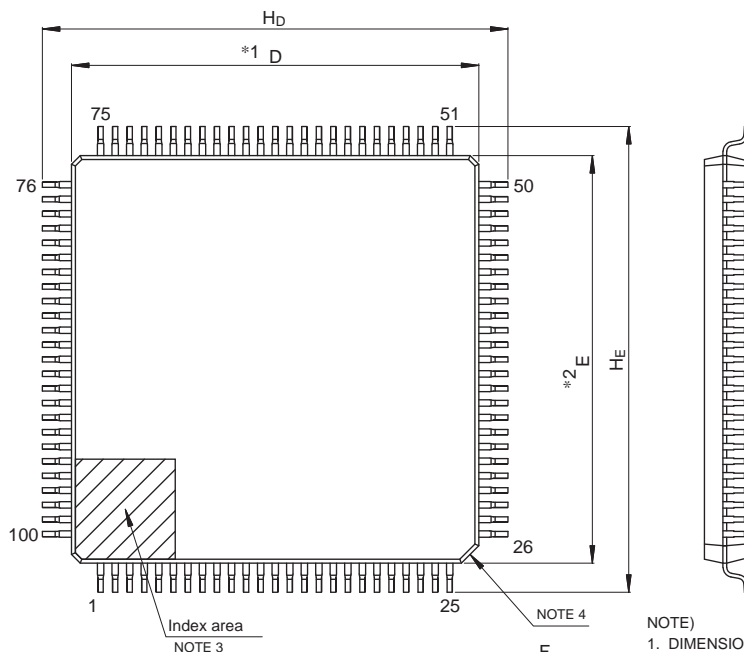


図 A. 144 ピン LFQFP (PLQP0144KA-B)

| JEITA Package Code | RENESAS Code | Previous Code | MASS (Typ) [g] |
|-----------------------|--------------|---------------|----------------|
| P-LFQFP100-14x14-0.50 | PLQP0100KB-B | — | 0.6 |

Unit: mm

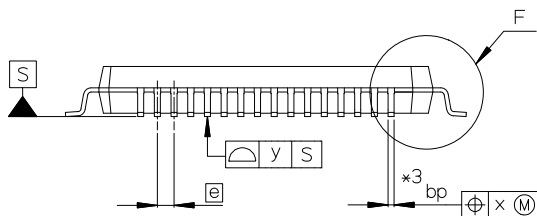
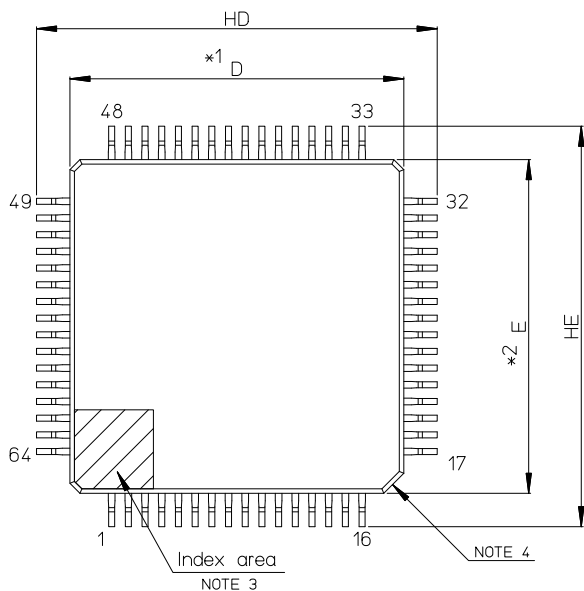


- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

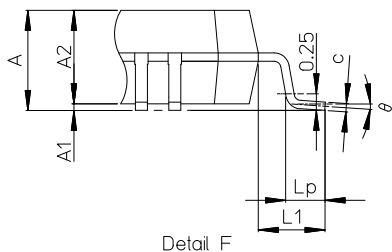
| Reference Symbol | Dimensions in millimeters | | |
|------------------|---------------------------|------|------|
| | Min | Nom | Max |
| D | 13.9 | 14.0 | 14.1 |
| E | 13.9 | 14.0 | 14.1 |
| A ₂ | — | 1.4 | — |
| H _D | 15.8 | 16.0 | 16.2 |
| H _E | 15.8 | 16.0 | 16.2 |
| A | — | — | 1.7 |
| A ₁ | 0.05 | — | 0.15 |
| b _p | 0.15 | 0.20 | 0.27 |
| c | 0.09 | — | 0.20 |
| θ | 0° | 3.5° | 8° |
| e | — | 0.5 | — |
| x | — | — | 0.08 |
| y | — | — | 0.08 |
| L _p | 0.45 | 0.6 | 0.75 |
| L ₁ | — | 1.0 | — |

☒ B. 100 ピン LFQFP (PLQP0100KB-B)

| | | | |
|----------------------|--------------|---------------|------------|
| JEITA Package Code | RENESAS Code | Previous Code | MASS[Typ.] |
| P-LFQFP64-10x10-0.50 | PLQP0064KB-C | — | 0.3g |



- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.



| Reference Symbol | Dimension in Millimeters | | |
|------------------|--------------------------|------|------|
| | Min | Nom | Max |
| D | 9.9 | 10.0 | 10.1 |
| E | 9.9 | 10.0 | 10.1 |
| A2 | — | 1.4 | — |
| HD | 11.8 | 12.0 | 12.2 |
| HE | 11.8 | 12.0 | 12.2 |
| A | — | — | 1.7 |
| A1 | 0.05 | — | 0.15 |
| bp | 0.15 | 0.20 | 0.27 |
| c | 0.09 | — | 0.20 |
| θ | 0° | 3.5° | 8° |
| e | — | 0.5 | — |
| x | — | — | 0.08 |
| y | — | — | 0.08 |
| Lp | 0.45 | 0.6 | 0.75 |
| L1 | — | 1.0 | — |

☒ C. 64 ピン LFQFP (PLQP0064KB-C)

| | |
|------|-------------------|
| 改訂記録 | RX671 グループ データシート |
|------|-------------------|

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

| Rev. | 発行日 | 改訂内容 | | 改訂区分 |
|------|------------|------|------|------|
| | | ページ | ポイント | |
| 1.00 | 2021.03.31 | — | 初版発行 | |

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。