

超低消費電力 48 MHz Arm® Cortex®-M23 コア、最大 64 KB のコードフラッシュメモリ、8 KB SRAM、12 ビット A/D コンバータ、セキュリティ & セーフティ機能。

特長

■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最大動作周波数：48 MHz
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ & トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大 64 KB のコードフラッシュメモリ
- 2 KB データフラッシュメモリ (100,000 書き込み/消去 (P/E) サイクル)
- 8 KB の SRAM
- メモリプロテクションユニット
- 128 ビットの固有の ID

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 1
 - 調歩同期式インタフェース
 - 8 ビットクロック同期式インタフェース
 - 簡易 IIC
 - 簡易 SPI
 - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I3C バスインタフェース (I3C) × 1

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- 温度センサ (TSN)

■ タイマ

- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGTW) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- 不正メモリアクセス検出

■ セキュリティおよび暗号化

- AES128/256
- 真性乱数発生器 (TRNG)

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データ転送コントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出 (LVD) (電圧設定)

■ マルチクロックソース

- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

■ 最大 20 本の汎用入出力ポート内蔵

- 5 V トレラント、オープンドレイン、入力プルアップ

■ 動作電圧

- VCC : 1.6~5.5 V

■ 動作温度およびパッケージ

- Ta = -40°C~+85°C
 - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 20 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 16 ピン WLCSP (1.84 mm × 1.87 mm, 0.4 mm ピッチ)
- Ta = -40°C~+105°C
 - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 20 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 16 ピン WLCSP (1.84 mm × 1.87 mm, 0.4 mm ピッチ)
- Ta = -40°C~+125°C
 - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 20 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
 - 16 ピン WLCSP (1.84 mm × 1.87 mm, 0.4 mm ピッチ)

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 64 KB のコードフラッシュメモリ
- 8 KB SRAM
- 12 ビット A/D コンバータ (ADC12)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	<ul style="list-style-type: none"> ● 最高動作周波数: 48 MHz ● Arm Cortex-M23 コア : <ul style="list-style-type: none"> – リビジョン : r1p0-00rel0 – Armv8-M アーキテクチャプロファイル – シングルサイクル整数乗算器 – 19 サイクル整数除算器 ● Arm メモリプロテクションユニット (Arm MPU) : <ul style="list-style-type: none"> – Armv8 保護メモリシステムアーキテクチャ – 8 つのメモリ保護領域 ● SysTick タイマ : <ul style="list-style-type: none"> – SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 64 KB のコードフラッシュメモリ
データフラッシュメモリ	2 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットを備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード : <ul style="list-style-type: none"> ● シングルチップモード ● SCI ブートモード
リセット	本 MCU は、12 種類のリセット (RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、バスマスタ/スレーブ MPU エラーリセット、CPU スタックポインタエラーリセット、ソフトウェアリセット) をサポートしています。
低電圧検出 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路 (LVD0、LVD1、LVD2) で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。
クロック	<ul style="list-style-type: none"> ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● IWDT 専用オンチップオシレータ ● クロックアウトのサポート

表 1.3 システム (2/2)

機能	機能の説明
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内でない時、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの移行など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニットと、CPU スタックポインタモニタ機能を備えています。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスクابل割り込みやアンダーフロー割り込み、ウォッチドッグタイマリセットを発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み/ノンマスクابل割り込みを発生させることが可能です。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16 × 6 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。
低消費電力非同期汎用タイマ (AGTW)	非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 1 チャンネルには調歩同期式および同期式のシリアルインタフェースがあります。 <ul style="list-style-type: none"> ● 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) ● 8 ビットクロック同期式インタフェース ● 簡易 IIC (マスタのみ) ● 簡易 SPI ● スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には 1 チャンネルあります。I3C は、NXP 社の I ² C (Inter-Integrated Circuit) および MIPI 社の I3C バスインターフェース方式に準拠しており、それらのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 1 チャンネルあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 1.8 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 8 チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

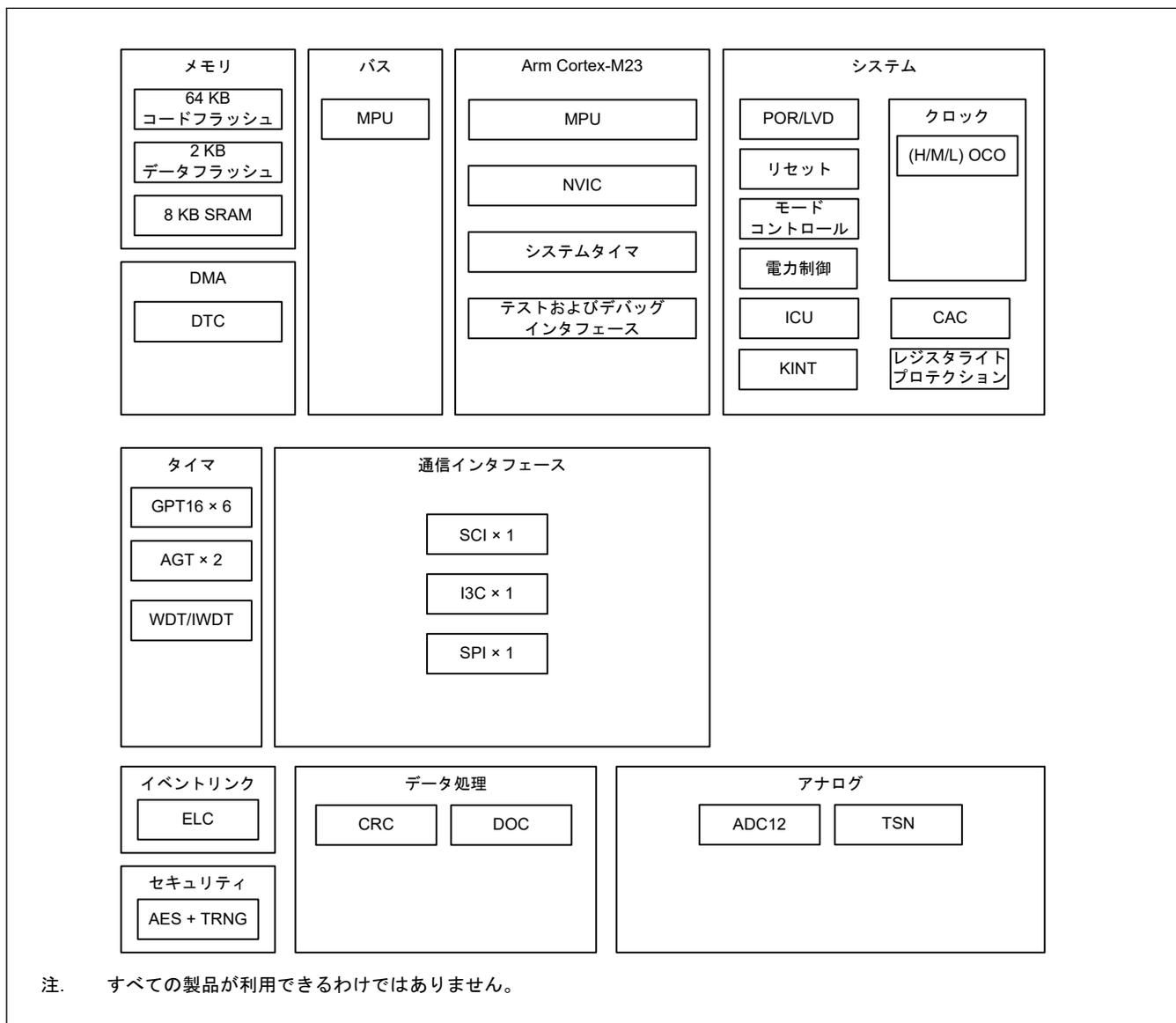


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.10 に、製品一覧表を示します。

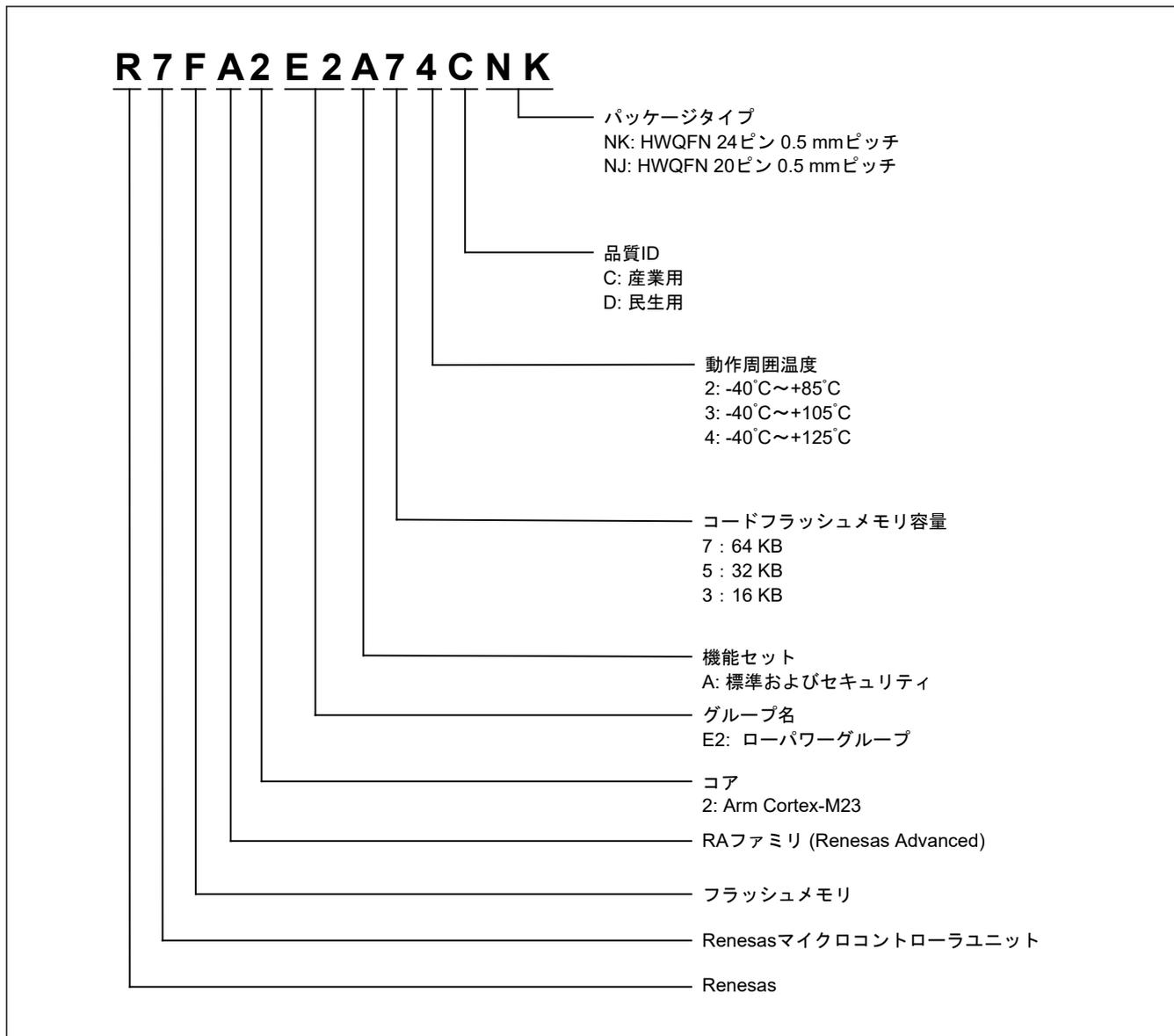


図 1.2 型名の読み方

表 1.10 製品一覧 (1/2)

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作周囲温度
R7FA2E2A74CNK	PWQN0024KG-A	64	2	8	-40~+125°C
R7FA2E2A74CNJ	PWQN0020KC-A				
R7FA2E2A73CNK	PWQN0024KG-A	64	2	8	-40~+105°C
R7FA2E2A73CNJ	PWQN0020KC-A				
R7FA2E2A72DNK	PWQN0024KG-A	64	2	8	-40~+85°C
R7FA2E2A72DNJ	PWQN0020KC-A				

表 1.10 製品一覧 (2/2)

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作周囲温度
R7FA2E2A54CNK	PWQN0024KG-A	32	2	8	-40~+125°C
R7FA2E2A54CNJ	PWQN0020KC-A				-40~+105°C
R7FA2E2A53CNK	PWQN0024KG-A				-40~+85°C
R7FA2E2A53CNJ	PWQN0020KC-A				
R7FA2E2A52DNK	PWQN0024KG-A				
R7FA2E2A52DNJ	PWQN0020KC-A				
R7FA2E2A34CNK	PWQN0024KG-A	16	2	8	-40~+125°C
R7FA2E2A34CNJ	PWQN0020KC-A				-40~+105°C
R7FA2E2A33CNK	PWQN0024KG-A				-40~+85°C
R7FA2E2A33CNJ	PWQN0020KC-A				
R7FA2E2A32DNK	PWQN0024KG-A				
R7FA2E2A32DNJ	PWQN0020KC-A				

1.4 機能の比較

表 1.11 機能の比較

型名	R7FA2E2A74CNK R7FA2E2A73CNK R7FA2E2A72DNK	R7FA2E2A54CNK R7FA2E2A53CNK R7FA2E2A52DNK	R7FA2E2A34CNK R7FA2E2A33CNK R7FA2E2A32DNK	R7FA2E2A74CNJ R7FA2E2A73CNJ R7FA2E2A72DNJ	R7FA2E2A54CNJ R7FA2E2A53CNJ R7FA2E2A52DNJ	R7FA2E2A34CNJ R7FA2E2A33CNJ R7FA2E2A32DNJ
端子総数	24			20		
パッケージ	HWQFN			HWQFN		
コードフラッシュメモリ	64 KB	32 KB	16 KB	64 KB	32 KB	16 KB
データフラッシュメモリ	2 KB			2 KB		
SRAM (パリティ)	8 KB			8 KB		
システム	CPU クロック	48 MHz		48 MHz		
	ICU	あり		あり		
	KINT	4		4		
イベントコントロール	ELC	あり		あり		
DMA	DTC	あり		あり		
タイマ	GPT16	6 (PWM 出力 : 12)		6 (PWM 出力 : 11)		
	AGTW	2		2		
	WDT/IWDT	あり		あり		
通信	SCI	1		1		
	I3C	1		1		
	SPI	1		1		
アナログ	ADC12	8		7		
	TSN	あり		あり		
データ処理	CRC	あり		あり		
	DOC	あり		あり		
セキュリティ	AES & TRNG			AES & TRNG		

1.5 端子機能

表 1.12 端子機能 (1/2)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ7	入力	マスクابل割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOcNA (n = 4~9), GTIOcNB (n = 4~9)	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTOUUP	出力	BLDC モータ制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モータ制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モータ制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モータ制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モータ制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モータ制御用 3 相 PWM 出力 (逆相 W 相)
AGTW	AGTEE0, AGTEE1	入力	外部イベント入力カインイーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0, AGTO1	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	出力コンペアマッチ A 出力端子
	AGTOB0, AGTOB1	出力	出力コンペアマッチ B 出力端子
SCI	SCKn (n = 9)	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXDn (n = 9)	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXDn (n = 9)	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS _n _RTS _n (n = 9)	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	SCLn (n = 9)	入出力	IIC クロック用の入出力端子 (簡易 IIC モード)
	SDAn (n = 9)	入出力	IIC データ用の入出力端子 (簡易 IIC モード)
	SCKn (n = 9)	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO _n (n = 9)	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOS _n (n = 9)	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS _n (n = 9)	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low

表 1.12 端子機能 (2/2)

機能	端子名	入出力	説明
I3C	SCLn (n = 0)	I/O	クロック入出力端子
	SDAn (n = 0)	I/O	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
アナログ電源	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は VCC に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は VSS に接続してください。
ADC12	AN005, AN006, AN009, AN010, AN019~AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
KINT	KR00~KR03	入力	キー割り込み入力端子
I/O ポート	P010, P011, P014, P015	入出力	汎用入出力端子
	P100~P103, P108~P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P205	入出力	汎用入出力端子
	P300	入出力	汎用入出力端子
	P400, P401	入出力	汎用入出力端子
	P914	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3～図 1.5 に、ピン配置図（上面図）を示します。

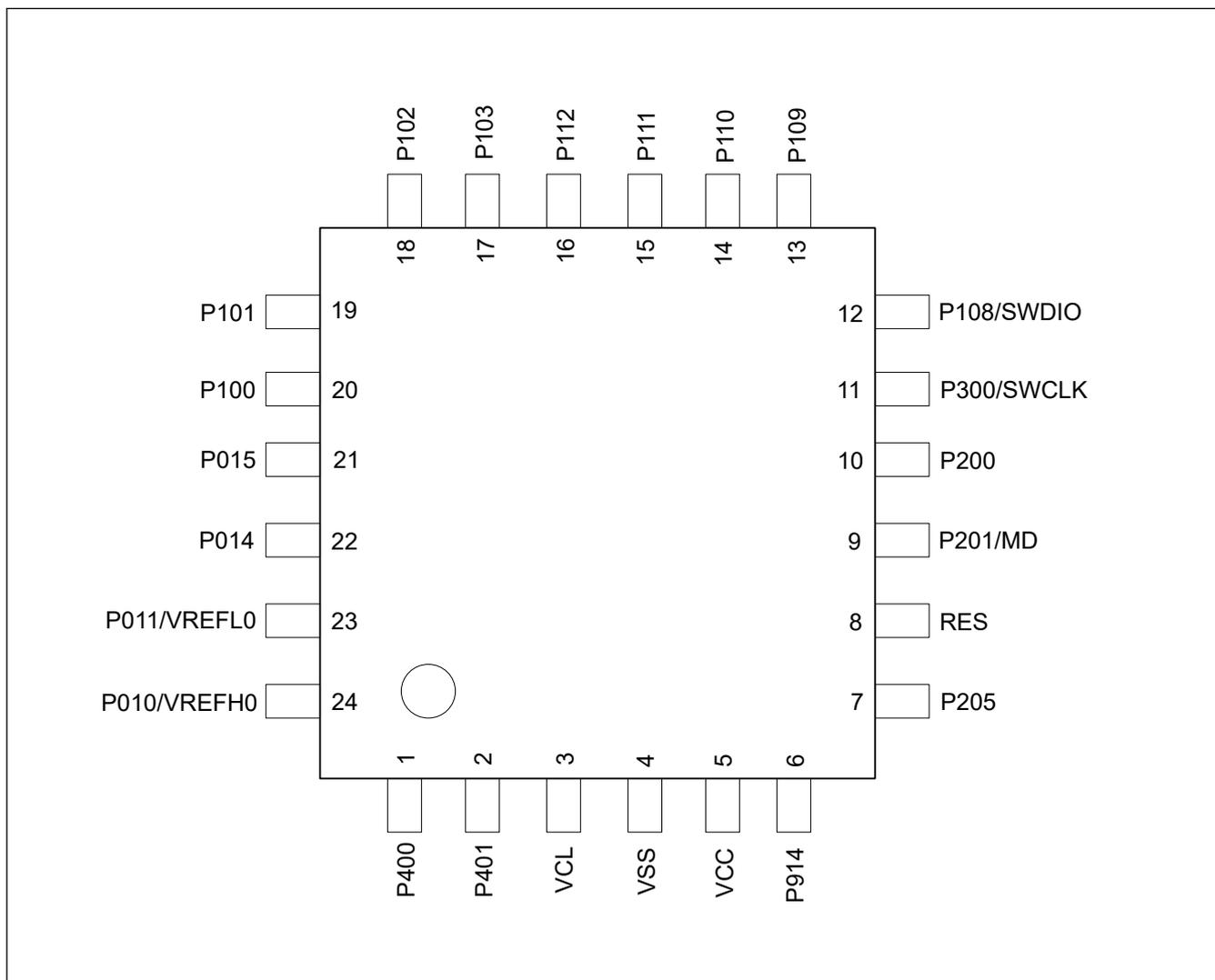


図 1.3 24 ピン HWQFN のピン配置図（上面図）

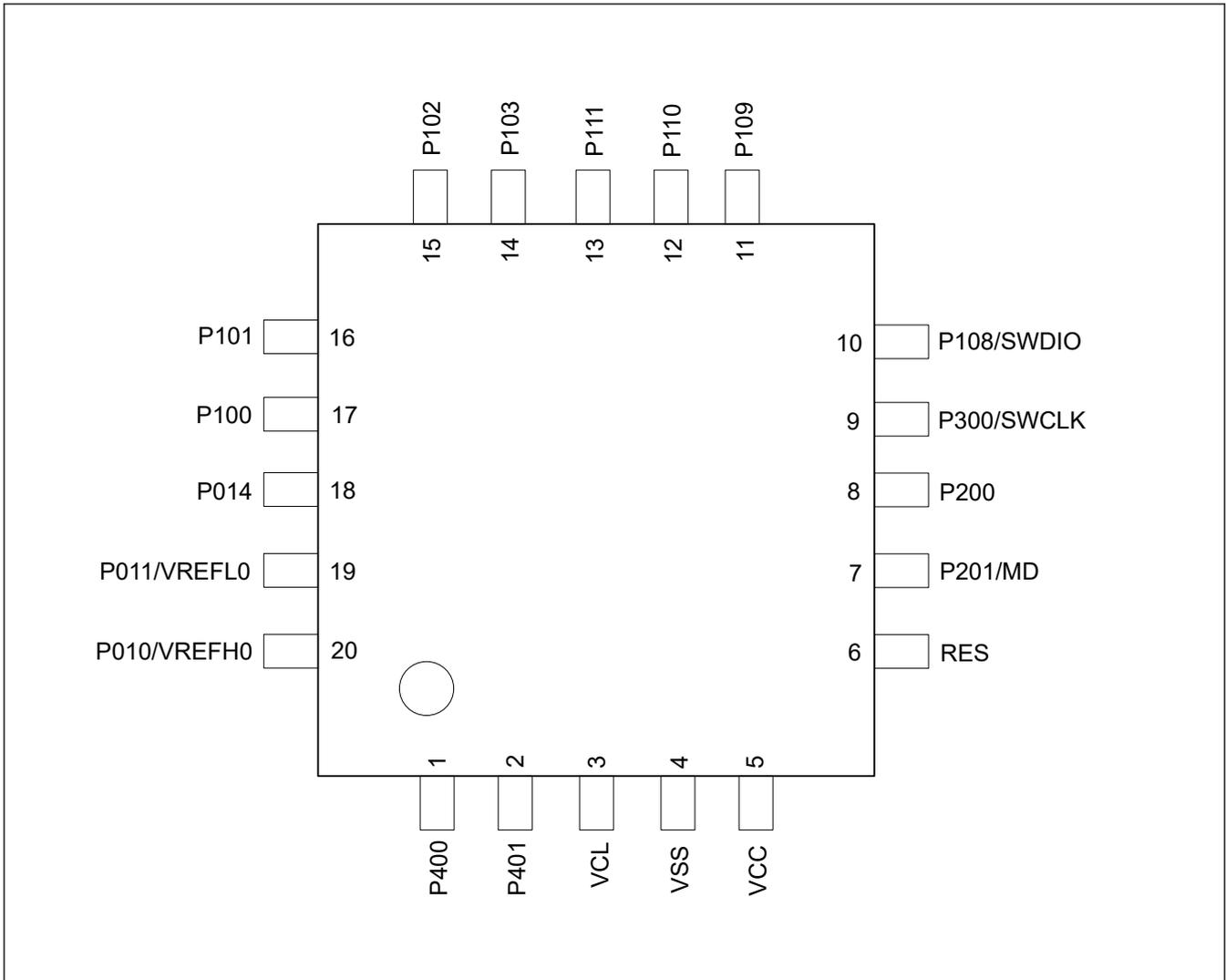


図 1.4 20 ピン HWQFN のピン配置図 (上面図)

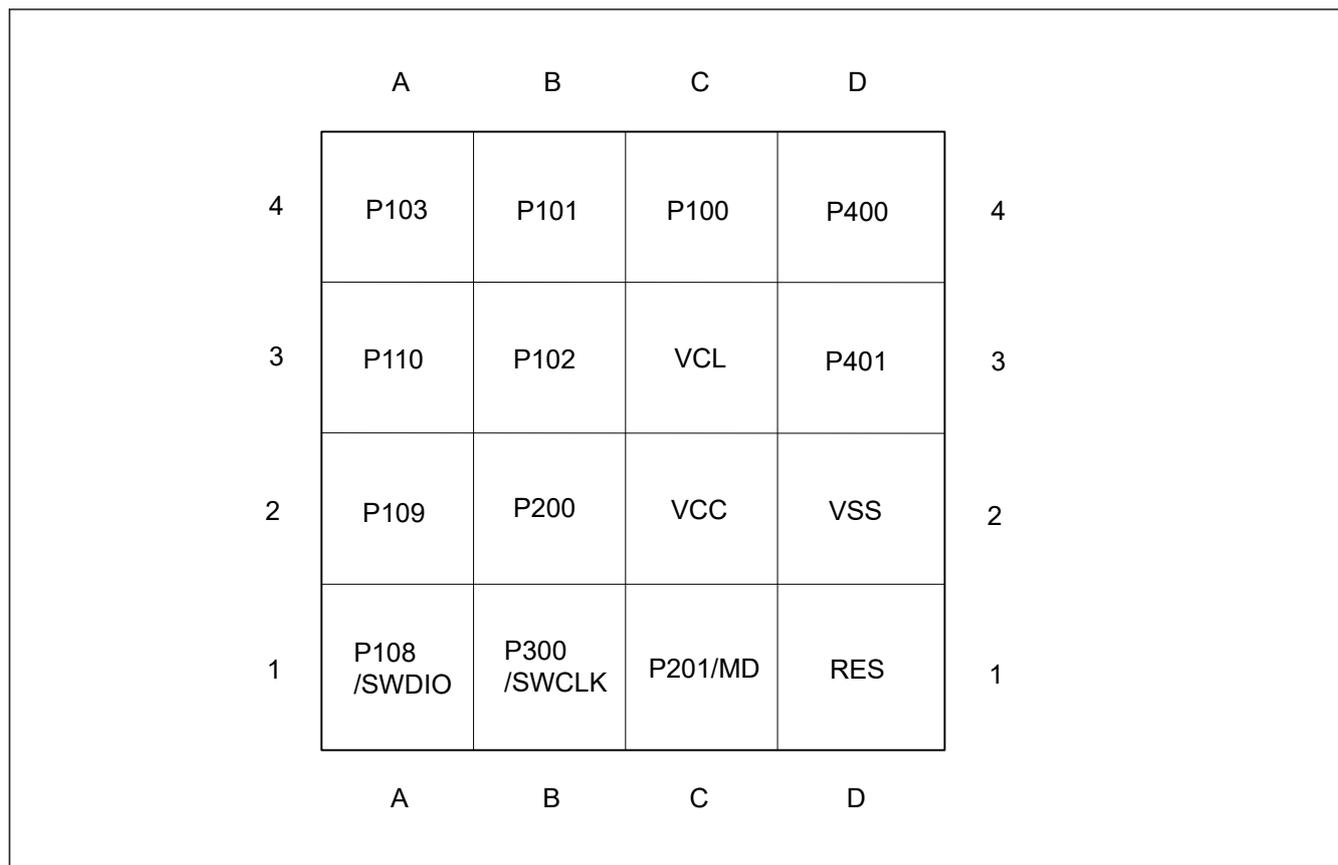


図 1.5 16 ピン WLCSP のピン配置図 (上面図、パッド側が下面)

1.7 端子一覧

表 1.13 端子一覧

ピン No.			電源、システ ム、クロック、 デバッグ、 CAC	I/Oポート	タイマ			通信インターフェース				アナログ	HMI
HWQFN 24 ピン	HWQFN 20 ピン	WLCSP 16 ピン			AGTW	GPT_OPS、 POEG	GPT	SCI9	SCI9	I3C	SPI	ADC	割り込み
1	1	D4	CACREF_C	P400	AGTIO1_C	—	GTIOC9A_A	SCK9_D	TXD9_F/ MOSI9_F/ SDA9_F	SCL0_A	—	—	IRQ0_A/ KRM02_A
2	2	D3	—	P401	AGTEE1_A	GTETRG_A_B	GTIOC9B_A	CTS9_RTS9_F/ SS9_F	RxD9_F/ MISO9_F/ SCL9_F	SDA0_A	—	—	IRQ5/KRM03_A
3	3	C3	—	VCCL	—	—	—	—	—	—	—	—	—
4	4	D2	VSS	—	—	—	—	—	—	—	—	—	—
5	5	C2	VCC	—	—	—	—	—	—	—	—	—	—
6	—	—	—	P914	AGTOA1_A	GTETRGB_F	—	RxD9_J/ MISO9_J/ SCL9_J	SCK9_H	—	—	—	IRQ2_C/ KRM00_A
7	—	—	CLKOUT_A	P205	AGT01	—	—	TXD9_I/ MOSI9_I/ SDA9_I	CTS9_RTS9_A/ SS9_A	—	—	—	IRQ1/KRM01_A
8	6	D1	RES#	—	—	—	—	—	—	—	—	—	—
9	7	C1	MD	P201	—	—	—	—	—	—	—	—	—
10	8	B2	—	P200	—	—	—	—	—	—	—	—	NMI
11	9	B1	SWCLK	P300	AGTOB1_A	GTOUUP_C	GTIOC7_C	RxD9_H/ MISO9_H/ SCL9_H	SCK9_G	—	RSPCKA_C	—	IRQ0_C
12	10	A1	SWDIO	P108	AGTOA1_B	GTOULO_C	GTIOC7B_C	TXD9_H/ MOSI9_H/ SDA9_H	CTS9_RTS9_B/ SS9_B	—	MOSIA_C	—	IRQ5_C
13	11	A2	CLKOUT_B	P109	AGT01_A	GTOVUP_A	GTIOC4A_A	SCK9_F	TXD9_B/ MOSI9_B/ SDA9_B	—	MISOA_C	—	IRQ7_C/ KRM01_B
14	12	A3	—	P110	AGTOA0_A	GTOVLO_A	GTIOC4B_A	CTS9_RTS9_H/ SS9_H	RxD9_B/ MISO9_B/ SCL9_B	—	SSLA0_C	—	IRQ3_A/ KRM00_B
15	13	—	—	P111	AGTOA0	—	GTIOC6A_A	RxD9_G/ MISO9_G/ SCL9_G	SCK9_B	—	—	—	IRQ4_A/ KRM03_B
16	—	—	—	P112	AGTOB0	—	GTIOC6B_A	TXD9_J/ MOSI9_J/ SDA9_J	CTS9_RTS9_I/ SS9_I	—	—	—	IRQ1_C/ KRM02_B
17	14	A4	—	P103	AGTOB0_B	GTOVUP_A	GTIOC5A_A	CTS9_RTS9_E/ SS9_E	RxD9_I/ MISO9_I/ SCL9_I	—	SSLA0_A	AN019	IRQ6_C/KRM03
18	15	B3	—	P102	AGT00	GTOVLO_A	GTIOC5B_A	SCK9_C	TXD9_G/ MOSI9_G/ SDA9_G	—	RSPCKA_A	AN020/ ADTRG0_A	IRQ4_C/KRM02
19	16	B4	—	P101	AGTEE0	GTETRGB_A	GTIOC8A_A	TXD9_E/ MOSI9_E/ SDA9_E	CTS9_RTS9_G/ SS9_G	—	MOSIA_A	AN021	IRQ1_A/KRM01
20	17	C4	—	P100	AGTIO0_A	GTETRG_A	GTIOC8B_A	RxD9_E/ MISO9_E/ SCL9_E	SCK9_E	—	MISOA_A	AN022	IRQ2_A/KRM00
21	—	—	—	P015	—	—	—	—	—	—	—	AN010	IRQ7_A
22	18	—	—	P014	—	—	—	—	—	—	—	AN009	—
23	19	—	VREFL0	P011	—	—	—	—	—	—	—	AN006	—
24	20	—	VREFH0	P010	—	—	—	—	—	—	—	AN005	—

注. いくつかの端子名には、_A、_B、_C、_D、_E、_F、_G、_H、_I、および_J という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. 電気的特性 (QFN24 および QFN20 にのみ適用可能)

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

V_{CC} (注1) = 1.6~5.5 V, V_{REFH0} = 1.6 V ~ V_{CC}

$V_{SS} = V_{REFL0} = 0$ V, $T_a = T_{opr}$

注 1. 通常は $V_{CC} = 3.3$ V に設定されています。

図 2.1 は、タイミング条件を示しています。

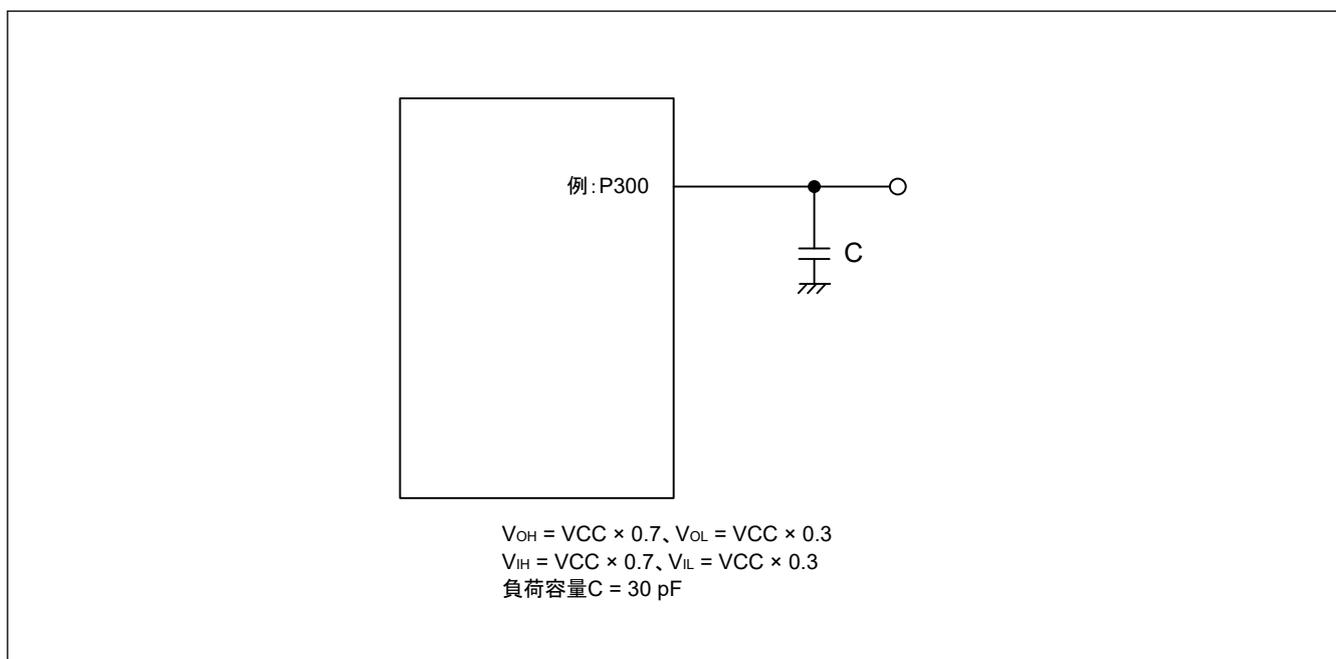


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位	
電源電圧	V_{CC}	-0.5~+6.5	V	
入力電圧	5 V トレラント対応ポート(注1)	V_{in}	-0.3~+6.5	V
	その他	V_{in}	-0.3~ $V_{CC} + 0.3$	V
リファレンス電源電圧	V_{REFH0}	-0.3~+6.5	V	
アナログ入力電圧	V_{AN}	-0.3~ $V_{CC} + 0.3$	V	
動作温度(注2) (注3) (注4)	T_{opr}	-40~+85 -40~+105 -40~+125	°C	
保存温度	T_{stg}	-55~+140	°C	

注 1. P400、P401 は 5 V トレラント対応ポートです。

デバイスの電源が切れている状態で信号や I/O ブルアップ電源を入力しないでください。信号または I/O ブルアップの入力による電流注入はデバイスの故障を引き起こし、このとき流れる異常電流が内部要素を劣化させる恐れがあります。

注 2. 「2.2.1. T_j/T_a の定義」を参照してください。

注 3. $T_a = +85^{\circ}\text{C} \sim +125^{\circ}\text{C}$ でのディレーティング動作については、Renesas Electronics の営業担当にご連絡ください。

ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。

注 4. 動作温度の上限は、85°C、105°Cまたは 125°Cです (製品によります)。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合に、ノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1 μ F
- VREFH0 と VREFL0 : 約 0.1 μ F

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC	1.6	—	5.5	V
	VSS	—	0	—	V
アナログ電源電圧	VREFH0	1.6	—	VCC	V
	VREFL0				—

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件: 動作温度 (Ta) が -40~+125°C の製品

項目	シンボル	Typ	Max(注1)	単位	測定条件
許容ジャンクション温度	Tj	—	140	°C	High-speed モード
			125		Middle-speed モード
			105		Low-Speed モード
					Subosc-Speed モード

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

注 1. 動作温度の上限は、85°C、105°Cまたは 125°Cです (製品によります)。型名が動作温度の上限 85°Cを示している場合、Tj の最大値は 105°Cになります。型名が動作温度の上限 105°Cを示している場合、Tj の最大値は 125°Cになります。それ以外の場合 140°Cになります。

2.2.2 I/O V_{IH} , V_{IL} 表 2.4 I/O V_{IH} , V_{IL} 条件: $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
シュミットトリガ入力電圧	I3C (SMBus を除く) (注1)	V_{IH}	$V_{CC} \times 0.7$	—	5.8	V	—
		V_{IL}	—	—	$V_{CC} \times 0.3$		
	RES、NMI I3C を除くその他の周辺入力端子	V_{IH}	$V_{CC} \times 0.8$	—	—		
		V_{IL}	—	—	$V_{CC} \times 0.2$		
入力電圧 (シュミットトリガ入力端子を除く)	I3C (SMBus)(注2)	V_{IH}	2.2	—	—	V	VCC = 3.6~5.5 V
		V_{IH}	2.0	—	—		VCC = 2.7~3.6 V
		V_{IL}	—	—	0.8		VCC = 3.6~5.5 V
		V_{IL}	—	—	0.5		VCC = 2.7~3.6 V
	5 V トレラント対応ポート (注3)	V_{IH}	$V_{CC} \times 0.8$	—	5.8		—
		V_{IL}	—	—	$V_{CC} \times 0.2$		
	入力ポート端子	V_{IH}	$V_{CC} \times 0.8$	—	—		
		V_{IL}	—	—	$V_{CC} \times 0.2$		

注 1. SCL0_A、SDA0_A (合計 2 端子)

注 2. SCL0_A、SDA0_A (合計 2 端子)

注 3. P400、P401 (合計 2 端子)

2.2.3 I/O I_{OH} , I_{OL} 表 2.5 I/O I_{OH} , I_{OL} (1/2)条件: $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (端子ごとの最大値)	P010、P011、P014、P015	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	8.0		
	ポート P400、P401	I_{OH}	—	—	-8.0	mA	
		I_{OL}	—	—	15.0		
	その他の出力端子 (注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	20.0		

表 2.5 I/O I_{OH}, I_{OL} (2/2)

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	ポート P400、P401 の合計	ΣI _{OH} (max)	—	—	-16	mA	VCC = 2.7~5.5 V
			—	—	-2		VCC = 1.8~2.7 V
			—	—	-1		VCC = 1.6~1.8 V
		ΣI _{OL} (max)	—	—	30		VCC = 2.7~5.5 V
			—	—	1.2		VCC = 1.8~2.7 V
			—	—	0.6		VCC = 1.6~1.8 V
	ポート P010、P011、 P014、P015 の合計	ΣI _{OH} (max)	—	—	-16	mA	VCC = 2.7~5.5 V
			—	—	-4		VCC = 1.8~2.7 V
			—	—	-2		VCC = 1.6~1.8 V
		ΣI _{OL} (max)	—	—	32		VCC = 2.7~5.5 V
			—	—	2.4		VCC = 1.8~2.7 V
			—	—	1.2		VCC = 1.6~1.8 V
	他の出力ポートの合 計	ΣI _{OH} (max)	—	—	-30	mA	VCC = 2.7~5.5 V
			—	—	-12		VCC = 1.8~2.7 V
			—	—	-6		VCC = 1.6~1.8 V
		ΣI _{OL} (max)	—	—	50		VCC = 2.7~5.5 V
			—	—	9		VCC = 1.8~2.7 V
			—	—	4.5		VCC = 1.6~1.8 V
全出力端子の総和	ΣI _{OH} (max)	—	—	-30	mA	—	
	ΣI _{OL} (max)	—	—	80		—	

注 1. デューティ比 ≤ 70%の条件下での仕様です。
 デューティ比が 70%を超えた場合、出力電流値は次式で計算できます (デューティ比を 70%から n%に変更するとき)。
 端子の合計出力電流 = (I_{OH} × 0.7)/(n × 0.01)
 <例> n = 80%で、I_{OH} = -30.0 mA のとき
 端子の合計出力電流 = (-30.0 × 0.7)/(80 × 0.01) = -26.2 mA
 ただし、1つの端子に入力可能な電流はデューティ比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 2.5 の値を超えないようにしてください。

2.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 2.6 I/O V_{OH}、V_{OL} (1)

条件 : VCC = 4.0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P400、P401	V _{OH}	VCC - 0.27	—	—	V	I _{OH} = -3.0 mA
		V _{OH}	VCC - 0.8	—	—		I _{OH} = -8.0 mA
	P400、P401 以外の出力端子(注1)	V _{OH}	VCC - 0.8	—	—		I _{OH} = -4.0 mA
	ポート P400、P401	V _{OL}	—	—	0.27		I _{OL} = 3.0 mA
		V _{OL}	—	—	0.4		I _{OL} = 9.0 mA
		V _{OL}	—	—	0.8		I _{OL} = 15.0 mA
	P010、P011、P014、P015	V _{OL}	—	—	0.8		I _{OL} = 8.0 mA
	P010、P011、P014、P015、P400、および P401 以外の出力端子(注1)	V _{OL}	—	—	1.2		I _{OL} = 20.0 mA

注 1. 入力ポートである P200 を除きます。

表 2.7 I/O V_{OH} 、 V_{OL} (2)条件: $V_{CC} = 2.7 \sim 4.0 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P400、P401	V_{OH}	$V_{CC} - 0.27$	—	—	V	$I_{OH} = -3.0 \text{ mA}$
		V_{OH}	$V_{CC} - 0.8$	—	—		$I_{OH} = -8.0 \text{ mA}$
	P400、P401 以外の出力端子(注1)	V_{OH}	$V_{CC} - 0.8$	—	—		$I_{OH} = -4.0 \text{ mA}$
	ポート P400、P401	V_{OL}	—	—	0.27		$I_{OL} = 3.0 \text{ mA}$
			—	—	0.4		$I_{OL} = 9.0 \text{ mA}$
			—	—	0.8		$I_{OL} = 15 \text{ mA}$
P400、P401 以外の出力端子(注1)	V_{OL}	—	—	0.8	$I_{OL} = 8.0 \text{ mA}$		

注 1. 入力ポートである P200、P214、P215 を除きます。

表 2.8 I/O V_{OH} 、 V_{OL} (3)条件: $V_{CC} = 1.6 \sim 2.7 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	出力端子(注1)	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -1.0 \text{ mA}$ $V_{CC} = 1.8 \sim 2.7 \text{ V}$
			$V_{CC} - 0.5$	—	—		$I_{OH} = -0.5 \text{ mA}$ $V_{CC} = 1.6 \sim 1.8 \text{ V}$
	出力端子(注1)	V_{OL}	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$ $V_{CC} = 1.8 \sim 2.7 \text{ V}$
			—	—	0.4		$I_{OL} = 0.3 \text{ mA}$ $V_{CC} = 1.6 \sim 1.8 \text{ V}$

注 1. 入力ポートである P200 を除きます。

表 2.9 I/O その他の特性

条件: $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5V トレラントポート(注1)	$ I_{TSI} $	—	—	10	μA	$V_{in} = 0 \text{ V}$ $V_{in} = 5.8 \text{ V}$
	その他のポート (P200、5V トレラント対応ポートを除く)		—	—	1.0		$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
入力プリアップ抵抗	全ポート (P200 を除く)	R_U	10	20	100	$\text{k}\Omega$	$V_{in} = 0 \text{ V}$
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0 \text{ V}$ $f = 1 \text{ MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. P400、P401 (合計 2 端子)

2.2.5 動作電流とスタンバイ電流

表 2.10 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = 1.6~5.5 V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	High-speed モード(注2)	ノーマルモード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 48 MHz	I _{CC}	3.90	—	mA	(注7) (注11)
				ICLK = 32 MHz		2.85	—		(注7)
				ICLK = 16 MHz		1.75	—		
				ICLK = 8 MHz		1.20	—		
				すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 48 MHz	—	10.5		(注9) (注11)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 48 MHz	1.00	—	(注7)		
				ICLK = 32 MHz	0.85	—	(注7)		
				ICLK = 16 MHz	0.65	—			
	ICLK = 8 MHz			0.60	—				
	すべての周辺クロックが有効(注5)		ICLK = 48 MHz	3.90	—	(注9)			
			ICLK = 32 MHz	3.50	—	(注8)			
			ICLK = 16 MHz	2.00	—				
			ICLK = 8 MHz	1.20	—				
	BGO 動作時の増加分(注6)					2.05	—		—

表 2.10 動作電流とスタンバイ電流 (1) (2/2)

条件: VCC = 1.6~5.5 V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	Middle-speed モード(注2)	ノーマルモード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz	I _{CC}	2.15	—	mA	(注7)
			ICLK = 4 MHz	0.80		—			
		すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz	—		7.0	(注8)		
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 24 MHz		0.70	—	(注7)	
			ICLK = 4 MHz	0.55		—			
		すべての周辺クロックが有効(注5)	ICLK = 24 MHz	2.70		—	(注8)		
	ICLK = 4 MHz	0.85	—						
	BGO 動作時の増加分(注6)					1.85	—	—	
	Low-speed モード(注3)	ノーマルモード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz	0.30	—	mA	(注7)	
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 2 MHz	—	2.0		(注8)	
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz	0.11	—		(注7)	
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz	0.30	—		(注8)	
	Subosc-speed モード(注4)	ノーマルモード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz	—	150	μA	(注8)	
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz	1.00	—		(注8)	
すべての周辺クロックが有効(注5)			ICLK = 32.768 kHz	3.65	—	(注8)			

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。また、消費電流値には、いずれの端子からの出力充放電電流も含まれません。

注 2. クロックソースは HOCO です。

注 3. クロックソースは MOCO です。

注 4. クロックソースは LOCO です。

注 5. BGO 操作は含まれません。

注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

注 7. PCLKB と PCLKD は、64 分周に設定されています。

注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。

注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。

注 10. VCC = 3.3 V

注 11. プリフェッチバッファは動作しています。

表 2.11 動作電流とスタンバイ電流 (2)

条件: VCC = 1.6~5.5 V

項目				シンボル	Typ(注3)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイ モード (注2)	周辺モジュ ール停止	全ての SRAM (0x2000_4000 ~ 0x2000_5FFF) がオン	T _a = 25°C	I _{CC}	0.2	1.3	μA	—
				T _a = 55°C		0.4	3.7		
				T _a = 85°C		1.35	12		
				T _a = 105°C		3.05	42		
				T _a = 125°C		6.00	85		
			4 KB SRAM (0x2000_4000 ~ 0x2000_4FFF) のみがオン	T _a = 25°C		0.2	1.3		
				T _a = 55°C		0.4	3.7		
				T _a = 85°C		1.30	12		
				T _a = 105°C		2.85	42		
				T _a = 125°C		5.85	85		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。また、消費電流値には、いずれの端子からの出力充放電電流も含まれません。

注 2. IWDIT および LVD は動作していません。

注 3. VCC = 3.3 V

表 2.12 動作電流とスタンバイ電流 (3)

条件: VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電 流	12 ビット A/D 変換中 (高速 A/D 変換モード 時)	I _{VCCAD}	—	—	1.44	mA	—
	12 ビット A/D 変換中 (低消費電力 A/D 変換 モード時)		—	—	0.78	mA	—
	12 ビット A/D 変換待機中 (全ユニット) (注1)		—	—	1.0	μA	—
基準電源電流	12 ビット A/D 変換中	I _{REFH0}	—	—	120	μA	—
	12 ビット A/D 変換待機中		—	—	60	μA	T _a = 105°C
			—	—	120	μA	T _a = 125°C
温度センサ (TSN) 動作電流		I _{TNS}	—	95	—	μA	—

注 1. MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPD16 (ADC120 モジュールストップビット) がモジュールストップ状態の場合

2.2.6 VCC 立ち上がり/立ち下がり勾配とリップル周波数

表 2.13 立ち上がり/立ち下がり勾配の特性

条件: VCC = 0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり 勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ 0 リセット有効(注1)(注2)				—		
	SCI ブートモード(注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 2.14 立ち上がり/立ち下がり勾配とリップル周波数特性

条件: VCC = 1.6~5.5 V

リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.2 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 2.2 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 2.2 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動の立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC±10% を超える場合

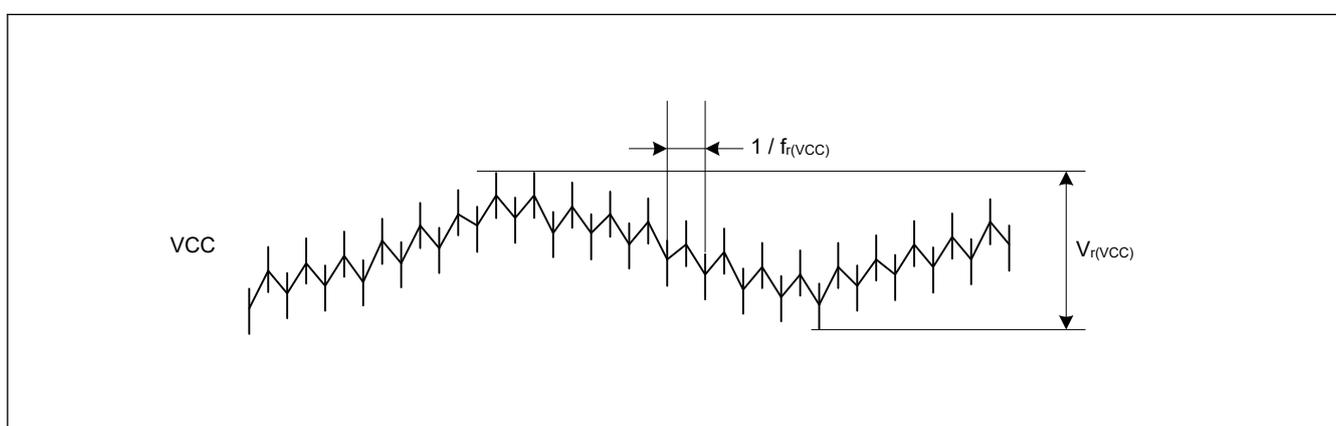


図 2.2 リップル波形

2.3 AC 特性

2.3.1 周波数

表 2.15 High-speed 動作モードの動作周波数

条件: VCC = 1.8~5.5 V

項目		シンボル	Min	Typ	Max(注4)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)	f	1.8~5.5 V	0.032768	—	48	MHz
	周辺モジュールクロック (PCLKB)		1.8~5.5 V	—	—	32	
	周辺モジュールクロック (PCLKD)(注3)		1.8~5.5 V	—	—	64	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.16 Low-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max(注4)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~5.5 V	0.032768	—	24	MHz
		1.6~1.8 V	0.032768	—	4	
	周辺モジュールクロック (PCLKB)	1.8~5.5 V	—	—	24	
		1.6~1.8 V	—	—	4	
	周辺モジュールクロック (PCLKD)(注3)	1.8~5.5 V	—	—	24	
		1.6~1.8 V	—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.17 Low-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max(注4)	単位		
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6~5.5 V	f	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB)	1.6~5.5 V	—	—	—	2	
	周辺モジュールクロック (PCLKD)(注3)	1.6~5.5 V	—	—	—	2	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.18 Subosc-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位		
動作周波数	システムクロック (ICLK)(注1)	1.6~5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB)	1.6~5.5 V	—	—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)	1.6~5.5 V	—	—	—	37.6832	

注 1. フラッシュメモリのプログラムまたはイレースはできません。

注 2. ADC12 は使用できません。

2.3.2 クロックタイミング

表 2.19 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
LOCO クロック発振周波数	f _{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t _{LOCO}	—	—	100	μs	図 2.3
IWDT 専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f _{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t _{MOCO}	—	—	1	μs	—

表 2.19 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
HOCO クロック発振周波数(注3)	f _{HOCO24}	23.76	24	24.24	MHz	Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO32}	31.68	32	32.32		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO48}	47.52	48	48.48		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO64}	63.36	64	64.64		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
HOCO クロック発振安定待機時間(注1) (注2)	t _{HOCO24} t _{HOCO32} t _{HOCO48} t _{HOCO64}	—	6.7	7.7	μs	図 2.4

注 1. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振中に HOCO.CR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。

注 2. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。

注 3. 出荷テスト時の精度

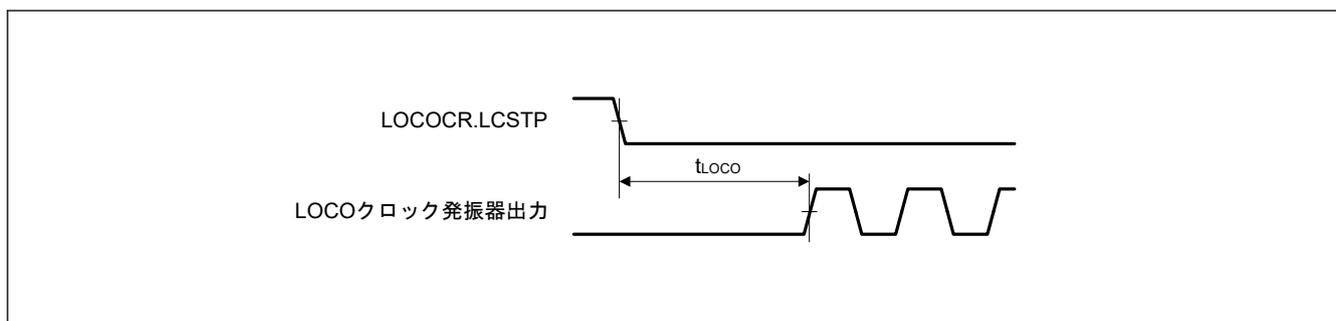
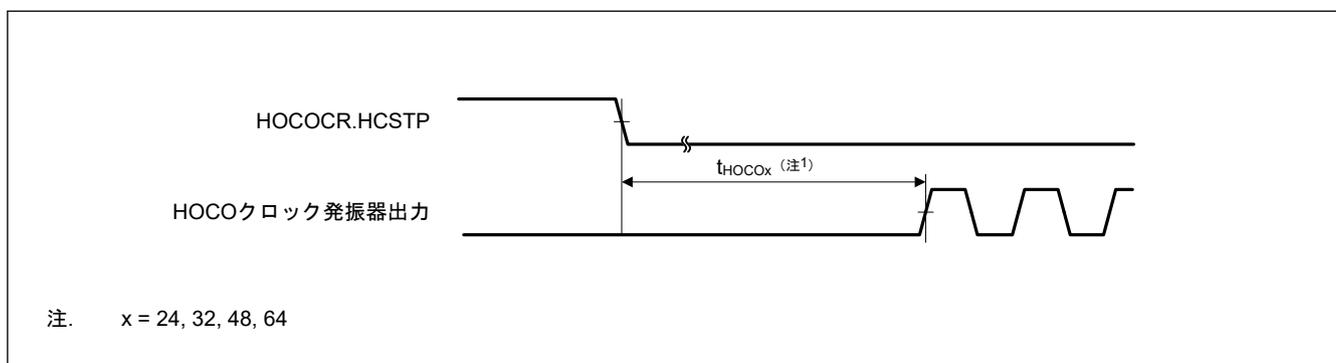


図 2.3 LOCO クロック発振開始タイミング



注. x = 24, 32, 48, 64

図 2.4 HOCO クロック発振開始タイミング (HOCO.CR.HCSTP ビット設定により開始)

2.3.3 リセットタイミング

表 2.20 リセットタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t _{RESWP}	10	—	ms	図 2.5
	電源投入時以外	t _{RESW}	30	—	μs	図 2.6
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	t _{RESWT}	—	0.9	ms	図 2.5
	LVD0 無効(注2)	—	—	0.2		

表 2.20 リセットタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES 解除後の待機時間 (電源投入中)	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 2.6
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット)	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 2.7
	LVD0 無効(注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

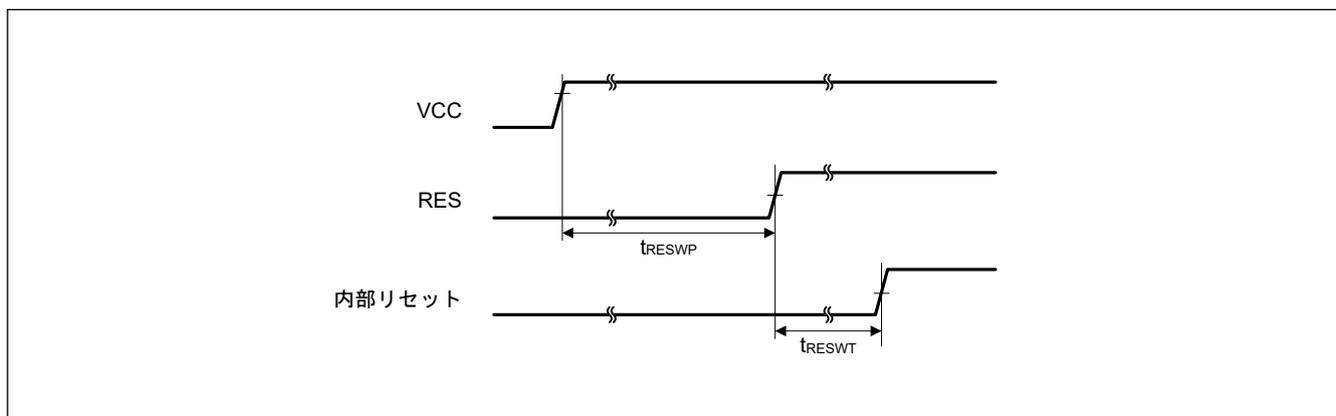


図 2.5 電源投入時リセット入カタイミング

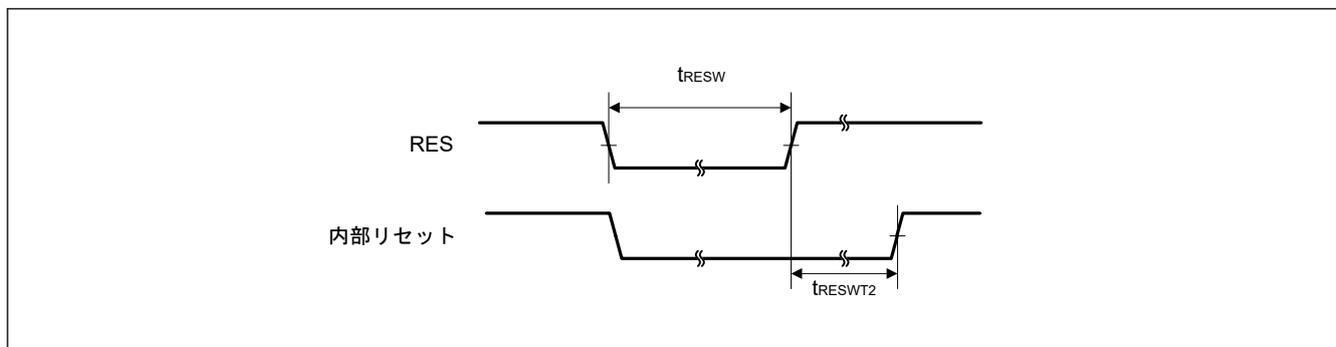


図 2.6 リセット入カタイミング (1)

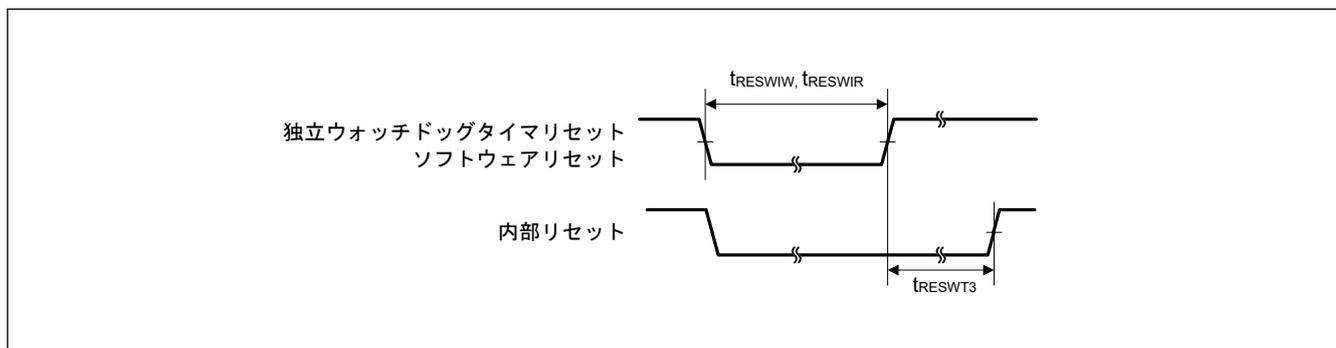


図 2.7 リセット入カタイミング (2)

2.3.4 ウェイクアップ時間

表 2.21 低消費電力モードからの復帰タイミング (1)

項目	シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード	システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注2)	t_{SBYHO}	—	7.4	9.1	μs	図 2.8
		システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注3)	t_{SBYHO}	—	7.3	8.9	μs	
	システムクロックソースは HOCO (HOCO クロックは 64 MHz) (注2)	t_{SBYHO}	—	7.4	9.1	μs		
	システムクロックソースは MOCO (8 MHz)	t_{SBYMO}	—	4	5	μs		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 32 MHz です。

注 3. システムクロックは 48 MHz です。

表 2.22 低消費電力モードからの復帰タイミング (2)

項目	シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	システムクロックソースは HOCO(注2)	t_{SBYHO}	—	7.7	9.4	μs	図 2.8
		VCC = 1.8 V ~ 5.5 V		—	15.7	17.9		
	システムクロックソースは MOCO (8 MHz)	t_{SBYMO}	—	4	5	μs		
			VCC = 1.6 V ~ 1.8 V	—	7.2		9	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 24 MHz です。

表 2.23 低消費電力モードからの復帰タイミング (3)

項目	シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	システムクロックソースは MOCO (2 MHz)	t_{SBYMO}	—	12	15	μs	図 2.8

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

表 2.24 低消費電力モードからの復帰タイミング (4)

項目	シンボル	Min	Typ	Max	単位	測定条件		
ソフトウェアスタンバイモードからの復帰時間	Subosc-speed モード	システムクロックソースは LOCO (32.768 kHz)	t_{SBYLO}	—	0.85	1.2	ms	図 2.8

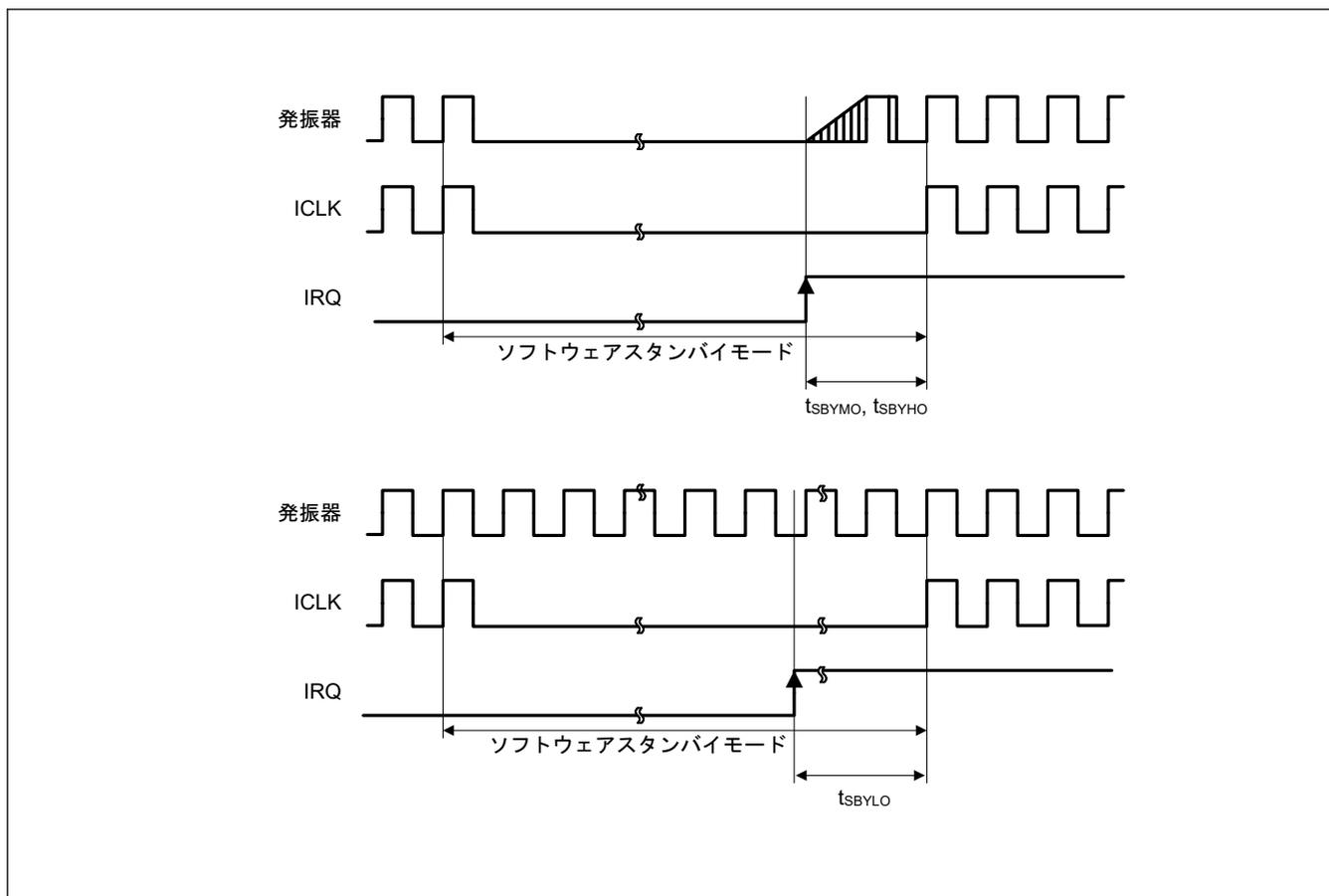


図 2.8 ソフトウェアスタンバイモード解除タイミング

表 2.25 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t_{SNZ}	—	6.6	8.1	μs	図 2.9
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V~5.5 V	t_{SNZ}	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V~1.8 V	t_{SNZ}	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	t_{SNZ}	—	6.7	8.0	μs	

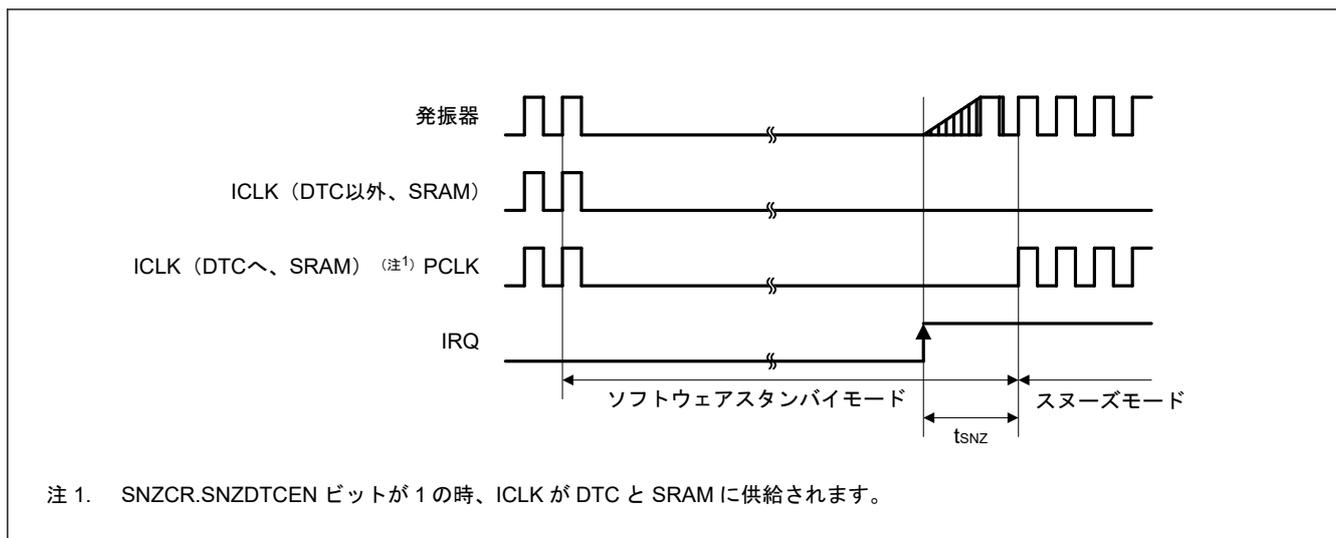


図 2.9 ソフトウェアスタンバイモードからスリープモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.26 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

- 注. ソフトウェアスタンバイモード時は最小 200 ns です。
- 注. クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足す必要があります。
- 注 1. t_{Pcyc} は PCLKB の周期を意味します。
- 注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
- 注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します (i = 0~7)。

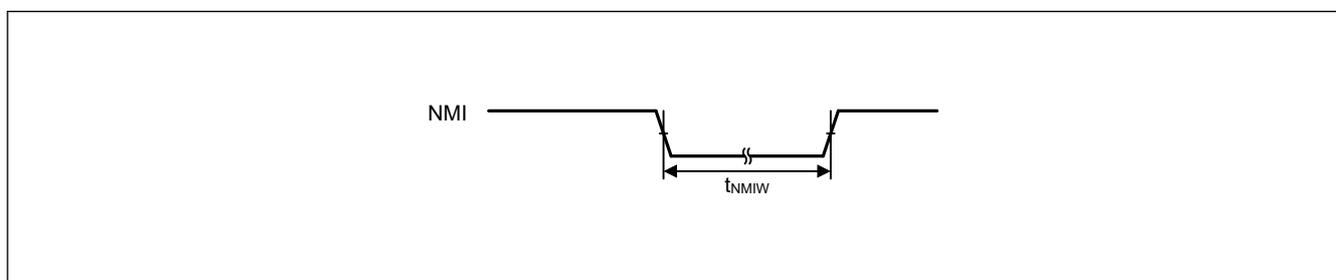


図 2.10 NMI 割り込み入力タイミング

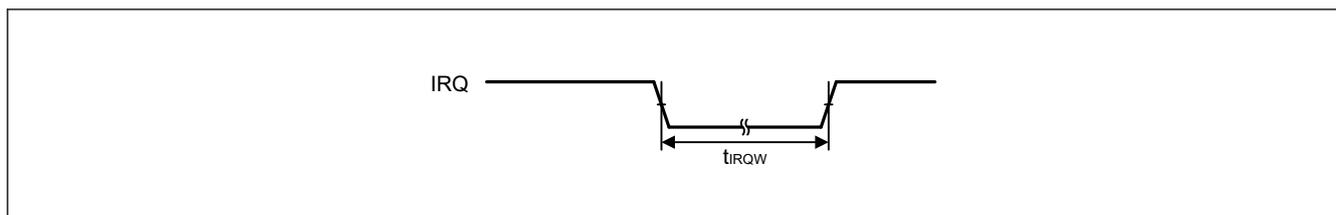


図 2.11 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 トリガタイミング

表 2.27 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 トリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/O ポート	入力データパルス幅	t_{PRW}	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	2	—	t_{Pcyc}	図 2.12
			$2.4\text{ V} \leq VCC < 2.7\text{ V}$	3			
			$1.6\text{ V} \leq VCC < 2.4\text{ V}$	4			
POEG	POEG 入力トリガパルス幅	t_{POEW}	3	—	t_{Pcyc}	図 2.13	
GPT	入力キャプチャパルス幅	t_{GTICW}	単エッジ	1.5	—	t_{PDcyc}	図 2.14
			両エッジ	2.5	—		
AGTW	AGTIO、AGTEE 入力サイクル	t_{ACYC} (注1)	$1.8\text{ V} \leq VCC \leq 5.5\text{ V}$	250	—	ns	図 2.15
			$1.6\text{ V} \leq VCC < 1.8\text{ V}$	2000	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	t_{ACKWH} 、 t_{ACKWL}	$1.8\text{ V} \leq VCC \leq 5.5\text{ V}$	100	—	ns	
			$1.6\text{ V} \leq VCC < 1.8\text{ V}$	800	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	t_{ACYC2}	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	62.5	—	ns	
			$2.4\text{ V} \leq VCC < 2.7\text{ V}$	125	—	ns	
$1.8\text{ V} \leq VCC < 2.4\text{ V}$			250	—	ns		
$1.6\text{ V} \leq VCC < 1.8\text{ V}$			500	—	ns		
ADC12 ビット	12 ビット A/D コンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 2.16	
KINT	KRn (n = 00~03) パルス幅	t_{KR}	250	—	ns	図 2.17	

注 1. AGTIO 入力の制約: $t_{Pcyc} \times 2$ (t_{Pcyc} : PCLKB サイクル) < t_{ACYC}

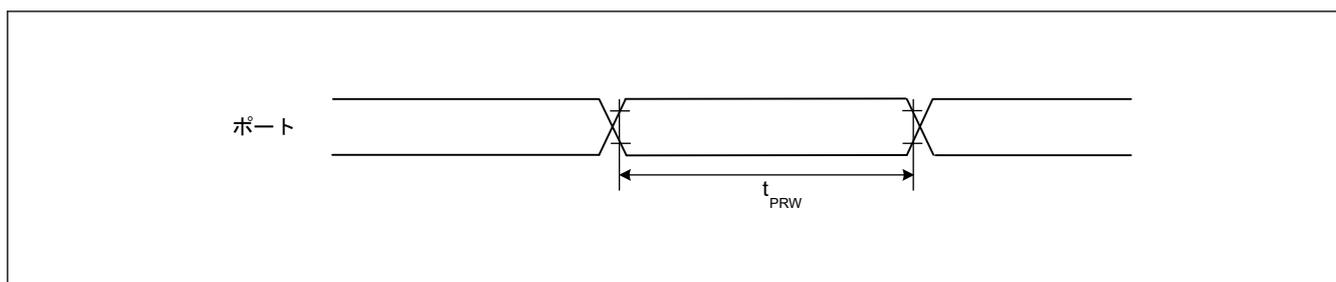


図 2.12 I/O ポート入力タイミング

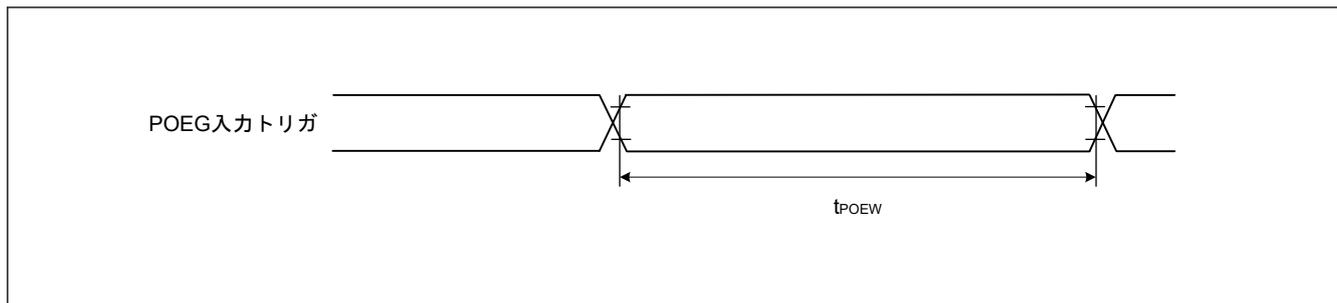


図 2.13 POEG 入力トリガタイミング

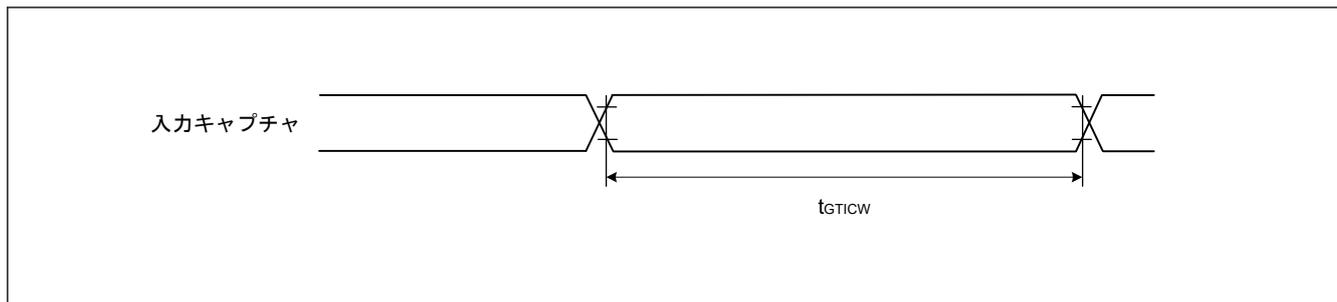


図 2.14 GPT インพุットキャプチャタイミング

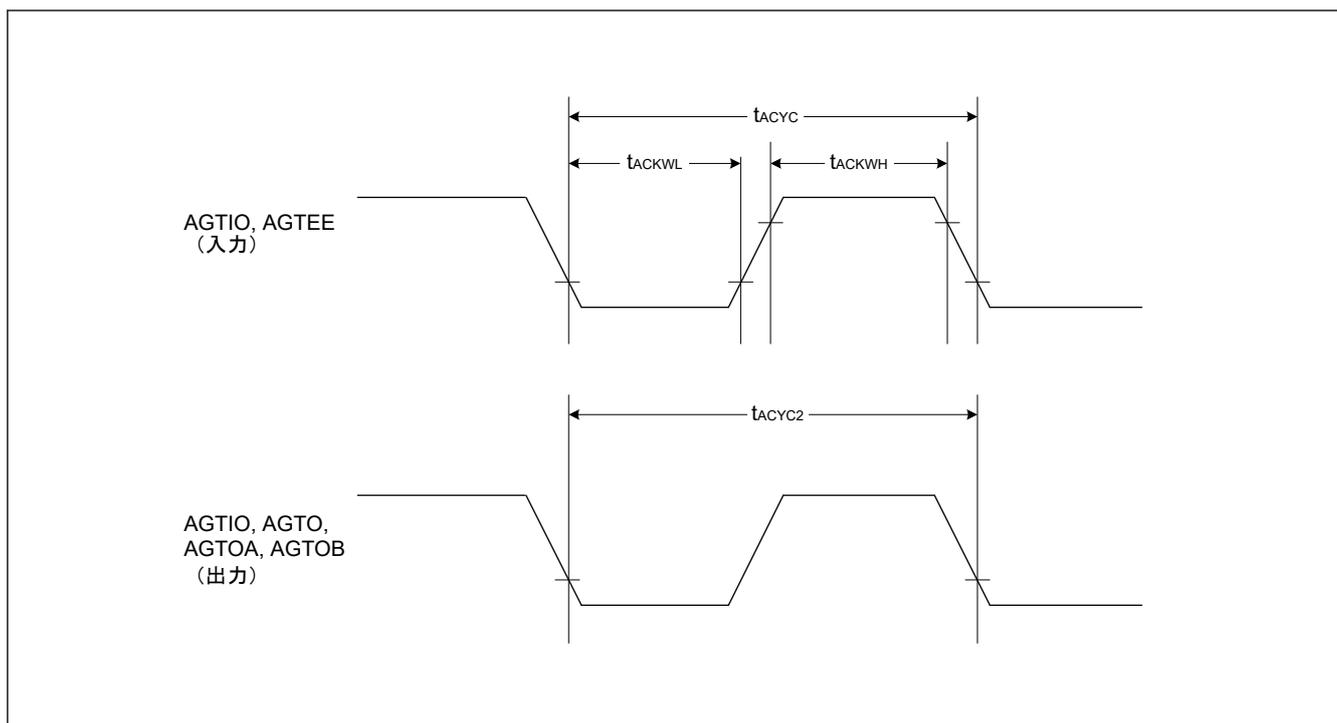


図 2.15 AGTW I/O タイミング

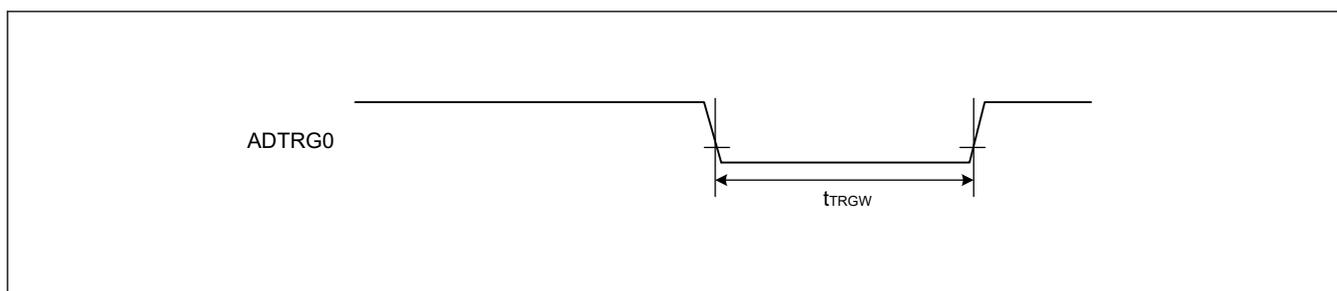
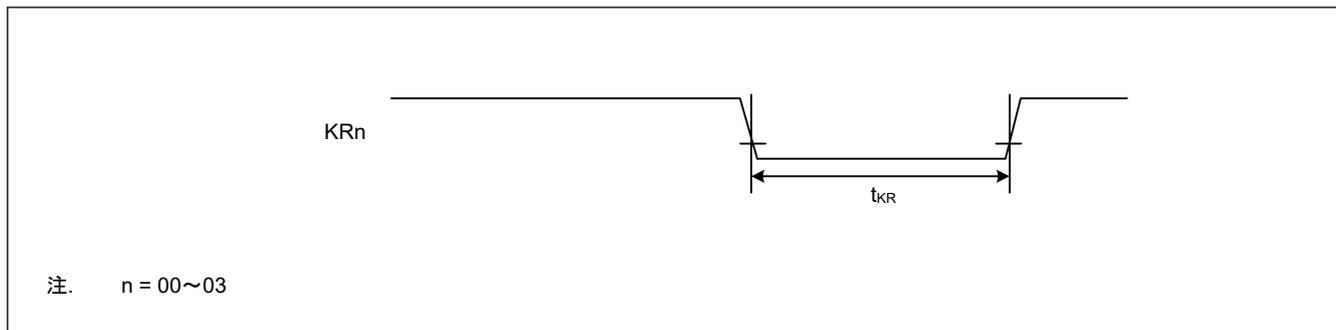


図 2.16 ADC12 トリガ入力タイミング



注. n = 00~03

図 2.17 キー割り込み入力タイミング

2.3.7 CAC タイミング

表 2.28 CAC タイミング

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t _{CACREF}	$t_{P_{Cyc}}^{(注1)} \leq t_{CAC}^{(注2)}$	4.5 × t _{CAC} + 3 × t _{P_{Cyc}}	—	—	ns
			$t_{P_{Cyc}}^{(注1)} > t_{CAC}^{(注2)}$	5 × t _{CAC} + 6.5 × t _{P_{Cyc}}	—	—	ns

注 1. t_{P_{Cyc}} : PCLKB の周期。

注 2. t_{CAC} : CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.29 SCI タイミング (1)

条件 : VCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位	測定条件	
SCI	入カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Scyc}	125	—	ns	図 2.18
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
		クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	入カクロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間			t_{SCKr}	—	20	ns	
	入カクロック立ち下がり時間			t_{SCKf}	—	20	ns	
	出カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Scyc}	187.5	—	ns	
$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			375		—			
$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			750		—			
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			1500		—			
クロック同期式		$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	125		—			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	250		—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	500		—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	1000		—			
出カクロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}		
出カクロック立ち上がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{SCKr}	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
出カクロック立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{SCKf}	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
送信データ遅延時間 (マスタ)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{TXD}	—	40	ns	図 2.19	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	45			
送信データ遅延時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{TXD}	—	55	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	60			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125			
受信データセットアップ時間 (マスタ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{RXS}	45	—	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		90	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—			
受信データセットアップ時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{RXS}	40	—	ns		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—			
受信データホールド時間 (マスタ)	クロック同期式		t_{RXH}	5	—	ns		
受信データホールド時間 (スレーブ)	クロック同期式		t_{RXH}	40	—	ns		

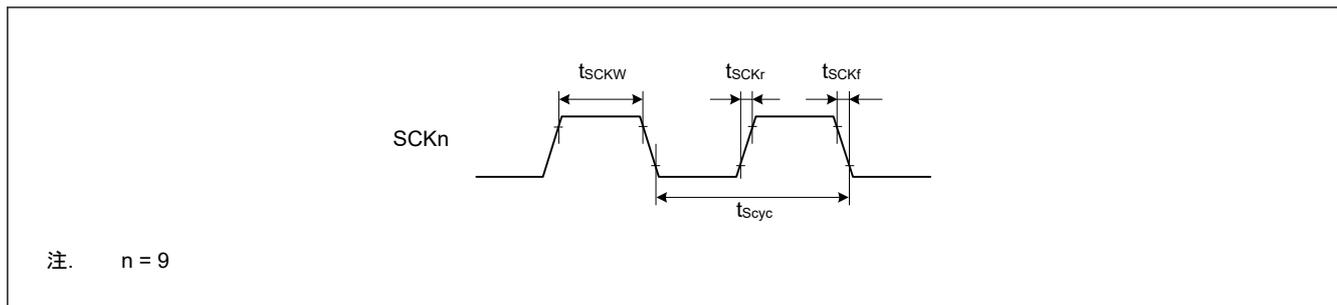


図 2.18 SCK クロック入力タイミング

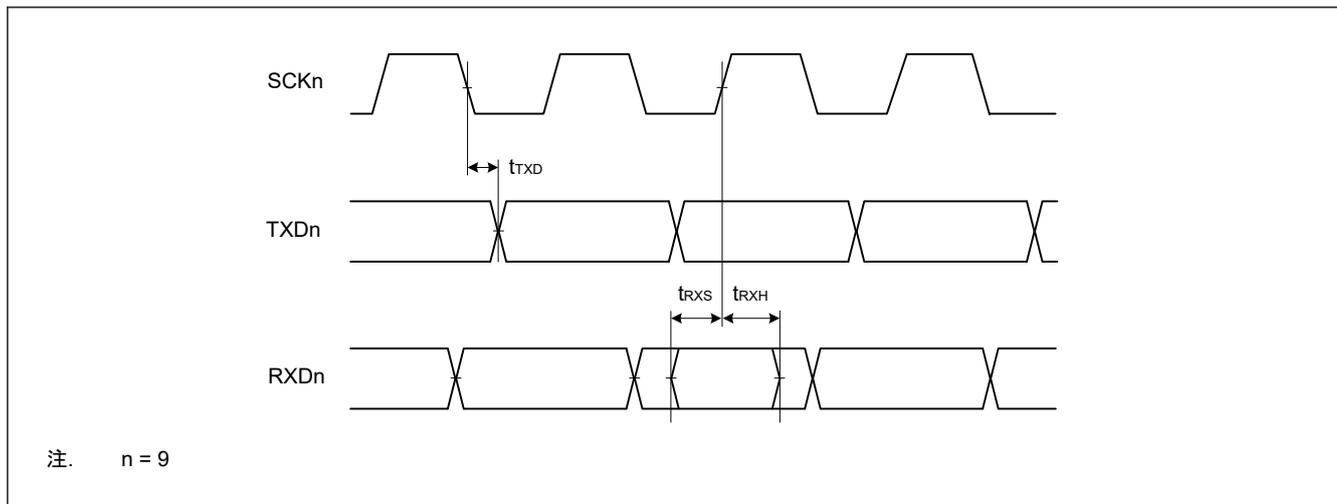


図 2.19 クロック同期式モードにおける SCI 入出力タイミング

表 2.30 SCI タイミング (2) (1/2)

条件: VCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SPcyc}	125	—	ns	図 2.20
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
	SCK クロックサイクル入力 (スレーブ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり /立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SPCKr}	—	20	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	t_{SPCKf}	—	30		
データ入力セ ットアップ時 間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SU}	45	—	ns	図 2.21 ~ 図 2.24
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		80	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—		
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		40	—		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—		
データ入力ホ ールド時間	マスタ	t_{H}	33.3	—	ns		
	スレーブ	40	—				
SS 入力セットアップ時間			t_{LEAD}	1	—	t_{SPcyc}	
SS 入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}	
データ出力遅 延時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{OD}	—	40	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	50		
	スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	65		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125		
データ出力ホ ールド時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{OH}	-10	—	ns	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		-20	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		-30	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		-40	—		
	スレーブ			-10	—		
データ立ち上 がり/立ち下 がり時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Dr}}, t_{\text{Df}}$	—	20	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		
	スレーブ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	20		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		

表 2.30 SCI タイミング (2) (2/2)

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	スレーブアクセス時間	$2.4\text{ V} \leq VCC \leq 5.5\text{ V}$	—	6	t_{Pcyc}	図 2.24	
		$1.8\text{ V} \leq VCC < 2.4\text{ V}$	$24\text{ MHz} \leq PCLKB \leq 32\text{ MHz}$	—			7
			$PCLKB < 24\text{ MHz}$	—			6
		$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	6			
	スレーブ出力開放時間	$2.4\text{ V} \leq VCC \leq 5.5\text{ V}$	t_{REL}	—	6		t_{Pcyc}
		$1.8\text{ V} \leq VCC < 2.4\text{ V}$	$24\text{ MHz} \leq PCLKB \leq 32\text{ MHz}$	—	7		
$PCLKB < 24\text{ MHz}$			—	6			
$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	6					

注 1. t_{Pcyc} : PCLKB の周期

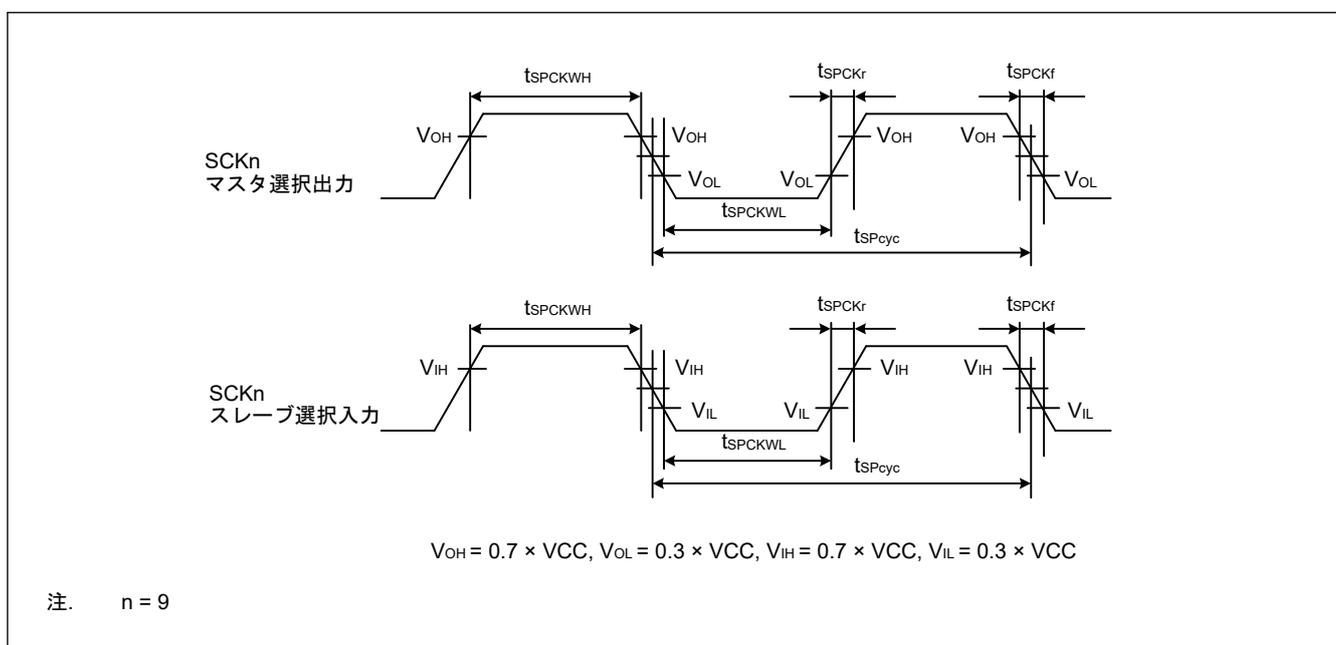


図 2.20 SCI 簡易 SPI モードクロックタイミング

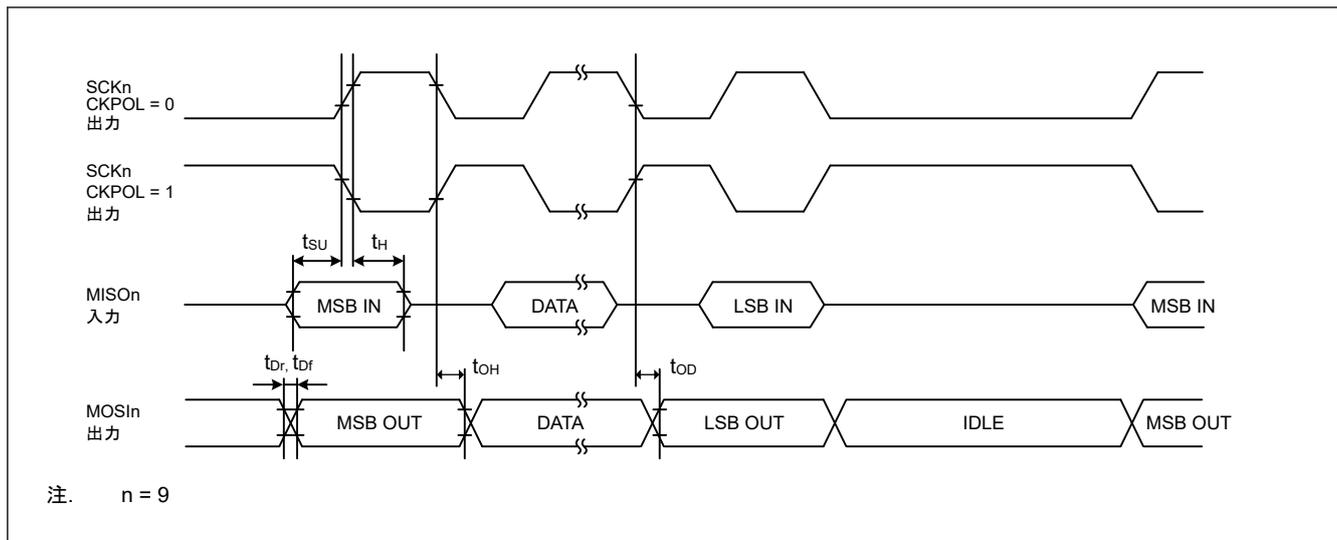


図 2.21 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

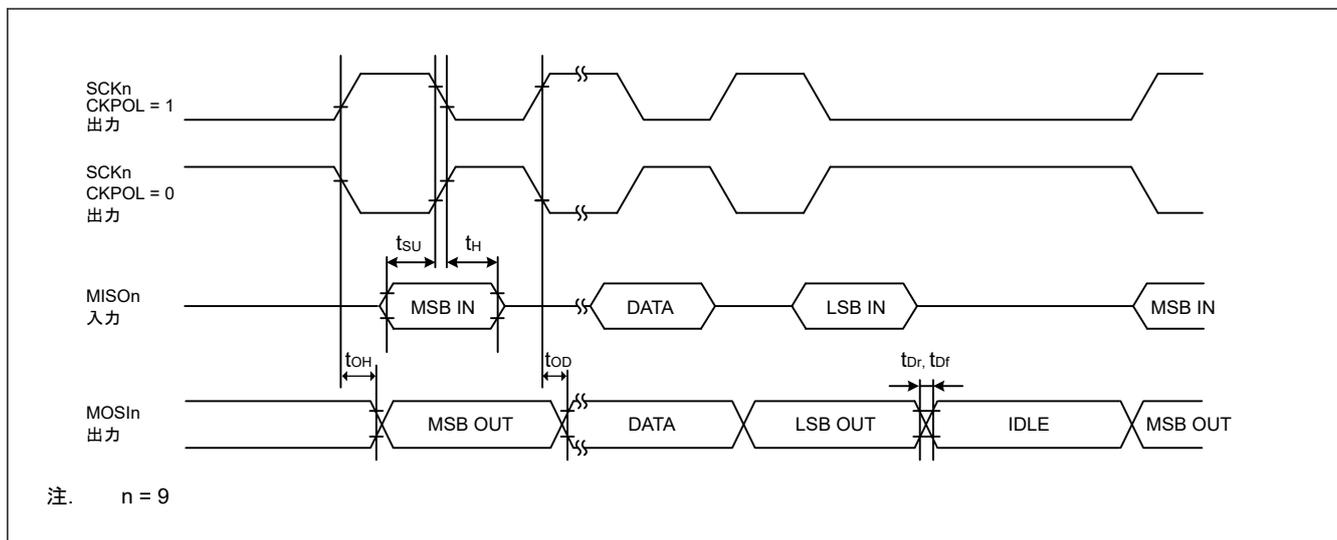


図 2.22 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

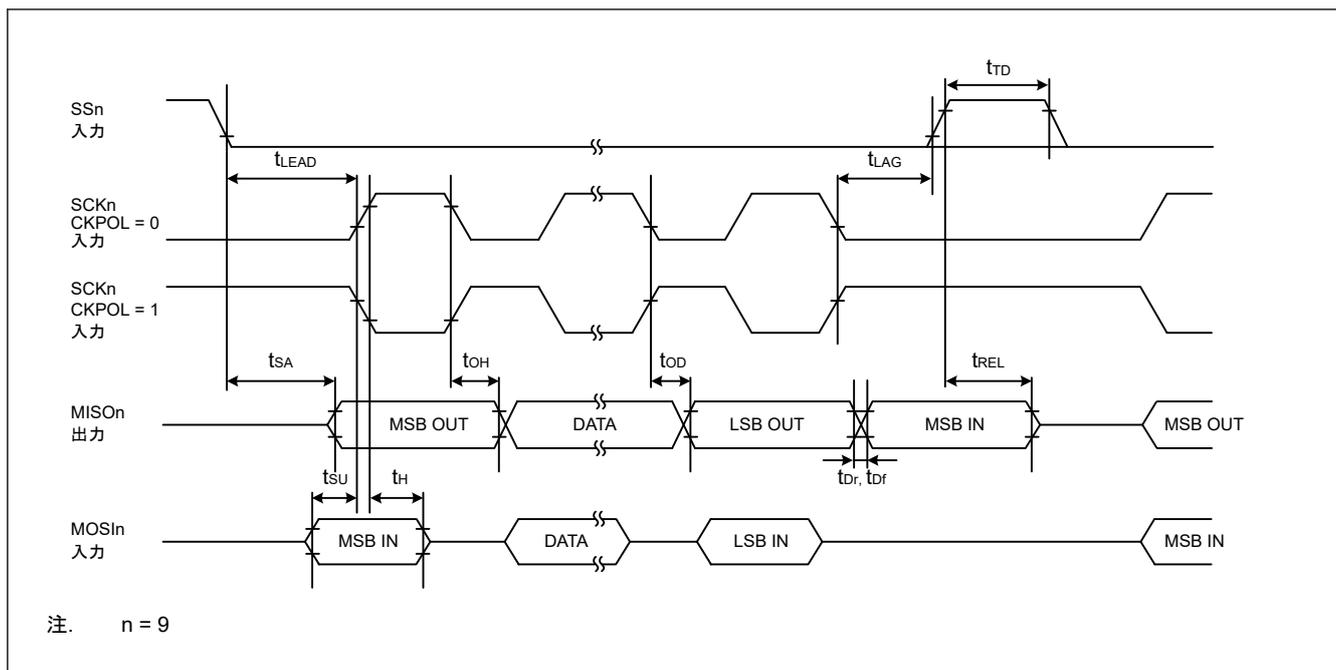


図 2.23 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

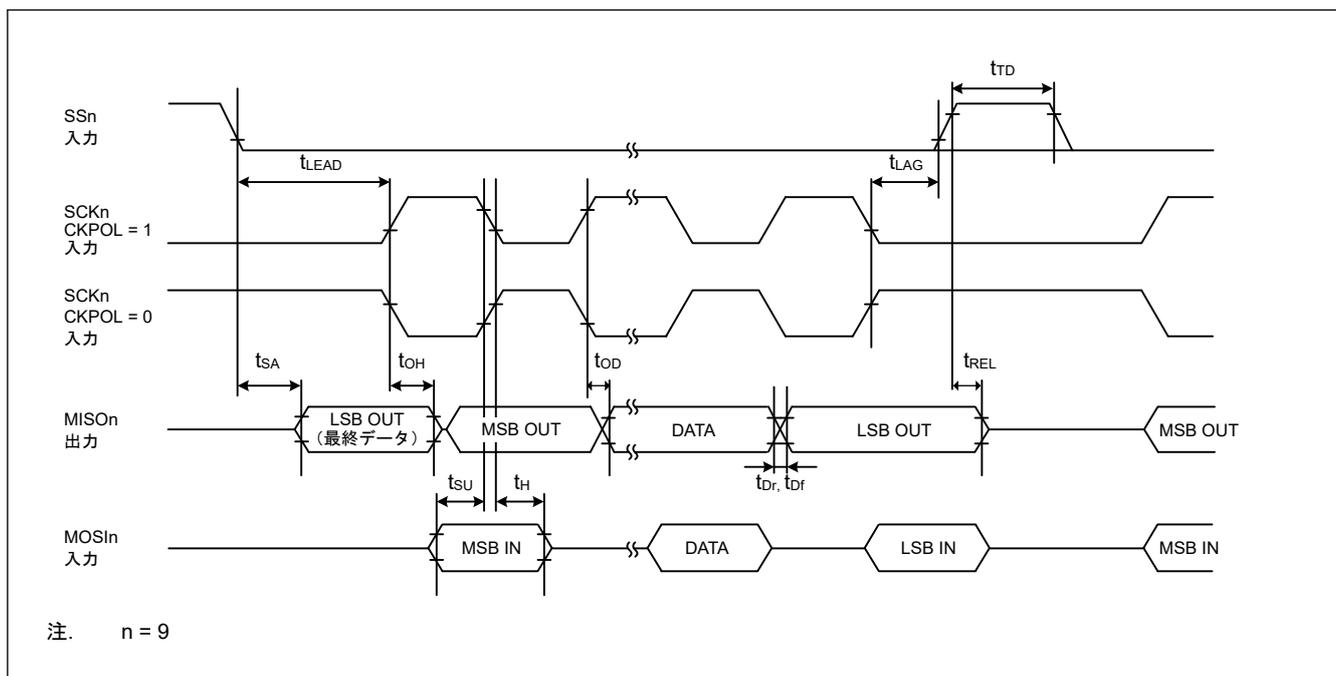


図 2.24 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 2.31 SCI タイミング (3)

条件 : VCC = 2.7~5.5 V

項目	シンボル	Min	Max	単位	測定条件	
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.25
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注2)	—	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.25
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注2)	—	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0]ビットによって選択されたクロックサイクル。

注 2. C_b はバスラインの容量総計を意味します。

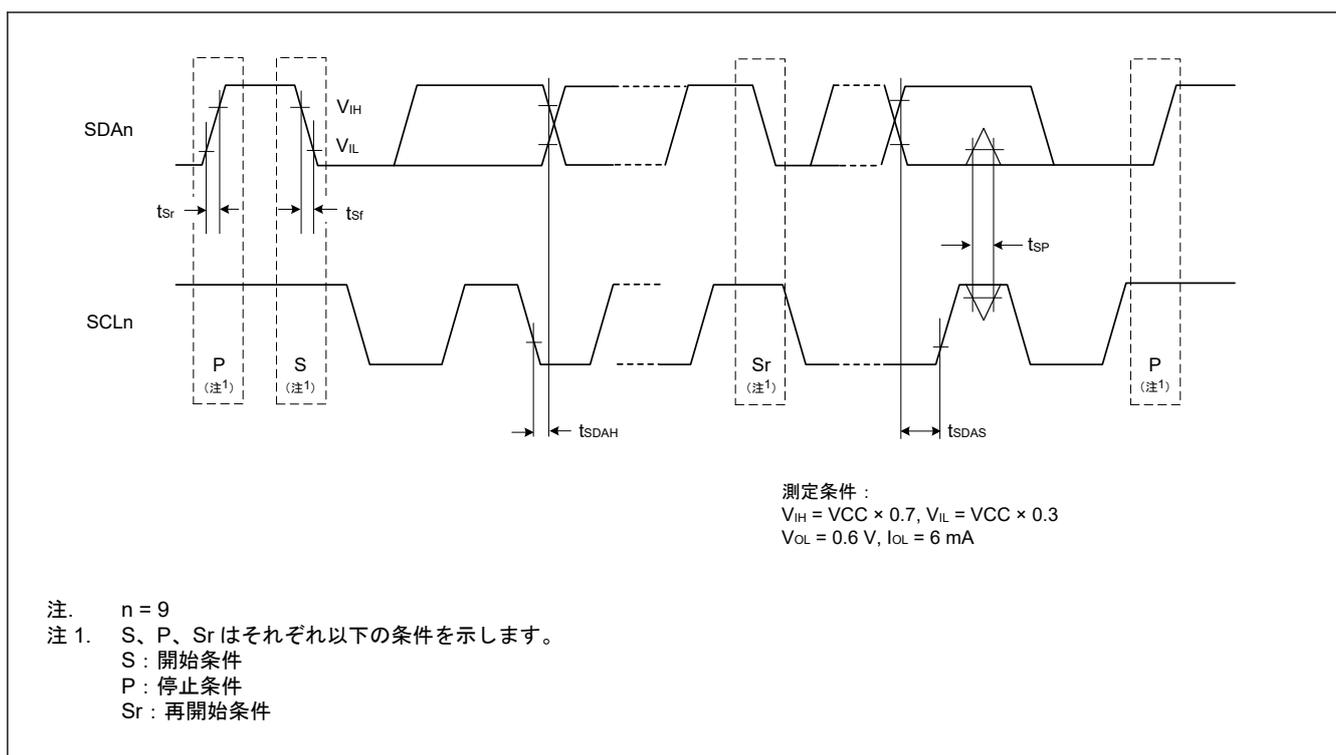


図 2.25 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.32 SPI タイミング (1/3)

項目			シンボル	Min	Max	単位 (注1)	測定条件	
SPI	RSPCK クロックサイクル	マスタ	t_{SPCyc}	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	62.5	—	ns	図 2.26 C = 30 pF
				$2.4\text{ V} \leq VCC < 2.7\text{ V}$	125	—		
				$1.8\text{ V} \leq VCC < 2.4\text{ V}$	250	—		
				$1.6\text{ V} \leq VCC < 1.8\text{ V}$	500	—		
		スレーブ		$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	187.5	—		
				$2.4\text{ V} \leq VCC < 2.7\text{ V}$	375	—		
				$1.8\text{ V} \leq VCC < 2.4\text{ V}$	750	—		
				$1.6\text{ V} \leq VCC < 1.8\text{ V}$	1500	—		
RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns			
	スレーブ			$3 \times t_{PCyc}$		—		
RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{PCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns			
	スレーブ			$3 \times t_{PCyc}$		—		
RSPCK クロック立ち上がり/立ち下がり時間	出力	t_{SPCKr} , t_{SPCKf}	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	—	10	ns		
			$2.4\text{ V} \leq VCC < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq VCC \leq 2.4\text{ V}$	—	20			
			$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	30			
	入力	—	1	μs				

表 2.32 SPI タイミング (2/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	データ入力 セットアップ 時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		ns	図 2.27~図 2.32 C = 30 pF		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	$16\text{ MHz} \leq \text{PCLKB} \leq 32\text{ MHz}$			10	—
				$\text{PCLKB} \leq 16\text{ MHz}$			30	—
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	$16\text{ MHz} \leq \text{PCLKB} \leq 32\text{ MHz}$			10	—
				$8\text{ MHz} \leq \text{PCLKB} \leq 16\text{ MHz}$			55	—
				$\text{PCLKB} \leq 8\text{ MHz}$			30	—
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		10	—			
		スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		10		—	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		15		—	
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		20		—	
データ入力 ホールド時間	マスタ (RSPCK は PCLKB/2)		t_{HF}	0	—	ns		
	マスタ (RSPCK は PCLKB/2 以外)		t_{H}	t_{Pcyc}	—			
	スレーブ		t_{H}	20	—			
SPI	SSL セット アップ時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{LEAD}	ns		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				$-30 + N \times t_{\text{SpCyc}}^{(\text{注}2)}$	—
		スレーブ		$6 \times t_{\text{Pcyc}}$	—		ns	
SSL ホールド 時間	マスタ		t_{LAG}	$-30 + N \times t_{\text{SpCyc}}^{(\text{注}3)}$	—	ns		
	スレーブ		$6 \times t_{\text{Pcyc}}$	—	ns			
データ出力 遅延時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{OD}	ns			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$				—	14	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$				—	20	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				—	25	
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$				—	30	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$				—	50	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$				—	60	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				—	85	
データ出力 ホールド時間	マスタ		t_{OH}	0	—	ns		
	スレーブ		t_{OH}	0	—			
連続転送遅 延時間	マスタ		t_{TD}	$t_{\text{SpCyc}} + 2 \times t_{\text{Pcyc}}$	$8 \times t_{\text{SpCyc}} + 2 \times t_{\text{Pcyc}}$	ns		
	スレーブ		t_{TD}	$6 \times t_{\text{Pcyc}}$	—			

表 2.32 SPI タイミング (3/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	MOSI、MISO 立ち上がり ／立ち下がり 時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10	ns	図 2.27～図 2.32 C = 30 pF	
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30			
		入力	—	—	1	μs		
	SSL 立ち上 がり／立ち 下がり時間	出力	$t_{\text{SSLr}},$ t_{SSLf}	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10		ns
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30				
	入力	—	—	—	1	μs		
スレーブアクセス時 間		t_{SA}	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 100$	ns	図 2.31 と 図 2.32 C = 30 pF	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 140$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 180$			
スレーブ出力開放時 間		t_{REL}	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 100$	ns		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 140$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 180$			

注 1. t_{Pcyc} : PCLKB サイクル

注 2. N は、SPCKD レジスタで設定可能な 1～8 の整数です。

注 3. N は、SSLND レジスタで設定可能な 1～8 の整数です。

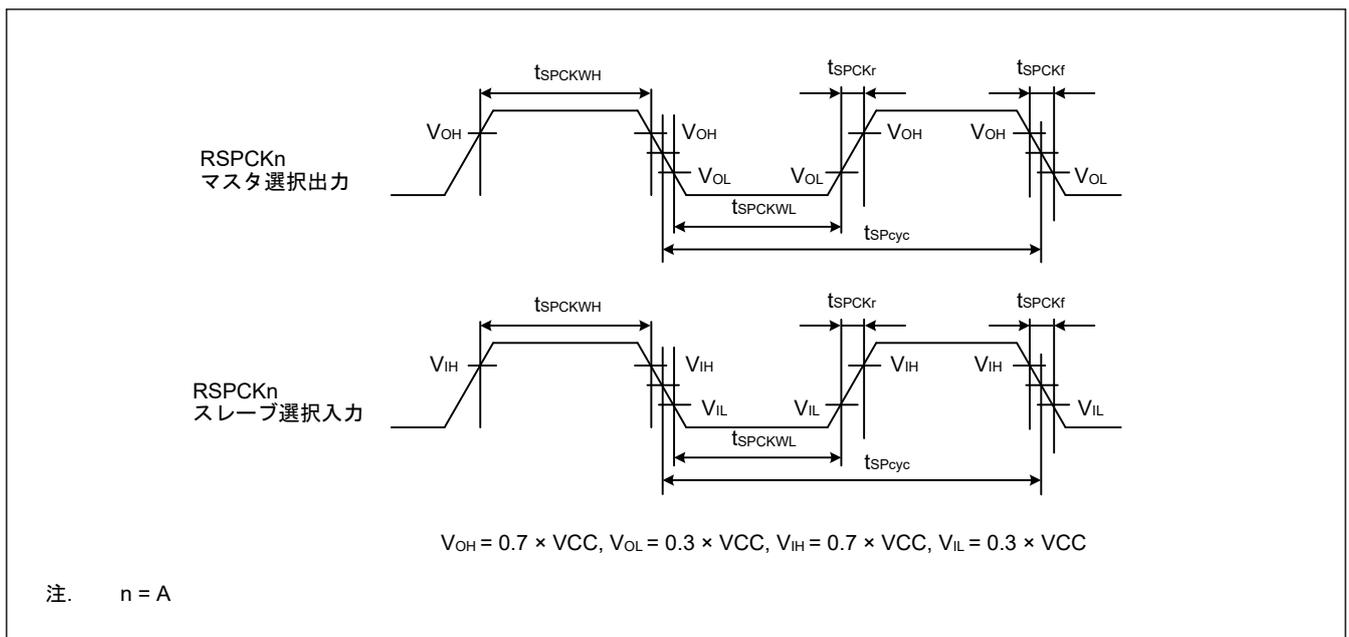


図 2.26 SPI クロックタイミング

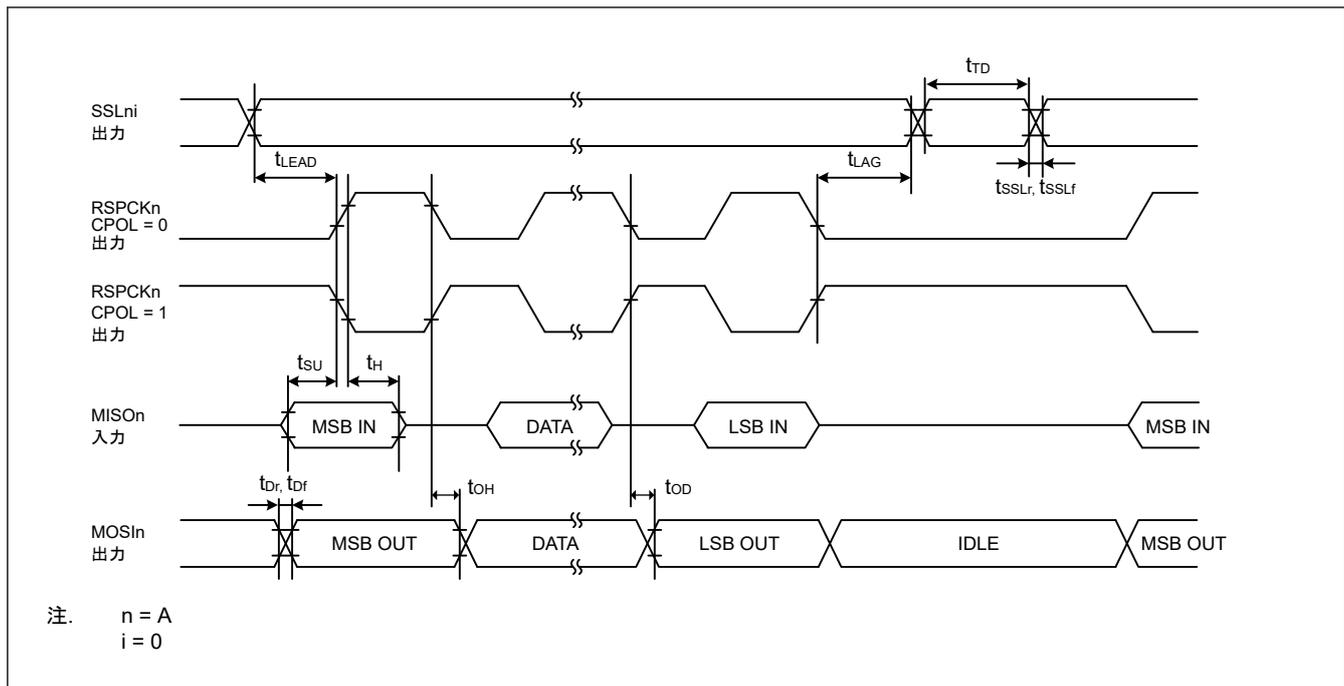


図 2.27 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

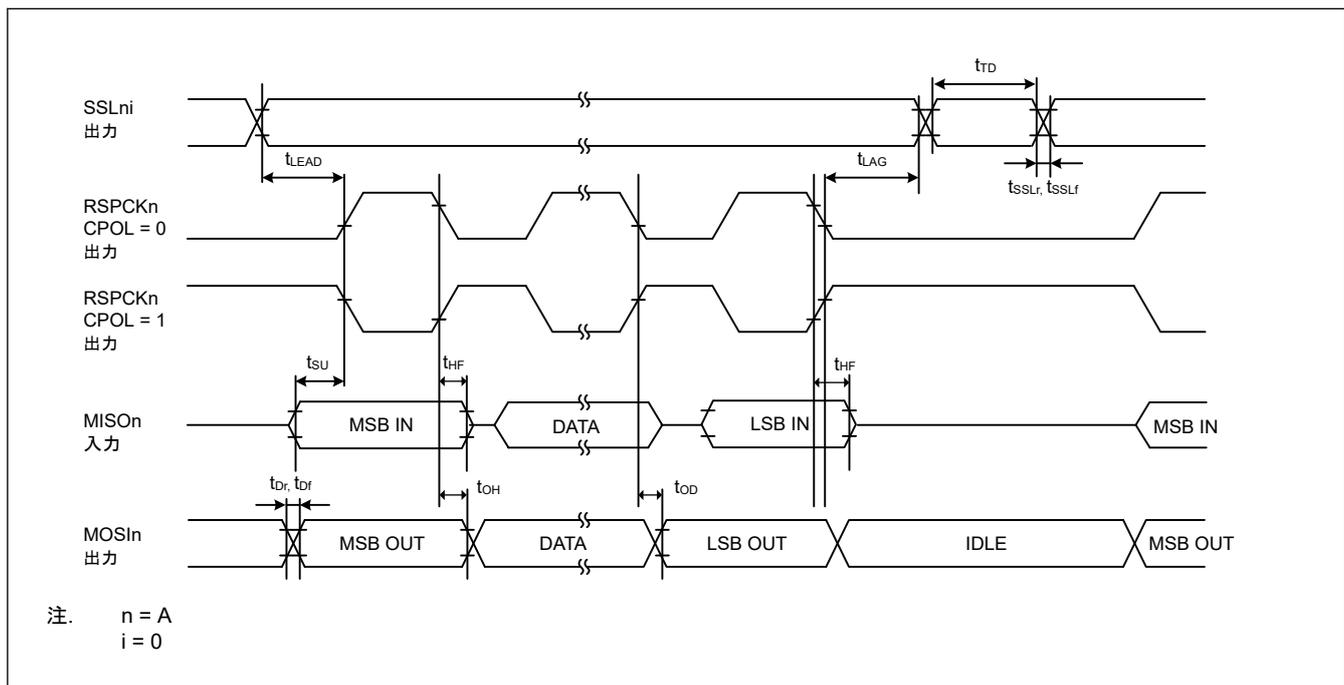


図 2.28 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

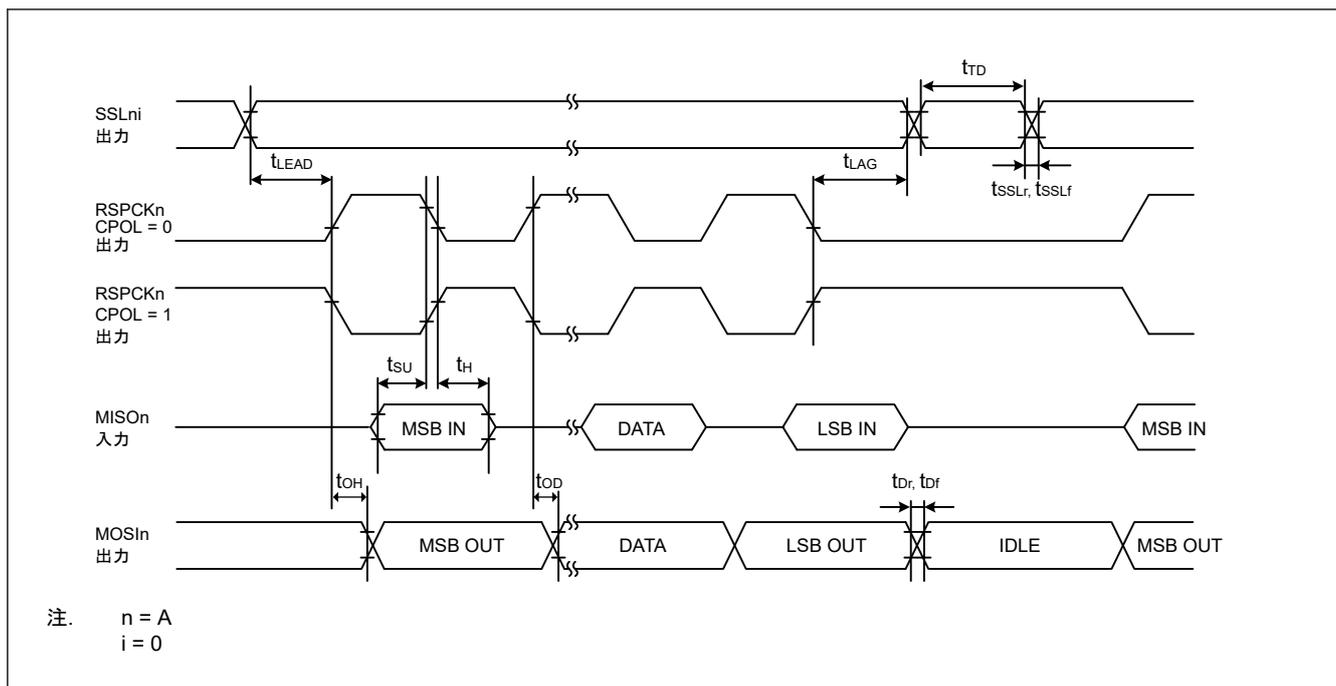


図 2.29 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

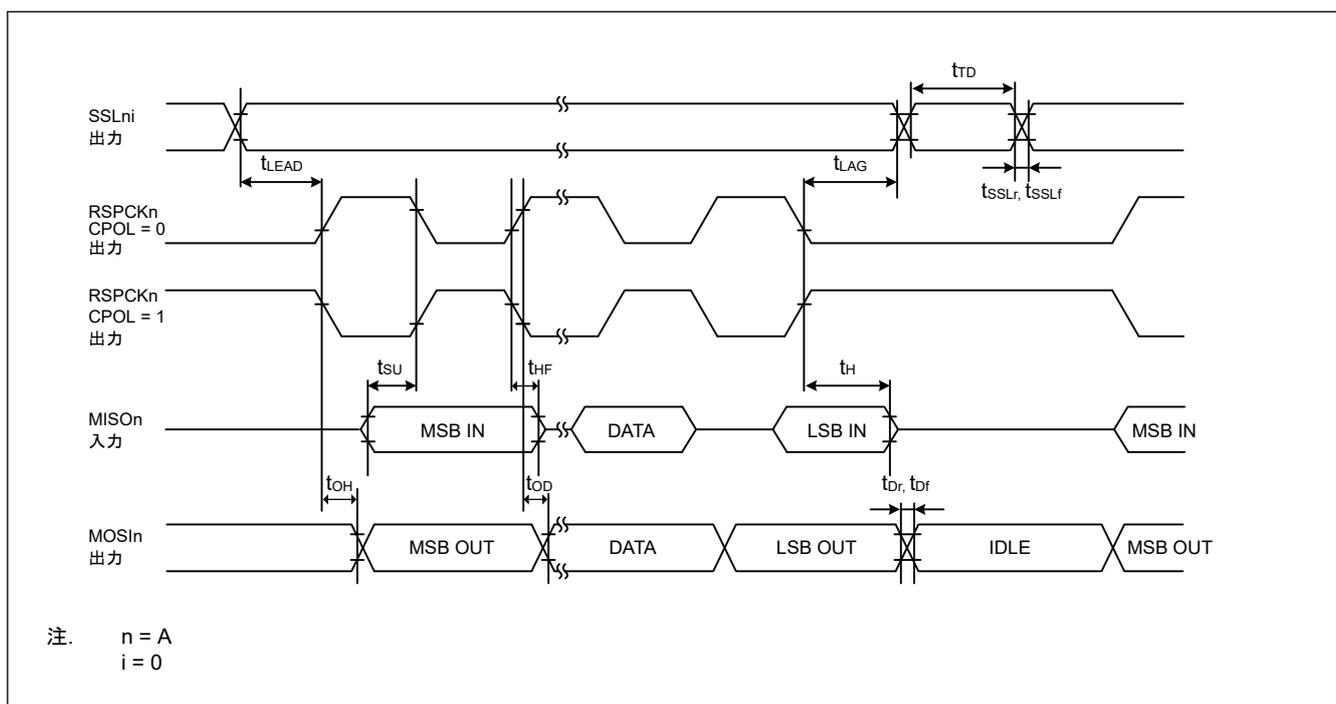


図 2.30 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

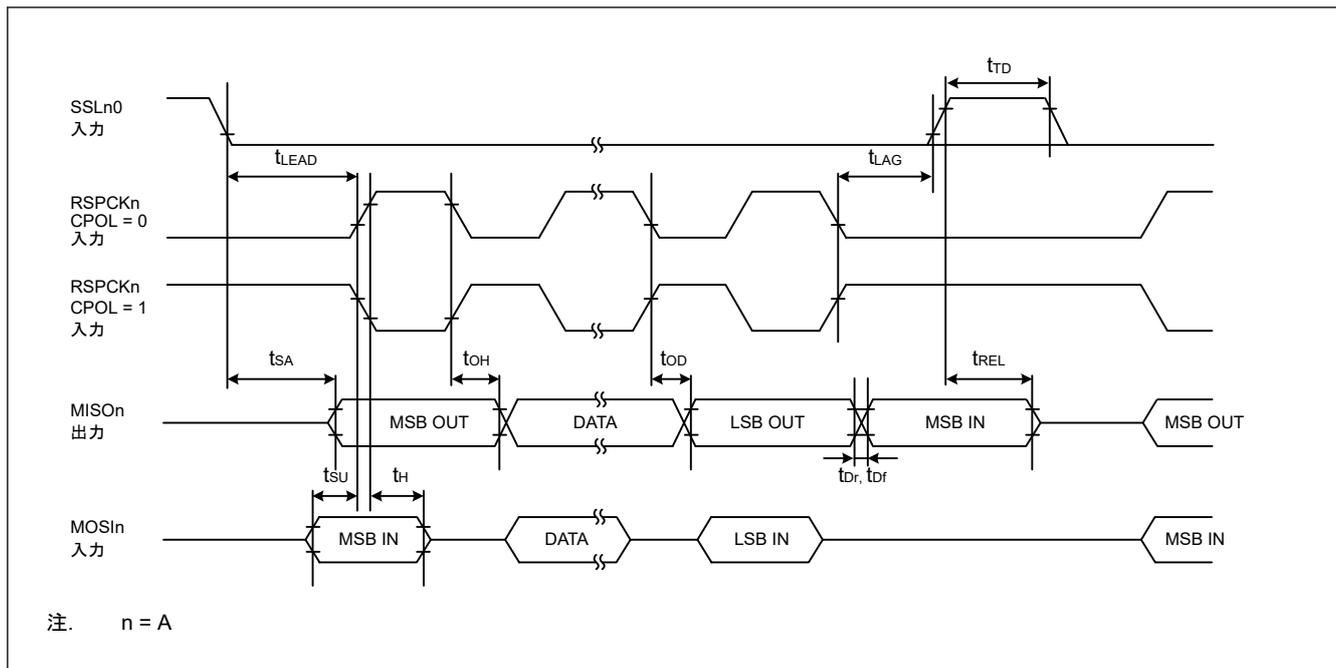


図 2.31 SPI タイミング (スレーブ、CPHA = 0)

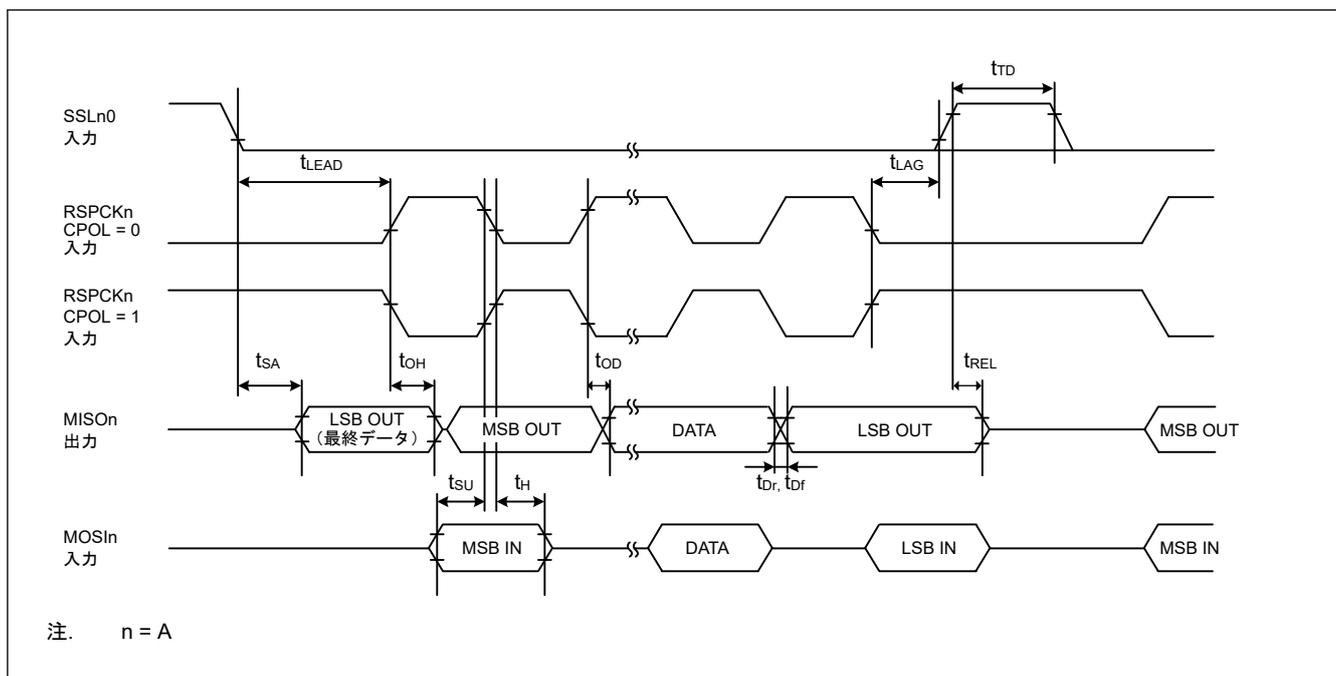


図 2.32 SPI タイミング (スレーブ、CPHA = 1)

2.3.10 I3C タイミング

表 2.33 IIC タイミング

条件 : VCC = 2.7~5.5 V

項目	シンボル	Min(注1)	Max	単位	測定条件	
IIC (標準モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (40) \times t_{IICcyc} + 4 \times t_{Pcyc} + 1300$	—	ns	図 2.33
	SCL High レベルパルス幅	t_{SCLH}	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 300$	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 800$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (16) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (20) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディションホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	1000	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ保持時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
IIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (40) \times t_{IICcyc} + 4 \times t_{Pcyc} + 600$	—	ns	図 2.33
	SCL High レベルパルス幅	t_{SCLH}	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 300$	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (16) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (20) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディションホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	300	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ保持時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) サイクル、 t_{Pcyc} : PCLKD サイクル

注 1. DNFE.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

表 2.34 IIC タイミング (ファストモード+)

条件: VCC = 2.7~5.5 V

項目	シンボル	Min(注1)	Max	単位	測定条件	
IIC (ファストモード+)	SCL サイクル時間	t_{SCL}	$6(40) \times t_{IICcyc} + 4 \times t_{Pcyc} + 240$	—	ns	図 2.33
	SCL High レベルパルス幅	t_{SCLH}	$3(20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 120$	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	$3(20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 120$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	—	$1(16) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3(20) \times t_{IICcyc} + 120$	—	ns	
	スタートコンディションホールド時間	t_{STAH}	$t_{IICcyc} + 135$	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	260	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	260	—	ns	
	データセットアップ時間	t_{SDAS}	50	—	ns	
	データ保持時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	550	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) サイクル、 t_{Pcyc} : PCLKD サイクル

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

表 2.35 IIC タイミング (HS モード)

条件: VCC = 2.7~5.5 V

項目	シンボル	Cb = 100 pF		Cb = 400 pF		単位	測定条件	
		Min(注1)	Max	Min(注1)	Max			
IIC (HS モード)	SCL サイクル時間	t _{SCL}	PCLKD = 64 MHz のとき、330 (+ 10 × t _{IICcyc}) PCLKD = 48 MHz のとき、390 (+ 10 × t _{IICcyc})	—	PCLKD = 64 MHz のとき、500 (+ 10 × t _{IICcyc}) (注2) PCLKD = 48 MHz のとき、560 (+ 10 × t _{IICcyc})	—	ns	図 2.33
	SCL High レベルパルス幅	t _{SCLH}	PCLKD = 64 MHz のとき、125 (+ 5 × t _{IICcyc}) PCLKD = 48 MHz のとき、155 (+ 5 × t _{IICcyc})	—	PCLKD = 64 MHz のとき、140 (+ 5 × t _{IICcyc}) PCLKD = 48 MHz のとき、170 (+ 5 × t _{IICcyc})	—	ns	
	SCL Low レベルパルス幅	t _{SCLL}	PCLKD = 64 MHz のとき、205 (+ 5 × t _{IICcyc}) PCLKD = 48 MHz のとき、230 (+ 5 × t _{IICcyc})	—	PCLKD = 64 MHz のとき、320 (+ 5 × t _{IICcyc}) PCLKD = 48 MHz のとき、350 (+ 5 × t _{IICcyc})	—	ns	
	SCL 立ち上がり時間	t _{Sr}	—	40	—	80	ns	
	繰り返しのスタートコンディション後、およびアックノリッジビット後の SCL 立ち上がり時間	t _{Sr}	—	80	—	160	ns	
	SCL 立ち下がり時間	t _{Sf}	—	40	—	80	ns	
	SDA 立ち下がり時間	t _{Sf}	—	80	—	160	ns	
	SDA 立ち下がり時間	t _{Sf}	—	80	—	160	ns	
	SCL、SDA スパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	0	1 (4) × t _{IICcyc}	ns	
	スタートコンディションホールド時間	t _{STA H}	t _{IICcyc} + 135	—	t _{IICcyc} + 135	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t _{STA S}	160	—	160	—	ns	
	ストップコンディションセットアップ時間	t _{STO S}	160	—	160	—	ns	
	データセットアップ時間	t _{SDA S}	10	—	10	—	ns	
	データ保持時間	t _{SDA H}	0	80	0	150	ns	
SCL、SDA の負荷容量	C _b	—	100	—	400	pF		

注. t_{IICcyc}: IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}: PCLKD サイクル

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

注 2. 最高 SCL クロック周波数は 1.7 MHz です。

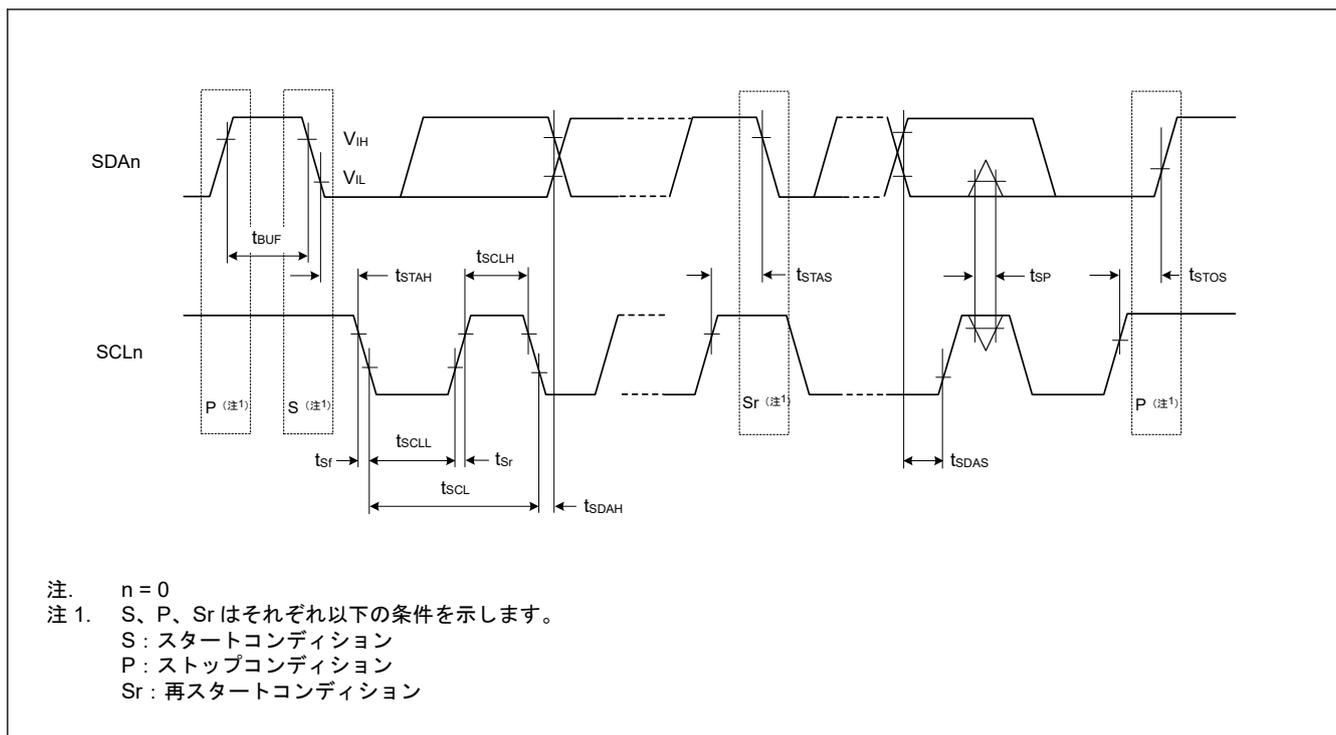


図 2.33 I²C バスインタフェース入出力タイミング

表 2.36 I³C タイミング (オーブンドレインタイミングパラメータ)

条件 : VCC = 2.97~3.63 V

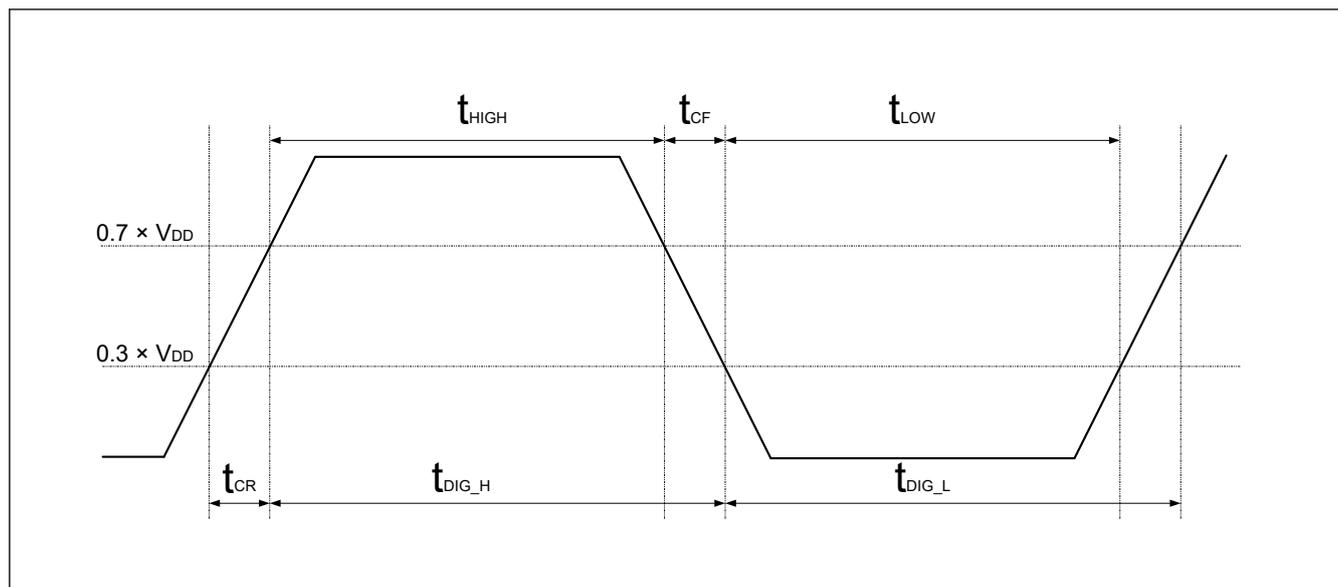
項目	シンボル	タイミング図	Min	Max	単位	備考
SCL クロック Low 期間	t _{LOW_OD}	図 2.36	200	—	ns	1, 2
	t _{DIG_OD_L}	図 2.36	t _{LOW_ODmin} + t _{rDA_ODmin}	—	ns	—
SDA 信号立ち下がり時間	t _{rDA_OD}	図 2.36	t _{CF}	33	ns	—
SDA データセットアップ時間オーブンドレインモード	t _{SU_OD}	図 2.35	4	—	ns	1
		図 2.36				
スタート (S) コンディション後クロック	t _{CAS}	図 2.36	38.4	ENTAS0: 1 μ	秒	5, 6
				ENTAS1: 100 μ		
				ENTAS2: 2 m		
				ENTAS3: 50 m		
ストップ (P) コンディション前クロック	t _{CBP}	図 2.37	t _{CASmin}	—	秒	—
ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	t _{MMOverlap}	図 2.42	t _{DIG_OD_Lmin}	—	ns	—
バス使用可能条件	t _{AVAL}	—	1	—	μs	7
バスアイドル条件	t _{DLE}	—	1	—	ms	—
SDA Low 駆動していない新マスタの内部時間	t _{MMLock}	図 2.42	t _{AVALmin}	—	μs	—

- 注. 1. t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_ODmin} と近似的に同じです。
 2. 安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。
 3. I²C デバイスがスタートを確認する必要があるレガシーバス上
 4. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。
 5. Fm レガシー I²C デバイスのミックスバス上で、t_{AVAL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 2.37 I3C タイミング (SDR 用プッシュプルタイミングパラメータ)

項目	シンボル	タイミング図	Min	Max	単位	備考
SCL クロック周波数	f_{SCL}	—	0.01	4.6 (PCLKD = 64 M の場合) 3.4 (PCLKD = 48 M の場合)	M Hz	1
SCL クロック Low 期間	t_{LOW}	図 2.34	80 (PCLKD = 64 M の場合) 104 (PCLKD = 48 M の場合)	—	ns	—
	t_{DIG_L}	図 2.34	88 (PCLKD = 64 M の場合) 112 (PCLKD = 48 M の場合)	—	ns	2.4
SCL クロック High 期間	t_{HIGH}	図 2.34	112 (PCLKD = 64 M の場合) 148 (PCLKD = 48 M の場合)	—	ns	—
	t_{DIG_H}	図 2.34	120 (PCLKD = 64 M の場合) 156 (PCLKD = 48 M の場合)	—	ns	2
スレーブ用データ出カクロック	t_{SCO}	図 2.39	—	42	ns	—
SCL クロック立ち上がり時間	t_{CR}	図 2.34	—	$150 * 1 / f_{SCL}$ (上限 60)	ns	—
SCL クロック立ち下がり時間	t_{CF}	図 2.34	—	$150 * 1 / f_{SCL}$ (上限 60)	ns	—
プッシュプルモードの SDA 信号データホールド	マスタ t_{HD_PP}	図 2.38	$t_{CR} + 3, t_{CF} + 3$	—	—	4
	スレーブ t_{HD_PP}	図 2.40	0	—	—	—
プッシュプルモードの SDA 信号データセットアップ	t_{SU_PP}	図 2.38	4	N/A	ns	—
		図 2.39				
繰り返しのスタート (Sr) 後クロック	t_{CASr}	図 2.41	t_{CASmin}	N/A	ns	—
繰り返しのスタート (Sr) 前クロック	t_{CBSr}	図 2.41	t_{CASmin}	N/A	ns	—
バスライン (SDA/SCL) ごとの容量性負荷	C_b	—	—	50	pF	—

- 注.
- $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$
 - t_{DIG_L} および t_{DIG_H} は VIL、VIH を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです ([図 2.34](#) 参照)。
 - 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。例えば、立ち下がりエッジクロックに対して $t_{CF} + 3$ 、立ち上がりエッジクロックに対して $t_{CR} + 3$ です。

図 2.34 t_{DIG_H} 、 t_{DIG_L}

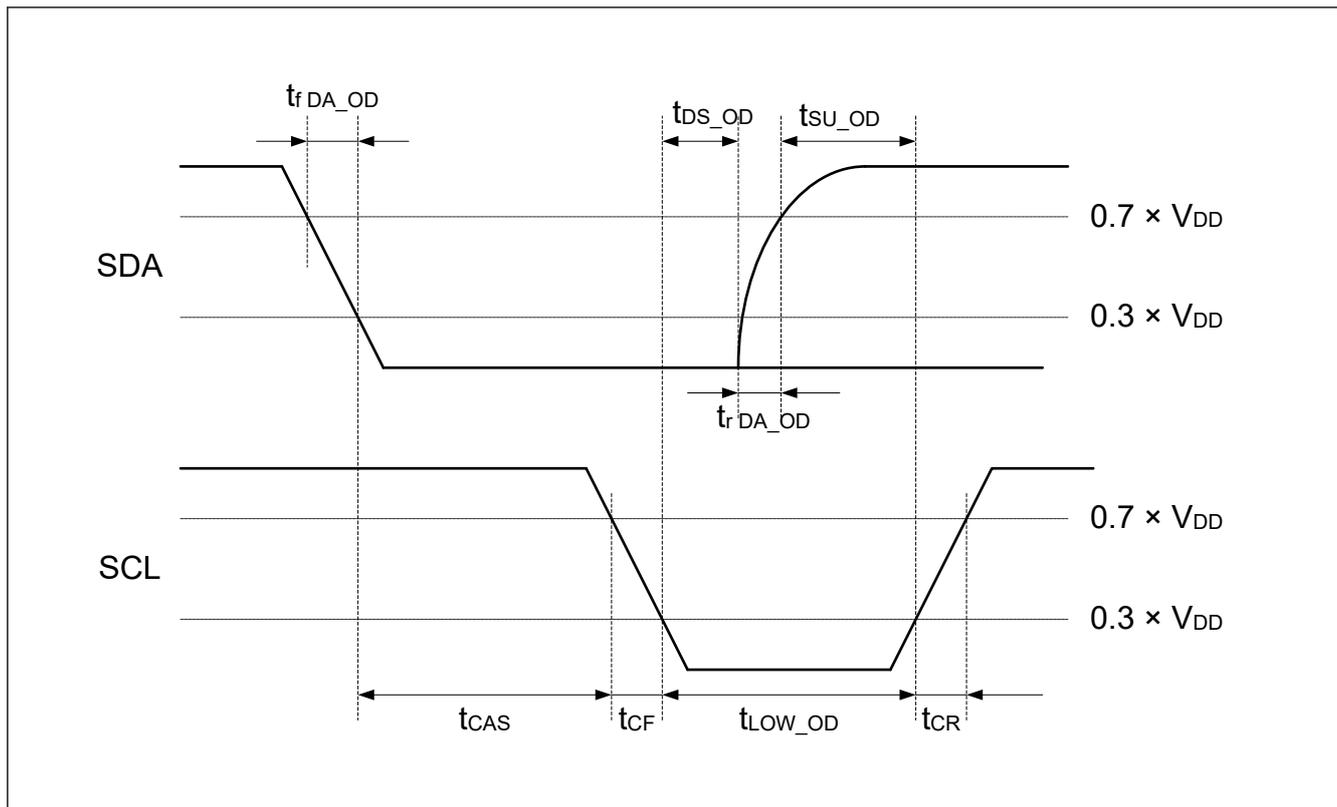


図 2.36 I3C スタートコンディションタイミング

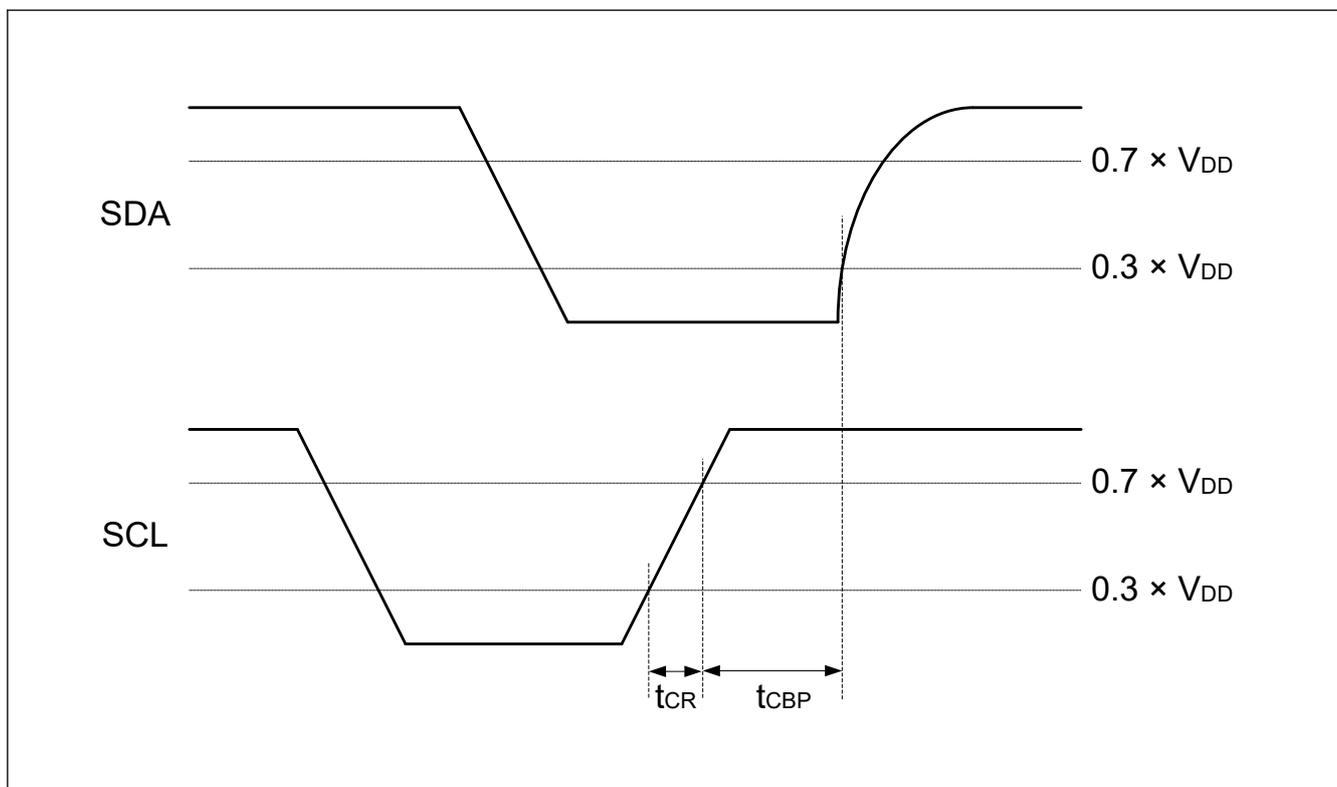


図 2.37 I3C ストップコンディションタイミング

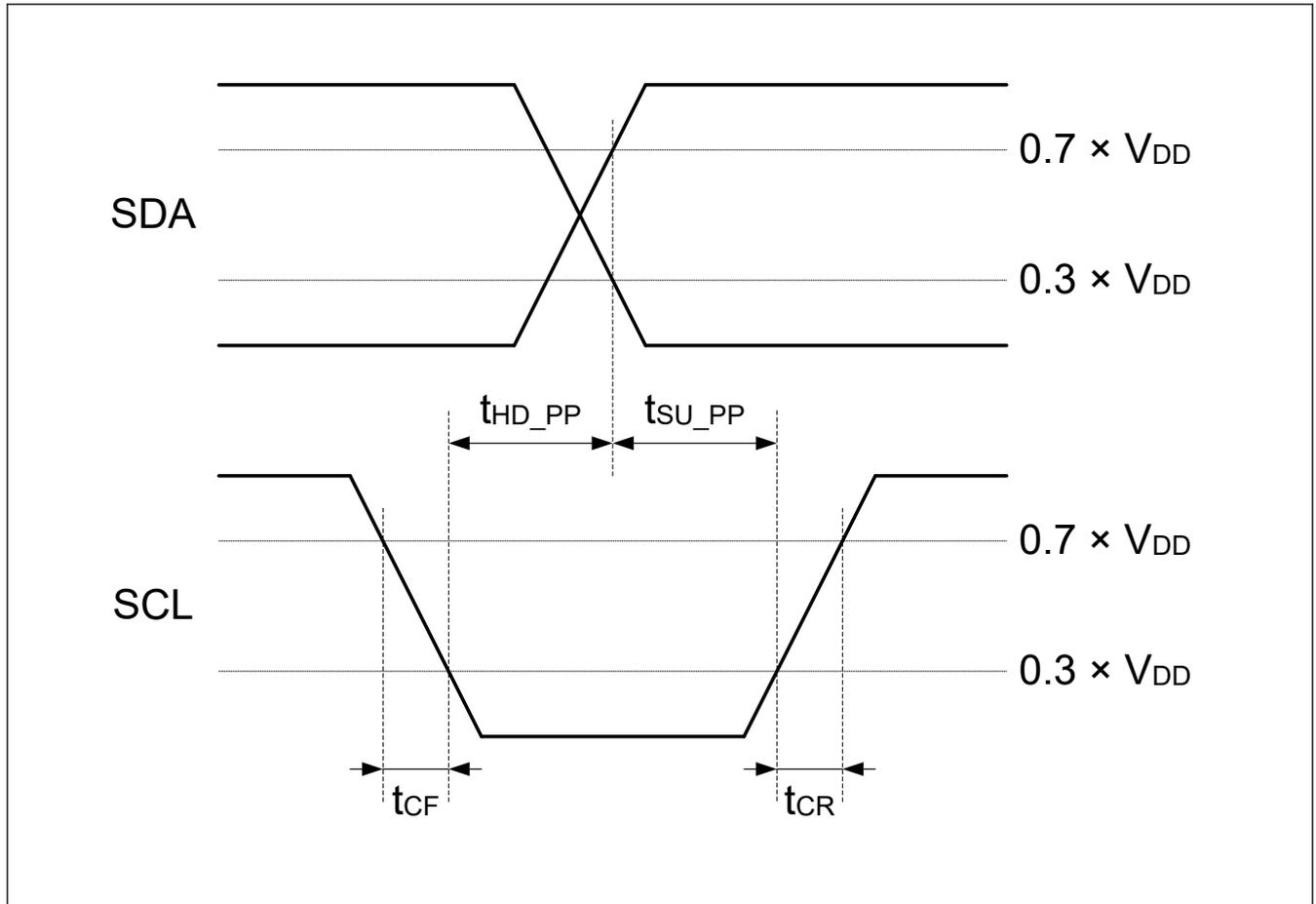


図 2.38 I3C マスタ出カタイミング

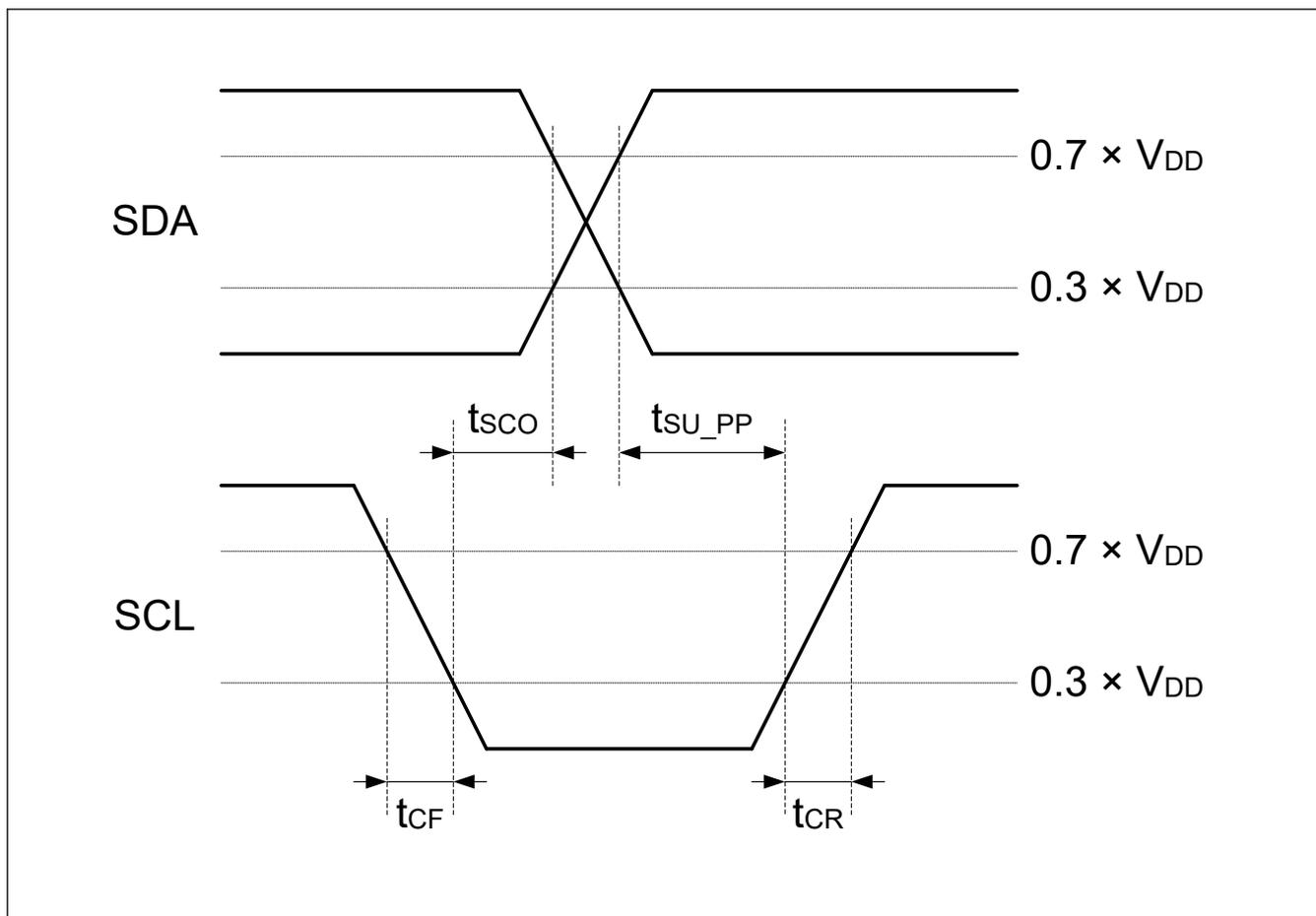


図 2.39 I3C スレーブ出力タイミング

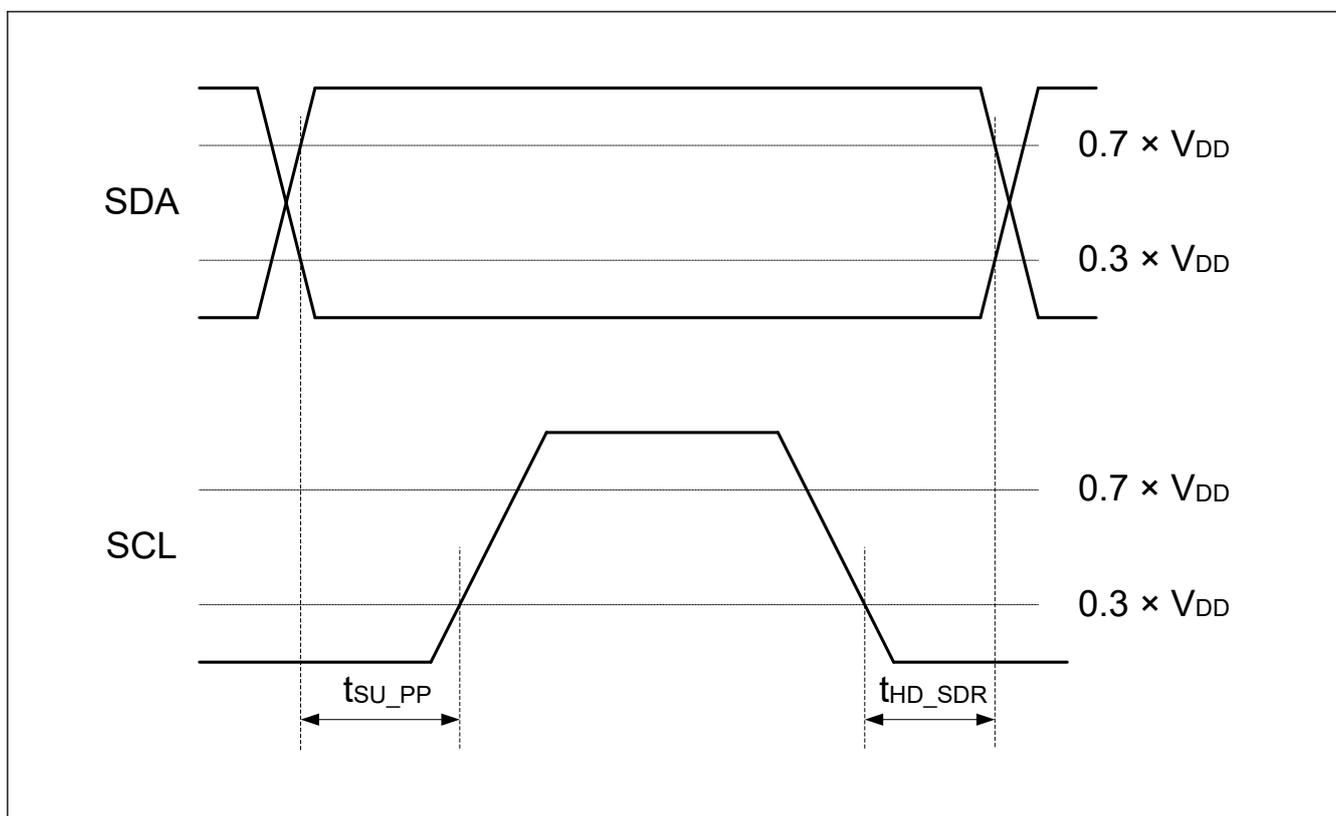


図 2.40 マスタ SDR タイミング

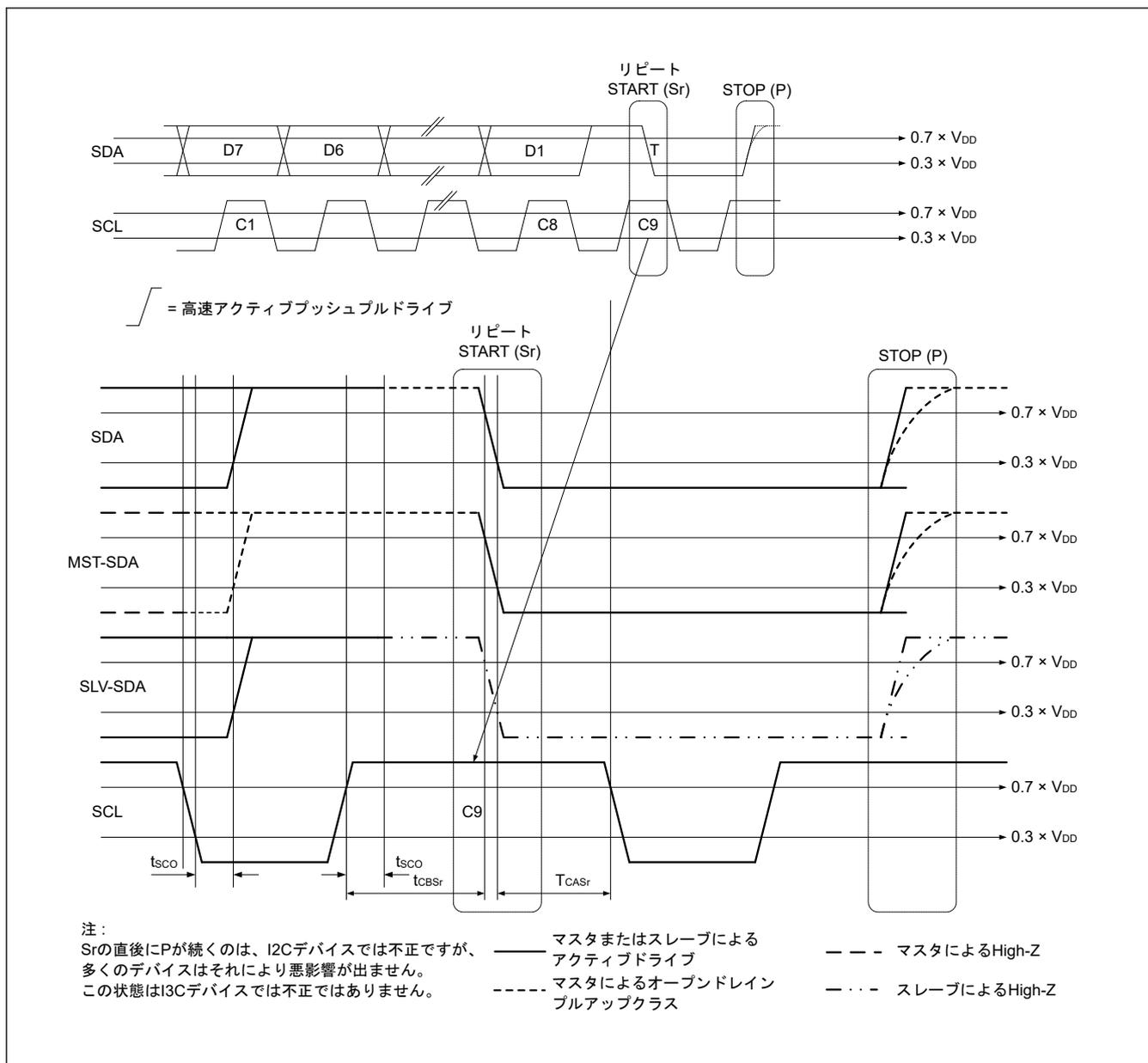


図 2.41 繰り返しスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

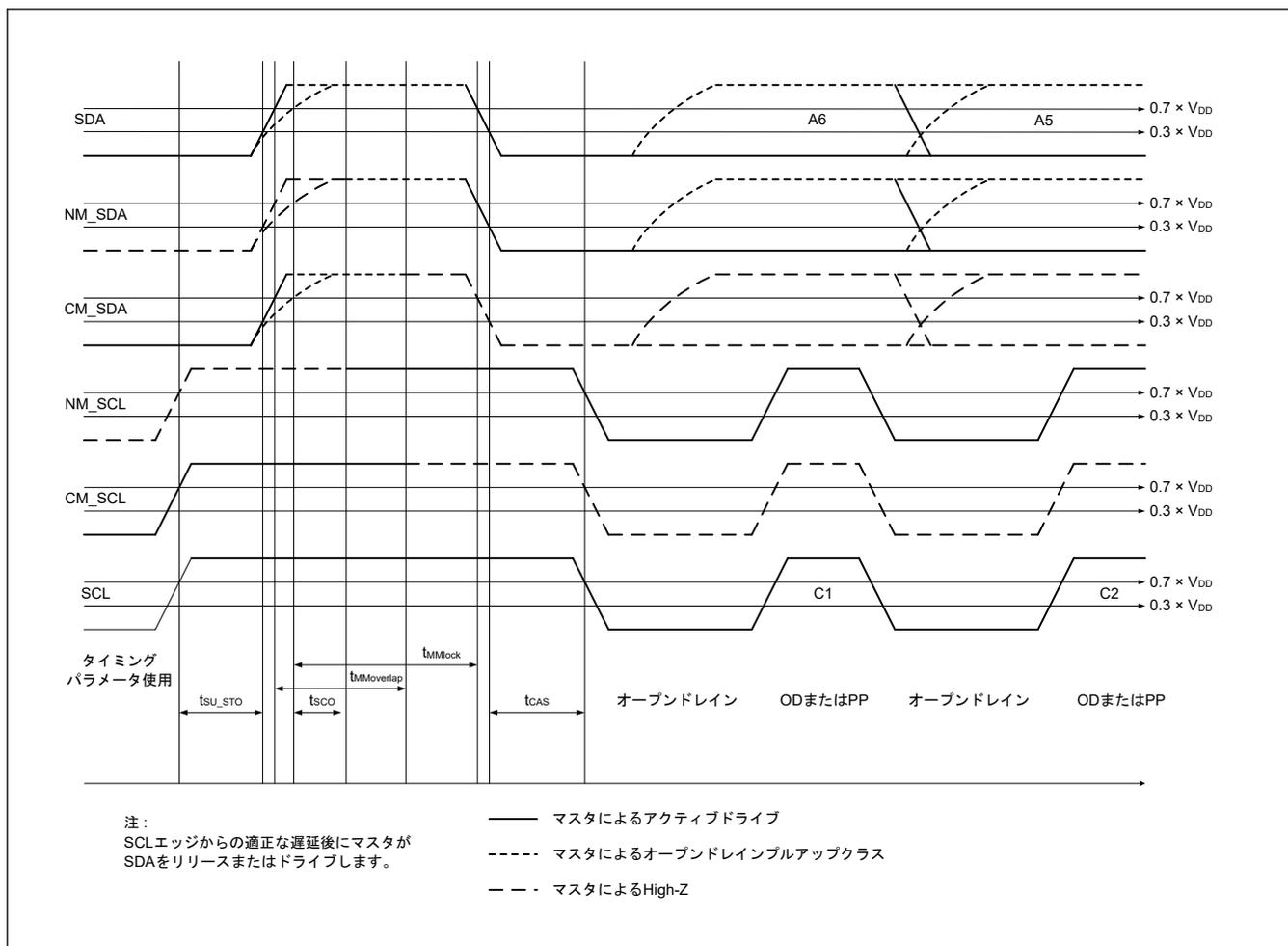


図 2.42 I3C タイミング

2.3.11 CLKOUT タイミング

表 2.38 CLKOUT タイミング

項目		シンボル	Min	Max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Cyc}	62.5	—	ns	図 2.43
		$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$	125	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	250	—			
	CLKOUT 端子 High レベルパルス幅(注1)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{CH}	15	—	ns	
		$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$	30	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	150	—			
	CLKOUT 端子 Low レベルパルス幅(注1)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{CL}	15	—	ns	
		$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$	30	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	150	—			
CLKOUT 端子出力立ち上がり時間	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Cr}	—	12	ns		
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	25				
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	50				
CLKOUT 端子出力立ち下がり時間	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{Cf}	—	12	ns		
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	25				
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	50				

注 1. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0]ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0]ビット = 001b) に設定してください。

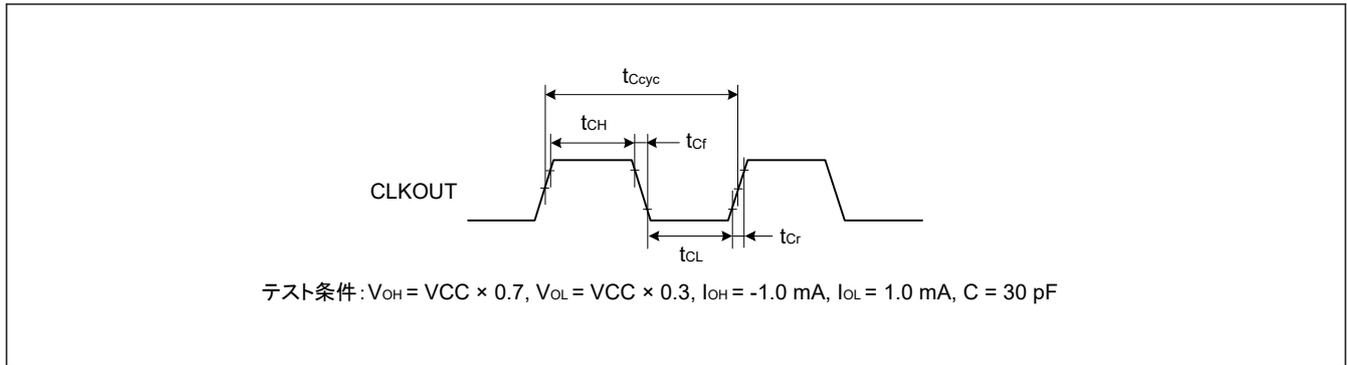


図 2.43 CLKOUT 出力タイミング

2.4 ADC12 特性

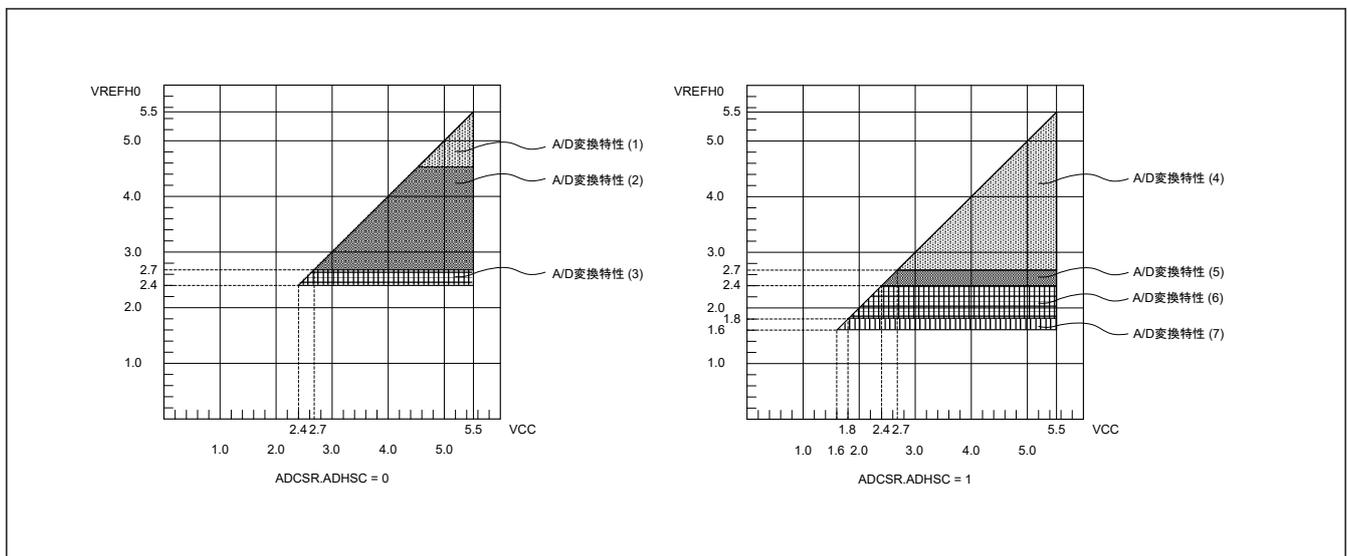


図 2.44 VCC~VREFH0 電圧範囲

表 2.39 高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件: $V_{CC} = V_{REFH0} = 4.5 \sim 5.5 \text{ V}$ (注5)、 $V_{SS} = V_{REFL0} = 0 \text{ V}$
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	64	MHz	ADACSR.ADSAC = 0
			48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	9(注3)	pF	高精度チャネル
			10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	1.3(注3)	kΩ	高精度チャネル
			5.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—

表 2.39 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件 : VCC = VREFH0 = 4.5~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 ^(注1) (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
		1.34 (0.852) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x36 ADACSR.ADSAC = 0
変換時間 ^(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5	LSB	高精度チャネル
				±6	LSB	指定以外
フルスケール誤差		—	±1.0	±5	LSB	高精度チャネル
				±6	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±5.5	LSB	高精度チャネル
				±8.5	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.40 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件 : VCC = VREFH0 = 2.7~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	48	MHz	—
アナログ入力容量 ^(注2)	Cs	—	—	9 ^(注3)	pF	高精度チャネル
		—	—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9 ^(注3)	kΩ	高精度チャネル
		—	—	6.0 ^(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—

表 2.40 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件 : VCC = VREFH0 = 2.7~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 ^(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差	—	—	±1.0	±6.5	LSB	高精度チャンネル
				±8	LSB	指定以外
フルスケール誤差	—	—	±1.0	±6.5	LSB	高精度チャンネル
				±8	LSB	指定以外
量子化誤差	—	—	±0.5	—	LSB	—
絶対精度	—	—	±2.5	±7	LSB	高精度チャンネル
				±10	LSB	指定以外
DNL 微分非直線性誤差	—	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.41 高速 A/D 変換モードにおける A/D 変換特性 (3) (1/2)

条件 : VCC = VREFH0 = 2.4~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min		Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	32	MHz	—
アナログ入力容量 ^(注2)	Cs	—	—	g ^(注3)	pF	高精度チャンネル
		—	—	10 ^(注3)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.2 ^(注3)	kΩ	高精度チャンネル
		—	—	7.0 ^(注3)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間 ^(注1) (PCLKD = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266) (注4)	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1

表 2.41 高速 A/D 変換モードにおける A/D 変換特性 (3) (2/2)

条件 : VCC = VREFH0 = 2.4~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min		Max	単位	測定条件
オフセット誤差	—	±1.0	±6.5	LSB	高精度チャネル
			±8	LSB	指定以外
フルスケール誤差	—	±1.0	±6.5	LSB	高精度チャネル
			±8	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.50	±7	LSB	高精度チャネル
			±10	LSB	指定以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.42 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (1/2)

条件 : VCC = VREFH0 = 2.7~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	24	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル	
			10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	1.g ^(注3)	kΩ	高精度チャネル	
			6 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKD = 24 MHz で動作時)	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854) ^(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
フルスケール誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	

表 2.42 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (2/2)

条件 : VCC = VREFH0 = 2.7~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
絶対精度	—	±3.25	±8	LSB	高精度チャネル
			±11	LSB	指定以外
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.43 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件 : VCC = VREFH0 = 2.4~5.5 V^(注5)、VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	16	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル	
			10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	2.2 ^(注3)	kΩ	高精度チャネル	
			7 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKD = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) ^(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) ^(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
フルスケール誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.25	±8	LSB	高精度チャネル	
			±11	LSB	指定以外	
DNL 微分非直線性誤差	—	±1.5	—	LSB	—	
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.44 低消費電力 A/D 変換モードにおける A/D 変換特性 (6)

条件：VCC = VREFH0 = 1.8~5.5 V^(注5), VSS = VREFL0 = 0 V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	8	MHz	—	
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル	
		—	10 ^(注3)	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	6 ^(注3)	kΩ	高精度チャネル	
		—	14 ^(注3)	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 ^(注1) (PCLKD = 8 MHz で動作時)	許容信号源 インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±8.5	LSB	高精度チャネル	
			±11	LSB	指定以外	
フルスケール誤差	—	±1.5	±8.5	LSB	高精度チャネル	
			±11	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.75	±10.5	LSB	高精度チャネル	
			±14.5	LSB	指定以外	
DNL 微分非直線性誤差	—	±2.0	—	LSB	—	
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.45 低消費電力 A/D 変換モードにおける A/D 変換特性 (7) (1/2)

条件：VCC = VREFH0 = 1.6~5.5 V^(注5), VSS = VREFL0 = 0 V

基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	4	MHz	—

表 2.45 低消費電力 A/D 変換モードにおける A/D 変換特性 (7) (2/2)

条件 : VCC = VREFH0 = 1.6~5.5 V^(注5), VSS = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力容量 ^(注2)	Cs	—	—	9 ^(注3)	pF	高精度チャネル
		—	—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	12 ^(注3)	kΩ	高精度チャネル
		—	—	28 ^(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間 ^(注1) (PCLKD = 4 MHz で動作時)	許容信号源 インピーダンス Max = 9.9 kΩ	9.5 (2.625) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±8.5	LSB	高精度チャネル
				±11	LSB	指定以外
フルスケール誤差		—	±1.5	±8.5	LSB	高精度チャネル
				±11	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±10.5	LSB	高精度チャネル
				±14.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ。

注 4. () 内の値は、サンプリング時間を意味します。

注 5. VREFH0 < VCC のとき、Max 値は次のとおりです。

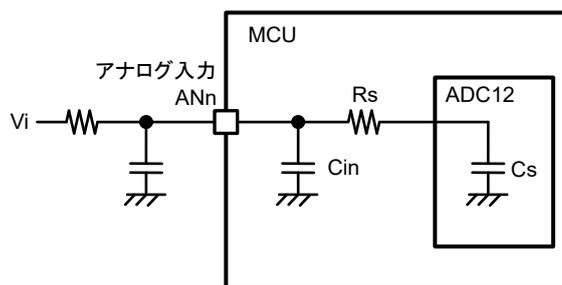
絶対精度/オフセット誤差/フルスケール誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 2.45 にアナログ入力の等価回路を示します。



注. この図に端子リーク電流は記載されていません。

図 2.45 アナログ入力の等価回路

表 2.46 12 ビット A/D コンバータチャネル分類

分類	チャネル	条件	注意点
高精度チャネル	AN005、AN006、AN009、AN010	VCC = 1.6~5.5 V	AN005、AN006、AN009、AN010 端子は、汎用 I/O、TS 送信に使用不可 (A/D コンバータが使用中の場合)
通常精度チャネル	AN019~AN022		
内部基準電圧入力チャネル	内部基準電圧	VCC = 1.8~5.5 V	—
温度センサ入力チャネル	温度センサ出力	VCC = 1.8~5.5 V	—

表 2.47 A/D 内部基準電圧特性

条件 : VCC = VREFH0 = 1.8~5.5 V^(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル ^(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数 ^(注3)	1	—	2	MHz	—
サンプリング時間 ^(注4)	5.0	—	—	μs	—

注 1. VCC < 1.8 V のとき、内部基準電圧を入力チャネルに選択することはできません。

注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。

注 3. 高電位基準電圧に内部基準電圧を選択した場合

注 4. 内部基準電圧の変換時

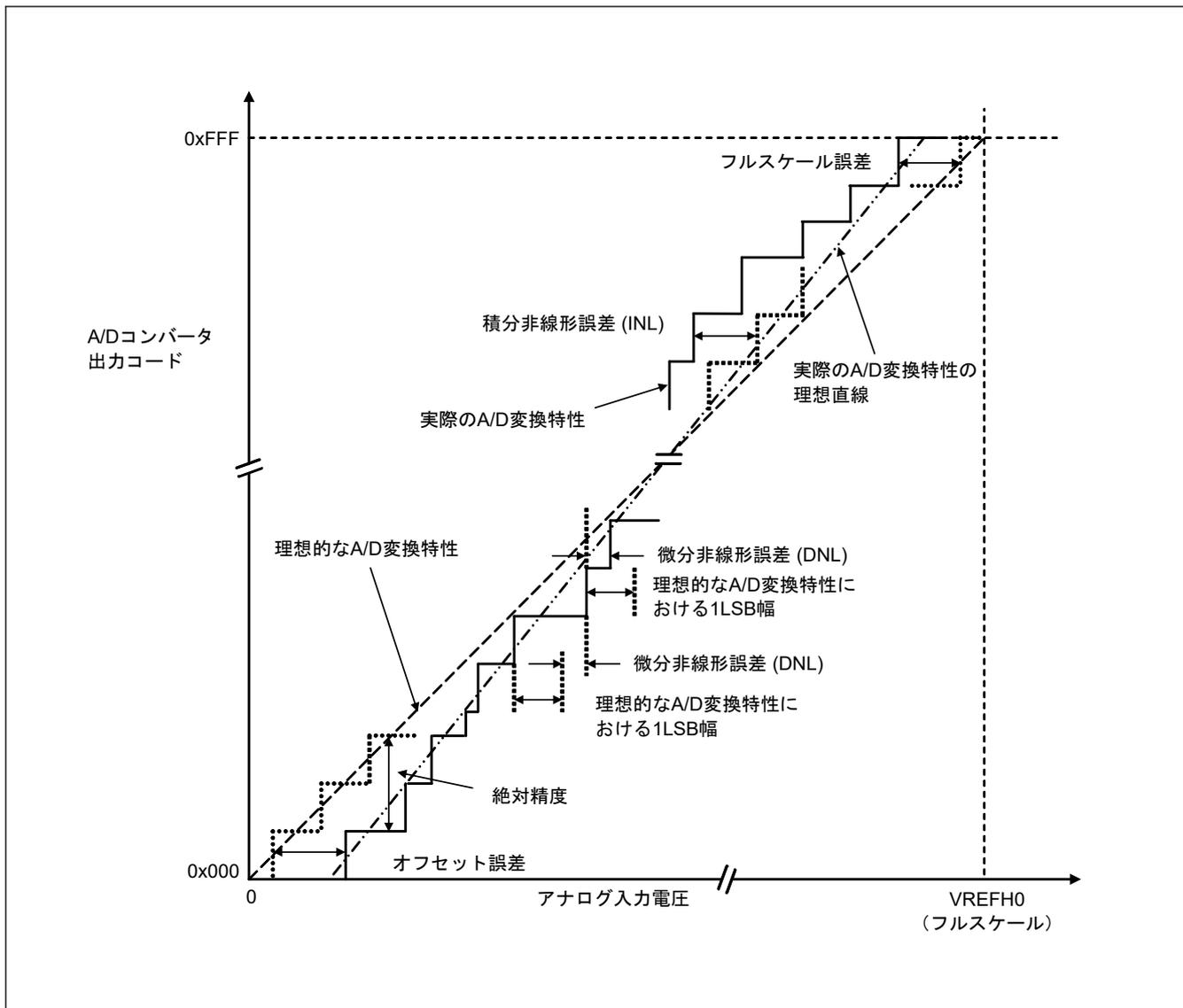


図 2.46 12ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072 \text{ V}$ の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV 、 0.75 mV 、 1.5 mV が使用されます。 $\pm 5 \text{ LSB}$ の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが $0x008$ であっても、実際の A/D 変換結果は $0x003 \sim 0x00D$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.5 TSN 特性

表 2.48 TSN 特性

条件: VCC = 1.8~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4 V 以上
		—	±2.0	—	°C	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/°C	—
出力電圧 (25°C)	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t _{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	—

2.6 POR/LVD 特性

表 2.49 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件						
電圧検出レベル (注1)	パワーオンリセット (POR)	電源上昇時	V _{POR}	1.47	1.51	1.55	V	図 2.47 図 2.48				
		電源下降時	V _{PDR}	1.46	1.50	1.54						
	電圧検出回路 (LVD0) ^(注2)	電源上昇時	V _{det0_0}	3.74	3.91	4.06	V	図 2.49 VCC 立ち下がリエッジ時				
			電源下降時		3.68	3.85			4.00			
		電源上昇時	V _{det0_1}	2.73	2.9	3.01						
			電源下降時		2.68	2.85			2.96			
		電源上昇時	V _{det0_2}	2.44	2.59	2.70						
			電源下降時		2.38	2.53			2.64			
		電源上昇時	V _{det0_3}	1.83	1.95	2.07						
			電源下降時		1.78	1.90			2.02			
		電源上昇時	V _{det0_4}	1.66	1.75	1.88						
			電源下降時		1.60	1.69			1.82			
		電圧検出レベル (注1)	電圧検出回路 (LVD1) ^(注3)	電源上昇時	V _{det1_0}	4.23			4.39	4.55	V	図 2.50 VCC 立ち下がリエッジ時
					電源下降時				4.13	4.29		
電源上昇時	V _{det1_1}			4.07	4.25	4.39						
	電源下降時				3.98	4.16	4.30					
電源上昇時	V _{det1_2}			3.97	4.14	4.29						
	電源下降時				3.86	4.03	4.18					
電源上昇時	V _{det1_3}			3.74	3.92	4.06						
	電源下降時				3.68	3.86	4.00					
電源上昇時	V _{det1_4}			3.05	3.17	3.29						
	電源下降時				2.98	3.10	3.22					
電源上昇時	V _{det1_5}			2.95	3.06	3.17						
	電源下降時				2.89	3.00	3.11					
電源上昇時	V _{det1_6}			2.86	2.97	3.08						
	電源下降時				2.79	2.90	3.01					
電源上昇時	V _{det1_7}			2.74	2.85	2.96						
	電源下降時				2.68	2.79	2.90					

表 2.49 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V _{det1_8}	2.63	2.75	2.85	V	図 2.50 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V _{det1_9}	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V _{det1_A}	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V _{det1_B}	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V _{det1_C}	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V _{det1_D}	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V _{det1_E}	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V _{det1_F}	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2)(注4)	電源上昇時	V _{det2_0}	4.20	4.40	4.57	V	図 2.51 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V _{det2_1}	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V _{det2_2}	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V _{det2_3}	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. V_{det0_#}の#は OFS1.VDSEL1[2:0]ビットの値を示しています。

注 3. V_{det1_#}の#は LVDLVL.R.LVD1LVL[4:0]ビットの値を示しています。

注 4. V_{det2_#}の#は LVDLVL.R.LVD2LVL[2:0]ビットの値を示しています。

表 2.50 パワーオンリセット回路、電圧検出回路の特性 (2) (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	t _{POR}	—	4.3	—	ms	—
	LVD0 : 無効	t _{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効(注1)	t _{LVD0,1,2}	—	1.4	—	ms	—
	LVD0 : 無効(注2)	t _{LVD1,2}	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		t _{det}	—	—	500	μs	図 2.47、 図 2.48
LVD0 応答遅延時間(注3)		t _{det}	—	—	500	μs	図 2.49
LVD1 応答遅延時間(注3)		t _{det}	—	—	350	μs	図 2.50
LVD2 応答遅延時間(注3)		t _{det}	—	—	600	μs	図 2.51
最小 VCC 低下時間		t _{VOFF}	500	—	—	μs	図 2.47、 VCC = 1.0 V 以上
パワーオンリセット有効時間		t _{W (POR)}	1	—	—	ms	図 2.48、 VCC = 1.0 V 未満

表 2.50 パワーオンリセット回路、電圧検出回路の特性 (2) (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
LVD1 動作安定時間 (LVD1 有効切り替え後)	$T_d(E-A)$	—	—	300	μs	図 2.50
LVD2 動作安定時間 (LVD2 有効切り替え後)	$T_d(E-A)$	—	—	1200	μs	図 2.51
ヒステリシス幅 (POR)	V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0、LVD1、LVD2)	V_{LVH}	—	60	—	mV	LVD0 選択時
		—	110	—		$V_{det1_0} \sim V_{det1_2}$ を選択
		—	70	—		$V_{det1_3} \sim V_{det1_9}$ を選択
		—	60	—		$V_{det1_A} \sim V_{det1_B}$ を選択
		—	50	—		$V_{det1_C} \sim V_{det1_F}$ を選択
		—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の最小値を下回っている時間です。

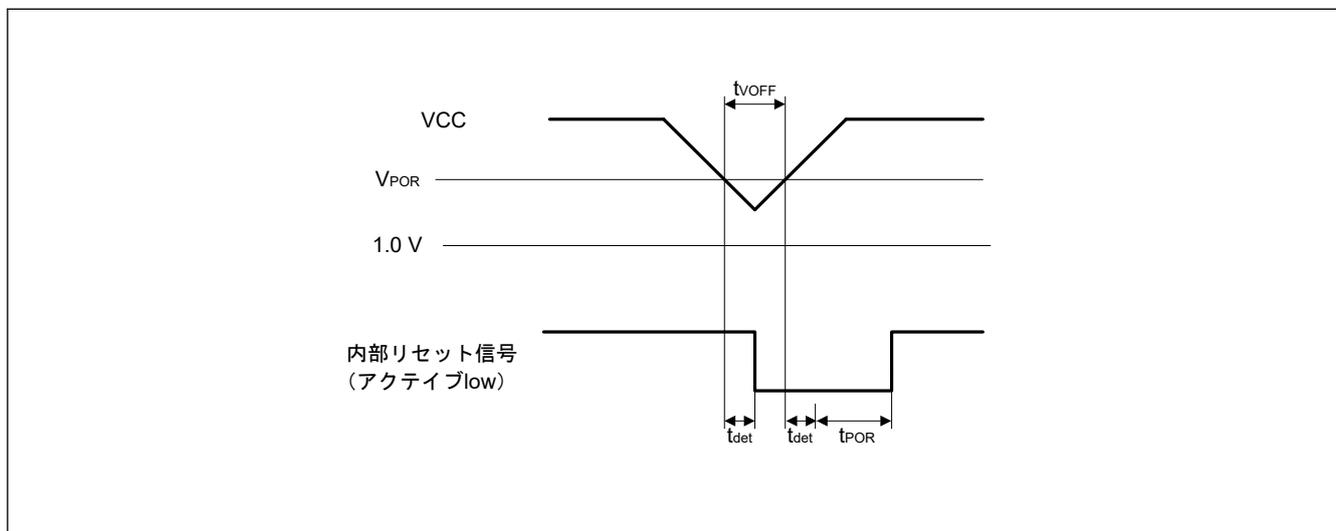
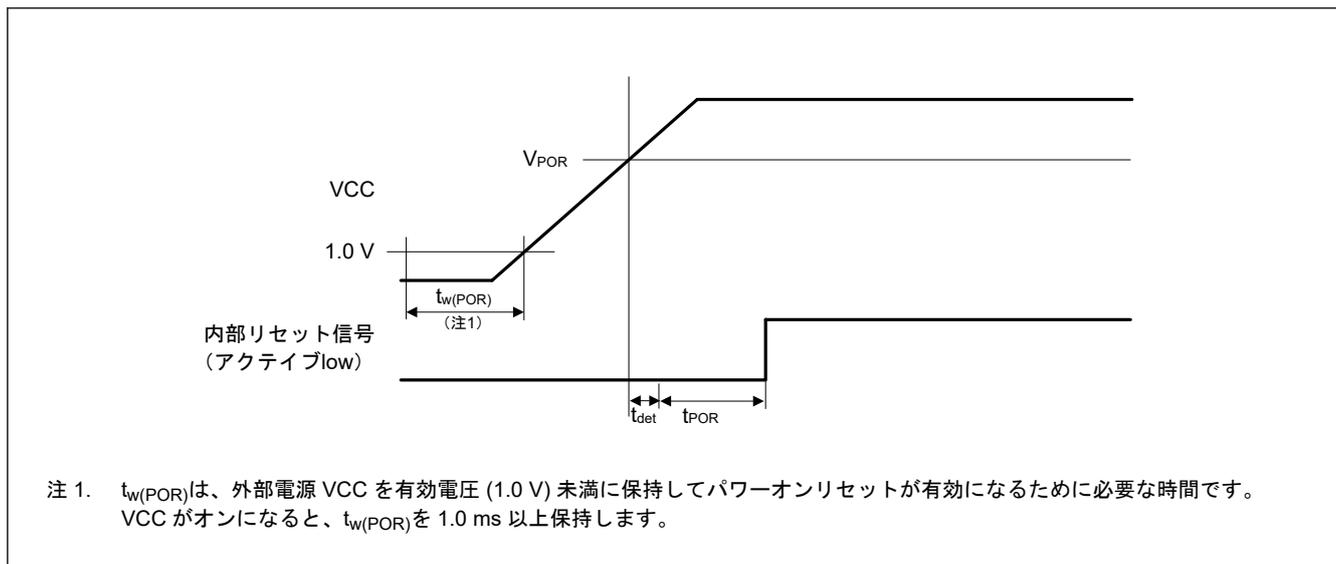


図 2.47 電圧検出しリセットタイミング



注 1. $t_w(POR)$ は、外部電源 VCC を有効電圧 (1.0 V) 未満に保持してパワーオンリセットが有効になるために必要な時間です。VCC がオンになると、 $t_w(POR)$ を 1.0 ms 以上保持します。

図 2.48 パワーオンリセットタイミング

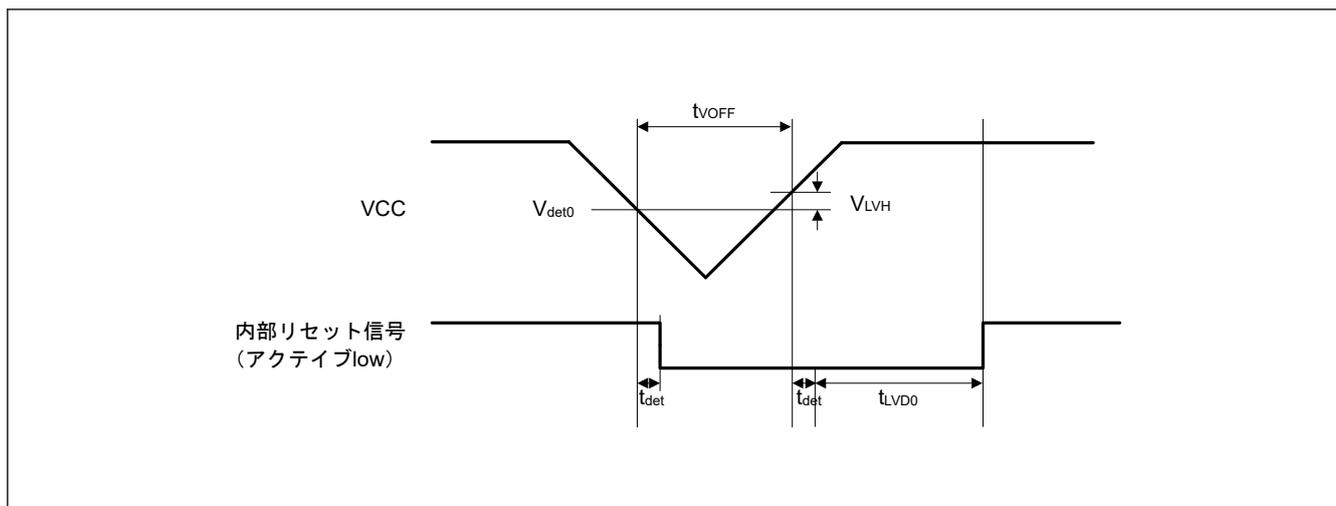


図 2.49 電圧検出回路タイミング (V_{det0})

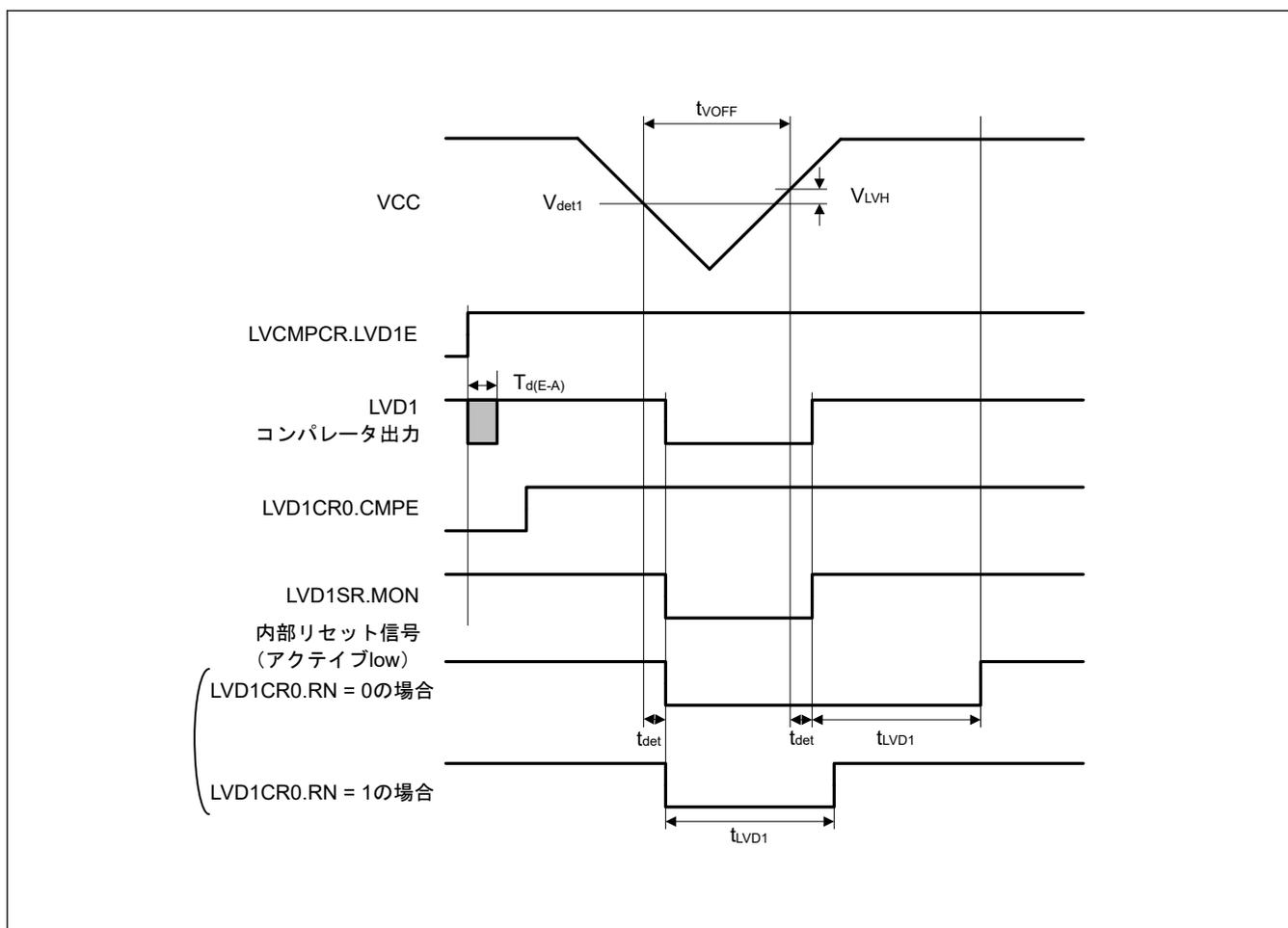


図 2.50 電圧検出回路タイミング (V_{det1})

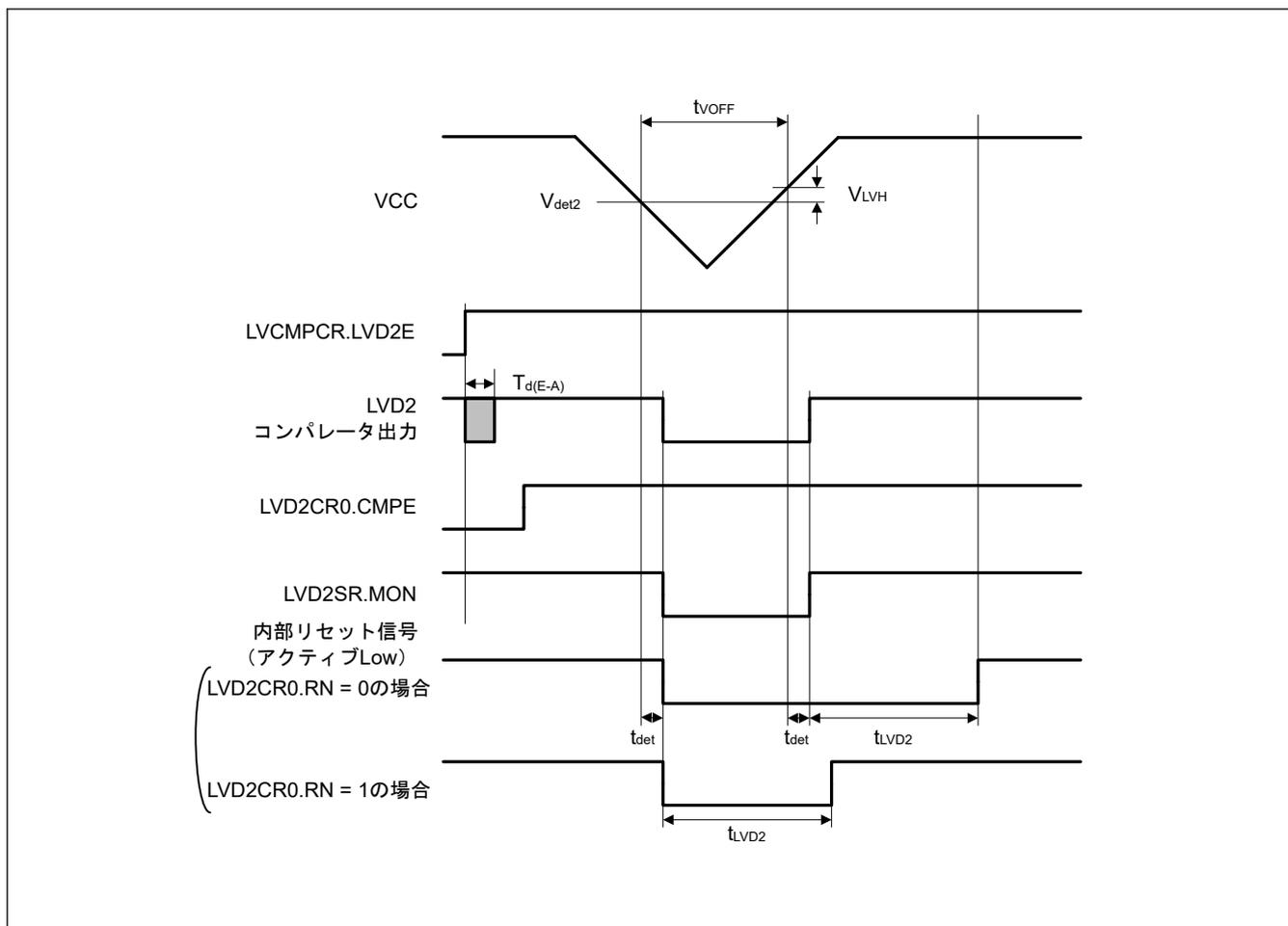


図 2.51 電圧検出回路タイミング (V_{det2})

2.7 フラッシュメモリ特性

2.7.1 コードフラッシュメモリ特性

表 2.51 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル(注1)	N_{PEC}	1000	—	—	回	—
データホール ド時間	1000 回の N_{PEC} の後	20(注2) (注3)	—	—	年	$T_a = +105^\circ\text{C}$
		10	—	—		$T_a = +125^\circ\text{C}$

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 ($n = 1,000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なる番地に 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. この結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 2.52 コードフラッシュ特性 (2) (1/2)

High-speed モード
条件 : $V_{CC} = 1.8 \sim 5.5 \text{ V}$

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t_{P4}	—	86	732	—	34	321	μs

表 2.52 コードフラッシュ特性 (2) (2/2)

High-speed モード
条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
イレース時間	2 KB	t _{E2K}	—	12.5	355	—	5.6	215	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	46.5	—	—	8.3	μs
	2 KB	t _{BC2K}	—	—	3681	—	—	240	μs
イレースサスペンド時間		t _{SED}	—	—	22.3	—	—	10.5	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	21.2	570	—	11.4	423	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。
 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
 注 1. 4 コマンドの合計時間です。

表 2.53 コードフラッシュ特性 (3)

Middle-speed 動作モード
条件: VCC = ~5.5 V、Ta = -40~+85°C

項目	シンボル	ICLK = 1 MHz			ICLK = MHz(注2)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t _{P4}	—	86	732	—	39	356	μs
イレース時間	2 KB	t _{E2K}	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	46.5	—	—	11.3	μs
	2 KB	t _{BC2K}	—	—	3681	—	—	534	μs
イレースサスペンド時間		t _{SED}	—	—	22.3	—	—	11.7	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	21.2	570	—	12.2	435	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

- 注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。
 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
 注 1. 4 コマンドの合計時間です。
 注 2. 1.8 V ≤ VCC ≤ 5.5 V の場合

表 2.54 コードフラッシュ特性 (4)

Low-speed 動作モード

条件: VCC = 1.6~5.5 V, Ta = -40~+85°C

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t _{P4}	—	86	732	—	57	502	μs
イレース時間	2 KB	t _{E2K}	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	46.5	—	—	23.3	μs
	2 KB	t _{BC2K}	—	—	3681	—	—	1841	μs
イレースサスペンド時間		t _{SED}	—	—	22.3	—	—	16.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	21.2	570	—	15.9	491	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

2.7.2 データフラッシュメモリ特性

表 2.55 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回	—	
データホールド時間	10000 回の N _{DPEC} の後	t _{DDRP}	20(注2) (注3)	—	—	年	Ta = +105°C
			10	—	—		Ta = +125°C
			5(注2) (注3)	—	—		Ta = +105°C
			—	1(注2) (注3)	—		Ta = +25°C
	100000 回の N _{DPEC} の後						
	1000000 回の N _{DPEC} の後						

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なる番地に 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. これらの結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 2.56 データフラッシュ特性 (2) (1/2)

High-speed モード

条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	45	404	—	34	321	μs
イレース時間	1 KB	t _{DE1K}	—	8.8	280	—	6.1	224	ms

表 2.56 データフラッシュ特性 (2) (2/2)

High-speed モード

条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	15.2	—	—	8.3	μs
	1 KB	t _{DBC1K}	—	—	1832	—	—	466	μs
イレース実行中のサスペンド時間		t _{DS_{ED}}	—	—	13.2	—	—	10.5	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	ns

注: ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注: フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注: フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.57 データフラッシュ特性 (3)

Middle-speed 動作モード

条件: VCC = 1.8~5.5 V、Ta = -40~+85°C

項目	シンボル	ICLK = MHz			ICLK = MHz(注1)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	45	404	—	39	356	μs
イレース時間	1 KB	t _{DE1K}	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	15.2	—	—	11.3	μs
	1 KB	t _{DBC1K}	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間		t _{DS_{ED}}	—	—	13.2	—	—	11.7	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	ns

注: ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注: フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注: フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC ≤ 5.5 V のとき

表 2.58 データフラッシュ特性 (4)

Low-speed 動作モード

条件: VCC = 1.6~5.5 V、Ta = -40~+85°C

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t _{DP1}	—	86	732	—	57	502	μs
イレース時間	1 KB	t _{DE1K}	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	46.5	—	—	23.3	μs
	1 KB	t _{DBC1K}	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間		t _{DS_{ED}}	—	—	22.3	—	—	16.2	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	ns

注: ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注: フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注: フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.8 シリアルワイヤデバッグ (SWD)

表 2.59 SWD 特性 (1)

条件 : VCC = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t_{SWCKcyc}	80	—	—	ns	図 2.52
SWCLK クロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	16	—	—	ns	図 2.53
SWDIO ホールド時間	t_{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	70	ns	

表 2.60 SWD 特性 (2)

条件 : VCC = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t_{SWCKcyc}	250	—	—	ns	図 2.52
SWCLK クロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	50	—	—	ns	図 2.53
SWDIO ホールド時間	t_{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	170	ns	

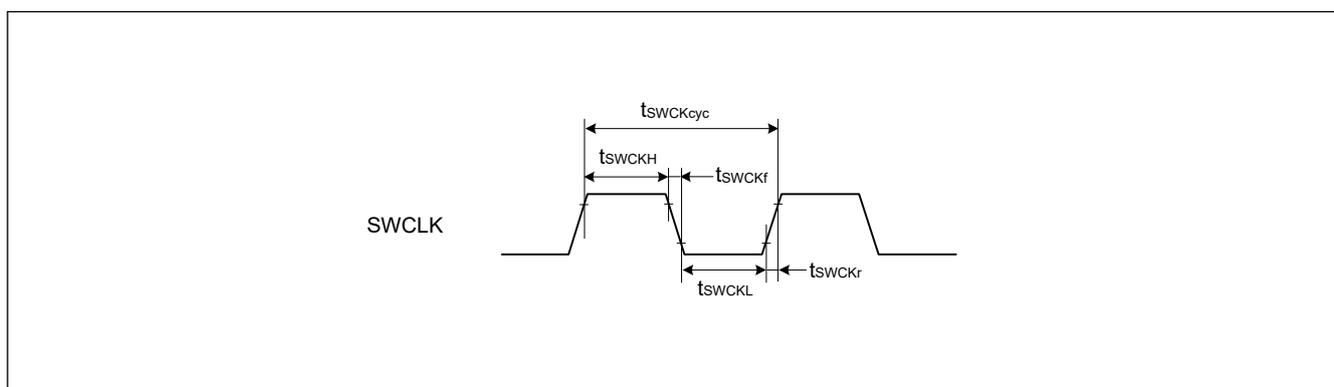


図 2.52 SWD SWCLK タイミング

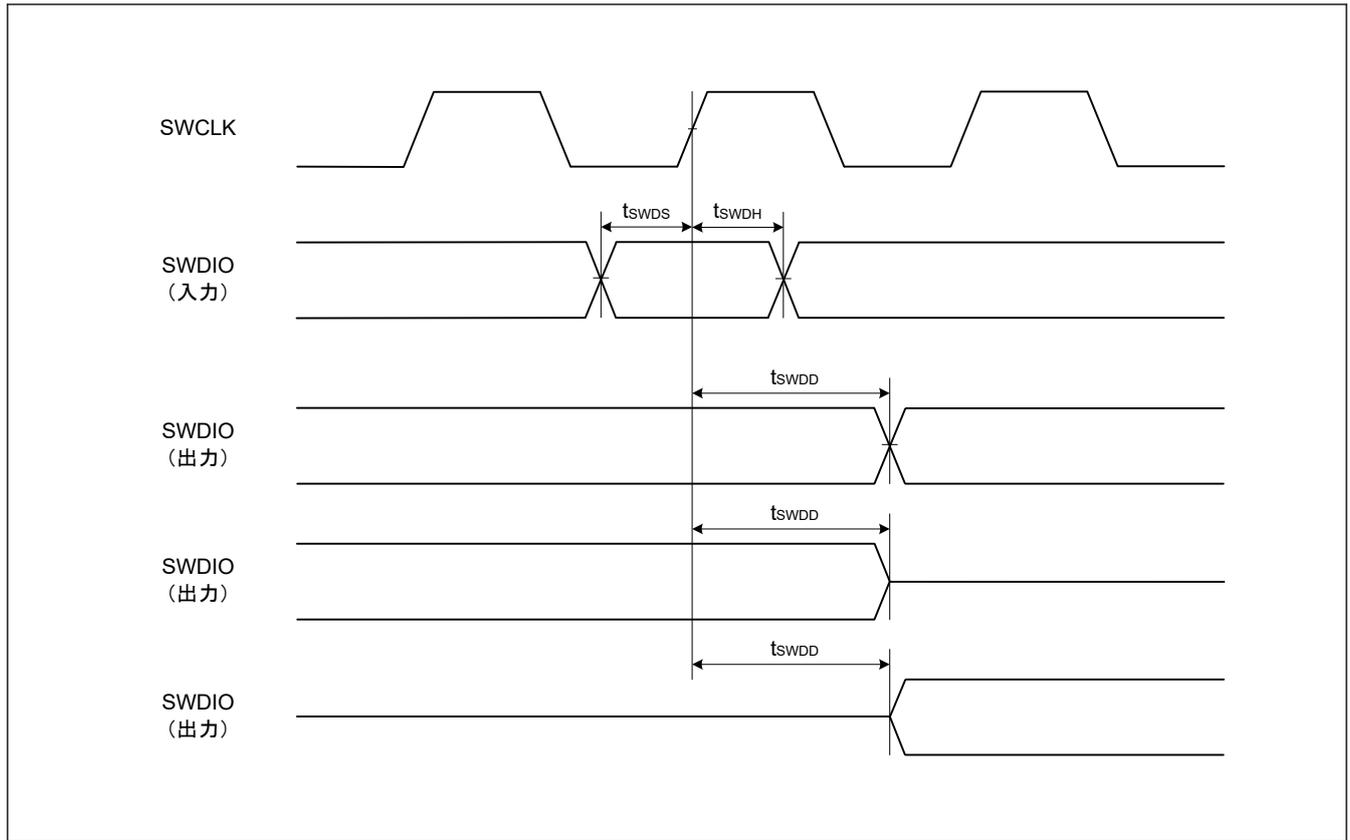


図 2.53 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P010/AN005	Hi-Z	Keep-O
P011/AN006	Hi-Z	Keep-O
P014/AN009	Hi-Z	Keep-O
P015/AN010/IRQ7_A	Hi-Z	Keep-O(注1)
P100/AN022/AGTIO0_A/GTETRGA_A/ GTIOC8B_A/RXD9_E/MISO9_E/SCL9_E/ SCK9_E/MISOA_A/KRM00/IRQ2_A	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力(注2) [上記以外] Keep-O(注1)
P101/AN021/AGTEE0/GTETRGA_A/ GTIOC8A_A/TXD9_E/MOSI9_E/SDA9_E/ CTS9_RTS9_G/SS9_G/MOSIA_A/KRM01/ IRQ1_A	Hi-Z	Keep-O(注1)
P102/AN020/ADTRG0_A/AGTO0/ GTOWLO_A/GTIOC5B_A/SCK9_C/ TXD9_G/MOSI9_G/SDA9_G/RSPCKA_A/ KRM02/IRQ4_C	Hi-Z	[AGTO0 選択] AGTO0 出力(注2) [上記以外] Keep-O(注1)
P103/AN019/AGTOB0_B/GTOWUP_A/ GTIOC5A_A/CTS9_RTS9_E/SS9_E/ RXD9_I/MISO9_I/SCL9_I/SSLA0_A/KRM03/ IRQ6_C	Hi-Z	Keep-O(注1)
P108/SWDIO/AGTOA1_B/GTOULO_C/ GTIOC7B_C/TXD9_H/MOSI9_H/SDA9_H/ CTS9_RTS9_B/SS9_B/MOSIA_C/IRA5_C	プルアップ	Keep-O
P109/AGTO1_A/GTOVUP_C/GTIOC4A_A/ SCK9_F/TXD9_B/MOSI9_B/SDA9_B/ MISOA_C/KRM01_B/IRQ7_C/CLKOUT_B	Hi-Z	[CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O
P110/AGTOA0_A/GTOVLO_A/GTIOC4B_A/ CTS9_RTS9_H/SS9_H/RXD9_B/MISO9_B/ SCL9_B/SSLA0_C/KRM00_B/IRQ3_A	Hi-Z	Keep-O(注1)
P111/AGTOA0/GTIOC6A_A/RXD9_G/ MISO9_G/SCL9_G/SCK9_B/KRM03_B/ IRQ4_A	Hi-Z	[AGTOA0 選択] AGTOA0 出力(注2) [上記以外] Keep-O(注1)
P112/AGTOB0/GTIOC6B_A/TXD9_J/ MOSI9_J/SDA9_J/CTS9_RTS9_I/SS9_I/ KRM02_B/IRQ1_C	Hi-Z	[AGTOB0 選択] AGTOB0 出力(注2) [上記以外] Keep-O
P200/NMI	Hi-Z	Hi-Z
P201/MD	プルアップ	Keep-O
P205/AGTO1/TXD9_I/MOSI9_I/SDA9_I/ CTS9_RTS9_A/SS9_A/KRM01_A/IRQ1/ CLKOUT_A	Hi-Z	[AGTO1 選択] AGTO1 出力(注2) [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O(注1)
P300/SWCLK/AGTOB1_A/GTOUUP_C/ GTIOC7A_C/RXD9_H/MISO9_H/SCL9_H/ SCK9_G/RSPCKA_C/IRQ0_C	プルアップ	Keep-O

表 1.1 各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P400/CACREF_C/AGTIO1_C/GTIOC9A_A/ SCK9_D/TXD9_F/MOSI9_F/SDA9_F/ SCL0_A/KRM02_A/IRQ0_A	Hi-Z	[AGTIO1_C 出力選択] AGTIO1_C 出力(注2) [上記以外] Keep-O(注1)
P401/AGTEE1_A/GTETRGA_B/ GTIOC9B_A/CTS9_RTS9_F/SS9_F/ RXD9_F/MISO9_F/SCL9_F/SDA0_A/IRQ5/ KRM03_A	Hi-Z	Keep-O(注1)
P914/AGTOA1_A/GTETRGA_B/RXD9_J/ MISO9_J/SCL9_J/SCK9_H/KRM00_A/ IRQ2_C	Hi-Z	[AGTOA1 選択] AGTOA1 出力(注2) [上記以外] Keep-O(注1)

注. Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

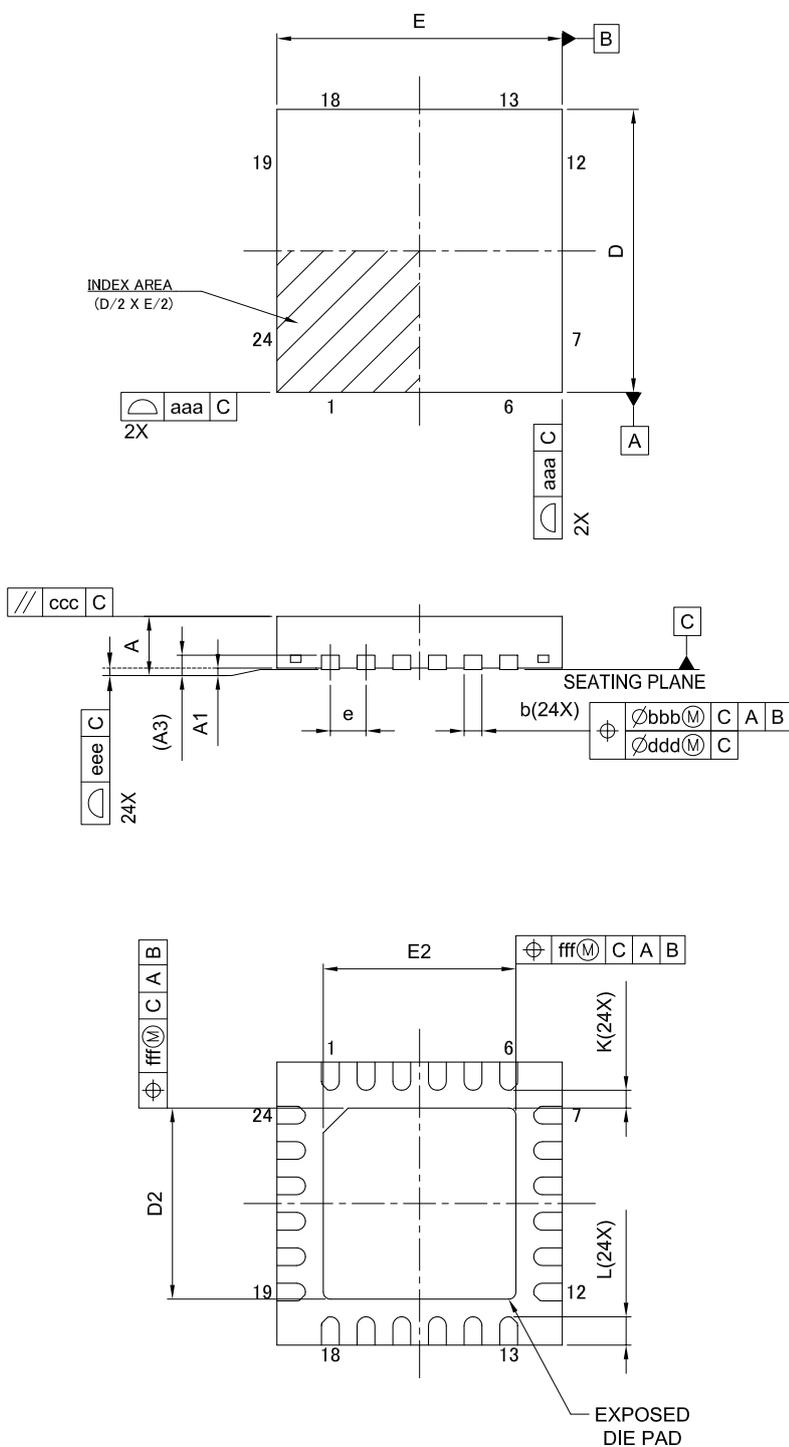
注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

注 2. LOCO がカウントソースとして選択されている間、AGTIO 出力が許可されます。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

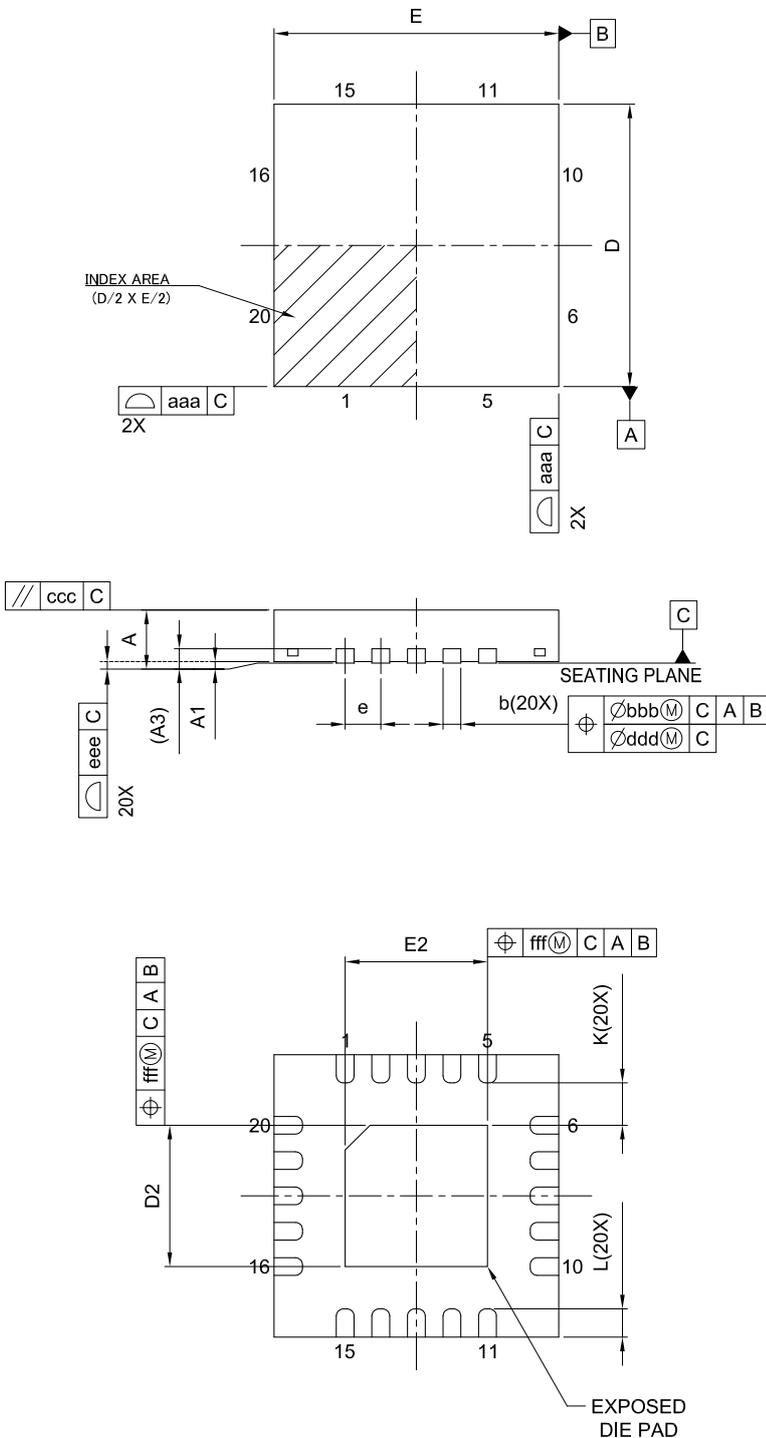
JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWFQFN24-4 × 4-0.50	PWQN0024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	2.65	2.70	2.75
E ₂	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.1 HWQFN 24 ピン

JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWFQFN20-4 × 4-0.50	PWQN0020KC-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	1.95	2.00	2.05
E ₂	1.95	2.00	2.05
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.2 HWQFN 20 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MPU	メモリプロテクションユニット	0x4000_0000
SRAM	SRAM 制御	0x4000_2000
バス	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CPU_DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT9	ポート 9 コントロールレジスタ	0x4004_0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール B、C、D	0x4004_7000
I3C	I3C バスインタフェース	0x4008_3000
DOC	データ演算回路	0x4005_4100
ADC12	12 ビット A/D コンバータ	0x4005_C000
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	CRC 演算器	0x4007_4000
GPT164	汎用 PWM タイマ 4 (16 ビット)	0x4007_8400
GPT165	汎用 PWM タイマ 5 (16 ビット)	0x4007_8500
GPT166	汎用 PWM タイマ 6 (16 ビット)	0x4007_8600
GPT167	汎用 PWM タイマ 7 (16 ビット)	0x4007_8700
GPT168	汎用 PWM タイマ 8 (16 ビット)	0x4007_8800
GPT169	汎用 PWM タイマ 9 (16 ビット)	0x4007_8900
GPT_OPS	出力相切り替えコントローラ	0x4007_8FF0
KINT	キー割り込み機能	0x4008_0000
AGTW0	低消費電力非同期汎用タイマ W0	0x4008_4000

表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
AGTW1	低消費電力非同期汎用タイマ W1	0x4008_4100
FLCN	フラッシュ I/O レジスタ	0x407E_C000

注. 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
			読み出し	書き込み	読み出し	書き込み		
MPU, SRAM, BUS, DTC, ICU, CPU_DBG	0x4000_2000	0x4001_BFFF	3				ICLK	メモリプロテクションユニット、SRAM、バス、データ転送ファクトローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
PORTn, PFS, ELC, POEG, WDT, IWDT, CAC, MSTP	0x4004_0000	0x4004_7FFF	3		2~3		PCLKB	I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトブットイネーブル、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
I3C, DOC, ADC12	0x4005_0000	0x4005_EFFF	3		2~3		PCLKB	I3C バスインタフェース、データ演算回路、12 ビット A/D コンバータ
SCIn (n = 9)	0x4007_0000	0x4007_0EFF	5		2~3		PCLKB	シリアルコミュニケーションインタフェース

表 3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
			読み出し	書き込み	読み出し	書き込み		
SPIn (n = 0)(注2)	0x4007_2000	0x4007_2FFF	5		2~3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2~3		PCLKB	CRC 演算器
GPT16n (n = 4~9), GPT_OPS	0x4007_8000	0x4007_BFFF	表 3.3 を参照してください。				PCLKB	汎用 PWM タイマ
KINT	0x4008_0000	0x4008_2FFF	3		2~3		PCLKB	キー割り込み機能、静電容量式センシングユニット 2
AGTWn	0x4008_4000	0x4008_4FFF	3		2~3		PCLKB	低消費電力非同期汎用タイマ
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、静電容量式センシングユニット 2、フラッシュ制御

注 1. PCLK サイクル数が整数ではない (たとえば 1.5) 場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。(たとえば、1.5~2.5 は 1~3)

注 2. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) にアクセスを行う場合は、表 3.2 に記載のアクセスサイクルとなります。

表 3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5~6	3~4	PCLKB
ICLK > PCLKD > PCLKB	3~4	2~3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2~3	1~2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2~3	1~2	PCLKB

3.3 レジスタの説明

本項では、本マニュアルに記載のレジスタに関する情報を示します。

表 3.4 に各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 3.4 レジスタの説明 (1/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MPU	-	-	-	MMPUCTLA	バスマスタ MPU コントロールレジスタ	0x000	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MMPUPTA	グループ A レジスタの保護	0x102	16	R/W	0x0000	0xFFFF
MPU	4	0x010	0~3	MMPUACA%s	グループ A 領域%s アクセスコントロールレジスタ	0x200	16	R/W	0x0000	0xFFFF
MPU	4	0x010	0~3	MMPUSA%s	グループ A 領域%s 開始アドレスレジスタ	0x204	32	R/W	0x00000000	0x00000003
MPU	4	0x010	0~3	MMPUEA%s	グループ A 領域%s 終了アドレスレジスタ	0x208	32	R/W	0x00000003	0x00000003
MPU	-	-	-	SMPUCTL	スレーブ MPU コントロールレジスタ	0xC00	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUMBIU	メモリバス 1 アクセスコントロールレジスタ	0xC10	16	R/W	0x0000	0xFFFF

表 3.4 レジスタの説明 (2/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MPU	-	-	-	SMPUFBIU	内部周辺バス 9 アクセスコントロールレジスタ	0xC14	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUSRAM0	メモリバス 4 アクセスコントロールレジスタ	0xC18	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP0BIU	内部周辺バス 1 アクセスコントロールレジスタ	0xC20	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP2BIU	内部周辺バス 3 アクセスコントロールレジスタ	0xC24	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP6BIU	内部周辺バス 7 アクセスコントロールレジスタ	0xC28	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUOAD	スタックポインタモニタ検出後動作レジスタ	0xD00	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUCTL	スタックポインタモニタアクセスコントロールレジスタ	0xD04	16	R/W	0x0000	0xFEFF
MPU	-	-	-	MSPMPUPT	スタックポインタモニタ保護レジスタ	0xD06	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUSA	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ	0xD08	32	R/W	0x00000000	0x00000000
MPU	-	-	-	MSPMPUEA	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ	0xD0C	32	R/W	0x00000000	0x00000000
MPU	-	-	-	PSPMPUOAD	スタックポインタモニタ検出後動作レジスタ	0xD10	16	R/W	0x0000	0xFFFF
MPU	-	-	-	PSPMPUCTL	スタックポインタモニタアクセスコントロールレジスタ	0xD14	16	R/W	0x0000	0xFEFF
MPU	-	-	-	PSPMPUPT	スタックポインタモニタ保護レジスタ	0xD16	16	R/W	0x0000	0xFFFF
MPU	-	-	-	PSPMPUSA	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ	0xD18	32	R/W	0x00000000	0x00000000
MPU	-	-	-	PSPMPUEA	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ	0xD1C	32	R/W	0x00000000	0x00000000
SRAM	-	-	-	PARIOAD	SRAM パリティエラー検出後動作レジスタ	0x00	8	R/W	0x00	0xFF
SRAM	-	-	-	SRAMPRCR	SRAM プロテクトレジスタ	0x04	8	R/W	0x00	0xFF
バス	-	-	-	BUSMCNTSYS	マスタバスコントロールレジスタ SYS	0x1008	16	R/W	0x0000	0xFFFF
バス	-	-	-	BUSMCNTDMA	マスタバスコントロールレジスタ DMA	0x100C	16	R/W	0x0000	0xFFFF
バス	-	-	-	BUS3ERRADD	バスエラーアドレスレジスタ 3	0x1820	32	R	0x00000000	0x00000000
バス	-	-	-	BUS3ERRSTAT	バスエラーステータスレジスタ 3	0x1824	8	R	0x00	0xFE
バス	-	-	-	BUS4ERRADD	バスエラーアドレスレジスタ 4	0x1830	32	R	0x00000000	0x00000000
バス	-	-	-	BUS4ERRSTAT	バスエラーステータスレジスタ 4	0x1834	8	R	0x00	0xFE
DTC	-	-	-	DTCCR	DTC コントロールレジスタ	0x00	8	R/W	0x08	0xFF
DTC	-	-	-	DTCVBR	DTC ベクタベースレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
DTC	-	-	-	DTCST	DTC モジュール起動レジスタ	0x0C	8	R/W	0x00	0xFF
DTC	-	-	-	DTCSTS	DTC ステータスレジスタ	0x0E	16	R	0x0000	0xFFFF
ICU	8	0x1	0~7	IRQCR%s	IRQ コントロールレジスタ	0x000	8	R/W	0x00	0xFF
ICU	-	-	-	NMICR	NMI 端子割り込みコントロールレジスタ	0x100	8	R/W	0x00	0xFF
ICU	-	-	-	NMIER	ノンマスカブル割り込みイネーブルレジスタ	0x120	16	R/W	0x0000	0xFFFF
ICU	-	-	-	NMICLR	ノンマスカブル割り込みステータスクリアレジスタ	0x130	16	R/W	0x0000	0xFFFF
ICU	-	-	-	NMISR	ノンマスカブル割り込みステータスレジスタ	0x140	16	R	0x0000	0xFFFF
ICU	-	-	-	WUPEN	ウェイクアップ割り込みイネーブルレジスタ	0x1A0	32	R/W	0x00000000	0xFFFFFFFF
ICU	-	-	-	IELEN	ICU イベントイネーブルレジスタ	0x1C0	8	R/W	0x00	0xFF

表 3.4 レジスタの説明 (3/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ICU	-	-	-	SELSR0	SYS イベントリンク設定レジスタ	0x200	16	R/W	0x0000	0xFFFF
ICU	32	0x4	0~31	IELSR%s	ICU イベントリンク設定レジスタ%s	0x300	32	R/W	0x00000000	0xFFFFFFFF
CPU_DBG	-	-	-	DBGSTR	デバッグステータスレジスタ	0x00	32	R	0x00000000	0xFFFFFFFF
CPU_DBG	-	-	-	DBGSTOPCR	デバッグストップコントロールレジスタ	0x10	32	R/W	0x00000003	0xFFFFFFFF
SYSC	-	-	-	SBYCR	スタンバイコントロールレジスタ	0x00C	16	R/W	0x0000	0xFFFF
SYSC	-	-	-	MSTPCRA	モジュールストップコントロールレジスタ A	0x01C	32	R/W	0xFFBFFFFF	0xFFFFFFFF
SYSC	-	-	-	SCKDIVCR	システムクロック分周コントロールレジスタ	0x020	32	R/W	0x04000404	0xFFFFFFFF
SYSC	-	-	-	SCKSCR	システムクロックソースコントロールレジスタ	0x026	8	R/W	0x01	0xFF
SYSC	-	-	-	MEMWAIT	コードフラッシュメモリウェイトサイクルコントロールレジスタ	0x031	8	R/W	0x00	0xFF
SYSC	-	-	-	HOCOCCR	高速オンチップオシレータコントロールレジスタ	0x036	8	R/W	0x00	0xFE
SYSC	-	-	-	MOCOCCR	中速オンチップオシレータコントロールレジスタ	0x038	8	R/W	0x00	0xFF
SYSC	-	-	-	OSCSF	発振安定フラグレジスタ	0x03C	8	R	0x00	0xFE
SYSC	-	-	-	CKOCR	クロックアウトコントロールレジスタ	0x03E	8	R/W	0x00	0xFF
SYSC	-	-	-	LPOPT	低消費電力動作コントロールレジスタ	0x04C	8	R/W	0x00	0xFF
SYSC	-	-	-	MOCOUTCR	MOCO ユーザトリミングコントロールレジスタ	0x061	8	R/W	0x00	0xFF
SYSC	-	-	-	HOCOUTCR	HOCO ユーザトリミングコントロールレジスタ	0x062	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZCR	スヌーズコントロールレジスタ	0x092	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZEDCR0	スヌーズ終了コントロールレジスタ	0x094	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZREQCR	スヌーズ要求コントロールレジスタ	0x098	32	R/W	0x00000000	0xFFFFFFFF
SYSC	-	-	-	PSMCR	パワーセーブメモリコントロールレジスタ	0x09F	8	R/W	0x00	0xFF
SYSC	-	-	-	OPCCR	動作電力コントロールレジスタ	0x0A0	8	R/W	0x01	0xFF
SYSC	-	-	-	HOCOWTCR	高速オンチップオシレータウェイトコントロールレジスタ	0x0A5	8	R/W	0x05	0xFF
SYSC	-	-	-	SOPCCR	サブ動作電力コントロールレジスタ	0x0AA	8	R/W	0x00	0xFF
SYSC	-	-	-	RSTSR1	リセットステータスレジスタ 1	0x0C0	16	R/W	0x0000	0xE2F8
SYSC	-	-	-	LVD1CR1	電圧モニタ 1 回路コントロールレジスタ	0x0E0	8	R/W	0x01	0xFF
SYSC	-	-	-	LVD1SR	電圧モニタ 1 回路ステータスレジスタ	0x0E1	8	R/W	0x02	0xFF
SYSC	-	-	-	LVD2CR1	電圧モニタ 2 回路コントロールレジスタ 1	0x0E2	8	R/W	0x01	0xFF
SYSC	-	-	-	LVD2SR	電圧モニタ 2 回路ステータスレジスタ	0x0E3	8	R/W	0x02	0xFF
SYSC	-	-	-	PRCR	プロテクトレジスタ	0x3FE	16	R/W	0x0000	0xFFFF
SYSC	-	-	-	SYOCDCR	システムコントロール OCD コントロールレジスタ	0x040E	8	R/W	0x00	0xFF
SYSC	-	-	-	RSTSR0	リセットステータスレジスタ 0	0x410	8	R/W	0x00	0xF0
SYSC	-	-	-	RSTSR2	リセットステータスレジスタ 2	0x411	8	R/W	0x00	0xFE
SYSC	-	-	-	LVCMPCCR	電圧モニタ回路コントロールレジスタ	0x417	8	R/W	0x00	0xFF
SYSC	-	-	-	LVDLVLRL	電圧検出レベル選択レジスタ	0x418	8	R/W	0x07	0xFF
SYSC	-	-	-	LVD1CR0	電圧モニタ 1 回路コントロールレジスタ 0	0x41A	8	R/W	0x80	0xF7
SYSC	-	-	-	LVD2CR0	電圧モニタ 2 回路コントロールレジスタ 0	0x41B	8	R/W	0x80	0xF7
SYSC	-	-	-	LOCOCR	低速オンチップオシレータコントロールレジスタ	0x490	8	R/W	0x00	0xFF
SYSC	-	-	-	LOCOUTCR	LOCO ユーザトリミングコントロールレジスタ	0x492	8	R/W	0x00	0xFF

表 3.4 レジスタの説明 (4/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PORT0,3-4,9	-	-	-	PCNTR1	ポートコントロールレジスタ 1	0x000	32	R/W	0x00000000	0xFFFFFFFF
PORT0,3-4,9	-	-	-	PODR	ポートコントロールレジスタ 1	0x000	16	R/W	0x0000	0xFFFF
PORT0,3-4,9	-	-	-	PDR	ポートコントロールレジスタ 1	0x002	16	R/W	0x0000	0xFFFF
PORT0,3-4,9	-	-	-	PCNTR2	ポートコントロールレジスタ 2	0x004	32	R	0x00000000	0xFFFF0000
PORT0,3-4,9	-	-	-	PIDR	ポートコントロールレジスタ 2	0x006	16	R	0x0000	0x0000
PORT0,3-4,9	-	-	-	PCNTR3	ポートコントロールレジスタ 3	0x008	32	W	0x00000000	0xFFFFFFFF
PORT0,3-4,9	-	-	-	PORR	ポートコントロールレジスタ 3	0x008	16	W	0x0000	0xFFFF
PORT0,3-4,9	-	-	-	POSR	ポートコントロールレジスタ 3	0x00A	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR1	ポートコントロールレジスタ 1	0x000	32	R/W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	PODR	ポートコントロールレジスタ 1	0x000	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	PDR	ポートコントロールレジスタ 1	0x002	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR2	ポートコントロールレジスタ 2	0x004	32	R	0x00000000	0xFFFF0000
PORT1-2	-	-	-	EIDR	ポートコントロールレジスタ 2	0x004	16	R	0x0000	0xFFFF
PORT1-2	-	-	-	PIDR	ポートコントロールレジスタ 2	0x006	16	R	0x0000	0x0000
PORT1-2	-	-	-	PCNTR3	ポートコントロールレジスタ 3	0x008	32	W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	PORR	ポートコントロールレジスタ 3	0x008	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	POSR	ポートコントロールレジスタ 3	0x00A	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR4	ポートコントロールレジスタ 4	0x00C	32	R/W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	EORR	ポートコントロールレジスタ 4	0x00C	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	EOSR	ポートコントロールレジスタ 4	0x00E	16	R/W	0x0000	0xFFFF
PFS	4	0x4	10, 11, 14, 15	P0%PFS	ポート 0% 端子機能選択レジスタ	0x028	32	R/W	0x00000000	0xFFFFFFFFD
PFS	4	0x4	10, 11, 14, 15	P0%PFS_HA	ポート 0% 端子機能選択レジスタ	0x02A	16	R/W	0x0000	0xFFFFD
PFS	4	0x4	10, 11, 14, 15	P0%PFS_BY	ポート 0% 端子機能選択レジスタ	0x02B	8	R/W	0x00	0xFD
PFS	4	0x4	0~3	P10%PFS	ポート 10% 端子機能選択レジスタ	0x040	32	R/W	0x00000000	0xFFFFFFFFD
PFS	4	0x4	0~3	P10%PFS_HA	ポート 10% 端子機能選択レジスタ	0x042	16	R/W	0x0000	0xFFFFD
PFS	4	0x4	0~3	P10%PFS_BY	ポート 10% 端子機能選択レジスタ	0x043	8	R/W	0x00	0xFD
PFS	-	-	-	P108PFS	ポート 108 端子機能選択レジスタ	0x060	32	R/W	0x00010010	0xFFFFFFFFD
PFS	-	-	-	P108PFS_HA	ポート 108 端子機能選択レジスタ	0x062	16	R/W	0x0010	0xFFFFD
PFS	-	-	-	P108PFS_BY	ポート 108 端子機能選択レジスタ	0x063	8	R/W	0x10	0xFD
PFS	-	-	-	P109PFS	ポート 109 端子機能選択レジスタ	0x064	32	R/W	0x00000000	0xFFFFFFFFD
PFS	-	-	-	P109PFS_HA	ポート 109 端子機能選択レジスタ	0x066	16	R/W	0x0000	0xFFFFD
PFS	-	-	-	P109PFS_BY	ポート 109 端子機能選択レジスタ	0x067	8	R/W	0x00	0xFD
PFS	3	0x4	10-12	P1%PFS	ポート 1% 端子機能選択レジスタ	0x068	32	R/W	0x00000000	0xFFFFFFFFD
PFS	3	0x4	10-12	P1%PFS_HA	ポート 1% 端子機能選択レジスタ	0x06A	16	R/W	0x0000	0xFFFFD
PFS	3	0x4	10-12	P1%PFS_BY	ポート 1% 端子機能選択レジスタ	0x06B	8	R/W	0x00	0xFD
PFS	-	-	-	P200PFS	ポート 200 端子機能選択レジスタ	0x080	32	R/W	0x00000000	0xFFFFFFFFD
PFS	-	-	-	P200PFS_HA	ポート 200 端子機能選択レジスタ	0x082	16	R/W	0x0000	0xFFFFD
PFS	-	-	-	P200PFS_BY	ポート 200 端子機能選択レジスタ	0x083	8	R/W	0x00	0xFD

表 3.4 レジスタの説明 (5/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	-	-	-	P201PFS	ポート 201 端子機能選択レジスタ	0x084	32	R/W	0x00000010	0xFFFFFFFFD
PFS	-	-	-	P201PFS_HA	ポート 201 端子機能選択レジスタ	0x086	16	R/W	0x0010	0xFFFFD
PFS	-	-	-	P201PFS_BY	ポート 201 端子機能選択レジスタ	0x087	8	R/W	0x10	0xFD
PFS	1	0x4	5	P20%sPFS	ポート 20%s 端子機能選択レジスタ	0x094	32	R/W	0x00000000	0xFFFFFFFFD
PFS	1	0x4	5	P20%sPFS_HA	ポート 20%s 端子機能選択レジスタ	0x096	16	R/W	0x0000	0xFFFFD
PFS	1	0x4	5	P20%sPFS_BY	ポート 20%s 端子機能選択レジスタ	0x097	8	R/W	0x00	0xFD
PFS	-	-	-	P300PFS	ポート 300 端子機能選択レジスタ	0x0C0	32	R/W	0x00010000	0xFFFFFFFFD
PFS	-	-	-	P300PFS_HA	ポート 300 端子機能選択レジスタ	0x0C2	16	R/W	0x0000	0xFFFFD
PFS	-	-	-	P300PFS_BY	ポート 300 端子機能選択レジスタ	0x0C3	8	R/W	0x00	0xFD
PFS	2	0x4	0~1	P40%sPFS	ポート 40%s 端子機能選択レジスタ	0x100	32	R/W	0x00000000	0xFFFFFFFFD
PFS	2	0x4	0~1	P40%sPFS_HA	ポート 40%s 端子機能選択レジスタ	0x102	16	R/W	0x0000	0xFFFFD
PFS	2	0x4	0~1	P40%sPFS_BY	ポート 40%s 端子機能選択レジスタ	0x103	8	R/W	0x00	0xFD
PFS	-	-	-	P914PFS	ポート 914 端子機能選択レジスタ	0xA78	32	R/W	0x00000000	0xFFFFFFFFD
PFS	-	-	-	P914PFS_HA	ポート 914 端子機能選択レジスタ	0xA7A	16	R/W	0x0000	0xFFFFD
PFS	-	-	-	P914PFS_BY	ポート 914 端子機能選択レジスタ	0xA7B	8	R/W	0x00	0xFD
PFS	-	-	-	PWPR	書き込みプロテクトレジスタ	0x503	8	R/W	0x80	0xFF
PFS	-	-	-	PRWCNTR	ポートリードウェイトコントロールレジスタ	0x50F	8	R/W	0x01	0xFF
ELC	-	-	-	ELCR	イベントリンクコントローラレジスタ	0x00	8	R/W	0x00	0xFF
ELC	2	0x02	0~1	ELSEGR%s	イベントリンクソフトウェアイベント発生レジスタ%s	0x02	8	R/W	0x80	0xFF
ELC	4	0x04	0~3	ELSR%s	イベントリンク設定レジスタ%s	0x10	16	R/W	0x0000	0xFFFF
ELC	2	0x04	8~9	ELSR%s	イベントリンク設定レジスタ%s	0x30	16	R/W	0x0000	0xFFFF
ELC	2	0x04	14~15	ELSR%s	イベントリンク設定レジスタ%s	0x48	16	R/W	0x0000	0xFFFF
ELC	-	-	-	ELSR18	イベントリンク設定レジスタ 18	0x58	16	R/W	0x0000	0xFFFF
POEG	-	-	-	POEGGA	POEG グループ A 設定レジスタ	0x000	32	R/W	0x00000000	0xFFFFFFFFF
POEG	-	-	-	POEGGB	POEG グループ B 設定レジスタ	0x100	32	R/W	0x00000000	0xFFFFFFFFF
WDT	-	-	-	WDTRR	WDT リフレッシュレジスタ	0x00	8	R/W	0xFF	0xFF
WDT	-	-	-	WDTCR	WDT コントロールレジスタ	0x02	16	R/W	0x0000	0xFFFF
WDT	-	-	-	WDTSR	WDT ステータスレジスタ	0x04	16	R/W	0x0000	0xFFFF
WDT	-	-	-	WDTRCR	WDT リセットコントロールレジスタ	0x06	8	R/W	0x80	0xFF
WDT	-	-	-	WDTCSTPR	WDT カウント停止コントロールレジスタ	0x08	8	R/W	0x80	0xFF
IWDT	-	-	-	IWDRR	IWDT リフレッシュレジスタ	0x00	8	R/W	0xFF	0xFF
IWDT	-	-	-	IWDSR	IWDT ステータスレジスタ	0x04	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CACR0	CAC コントロールレジスタ 0	0x00	8	R/W	0x00	0xFF
CAC	-	-	-	CACR1	CAC コントロールレジスタ 1	0x01	8	R/W	0x00	0xFF
CAC	-	-	-	CACR2	CAC コントロールレジスタ 2	0x02	8	R/W	0x00	0xFF
CAC	-	-	-	CAICR	CAC 割り込みコントロールレジスタ	0x03	8	R/W	0x00	0xFF
CAC	-	-	-	CASTR	CAC ステータスレジスタ	0x04	8	R	0x00	0xFF
CAC	-	-	-	CAULVR	CAC 上限値設定レジスタ	0x06	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CALLVR	CAC 下限値設定レジスタ	0x08	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CACNTBR	CAC カウンタバッファレジスタ	0x0A	16	R	0x0000	0xFFFF
MSTP	-	-	-	MSTPCRB	モジュールストップコントロールレジスタ B	0x000	32	R/W	0xFFFFFFFF	0xFFFFFFFF
MSTP	-	-	-	MSTPCRC	モジュールストップコントロールレジスタ C	0x004	32	R/W	0xFFFFFFFF	0xFFFFFFFF

表 3.4 レジスタの説明 (6/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MSTP	-	-	-	MSTPCRD	モジュールストップコントロールレジスタ D	0x008	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	PRTS	プロトコル選択レジスタ	0x000	32	R/W	0x00000001	0xFFFFFFFF
I3C	-	-	-	BCTL	バスコントロールレジスタ	0x014	32	R/W	0xA0000181	0xFFFFFFFF
I3C	-	-	-	MSDVAD	マスタデバイスアドレスレジスタ	0x018	32	R/W	0x807F0000	0xFFFFFFFF
I3C	-	-	-	RSTCTL	リセットコントロールレジスタ	0x020	32	R/W	0x0001007F	0xFFFFFFFF
I3C	-	-	-	PRSST	プレゼンステートレジスタ	0x024	32	R/W	0x00000004	0xFFFFFFFF
I3C	-	-	-	INST	内部ステータスレジスタ	0x030	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	INSTE	内部ステータスイネーブルレジスタ	0x034	32	R/W	0x00000400	0xFFFFFFFF
I3C	-	-	-	INIE	内部割り込みイネーブルレジスタ	0x038	32	R/W	0x00000400	0xFFFFFFFF
I3C	-	-	-	INSTFC	内部ステータスフォースレジスタ	0x03C	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	DVCT	デバイス特性テーブルレジスタ	0x044	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	IBINCTL	IBI 通知コントロールレジスタ	0x058	32	R/W	0x0000000B	0xFFFFFFFF
I3C	-	-	-	BFCTL	バス機能コントロールレジスタ	0x060	32	R/W	0x00000107	0xFFFFFFFF
I3C	-	-	-	SVCTL	スレーブコントロールレジスタ	0x064	32	R/W	0x00018061	0xFFFFFFFF
I3C	-	-	-	REFCKCTL	基準クロックコントロールレジスタ	0x070	32	R/W	0x00000007	0xFFFFFFFF
I3C	-	-	-	STDBR	標準ビットレートレジスタ	0x074	32	R/W	0xBF3FFFFFFF	0xFFFFFFFF
I3C	-	-	-	EXTBR	拡張ビットレートレジスタ	0x078	32	R/W	0x3F3FFFFFFF	0xFFFFFFFF
I3C	-	-	-	BFRECDT	バスフリーコンディション検出タイムレジスタ	0x07C	32	R/W	0x000001FF	0xFFFFFFFF
I3C	-	-	-	BAVLCDT	バス使用可能コンディション検出タイムレジスタ	0x080	32	R/W	0x000001FF	0xFFFFFFFF
I3C	-	-	-	BIDLCDT	バスアイドルコンディション検出タイムレジスタ	0x084	32	R/W	0x0003FFFF	0xFFFFFFFF
I3C	-	-	-	OUTCTL	出力コントロールレジスタ	0x088	32	R/W	0x00008713	0xFFFFFFFF
I3C	-	-	-	INCTL	入力コントロールレジスタ	0x08C	32	R/W	0x000000DF	0xFFFFFFFF
I3C	-	-	-	TMOCTL	タイムアウトコントロールレジスタ	0x090	32	R/W	0x000000F3	0xFFFFFFFF
I3C	-	-	-	ACKCTL	アクノリッジコントロールレジスタ	0x0A0	32	R/W	0x00000002	0xFFFFFFFF
I3C	-	-	-	SCSTRCTL	SCL ストレッチコントロールレジスタ	0x0A4	32	R/W	0x00000003	0xFFFFFFFF
I3C	-	-	-	SCSTLCTL	SCL ストローリングコントロールレジスタ	0x0B0	32	R/W	0xF000FFFF	0xFFFFFFFF
I3C	-	-	-	SVTDLG0	スレーブ転送データ長レジスタ 0	0x0C0	32	R/W	0xFFFF0000	0xFFFFFFFF
I3C	-	-	-	CNDCTL	コンディションコントロールレジスタ	0x140	32	R/W	0x00000007	0xFFFFFFFF
I3C	-	-	-	NCMDQP	ノーマルコマンドキューポートレジスタ	0x150	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NRSPQP	ノーマル応答キューポートレジスタ	0x154	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NTDTBP0	ノーマル転送データバッファポートレジスタ 0	0x158	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	NIBIQP	ノーマル IBI キューポートレジスタ	0x17C	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NRSQP	ノーマル受信ステータスクューポートレジスタ	0x180	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NQTHCTL	ノーマルキューしきい値コントロールレジスタ	0x190	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	NTBTHCTL0	ノーマル転送データバッファしきい値コントロールレジスタ 0	0x194	32	R/W	0x07070707	0xFFFFFFFF
I3C	-	-	-	NRQTHCTL	ノーマル受信ステータスクューしきい値コントロールレジスタ	0x1C0	32	R/W	0x000000FF	0xFFFFFFFF
I3C	-	-	-	BST	バスステータスレジスタ	0x1D0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	BSTE	バスステータスイネーブルレジスタ	0x1D4	32	R/W	0x00110117	0xFFFFFFFF
I3C	-	-	-	BIE	バス割り込みイネーブルレジスタ	0x1D8	32	R/W	0x00110117	0xFFFFFFFF

表 3.4 レジスタの説明 (7/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
I3C	-	-	-	BSTFC	バスステータスフォースレジスタ	0x1DC	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NTST	ノーマル転送ステータスレジスタ	0x1E0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NTSTE	ノーマル転送ステータスイネーブルレジスタ	0x1E4	32	R/W	0x0010023F	0xFFFFFFFF
I3C	-	-	-	NTIE	ノーマル転送割り込みイネーブルレジスタ	0x1E8	32	R/W	0x0010023F	0xFFFFFFFF
I3C	-	-	-	NTSTFC	ノーマル転送ステータスフォースレジスタ	0x1EC	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	BCST	バスコンディションステータスレジスタ	0x210	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	SVST	スレーブステータスレジスタ	0x214	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	DATBAS0	デバイスアドレステーブル基本レジスタ 0	0x224	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	DATBAS1	デバイスアドレステーブル基本レジスタ 1	0x22C	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	DATBAS2	デバイスアドレステーブル基本レジスタ 2	0x234	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	DATBAS3	デバイスアドレステーブル基本レジスタ 3	0x23C	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	EXDATBAS	拡張デバイスアドレステーブル基本レジスタ	0x2A0	32	R/W	0xE0FF007F	0xFFFFFFFF
I3C	-	-	-	SDATBAS0	スレーブデバイスアドレステーブル基本レジスタ 0	0x2B0	32	R/W	0x007F07FF	0xFFFFFFFF
I3C	-	-	-	MSDCT0	マスタデバイス特性テーブルレジスタ 0	0x2D0	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	MSDCT1	マスタデバイス特性テーブルレジスタ 1	0x2D4	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	MSDCT2	マスタデバイス特性テーブルレジスタ 2	0x2D8	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	MSDCT3	マスタデバイス特性テーブルレジスタ 3	0x2DC	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	EXMSDCT	拡張マスタデバイス特性テーブルレジスタ	0x310	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	SVDCT	スレーブデバイス特性テーブルレジスタ	0x320	32	R/W	0x0000FFFF	0xFFFFFFFF
I3C	-	-	-	SDCTPIDL	スレーブデバイス特性テーブル仮 ID Low レジスタ	0x324	32	R/W	0x0000FFFF	0xFFFFFFFF
I3C	-	-	-	SDCTPIDH	スレーブデバイス特性テーブル仮 ID High レジスタ	0x328	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	SVDVAD0	スレーブデバイスアドレスレジスタ 0	0x330	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	CSECMD	CCC スレーブイベントコマンドレジスタ	0x350	32	R/W	0x0000000B	0xFFFFFFFF
I3C	-	-	-	CEACTST	CCC エンターアクティビティステートレジスタ	0x354	32	R/W	0x0000000F	0xFFFFFFFF
I3C	-	-	-	CMWLG	CCC 最大ライト長レジスタ	0x358	32	R/W	0x0000FFFF	0xFFFFFFFF
I3C	-	-	-	CMRLG	CCC 最大リード長レジスタ	0x35C	32	R/W	0x00FFFFFF	0xFFFFFFFF
I3C	-	-	-	CETSTMD	CCC エンターテストモードレジスタ	0x360	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	CGDVST	CCC ゲットデバイスステータスレジスタ	0x364	32	R/W	0x0000FFCF	0xFFFFFFFF
I3C	-	-	-	CMDSPW	CCC 最大データ速度 W (ライト) レジスタ	0x368	32	R/W	0x00000007	0xFFFFFFFF
I3C	-	-	-	CMDSPR	CCC 最大データ速度 R (リード) レジスタ	0x36C	32	R/W	0x0000003F	0xFFFFFFFF
I3C	-	-	-	CMDSPR	CCC 最大データ速度 T (ターンアラウンド) レジスタ	0x370	32	R/W	0x80FFFFFF	0xFFFFFFFF
I3C	-	-	-	CETSM	CCC 交換タイミングサポート情報 M (モード) レジスタ	0x374	32	R/W	0x00FFFF00	0xFFFFFFFF
I3C	-	-	-	CETSS	CCC 交換タイミングサポート情報 S (ステート) レジスタ	0x378	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	BITCNT	ビットカウントレジスタ	0x380	32	R/W	0x0000001F	0xFFFFFFFF
I3C	-	-	-	NQSTLV	ノーマルキューステータスレベルレジスタ	0x394	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NDBSTLV0	ノーマルデータバッファステータスレベルレジスタ 0	0x398	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NRSQSTLV	ノーマル受信ステータスキューステータスレベルレジスタ	0x3C0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	PRSTDBG	プレゼン્ટステートデバッグレジスタ	0x3CC	32	R/W	0x00000000	0xFFFFFFFF

表 3.4 レジスタの説明 (8/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
I3C	-	-	-	MSERRCNT	マスタエラーカウンタレジスタ	0x3D0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	ERCTL	エクストラコントロールレジスタ	0x3FC	32	R/W	0x0000FFFF	0xFFFFFFFF
DOC	-	-	-	DOCR	DOC コントロールレジスタ	0x00	8	R/W	0x00	0xFF
DOC	-	-	-	DODIR	DOC データインプットレジスタ	0x02	16	R/W	0x0000	0xFFFF
DOC	-	-	-	DODSR	DOC データ設定レジスタ	0x04	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCSR	A/D コントロールレジスタ	0x000	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSA0	A/D チャネル選択レジスタ A0	0x004	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSA1	A/D チャネル選択レジスタ A1	0x006	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADS0	A/D 変換値加算/平均チャネル選択レジスタ 0	0x008	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADS1	A/D 変換値加算/平均チャネル選択レジスタ 1	0x00A	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADC	A/D 変換値加算/平均回数選択レジスタ	0x00C	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCER	A/D コントロール拡張レジスタ	0x00E	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADSTRGR	A/D 変換開始トリガ選択レジスタ	0x010	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADEXICR	A/D 変換拡張入力コントロールレジスタ	0x012	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSB0	A/D チャネル選択レジスタ B0	0x014	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSB1	A/D チャネル選択レジスタ B1	0x016	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDR	A/D データ 2 重化レジスタ	0x018	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADTSDR	A/D 温度センサデータレジスタ	0x01A	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADOCDR	A/D 内部基準電圧データレジスタ	0x01C	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADRD	A/D 自己診断データレジスタ	0x01E	16	R	0x0000	0xFFFF
ADC12	4	0x2	5, 6, 9, 10	ADDR%s	A/D データレジスタ %s	0x020	16	R	0x0000	0xFFFF
ADC12	4	0x2	19~22	ADDR%s	A/D データレジスタ %s	0x042	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADDISCR	A/D 断線検出コントロールレジスタ	0x07A	8	R/W	0x00	0xFF
ADC12	-	-	-	ADACSR	A/D 変換動作モード選択レジスタ	0x07E	8	R/W	0x00	0xFF
ADC12	-	-	-	ADGSPCR	A/D グループスキャン優先コントロールレジスタ	0x080	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDRA	A/D データ 2 重化レジスタ A	0x084	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDRB	A/D データ 2 重化レジスタ B	0x086	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADHVREFCNT	A/D 高電位/低電位基準電圧コントロールレジスタ	0x08A	8	R/W	0x00	0xFF
ADC12	-	-	-	ADWINMON	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ	0x08C	8	R	0x00	0xFF
ADC12	-	-	-	ADCMPPCR	A/D コンペア機能コントロールレジスタ	0x090	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPANSER	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	0x092	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPLER	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	0x093	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPANSR0	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0	0x094	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPANSR1	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1	0x096	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPLR0	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	0x098	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPLR1	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	0x09A	16	R/W	0x0000	0xFFFF
ADC12	2	0x2	0~1	ADCMPDR%s	A/D コンペア機能ウィンドウ A 下側/上側レベル設定レジスタ	0x09C	16	R/W	0x0000	0xFFFF

表 3.4 レジスタの説明 (9/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC12	-	-	-	ADCMPSTR0	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0	0x0A0	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSTR1	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1	0x0A2	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSER	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ	0x0A4	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPBNSR	A/D コンペア機能ウィンドウ B チャネル選択レジスタ	0x0A6	8	R/W	0x00	0xFF
ADC12	-	-	-	ADWINLLB	A/D コンペア機能ウィンドウ B 下側/上側レベル設定レジスタ	0x0A8	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADWINULB	A/D コンペア機能ウィンドウ B 下側/上側レベル設定レジスタ	0x0AA	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPBSR	A/D コンペア機能ウィンドウ B ステータスレジスタ	0x0AC	8	R/W	0x00	0xFF
ADC12	-	-	-	ADSSTRLL	A/D サンプリングステートレジスタ	0x0DD	8	R/W	0x0D	0xFF
ADC12	-	-	-	ADSSTRRT	A/D サンプリングステートレジスタ	0x0DE	8	R/W	0x0D	0xFF
ADC12	-	-	-	ADSSTRO	A/D サンプリングステートレジスタ	0x0DF	8	R/W	0x0D	0xFF
ADC12	4	0x1	5, 6, 9, 10	ADSSTR%s	A/D サンプリングステートレジスタ	0x0E0	8	R/W	0x0D	0xFF
SCI9	-	-	-	SMR	非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	0x00	8	R/W	0x00	0xFF
SCI9	-	-	-	SMR_SMC1	スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)	0x00	8	R/W	0x00	0xFF
SCI9	-	-	-	BRR	ビットレートレジスタ	0x01	8	R/W	0xFF	0xFF
SCI9	-	-	-	SCR	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)	0x02	8	R/W	0x00	0xFF
SCI9	-	-	-	SCR_SMC1	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)	0x02	8	R/W	0x00	0xFF
SCI9	-	-	-	TDR	送信データレジスタ	0x03	8	R/W	0xFF	0xFF
SCI9	-	-	-	SSR	非スマートカードインタフェースおよび非FIFO モード用シリアルステータスレジスタ (SCMR.SMIF = 0 および FCR.FM = 0)	0x04	8	R/W	0x84	0xFF
SCI9	-	-	-	SSR_SMC1	スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1)	0x04	8	R/W	0x84	0xFF
SCI9	-	-	-	RDR	受信データレジスタ	0x05	8	R/W	0x00	0xFF
SCI9	-	-	-	SCMR	スマートカードモードレジスタ	0x06	8	R/W	0xF2	0xFF
SCI9	-	-	-	SEMR	シリアル拡張モードレジスタ	0x07	8	R/W	0x00	0xFF
SCI9	-	-	-	SNFR	ノイズフィルタ設定レジスタ	0x08	8	R/W	0x00	0xFF
SCI9	-	-	-	SIMR1	IIC モードレジスタ 1	0x09	8	R/W	0x00	0xFF
SCI9	-	-	-	SIMR2	IIC モードレジスタ 2	0x0A	8	R/W	0x00	0xFF
SCI9	-	-	-	SIMR3	IIC モードレジスタ 3	0x0B	8	R/W	0x00	0xFF
SCI9	-	-	-	SISR	IIC ステータスレジスタ	0x0C	8	R	0x00	0xCB
SCI9	-	-	-	SPMR	SPI モードレジスタ	0x0D	8	R/W	0x00	0xFF
SCI9	-	-	-	TDRHL	送信データレジスタ	0x0E	16	R/W	0xFFFF	0xFFFF
SCI9	-	-	-	RDRHL	受信データレジスタ	0x10	16	R	0x0000	0xFFFF
SCI9	-	-	-	MDDR	モジュレーションデューティレジスタ	0x12	8	R/W	0xFF	0xFF
SCI9	-	-	-	DCCR	データコンペアマッチコントロールレジスタ	0x13	8	R/W	0x40	0xFF
SCI9	-	-	-	CDR	コンペアマッチデータレジスタ	0x1A	16	R/W	0x0000	0xFFFF
SCI9	-	-	-	SPTR	シリアルポートレジスタ	0x1C	8	R/W	0x03	0xFF

表 3.4 レジスタの説明 (10/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SPI0	-	-	-	SPCR	SPI コントロールレジスタ	0x00	8	R/W	0x00	0xFF
SPI0	-	-	-	SSLP	SPI スレーブ選択極性レジスタ	0x01	8	R/W	0x00	0xFF
SPI0	-	-	-	SPPCR	SPI 端子コントロールレジスタ	0x02	8	R/W	0x00	0xFF
SPI0	-	-	-	SPSR	SPI ステータスレジスタ	0x03	8	R/W	0x20	0xFF
SPI0	-	-	-	SPDR	SPI データレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
SPI0	-	-	-	SPDR_HA	SPI データレジスタ	0x04	16	R/W	0x0000	0xFFFF
SPI0	-	-	-	SPBR	SPI ビットレートレジスタ	0x0A	8	R/W	0xFF	0xFF
SPI0	-	-	-	SPDCR	SPI データコントロールレジスタ	0x0B	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCKD	SPI クロック遅延レジスタ	0x0C	8	R/W	0x00	0xFF
SPI0	-	-	-	SSLND	SPI スレーブ選択ネゲート遅延レジスタ	0x0D	8	R/W	0x00	0xFF
SPI0	-	-	-	SPND	SPI 次アクセス遅延レジスタ	0x0E	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCR2	SPI コントロールレジスタ 2	0x0F	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCMD0	SPI コマンドレジスタ 0	0x10	16	R/W	0x070D	0xFFFF
CRC	-	-	-	CRCCR0	CRC コントロールレジスタ 0	0x00	8	R/W	0x00	0xFF
CRC	-	-	-	CRCCR1	CRC コントロールレジスタ 1	0x01	8	R/W	0x00	0xFF
CRC	-	-	-	CRCDIR	CRC データインプットレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
CRC	-	-	-	CRCDIR_BY	CRC データインプットレジスタ	0x04	8	R/W	0x00	0xFF
CRC	-	-	-	CRCDOR	CRC データ出力レジスタ	0x08	32	R/W	0x00000000	0xFFFFFFFF
CRC	-	-	-	CRCDOR_HA	CRC データ出力レジスタ	0x08	16	R/W	0x0000	0xFFFF
CRC	-	-	-	CRCDOR_BY	CRC データ出力レジスタ	0x08	8	R/W	0x00	0xFF
CRC	-	-	-	CRCSAR	スヌープアドレスレジスタ	0x0C	16	R/W	0x0000	0xFFFF
GPT164-9	-	-	-	GTWP	汎用 PWM タイマ書き込み保護レジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSTR	汎用 PWM タイマソフトウェアスタートレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSTP	汎用 PWM タイマソフトウェアストップレジスタ	0x08	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCLR	汎用 PWM タイマソフトウェアクリアレジスタ	0x0C	32	W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSSR	汎用 PWM タイマスタート要因選択レジスタ	0x10	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCSR	汎用 PWM タイマストップ要因選択レジスタ	0x14	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCSR	汎用 PWM タイマクリア要因選択レジスタ	0x18	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTUPSR	汎用 PWM タイマアップカウント要因選択レジスタ	0x1C	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTDNSR	汎用 PWM タイマダウンカウント要因選択レジスタ	0x20	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTICASR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A	0x24	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTICBSR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B	0x28	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCR	汎用 PWM タイマコントロールレジスタ	0x2C	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTUDDTYC	汎用 PWM タイマカウント方向、デューティ設定レジスタ	0x30	32	R/W	0x00000001	0xFFFFFFFF
GPT164-9	-	-	-	GTIOR	汎用 PWM タイマ I/O コントロールレジスタ	0x34	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTINTAD	汎用 PWM タイマ割り込み出力設定レジスタ	0x38	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTST	汎用 PWM タイマステータスレジスタ	0x3C	32	R/W	0x00008000	0xFFFFFFFF

表 3.4 レジスタの説明 (11/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT164-9	-	-	-	GTBER	汎用 PWM タイマバッファファイネーブルレジスタ	0x40	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCNT	汎用 PWM タイマカウンタ	0x48	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRA	汎用 PWM タイマコンペアキャプチャレジスタ A	0x4C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRB	汎用 PWM タイマコンペアキャプチャレジスタ B	0x50	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRC	汎用 PWM タイマコンペアキャプチャレジスタ C	0x54	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRE	汎用 PWM タイマコンペアキャプチャレジスタ E	0x58	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRD	汎用 PWM タイマコンペアキャプチャレジスタ D	0x5C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRF	汎用 PWM タイマコンペアキャプチャレジスタ F	0x60	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTPR	汎用 PWM タイマ周期設定レジスタ	0x64	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTPBR	汎用 PWM タイマ周期設定バッファレジスタ	0x68	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTDTCR	汎用 PWM タイマデッドタイムコントロールレジスタ	0x88	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTDVU	汎用 PWM タイマデッドタイム値レジスタ U	0x8C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT_OPS	-	-	-	OPSCR	出力相切り替えコントロールレジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
KINT	-	-	-	KRCTL	キーリターンコントロールレジスタ	0x00	8	R/W	0x00	0xFF
KINT	-	-	-	KRF	キーリターンフラグレジスタ	0x04	8	R/W	0x00	0xFF
KINT	-	-	-	KRM	キーリターンモードレジスタ	0x08	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGT	AGT カウンタレジスタ	0x00	32	R/W	0xFFFFFFFF	0xFFFFFFFF
AGTW0-1	-	-	-	AGTCMB	AGT コンペアマッチ B レジスタ	0x08	32	R/W	0xFFFFFFFF	0xFFFFFFFF
AGTW0-1	-	-	-	AGTCMA	AGT コンペアマッチ A レジスタ	0x04	32	R/W	0xFFFFFFFF	0xFFFFFFFF
AGTW0-1	-	-	-	AGTCR	AGT コントロールレジスタ	0x0C	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTMR1	AGT モードレジスタ 1	0x0D	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTMR2	AGT モードレジスタ 2	0x0E	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTIOC	AGT I/O コントロールレジスタ	0x10	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTISR	AGT イベント端子選択レジスタ	0x11	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTCMSR	AGT コンペアマッチ機能選択レジスタ	0x12	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTIOSEL	AGT 端子選択レジスタ	0x00F	8	R/W	0x00	0xFF
FLCN	-	-	-	DFLCTL	データフラッシュイネーブルレジスタ	0x0090	8	R/W	0x00	0xFF
FLCN	-	-	-	TSCDR	温度センサ補正データレジスタ	0x0228	16	R	各チップに対するユニーク値	0x0000
FLCN	-	-	-	FLDWAITR	データフラッシュメモリウェイトサイクルコントロールレジスタ	0x3FC4	8	R/W	0x00	0xFF
FLCN	-	-	-	PFBER	プリフェッチバッファファイネーブルレジスタ	0x3FC8	8	R/W	0x00	0xFF

注: 周辺機能名 = 周辺機能の名称
Dim = レジスタ配列内のエレメント数
Dim inc. = アドレスマップにおけるレジスタ配列の 2 つの同期レジスタ間のアドレスインクリメント
Dim index = レジスタ名内の %s プレースホルダーに入るサブ文字列
レジスタ名 = レジスタの名称
説明 = レジスタの説明
アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスからの相対レジスタアドレス
サイズ = レジスタのビット幅
リセット値 = レジスタのデフォルトリセット値
リセットマスク = 定義されたリセット値を持つレジスタを識別します。

改訂記録

Revision 1.00 — 2021 年 9 月 2 日

初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。