

RX72M グループ

ルネサスマイクロコンピュータ

R01DS0332JJ0100

Rev.1.00

2019.05.31

240MHz、32ビットRX CPU、倍精度FPU内蔵、1396 Coremark、三角関数演算器、最大4Mバイトフラッシュメモリ(デュアルバンク機能対応)、1MバイトSRAM、EtherCAT Slave Controller、IEEE1588対応 Ether MAC、SD Host I/F、Quad SPI、CANなど多種多様な通信機能、12ビットA/Dコンバータ、RTC、暗号機能(オプション)、音源用シリアルI/F、CMOSカメラI/F、グラフィックLCDコントローラ、2D描画エンジン

特長

■ 32ビットRXv3 CPU コア内蔵

- 最高動作周波数 240MHz
1396 Coremark の性能 (240MHz 動作時)
- 64ビット倍精度浮動小数点 (IEEE754 に準拠)
- レジスタ括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■消費電力低減機能

- 2.7V ~ 3.6V 動作の単一電源
- 専用電源で動作可能な RTC
- 4種類の低消費電力モード

■内蔵コードフラッシュメモリ

- 最大 4M バイトまでをサポート
- 120MHz以下もしくはROMキャッシュヒット時はウェイトなし、120MHzより速い場合は1ウェイト
- オンボードおよびオフボードによるユーザ書き込み
- Back Ground Operation (BGO) によるプログラム/イレーズ
- 起動バンクの入れ替えが可能なデュアルバンク機能搭載

■内蔵データフラッシュメモリ

- 32K バイト (100k 回イレーズ可能)
- Back Ground Operation (BGO) によるプログラム/イレーズ

■内蔵 SRAM

- 1M バイト SRAM (ノーウェイト、ただし、ICLK が 120MHz より速い場合は 0080 0000h ~ 0087 FFFFh の 512K バイトは 1 ウェイト)
- 32K バイト ECC付きRAM (シングルエラー訂正/ダブルエラー検出)
- 8K バイト スタンバイ RAM (ディープソフトウェアスタンバイモード時、バックアップ可能)

■データ転送機能

- DMACAa : 8ch 内蔵
- DTCb : 1ch 内蔵
- EXDMAC : 2ch 内蔵
- イーサネットコントローラ専用 DMAC : 3ch 内蔵

■リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 24MHz
- 特定用途向け PLL
- 内部 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDtA 用 120kHz クロック

■リアルタイムクロック内蔵

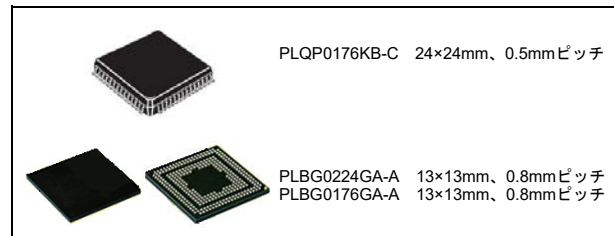
- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- 時間キャプチャ機能
(イベント端子入力で時間をキャプチャ)

■独立ウォッチドッグタイマ内蔵

- 120kHz クロック動作

■IEC60730 対応機能内蔵

- 発振停止検出、周波数測定、CRCA、IWDtA、A/D 自己診断など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット内蔵



■多種多様な通信機能を内蔵

- EtherCAT Slave Controller (2ポート)
- IEEE1588 対応 Ether-MAC を内蔵 (2ch)
- USB2.0 フルスピード ホスト/ファンクション/OTG (1ch) PHY 内蔵 (1ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (3ch)
- 多彩な機能に対応した SCIj、SCIh (8ch)
調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIi (5ch)
- I²C バスインタフェース 最大 1Mbps 転送 (3ch)
- RSPiC (3ch) に加え 4 線式の QSPI (1ch) を搭載
- CMOS カメラ I/F 用のパラレルデータキャプチャユニット (PDC) を内蔵
- グラフィック LCD コントローラ (GLCDC) を内蔵
- 2D 描画エンジン (DRW2D) を内蔵
- SD Host I/F (1ch) SD メモリ /SDIO 通信用の SD バス (1 or 4 ビット) をサポート
- MMCIF 転送バス幅 1/4/8 ビットをサポート

■外部アドレス空間

- 高速動作バス @80MHz (max)
- 8つの CS 領域をサポート
- エリアごとに 8/16/32 ビットバス空間を選択可能
- 独立した SDRAM 空間 (128M バイト)

■最大 29 本の拡張タイマ機能

- 32 ビット GPTW (4ch)
- 16 ビット TPUa (6ch)、MTU3a (9ch)
- 8 ビット TMRa (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■12ビットA/Dコンバータ内蔵

- 12ビット×2ユニット (ユニット0: 8ch、ユニット1: 21ch)
- 自己診断機能、アナログ入力断線検出機能

■12ビットD/Aコンバータ内蔵: 2ch

■チップ内部の温度を計測可能な温度センサを内蔵

■三角関数演算器を内蔵

■ΔΣ モジュレータインタフェース

- 外部に 6ch の ΔΣ モジュレータを接続可能

■暗号機能 (オプション)

- AES (鍵長 128/192/256 ビット)
- Trusted Secure IP (TSIP) 内蔵

■最大 182 本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■動作周囲温度

- D バージョン : -40°C ~ +85°C
- G バージョン : -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャネル数は、パッケージのピン数およびコードフラッシュメモリ容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 10)

分類	モジュール/機能	説明
CPU	中央演算処理装置	- 最大動作周波数：240MHz 32ビットRX CPU (RXv3) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×10本 - アキュムレータ：72ビット×2本 113命令 - 標準搭載命令：111命令 - 基本命令：77命令 - 単精度浮動小数点演算命令：11命令 - DSP 機能命令：23命令 - レジスタ括退避機能命令：2命令 - アドレッシングモード：11種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - パレルシフタ：32ビット
	FPU	- 単精度浮動小数点数(32ビット) - IEEE754に準拠したデータタイプおよび例外
	倍精度浮動小数点コプロセッサ	- 倍精度浮動小数点レジスタセット - 倍精度浮動小数点データレジスタ：64ビット×16本 - 倍精度浮動小数点制御レジスタ：32ビット×4本 - 倍精度浮動小数点処理命令：21種類 - 倍精度浮動小数点例外の割り込みコントローラへの通知機能
	レジスタ括退避機能	- CPU レジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載

表 1.1 仕様概要 (2 / 10)

分類	モジュール/機能	説明
メモリ	コードフラッシュメモリ	- 容量：2M/4Mバイト - ROMキャッシュ：8Kバイト 120MHz以下の場合はノーウェイトアクセス、120MHzより速い場合は1ウェイトアクセス - ROMキャッシュにヒットしている命令/オペランドは240MHzノーウェイトアクセス可能 - オンボードプログラミング：4種類 - オフボードプログラミング(パラレルライターモード) - Trusted Memory (TM)機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現 - デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能
	データフラッシュメモリ	- 容量：32Kバイト - プログラム/イレーズ回数：100,000回
	ユニークID	16バイト長のデバイス固有のID
	RAM	- 容量：512Kバイト 240MHz max、ノーウェイトアクセス
	拡張RAM	- 容量：512Kバイト 120MHz以下の場合はノーウェイトアクセス、120MHzより速い場合は1ウェイトアクセス
	ECC付きRAM	- 容量：32Kバイト 120MHz以下の場合は1ウェイトアクセス、120MHzより速い場合はリード2ウェイトアクセス、ライト3ウェイトアクセス - SEC-DED (シングルエラー訂正/ダブルエラー検出)
	スタンバイRAM	- 容量：8Kバイト - PCLKB同期：60MHz max、2サイクルアクセス
動作モード		- リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) - レジスタ設定による動作モードの選択 シングルチップモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード - エンディアン選択可能
クロック	クロック発生回路	- メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ(2基)、IWDTC専用オンチップオシレータ - 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 - メインクロック発振器停止検出：あり - システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 - CPU、バスマスタなどのシステム系は、ICLK同期：240MHz max - MTU、RSPI、SCI、ETHERC、EPTPC、PMGI、EDMAC、GPTW、GLCDC、DRW2D、ESCの周辺クロックは、PCLKA同期：120MHz max - 上記以外の周辺モジュールは、PCLKB同期：60MHz max - S12AD (ユニット0)のADCLKはPCLKC同期：60MHz max - S12AD (ユニット1)のADCLKはPCLKD同期：60MHz max - Flash IFは、FCLK同期：60MHz max - 外部バスに接続するデバイスは、BCLK同期：80MHz max - 高速オンチップオシレータHOCOをPLL回路、PPLL回路のリファレンスクロックとして運用可能 - 外部クロック入力周波数：30MHz (max) - クロック出力機能

表 1.1 仕様概要 (3 / 10)

分類	モジュール/機能	説明
リセット		9種類のリセットを内蔵 - RES#端子リセット：RES#端子がLowで発生 - パワーオンリセット：RES#端子がHighで、VCC = AVCC0 = AVCC1の上昇時発生 - 電圧監視0リセット：VCC = AVCC0 = AVCC1の下降時発生 - 電圧監視1リセット：VCC = AVCC0 = AVCC1の下降時発生 - 電圧監視2リセット：VCC = AVCC0 = AVCC1の下降時発生 - ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 - 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0 = AVCC1が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		VCC = AVCC0 = AVCC1端子に入力する電圧を監視し、内部リセットまたは割り込みを発生 - 電圧検出回路0 - 内部リセット発生可能 - オプション設定メモリで有効/無効を選択可能 - 電圧検出レベル：3レベルから選択可能(2.94V, 2.87V, 2.80V) - 電圧検出回路1、2 - 電圧検出レベル：3レベルから選択可能(2.99V, 2.92V, 2.85V) - デジタルフィルタ機能あり(LOCOの2/4/8/16分周) - 内部リセット発生可能 - リセット解除タイミング2種類選択可能 - 内部割り込み要求可能 - 上昇検知/下降検知選択可能 - マスカブル割り込みもしくはノンマスカブル割り込み選択可能 - 電圧検出モニタ機能あり - イベントリンク機能あり
低消費電力	消費電力低減機能	- モジュールストップ機能 4種類の低消費電力状態 - スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	バッテリーバックアップ機能	VCC端子が低下したとき、VBATT端子からのバッテリー電源で時計動作(RTC)が可能
割り込み	割り込みコントローラ(ICUD)	- 割り込みベクタ数：256 - 外部割り込み：要因数16 (IRQ0～IRQ15端子) - ソフトウェア割り込み：要因数2 - ノンマスカブル割り込み：要因数8 16レベルの割り込み優先順位を設定可能 - 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(128要因は固定ベクタ。残り169要因から128ベクタを選択)
外部バス拡張		- 外部アドレス空間を8つのエリア(CS0～CS7)に分割して管理 - 各エリアの領域：16Mバイト(CS0～CS7) - エリアごとにチップセレクト(CS0#～CS7#)出力可能 - エリアごとに8ビットバス空間/16ビットバス空間/32ビットバス空間を選択可能 - エリアごとにエンディアンを設定可能(データのみ) - SDRAMインタフェース接続可能 - バス形式：セパレートバス、マルチプレクスバス - ウェイト制御可能 - ライトバッファ機能

表 1.1 仕様概要 (4 / 10)

分類	モジュール/機能	説明
DMA	DMAコントローラ (DMACa)	8チャンネル - 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：ソフトウェアトリガ、周辺機能割り込み
	EXDMAコントローラ (EXDMACa)	2チャンネル - 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスター転送モード - EDACKn信号によるシングルアドレス転送が可能 - 起動要因：ソフトウェアトリガ、外部DMA転送要求(EDREQn)、周辺機能割り込み
	データ転送ファクトリー (DTCCb)	- 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード - 起動要因：外部割り込み、周辺機能割り込み - シーケンス転送が可能
I/Oポート	汎用入出力ポート	224ピンLFBGA 入出力：182 入力：1 プルアップ抵抗：182 オープンドレイン出力：182 5Vトレラント：19 176ピンLFBGA、176ピンLFQFP 入出力：136 入力：1 プルアップ抵抗：136 オープンドレイン出力：136 5Vトレラント：19
イベントリンクコントローラ (ELC)		- 割り込み要求等のイベントでCPUを介さずタイマカウンタ等の機能が連動可能 137種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 - 周辺機能のイベントで出力端子の状態を変更可能 (ポートB、E) - 入力端子の変化で周辺機能が連動可能 (ポートB、E)

表 1.1 仕様概要 (5 / 10)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPUa)	• (16ビット×6チャンネル)×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード(2相エンコーダ入力)、カスケード接続動作(32ビット×2チャンネル)をサポート • PPGの出力トリガを生成可能 • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子におけるデジタルフィルタ機能 • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3a)	• 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウントクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル0は14種類、チャンネル1、3、4、6～8は11種類、チャンネル2は12種類、チャンネル5は10種類) • インพุットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インพุットキャプチャによる同時クリア可能) • 複数のタイマカウンタ(TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 43種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード: 16ビットモード(チャンネル1、2)/32ビットモード(チャンネル1、2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インพุットキャプチャ、外部カウンタクロック端子におけるデジタルフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート
	ポートアウトプットイネーブル3 (POE3a)	• MTU波形出力端子のハイインピーダンス制御 • POE0#, POE4#, POE8#, POE10#, POE11#の5つの入力端子による起動 • 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 • 発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能

表 1.1 仕様概要 (6 / 10)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTW)	32ビット×4チャンネル (GPTW0~3) - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - PWM動作の際にデッドタイム生成が可能 - 任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能 - 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 - A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能 - コンペアマッチA~Fイベント、オーバーフローイベント/アンダーフローイベントをELCに出力可能 - インプットキャプチャのノイズフィルタを使用可能
	GPTW用ポートアウトプットイネーブル (POEG)	- GPTW波形出力の出力禁止制御 - GTETRIG 端子の入力レベル検出による起動 - GPTWからの出力禁止要求による起動 - 発振停止検出/ソフトウェアによる起動
	プログラマブルパルスジェネレータ (PPG)	(4ビット×4グループ)×2ユニット - MTU、またはTPUからの出力をトリガとしてパルスを出力 - 最大32本のパルス出力
	8ビットタイマ (TMR)	(8ビット×2チャンネル)×2ユニット 7種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192) と外部クロックを選択可能 - 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 - A/Dコンバータの変換開始トリガを生成可能 - SCI5、SCI6、SCI12のボーレートクロック生成可能 - ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	(16ビット×2チャンネル)×2ユニット 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能
	コンペアマッチタイマW (CMTW)	(32ビット×1チャンネル)×2ユニット - コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 - コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 - ELCによるイベントリンク機能をサポート
	リアルタイムクロック (RTCD) (注1)	- クロックソース：メインクロック、サブクロック - 時計カウント/秒単位の32ビットバイナリカウントを選択可能 - 時計/カレンダー機能 - 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み - バッテリバックアップ動作 3値タイムキャプチャ機能 - ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	14ビット×1チャンネル 6種類のカウンタクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192) を選択可能

表 1.1 仕様概要 (7 / 10)

分類	モジュール/機能	説明
タイマ	独立ウォッチドッグタイマ (IWDTa)	14ビット×1チャンネル - カウントクロック：IWDT専用オンチップオシレータ - IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 - ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) - ELCによるイベントリンク機能をサポート
通信機能	イーサネットコントローラ (ETHERC)	2チャンネル - イーサネット/IEEE802.3 フレームの送受信 10Mbps および 100Mbps 転送への対応 - 全二重モードおよび半二重モード対応 - IEEE802.3u 規格の MII (Media Independent Interface) および RMII (Reduced MediaIndependent Interface) に対応 - Magic PacketTM (注2) の検出および Wake-On-LAN (WOL) 信号の出力 - IEEE802.3x 規格のフロー制御準拠 - マルチキャストフレームのフィルタリング機能をサポート - フレームデータを2チャンネル間でカットスルーによりダイレクト転送可能
	イーサネットPHY マネジメントインタフェース (PMGI)	2チャンネル - IEEE802.3u 規格の MII (Media Independent Interface) 準拠 - MI/RMII インタフェースのPHY-LSI とのマネジメントフレーム送受信に対応 - ハードウェアでシフトすることにより CPU 負荷を軽減 - マネジメントデータのタイミング調整が可能 - プリアンプルの削除機能
	イーサネットコントローラ用 PTP コントローラ (EPTPCb)	- イーサネットコントローラ (ETHERC) に接続することで IEEE1588 規格に準拠 - タイムスタンプの一致により、MTU、GPTW のカウント動作開始が可能
	イーサネットコントローラ用 DMA コントローラ (EDMACa)	3チャンネル (各 EDMAC は、ラウンドロビン方式で優先順位を決定) - ETHERC 用：2チャンネル、EPTPC 用：1チャンネル - ディスクリプタ管理方式による CPU 負荷の軽減 - 送信 FIFO：2K バイト、受信 FIFO：4K バイト
	EtherCAT スレーブコントローラ (ESC) (注3)	1チャンネル (2ポート) - Beckhoff 社製「EtherCAT Slave Controller IP Core」を採用
	USB2.0 FS ホスト/ファンクションモジュール (USBb)	- USB2.0 FS に対応した UDC (USB Device Controller) および トランシーバを内蔵 1ポート - USBバージョン2.0 準拠 - 転送スピード：フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ) - セルフパワーモードおよびバスパワーモードの両方に対応 - OTG (On-The-Go) に対応 (ロースピードは未対応) - 通信バッファとして 2K バイトの RAM を内蔵 - 外付け Pull-Up 抵抗、Pull-Down 抵抗が不要
	シリアルコミュニケーションインタフェース (SCIj, SCli, SClh)	13チャンネル：(SCIj：7チャンネル + SCli：5チャンネル + SClh：1チャンネル) - SCIj, SCli, SClh - シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース - マルチプロセッサ機能 - 内蔵ボーレートジェネレータで任意のビットレートを選択可能 - LSB ファースト/MSB ファーストを選択可能 - スタートビット検出：レベルおよびエッジを選択可能 - 簡易 I²C サポート - 簡易 SPI サポート 7～9ビット転送モードをサポート - ビットレートモジュレーション機能をサポート - 倍速モードをサポート - データ一致検出をサポート (SCI12 以外) - SCIj, SClh - TMR からの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) - ELC によるイベントリンク機能をサポート (チャンネル5のみ) - SClh - スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート - LIN フォーマットをサポート - SCli - 送信部、受信部ともに 16 バイトの FIFO バッファ構造による連続送信、受信が可能

表 1.1 仕様概要 (8 / 10)

分類	モジュール/機能	説明
通信機能	I ² Cバス インタフェース (IICa)	3チャンネル(チャンネル0のみFM+に対応可能) - 通信フォーマット I²Cバスフォーマット/SMBus フォーマット - マルチマスタ対応 - 最大転送レート : 1Mbps (チャンネル0) - ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	3チャンネル - ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 32メールボックス/チャンネル
	シリアルペリフェラル インタフェース (RSPIC)	3チャンネル - RSPi転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 - マスタ/スレーブモードでのシリアル通信が可能 - データフォーマット MSBファースト/LSBファーストの切り替え可能 - 転送ビット長を8~16、20、24、32ビットに変更可能 - 送信/受信バッファは128ビット - 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) - 送信/受信データをバイト単位でスワップ可能 - バッファ構成 送信/受信バッファ構成はダブルバッファ - マスタ受信時、RSPCKは受信バッファフルで自動停止可能 - ELCによるイベントリンク機能をサポート
	クワッドシリアルペリ フェラルインタフェース (QSPI)	1チャンネル - マルチI/O (Single/Dual/Quad)対応のシリアルフラッシュメモリと接続可能 - プログラマブルなビット長、クロック極性、クロック位相を選択可能 - 転送をシーケンシャルに実行可能 - MSBファースト/LSBファーストの選択可能
拡張シリアルサウンドインタフェース (SSIE)		2チャンネル - 全二重通信可能(チャンネル0のみ) - 多様なシリアルオーディオフォーマットをサポート - マスタ/スレーブ機能をサポート - ビットクロック周波数を13種類(1/1、1/2、1/4、1/6、1/8、1/12、1/16、1/24、1/32、1/48、1/64、1/96、1/128)から選択可能 8/16/18/20/22/24/32ビットデータフォーマットをサポート - 送受信用32段FIFO内蔵 - データ転送停止時にSSILRCKを停止するかしないかを選択可能
SDホストインタフェース (SDHI)		1チャンネル - 転送スピード : ハイスピードモード(25Mバイト/s)、 デフォルトスピードモード(12.5Mバイト/s) - SDメモリ/I/Oカードインタフェース(1ビット/4ビットSDバス) - SD Specifications Part 1 : Physical Layer Specification Ver.3.01準拠(DDR未対応) Part E1 : SDIO Specification Ver. 3.00 - エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ) - 割り込み要因 : カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み - DMA転送要因 : SD_BUFライト、SD_BUFリード - カード検出機能、ライトプロテクトをサポート
MMCホストインタフェース (MMCIF)		1チャンネル - 転送スピード : データトランスファモード(30Mバイト/s)、 バックワードコンパチブルモード(25Mバイト/s) - JEDEC STANDARD JESD84-A441準拠(DDR未対応) - Multi Media Card (MMC)とのインタフェース - データバス : 1ビット/4ビット/8ビットMMCモードに対応 - 割り込み要因 : カード検出割り込み、エラー/タイムアウト割り込み、通常動作割り込み、MMCIFバッファアクセス割り込み - DMA転送要求 : CE_DATAライト、CE_DATAリード - カード検出機能、ブートオペレーション、High Priority Interrupt (HPI)をサポート

表 1.1 仕様概要 (9 / 10)

分類	モジュール/機能	説明
三角関数演算器 (TFU)		- sin 演算、cos 演算、arctan 演算、$\sqrt{x^2 + y^2}$ 演算 - sin と cos の同時演算 - arctan と $\sqrt{x^2 + y^2}$ の同時演算
Δ-Σモジュレータインタフェース (DSMIF)		6チャンネル - 外部に最大6チャンネルのΔ-Σモジュレータを接続可能 - Sinc フィルタは1次、2次、3次から選択可能
パラレルデータキャプチャユニット (PDC)		1チャンネル - 外部8ビットデータを水平同期信号、垂直同期信号に同期して取り込み 1フレーム画像から切り出したい画像サイズを設定可能
グラフィックLCDコントローラ (GLCDC)		1チャンネル - さまざまなデータフォーマットおよび液晶パネルに対応 3面(単一色のバックグラウンド、グラフィック1、グラフィック2)の重ね合わせ機能 32bpp、16bppのグラフィックデータ、および8ビット、4ビット、1ビットのCLUTデータフォーマットをサポート
2D描画エンジン(DRW2D)		1チャンネル - ベクタ描画機能(直線、三角形、円等の図形) - BitBLT機能(塗りつぶし、コピー、ストレッチ、回転等に対応) - フレームバッファデータ入出力用のバスマスタ機能 各種の32bit、16bit、8bit/pixグラフィックデータに対応 - テキストチャデータ入力用のバスマスタ機能 各種の32/24/16/8/4/2/1 bitテキストチャデータ入力に対応 - ランレングス符号化機能に対応 - CLUTを搭載し、インデックスデータをカラーデータに変換対応 2つのレンダリングモードに対応(レジスタモード、ディスプレイリストモード) - パフォーマンスカウント機能 - レンダリング処理終了およびディスプレイリスト処理完了による割り込みサポート
12ビットA/Dコンバータ(S12ADFa)		12ビット×2ユニット(ユニット0: 8チャンネル、ユニット1: 21チャンネル) - 分解能: 12ビット(12ビット/10ビット/8ビットの分解能切り替え可能) - 変換時間 1チャンネル当たり(0.48 μs) (12ビット変換モード) 1チャンネル当たり(0.45 μs) (10ビット変換モード) 1チャンネル当たり(0.42 μs) (8ビット変換モード) - 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループ優先制御動作(3グループスキャンモードのみ) - サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド回路を3チャンネル搭載(ユニット0のみ) - サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 - デジタルコンペア機能 方式: 大小比較、またはウィンドウ比較 手段: 2つの変換結果を比較、または比較レジスタと変換結果を比較 - 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0: VREFL0, VREFH0 × 1/2, VREFH0、ユニット1: AVSS1, AVCC1 × 1/2, AVCC1) - ダブルトリガモード(A/D変換データ二重化機能) - アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ(MTU, TMR, TPU)のトリガ、外部トリガ - ELCによるイベントリンク機能をサポート
12ビットD/Aコンバータ(R12DAa)		2チャンネル - 分解能: 12ビット - 出力電圧: 0.2V ~ AVCC1 - 0.2V (バッファ出力) / 0V ~ AVCC1 (バッファなし出力) - バッファ出力/バッファなし出力を切り替え可能 - ELCによるイベントリンク機能をサポート
温度センサ		1チャンネル - 相対精度: ±1°C - 温度を電圧に変換し12ビットA/Dコンバータ(ユニット1)でデジタル化

表 1.1 仕様概要 (10 / 10)

分類	モジュール/機能	説明
セーフティ	メモリプロテクションユニット (MPU)	- プロテクションエリア : 0000 0000h ~ FFFF FFFFh 範囲内で最大8エリアを設定可能 - 最小保護単位 : 16 バイト - 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 - 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM) 機能	- コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 - TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算 (CRCA)	8ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ - LSB ファースト / MSB ファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	メインクロック発振停止検出 : あり
	クロック周波数精度測定回路 (CAC)	メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDТ専用オンチップオシレータ、USBクロック、Ethernet-PHY向け外部クロック、およびPCLKBにおける出カクロック周波数の異常を監視可能
	データ演算回路 (DOC)	16ビットのデータを比較/加算/減算する機能
暗号機能	Trusted Secure IP (TSIP) (注4)	- セキュリティアルゴリズム 共通鍵暗号 : AES (NIST FIPS PUB 197 準拠), TDES, ARC4 非共通鍵暗号 : RSA - その他の特長 TRNG (真正乱数生成回路) Hash値生成 : SHA1, SHA224, SHA256, MD5, GHASH 鍵の不正コピー防止
動作周波数	240MHz max	
電源電圧	VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, $2.7 \leq VREFH0 \leq AVCC0$, V _{BATT} = 2.0 ~ 3.6V	
動作周囲温度	Dバージョン : -40 ~ +85°C Gバージョン : -40 ~ +105°C	
パッケージ	224ピンLFBGA (PLBG0224GA-A) 176ピンLFBGA (PLBG0176GA-A) 176ピンLFQFP (PLQP0176KB-C)	
オンチップデバッグシステム	JTAGおよびFINEインタフェース	

注1. リアルタイムクロックを使用しない場合、「ユーザーズマニュアルハードウェア編」の「33.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。

注2. Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。

注3. EtherCAT®は、Beckhoff Automation GmbH (ドイツ)よりライセンスを受けた特許取得済み技術であり登録商標です。

注4. 暗号機能の有無で型名が異なります。

表 1.2 パッケージ別機能比較一覧 (1 / 2)

機能		RX72M	
パッケージ		224 ピン	176 ピン
外部バス	外部バス幅	32/16/8 ビット	
	SDRAM 領域コントローラ	あり	
DMA	DMA コントローラ	ch0 ~ 7	
	データトランスファコントローラ	あり	
	EXDMA コントローラ	ch0, 1	
タイマ	16 ビット タイマパルスユニット	ch0 ~ 5	
	マルチファンクション タイマパルスユニット 3	ch0 ~ 8	
	汎用 PWM タイマ	ch0 ~ 3	
	ポートアウトプットイネーブル 3	あり	
	GPT 用ポートアウトプットイネーブル	あり	
	プログラマブルパルスジェネレータ	ch0, 1	
	8 ビット タイマ	ch0 ~ 3	
	コンペアマッチタイマ	ch0 ~ 3	
	コンペアマッチタイマ W	ch0, 1	
	リアルタイムクロック	あり	
	ウォッチドッグタイマ	あり	
	独立ウォッチドッグタイマ	あり	
通信	イーサネットコントローラ	ch0, 1	
	PHY マネジメントインタフェース	ch0, 1	
	イーサネットコントローラ用 PTP コントローラ	あり	
	イーサネットコントローラ用 DMA コントローラ	ch0, 1 (ETHERC)、ch2 (EPTPC)	
	EtherCAT スレーブコントローラ	ch0, 1	
	USB2.0 FS ホスト/ファンクションモジュール	ch0	
	シリアルコミュニケーションインタフェース (SCIj)	ch0 ~ 6	
	シリアルコミュニケーションインタフェース (SCIi)	ch7 ~ 11	
	シリアルコミュニケーションインタフェース (SClh)	ch12	
	I ² C バスインタフェース	ch0 ~ 2	
	シリアルペリフェラルインタフェース	ch0 ~ 2	
	CAN モジュール	ch0 ~ 2	
	クワッドシリアルペリフェラルインタフェース	ch0	
	拡張シリアルサウンドインタフェース	ch0, 1	
	SD ホストインタフェース	ch0	
	マルチメディアカードインタフェース	ch0	
	パラレルデータキャプチャユニット	あり	
グラフィック	グラフィック LCD コントローラ	あり	
	2D 描画エンジン	あり	
12 ビット A/D コンバータ	ユニット 0	AN000 ~ 007 (8 本)	
	ユニット 1	AN100 ~ 120 (21 本)	

表 1.2 パッケージ別機能比較一覧 (2 / 2)

機能 パッケージ	RX72M	
	224 ピン	176 ピン
12ビットD/Aコンバータ	ch0,1	
温度センサ	あり	
三角関数演算器	あり	
Δ - Σ インタフェース	あり	
CRC演算器	あり	
データ演算回路	あり	
クロック周波数精度測定回路	あり	
Trusted Secure IP	あり / なし	
イベントリンクコントローラ	あり	

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM 容量	データ フラッシュ メモリ容量	動作周波数 (max)	暗号	動作周囲温度 (°C)
RX72M (Dバージョン)	R5F572MNDDFC	PLQP0176KB-C	4Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +85
	R5F572MNHDFC	PLQP0176KB-C	4Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +85
	R5F572MDDDFC	PLQP0176KB-C	2Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +85
	R5F572MDHDFC	PLQP0176KB-C	2Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +85
	R5F572MNDDBD	PLBG0224GA-A	4Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +85
	R5F572MNHDBD	PLBG0224GA-A	4Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +85
	R5F572MDDDBD	PLBG0224GA-A	2Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +85
	R5F572MDHDBD	PLBG0224GA-A	2Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +85
	R5F572MNDDBG	PLBG0176GA-A	4Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +85
	R5F572MNHDBG	PLBG0176GA-A	4Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +85
	R5F572MDDDBG	PLBG0176GA-A	2Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +85
	R5F572MDHDBG	PLBG0176GA-A	2Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +85
RX72M (Gバージョン)	R5F572MNDGFC	PLQP0176KB-C	4Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +105
	R5F572MNHGFC	PLQP0176KB-C	4Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +105
	R5F572MDDGFC	PLQP0176KB-C	2Mバイト	1Mバイト	32Kバイト	240MHz	なし	-40 ~ +105
	R5F572MDHGFC	PLQP0176KB-C	2Mバイト	1Mバイト	32Kバイト	240MHz	あり	-40 ~ +105

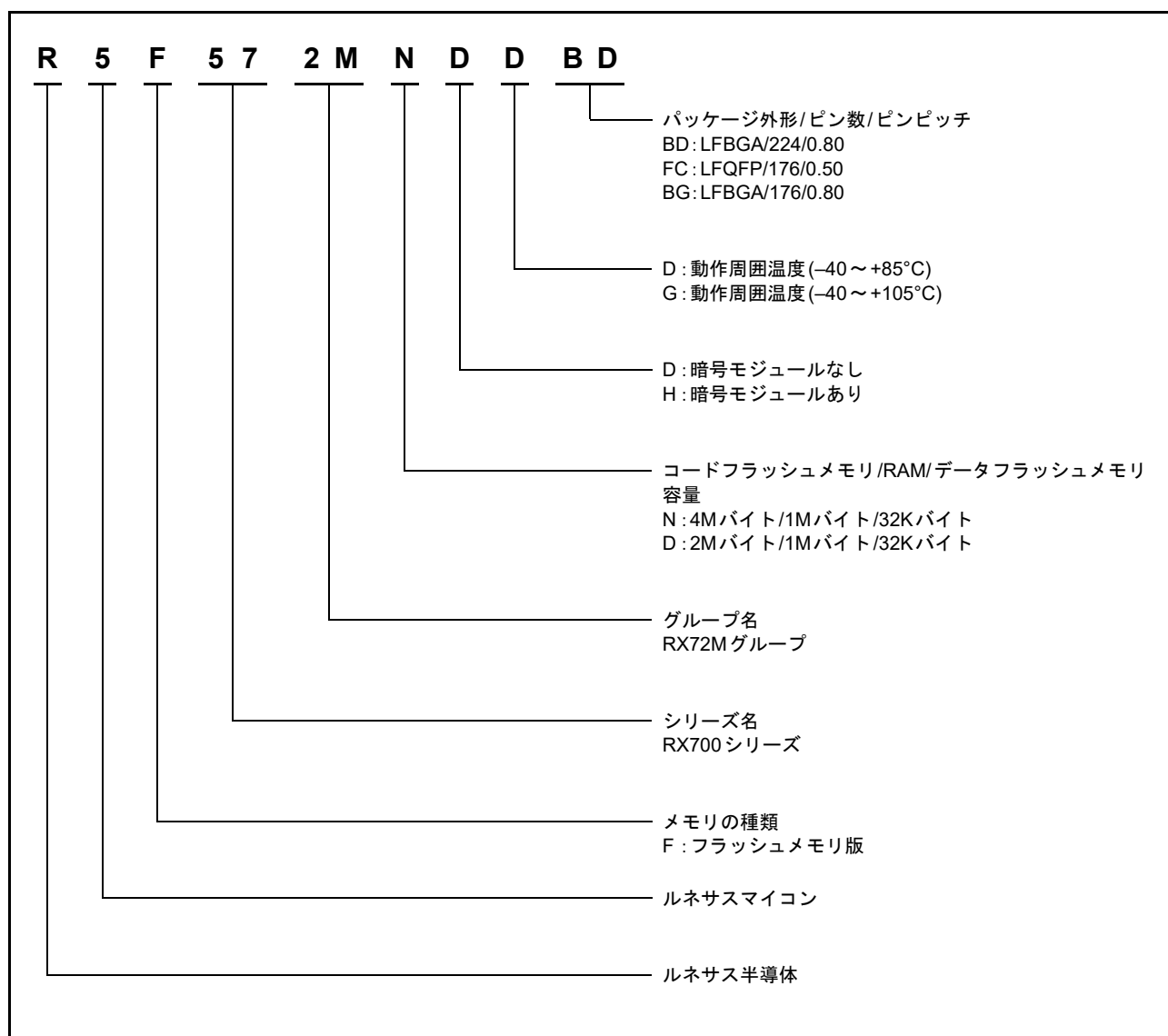


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

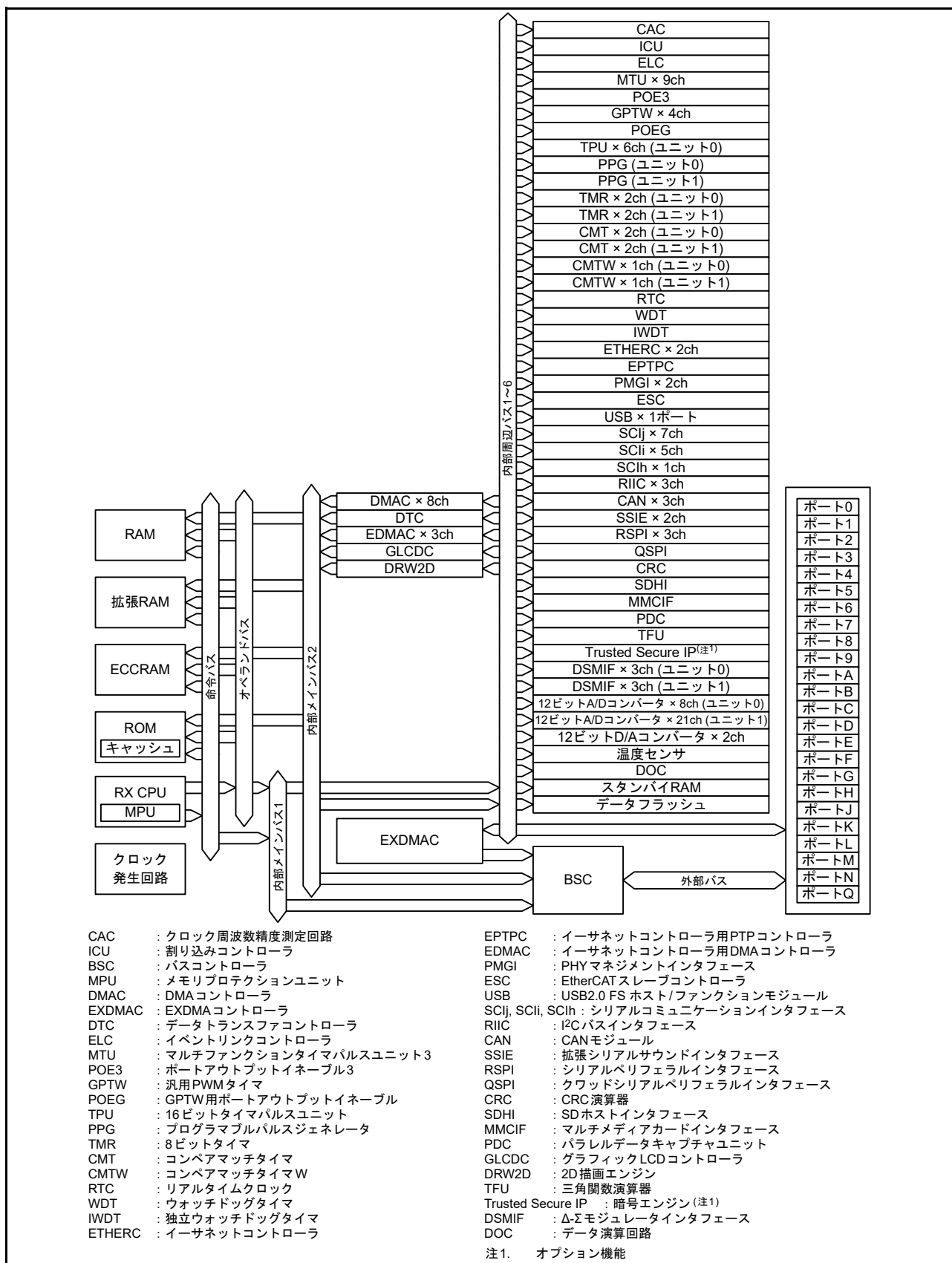


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 9)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	0.22μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子接続端子。EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM専用のクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCIN	入力	
	CLKOUT	出力	クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
	UB	入力	USB ブートモードイネーブル端子
	UPSEL	入力	USB ブートモード時の電源供給方式を選択 Lowでセルフパワー、Highでバスパワーを選択
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用端子。EMLE 端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC, TRSYNC1	出力	TRDATA0～TRDATA7 端子からの出力が有効データであることを示します
	TRDATA0～TRDATA7	出力	トレース情報を出力します
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D31	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 9)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストローブ信号
	WR#	出力	1ライトストローブモード時、外部バスインタフェース空間をライト中であることを示すストローブ信号
	WR0# ~ WR3#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中で、データバス(D7 ~ D0, D15 ~ D8, D23 ~ D16, D31 ~ D24)のいずれかが有効であることを示すストローブ信号
	BC0# ~ BC3#	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中で、データバス(D7 ~ D0, D15 ~ D8, D23 ~ D16, D31 ~ D24)のいずれかが有効であることを示すストローブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0# ~ CS7#	出力	CS領域選択信号
SDRAMインタフェース	CKE	出力	SDRAMクロックイネーブル信号
	SDCS#	出力	SDRAMチップセレクト信号
	RAS#	出力	SDRAMロウアドレスストローブ信号
	CAS#	出力	SDRAMカラムアドレスストローブ信号
	WE#	出力	SDRAMライトイネーブル端子
	DQM0 ~ DQM3	出力	SDRAM入出力データマスクイネーブル信号
EXDMAコントローラ	EDREQ0, EDREQ1	入力	外部DMA転送要求端子
	EDACK0, EDACK1	出力	シングルアドレス転送アクリッジ信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0 ~ IRQ15, IRQ0-DS ~ IRQ15-DS	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0 ~ TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3 ~ TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4 ~ TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6 ~ TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7 ~ TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	TGRA8 ~ TGRD8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
ポートアウトプット イネーブル3	POE0#, POE4#, POE8#, POE10#, POE11#	入力	MTUをハイインピーダンス状態にする要求信号を入力
汎用PWMタイマW	GTETRGA, GTETRGB, GTETRG, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A ~ GTIOC3A, GTIOC0B ~ GTIOC3B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子

表 1.4 端子機能一覧 (3 / 9)

分類	端子名	入出力	機能
16ビットタイマパルスユニット	TIOCA0, TIOCB0, TIOCC0, TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1, TIOCB1	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2, TIOCB2	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3, TIOCB3, TIOCC3, TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4, TIOCB4	入出力	TGRA4, TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5, TIOCB5	入出力	TGRA5, TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA, TCLKB, TCLKC, TCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
プログラマブルパルスジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCi0～TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子
シリアル コミュニケーション インタフェース (SCIj)	調歩同期式モード/クロック同期式モード		
	SCK0～SCK6	入出力	クロック入出力端子
	RXD0～RXD6	入力	受信データ入力端子
	TXD0～TXD6	出力	送信データ出力端子
	CTS0#～CTS6#	入力	送受信開始制御用入力端子
	RTS0#～RTS6#	出力	送受信開始制御用出力端子
	簡易I²Cモード		
	SSCL0～SSCL6	入出力	I ² Cクロック入出力端子
	SSDA0～SSDA6	入出力	I ² Cデータ入出力端子
	簡易SPIモード		
	SCK0～SCK6	入出力	クロック入出力端子
	SMISO0～SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI6	入出力	マスタ送出データ入出力端子
	SS0#～SS6#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (4 / 9)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易 I ² C モード		
	SSCL12	入出力	I ² C クロック入出力端子
	SSDA12	入出力	I ² C データ入出力端子
	• 簡易 SPI モード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
シリアル コミュニケーション インタフェース (SCIi)	• 調歩同期式モード/クロック同期式モード		
	SCK7 ~ SCK11	入出力	クロック入出力端子
	RXD7 ~ RXD11	入力	受信データ入力端子
	TXD7 ~ TXD11	出力	送信データ出力端子
	CTS7# ~ CTS11#	入力	送受信開始制御用入力端子
	RTS7# ~ RTS11#	出力	送受信開始制御用出力端子
	• 簡易 I ² C モード		
	SSCL7 ~ SSCL11	入出力	I ² C クロック入出力端子
	SSDA7 ~ SSDA11	入出力	I ² C データ入出力端子
	• 簡易 SPI モード		
	SCK7 ~ SCK11	入出力	クロック入出力端子
	SMISO7 ~ SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI7 ~ SMOSI11	入出力	マスタ送出データ入出力端子
	SS7# ~ SS11#	入力	チップセレクト入力端子
I ² C バスインタフェース	SCL0[FM+], SCL1, SCL2, SCL2-DS	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0[FM+], SDA1, SDA2, SDA2-DS	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (5 / 9)

分類	端子名	入出力	機能
イーサネットコントローラ	REF50CK0, REF50CK1	入力	50MHz 基準クロック。RMII モード時の送受信信号タイミング参照信号
	RMII0_CRS_DV, RMII1_CRS_DV	入力	RMII モード時、キャリア検出信号。有効な受信データが RMII _n _RXD1~0 上にあることを示す信号
	RMII0_TXD0, RMII0_TXD1, RMII1_TXD0, RMII1_TXD1	出力	RMII モード時、2 ビットの送信データ
	RMII0_RXD0, RMII0_RXD1, RMII1_RXD0, RMII1_RXD1	入力	RMII モード時、2 ビットの受信データ
	RMII0_TXD_EN, RMII1_TXD_EN	出力	RMII モード時、データ送信イネーブル信号
	RMII0_RX_ER, RMII1_RX_ER	入力	RMII モード時、データ受信中にエラーが発生したことを示す信号
	ET0_CRS, ET1_CRS	入力	キャリア検出/受信データ有効端子
	ET0_RX_DV, ET1_RX_DV	入力	有効な受信データが ET _n _ERXD3~0 上にあることを示す信号
	ET0_EXOUT, ET1_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA, ET1_LINKSTA	入力	PHY-LSI からのリンク状態を入力
	ET0_ETXD0~ET0_ETXD3, ET1_ETXD0~ET1_ETXD3	出力	MII の 4 ビット送信データ
	ET0_ERXD0~ET0_ERXD3, ET1_ERXD0~ET1_ERXD3	入力	MII の 4 ビット受信データ
	ET0_TX_EN, ET1_TX_EN	出力	送信許可端子。ET _n _ETXD3~0 上に送信データが準備できたことを示す信号
	ET0_TX_ER, ET1_TX_ER	出力	送信エラー端子。送信中のエラーを PHY-LSI に通知する信号
	ET0_RX_ER, ET1_RX_ER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号
	ET0_TX_CLK, ET1_TX_CLK	入力	送信クロック端子。ET _n _TX_EN, ET _n _ETXD3~0, ET _n _TX_ER のタイミング参照信号
	ET0_RX_CLK, ET1_RX_CLK	入力	受信クロック端子。ET _n _RX_DV, ET _n _ERXD3~0, ET _n _RX_ER のタイミング参照信号
	ET0_COL, ET1_COL	入力	衝突検出信号
	ET0_WOL, ET1_WOL	出力	Magic Packet 受信を示す信号
	ET0_MDC, ET1_MDC	出力	ET _n _MDIO による情報転送用の参照クロック信号
イーサネット PHY マネジメントインタフェース	ET0_MDIO, ET1_MDIO	入出力	本 MCU と PHY-LSI との間で管理情報を交換するための双方向信号
	CLKOUT25M	出力	PHY クロック入力用の 25MHz クロック出力端子 (EtherCAT と兼用)
	EPLSOUT0, EPLSOUT1	出力	時刻同期用パルス出力信号
イーサネット PHY マネジメントインタフェース	PMGIO_MDC, PMGI1_MDC	出力	PMGI _n _MDIO による情報転送用の参照クロック信号
	PMGIO_MDIO, PMGI1_MDIO	入出力	本 MCU と PHY-LSI との間で管理情報を交換するための双方向信号

表 1.4 端子機能一覧 (6 / 9)

分類	端子名	入出力	機能
EtherCAT スレーブコントローラ	• MII モード		
	CAT0_LINKSTA, CAT1_LINKSTA	入力	PHY Link 信号入力端子
	CAT0_RX_CLK, CAT1_RX_CLK	入力	受信クロック入力端子
	CAT0_RX_DV, CAT1_RX_DV	入力	受信データ・イネーブル信号入力端子
	CAT0_ERXD0~3, CAT1_ERXD0~3	入力	受信データ信号入力端子
	CAT0_RX_ER, CAT1_RX_ER	入力	受信データ・エラー信号入力端子
	CAT0_TX_CLK, CAT1_TX_CLK	入力	送信クロック入力端子
	CAT0_TX_EN, CAT1_TX_EN	出力	送信イネーブル信号出力端子
	CAT0_ETXD0~3, CAT1_ETXD0~3	出力	送信データ信号出力端子
	CAT0_MDC	出力	マネージメント・インタフェース・クロック出力端子
	CAT0_MDIO	入出力	マネージメント・データ信号入出力端子
	CLKOUT25M	出力	PHY クロック入力用の 25MHz クロック出力端子 (EtherC と兼用)
	• EtherCAT 専用		
	CATRESTOUT	出力	PHY RESET 用出力信号
	CATLEDRUN	出力	EtherCAT RUN LED 信号出力端子
	CATIRQ	出力	EtherCAT IRQ 信号出力端子
	CATLEDSTER	出力	EtherCAT Dual-color ステート LED 信号出力端子
	CATLEDERR	出力	EtherCAT Error LED 信号出力端子
	CATLINKACT0, CATLINKACT1	出力	EtherCAT Link/Activity LED 信号出力端子
	CATSYNC0, CATSYNC1	出力	EtherCAT SYNC 信号出力端子
	CATLATCH0, CATLATCH1	入力	EtherCAT LATCH 信号入力端子
	CATI2CCLK	出力	EtherCAT EEPROM I ² C クロック信号出力端子
	CATI2CDATA	入出力	EtherCAT EEPROM I ² C データ信号入出力端子
USB2.0 ホスト/ファンクションモジュール	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB0_DP	入出力	USB バスの D+ データ
	USB0_DM	入出力	USB バスの D- データ
	USB0_EXICEN	出力	OTG 電源 IC に接続
	USB0_ID	入力	OTG 電源 IC に接続
	USB0_VBUSEN	出力	USB 用 VBUS パワーイネーブル端子
	USB0_OVRCURA/ USB0_OVRCURB	入力	USB 用オーバカレント端子
	USB0_VBUS	入力	USB ケーブルの接続/切断検出入力端子
CAN モジュール	CRX0, CRX1, CRX2, CRX1-DS	入力	CAN 入力端子
	CTX0, CTX1, CTX2	出力	CAN 出力端子

表 1.4 端子機能一覧 (7 / 9)

分類	端子名	入出力	機能
シリアルペリフェラル インタフェース	RSPCKA-A/RSPCKA-B/ RSPCKB-A/RSPCKB-B/ RSPCKC-A/RSPCKC-B	入出力	クロック入出力端子
	MOSIA-A/MOSIA-B/ MOSIB-A/MOSIB-B/ MOSIC-A/MOSIC-B	入出力	マスタ送出データ入出力端子
	MISOA-A/MISOA-B/ MISOB-A/MISOB-B/ MISOC-A/MISOC-B	入出力	スレーブ送出データ入出力端子
	SSLA0-A/SSLA0-B/ SSLB0-A/SSLB0-B/ SSLC0-A/SSLC0-B	入出力	スレーブセレクト入出力端子
	SSLA1-A/SSLA1-B/ SSLB1-A/SSLB1-B/ SSLC1-A/SSLC1-B, SSLA2-A/SSLA2-B/ SSLB2-A/SSLB2-B/ SSLC2-A/SSLC2-B, SSLA3-A/SSLA3-B/ SSLB3-A/SSLB3-B/ SSLC3-A/SSLC3-B	出力	スレーブセレクト出力端子
クワッドシリアルペリ フェラルインタフェース	QSPCLK-A/QSPCLK-B	出力	QSPIのクロック出力端子
	QSSL-A/QSSL-B	出力	QSPIのスレーブ出力端子
	QMO-A/QMO-B, QIO0-A/QIO0-B	入出力	マスタ送出データ/データ0
	QMI-A/QMI-B, QIO1-A/QIO1-B	入出力	マスタ入力データ/データ1
	QIO2-A/QIO2-B, QIO3-A/QIO3-B	入出力	データ2、データ3
拡張シリアルサウンド インタフェース	SSIBCK0, SSIBCK1	入出力	SSIEシリアルビットクロック端子
	SSILRCK0, SSILRCK1	入出力	LRクロック
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)
MMCホストインタ フェース	MMC_CLK-A/MMC_CLK-B	出力	MMCクロック端子
	MMC_CMD-A/MMC_CMD-B	入出力	コマンド/レスポンス端子
	MMC_D7-A/MMC_D7-B ~ MMC_D0-A/MMC_D0-B	入出力	送信データ/受信データ信号
	MMC_CD-A/MMC_CD-B	入力	カード検出端子
	MMC_RES#-A/ MMC_RES#-B	出力	MMCリセット出力端子
SDホストインタフェ ース	SDHI_CLK-A/SDHI_CLK-B/ SDHI_CLK-C	出力	SDクロック出力端子
	SDHI_CMD-A/SDHI_CMD-B/ SDHI_CMD-C	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3-A/SDHI_D3-B/ SDHI_D3-C ~ SDHI_D0-A/ SDHI_D0-B/SDHI_D0-C	入出力	SDデータバス端子
	SDHI_CD	入力	SDカード検出端子
	SDHI_WP	入力	SDライトプロテクト信号
ΔΣモジュレータインタ フェース	DSMCLK0 ~ DSMCLK5	入出力	クロック入出力端子
	DSMDAT0 ~ DSMDAT5	入力	データ入力端子

表 1.4 端子機能一覧 (8 / 9)

分類	端子名	入出力	機能
パラレルデータキャプチャユニット	PIXCLK	入力	画像転送用クロック端子
	VSNC	入力	垂直同期信号端子
	HSNC	入力	水平同期信号端子
	PIXD0 ~ PIXD7	入力	8ビット画像データ端子
	PCKO	出力	ドットクロック用出力端子
グラフィックLCDコントローラ	LCD_CLK-A, LCD_CLK-B	出力	パネルクロック出力端子
	LCD_TCON3-A/ LCD_TCON3-B ~ LCD_TCON0-A/ LCD_TCON0-B	出力	制御信号出力端子
	LCD_DATA23-A/ LCD_DATA23-B ~ LCD_DATA0-A/ LCD_DATA0-B	出力	LCD信号出力端子
	LCD_EXTCLK-A, LCD_EXTCLK-B	入力	パネルクロック源入力端子
リアルタイムクロック	RTCOUNT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0 ~ RTCIC2	入力	時間キャプチャイベント入力端子
12ビットA/Dコンバータ	AN000 ~ AN007, AN100 ~ AN120	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ANEX0	出力	拡張アナログ出力端子
	ANEX1	入力	拡張アナログ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ(ユニット0)のアナログ電源端子。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS0に接続してください。コンデンサは端子近くに配置してください
	AVSS0	入力	12ビットA/Dコンバータ(ユニット0)のアナロググランド端子。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC0に接続してください。コンデンサは端子近くに配置してください
	VREFH0	入力	12ビットA/Dコンバータ(ユニット0)の基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータ(ユニット0)の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	AVCC1	入力	12ビットA/Dコンバータ(ユニット1)とD/Aコンバータのアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCCと接続してください。0.1μFの積層セラミックコンデンサを介してAVSS1に接続してください。コンデンサは端子近くに配置してください
	AVSS1	入力	12ビットA/Dコンバータ(ユニット1)とD/Aコンバータのアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSSと接続してください。0.1μFの積層セラミックコンデンサを介してAVCC1に接続してください。コンデンサは端子近くに配置してください

表 1.4 端子機能一覧 (9 / 9)

分類	端子名	入出力	機能
I/Oポート	P00～P03, P05, P07	入出力	6ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子(P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P57	入出力	8ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P87	入出力	8ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF0～PF5	入出力	6ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PJ0～PJ3, PJ5	入出力	5ビットの入出力端子
	PH0～PH7	入出力	8ビットの入出力端子
	PK0～PK7	入出力	8ビットの入出力端子
	PL0～PL7	入出力	8ビットの入出力端子
	PM0～PM7	入出力	8ビットの入出力端子
	PN0～PN5	入出力	6ビットの入出力端子
	PQ0～PQ7	入出力	8ビットの入出力端子

注. 端子名については、以下の注意事項があります。詳細は、「1.5 ピン配置図」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。RSPI、QSPI、SDHI、MMC、GLCDCについては、電気的特性のACタイミングを各グループで測定しています。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
- RIICの端子名に[FM+]が付加されている端子は、ファストモードプラスに対応しています。

1.5 ピン配置図

図 1.3 ～図 1.5 にピン配置図を示します。また、表 1.5 ～表 1.7 に機能別端子一覧を示します。

RX72M グループ PLBG0224GA-A (224 ピン LFBGA) (上面透視図)																
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	P70	PE7	P66	P67	PG4	PG7	PA4	PA5	PA7	P72	PB4	PB6	PB7	PM3	PM5	15
14	PE1	PE4	P65	PG2	PG5	PG6	PA3	PA6	PB0	PB3	PB2	PC0	PC1	PM4	P74	14
13	P62	PE2	PE5	VSS	PE6	PG3	PA2	VSS	P71	PB5	VCC	PM7	PM6	PC2	P75	13
12	P61	P63	VSS	PE3	VCC	PA0	PA1	VCC	PB1	VSS	PN4	PL6	P76	PL2	PL4	12
11	PD7	VCC	P64	PE0	PQ4	PM1	PM0	PL0	PN5	PM2	P77	PL5	PK2	PC4	PC3	11
10	PG0	PD6	P60	PG1	PQ5	VSS	VCC	P73	PL1	PL3	PL7	PK0	P80	P82	PC5	10
9	PD3	PD4	P97	PD5	PQ3	PQ6	PN2	PN3	PK3	PK1	P81	P83	PC7	VSS	PC6	9
8	P96	P95	VCC	VSS	PQ1	PN1	PQ2	PQ7	P53 (注 1)	P50	P52	P51	VCC	P11	P55	8
7	PD2	P94	PD1	P93	PQ0	PK6	RES#	PJ3	P15	P10	VCC	VSS	P56	P57	P54	7
6	PD0	VCC	P90	P02	PN0	EMLE	PF5	BSCANP	PH2	PH1	PJ2	P84	PJ1	VSS_US B	USB0_D P	6
5	P92	P91	VSS	P01	P07	PK5	PJ5	P32	P30	PF0	VCC	PJ0	P13	VCC_US B	USB0_D M	5
4	P41	P46	P44	P40	P43	PK4	MD/ FINED	P33	P31	PH5	P24	VSS	P85	P14	P12	4
3	VREFL0	P42	P05	P03	P00	PF4	VCC	P35	PF3	PH4	PF1	P25	P86	P20	P16	3
2	VREFH0	AVCC0	AVCC1	P47	VSS	VBATT	VSS	P34	PF2	PH6	P27	P23	PH0	P17	P87	2
1	NC	AVSS0	AVSS1	P45	VCL	XCIN	XCOUT	XTAL	EXTAL	PH7	PH3	P26	P22	PK7	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

注.

ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.5 機能別端子一覧(224ピンLFBGA)」をご確認ください。

注 1.

外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

図 1.3 ピン配置図 (224 ピン LFBGA)

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	VSS	VCC	PC1	15
14	PE1	PE0	VSS	PE7	PG3	PA0	PA1	PA2	PA7	VCC	PB1	PB5	P73	P75	P74	14
13	P63	P64	PE4	VCC	PG2	PG4	PG6	PA3	VSS	P71	PB3	PB7	PC0	PC2	P76	13
12	P60	VSS	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12
11	PD6	PG1	VCC	P61	RX72M グループ PLBG0176GA-A (176 ピン LFBGA) (上面透視図)							P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7								PC5	PC7	P83	VSS	10
9	VCC	P96	PD3	PD5								P50	P51	P52	P53 (注 1)	9
8	P94	PD1	PD2	VSS								P55	P54	P10	P11	8
7	VSS	P92	PD0	P95								P85	P84	P57	P56	7
6	VCC	P91	P90	P93								PJ1	PJ0	VSS_USB	USB0_DP	6
5	P46	P47	P45	P44								PJ2	P12	VCC_USB	USB0_DM	5
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P13	4
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD/ FINED	RES#	P34	PF2	PF0	P24	P22	P87	P16	3
2	AVCC0	P07	AVCC1	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2
1	AVSS0	P05	AVSS1	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	VCC	VSS	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.6 機能別端子一覧(176ピンLFBGA)」をご確認ください。

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

図 1.4 ピン配置図 (176 ピン LFBGA)

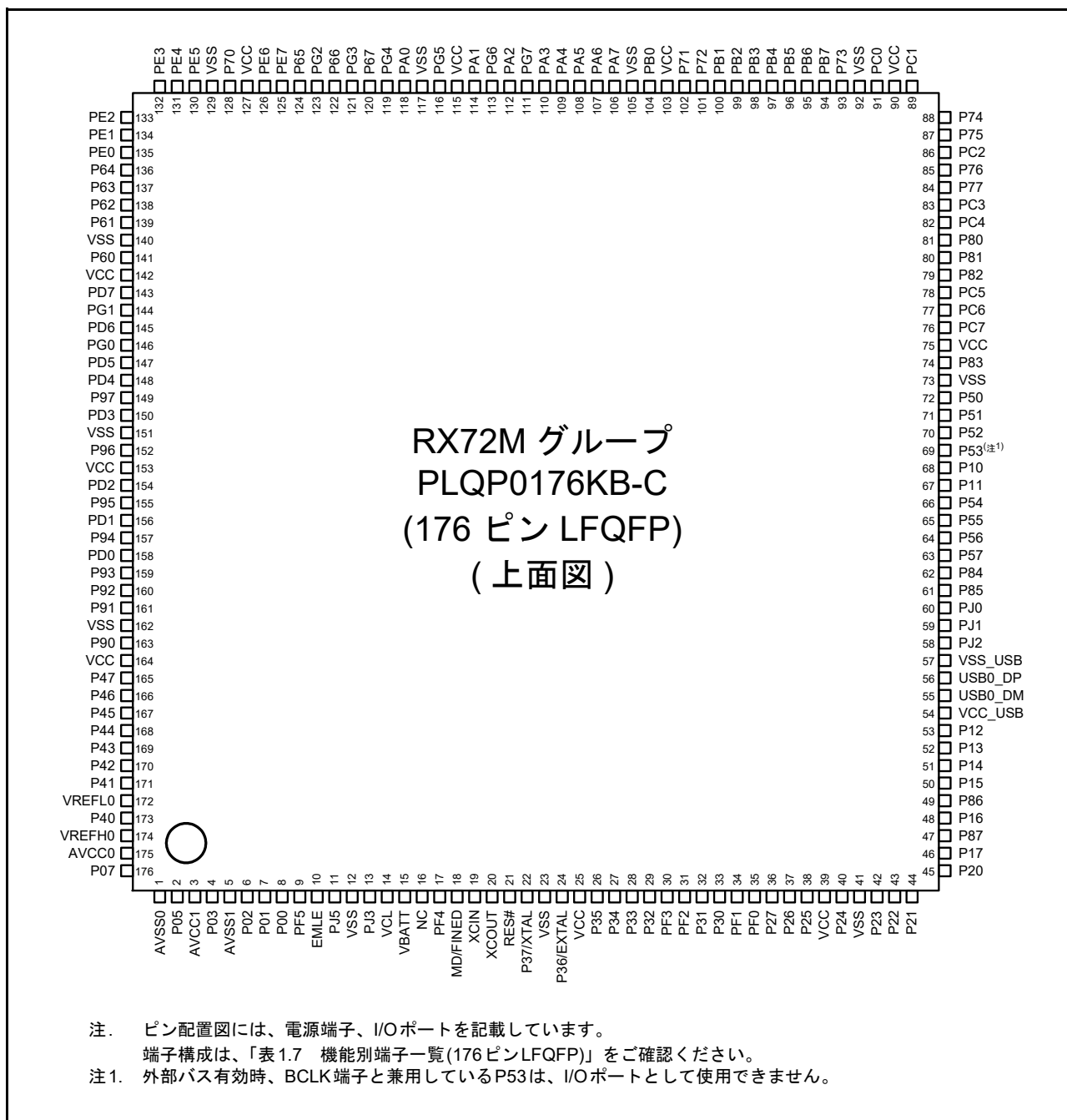


図 1.5 ピン配置図 (176 ピン LQFP)

表 1.5 機能別端子一覧(224ピンLFBGA) (1 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)					
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
A1	NC											
A2	VREFH0											
A3	VREFL0											
A4		P41								IRQ9-DS	AN001	
A5		P92	D18/A18	POE4#		RXD7/ SMISO7/ SSCL7	ET1_CRS/ RMII1_CR S_DV/ CAT1_RX _DV				AN116	DSMCLK4
A6		PD0	D0[A0/D0]	POE4#	GTIOC1B				LCD_EXT CLK-B	IRQ0	AN108	
A7		PD2	D2[A2/D2]	MTIOC4D/ TIC2	GTIOC0B	MISOC-A/ CRX0	ET1_EXO UT	QIO2-B/ SDHI_D2- B/ MMC_D2- B	LCD_DAT A22-B	IRQ2	AN110	
A8	TRDATA5	P96	D22/A22				ET1_ERX D2/ CAT1_ER XD2					
A9		PD3	D3[A3/D3]	MTIOC8D/ TOC2/ POE8#	GTIOC0A	RSPCKC- A	ET1_WOL	QIO3-B/ SDHI_D3- B/ MMC_D3- B	LCD_DAT A21-B	IRQ3	AN111	
A10	TRDATA6	PG0	D24				ET1_RX_ CLK/ REF50CK 1/ CAT1_RX _CLK					
A11		PD7	D7[A7/D7]	MTIC5U/ POE0#		SSLC3-A	ET1_RX_ ER/ RMII1_RX _ER/ CAT1_RX _ER	QMI-B/ QIO1-B/ SDHI_D1- B/ MMC_D1- B	LCD_DAT A17-B	IRQ7	AN107	
A12		P61	SDCS#/ D0[A0/D0]/ CS1#				ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1					
A13		P62	RAS#/ D1[A1/D1]/ CS2#				ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0					
A14		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	GTIOC1B	TXD12/ SMOSI12/ SSDA12/ TXDX12/ SIOX12/ SSLB2-B		MMC_D5- B	LCD_DAT A15-B		ANEX1	
A15		P70	SDCLK				CATLINKA CT0					
B1	AVSS0											
B2	AVCC0											
B3		P42								IRQ10-DS	AN002	
B4		P46								IRQ14-DS	AN006	

表 1.5 機能別端子一覧(224ピンLFBGA) (2 / 15)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)					
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC						GLCDC	割り込み	A/D D/A	DSMIF
B5		P91	D17/A17			SCK7	ET1_COL				AN115	DSMDAT5
B6	VCC											
B7		P94	D20/A20				ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0					
B8	TRDATA4	P95	D21/A21				ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1					
B9		PD4	D4[A4/D4]	MTIOC8B/ POE11#		SSLC0-A	ET1_MDI O/ PMGI1_M DIO	QSSL-B/ SDHI_CM D-B/ MMC_CM D-B	LCD_DAT A20-B	IRQ4	AN112	
B10		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#		SSLC2-A	ET1_RX_ CLK/ REF50CK 1/ CAT1_RX_ CLK	QMO-B/ QIO0-B/ SDHI_D0- B/ MMC_D0- B	LCD_DAT A18-B	IRQ6	AN106	
B11	VCC											
B12		P63	CAS#/ D2[A2/D2]/ CS3#				ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
B13		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/ TIC3	GTIOC0B	RXD12/ SMISO12/ SSCL12/ RXDX12/ SSLB3-B		MMC_D6- B	LCD_DAT A14-B	IRQ7-DS	AN100	
B14		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	GTIOC1A	SSLB0-B	ET0_ERX D2/ CAT0_ER XD2		LCD_DAT A12-B		AN102	
B15		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	GTIOC3A	MISOB-B		SDHI_WP/ MMC_RE S#-B	LCD_DAT A9-B	IRQ7	AN105	
C1	AVSS1											
C2	AVCC1											
C3		P05				SSILRCK1				IRQ13	DA1	
C4		P44								IRQ12-DS	AN004	
C5	VSS											
C6		P90	D16/A16			TXD7/ SMOSI7/ SSDA7	ET1_RX_ DV/ CAT1_RX_ DV				AN114	DSMCLK5
C7		PD1	D1[A1/D1]	MTIOC4B/ POE0#	GTIOC1A	MOSIC-A/ CTX0			LCD_DAT A23-B	IRQ1	AN109	
C8	VCC											
C9	TRSYNC1	P97	D23/A23				ET1_ERX D3/ CAT1_ER XD3					

表 1.5 機能別端子一覧(224ピンLFBGA) (3 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)					
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC						GLCDC	割り込み	A/D D/A	DSMIF
C10		P60	CS0#				ET1_TX_E N/ RMII1_TX D_EN/ CAT1_TX_ EN					
C11		P64	WE#/ D3[A3/D3]/ CS4#				ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
C12	VSS											
C13		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	GTIOC0A	RSPCKB- B	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK		LCD_DAT A11-B	IRQ5	AN103	
C14		P65	CKE/CS5#									
C15		P66	DQM0/ CS6#	MTIOC7D	GTIOC2B	CTX2						
D1		P45								IRQ13-DS	AN005	
D2		P47								IRQ15-DS	AN007	
D3		P03				SSIDATA1				IRQ11	DA0	
D4		P40								IRQ8-DS	AN000	
D5		P01		TMC10		RXD6/ SMISO6/ SSCL6/ SSIBCK0	CATLEDE RR	QIO3-C		IRQ9	AN119	
D6		P02		TMC11		SCK6/ SSIBCK1	CATLEDS TER			IRQ10	AN120	
D7		P93	D19/A19	POE0#		CTS7#/ RTS7#/ SS7#	ET1_LINK STA/ CAT1_LIN KSTA				AN117	DSMDAT4
D8	VSS											
D9		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ MTCLKA/ POE10#		SSLC1-A	ET1_MDC/ PMGI1_M DC	QSPCLK- B/ SDHI_CLK -B/ MMC_CLK -B	LCD_DAT A19-B	IRQ5	AN113	
D10	TRDATA7	PG1	D25				ET1_RX_ ER/ RMII1_RX ER/ CAT1_RX_ ER					
D11		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	GTIOC2B	SCK12/ SSLB1-B		MMC_D4- B	LCD_DAT A16-B		ANEX0	
D12		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/ TOC3/ POE8#	GTIOC2A	CTS12#/ RTS12#/ SS12#	ET0_ERX D3/ CAT0_ER XD3	MMC_D7- B	LCD_DAT A13-B		AN101	
D13	VSS											
D14	TRDATA0	PG2	D26				ET1_TX_ CLK/ CAT1_TX_ CLK					

表 1.5 機能別端子一覧(224 ピン LFBGA) (4 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224 ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
D15		P67	DQM1/ CS7#	MTIOC7C	GTIOC1B	CRX2	EPLSOUT 1/ CATSYNC 1			IRQ15		
E1	VCL											
E2	VSS											
E3		P00		TMRI0		TXD6/ SMOSI6/ SSDA6/ AUDIO_C LK	CATLATC H1	QIO2-C		IRQ8	AN118	
E4		P43								IRQ11-DS	AN003	
E5		P07								IRQ15	ADTRG0#	
E6		PN0					ET1_ETX D2/ CAT1_ET XD2					
E7		PQ0				SCK11	ET1_CRS/ RMII1_CR S_DV/ CAT1_RX _DV					
E8		PQ1				SMISO11/ SSCL11/ RXD11	ET1_COL					
E9		PQ3				RTS11#/ CTS11#/ SS11#	ET1_TX_E R					
E10		PQ5					ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
E11		PQ4					ET1_RX_ CLK/ REF50CK 1/ CAT1_RX _CLK					
E12	VCC											
E13		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	GTIOC3B	MOSIB-B		SDHI_CD/ MMC_CD- B	LCD_DAT A10-B	IRQ6	AN104	
E14	TRCLK	PG5	D29				ET1_ETX D2/ CAT1_ET XD2					
E15	TRSYNC	PG4	D28				ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
F1	XCIN											
F2	VBATT											
F3	TRST#	PF4										

表 1.5 機能別端子一覧 (224 ピン LFBGA) (5 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224 ピン LFBGA	電源 クロック システム 制御	I/O ポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
F4		PK4			GTADSM0	SSLB1	ET0_ERX D2/ CAT0_ER XD2					
F5		PK5			GTADSM1	SSLB2	ET0_ERX D3/ CAT0_ER XD3					
F6	EMLE											
F7		PK6			GTIOC1A	SSLB3	CATLINKA CT0					
F8		PN1					ET1_ETX D3/ CAT1_ET XD3					
F9		PQ6					ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
F10	VSS											
F11		PM1		TOC3	GTETRGB	SMISO10/ SSCL10/ RXD10	ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1	SDHI_CM D-D/ QSSL-A				
F12		PA0	DQM2/ BC0#/A0	MTIOC4A/ MTIOC6D/ TIOCA0/ PO16/ CACREF	GTIOC0B	SSLA1-B	ET0_TX_E N/ RMII0_TX D_EN/ CAT0_TX_ EN/ CATLEDR UN		LCD_DAT A8-B			
F13	TRDATA1	PG3	D27				ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
F14	TRDATA2	PG6	D30				ET1_ETX D3/ CAT1_ET XD3					
F15	TRDATA3	PG7	D31				ET1_TX_E R					
G1	XCOUT											
G2	VSS											
G3	VCC											
G4	MD/FINED											
G5		PJ5		POE8#		CTS2#/ RTS2#/ SS2#/ SSIRXD0	EPLSOUT 0/ CATSYNC 0	QMI-C/ QIO1-C				
G6		PF5	WAIT#			SSILRCK0	CATLATC H0			IRQ4		
G7	RES#											

表 1.5 機能別端子一覧(224ピンLFBGA) (6 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
G8		PQ2				SMOSI11/ SSDA11/ TXD11	ET1_RX_ DV/ CAT1_RX_ DV					
G9		PN2					ET1_TX_ CLK/ CAT1_TX_ CLK					
G10	VCC											
G11		PM0		TIC3	GTETRGA	SCK10	ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0	SDHI_CLK -D/ QSPCLK- A				
G12		PA1	DQM3/A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/ PO17	GTIOC2A	SCK5/ SSLA2-B	ET0_WOL		LCD_DAT A7-B	IRQ11		
G13		PA2	A2	MTIOC7A/ PO18	GTIOC1A	RXD5/ SMISO5/ SSCL5/ SSLA3-B	CATLINKA CT1		LCD_DAT A6-B			
G14		PA3	A3	MTIOC0D/ MTCLKD/ TIOCDO/ TCLKB/ PO19		RXD5/ SMISO5/ SSCL5	ET0_MDI O/ CAT0_MDI O/ PMGI0_M DIO		LCD_DAT A5-B	IRQ6-DS		
G15		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRIO/ PO20		TXD5/ SMOSI5/ SSDA5/ SSLA0-B	ET0_MDC/ CAT0_MD C/ CATIRQ/ PMGI0_M DC		LCD_DAT A4-B	IRQ5-DS		
H1	XTAL	P37										
H2		P34		MTIOC0A/ TMCI3/ PO12/ POE10#		SCK6/ SCK0	ET0_LINK STA/ CAT0_LIN KSTA			IRQ4		DSMDAT0
H3	UPSEL	P35								NMI		
H4		P33	EDREQ1	MTIOC0D/ TIOCDO/ TMR13/ PO11/ POE4#/ POE11#		RXD6/ SMISO6/ SSCL6/ RXD0/ SMISO0/ SSCL0/ CRX0		PCKO		IRQ3-DS		DSMCLK0
H5		P32		MTIOC0C/ TIOCC0/ TMO3/ PO10/ RTCIC2/ RTCOUT/ POE0#/ POE10#		TXD6/ SMOSI6/ SSDA6/ TXD0/ SMOSI0/ SSDA0/ CTX0/ USB0_VB USEN		VSYNC		IRQ2-DS		
H6	BSCANP											

表 1.5 機能別端子一覧(224ピンLFBGA) (7 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
H7		PJ3	EDACK1	MTIOC3C		CTS6#/ RTS6#/ SS6#/ CTS0#/ RTS0#/ SS0#/ SSITXD0	ET0_EXO UT/ CATREST OUT	QMO-C/ QIO0-C				
H8		PQ7					ET1_TX_E N/ RMII1_TX D_EN/ CAT1_TX_ EN					
H9		PN3					ET1_RX_ ER/ RMII1_RX ER/ CAT1_RX_ ER					
H10		P73	CS3#	PO16			ET0_WOL		LCD_EXT CLK-A			
H11		PL0		TIC2	GTETRGA	SCK9/ RSPCKC	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0					
H12	VCC											
H13	VSS											
H14		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/ PO22/ POE10#	GTETRGB	CTS5#/ RTS5#/ SS5#/ MOSIA-B	ET0_EXO UT/ CATREST OUT		LCD_DAT A2-B			
H15		PA5	A5	MTIOC6B/ TIOCB1/ PO21	GTIOC0A	RSPCKA- B	ET0_LINK STA/ CAT0_LIN KSTA		LCD_DAT A3-B			
J1	EXTAL	P36										
J2	TDI	PF2				RXD1/ SMISO1/ SSCL1	CAT12CCL K					
J3	TMS	PF3										
J4		P31		MTIOC4D/ TMCI2/ PO9/ RTCIC1		CTS1#/ RTS1#/ SS1#/ SSLB0-A	ET1_MDC/ PMGI1_M DC			IRQ1-DS		
J5		P30		MTIOC4B/ TMRI3/ PO8/ RTCIC0/ POE8#		RXD1/ SMISO1/ SSCL1/ MISOB-A	ET1_MDI O/ PMGI1_M DIO			IRQ0-DS		
J6		PH2			GTETRGC	SMOSI7/ SSDA7/ TXD7/ MISOA	CAT12CDA TA					
J7		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMCI2/ PO13	GTETRGA	RXD1/ SMISO1/ SSCL1/ SCK3/ CRX1-DS/ SSILRCK1	CATLED R UN	PIXD0		IRQ5		

表 1.5 機能別端子一覧(224ピンLFBGA) (8 / 15)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
J8		P53 (注1)	BCLK									
J9		PK3			GTETRGD	RTS8#/ CTS8#/ SS8#/ SSLB0	ET0_TX_E R					
J10		PL1		TOC2	GTETRGB	SMISO9/ SSCL9/ RXD9/ MOSIC	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1					
J11		PN5					ET1_MDC/ PMGI1_M DC	QSSL-C				
J12		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCIO/ PO25		TXD4/ SMOSI4/ SSDA4/ TXD6/ SMOSI6/ SSDA6	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0		LCD_TCO N3-B	IRQ4-DS		
J13		P71	A18/CS1#				ET0_MDI O/ CAT0_MDI O/ PMGI0_M DIO					DSMCLK3
J14		PB0	A8	MTIC5W/ TIOCA3/ PO24		RXD4/ SMISO4/ SSCL4/ RXD6/ SMISO6/ SSCL6	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1		LCD_DAT A0-B	IRQ12		
J15		PA7	A7	TIOCB2/ PO23		MISOA-B	ET0_WOL		LCD_DAT A1-B			
K1	CLKOUT2 5M	PH7			GTIOC0B							
K2	CLKOUT	PH6			GTIOC0A	SSLA3	CATLATC H1					
K3		PH4			GTADSM0	SSLA1	CATLEDS TER					
K4		PH5			GTADSM1	SSLA2	CATLATC H0					
K5	TDO	PF0				TXD1/ SMOSI1/ SSDA1	CAT12CDA TA					
K6		PH1		TOC0	GTETRGB	SMISO7/ SSCL7/ RXD7/ MOSIA	CAT12CCL K					
K7		P10	ALE	MTIC5W/ TMR13						IRQ0		
K8		P50	WR0#/ WR#			TXD2/ SMOSI2/ SSDA2/ SSLB1-A	CATLEDE RR					
K9		PK1		TOC1	GTETRGB	SMISO8/ SSCL8/ RXD8/ MOSIB	ET0_COL					

表 1.5 機能別端子一覧(224ピンLFBGA) (9 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
K10		PL3			GTETRGD	RTS9#/ CTS9#/ SS9#/ SSLC0	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK					
K11		PM2			GTETRGC	SMOSI10/ SSDA10/ TXD10	ET1_ERX D2/ CAT1_ER XD2	SDHI_D0- D/QMO-A/ QIO0-A				
K12	VSS											
K13		PB5	A13	MTIOC2A/ MTIOC1B/ TIOC4/ TMR11/ PO29/ POE4#		SCK9/ RTS9#/ SCK11	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0		LCD_CLK- B			
K14		PB3	A11	MTIOC0A/ MTIOC4A/ TIOC4/ TCLKD/ TMO0/ PO27/ POE11#		SCK4/ SCK6	ET0_RX_ ER/ RMII0_RX_ ER/ CAT0_RX_ ER		LCD_TCO N1-B			
K15		P72	A19/CS2#				ET0_MDC/ CAT0_MD C/ PMGI0_M DC		LCD_DAT A23-A			DSMDAT3
L1		PH3			GTETRGD	RTS7#/ CTS7#/ SS7#/ SSLA0	CATLEDE RR					
L2		P27	CS7#	MTIOC2B/ TMC13/ PO7		SCK1/ RSPCKB- A	ET1_WOL /CATIRQ					
L3	TCK	PF1				SCK1						
L4		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOC4/ TMR11/ PO4		SCK3/ USB_VB USEN/ SSIBCK1		SDHI_WP/ PIXCLK				
L5	VCC											
L6	CLKOUT2 5M	PJ2				TXD8/ SMOSI8/ SSDA8/ SSLC3-B			LCD_TCO N2-A			
L7	VCC											
L8		P52	RD#			RXD2/ SMISO2/ SSCL2/ SSLB3-A	CATLEDS TER					
L9		P81	EDACK0	MTIOC3D/ PO27	GTIOC0B	SMISO10/ SSCL10/ RXD10	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0/ CATI2CCL K	QIO3-A/ SDHI_CD/ MMC_D3- A	LCD_DAT A13-A			

表 1.5 機能別端子一覧(224ピンLFBGA) (10 / 15)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
L10		PL7			GTIOC2B		ET0_MDI O/ CAT0_MDI O/ PMGI0_M DIO					
L11		P77	CS7#	PO23		SMOSI11/ SSDA11/ TXD11	ET0_RX_ ER/ RMII0_RX_ ER/ CAT0_RX_ ER	QSPCLK- A/ SDHI_CLK -A/ MMC_CLK -A	LCD_DAT A17-A			
L12		PN4					ET1_MDI O/ PMGI1_M DIO	QSPCLK- C				
L13	VCC											
L14		PB2	A10	TIOCC3/ TCLKC/ PO26		CTS4#/ RTS4#/ SS4#/ CTS6#/ RTS6#/ SS6#	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK		LCD_TCO N2-B			
L15		PB4	A12	TIOCA4/ PO28		CTS9#/ SS9#/ SS11#/ CTS11#/ RTS11#	ET0_TX_ EN/ RMII0_TX_ D_EN/ CAT0_TX_ EN		LCD_TCO N0-B			
M1		P26	CS6#	MTIOC2A/ TMO1/ PO6		TXD1/ SMOSI1/ SSDA1/ CTS3#/ RTS3#/ SS3#/ MOSIB-A	ET1_EXO UT/ CATLINKA CT1					
M2		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOC3D/ PO3	GTIOC0A	TXD3/ SMOSI3/ SSDA3/ CTS0#/ RTS0#/ SS0#/ CTX1/ SSIBCK0		SDHI_D1- C/PIXD7				
M3	CLKOUT	P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/ PO5		RXD3/ SMISO3/ SSCL3/ SSIDATA1		SDHI_CD/ HSYNC			ADTRG0#	
M4	VSS											
M5		PJ0		MTIOC6B		SCK8/ SSL1-B	EPLSOUT 0/ CATSYNC 0		LCD_DAT A0-A			
M6		P84		MTIOC6D			ET1_LINK STA/ CAT1_LIN KSTA		LCD_DAT A2-A			
M7	VSS											
M8		P51	WR1#/ BC1#/ WAIT#			SCK2/ SSLB2-A						

表 1.5 機能別端子一覧(224ピンLFBGA) (11 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)					
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
M9		P83	EDACK1	MTIOC4C	GTIOC0A	SCK10/ SS10#/ CTS10#	ET0_CRS/ RMII0_CR S_DV/ CAT0_RX _DV		LCD_DAT A8-A			DSMCLK1
M10		PK0		TIC1	GTETRGA	SCK8/ RSPCKB	ET0_MDC/ CAT0_MD C/ PMGI0_M DC					
M11		PL5			GTADSM1	SSLC2	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1					
M12		PL6			GTIOC2A	SSLC3	ET0_TX_E N/ RMII0_TX D_EN/ CAT0_TX_ EN					
M13		PM7			GTIOC3B		ET0_CRS/ RMII0_CR S_DV/ CAT0_RX _DV	SDHI_WP				
M14		PC0	A16	MTIOC3C/ TCLKC/ PO17		CTS5#/ RTS5#/ SS5#/ SSLA1-A	ET0_ERX D3/ CAT0_ER XD3			IRQ14		
M15		PB6	A14	MTIOC3D/ TIOCA5/ PO30		RXD9/ SMISO9/ SSCL9/ SMISO11/ SSCL11/ RXD11	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1					
N1		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/ PO2	GTIOC1A	SCK0/ USB0_OV RCURB/ AUDIO_C LK		SDHI_D0- C/PIXD6				
N2		PH0		TIC0	GTETRGA	SCK7/ RSPCKA	CATLEDR UN					
N3		P86		MTIOC4D/ TIOCA0	GTIOC2B	SMISO10/ SSCL10/ RXD10	CATLINKA CT0	PIXD1				
N4		P85		MTIOC6C/ TIOCC0					LCD_DAT A1-A			
N5		P13	WR2#/ BC2#	MTIOC0B/ TIOCA5/ TMO3/ PO13	GTADSM1	TXD2/ SMOSI2/ SSDA2/ SDA0[FM+]			LCD_TCO N0-A	IRQ3	ADTRG1#	
N6		PJ1		MTIOC6A		RXD8/ SMISO8/ SSCL8/ SSLC2-B	EPLSOUT 1/ CATSYNC 1		LCD_TCO N3-A			
N7	CLKOUT2 5M	P56	EDACK1	MTIOC3C/ TIOCA1		SCK7/ RSPCKC- B			LCD_DAT A4-A			DSMDAT1
N8	VCC											

表 1.5 機能別端子一覧(224ピンLFBGA) (12 / 15)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
N9	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/ PO31/ TOC0/ CACREF	GTIOC3A	TXD8/ SMOSI8/ SSDA8/ SMOSI10/ SSDA10/ TXD10/ MISOA-A	ET0_COL	MMC_D7- A	LCD_DAT A9-A	IRQ14		
N10		P80	EDREQ0	MTIOC3B/ PO26		SCK10/ RTS10#	ET0_TX_E N/ RMII0_TX D_EN/ CAT0_TX_ EN/ CATLATC H0	QIO2-A/ SDHI_WP/ MMC_D2- A	LCD_DAT A14-A			
N11		PK2			GTETRGC	SMOSI8/ SSDA8/ TXD8/ MISOB	ET0_RX_ DV/ CAT0_RX_ DV					
N12		P76	CS6#	PO22		SMISO11/ SSCL11/ RXD11	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK	QSSL-A/ SDHI_CM D-A/ MMC_CM D-A	LCD_DAT A18-A			
N13		PM6			GTIOC3A		ET0_TX_ CLK/ CAT0_TX_ CLK	SDHI_CD				
N14		PC1	A17	MTIOC3A/ TCLKD/ PO18		SCK5/ SSLA2-A	ET0_ERX D2/ CAT0_ER XD2		LCD_DAT A22-A	IRQ12		
N15		PB7	A15	MTIOC3B/ TIOCB5/ PO31		TXD9/ SMOSI9/ SSDA9/ SMOSI11/ SSDA11/ TXD11	ET0_CRS/ RMII0_CR S_DV/ CAT0_RX_ DV					
P1		PK7			GTIOC1B		CATLINKA CT1					
P2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/ PO15/ POE8#	GTIOC0B	SCK1/ TXD3/ SMOSI3/ SSDA3/ SDA2-DS/ SSITXD0	EPLSOUT 0/ CATSYN C0	SDHI_D3- C/PIXD3		IRQ7	ADTRG1#	
P3		P20		MTIOC1A/ TIOCB3/ TMR10/ PO0		TXD0/ SMOSI0/ SSDA0/ SDA1/ USB0_ID/ SSIRXD0		SDHI_CM D-C/PIXD4		IRQ8		
P4		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMR12/ PO15	GTETRGD	CTS1#/ RTS1#/ SS1#/ CTX1/ USB0_OV RCUR_A			LCD_CLK- A	IRQ4		
P5	VCC_USB											
P6	VSS_USB											

表 1.5 機能別端子一覧(224ピンLFBGA) (13 / 15)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
224ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
P7		P57				RXD7/ SMISO7/ SSCL7/ SSLC0-B			LCD_DAT A3-A			
P8		P11		MTIC5V/ TMCi3		SCK2	EPLSOUT 1/ CATSYN C1		LCD_DAT A7-A	IRQ1		
P9	VSS											
P10		P82	EDREQ1	MTIOC4A/ PO28	GTIOC2A	SMOSI10/ SSDA10/ TXD10	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1/ CATI2CDA TA	MMC_D4- A	LCD_DAT A12-A			
P11		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCi1/ PO25/ POE0#	GTETRGC	SCK5/ CTS8#/ SS8#/ SS10#/ CTS10#/ RTS10#/ SSLA0-A	ET0_TX_ CLK/ CAT0_TX_ CLK/ CATSYN C0	QMI-A/ QIO1-A/ SDHI_D1- A/ MMC_D1- A	LCD_DAT A15-A			
P12		PL2			GTETRGC	SMOSI9/ SSDA9/ TXD9/ MISOC	ET0_RX_ ER/ RMII0_RX_ ER/ CAT0_RX_ ER					
P13		PC2	A18	MTIOC4B/ TCLKA/ PO21	GTIOC2B	RXD5/ SMISO5/ SSCL5/ SSLA3-A	ET0_RX_ DV/ CAT0_RX_ DV	SDHI_D3- A/ MMC_CD- A	LCD_DAT A19-A			
P14		PM4			GTADSM0		ET0_ETX D2/ CAT0_ET XD2	SDHI_D2- D/QIO2-A				
P15		PM3			GTETRGC	RTS10#/ CTS10#/ SS10#	ET1_ERX D3/ CAT1_ER XD3	SDHI_D1- D/QMI-A/ QIO1-A				
R1		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMCi0/ PO1	GTIOC2A	RXD0/ SMISO0/ SSCL0/ SCL1/ USB0_EXI CEN/ SSILRCK0		SDHI_CLK -C/PIXD5		IRQ9		
R2		P87		MTIOC4C/ TIOCA2	GTIOC1B	SMOSI10/ SSDA10/ TXD10	EPLSOUT 1/ CATSYN C1	SDHI_D2- C/PIXD2				

表 1.5 機能別端子一覧(224ピンLFBGA) (14 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224 ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
R3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/ PO14/ RTCOUT		TXD1/ SMOSI1/ SSDA1/ RXD3/ SMISO3/ SSCL3/ SCL2-DS/ USB0_VB USEN/ USB0_VB US/ USB0_OV RCURB				IRQ6	ADTRG0#	
R4		P12	WR3#/ BC3#	MTIC5U/ TMC11	GTADSM0	RXD2/ SMISO2/ SSCL2/ SCL0[FM+]			LCD_TCO N1-A	IRQ2		
R5						USB0_DM						
R6						USB0_DP						
R7		P54	D1[A1/D1]/ EDACK0/ ALE	MTIOC4B/ TMC11		CTS2#/ RTS2#/ SS2#/ MOSIC-B/ CTX1	ET0_LINK STA/ CAT0_LIN KSTA		LCD_DAT A6-A			
R8		P55	D0[A0/D0]/ EDREQ0/ WAIT#	MTIOC4D/ TMO3		TXD7/ SMOSI7/ SSDA7/ MISOC-B/ CRX1	ET0_EXO UT		LCD_DAT A5-A	IRQ10		
R9		PC6	D2[A2/D2]/ A22/CS1#	MTIOC3C/ MTCLKA/ TMC12/ PO30/ TIC0	GTIOC3B	RXD8/ SMISO8/ SSCL8/ SMISO10/ SSCL10/ RXD10/ MOSIA-A	ET0_ETX D3/ CAT0_ET XD3/ CATLATC H1	MMC_D6- A	LCD_DAT A10-A	IRQ13		
R10		PC5	D3[A3/D3]/ A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMR12/ PO29	GTIOC1A	SCK8/ RTS8#/ SCK10/ RSPCKA- A	ET0_ETX D2/ CAT0_ET XD2	MMC_D5- A	LCD_DAT A11-A			
R11		PC3	A19	MTIOC4D/ TCLKB/ PO24	GTIOC1B	TXD5/ SMOSI5/ SSDA5	ET0_TX_E R	QMO-A/ QIO0-A/ SDHI_D0- A/ MMC_D0- A	LCD_DAT A16-A			
R12		PL4			GTADSM0	SSLC1	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0					
R13		P75	CS5#	PO20		SCK11/ RTS11#	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0	SDHI_D2- A/ MMC_RE S#-A	LCD_DAT A20-A			DSMDAT2

表 1.5 機能別端子一覧 (224 ピン LFBGA) (15 / 15)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
224 ピン LFBGA	電源 クロック システム 制御	I/O ポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
R14		P74	A20/CS4#	PO19		SS11#/ CTS11#	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1		LCD_DAT A21-A			DSMCLK2
R15		PM5			GTADSM1		ET0_ETX D3/ CAT0_ET XD3	SDHI_D3- D/QIO3-A				

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.6 機能別端子一覧(176ピンLFBGA) (1 / 12)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
A1	AVSS0											
A2	AVCC0											
A3	VREFL0											
A4		P42								IRQ10-DS	AN002	
A5		P46								IRQ14-DS	AN006	
A6	VCC											
A7	VSS											
A8		P94	D20/A20				ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0					
A9	VCC											
A10	TRSYNC1	P97	D23/A23				ET1_ERX D3/ CAT1_ER XD3					
A11		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#		SSLC2-A	ET1_RX_ CLK/ REF50CK 1/ CAT1_RX_ CLK	QMO-B/ QIO0-B/ SDHI_D0- B/ MMC_D0- B	LCD_DAT A18-B	IRQ6	AN106	
A12		P60	CS0#				ET1_TX_ EN/ RMII1_TX D_EN/ CAT1_TX_ EN					
A13		P63	CAS#/ D2[A2/ D2]/CS3#				ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
A14		PE1	D9[A9/ D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	GTIOC1B	TXD12/ SMOSI12/ SSDA12/ TXDX12/ SIOX12/ SSLB2-B		MMC_D5- B	LCD_DAT A15-B		ANEX1	
A15		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/ TIC3	GTIOC0B	RXD12/ SMISO12/ SSCL12/ RXDX12/ SSLB3-B		MMC_D6- B	LCD_DAT A14-B	IRQ7-DS	AN100	
B1		P05				SSILRCK 1				IRQ13	DA1	
B2		P07								IRQ15	ADTRG0#	
B3		P40								IRQ8-DS	AN000	
B4		P41								IRQ9-DS	AN001	
B5		P47								IRQ15-DS	AN007	
B6		P91	D17/A17			SCK7	ET1_COL				AN115	DSMDAT5

表 1.6 機能別端子一覧 (176 ピン LFBGA) (2 / 12)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176 ピン LFBGA	電源 クロック システム 制御	I/O ポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
B7		P92	D18/A18	POE4#		RXD7/ SMISO7/ SSCL7	ET1_CRS/ RMII1_CR S_DV/ CAT1_RX _DV				AN116	DSMCLK4
B8		PD1	D1[A1/D1]	MTIOC4B/ POE0#	GTIOC1A	MOSIC-A/ CTX0			LCD_DAT A23-B	IRQ1	AN109	
B9	TRDATA5	P96	D22/A22				ET1_ERX D2/ CAT1_ER XD2					
B10		PD4	D4[A4/D4]	MTIOC8B/ POE11#		SSLC0-A	ET1_MDI O/ PMGI1_M DIO	QSSL-B/ SDHI_CM D-B/ MMC_CM D-B	LCD_DAT A20-B	IRQ4	AN112	
B11	TRDATA7	PG1	D25				ET1_RX_ ER/ RMII1_RX _ER/ CAT1_RX _ER					
B12	VSS											
B13		P64	WE#/ D3[A3/ D3]/CS4#				ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
B14		PE0	D8[A8/ D8]/ D0[A0/D0]	MTIOC3D	GTIOC2B	SCK12/ SSLB1-B		MMC_D4- B	LCD_DAT A16-B		ANEX0	
B15		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/ TOC3/ POE8#	GTIOC2A	CTS12#/ RTS12#/ SS12#	ET0_ERX D3/ CAT0_ER XD3	MMC_D7- B	LCD_DAT A13-B		AN101	
C1	AVSS1											
C2	AVCC1											
C3	VREFH0											
C4		P43								IRQ11-DS	AN003	
C5		P45								IRQ13-DS	AN005	
C6		P90	D16/A16			TXD7/ SMOSI7/ SSDA7	ET1_RX_ DV/ CAT1_RX _DV				AN114	DSMCLK5
C7		PD0	D0[A0/D0]	POE4#	GTIOC1B				LCD_EXT CLK-B	IRQ0	AN108	
C8		PD2	D2[A2/D2]	MTIOC4D/ TIC2	GTIOC0B	MISOC-A/ CRX0	ET1_EXO UT	QIO2-B/ SDHI_D2- B/ MMC_D2- B	LCD_DAT A22-B	IRQ2	AN110	
C9		PD3	D3[A3/D3]	MTIOC8D/ TOC2/ POE8#	GTIOC0A	RSPCKC- A	ET1_WOL	QIO3-B/ SDHI_D3- B/ MMC_D3- B	LCD_DAT A21-B	IRQ3	AN111	

表 1.6 機能別端子一覧(176ピンLFBGA) (3 / 12)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)					
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
C10	TRDATA6	PG0	D24				ET1_RX_ CLK/ REF50CK 1/ CAT1_RX_ CLK					
C11	VCC											
C12		P62	RAS#/ D1[A1/ D1]/CS2#				ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0					
C13		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	GTIOC1A	SSLB0-B	ET0_ERX D2/ CAT0_ER XD2		LCD_DAT A12-B		AN102	
C14	VSS											
C15		P70	SDCLK				CATLINK ACT0					
D1		P01		TMCIO		RXD6/ SMISO6/ SSCL6/ SSIBCK0	CATLEDE RR			IRQ9	AN119	
D2		P02		TMC11		SCK6/ SSIBCK1	CATLEDS TER			IRQ10	AN120	
D3		P03				SSIDATA1				IRQ11	DA0	
D4		P00		TMRI0		TXD6/ SMOSI6/ SSDA6/ AUDIO_C LK	CATLATC H1			IRQ8	AN118	
D5		P44								IRQ12-DS	AN004	
D6		P93	D19/A19	POE0#		CTS7#/ RTS7#/ SS7#	ET1_LINK STA/ CAT1_LIN KSTA				AN117	DSMDAT4
D7	TRDATA4	P95	D21/A21				ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1					
D8	VSS											
D9		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ MTCLKA/ POE10#		SSLC1-A	ET1_MDC / PMGI1_M DC	QSPCLK- B/ SDHI_CL K-B/ MMC_CL K-B	LCD_DAT A19-B	IRQ5	AN113	
D10		PD7	D7[A7/D7]	MTIC5U/ POE0#		SSLC3-A	ET1_RX_ ER/ RMII1_RX_ ER/ CAT1_RX_ ER	QMI-B/ QIO1-B/ SDHI_D1- B/ MMC_D1- B	LCD_DAT A17-B	IRQ7	AN107	

表 1.6 機能別端子一覧(176ピンLFBGA) (4 / 12)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)					
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
D11		P61	SDCS#/ D0[A0/ D0]/CS1#				ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1					
D12		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	GTIOC0A	RSPCKB- B	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK		LCD_DAT A11-B	IRQ5	AN103	
D13	VCC											
D14		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	GTIOC3A	MISOB-B		SDHI_WP / MMC_RE S#-B	LCD_DAT A9-B	IRQ7	AN105	
D15		P65	CKE/ CS5#									
E1		PJ5		POE8#		CTS2#/ RTS2#/ SS2#/ SSIRXD0	EPLSOUT 0/ CATSYNC 0					
E2	EMLE											
E3		PF5	WAIT#			SSILRCK 0	CATLATC H0			IRQ4		
E4	VSS											
E12		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	GTIOC3B	MOSIB-B		SDHI_CD/ MMC_CD- B	LCD_DAT A10-B	IRQ6	AN104	
E13	TRDATA0	PG2	D26				ET1_TX_ CLK/ CAT1_TX_ CLK					
E14	TRDATA1	PG3	D27				ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
E15		P67	DQM1/ CS7#	MTIOC7C	GTIOC1B	CRX2	EPLSOUT 1/ CATSYNC 1			IRQ15		
F1	VBATT											
F2	VCL											
F3		PJ3	EDACK1	MTIOC3C		CTS6#/ RTS6#/ SS6#/ CTS0#/ RTS0#/ SS0#/ SSITXD0	ET0_EXO UT/ CATREST OUT					
F4	BSCANP											
F12		P66	DQM0/ CS6#	MTIOC7D	GTIOC2B	CTX2						

表 1.6 機能別端子一覧(176ピンLFBGA) (5 / 12)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
F13	TRSYNC	PG4	D28				ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
F14		PA0	DQM2/ BC0#/A0	MTIOC4A/ MTIOC6D/ TIOCA0/ PO16/ CACREF	GTIOC0B	SSLA1-B	ET0_TX_ EN/ RMII0_TX D_EN/ CAT0_TX _EN/ CATLEDR UN		LCD_DAT A8-B			
F15	VSS											
G1	XCIN											
G2	XCOUT											
G3	MD/ FINED											
G4	TRST#	PF4										
G12	TRCLK	PG5	D29				ET1_ETX D2/ CAT1_ET XD2					
G13	TRDATA2	PG6	D30				ET1_ETX D3/ CAT1_ET XD3					
G14		PA1	DQM3/A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/ PO17	GTIOC2A	SCK5/ SSLA2-B	ET0_WOL		LCD_DAT A7-B	IRQ11		
G15	VCC											
H1	XTAL	P37										
H2	VSS											
H3	RES#											
H4	UPSEL	P35								NMI		
H12		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRIO/ PO20		TXD5/ SMOSI5/ SSDA5/ SSLA0-B	ET0_MDC / CAT0_MD C/ CATIRQ/ PMGIO_M DC		LCD_DAT A4-B	IRQ5-DS		
H13		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/ PO19		RXD5/ SMISO5/ SSCL5	ET0_MDI O/ CAT0_MD IO/ PMGIO_M DIO		LCD_DAT A5-B	IRQ6-DS		
H14		PA2	A2	MTIOC7A/ PO18	GTIOC1A	RXD5/ SMISO5/ SSCL5/ SSLA3-B	CATLINK ACT1		LCD_DAT A6-B			
H15	TRDATA3	PG7	D31				ET1_TX_ ER					
J1	EXTAL	P36										

表 1.6 機能別端子一覧(176ピンLFBGA) (6 / 12)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
J2	VCC											
J3		P34		MTIOC0A/ TMCI3/ PO12/ POE10#		SCK6/ SCK0	ET0_LINK STA/ CAT0_LIN KSTA			IRQ4		DSMDAT0
J4	TMS	PF3										
J12		PA5	A5	MTIOC6B/ TIOCB1/ PO21	GTIOC0A	RSPCKA- B	ET0_LINK STA/ CAT0_LIN KSTA		LCD_DAT A3-B			
J13	VSS											
J14		PA7	A7	TIOCB2/ PO23		MISOA-B	ET0_WOL		LCD_DAT A1-B			
J15		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/ PO22/ POE10#	GTETRGA	CTS5#/ RTS5#/ SS5#/ MOSIA-B	ET0_EXO UT/ CATREST OUT		LCD_DAT A2-B			
K1		P33	EDREQ1	MTIOC0D/ TIOC0D/ TMRI3/ PO11/ POE4#/ POE11#		RXD6/ SMISO6/ SSCL6/ RXD0/ SMISO0/ SSCL0/ CRX0		PCKO		IRQ3-DS		DSMCLK0
K2		P32		MTIOC0C/ TIOCC0/ TMO3/ PO10/ RTCIC2/ RTCOU0/ POE0#/ POE10#		TXD6/ SMOSI6/ SSDA6/ TXD0/ SMOSI0/ SSDA0/ CTX0/ USB0_VB USEN		VSYNC		IRQ2-DS		
K3	TDI	PF2				RXD1/ SMISO1/ SSCL1	CAT12CCL K					
K4	TCK	PF1				SCK1						
K12		PB2	A10	TIOCC3/ TCLKC/ PO26		CTS4#/ RTS4#/ SS4#/ CTS6#/ RTS6#/ SS6#	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK		LCD_TCO N2-B			
K13		P71	A18/CS1#				ET0_MDI O/ CAT0_MD IO/ PMGI0_M DIO					DSMCLK3
K14	VCC											
K15		PB0	A8	MTIC5W/ TIOCA3/ PO24		RXD4/ SMISO4/ SSCL4/ RXD6/ SMISO6/ SSCL6	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1		LCD_DAT A0-B	IRQ12		
L1		P31		MTIOC4D/ TMCI2/ PO9/ RTCIC1		CTS1#/ RTS1#/ SS1#/ SSLB0-A	ET1_MDC / PMGI1_M DC			IRQ1-DS		

表 1.6 機能別端子一覧(176ピンLFBGA) (7 / 12)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
L2		P30		MTIOC4B/ TMR13/ PO8/ RTCIC0/ POE8#		RXD1/ SMISO1/ SSCL1/ MISOB-A	ET1_MDI O/ PMGI1_M DIO			IRQ0-DS		
L3	TDO	PF0				TXD1/ SMOSI1/ SSDA1	CAT12CD ATA					
L4	CLKOUT	P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/ PO5		RXD3/ SMISO3/ SSCL3/ SSIDATA1		SDHI_CD/ HSYNC			ADTRG0#	
L12		PB6	A14	MTIOC3D/ TIOCA5/ PO30		RXD9/ SMISO9/ SSCL9/ SMISO11/ SSCL11/ RXD11	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1					
L13		PB3	A11	MTIOC0A/ MTIOC4A/ TIOC3D/ TCLKD/ TMO0/ PO27/ POE11#		SCK4/ SCK6	ET0_RX_ ER/ RMII0_RX_ ER/ CAT0_RX_ ER		LCD_TCO N1-B			
L14		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCIO/ PO25		TXD4/ SMOSI4/ SSDA4/ TXD6/ SMOSI6/ SSDA6	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0		LCD_TCO N3-B	IRQ4-DS		
L15		P72	A19/CS2#				ET0_MDC / CAT0_MD C/ PMGI0_M DC		LCD_DAT A23-A			DSMDAT3
M1		P27	CS7#	MTIOC2B/ TMC13/ PO7		SCK1/ RSPCKB- A	ET1_WOL /CATIRQ					
M2		P26	CS6#	MTIOC2A/ TMO1/ PO6		TXD1/ SMOSI1/ SSDA1/ CTS3#/ RTS3#/ SS3#/ MOSIB-A	ET1_EXO UT/ CATLINK ACT1					
M3		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMR11/ PO4		SCK3/ USB0_VB USEN/ SSIBCK1		SDHI_WP /PIXCLK				
M4		P86		MTIOC4D/ TIOCA0	GTIOC2B	SMISO10/ SSCL10/ RXD10	CATLINK ACT0	PIXD1				
M5	CLKOUT2 5M	PJ2				TXD8/ SMOSI8/ SSDA8/ SSLC3-B			LCD_TCO N2-A			
M6		PJ1		MTIOC6A		RXD8/ SMISO8/ SSCL8/ SSLC2-B	EPLSOUT 1/ CATSYNC 1		LCD_TCO N3-A			

表 1.6 機能別端子一覧(176ピンLFBGA) (8 / 12)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
M7		P85		MTIOC6C/ TIOCC0					LCD_DAT A1-A			
M8		P55	D0[A0/ D0]/ EDREQ0/ WAIT#	MTIOC4D/ TMO3		TXD7/ SMOSI7/ SSDA7/ MISOC-B/ CRX1	ET0_EXO UT		LCD_DAT A5-A	IRQ10		
M9		P50	WR0#/ WR#			TXD2/ SMOSI2/ SSDA2/ SSLB1-A	CATLEDE RR					
M10		PC5	D3[A3/ D3]/A21/ CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMR12/ PO29	GTIOC1A	SCK8/ RTS8#/ SCK10/ RSPCKA- A	ET0_ETX D2/ CAT0_ET XD2	MMC_D5- A	LCD_DAT A11-A			
M11		P81	EDACK0	MTIOC3D/ PO27	GTIOC0B	SMISO10/ SSCL10/ RXD10	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0/ CATI2CCL K	QIO3-A/ SDHI_CD/ MMC_D3- A	LCD_DAT A13-A			
M12		P77	CS7#	PO23		SMOSI11/ SSDA11/ TXD11	ET0_RX_ ER/ RMII0_RX_ ER/ CAT0_RX_ ER	QSPCLK- A/ SDHI_CL K-A/ MMC_CL K-A	LCD_DAT A17-A			
M13		PB7	A15	MTIOC3B/ TIOCB5/ PO31		TXD9/ SMOSI9/ SSDA9/ SMOSI11/ SSDA11/ TXD11	ET0_CRS/ RMII0_CR S_DV/ CAT0_RX_ DV					
M14		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMR11/ PO29/ POE4#		SCK9/ RTS9#/ SCK11	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0		LCD_CLK -B			
M15		PB4	A12	TIOCA4/ PO28		CTS9#/ SS9#/ SS11#/ CTS11#/ RTS11#	ET0_TX_ EN/ RMII0_TX D_EN/ CAT0_TX_ EN		LCD_TCO N0-B			
N1	VCC											
N2		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/ PO3	GTIOC0A	TXD3/ SMOSI3/ SSDA3/ CTS0#/ RTS0#/ SS0#/ CTX1/ SSIBCK0		SDHI_D1- C/PIXD7				
N3		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/ PO2	GTIOC1A	SCK0/ USB_OV RCURB/ AUDIO_C LK		SDHI_D0- C/PIXD6				

表 1.6 機能別端子一覧(176ピンLFBGA) (9 / 12)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
N4		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMC12/ PO13	GTETRG A	RXD1/ SMISO1/ SSCL1/ SCK3/ CRX1-DS/ SSILRCK 1	CATLEDR UN	PIXD0		IRQ5		
N5		P12	WR3#/ BC3#	MTIC5U/ TMC11	GTADSM0	RXD2/ SMISO2/ SSCL2/ SCL0[FM +]			LCD_TCO N1-A	IRQ2		
N6		PJ0		MTIOC6B		SCK8/ SSLC1-B	EPLSOUT 0/ CATSYNC 0		LCD_DAT A0-A			
N7		P84		MTIOC6D			ET1_LINK STA/ CAT1_LIN KSTA		LCD_DAT A2-A			
N8		P54	D1[A1/ D1]/ EDACK0/ ALE	MTIOC4B/ TMC11		CTS2#/ RTS2#/ SS2#/ MOSIC-B/ CTX1	ET0_LINK STA/ CAT0_LIN KSTA		LCD_DAT A6-A			
N9		P51	WR1#/ BC1#/ WAIT#			SCK2/ SSLB2-A						
N10	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/ PO31/ TOC0/ CACREF	GTIOC3A	TXD8/ SMOSI8/ SSDA8/ SMOSI10/ SSDA10/ TXD10/ MISOA-A	ET0_COL	MMC_D7- A	LCD_DAT A9-A	IRQ14		
N11		P82	EDREQ1	MTIOC4A/ PO28	GTIOC2A	SMOSI10/ SSDA10/ TXD10	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1/ CATI2CD ATA	MMC_D4- A	LCD_DAT A12-A			
N12		PC3	A19	MTIOC4D/ TCLKB/ PO24	GTIOC1B	TXD5/ SMOSI5/ SSDA5	ET0_TX_ ER	QMO-A/ QIO0-A/ SDHI_D0- A/ MMC_D0- A	LCD_DAT A16-A			
N13		PC0	A16	MTIOC3C/ TCLKC/ PO17		CTS5#/ RTS5#/ SS5#/ SSLA1-A	ET0_ERX D3/ CAT0_ER XD3			IRQ14		
N14		P73	CS3#	PO16			ET0_WOL		LCD_EXT CLK-A			
N15	VSS											
P1	VSS											

表 1.6 機能別端子一覧(176ピンLFBGA) (10 / 12)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
P2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOC80/ TCLKD/ TMO1/ PO15/ POE8#	GTIOC0B	SCK1/ TXD3/ SMOSI3/ SSDA3/ SDA2-DS/ SSI1TXD0	EPLSOUT 0/ CATSYN C0	SDHI_D3- C/PIXD3		IRQ7	ADTRG1#	
P3		P87		MTIOC4C/ TIOCA2	GTIOC1B	SMOSI10/ SSDA10/ TXD10	EPLSOUT 1/ CATSYN C1	SDHI_D2- C/PIXD2				
P4		P14		MTIOC3A/ MTCLKA/ TIOC85/ TCLKA/ TMR12/ PO15	GTETR GD	CTS1#/ RTS1#/ SS1#/ CTX1/ USB0_OV RCUR_A			LCD_CLK -A	IRQ4		
P5	VCC_USB											
P6	VSS_USB											
P7		P57				RXD7/ SMISO7/ SSCL7/ SSLC0-B			LCD_DAT A3-A			
P8		P10	ALE	MTIC5W/ TMR13						IRQ0		
P9		P52	RD#			RXD2/ SMISO2/ SSCL2/ SSLB3-A	CATLEDS TER					
P10		P83	EDACK1	MTIOC4C	GTIOC0A	SCK10/ SS10#/ CTS10#	ET0_CRS/ RMII0_CR S_DV/ CAT0_RX _DV		LCD_DAT A8-A			DSMCLK1
P11		PC6	D2[A2/ D2]/A22/ CS1#	MTIOC3C/ MTCLKA/ TMC12/ PO30/ TIC0	GTIOC3B	RXD8/ SMISO8/ SSCL8/ SMISO10/ SSCL10/ RXD10/ MOSIA-A	ET0_ETX D3/ CAT0_ET XD3/ CATLATC H1	MMC_D6- A	LCD_DAT A10-A	IRQ13		
P12		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMC11/ PO25/ POE0#	GTETR GC	SCK5/ CTS8#/ SS8#/ SS10#/ CTS10#/ RTS10#/ SSLA0-A	ET0_TX_ CLK/ CAT0_TX _CLK/ _CATSYN C0	QMI-A/ QIO1-A/ SDHI_D1- A/ MMC_D1- A	LCD_DAT A15-A			
P13		PC2	A18	MTIOC4B/ TCLKA/ PO21	GTIOC2B	RXD5/ SMISO5/ SSCL5/ SSLA3-A	ET0_RX_ DV/ CAT0_RX _DV	SDHI_D3- A/ MMC_CD- A	LCD_DAT A19-A			
P14		P75	CS5#	PO20		SCK11/ RTS11#	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0	SDHI_D2- A/ MMC_RE S#-A	LCD_DAT A20-A			DSMDAT2
P15	VCC											

表 1.6 機能別端子一覧(176ピンLFBGA) (11 / 12)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
R1		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMC10/ PO1	GTIOC2A	RXD0/ SMISO0/ SSCL0/ SCL1/ USB0_EXI CEN/ SSILRCK 0		SDHI_CL K-C/ PIXD5		IRQ9		
R2		P20		MTIOC1A/ TIOCB3/ TMR10/ PO0		TXD0/ SMOSI0/ SSDA0/ SDA1/ USB0_ID/ SSIRXD0		SDHI_CM D-C/ PIXD4		IRQ8		
R3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/ PO14/ RTCOUT		TXD1/ SMOSI1/ SSDA1/ RXD3/ SMISO3/ SSCL3/ SCL2-DS/ USB0_VB USEN/ USB0_VB US/ USB0_OV RCURB				IRQ6	ADTRG0#	
R4		P13	WR2#/ BC2#	MTIOC0B/ TIOCA5/ TMO3/ PO13	GTADSM1	TXD2/ SMOSI2/ SSDA2/ SDA0[FM +]			LCD_TCO N0-A	IRQ3	ADTRG1#	
R5						USB0_DM						
R6						USB0_DP						
R7	CLKOUT2 5M	P56	EDACK1	MTIOC3C/ TIOCA1		SCK7/ RSPCKC- B			LCD_DAT A4-A			DSMDAT1
R8		P11		MTIC5V/ TMC13		SCK2	EPLSOUT 1/ CATSYNC 1		LCD_DAT A7-A	IRQ1		
R9		P53 (注1)	BCLK									
R10	VSS											
R11	VCC											
R12		P80	EDREQ0	MTIOC3B/ PO26		SCK10/ RTS10#	ET0_TX_ EN/ RMII0_TX D_EN/ CAT0_TX_ EN/ CATLATC H0	QIO2-A/ SDHI_WP / MMC_D2- A	LCD_DAT A14-A			
R13		P76	CS6#	PO22		SMISO11/ SSCL11/ RXD11	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK	QSSL-A/ SDHI_CM D-A/ MMC_CM D-A	LCD_DAT A18-A			

表 1.6 機能別端子一覧(176ピンLFBGA) (12 / 12)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LFBGA	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
R14		P74	A20/CS4#	PO19		SS11#/ CTS11#	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1		LCD_DAT A21-A			DSMCLK2
R15		PC1	A17	MTIOC3A/ TCLKD/ PO18		SCK5/ SSLA2-A	ET0_ERX D2/ CAT0_ER XD2		LCD_DAT A22-A	IRQ12		

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表 1.7 機能別端子一覧(176ピンLQFP) (1 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
1	AVSS0											
2		P05				SSILRCK 1				IRQ13	DA1	
3	AVCC1											
4		P03				SSIDATA1				IRQ11	DA0	
5	AVSS1											
6		P02		TMC11		SCK6/ SSIBCK1	CATLEDST ER			IRQ10	AN120	
7		P01		TMC10		RXD6/ SMISO6/ SSCL6/ SSIBCK0	CATLEDE RR			IRQ9	AN119	
8		P00		TMR10		TXD6/ SMOSI6/ SSDA6/ AUDIO_C LK	CATLATC H1			IRQ8	AN118	
9		PF5	WAIT#			SSILRCK 0	CATLATC H0			IRQ4		
10	EMLE											
11		PJ5		POE8#		CTS2#/ RTS2#/ SS2#/ SSIRXD0	EPLSOUT 0/ CATSYN C0					
12	VSS											
13		PJ3	EDACK1	MTIOC3C		CTS6#/ RTS6#/ SS6#/ CTS0#/ RTS0#/ SS0#/ SSITXD0	ET0_EXO UT/ CATREST OUT					
14	VCL											
15	VBATT											
16	NC											
17	TRST#	PF4										
18	MD/ FINED											
19	XCIN											
20	XCOUT											
21	RES#											
22	XTAL	P37										
23	VSS											
24	EXTAL	P36										
25	VCC											
26	UPSEL	P35								NMI		
27		P34		MTIOC0A/ TMC13/ PO12/ POE10#		SCK6/ SCK0	ET0_LINK STA/ CAT0_LIN KSTA			IRQ4		DSMDAT0

表 1.7 機能別端子一覧(176ピンLQFP) (2 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
28		P33	EDREQ1	MTIOC0D/ TIOC0D/ TMR13/ PO11/ POE4#/ POE11#		RXD6/ SMISO6/ SSCL6/ RXD0/ SMISO0/ SSCL0/ CRX0		PCKO		IRQ3-DS		DSMCLK0
29		P32		MTIOC0C/ TIOC0C/ TMO3/ PO10/ RTCIC2/ RTCOUT/ POE0#/ POE10#		TXD6/ SMOSI6/ SSDA6/ TXD0/ SMOSI0/ SSDA0/ CTX0/ USB0_VB USEN		VSYNC		IRQ2-DS		
30	TMS	PF3										
31	TDI	PF2				RXD1/ SMISO1/ SSCL1	CAT12CCL K					
32		P31		MTIOC4D/ TMC12/ PO9/ RTCIC1		CTS1#/ RTS1#/ SS1#/ SSLB0-A	ET1_MDC / PMGI1_M DC			IRQ1-DS		
33		P30		MTIOC4B/ TMR13/ PO8/ RTCIC0/ POE8#		RXD1/ SMISO1/ SSCL1/ MISOB-A	ET1_MDI O/ PMGI1_M DIO			IRQ0-DS		
34	TCK	PF1				SCK1						
35	TDO	PF0				TXD1/ SMOSI1/ SSDA1	CAT12CD ATA					
36		P27	CS7#	MTIOC2B/ TMC13/ PO7		SCK1/ RSPCKB- A	ET1_WOL /CAT1RQ					
37		P26	CS6#	MTIOC2A/ TMO1/ PO6		TXD1/ SMOSI1/ SSDA1/ CTS3#/ RTS3#/ SS3#/ MOSIB-A	ET1_EXO UT/ CATLINK ACT1					
38	CLKOUT	P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/ PO5		RXD3/ SMISO3/ SSCL3/ SSIDATA1		SDHI_CD/ HSYNC			ADTRG0#	
39	VCC											
40		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMR11/ PO4		SCK3/ USB0_VB USEN/ SSIACK1		SDHI_WP /PIXCLK				
41	VSS											
42		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOC3D/ PO3	GTIOC0A	TXD3/ SMOSI3/ SSDA3/ CTS0#/ RTS0#/ SS0#/ CTX1/ SSIACK0		SDHI_D1- C/PIXD7				

表 1.7 機能別端子一覧(176ピンLQFP) (3 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)					
176ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
43		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/ TMO0/ PO2	GTIOC1A	SCK0/ USB0_OV RCURB/ AUDIO_C LK		SDHI_D0- C/PIXD6				
44		P21		MTIOC1B/ MTIOC4A/ TIOCA3/ TMCIO/ PO1	GTIOC2A	RXD0/ SMISO0/ SSCL0/ SCL1/ USB0_EXI CEN/ SSILRCK 0		SDHI_CL K-C/ PIXD5		IRQ9		
45		P20		MTIOC1A/ TIOCB3/ TMRI0/ PO0		TXD0/ SMOSI0/ SSDA0/ SDA1/ USB0_ID/ SSIRXD0		SDHI_CM D-C/ PIXD4		IRQ8		
46		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ TIOCB0/ TCLKD/ TMO1/ PO15/ POE8#	GTIOC0B	SCK1/ TXD3/ SMOSI3/ SSDA3/ SDA2-DS/ SSITXD0	EPLSOUT 0/ CATSYN C0	SDHI_D3- C/PIXD3		IRQ7	ADTRG1#	
47		P87		MTIOC4C/ TIOCA2	GTIOC1B	SMOSI10/ SSDA10/ TXD10	EPLSOUT 1/ CATSYN C1	SDHI_D2- C/PIXD2				
48		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/ TMO2/ PO14/ RTCOUT		TXD1/ SMOSI11/ SSDA1/ RXD3/ SMISO3/ SSCL3/ SCL2-DS/ USB0_VB USEN/ USB0_VB US/ USB0_OV RCURB				IRQ6	ADTRG0#	
49		P86		MTIOC4D/ TIOCA0	GTIOC2B	SMISO10/ SSCL10/ RXD10	CATLINK ACT0	PIXD1				
50		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/ TMC12/ PO13	GTETRGA	RXD1/ SMISO1/ SSCL1/ SCK3/ CRX1-DS/ SSILRCK 1	CATLEDR UN	PIXD0		IRQ5		
51		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/ TMRI2/ PO15	GTETRGA D	CTS1#/ RTS1#/ SS1#/ CTX1/ USB0_OV RCURB		LCD_CLK -A		IRQ4		
52		P13	WR2#/ BC2#	MTIOC0B/ TIOCA5/ TMO3/ PO13	GTADSM1	TXD2/ SMOSI2/ SSDA2/ SDA0[FM +]		LCD_TCO N0-A		IRQ3	ADTRG1#	

表 1.7 機能別端子一覧(176ピンLQFP) (4 / 11)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
53		P12	WR3#/ BC3#	MTIC5U/ TMC11	GTADSM0	RXD2/ SMISO2/ SSCL2/ SCL0[FM +]			LCD_TCO N1-A	IRQ2		
54	VCC_USB											
55						USB0_DM						
56						USB0_DP						
57	VSS_USB											
58	CLKOUT2 5M	PJ2				TXD8/ SMISO8/ SSDA8/ SSLC3-B			LCD_TCO N2-A			
59		PJ1		MTIOC6A		RXD8/ SMISO8/ SSCL8/ SSLC2-B	EPLSOUT 1/ CATSYNC 1		LCD_TCO N3-A			
60		PJ0		MTIOC6B		SCK8/ SSLC1-B	EPLSOUT 0/ CATSYNC 0		LCD_DAT A0-A			
61		P85		MTIOC6C/ TIOCC0					LCD_DAT A1-A			
62		P84		MTIOC6D			ET1_LINK STA/ CAT1_LIN KSTA		LCD_DAT A2-A			
63		P57				RXD7/ SMISO7/ SSCL7/ SSLC0-B			LCD_DAT A3-A			
64	CLKOUT2 5M	P56	EDACK1	MTIOC3C/ TIOCA1		SCK7/ RSPCKC- B			LCD_DAT A4-A			DSMDAT1
65		P55	D0[A0/ D0]/ EDREQ0/ WAIT#	MTIOC4D/ TMO3		TXD7/ SMISO7/ SSDA7/ MISOC-B/ CRX1	ET0_EXO UT		LCD_DAT A5-A	IRQ10		
66		P54	D1[A1/ D1]/ EDACK0/ ALE	MTIOC4B/ TMC11		CTS2#/ RTS2#/ SS2#/ MOSIC-B/ CTX1	ET0_LINK STA/ CAT0_LIN KSTA		LCD_DAT A6-A			
67		P11		MTIC5V/ TMC13		SCK2	EPLSOUT 1/ CATSYNC 1		LCD_DAT A7-A	IRQ1		
68		P10	ALE	MTIC5W/ TMR13						IRQ0		
69		P53 (注1)	BCLK									
70		P52	RD#			RXD2/ SMISO2/ SSCL2/ SSLB3-A	CATLEDS TER					
71		P51	WR1#/ BC1#/ WAIT#			SCK2/ SSLB2-A						

表 1.7 機能別端子一覧(176ピンLQFP) (5 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)					
176ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
72		P50	WR0#/ WR#			TXD2/ SMOSI2/ SSDA2/ SSLB1-A	CATLEDE RR					
73	VSS											
74		P83	EDACK1	MTIOC4C	GTIOC0A	SCK10/ SS10#/ CTS10#	ET0_CRS/ RMII0_CR S_DV/ CAT0_RX _DV		LCD_DAT A8-A			DSMCLK1
75	VCC											
76	UB	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/ PO31/ TOC0/ CACREF	GTIOC3A	TXD8/ SMOSI8/ SSDA8/ SMOSI10/ SSDA10/ TXD10/ MISOA-A	ET0_COL	MMC_D7- A	LCD_DAT A9-A	IRQ14		
77		PC6	D2[A2/ D2]/A22/ CS1#	MTIOC3C/ MTCLKA/ TMCI2/ PO30/ TIC0	GTIOC3B	RXD8/ SMISO8/ SSCL8/ SMISO10/ SSCL10/ RXD10/ MOSIA-A	ET0_ETX D3/ CAT0_ET XD3/ CATLATC H1	MMC_D6- A	LCD_DAT A10-A	IRQ13		
78		PC5	D3[A3/ D3]/A21/ CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/ PO29	GTIOC1A	SCK8/ RTS8#/ SCK10/ RSPCKA- A	ET0_ETX D2/ CAT0_ET XD2	MMC_D5- A	LCD_DAT A11-A			
79		P82	EDREQ1	MTIOC4A/ PO28	GTIOC2A	SMOSI10/ SSDA10/ TXD10	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1/ CATI2CD ATA	MMC_D4- A	LCD_DAT A12-A			
80		P81	EDACK0	MTIOC3D/ PO27	GTIOC0B	SMISO10/ SSCL10/ RXD10	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0/ CATI2CCL K	QIO3-A/ SDHI_CD/ MMC_D3- A	LCD_DAT A13-A			
81		P80	EDREQ0	MTIOC3B/ PO26		SCK10/ RTS10#	ET0_TX_ EN/ RMII0_TX D_EN/ CAT0_TX _EN/ CATLATC H0	QIO2-A/ SDHI_WP / MMC_D2- A	LCD_DAT A14-A			
82		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/ PO25/ POE0#	GTETRGC	SCK5/ CTS8#/ SS8#/ SS10#/ CTS10#/ RTS10#/ SSLA0-A	ET0_TX_ CLK/ CAT0_TX _CLK/ CATSYN0	QMI-A/ QIO1-A/ SDHI_D1- A/ MMC_D1- A	LCD_DAT A15-A			

表 1.7 機能別端子一覧(176ピンLFQFP) (6 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
83		PC3	A19	MTIOC4D/ TCLKB/ PO24	GTIOC1B	TXD5/ SMOSI5/ SSDA5	ET0_TX_ ER	QMO-A/ QIO0-A/ SDHI_D0- A/ MMC_D0- A	LCD_DAT A16-A			
84		P77	CS7#	PO23		SMOSI11/ SSDA11/ TXD11	ET0_RX_ ER/ RMII0_RX_ ER/ CAT0_RX_ ER	QSPCLK- A/ SDHI_CL K-A/ MMC_CL K-A	LCD_DAT A17-A			
85		P76	CS6#	PO22		SMISO11/ SSCL11/ RXD11	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK	QSSL-A/ SDHI_CM D-A/ MMC_CM D-A	LCD_DAT A18-A			
86		PC2	A18	MTIOC4B/ TCLKA/ PO21	GTIOC2B	RXD5/ SMISO5/ SSCL5/ SSLA3-A	ET0_RX_ DV/ CAT0_RX_ DV	SDHI_D3- A/ MMC_CD- A	LCD_DAT A19-A			
87		P75	CS5#	PO20		SCK11/ RTS11#	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0	SDHI_D2- A/ MMC_RE S#-A	LCD_DAT A20-A			DSMDAT2
88		P74	A20/CS4#	PO19		SS11#/ CTS11#	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1		LCD_DAT A21-A			DSMCLK2
89		PC1	A17	MTIOC3A/ TCLKD/ PO18		SCK5/ SSLA2-A	ET0_ERX D2/ CAT0_ER XD2		LCD_DAT A22-A	IRQ12		
90	VCC											
91		PC0	A16	MTIOC3C/ TCLKC/ PO17		CTS5#/ RTS5#/ SS5#/ SSLA1-A	ET0_ERX D3/ CAT0_ER XD3			IRQ14		
92	VSS											
93		P73	CS3#	PO16			ET0_WOL		LCD_EXT CLK-A			
94		PB7	A15	MTIOC3B/ TIOCB5/ PO31		TXD9/ SMOSI9/ SSDA9/ SMOSI11/ SSDA11/ TXD11	ET0_CRS/ RMII0_CR S_DV/ CAT0_RX_ DV					
95		PB6	A14	MTIOC3D/ TIOCA5/ PO30		RXD9/ SMISO9/ SSCL9/ SMISO11/ SSCL11/ RXD11	ET0_ETX D1/ RMII0_TX D1/ CAT0_ET XD1					
96		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/ PO29/ POE4#		SCK9/ RTS9#/ SCK11	ET0_ETX D0/ RMII0_TX D0/ CAT0_ET XD0		LCD_CLK -B			

表 1.7 機能別端子一覧(176ピンLQFP) (7 / 11)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
97		PB4	A12	TIOCA4/ PO28		CTS9#/ SS9#/ SS11#/ CTS11#/ RTS11#	ET0_TX_ EN/ RMII0_TX D_EN/ CAT0_TX_ EN		LCD_TCO N0-B			
98		PB3	A11	MTIOC0A/ MTIOC4A/ TIOC3/ TCLKD/ TMO0/ PO27/ POE11#		SCK4/ SCK6	ET0_RX_ ER/ RMII0_RX ER/ CAT0_RX_ ER		LCD_TCO N1-B			
99		PB2	A10	TIOCC3/ TCLKC/ PO26		CTS4#/ RTS4#/ SS4#/ CTS6#/ RTS6#/ SS6#	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK		LCD_TCO N2-B			
100		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMC10/ PO25		TXD4/ SMOS14/ SSDA4/ TXD6/ SMOS16/ SSDA6	ET0_ERX D0/ RMII0_RX D0/ CAT0_ER XD0		LCD_TCO N3-B	IRQ4-DS		
101		P72	A19/CS2#				ET0_MDC / CAT0_MD C/ PMGI0_M DC		LCD_DAT A23-A			DSMDAT3
102		P71	A18/CS1#				ET0_MDI O/ CAT0_MD IO/ PMGI0_M DIO					DSMCLK3
103	VCC											
104		PB0	A8	MTIC5W/ TIOCA3/ PO24		RXD4/ SMISO4/ SSCL4/ RXD6/ SMISO6/ SSCL6	ET0_ERX D1/ RMII0_RX D1/ CAT0_ER XD1		LCD_DAT A0-B	IRQ12		
105	VSS											
106		PA7	A7	TIOCB2/ PO23		MISOA-B	ET0_WOL		LCD_DAT A1-B			
107		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMC13/ PO22/ POE10#	GTETRG B	CTS5#/ RTS5#/ SS5#/ MOSIA-B	ET0_EXO UT/ CATREST OUT		LCD_DAT A2-B			
108		PA5	A5	MTIOC6B/ TIOCB1/ PO21	GTIOC0A	RSPCKA- B	ET0_LINK STA/ CAT0_LIN KSTA		LCD_DAT A3-B			
109		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMR10/ PO20		TXD5/ SMOS15/ SSDA5/ SSLA0-B	ET0_MDC / CAT0_MD C/ CATIRQ/ PMGI0_M DC		LCD_DAT A4-B	IRQ5-DS		

表 1.7 機能別端子一覧(176ピンLFQFP) (8 / 11)

ピン 番号				タイマ		通信		メモリI/F カメラI/F				
176ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
110		PA3	A3	MTIOC0D/ MTCLKD/ TIOC0D/ TCLKB/ PO19		RXD5/ SMISO5/ SSCL5	ET0_MDI O/ CAT0_MD IO/ PMGIO_M DIO		LCD_DAT A5-B	IRQ6-DS		
111	TRDATA3	PG7	D31				ET1_TX_ ER					
112		PA2	A2	MTIOC7A/ PO18	GTIOC1A	RXD5/ SMISO5/ SSCL5/ SSLA3-B	CATLINK ACT1		LCD_DAT A6-B			
113	TRDATA2	PG6	D30				ET1_ETX D3/ CAT1_ET XD3					
114		PA1	DQM3/A1	MTIOC0B/ MTCLKC/ MTIOC7B/ TIOCB0/ PO17	GTIOC2A	SCK5/ SSLA2-B	ET0_WOL		LCD_DAT A7-B	IRQ11		
115	VCC											
116	TRCLK	PG5	D29				ET1_ETX D2/ CAT1_ET XD2					
117	VSS											
118		PA0	DQM2/ BC0#/A0	MTIOC4A/ MTIOC6D/ TIOCA0/ PO16/ CACREF	GTIOC0B	SSLA1-B	ET0_TX_ EN/ RMII0_TX D_EN/ CAT0_TX_ EN/ CATLEDR UN		LCD_DAT A8-B			
119	TRSYNC	PG4	D28				ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
120		P67	DQM1/ CS7#	MTIOC7C	GTIOC1B	CRX2	EPLSOUT 1/ CATSYNC 1			IRQ15		
121	TRDATA1	PG3	D27				ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
122		P66	DQM0/ CS6#	MTIOC7D	GTIOC2B	CTX2						
123	TRDATA0	PG2	D26				ET1_TX_ CLK/ CAT1_TX_ CLK					
124		P65	CKE/ CS5#									

表 1.7 機能別端子一覧(176ピンLFQFP) (9 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)					
176ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC						GLCDC	割り込み	A/D D/A	DSMIF
125		PE7	D15[A15/ D15]/ D7[A7/D7]	MTIOC6A/ TOC1	GTIOC3A	MISOB-B		SDHI_WP / MMC_RE S#-B	LCD_DAT A9-B	IRQ7	AN105	
126		PE6	D14[A14/ D14]/ D6[A6/D6]	MTIOC6C/ TIC1	GTIOC3B	MOSIB-B		SDHI_CD/ MMC_CD- B	LCD_DAT A10-B	IRQ6	AN104	
127	VCC											
128		P70	SDCLK				CATLINK ACT0					
129	VSS											
130		PE5	D13[A13/ D13]/ D5[A5/D5]	MTIOC4C/ MTIOC2B	GTIOC0A	RSPCKB- B	ET0_RX_ CLK/ REF50CK 0/ CAT0_RX_ CLK		LCD_DAT A11-B	IRQ5	AN103	
131		PE4	D12[A12/ D12]/ D4[A4/D4]	MTIOC4D/ MTIOC1A/ PO28	GTIOC1A	SSLB0-B	ET0_ERX D2/ CAT0_ER XD2		LCD_DAT A12-B		AN102	
132		PE3	D11[A11/ D11]/ D3[A3/D3]	MTIOC4B/ PO26/ TOC3/ POE8#	GTIOC2A	CTS12#/ RTS12#/ SS12#	ET0_ERX D3/ CAT0_ER XD3	MMC_D7- B	LCD_DAT A13-B		AN101	
133		PE2	D10[A10/ D10]/ D2[A2/D2]	MTIOC4A/ PO23/ TIC3	GTIOC0B	RXD12/ SMISO12/ SSCL12/ RXDX12/ SSLB3-B		MMC_D6- B	LCD_DAT A14-B	IRQ7-DS	AN100	
134		PE1	D9[A9/ D9]/ D1[A1/D1]	MTIOC4C/ MTIOC3B/ PO18	GTIOC1B	TXD12/ SMOSI12/ SSDA12/ TXDX12/ SIOX12/ SSLB2-B		MMC_D5- B	LCD_DAT A15-B		ANEX1	
135		PE0	D8[A8/ D8]/ D0[A0/D0]	MTIOC3D	GTIOC2B	SCK12/ SSLB1-B		MMC_D4- B	LCD_DAT A16-B		ANEX0	
136		P64	WE#/ D3[A3/ D3]/CS4#				ET1_ETX D0/ RMII1_TX D0/ CAT1_ET XD0					
137		P63	CAS#/ D2[A2/ D2]/CS3#				ET1_ETX D1/ RMII1_TX D1/ CAT1_ET XD1					
138		P62	RAS#/ D1[A1/ D1]/CS2#				ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0					
139		P61	SDCS#/ D0[A0/ D0]/CS1#				ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1					

表 1.7 機能別端子一覧(176ピンLFQFP) (10 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGi)					
176ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC					(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
140	VSS											
141		P60	CS0#				ET1_TX_ EN/ RMII1_TX D_EN/ CAT1_TX _EN					
142	VCC											
143		PD7	D7[A7/D7]	MTIC5U/ POE0#		SSLC3-A	ET1_RX_ ER/ RMII1_RX _ER/ CAT1_RX _ER	QMI-B/ QIO1-B/ SDHI_D1- B/ MMC_D1- B	LCD_DAT A17-B	IRQ7	AN107	
144	TRDATA7	PG1	D25				ET1_RX_ ER/ RMII1_RX _ER/ CAT1_RX _ER					
145		PD6	D6[A6/D6]	MTIC5V/ MTIOC8A/ POE4#		SSLC2-A	ET1_RX_ CLK/ REF50CK 1/ CAT1_RX _CLK	QMO-B/ QIO0-B/ SDHI_D0- B/ MMC_D0- B	LCD_DAT A18-B	IRQ6	AN106	
146	TRDATA6	PG0	D24				ET1_RX_ CLK/ REF50CK 1/ CAT1_RX _CLK					
147		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ MTCLKA/ POE10#		SSLC1-A	ET1_MDC / PMGI1_M DC	QSPCLK- B/ SDHI_CL K-B/ MMC_CL K-B	LCD_DAT A19-B	IRQ5	AN113	
148		PD4	D4[A4/D4]	MTIOC8B/ POE11#		SSLC0-A	ET1_MDI O/ PMGI1_M DIO	QSSL-B/ SDHI_CM D-B/ MMC_CM D-B	LCD_DAT A20-B	IRQ4	AN112	
149	TRSYNC1	P97	D23/A23				ET1_ERX D3/ CAT1_ER XD3					
150		PD3	D3[A3/D3]	MTIOC8D/ TOC2/ POE8#	GTIOC0A	RSPCKC- A	ET1_WOL	QIO3-B/ SDHI_D3- B/ MMC_D3- B	LCD_DAT A21-B	IRQ3	AN111	
151	VSS											
152	TRDATA5	P96	D22/A22				ET1_ERX D2/ CAT1_ER XD2					
153	VCC											
154		PD2	D2[A2/D2]	MTIOC4D/ TIC2	GTIOC0B	MISOC-A/ CRX0	ET1_EXO UT	QIO2-B/ SDHI_D2- B/ MMC_D2- B	LCD_DAT A22-B	IRQ2	AN110	

表 1.7 機能別端子一覧(176ピンLFQFP) (11 / 11)

ピン 番号				タイマ		通信		メモリ I/F カメラ I/F				
176ピン LFQFP	電源 クロック システム 制御	I/Oポート	バス EXDMAC SDRAMC	(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, ESC, PMGI)	(QSPI, SDHI, MMCIF, PDC)	GLCDC	割り込み	A/D D/A	DSMIF
155	TRDATA4	P95	D21/A21				ET1_ERX D1/ RMII1_RX D1/ CAT1_ER XD1					
156		PD1	D1[A1/D1]	MTIOC4B/ POE0#	GTIOC1A	MOSIC-A/ CTX0			LCD_DAT A23-B	IRQ1	AN109	
157		P94	D20/A20				ET1_ERX D0/ RMII1_RX D0/ CAT1_ER XD0					
158		PD0	D0[A0/D0]	POE4#	GTIOC1B				LCD_EXT CLK-B	IRQ0	AN108	
159		P93	D19/A19	POE0#		CTS7#/ RTS7#/ SS7#	ET1_LINK STA/ CAT1_LIN KSTA				AN117	DSMDAT4
160		P92	D18/A18	POE4#		RXD7/ SMISO7/ SSCL7	ET1_CRS/ RMII1_CR S_DV/ CAT1_RX _DV				AN116	DSMCLK4
161		P91	D17/A17			SCK7	ET1_COL				AN115	DSMDAT5
162	VSS											
163		P90	D16/A16			TXD7/ SMOSI7/ SSDA7	ET1_RX_ DV/ CAT1_RX _DV				AN114	DSMCLK5
164	VCC											
165		P47								IRQ15-DS	AN007	
166		P46								IRQ14-DS	AN006	
167		P45								IRQ13-DS	AN005	
168		P44								IRQ12-DS	AN004	
169		P43								IRQ11-DS	AN003	
170		P42								IRQ10-DS	AN002	
171		P41								IRQ9-DS	AN001	
172	VREFL0											
173		P40								IRQ8-DS	AN000	
174	VREFH0											
175	AVCC0											
176		P07								IRQ15	ADTRG0#	

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V

項目		記号	定格値	単位
電源電圧		VCC, VCC_USB	-0.3 ~ +4.0	V
V _{BATT} 電源電圧		V _{BATT}	-0.3 ~ +4.0	V
入力電圧 (5V トレラント対応ポート (注1) 以外)		V _{in}	-0.3 ~ VCC + 0.3 (最大 4.0)	V
入力電圧 (5V トレラント対応ポート (注1))		V _{in}	-0.3 ~ VCC + 4.0 (最大 5.8)	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3 (最大 4.0)	V
アナログ電源電圧		AVCC0, AVCC1 (注2)	-0.3 ~ +4.0	V
アナログ入力電圧		V _{AN}	-0.3 ~ AVCC + 0.3 (最大 4.0)	V
ジャンクション温度	Dバージョン	T _j	-40 ~ +105	°C
	Gバージョン	T _j	-40 ~ +125	°C
保存温度		T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. ポート07とポート11～17、ポート20, 21、ポート30～33、ポート67、ポートC0～C3は、5Vトレラント対応です。

注2. AVCC0, AVCC1, VCC_USBはVCCに、AVSS0, AVSS1, VSS_USBはVSSに接続してください。

A/Dのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。AVCC0とAVSS0間、AVCC1とAVSS1間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

2.2 推奨動作条件

表 2.2 推奨動作条件(1)

項目	記号	min	typ	max	単位
電源電圧 (注1)	VCC	2.7	—	3.6	V
	VSS	—	0	—	V
V _{BATT} 電源電圧	V _{BATT}	2.0	—	3.6	V
USB 電源電圧	VCC_USB	—	VCC	—	V
	VSS_USB	—	0	—	V
アナログ電源電圧 (注1、注2)	AVCC0	—	VCC	—	V
	AVSS0	—	0	—	V
	AVCC1	—	VCC	—	V
	AVSS1	—	0	—	V
	VREFH0	2.7	—	AVCC0	V
	VREFL0	—	0	—	V
入力電圧 (5V トレラント対応ポート以外かつポート 03、05、40～47 以外) (注3)	V _{in}	−0.3	—	VCC + 0.3	V
入力電圧 (ポート 03、05、40～47)	V _{in}	−0.3	—	AVCC + 0.3	V
入力電圧 (5V トレラント対応ポート 11～17、ポート 20、21、ポート 30～33、ポート 67、ポート C0～C3) (注4)	V _{in}	−0.3	—	VCC + 3.6 (最大 5.5)	V
入力電圧 (5V トレラント対応ポート 07)	V _{in}	−0.3	—	AVCC + 3.6 (最大 5.5)	V
動作温度 (D バージョン)	T _{opr}	−40	—	85	°C
動作温度 (G バージョン)	T _{opr}	−40	—	105	°C

注1. 電位関係は以下を守ってください。

VCC = AVCC0 = AVCC1 = VCC_USB

注2. 詳細は「ユーザーズマニュアルハードウェア編」の「58.6.11 アナログ電源端子他の設定範囲」を参照してください。

注3. ポート 07 とポート 11～17、ポート 20、21、ポート 30～33、ポート 67、ポート C0～C3 は、5V トレラント対応です。

注4. P32, P31, P30 に関して V_{BATT} 電源選択時は下記範囲で入力してください。

V_{in} min = −0.3, max = V_{BATT} + 0.3 (V_{BATT} = 2.0～3.6V)

表 2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C _{VCL}	0.22μF ± 30% (注1)

注1. 静電容量の公称値が 0.22μF、静電容量許容差が ±30% 以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表 2.4 DC 特性(1)

条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	IRQ 入力端子 (注1)	V_{IH}	$V_{CC} \times 0.8$	—	V	
	MTU 入力端子 (注1)	V_{IL}	—	$V_{CC} \times 0.2$		
	POE 入力端子 (注1)	ΔV_T	$V_{CC} \times 0.06$	—		
	TPU 入力端子 (注1)					
	TMR 入力端子 (注1)					
	CMTW 入力端子 (注1)					
	SCI 入力端子 (注1)					
	CAN 入力端子 (注1)					
	CAC 入力端子 (注1)					
	ADTRG# 入力端子 (注1)					
	QSPI 入力端子 (注1)					
	SSIE 入力端子 (注1)					
	DSMIF 入力端子 (注1)					
	GPTW 入力端子 (注1)					
入力 High レベル 電圧 (シュミット トリガ入力端子を 除く)	POEG 入力端子 (注1)				V	
	ESC 入力端子 (MII 端子を除く) (注1)					
	RES#, NMI, TCK					
	RIIC 入力端子 (SMBus を除く)	V_{IH}	$V_{CC} \times 0.7$	—		
		V_{IL}	—	$V_{CC} \times 0.3$		
		ΔV_T	$V_{CC} \times 0.05$	—		
5V トレラント対応ポート (注2)		V_{IH}	$V_{CC} \times 0.8$	—	V	
		V_{IL}	—	$V_{CC} \times 0.2$		
		V_{IH}	$V_{CC} \times 0.8$	—		
		V_{IL}	—	$V_{CC} \times 0.2$		
	5V トレラント対応ポート以外 その他の入力端子 (注3)	V_{IH}	$V_{CC} \times 0.8$	—		
		V_{IL}	—	$V_{CC} \times 0.2$		
入力 Low レベル 電圧 (シュミット トリガ入力端子を 除く)	MD 端子、EMLE	V_{IH}	$V_{CC} \times 0.9$	—	V	
	EXTAL, RSPI 入力端子、 EXDMAC 入力端子、WAIT#、 SDHI 入力端子、MMC 入力端子、 PDC 入力端子、PMGI 入力端子		$V_{CC} \times 0.8$	—		
	ETHERC 入力端子、 ESC 入力端子 (MII 端子)		2.3	—		
	D0 ~ D31		$V_{CC} \times 0.7$	—		
	RIIC (SMBus)		2.1	—		
入力 Low レベル 電圧 (シュミット トリガ入力端子を 除く)	MD 端子、EMLE	V_{IL}	—	$V_{CC} \times 0.1$	V	
	EXTAL, RSPI 入力端子、 ETHERC 入力端子、 EXDMAC 入力端子、WAIT#、 SDHI 入力端子、MMC 入力端子、 PDC 入力端子、PMGI 入力端子、 ESC 入力端子 (MII 端子)		—	$V_{CC} \times 0.2$		
	D0 ~ D31		—	$V_{CC} \times 0.3$		
	RIIC (SMBus)		—	0.8		

注1. 5V トレラント対応のポートで兼用している端子は該当しません。

注2. ポート 07 とポート 11 ~ 17、ポート 20, 21、ポート 30 ~ 33、ポート 67、ポート C0 ~ C3 は、5V トレラント対応です。

注3. P32, P31, P30 に関して V_{BATT} 電源選択時は下記範囲で入力してください。

$V_{IH \min} = V_{BATT} \times 0.8$, $V_{IL \max} = V_{BATT} \times 0.2$ ($V_{BATT} = 2.0 \sim 3.6V$)

表 2.5 DC 特性 (2)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RIIC 端子、ETHERC 出力端子を除く)	V_{OL}	—	—	V	$I_{OL} = 1.0mA$
	RIIC 出力端子	—	—	0.4		$I_{OL} = 3.0mA$
		—	—	0.6		$I_{OL} = 6.0mA$
	RIIC 出力端子 (P12, P13 のチャンネル 0 のみ)	V_{OL}	—	—	V	$I_{OL} = 15.0mA$ (ICFER.FMPE = 1)
		—	0.4	—		$I_{OL} = 20.0mA$ (ICFER.FMPE = 1)
	ETHERC 出力端子	V_{OL}	—	—	V	$I_{OL} = 1.0mA$
入力リーク電流	RES#, MD 端子、EMLE (注1)、 BSCANP (注1)、NMI	$ I_{in} $	—	—	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5V トレラント対応ポート以外	$ I_{TSI} $	—	—	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
	5V トレラント対応ポート	—	—	5.0		$V_{in} = 0V$ $V_{in} = 5.5V$
入力プルアップ抵抗電流	ポート P35 以外の端子	I_p	-300	—	μA	$V_{CC} = 2.7 \sim 3.6V$ $V_{in} = 0V$
入力プルダウン抵抗電流	EMLE, BSCANP	I_p	10	—	μA	$V_{in} = V_{CC}$
入力容量	全入力端子 (ポート 03, 05、ポート 12, 13, 16, 17、ポート 20, 21、EMLE、 BSCANP、USB0_DP、 USB0_DM 以外)	C_{in}	—	—	pF	$V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	ポート 03, 05、ポート 12, 13, 16, 17、ポート 20, 21、EMLE、 BSCANP、USB0_DP、 USB0_DM		—	—	16	
VCL 端子出力電圧		V_{CL}	—	1.18	V	

注 1. EMLE 端子、BSCANP 端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 2.6 DC 特性 (3)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目				記号	Dバージョン		Gバージョン		単位	測定条件	
					typ	max	typ	max			
消費電流 (注1)	高速動作モード	最大動作 (注2)		I _{CC} (注3)	—	261	—	319	mA	ICLK = 240MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 60MHz PCLKD = 60MHz FCLK = 60MHz BCLK = 120MHz BCLK端子 = 60MHz	
		通常動作	周辺機能クロック供給状態 (注4)		61	—	61	—			
			周辺機能クロック停止状態 (注4、注5)		30	—	30	—			
		Core Mark動作	周辺機能クロック停止状態 (注4、注5)		37	—	37	—			
			スリープモード時：周辺機能クロック供給状態 (注4)			42	144	42			196
		全モジュールクロックストップモード時 (参考値)			14	115	14	167			
		BGO動作時の増加分 (注8)	データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		6	—	6	—			
			コードフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		7	—	7	—			
		Trusted Secure IP動作時の増加分			—	15	—	15			
		低速動作モード1：周辺機能クロック停止状態 (注4)			4.2	—	4.2	—			
	低速動作モード2：周辺機能クロック停止状態 (注4)			4.2	—	4.2	—				
	ソフトウェアスタンバイモード			3.95	107	3.95	155				
	ディープソフトウェアスタンバイモード	スタンバイRAM、USBレジューム検出部 (USB0のみ) 電源供給あり		15.5	70	15.5	98	μA			
		スタンバイRAM、USBレジューム検出部 (USB0のみ) 電源供給なし	パワーオンリセット回路の低消費電力機能無効 (注6)	11.5	42	11.5	58				
			パワーオンリセット回路の低消費電力機能有効 (注7)	4.9	32	4.9	47				
		RTC動作時の増分	低CL水晶振動子使用時	1	—	1	—				
			標準CL水晶振動子使用時	2	—	2	—				
		VCCオフ時のRTC動作 (バッテリーバックアップ機能により、RTC、サブクロック発振器のみ動作)	低CL水晶振動子使用時	0.9	—	0.9	—				
			標準CL水晶振動子使用時	1.6	—	1.6	—				
				1.7	—	1.7	—				
	3.3			—	3.3	—					
	ディープソフトウェアスタンバイ復帰時のラッシュ電流		ラッシュ電流 (注9)	I _{RUSH}	—	211	—	211	mA		

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵ブルアップ抵抗を無効にした場合の値です。

注2. 周辺機能はクロック供給状態。

注3. I_{CC} は、以下の式のとおりICLK周波数f (MHz)に依存します
(ICLK : PCLKA : PCLKB/PCLKC/PCLKD : BCLK : BCLK端子 = 4 : 2 : 1 : 2 : 1 @EXTAL = 12MHz)。

● Dバージョン製品

$I_{CC} \text{ max} = 0.77 \times f + 74$ (高速動作モード、最大動作時)

$I_{CC} \text{ typ} = 0.22 \times f + 7$ (高速動作モード、通常動作時)

$I_{CC} \text{ typ} = 0.50 \times f + 3.7$ (ICLK 1MHz max) (低速動作モード1時)

- $I_{CC\ max} = 0.29 \times f + 74$ (スリープモード時)
 • Gバージョン製品
 $I_{CC\ max} = 0.89 \times f + 105$ (高速動作モード、最大動作時)
 $I_{CC\ typ} = 0.22 \times f + 7$ (高速動作モード、通常動作時)
 $I_{CC\ typ} = 0.50 \times f + 3.7$ (ICLK 1MHz max) (低速動作モード1時)
 $I_{CC\ max} = 0.37 \times f + 105$ (スリープモード時)

- 注4. 周辺機能のクロック供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。
 注5. 周辺機能クロック停止時の各クロック周波数は、ICLK = 240MHz、PCLKA = PCLKB = PCLKC = PCLKD = FCLK = BCLK = BCLK端子 = 3.75MHz (64分周)に設定しています。
 注6. 低消費電力機能無効時は、DEEPCUT[1:0] = 01b。
 注7. 低消費電力機能有効時は、DEEPCUT[1:0] = 11b。
 注8. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ(プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレーズ実行した場合の増加分です。
 注9. 参考値

表2.7 DC特性(4)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 $T_a = T_{opr}$

項目			記号	Dバージョン			Gバージョン			単位	測定条件
				min	typ	max	min	typ	max		
アナログ電源電流 (注1、注3)	12ビットA/D変換中(ユニット0)		AI _{CC}	—	0.8	1	—	0.8	1	mA	IAVCC0_AD
	12ビットA/D変換中(ユニット0) +チャネル専用サンプル& ホールド(3ch分)			—	1.7	2.5	—	1.7	2.5	mA	IAVCC0_AD+SH
	12ビットA/D変換中(ユニット1)			—	0.6	1	—	0.6	1	mA	IAVCC1_AD
	12ビットA/D変換中(ユニット1) +温度センサ			—	0.7	1.1	—	0.7	1.1	mA	IAVCC1_AD+TEMP
	D/A変換中 (2チャンネル)	バッファなし 出力		—	0.25	0.4	—	0.25	0.4	mA	IAVCC1_DA
		バッファ出力		—	0.75	1.1	—	0.75	1.1	mA	
	A/D、D/A、温度センサ変換待機 時(全ユニット)			—	0.9	1.4	—	0.9	1.4	mA	IAVCC0 + IAVCC1
	A/D、D/A、温度センサスタンバイ時(全ユニット)			—	1.4	6.7	—	1.4	9.0	μA	IAVCC0 + IAVCC1
リファレンス電源電流	12ビットA/D変換中(ユニット0)		AI _{REFH}	—	38	60	—	38	60	μA	IVREFH0
	12ビットA/D変換待機時 (ユニット0)			—	0.07	0.5	—	0.07	0.6	μA	IVREFH0
	12ビットA/Dモジュールストップ時(ユニット0)			—	0.07	0.4	—	0.07	0.5	μA	IVREFH0
USB動作電流	ロースピード	USB0	I _{CCUSBLS}	—	3.7	6.5	—	3.7	6.5	mA	VCC_USB
	フルスピード	USB0	I _{CCUSBFS}	—	4.2	10	—	4.2	10	mA	VCC_USB
RAM保持電圧			V _{RAM}	2.7	—	—	2.7	—	—	V	
VCC立ち上がり勾配			SrVCC	8.4	—	20000	8.4	—	20000	μs/V	
VCC立ち下がり勾配(注2)			SfVCC	8.4	—	—	8.4	—	—	μs/V	

- 注1. 12ビットAD(ユニット1)、D/Aは電源電流にリファレンス電流も含む値です。
 注2. V_{BATT}を使用する場合に適用します。
 注3. 消費電流値は、すべての出力端子を無負荷状態にした場合の値です。

表 2.8 出力許容電流

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	2.0	mA
	全出力端子 (注2)	高駆動	I_{OL}	—	—	3.8	mA
	全出力端子 (注3)	高速インタフェース 用高駆動	I_{OL}	—	—	7.5	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	4.0	mA
	全出力端子 (注2)	高駆動	I_{OL}	—	—	7.6	mA
	全出力端子 (注3)	高速インタフェース 用高駆動	I_{OL}	—	—	15	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和		ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-2.0	mA
	全出力端子 (注2)	高駆動	I_{OH}	—	—	-3.8	mA
	全出力端子 (注3)	高速インタフェース 用高駆動	I_{OH}	—	—	-7.5	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-4.0	mA
	全出力端子 (注2)	高駆動	I_{OH}	—	—	-7.6	mA
	全出力端子 (注3)	高速インタフェース 用高駆動	I_{OH}	—	—	-15	mA
出力Highレベル許容電流 (総和)	全出力端子の総和		ΣI_{OH}	—	—	-80	mA

【使用上の注意】MCUの信頼性を確保するため、出力電流値は表 2.8 の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

注3. 高速インタフェース用高駆動設定ができる端子で、高速インタフェース用高駆動設定をした場合の値

表 2.9 熱抵抗値 (参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	176ピンLQFP (PLQP0176KB-C)	θ_{ja}	31.5	°C/W	JESD51-2および JESD51-7準拠
	224ピンLFBGA (PLBG0224GA-A)		23.1		JESD51-2および JESD51-9準拠
	176ピンLFBGA (PLBG0176GA-A)		30.5		
	176ピンLQFP (PLQP0176KB-C)	Ψ_{jt}	0.4	°C/W	JESD51-2および JESD51-7準拠
	224ピンLFBGA (PLBG0224GA-A)		0.2		JESD51-2および JESD51-9準拠
	176ピンLFBGA (PLBG0176GA-A)		0.3		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

2.4 AC 特性

表 2.10 動作周波数 (高速動作モード)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	—	—	240	MHz
	周辺モジュールクロック (PCLKA)		—	—	120	
	周辺モジュールクロック (PCLKB)		—	—	60	
	周辺モジュールクロック (PCLKC)		—	—	60	
	周辺モジュールクロック (PCLKD)		—	—	60	
	FlashIF クロック (FCLK)		— (注 1)	—	60	
	外部バスクロック (BCLK)		—	—	120	
	BCLK 端子出力		—	—	80	
	SDRAM クロック (SDCLK)		—	—	80	
	SDCLK 端子出力		—	—	80	

注 1. フラッシュメモリの書き換えを行う場合は、FCLK を 4MHz 以上としてください。

表 2.11 動作周波数 (低速動作モード 1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	—	—	1	MHz
	周辺モジュールクロック (PCLKA)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKC) (注 1)		—	—	1	
	周辺モジュールクロック (PCLKD) (注 1)		—	—	1	
	FlashIF クロック (FCLK)		—	—	1	
	外部バスクロック (BCLK)		—	—	1	
	BCLK 端子出力		—	—	1	
	SDRAM クロック (SDCLK)		—	—	1	
	SDCLK 端子出力		—	—	1	

注 1. 12 ビット A/D コンバータを使用する場合、1MHz 以上の設定が必要です。

表 2.12 動作周波数 (低速動作モード2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	32	—	264	kHz
	周辺モジュールクロック (PCLKA)		—	—	264	
	周辺モジュールクロック (PCLKB)		—	—	264	
	周辺モジュールクロック (PCLKC) (注1)		—	—	264	
	周辺モジュールクロック (PCLKD) (注1)		—	—	264	
	FlashIF クロック (FCLK)		32	—	264	
	外部バスクロック (BCLK)		—	—	264	
	BCLK 端子出力		—	—	264	
	SDRAM クロック (SDCLK)		—	—	264	
	SDCLK 端子出力		—	—	264	

注1. 12ビットA/Dコンバータは使用できません。

2.4.1 リセットタイミング

表2.13 リセットタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	1	—	—	ms	図 2.1
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—	ms	図 2.2
	ソフトウェアスタンバイモード、 低速動作モード2	t _{RESWS}	0.3	—	—	ms	
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—	μs	
RES#解除後待機時間		t _{RESWT}	54	—	55	t _{Lcyc}	図 2.1
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセッ ト、ソフトウェアリセット)		t _{RESW2}	100	—	108	t _{Lcyc}	

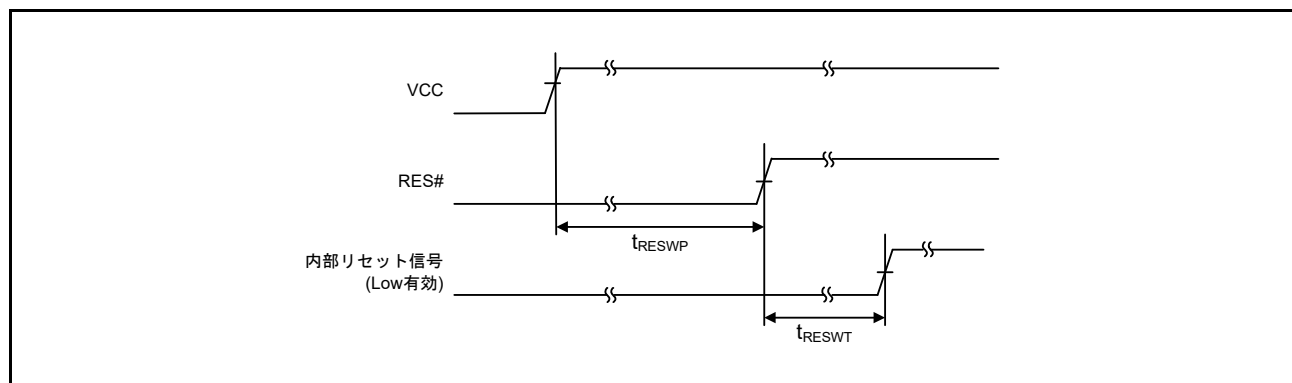


図 2.1 電源投入時リセット入力タイミング

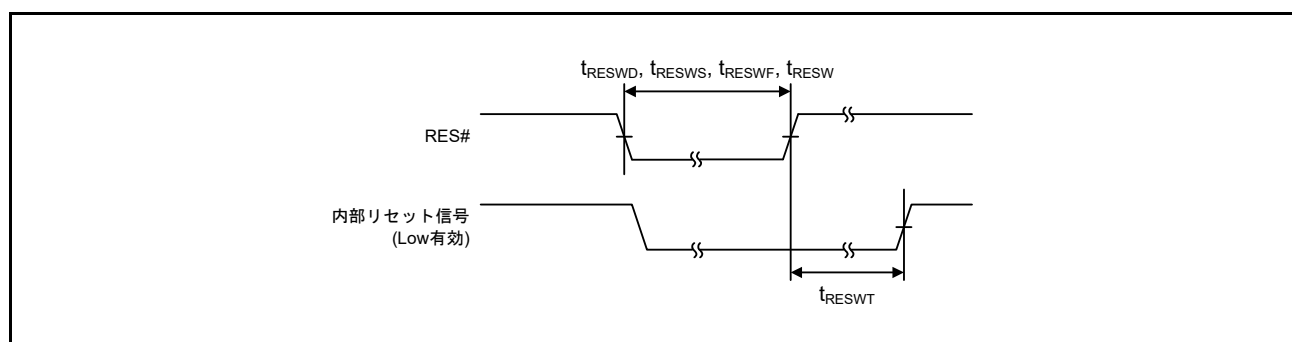


図 2.2 リセット入力タイミング

2.4.2 クロックタイミング

表 2.14 BCLK 端子出力、SDCLK 端子出力クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK 端子出力サイクル時間	t_{Bcyc}	12.5	—	—	ns	図 2.3
BCLK 端子出力 High レベルパルス幅	t_{CH}	3.25	—	—	ns	
BCLK 端子出力 Low レベルパルス幅	t_{CL}	3.25	—	—	ns	
BCLK 端子出力立ち上がり時間	t_{Cr}	—	—	3	ns	
BCLK 端子出力立ち下がり時間	t_{Cf}	—	—	3	ns	
SDCLK 端子出力サイクル時間	t_{Bcyc}	12.5	—	—	ns	
SDCLK 端子出力 High レベルパルス幅	t_{CH}	3.25	—	—	ns	
SDCLK 端子出力 Low レベルパルス幅	t_{CL}	3.25	—	—	ns	
SDCLK 端子出力立ち上がり時間	t_{Cr}	—	—	3	ns	
SDCLK 端子出力立ち下がり時間	t_{Cf}	—	—	3	ns	

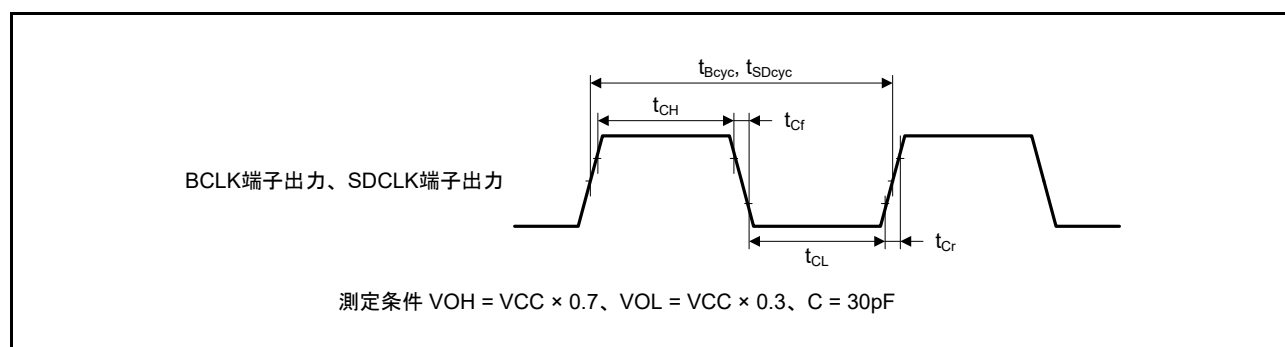


図 2.3 BCLK 端子出力、SDCLK 端子出力タイミング

表 2.15 EXTAL クロックタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	$f_{EXMAIN} \leq 24MHz$			$f_{EXMAIN} > 24MHz$			単位	測定条件
		min	typ	max	min	typ	max		
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	33.33	—	—	ns	図 2.4
EXTAL 外部クロック入力周波数	f_{EXMAIN}	—	—	24	—	—	30	MHz	
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	15.83	—	—	13.33	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	15.83	—	—	13.33	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	5	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	5	—	—	5	ns	

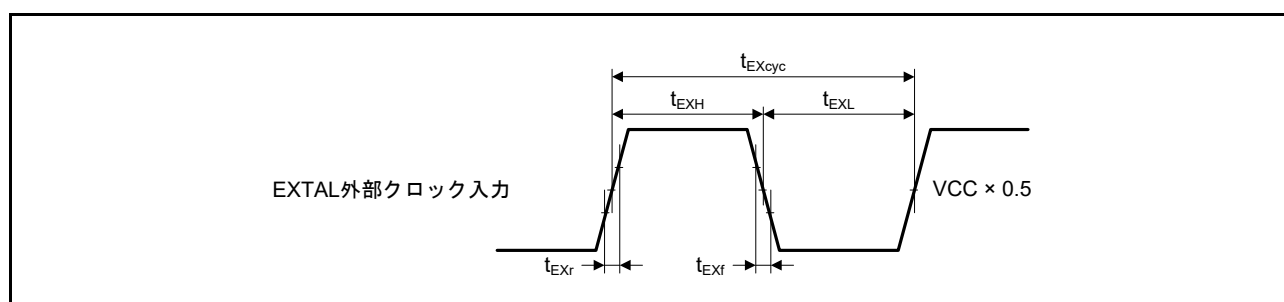


図 2.4 EXTAL 外部クロック入力タイミング

表 2.16 メインクロックタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図 2.5
メインクロック発振安定時間(水晶)	$t_{MAINOSC}$	—	—	(注 1)	ms	
メインクロック発振安定待機時間(水晶)	$t_{MAINOSWTT}$	—	—	(注 2)	ms	

注 1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0] ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSWTT} = [(MSTS[7:0] \text{ ビット} \times 32) + 10] / f_{LOCO}$$

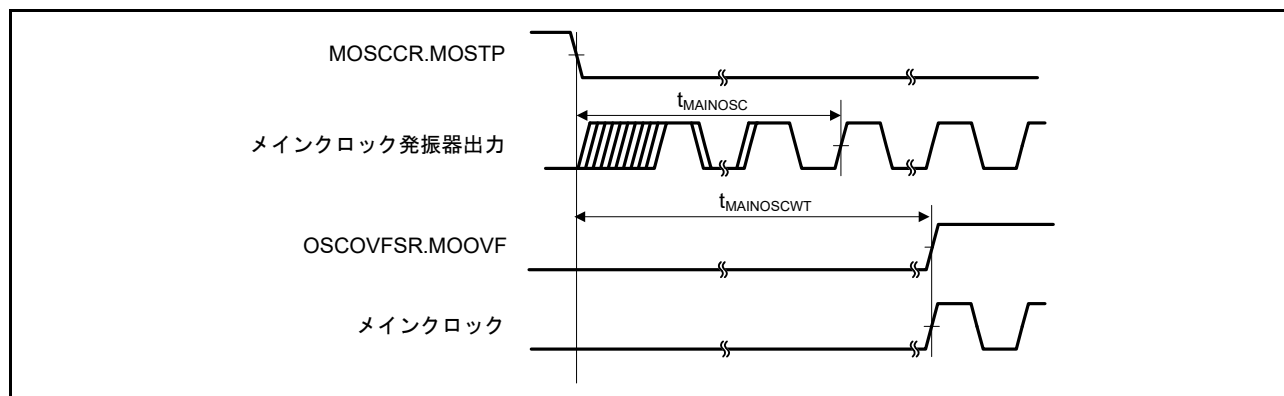


図 2.5 メインクロック発振開始タイミング

表 2.17 LOCO, IWDТ専用低速クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.63	4.16	3.78	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	44	μs	図 2.6
IWDТ専用低速クロックサイクル時間	t_{ILcyc}	9.26	8.33	7.57	μs	
IWDТ専用低速クロック発振周波数	f_{ILOCO}	108	120	132	kHz	
IWDТ専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図 2.7

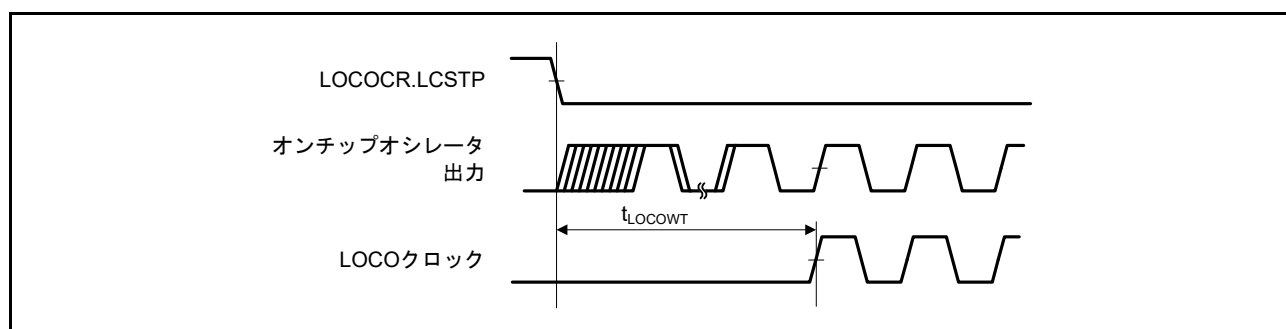


図 2.6 LOCO クロック発振開始タイミング

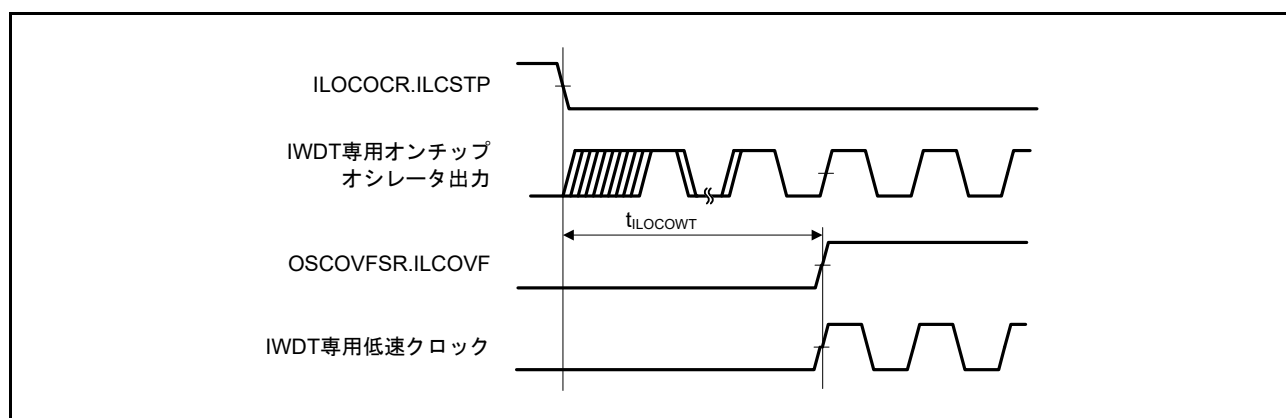


図 2.7 IWDТ 専用低速クロック発振開始タイミング

表 2.18 HOCO クロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCO クロック 発振周波数	f_{HOCO}	15.61	16	16.39	MHz	$-20^\circ\text{C} \leq T_a \leq 105^\circ\text{C}$
		17.56	18	18.44	MHz	
		19.52	20	20.48	MHz	
		15.52	16	16.48	MHz	$-40^\circ\text{C} \leq T_a < -20^\circ\text{C}$
		17.46	18	18.54	MHz	
		19.4	20	20.6	MHz	
HOCO クロック 発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図 2.8
HOCO クロック 電源安定時間	t_{HOCOP}	—	—	150	μs	図 2.9

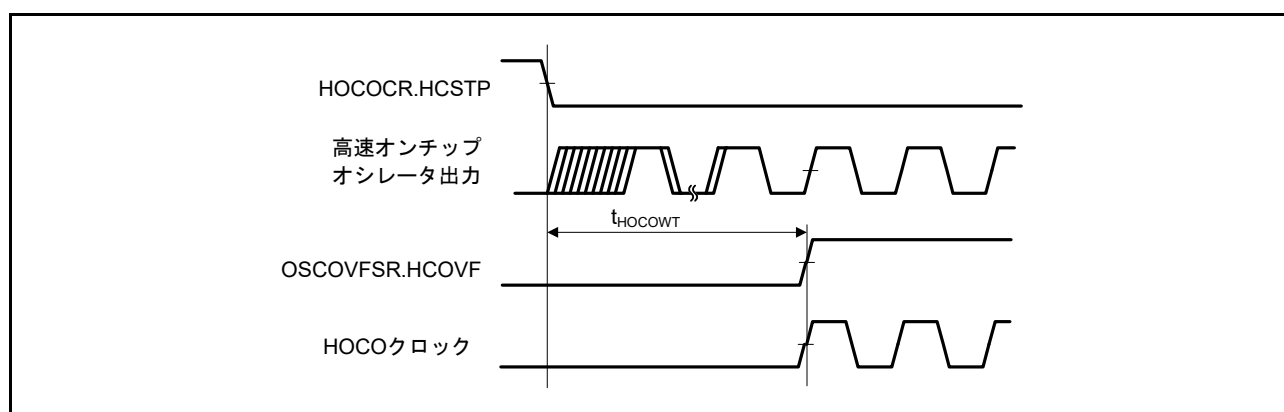


図 2.8 HOCO クロック 発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

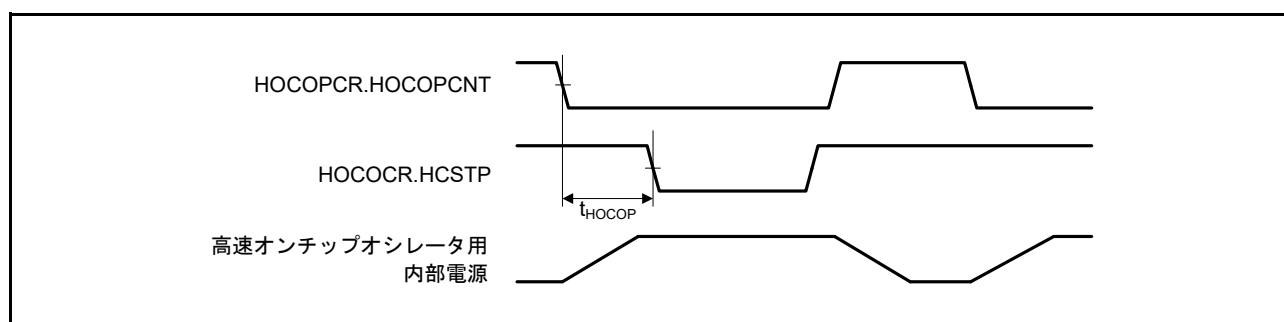


図 2.9 高速オンチップオシレータ電源制御タイミング

表 2.19 PLL/PPLL クロックタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLL/PPLL クロック発振周波数	f_{PLL}	120	—	240	MHz	
PLL/PPLL クロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図 2.10

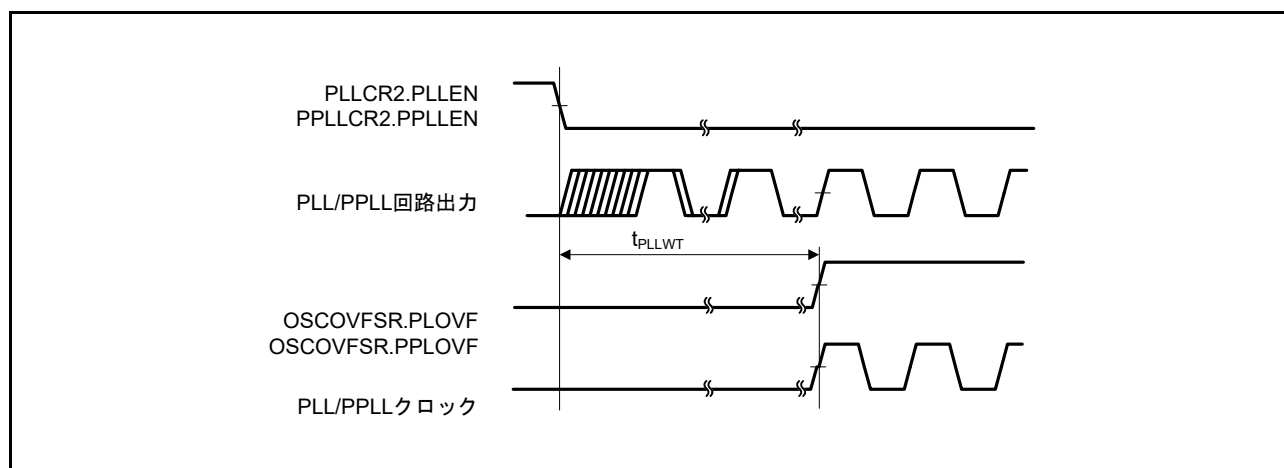


図 2.10 PLL/PPLL クロック発振開始タイミング

表 2.20 サブクロックタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間	t_{SUBOSC}	—	—	(注 1)	s	図 2.11
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	(注 2)	s	

注 1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. サブクロック発振安定待機時間は、SOSWTCR.SSTS[7:0] ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{Loco}$$

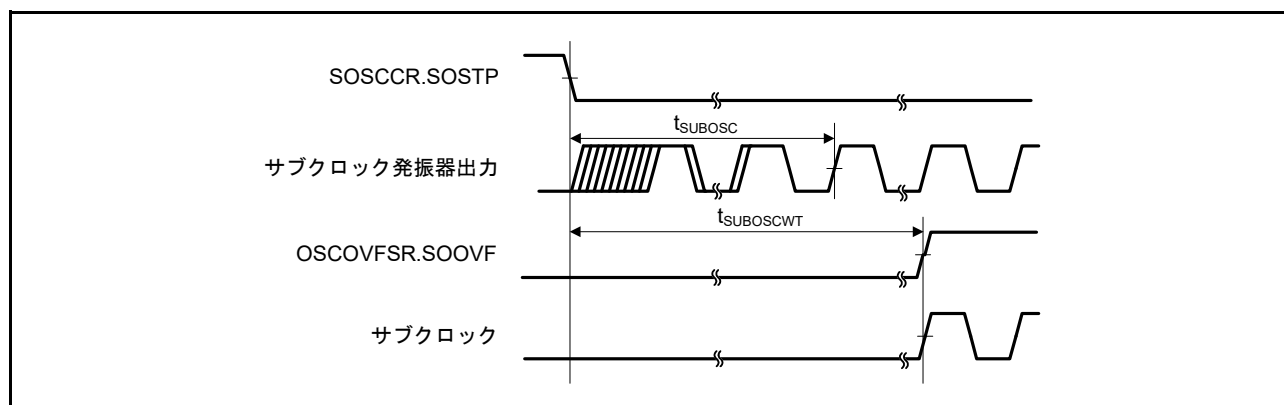


図 2.11 サブクロック発振開始タイミング

表 2.21 CLKOUT 端子出力タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = VCC_USB = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
CLKOUT 端子出力サイクル時間	t_{Ccyc}	25	—	—	ns	図 2.12 $t_{Ccyc} = 25ns$ の場合
CLKOUT 端子出力 High レベルパルス幅 (注1)	t_{CH}	5	—	—	ns	
CLKOUT 端子出力 Low レベルパルス幅 (注1)	t_{CL}	5	—	—	ns	
CLKOUT 端子出力立ち上がり時間	t_{Cr}	—	—	5	ns	
CLKOUT 端子出力立ち下がり時間	t_{Cf}	—	—	5	ns	

注 1. CLKOUT 出カソース選択ビット (CKOCR.CKOSEL[2:0]) でメインクロック発振器を選択、かつ、メインクロック発振器切り替えビット (MOFCR.MOSEL) で外部クロック入力を選択している場合は入力クロック波形に依存します。

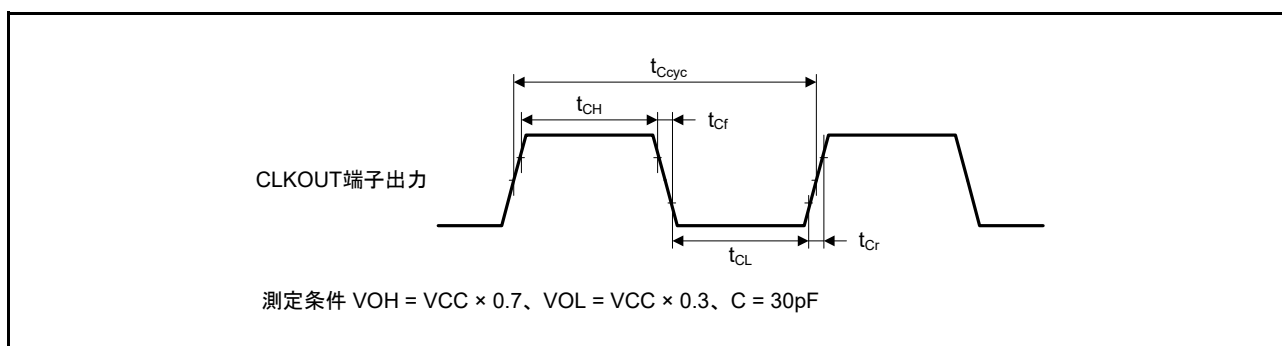


図 2.12 CLKOUT 端子出力タイミング

表 2.22 CLKOUT25M 端子出力タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = VCC_USB = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$,
 駆動能力制御レジスタは高速インタフェース用高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
CLKOUT25M 端子出力サイクル時間	t_{Ccyc}	—	40	—	ns	図 2.13
CLKOUT25M 端子出力 High レベルパルス幅	t_{CH}	13	—	—	ns	
CLKOUT25M 端子出力 Low レベルパルス幅	t_{CL}	13	—	—	ns	
CLKOUT25M 端子出力立ち上がり時間	t_{Cr}	—	—	3	ns	
CLKOUT25M 端子出力立ち下がり時間	t_{Cf}	—	—	3	ns	

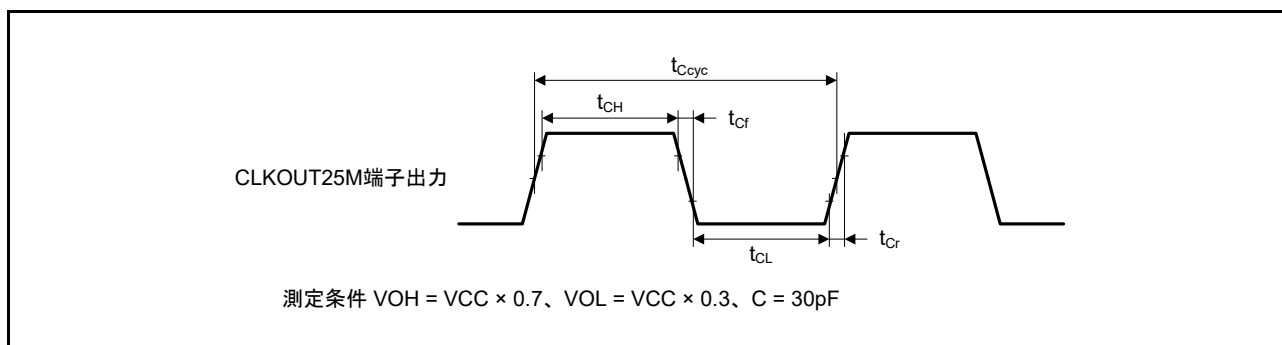


図 2.13 CLKOUT25M 端子出力タイミング

2.4.3 低消費電力状態からの復帰タイミング

表 2.23 低消費電力状態からの復帰タイミング(1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図 2.14
		メインクロック発振器、PLL回路動作	t_{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}			352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$		
		メインクロック発振器、PLL回路動作	t_{SBYPE}			639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	サブクロック発振器動作		t_{SBYSC}			$\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10 / f_{FCLK}$	$100 + 4 / f_{ICLK} + 2n / f_{SUE}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}			454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$		
		高速オンチップオシレータ動作、PLL回路動作	t_{SBYPH}			741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作 (注4)		t_{SBYLO}			338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$		

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。

注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は $t_{SBYOSCWT}$ の内、最も大きな値が選択されます。

注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注4. 本条件は、 $f_{ICLK} : f_{FCLK} = 1:1$ 、 $2:1$ 、 $4:1$ の場合に適用されます。

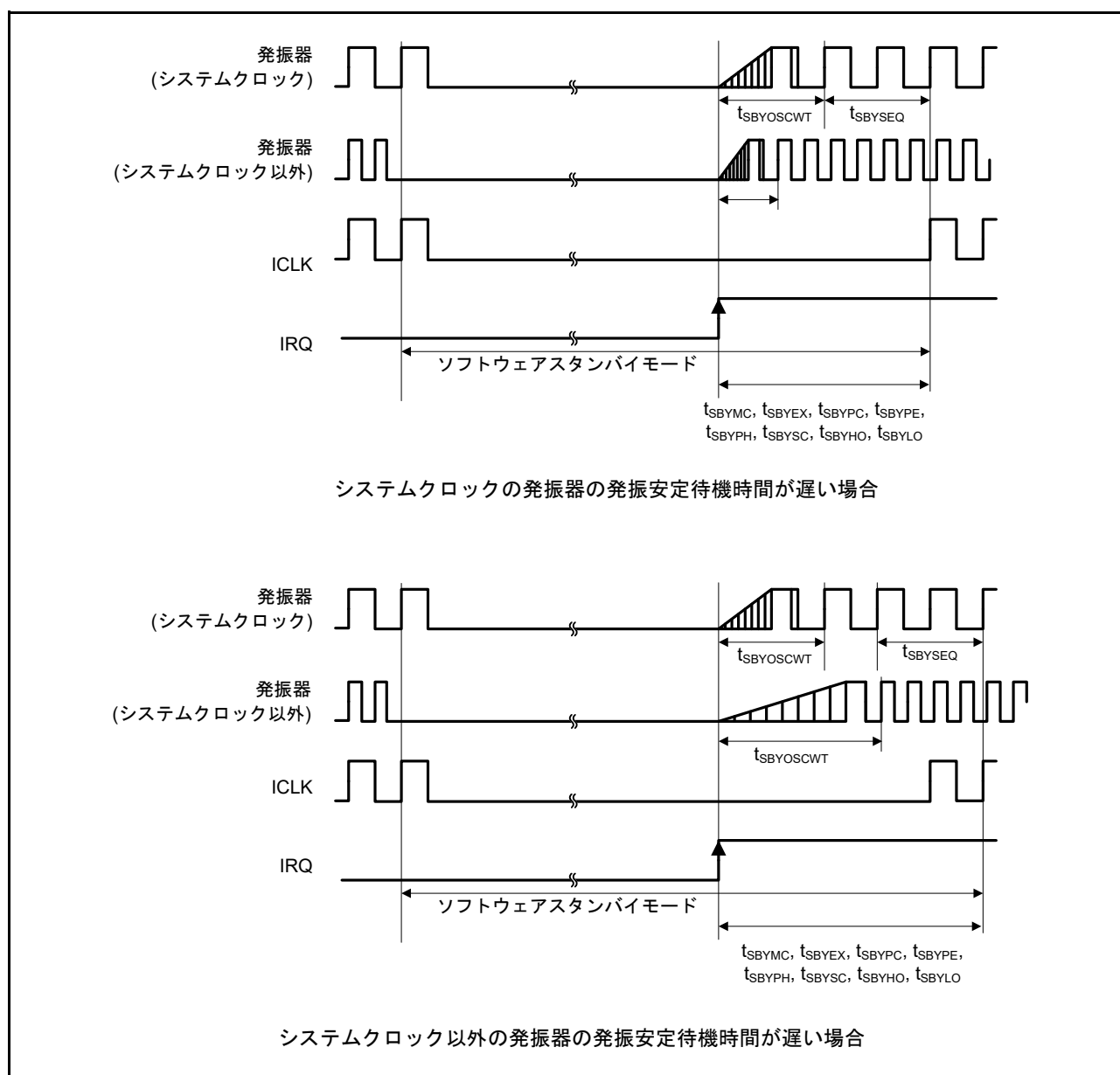


図 2.14 ソフトウェアスタンバイモード解除タイミング

表 2.24 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図 2.15
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	23	—	24	t_{Lcyc}	

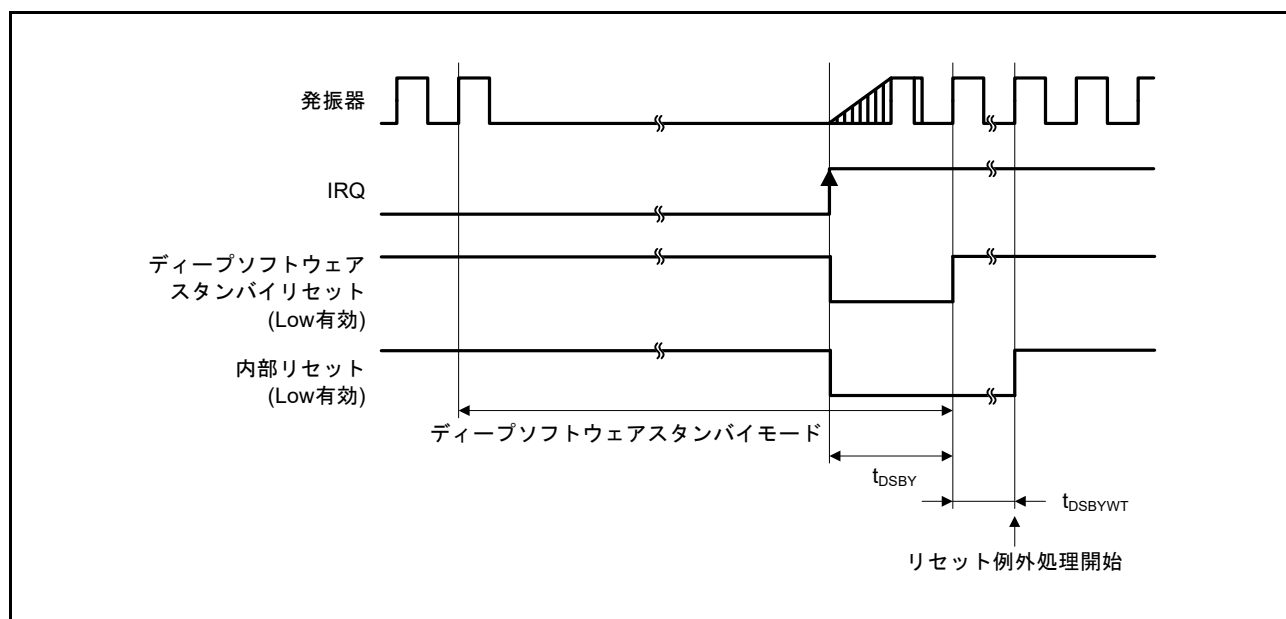


図 2.15 ディープソフトウェアスタンバイモード解除タイミング

2.4.4 制御信号タイミング

表 2.25 制御信号タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 2.16
		$t_{PBcyc} \times 2$	—	—	ns	$t_{PBcyc} \times 2 > 200ns$ 、図 2.16
IRQパルス幅	t_{IRQW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 2.17
		$t_{PBcyc} \times 2$	—	—	ns	$t_{PBcyc} \times 2 > 200ns$ 、図 2.17

注1. t_{PBcyc} : PCLKBの周期

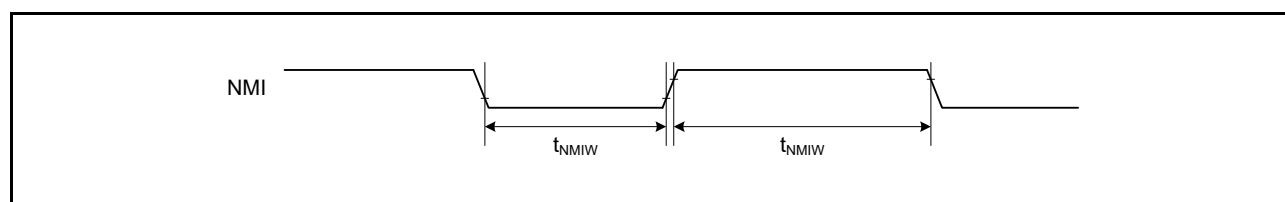


図 2.16 NMI 割り込み入力タイミング

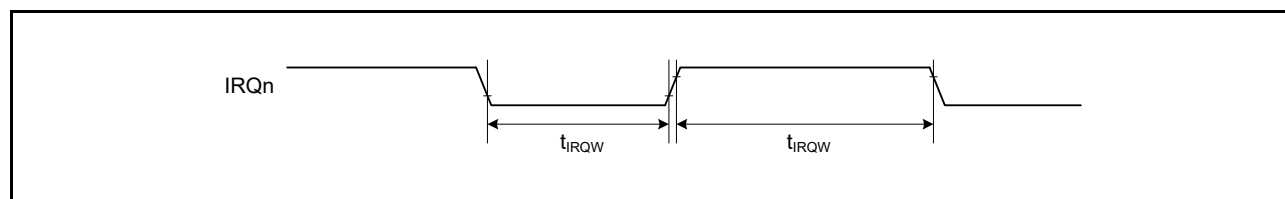


図 2.17 IRQ 割り込み入力タイミング

2.4.5 バスタイミング

表 2.26 バスタイミング

条件 1 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,

$ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$,

出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択時

条件 2 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,

$ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $60MHz < BCLK = SDCLK \leq 80MHz$, $T_a = T_{opr}$,

出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$,

$SDCLK$ 端子 $C = 15pF$, $SDCLK$ 端子以外 $C = 30pF$,

SDRAM 使用する場合の駆動能力制御 : $SDCLK$ 端子は $PFBCR3.SDCLKDRV$ (外部バス制御レジスタ 1) を“1”に設定、
 $SDCLK$ 端子以外の SDRAM 端子は高速インタフェース駆動出力を選択

項目	記号	条件 1		条件 2		単位	測定条件
		min	max	min	max		
アドレス遅延時間	t_{AD}	—	12.5	—	12.5	ns	図 2.18 ~ 図 2.23
バイトコントロール遅延時間	t_{BCD}	—	12.5	—	12.5	ns	
CS#遅延時間	t_{CSD}	—	12.5	—	12.5	ns	
ALE 遅延時間	t_{ALED}	—	12.5	—	12.5	ns	
RD#遅延時間	t_{RSD}	—	12.5	—	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	0	—	ns	
WR#遅延時間	t_{WRD}	—	12.5	—	12.5	ns	
ライトデータ遅延時間	t_{WDD}	—	12.5	—	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	12.5	—	ns	図 2.24
WAIT#ホールド時間	t_{WTH}	0	—	0	—	ns	
アドレス遅延時間 2 (SDRAM)	t_{AD2}	1	12.5	1	10.0	ns	図 2.25
CS#遅延時間 2 (SDRAM)	t_{CSD2}	1	12.5	1	10.0	ns	
DQM遅延時間 (SDRAM)	t_{DQMD}	1	12.5	1	10.0	ns	
CKE 遅延時間 (SDRAM)	t_{CKED}	1	12.5	1	10.0	ns	
リードデータセットアップ時間 2 (SDRAM)	t_{RDS2}	10	—	6.0	—	ns	
リードデータホールド時間 2 (SDRAM)	t_{RDH2}	0	—	0	—	ns	
ライトデータ遅延時間 2 (SDRAM)	t_{WDD2}	—	12.5	—	10.0	ns	
ライトデータホールド時間 2 (SDRAM)	t_{WDH2}	1	—	1	—	ns	
WE#遅延時間 (SDRAM)	t_{WED}	1	12.5	1	10.0	ns	
RAS#遅延時間 (SDRAM)	t_{RASD}	1	12.5	1	10.0	ns	
CAS#遅延時間 (SDRAM)	t_{CASD}	1	12.5	1	10.0	ns	

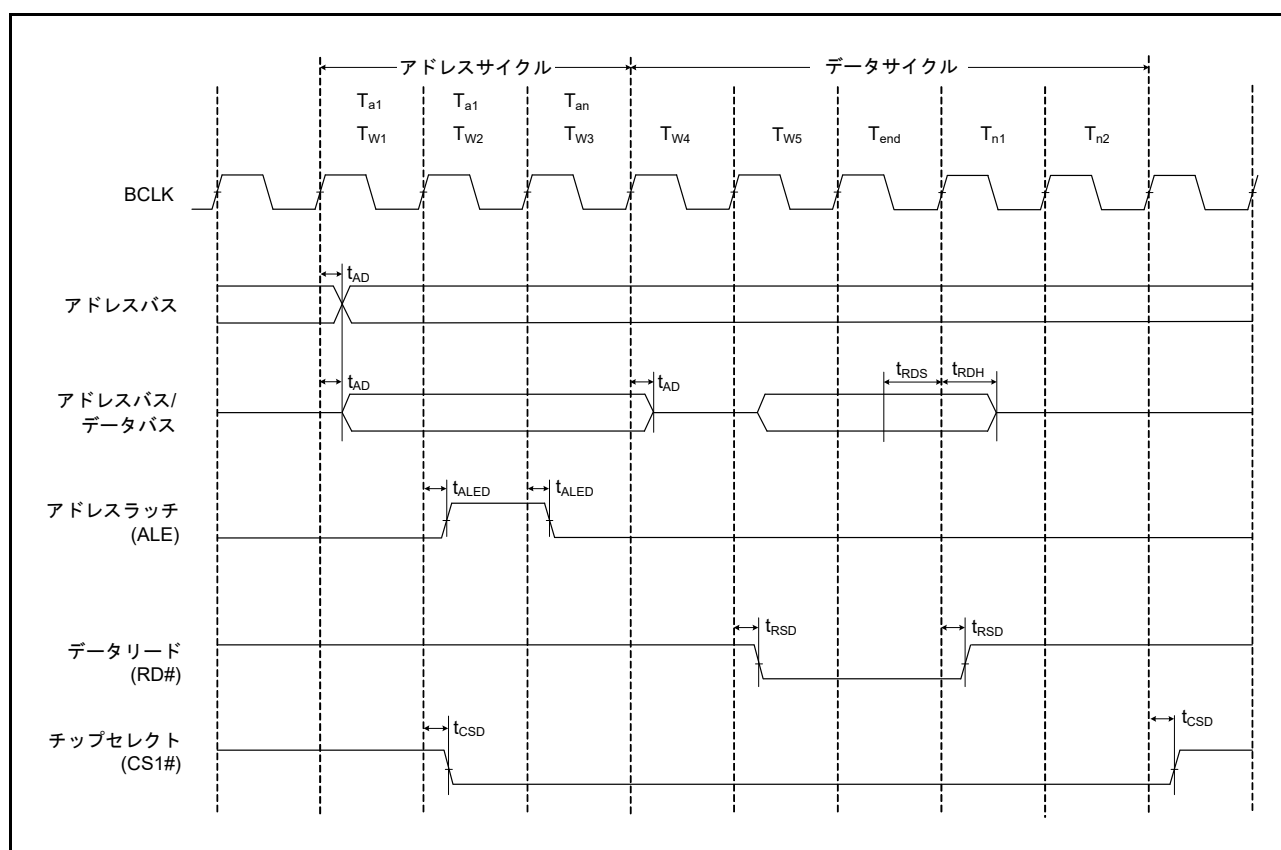


図 2.18 アドレス / データマルチプレクスバスのリードアクセスタイミング

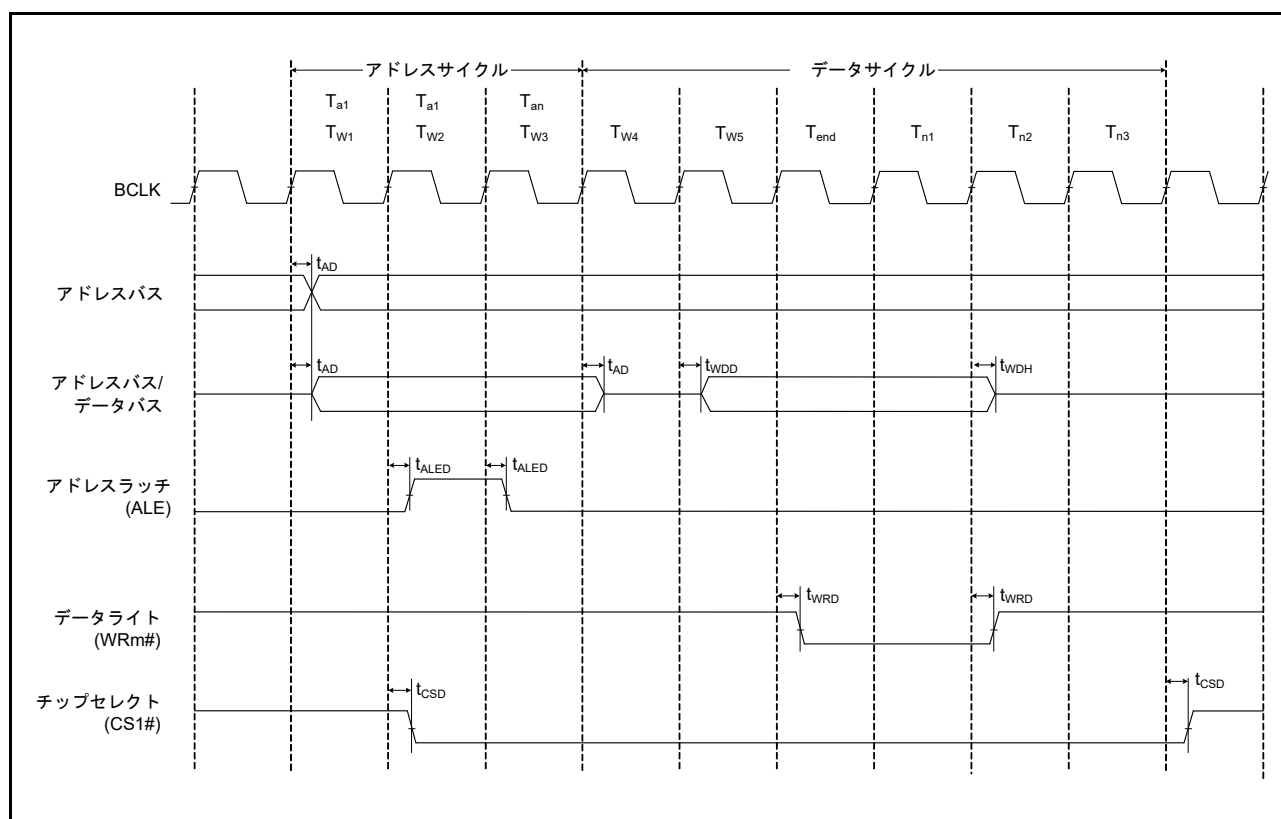


図 2.19 アドレス / データマルチプレクスバスのライトアクセスタイミング

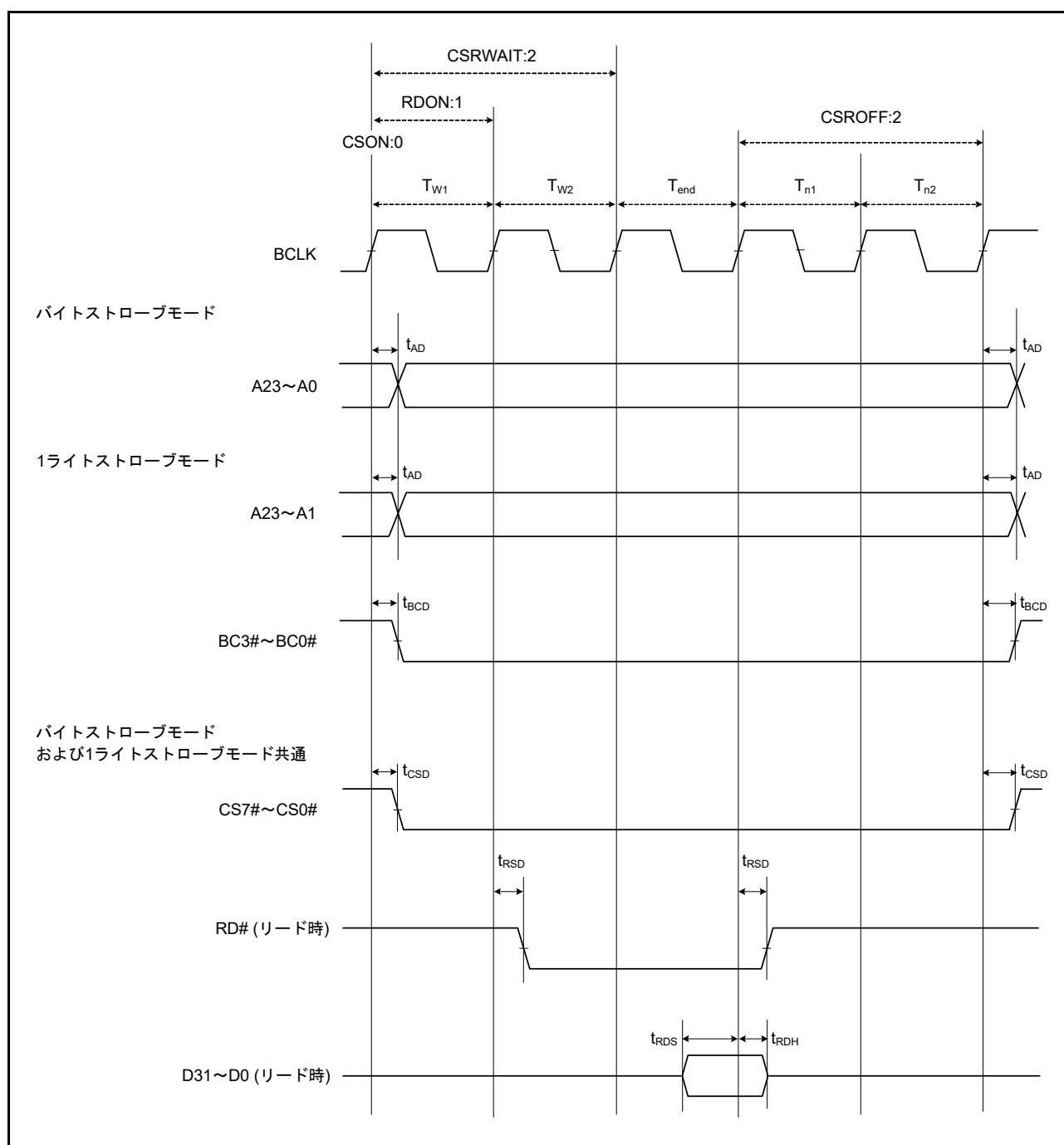


図 2.20 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

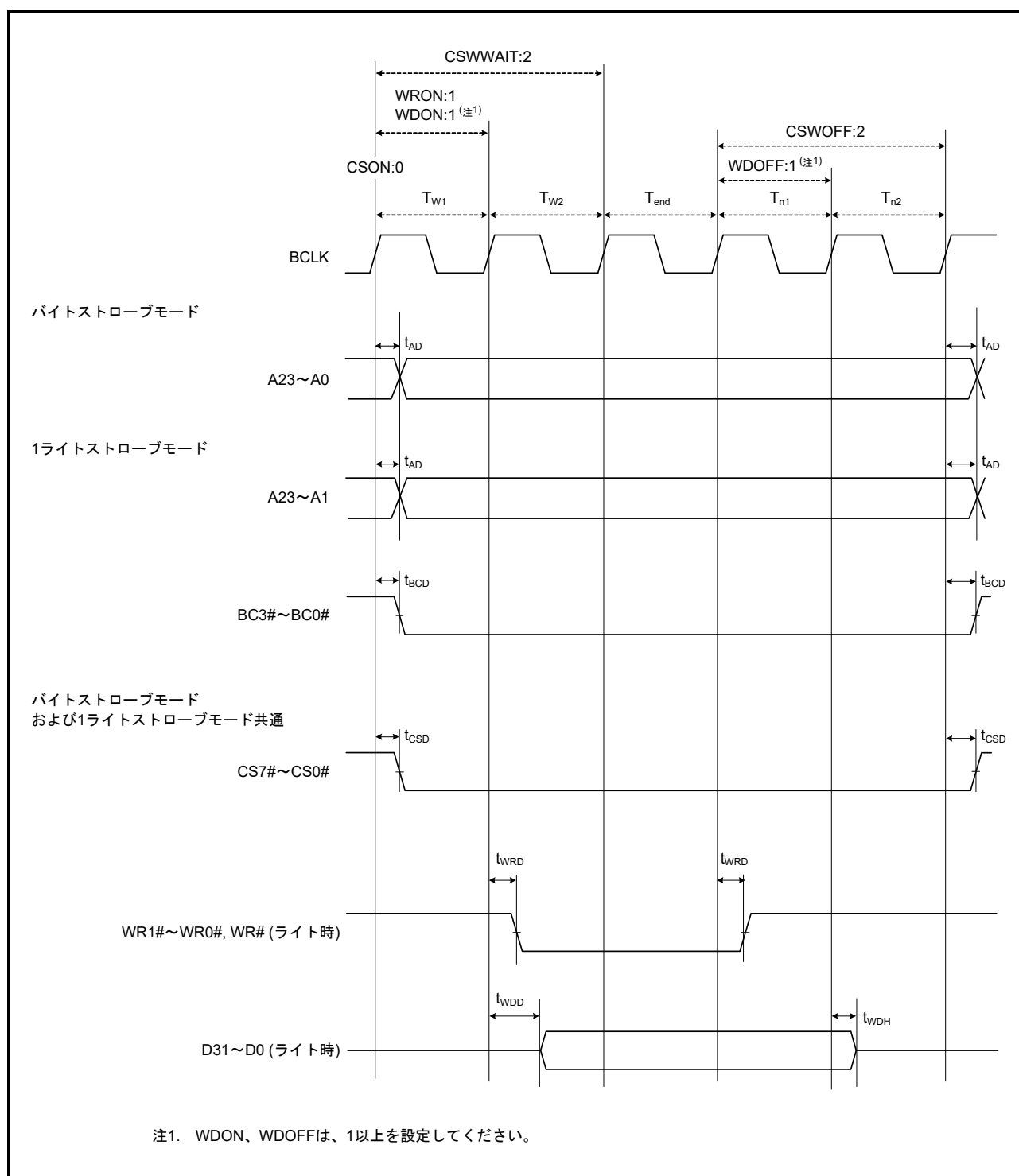


図 2.21 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

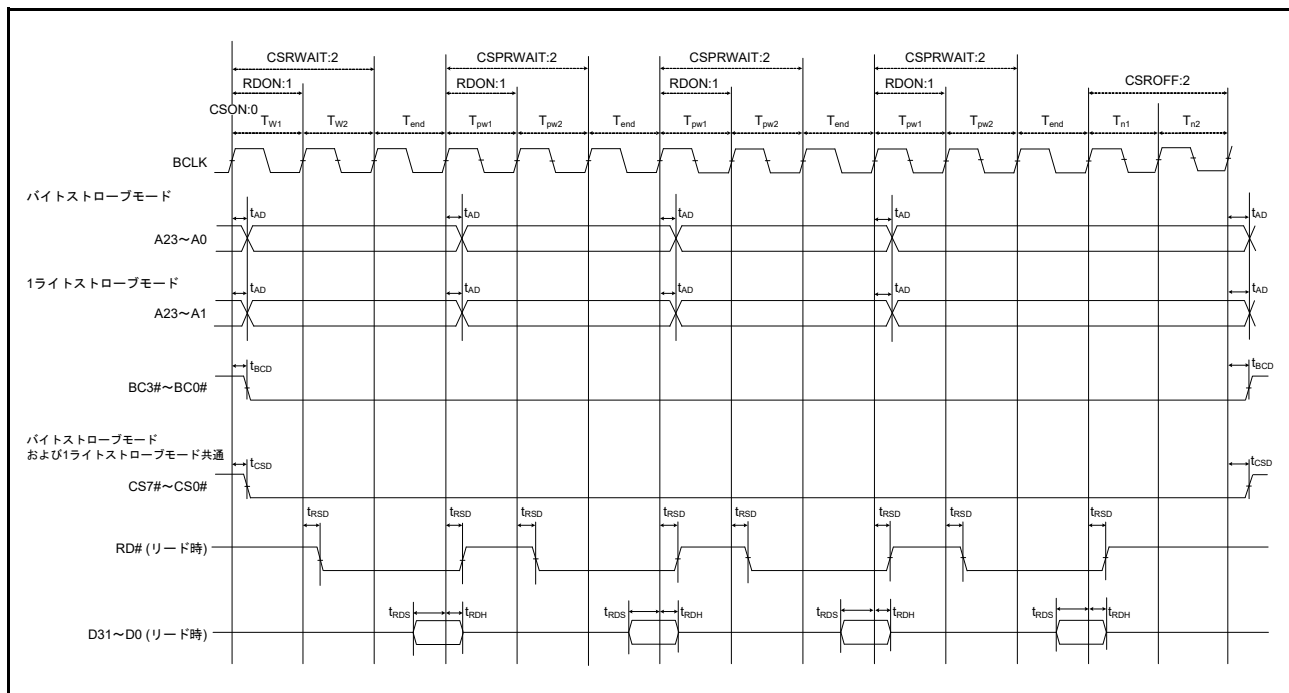


図 2.22 外部バスタイミング / ページリードサイクル (バスクロック同期)

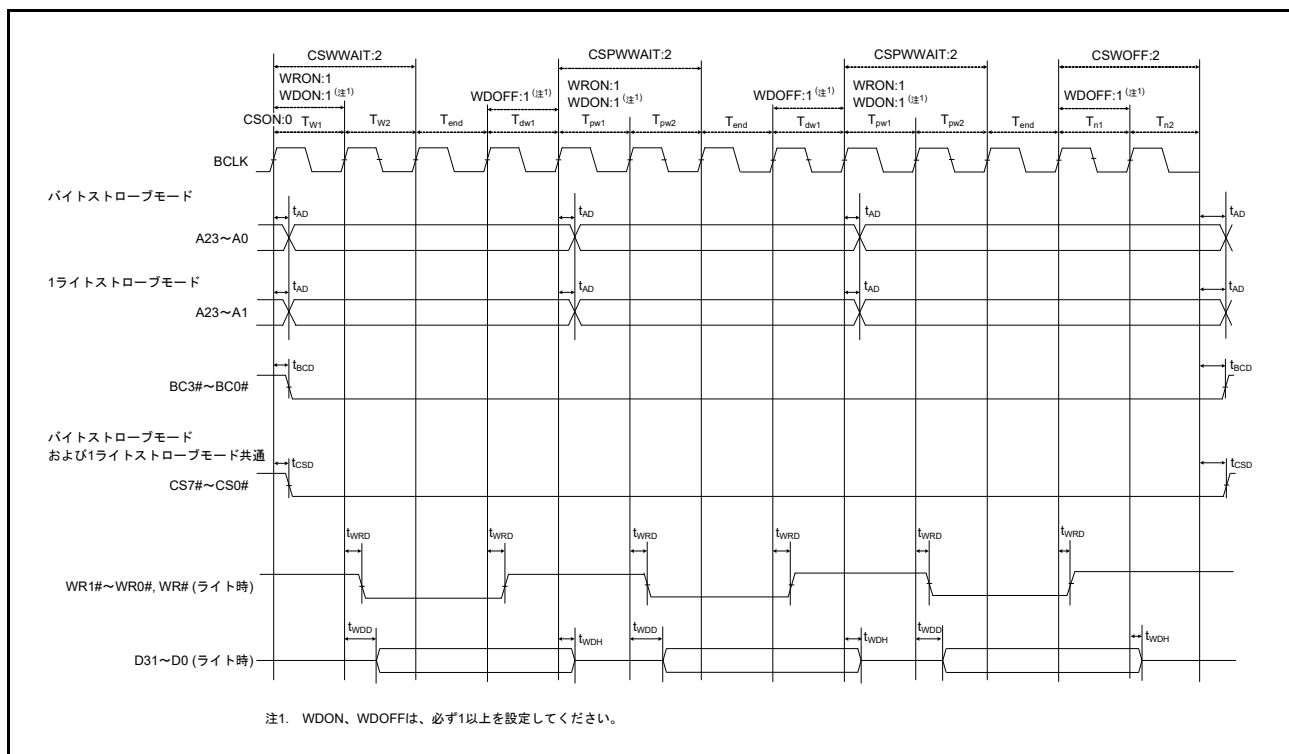


図 2.23 外部バスタイミング / ページライトサイクル (バスクロック同期)

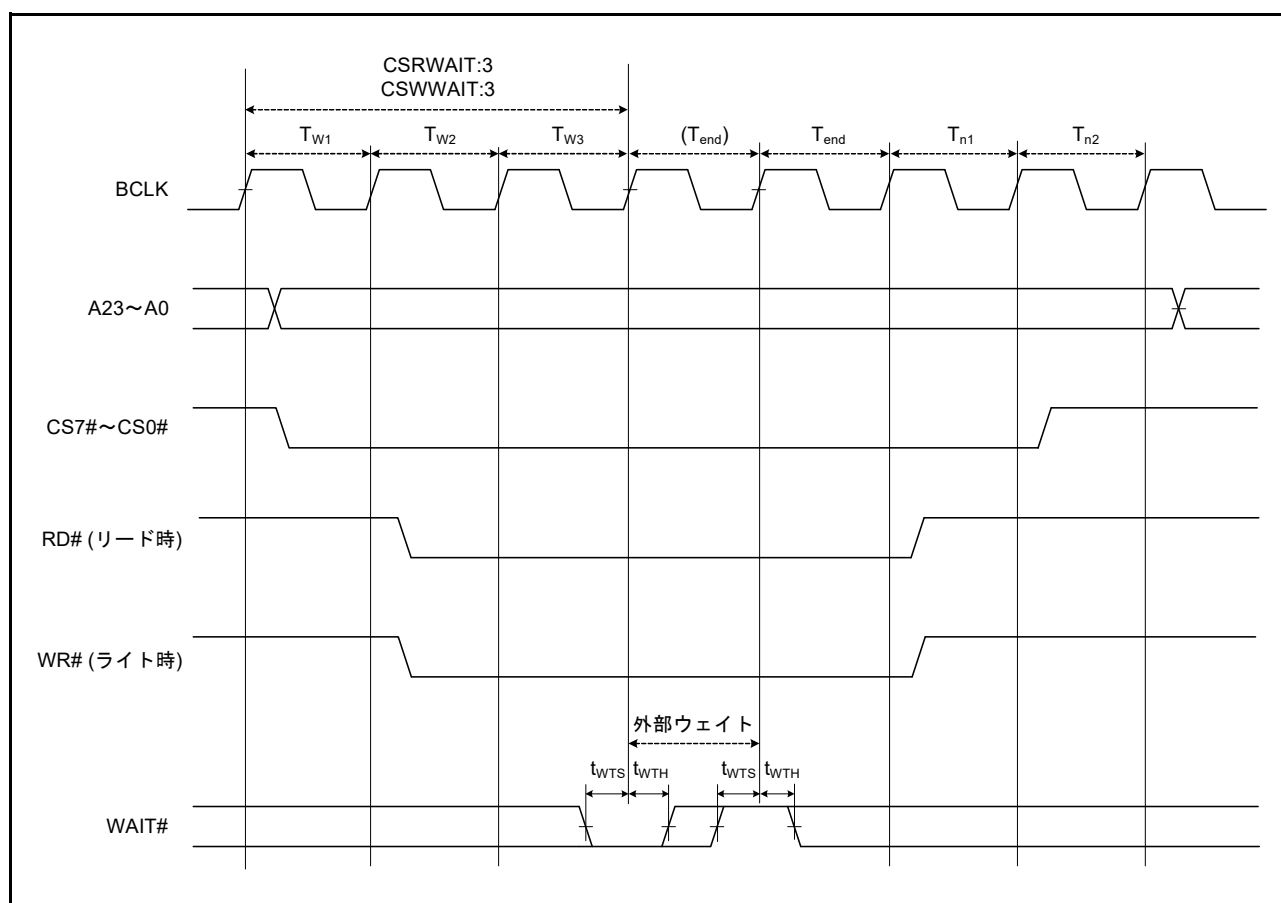


図 2.24 外部バスタイミング / 外部ウェイト制御

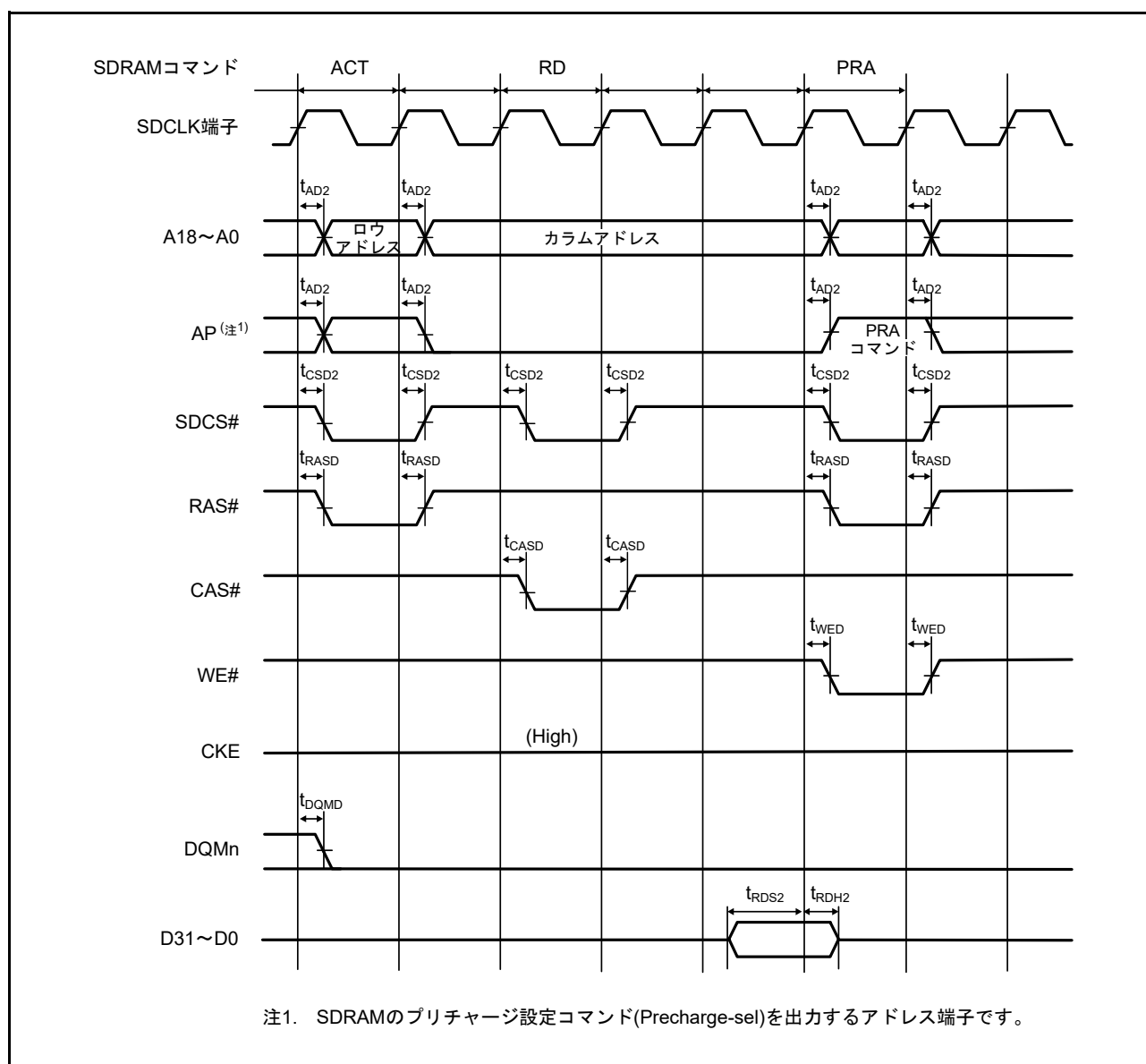


図 2.25 SDRAM 空間シングルリードバスタイミング

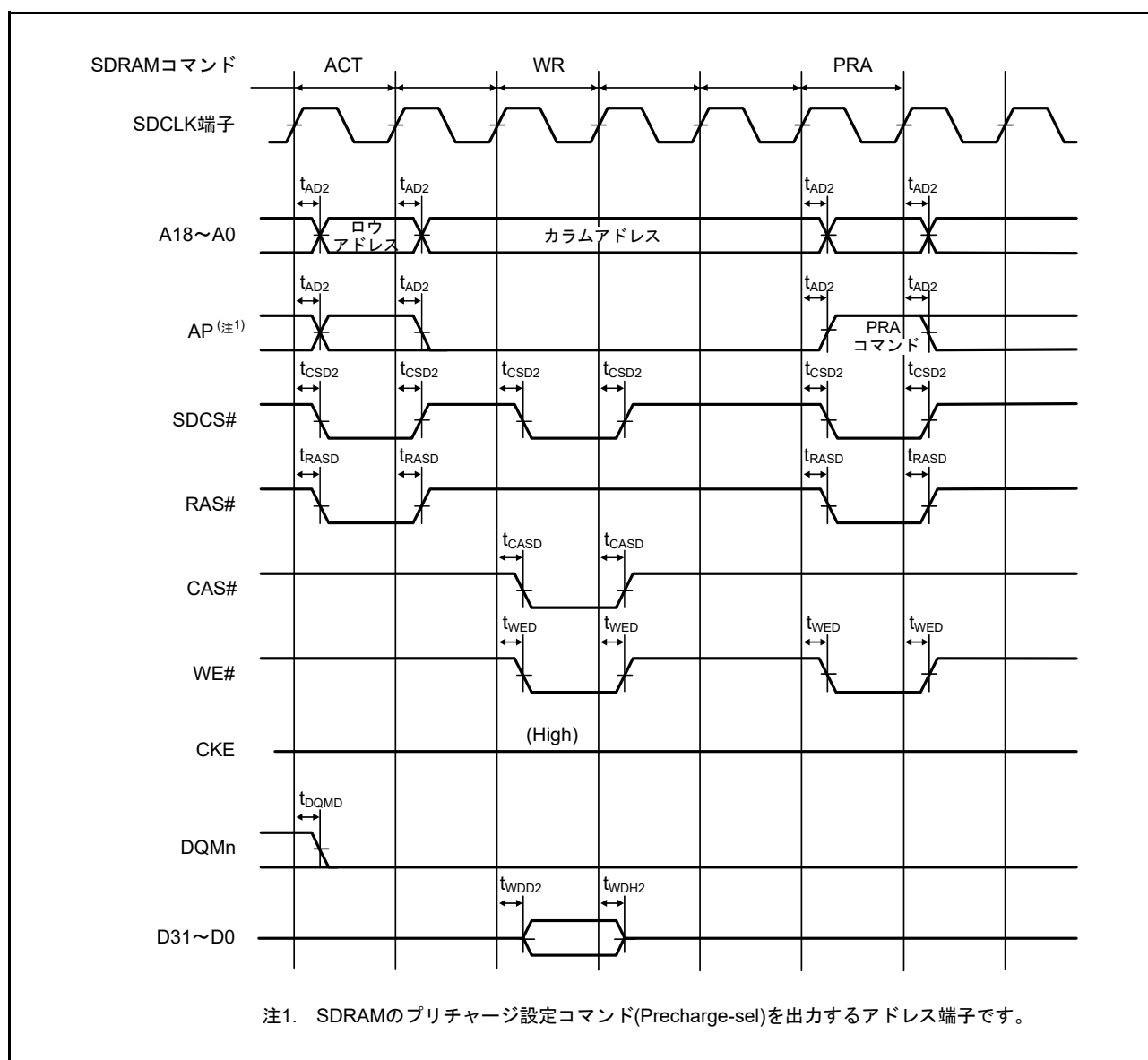
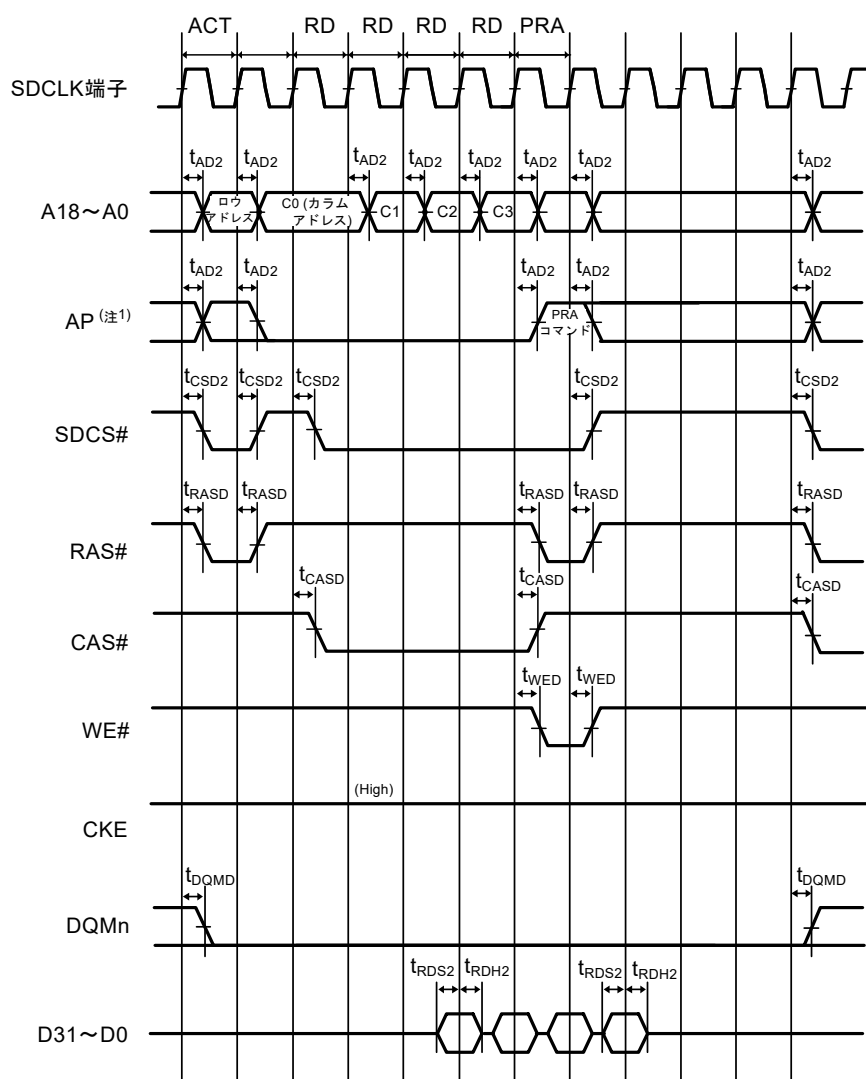
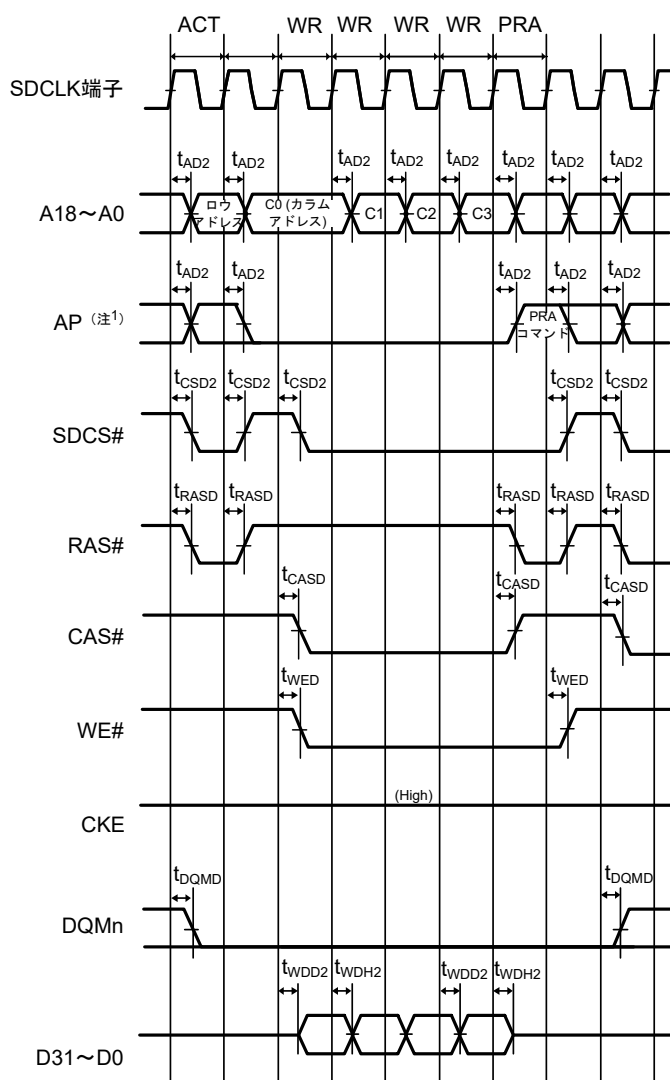


図 2.26 SDRAM 空間シングルライトバスタイミング



注1. SDRAMのプリチャージ設定コマンド(Precharge-sel)を出力するアドレス端子です。

図 2.27 SDRAM 空間複数リードバスタイミング



注1. SDRAMのプリチャージ設定コマンド(Precharge-sel)を出力するアドレス端子です。

図 2.28 SDRAM 空間複数ライトバスタイミング

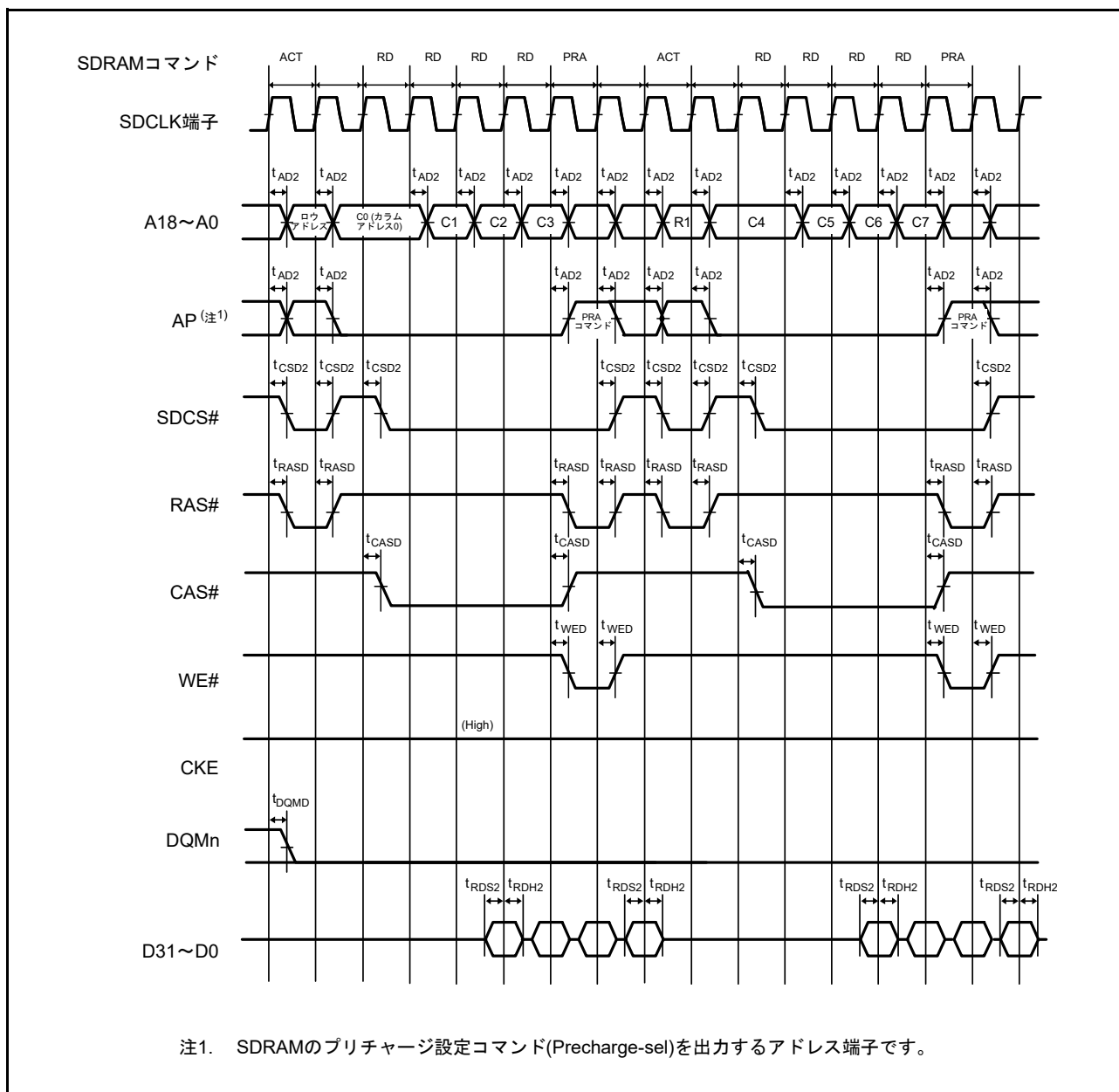
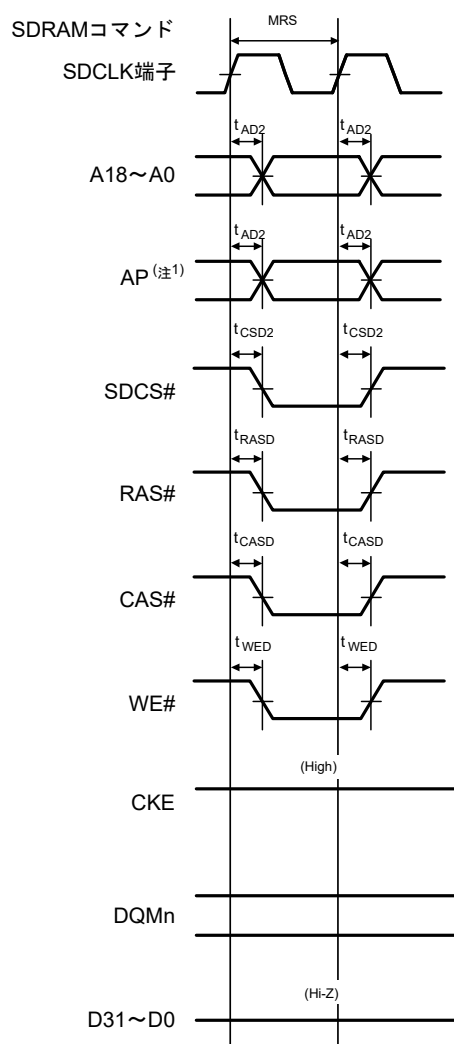


図 2.29 SDRAM 空間複数リード行またぎバスタイミング



注1. SDRAMのプリチャージ設定コマンド(Precharge-sel)を出力するアドレス端子です。

図 2.30 SDRAM 空間モードレジスタセットバスタイミング

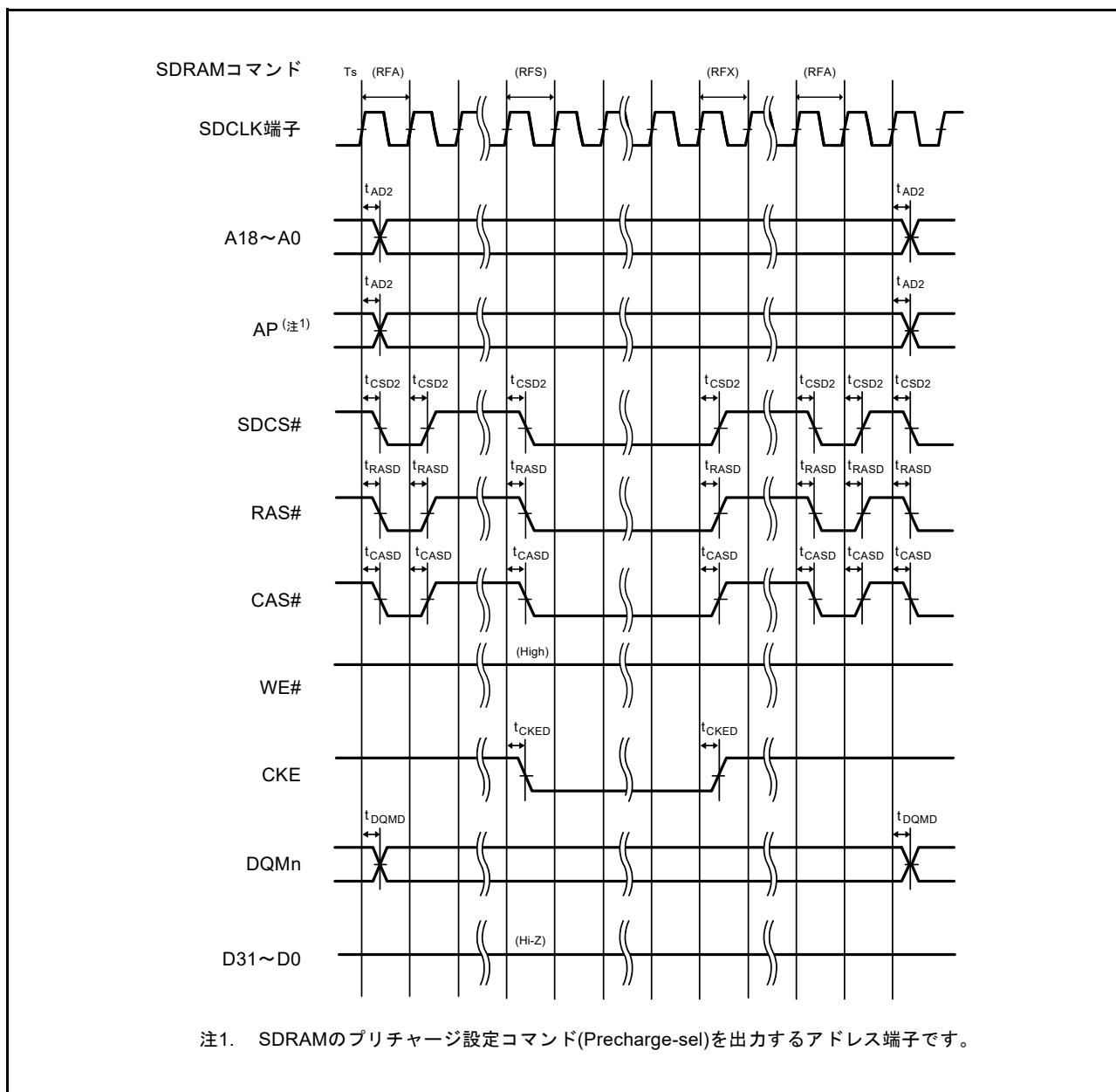


図 2.31 SDRAM 空間セルフリフレッシュバスタイミング

2.4.6 EXDMAC タイミング

表 2.27 EXDMAC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $BCLK = SDCLK = 8 \sim 80MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	13	—	図 2.32
	EDREQ ホールド時間	t_{EDRQH}	2	—	
	EDACK 遅延時間	t_{EDACD}	—	13	図 2.33、 図 2.34

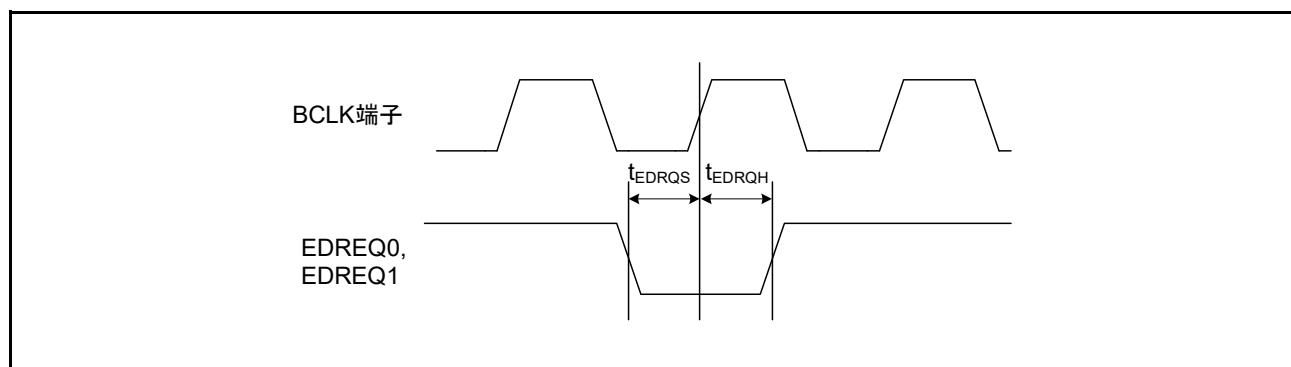


図 2.32 EDREQ0, EDREQ1 入力タイミング

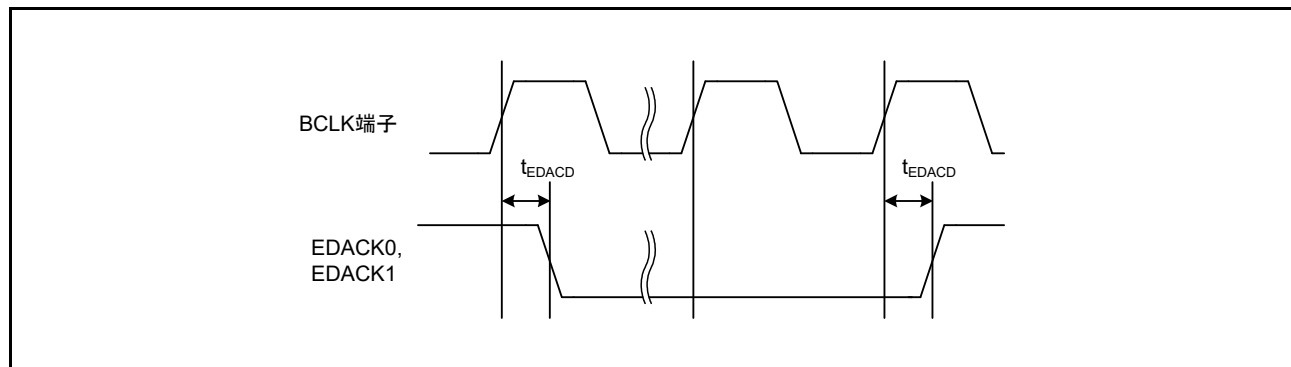


図 2.33 EDACK0, EDACK1 シングルアドレス転送タイミング (CS 領域)

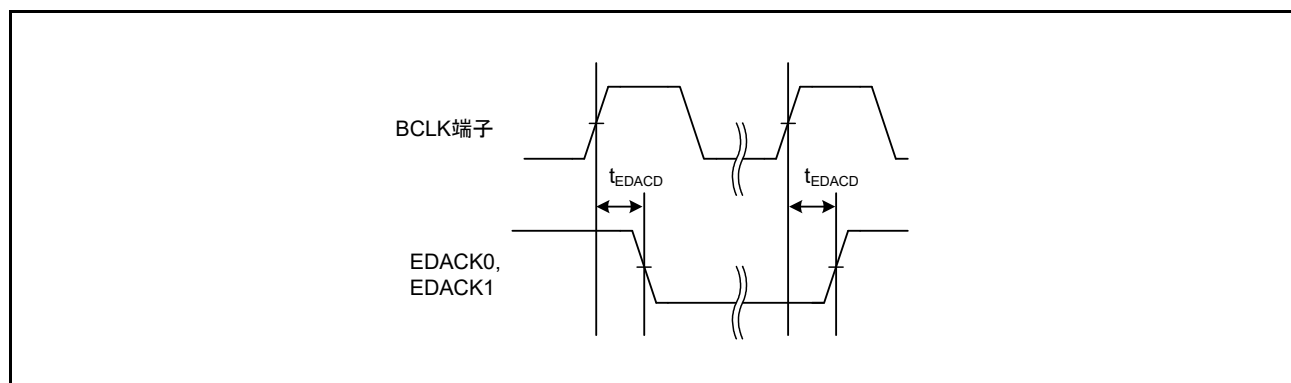


図 2.34 EDACK0, EDACK1 シングルアドレス転送タイミング (SDRAM 領域)

2.4.7 内蔵周辺モジュールタイミング

表2.28 I/Oポートタイミング
条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},
出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入カデータパルス幅	t _{PRW}	1.5	—	t _{PBcyc}	図2.35

注1. t_{PBcyc}：PCLKBの周期

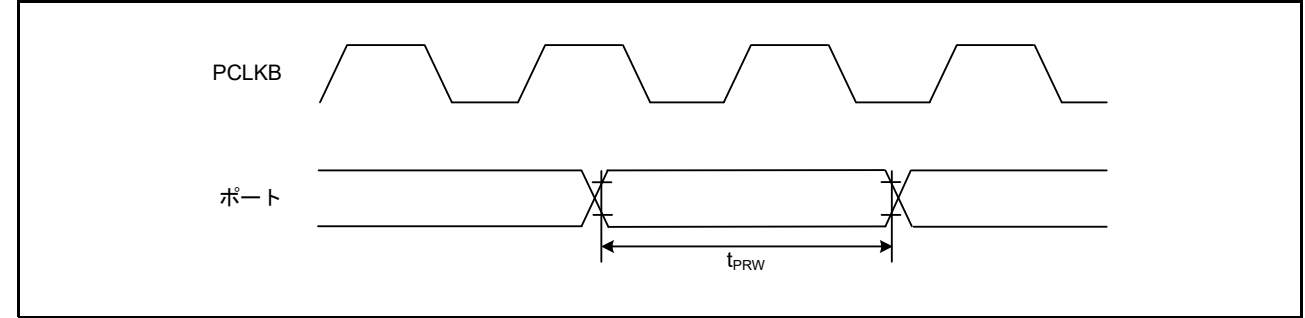


図 2.35 I/O ポート入力タイミング

表2.29 TPU タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	1.5	—	t_{PBcyc}	図 2.36
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} , t_{TCKWL}	1.5	—	t_{PBcyc}	図 2.37
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PBcyc} : PCLKB の周期

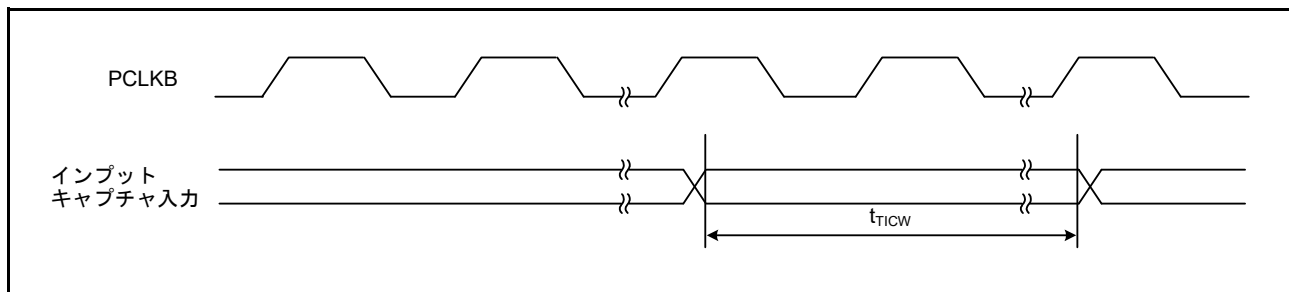


図 2.36 TPU インプットキャプチャ入力タイミング

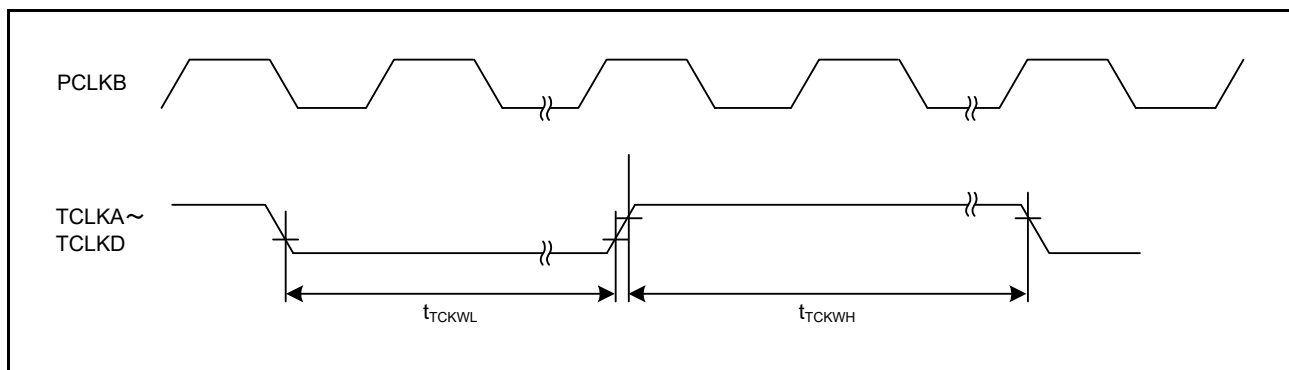


図 2.37 TPU クロック入力タイミング

表 2.30 TMR タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} , t_{TMCWL}	1.5	—	t_{PBcyc}	図 2.38
		両エッジ指定		2.5	—		

注 1. t_{PBcyc} : PCLKB の周期

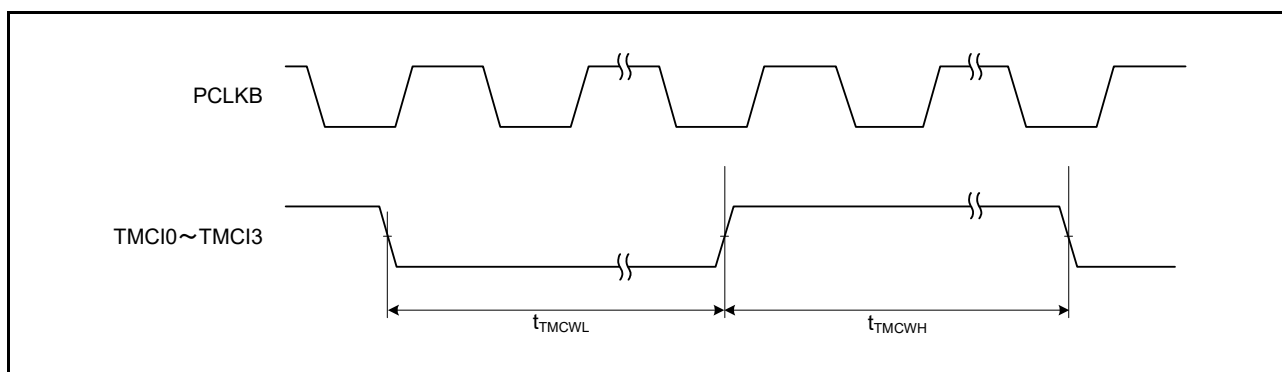


図 2.38 TMR クロック入力タイミング

表 2.31 CMTW タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力 パルス幅	単エッジ指定	$t_{CMTWTICW}$	1.5	—	t_{PBcyc}	図 2.39
		両エッジ指定		2.5	—		

注 1. t_{PBcyc} : PCLKB の周期

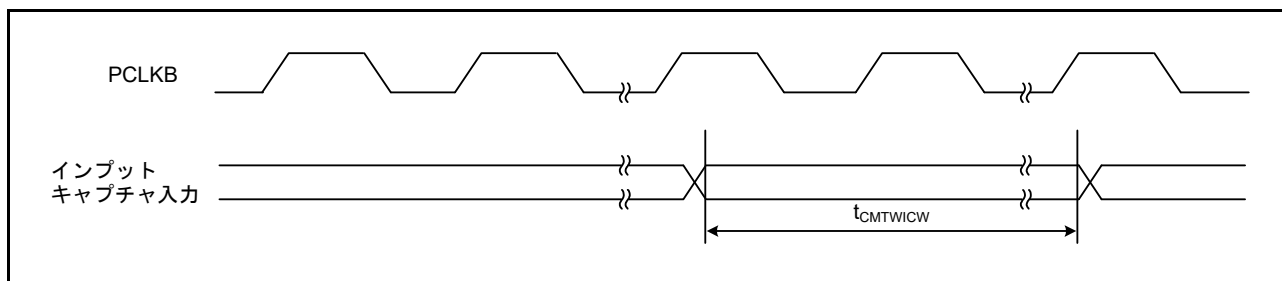


図 2.39 CMTW インプットキャプチャ入力タイミング

表2.32 MTU タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PAcyc}	図2.40
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	t_{PAcyc}	図2.41
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PAcyc} : PCLKAの周期

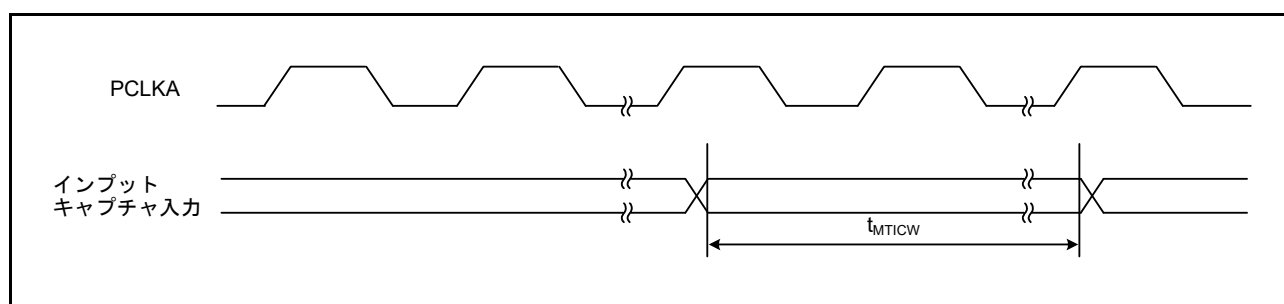


図 2.40 MTU インプットキャプチャ入力タイミング

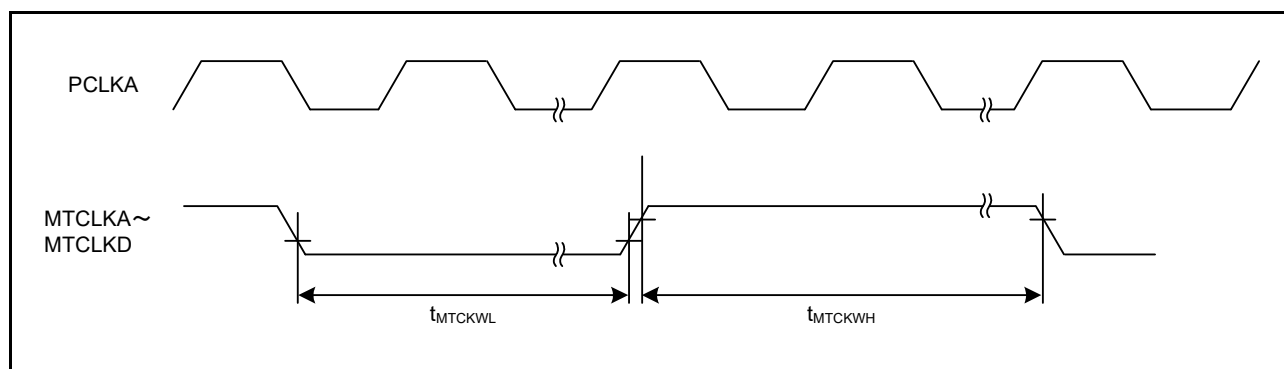


図 2.41 MTU クロック入力タイミング

表 2.33 POE、POEG タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件
POE	POEn#入力パルス幅(n = 0, 4, 8, 10, 11)	t_{POEW}	1.5	—	—	t_{PBcyc}	図 2.42
	出力ディセーブル時間	POEn#端子の変化	t_{POEDI}	—	5 PCLKB + 0.24	μs	図 2.43 立ち下がリエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1 ~ 5, n = 0, 4, 8, 10, 11))
		出力端子の短絡	t_{POEDO}	—	3 PCLKB + 0.2	μs	図 2.44
		レジスタ設定	t_{POEDS}	—	1 PCLKB + 0.2	μs	図 2.45 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	21	μs	図 2.46
POEG	GTETRn入力パルス幅(n = A ~ D)	t_{POEGW}	1.5	—	—	t_{PBcyc}	図 2.47
	出力ディセーブル時間	GTETRn端子の入力レベル検出(フラグ経由)	t_{POEGDI}	—	3 PCLKB + 0.34	μs	図 2.48 デジタルノイズフィルタ不使用時 (POEGn.NFEN = 0 (n = A ~ D))
		GPTWからの出力停止信号検出(デットタイムエラー、同時High出力、同時Low出力)	t_{POEGDE}	—	0.5	μs	図 2.49
		レジスタ設定	t_{POEGDS}	—	1 PCLKB + 0.3	μs	図 2.50 レジスタアクセス時間は除く
		発振停止検出	$t_{POEGDOS}$	—	21	μs	図 2.51

注 1. t_{PBcyc} : PCLKB の周期

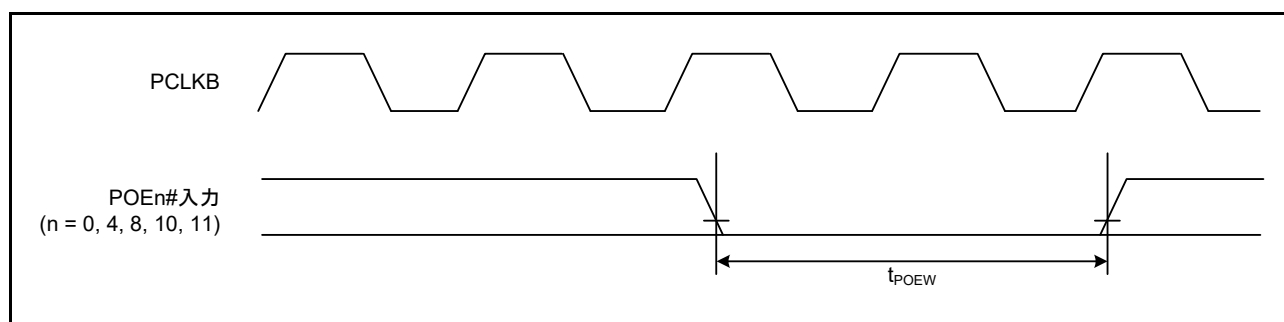


図 2.42 POE 入力タイミング

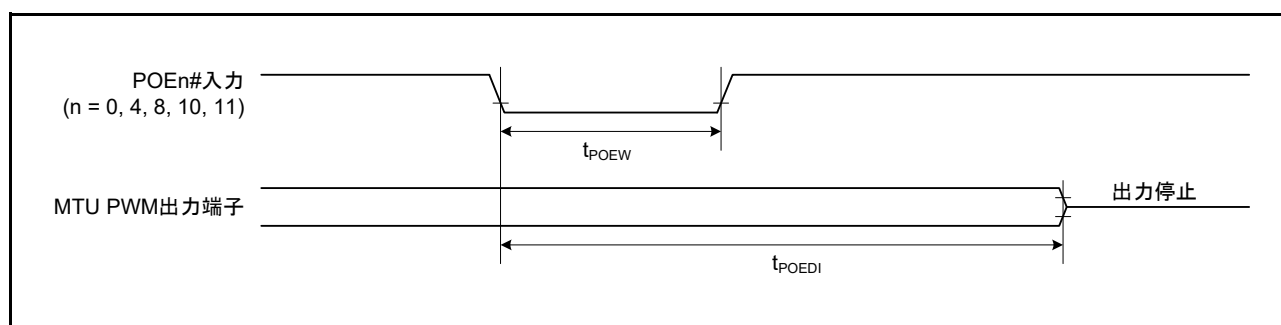


図 2.43 POE 出力ディセーブル時間 (POEn# 端子の変化)

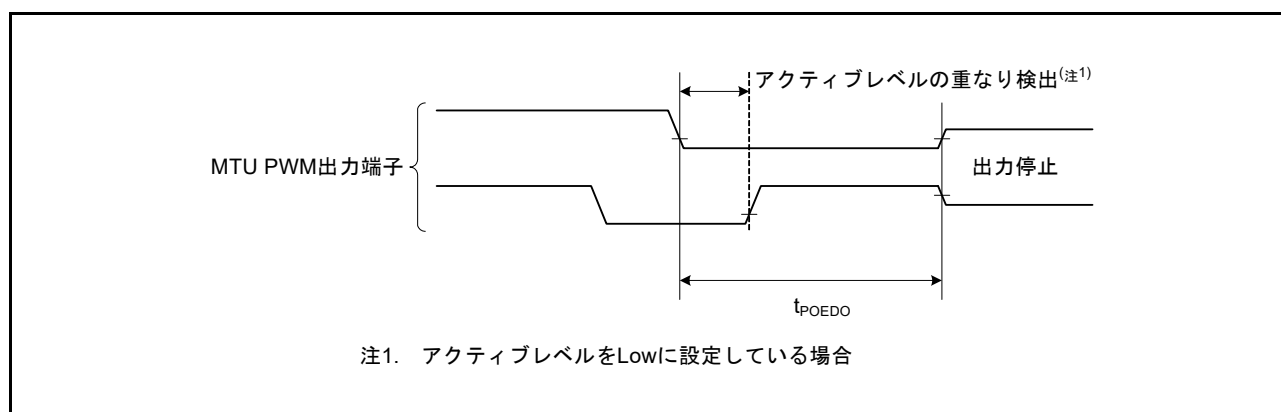


図 2.44 POE 出力ディセーブル時間 (出力端子の短絡)

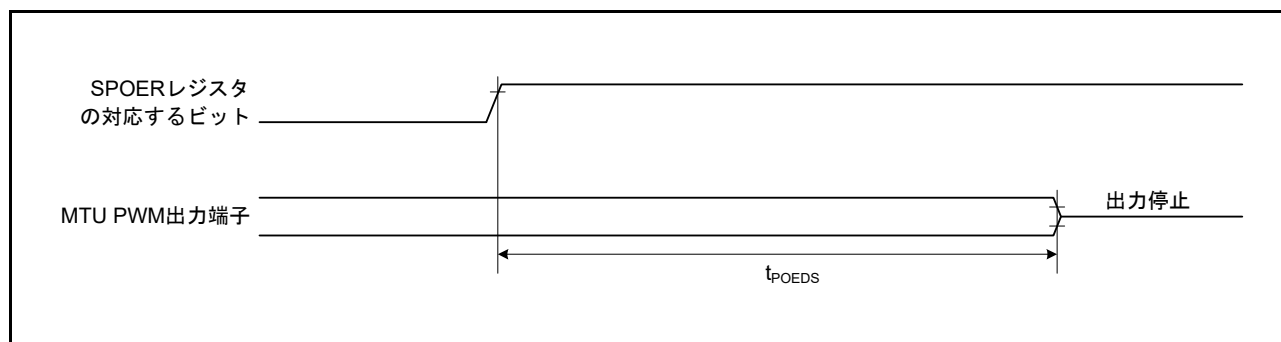


図 2.45 POE 出力ディセーブル時間 (レジスタ設定)

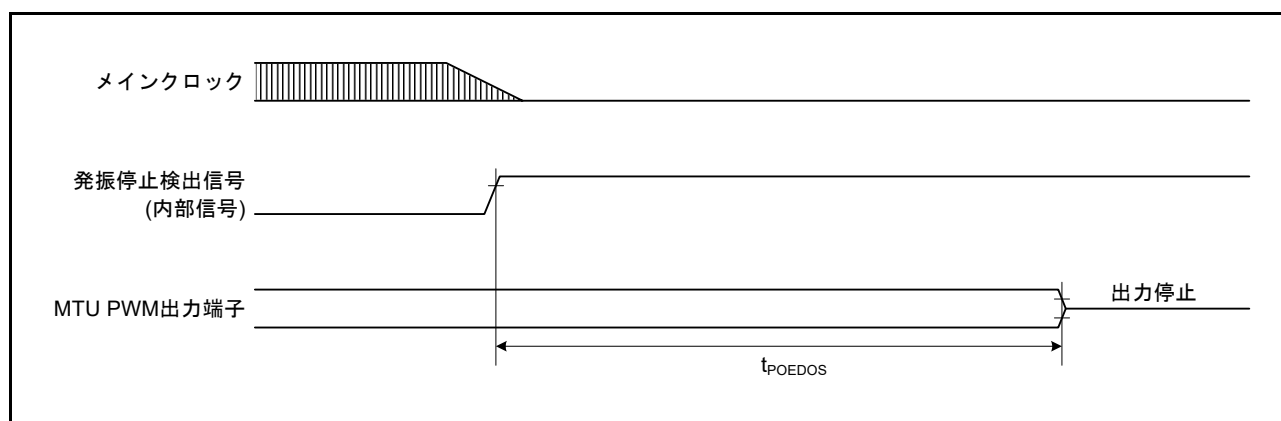


図 2.46 POE 出力ディセーブル時間 (発振停止検出)

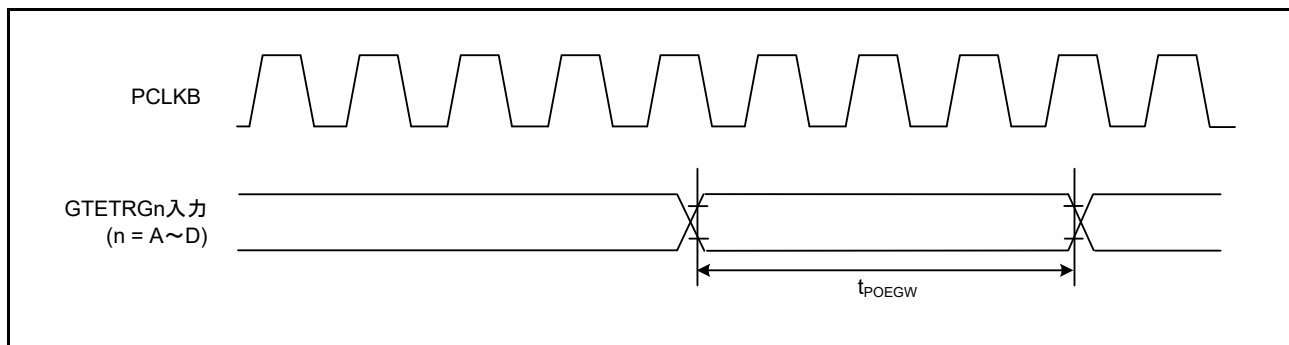


図 2.47 POEG 入力タイミング

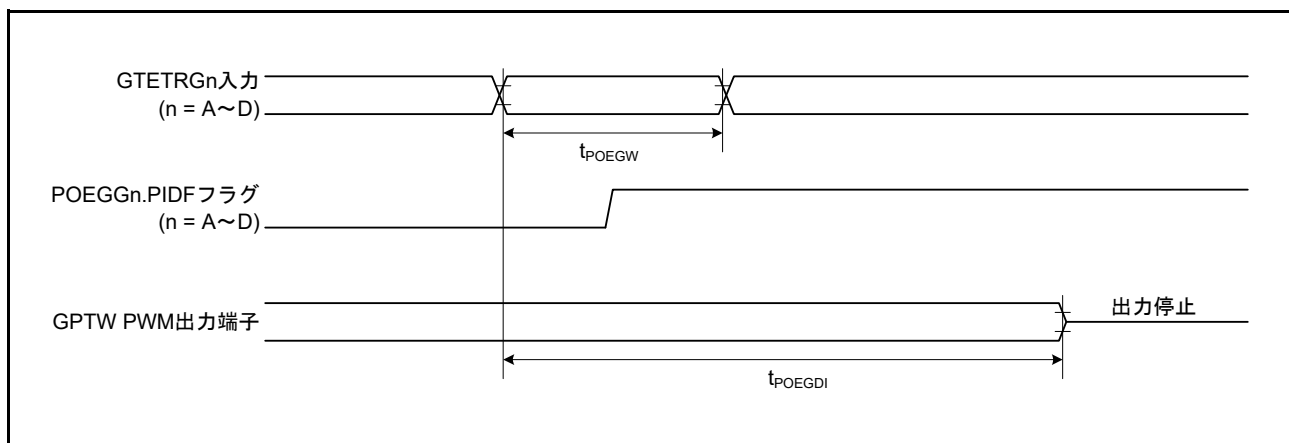


図 2.48 POEG 出力ディセーブル時間 (GTETRn 端子の入力レベル検出 (フラグ経由))

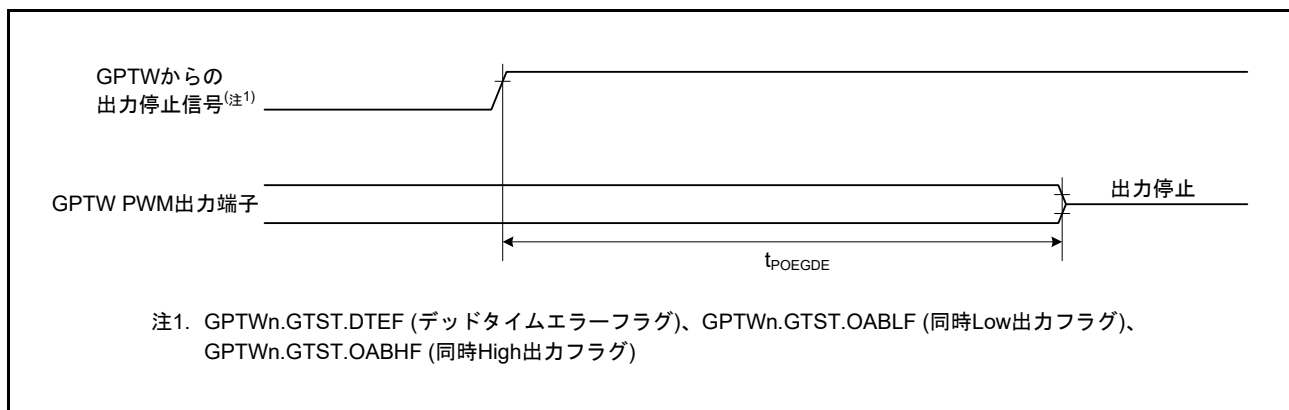


図 2.49 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

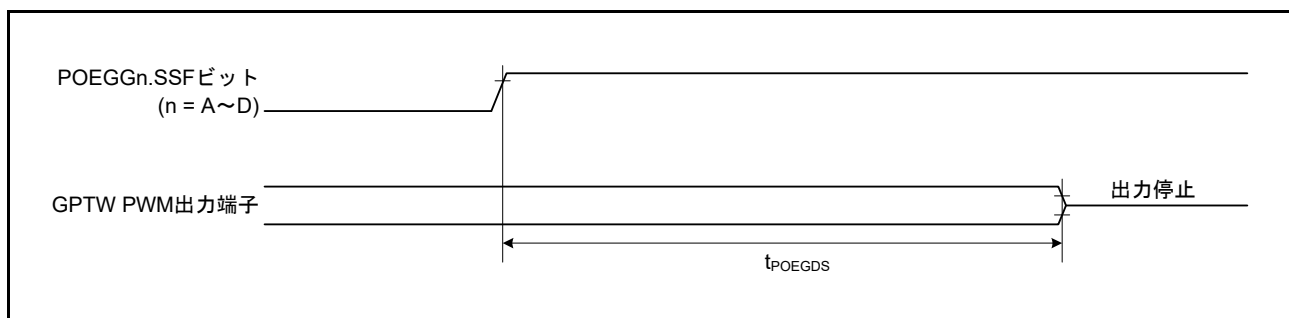


図 2.50 POEG 出力ディセーブル時間 (レジスタ設定)

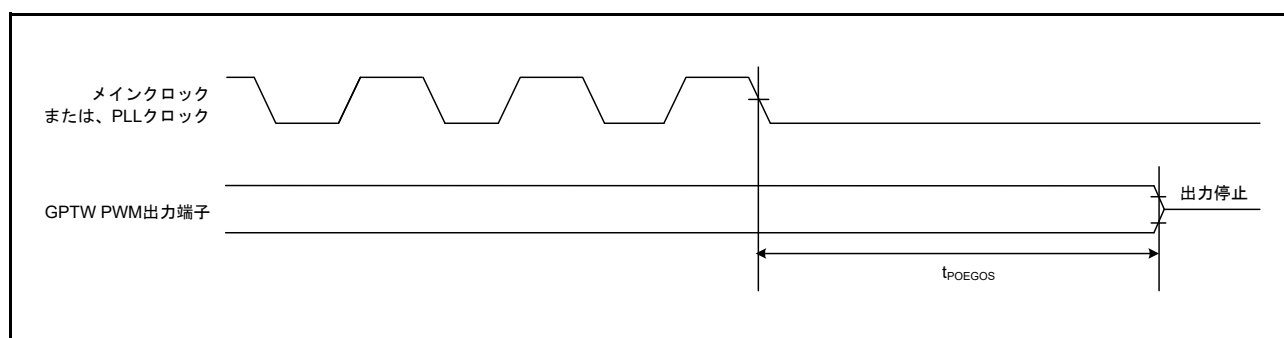


図 2.51 POEG 出力ディセーブル時間 (発振停止検出)

表 2.34 GPTW タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PAcyc}	図 2.52
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PBcyc}	図 2.53
		両エッジ指定		2.5	—		

注1. t_{PAcyc} : PCLKAの周期

注2. t_{PBcyc} : PCLKBの周期

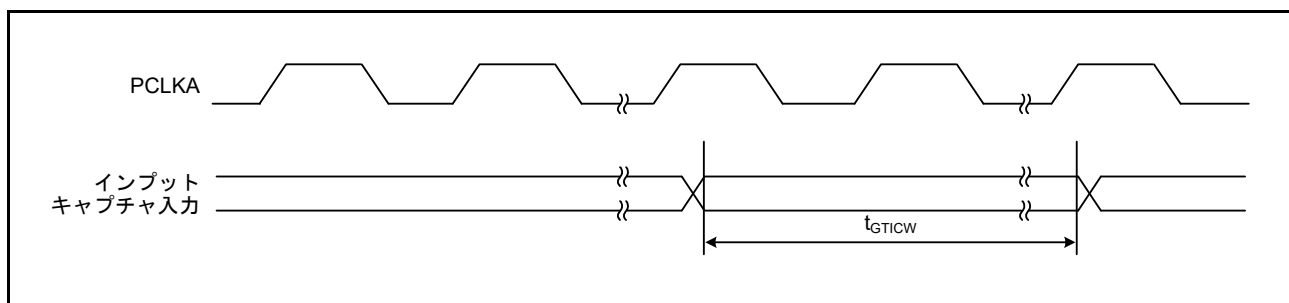


図 2.52 GPTW インプットキャプチャ入力タイミング

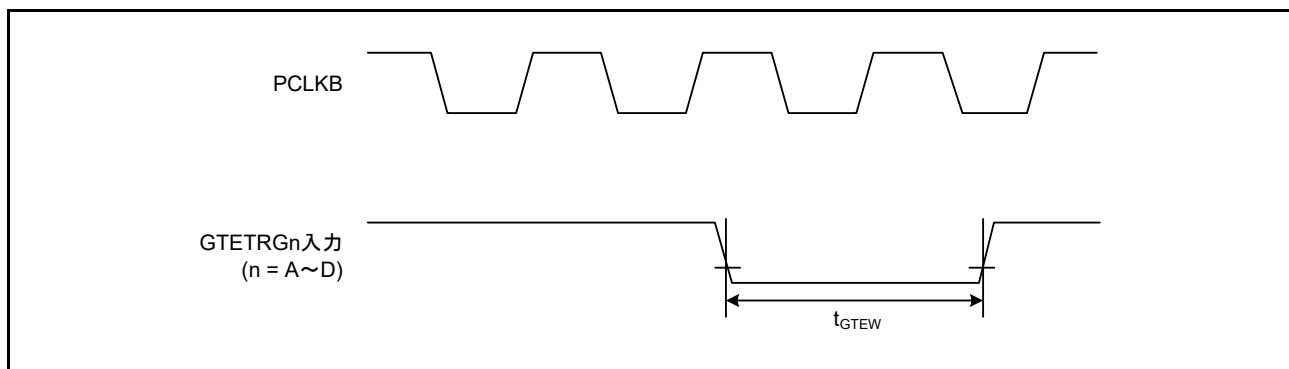


図 2.53 GPTW 外部トリガ入力タイミング

表 2.35 A/Dコンバータトリガタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 2.54

注 1. t_{PBcyc} : PCLKBの周期

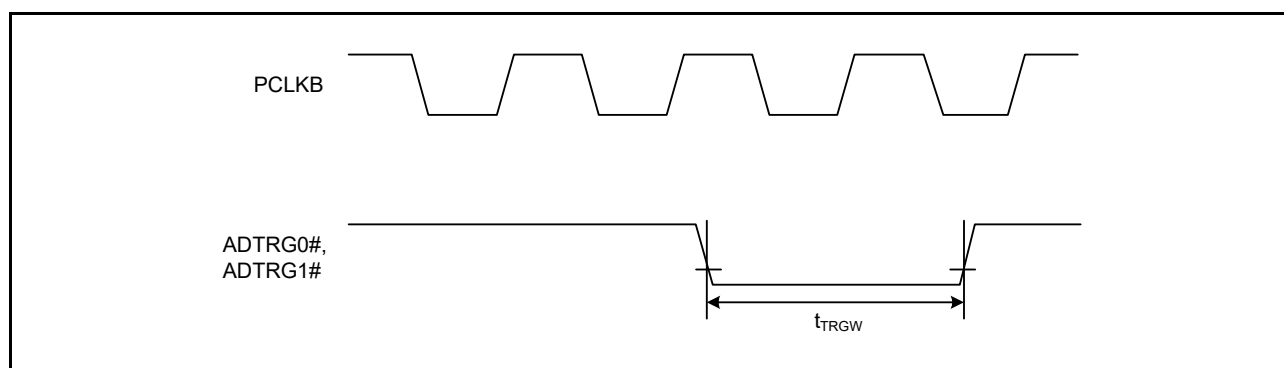


図 2.54 A/Dコンバータトリガ入力タイミング

表 2.36 CACタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目 (注1、注2)			記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leq t_{cac}$	t_{CACREF}	$4.5t_{cac} + 3t_{PBcyc}$	—	ns	
		$t_{PBcyc} > t_{cac}$		$5t_{cac} + 6.5t_{PBcyc}$	—		

注 1. t_{PBcyc} : PCLKBの周期

注 2. t_{CAC} : CACカウントクロックソースの周期

表 2.37 SCI タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件	
SCIh, SCJj	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図 2.55	
		クロック同期		6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期 (注2)	t _{Scyc}	8	—	t _{PBcyc}		
		クロック同期		4	—			
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	送信データ遅延時間		クロック同期	t _{TXD}	—	28	ns	図 2.56
	受信データセットアップ時間		クロック同期	t _{RXS}	15	—	ns	
受信データホールド時間		クロック同期	t _{RXH}	5	—	ns		
SCJi	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PACyc}	図 2.55	
		クロック同期		12	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期 (注2)	t _{Scyc}	8	—	t _{PACyc}		
		クロック同期		8	—			
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	送信データ遅延時間		マスタ	t _{TXD}	—	15	ns	図 2.56
			スレーブ		—	28		
受信データセットアップ時間		クロック同期	t _{RXS}	20	—	ns		
受信データホールド時間		クロック同期	t _{RXH}	5	—	ns		

注 1. t_{PBcyc} : PCLKB の周期、 t_{PAcyc} : PCLKA の周期

注 2. SEMR.ABCS ビット = 1 かつ SEMR.BGDM ビット = 1 のとき

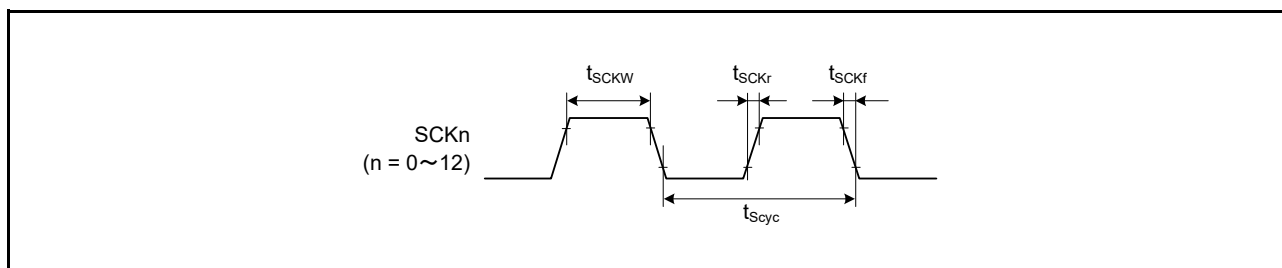


図 2.55 SCK クロック入力タイミング

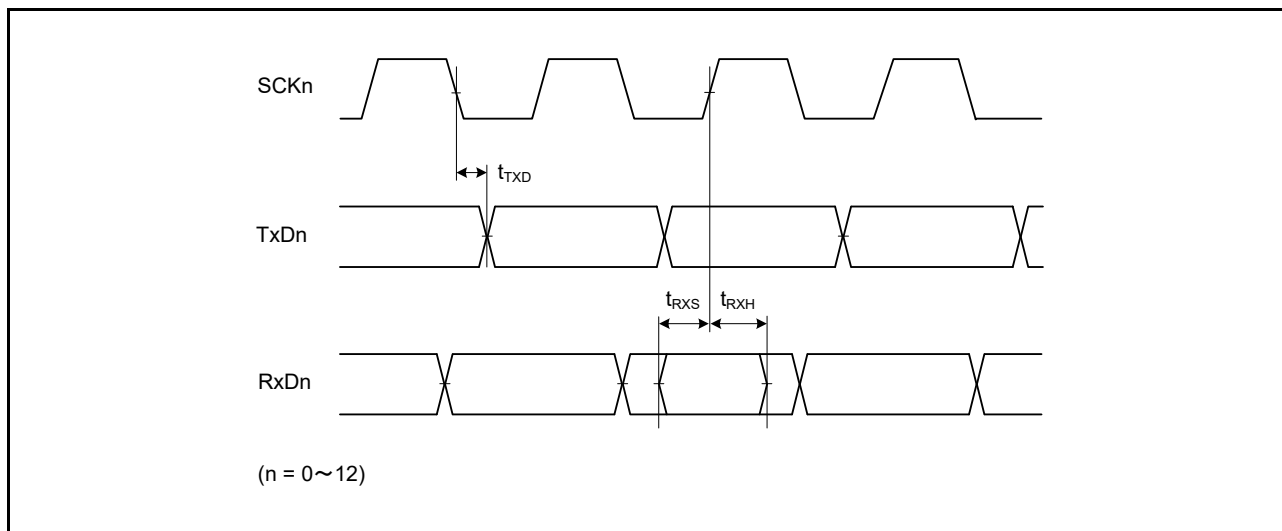


図 2.56 SCI 入出力タイミング / クロック同期式モード

表 2.38 拡張シリアルサウンドインタフェースタイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $V_{REFH0} = 2.7 \sim AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位	測定条件
AUDIO_CLK	サイクル		t_{EXcyc}	20	—	ns	図 2.57
	High レベル/Low レベル		t_{EXL}/t_{EXH}	0.4	0.6	t_{EXcyc}	
SSIBCKn	サイクル	マスタ	t_O	80	—	ns	図 2.58
		スレーブ	t_I	80	—	ns	
	出カクロック High レベル	マスタ	t_{HC}	0.35	—	t_O	
	出カクロック Low レベル		t_{LC}	0.35	—	t_O	
	入カクロック High レベル	スレーブ	t_{HC}	0.35	—	t_I	
	入カクロック Low レベル		t_{LC}	0.35	—	t_I	
	出カクロック立ち上がり時間	マスタ	t_{RC}	—	0.15	t_O	
	出カクロック立ち下がり時間		t_{FC}	—	0.15	t_O	
	入カクロック立ち上がり時間	スレーブ	t_{RC}	—	0.15	t_I	
	入カクロック立ち下がり時間		t_{FC}	—	0.15	t_I	
SSILRCKn, SSITXD0, SSIRXD0, SSIDATA1	入力セットアップ時間	マスタ	t_{SR}	12	—	ns	図 2.59、 図 2.60
		スレーブ		12	—	ns	
	入力ホールド時間	マスタ	t_{HR}	8	—	ns	
		スレーブ		15	—	ns	
	出力遅延時間	マスタ	t_{DTR}	-10	5	ns	
		スレーブ		0	20	ns	
	SSILRCK0 変化時からの出力遅延時間 (注1)	スレーブ	t_{DTRW}	—	20	ns	図 2.61

$n = 0, 1$

注1. SSIEはスレーブモード送信用に1本の経路を備え、その経路によりSSILRCKn端子からの信号入力を送信データの生成に使用され、送信データがSSITXD0端子またはSSIDATA1端子へ論理出力されます。

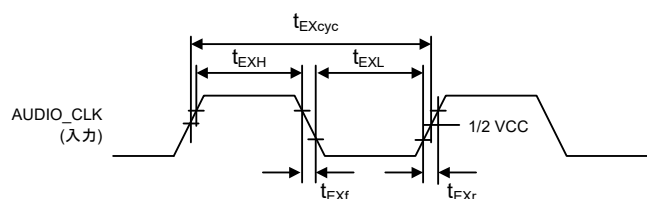


図 2.57 クロック入力タイミング

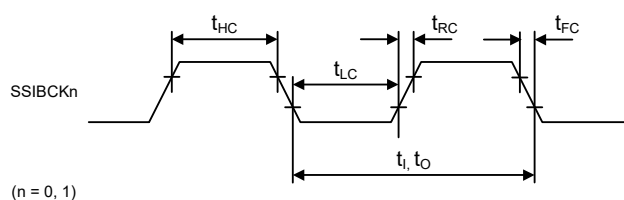


図 2.58 SSIE クロック入出力タイミング

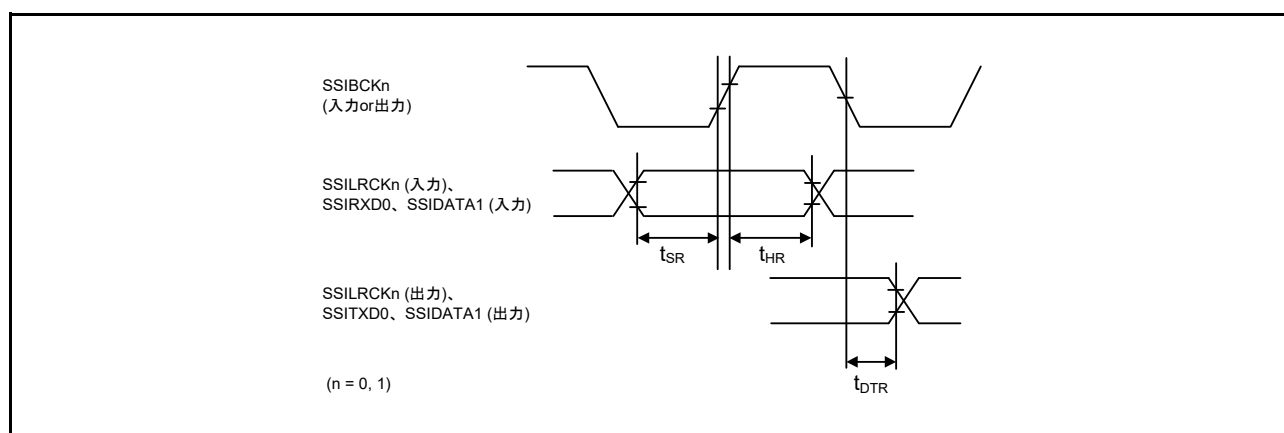


図 2.59 SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

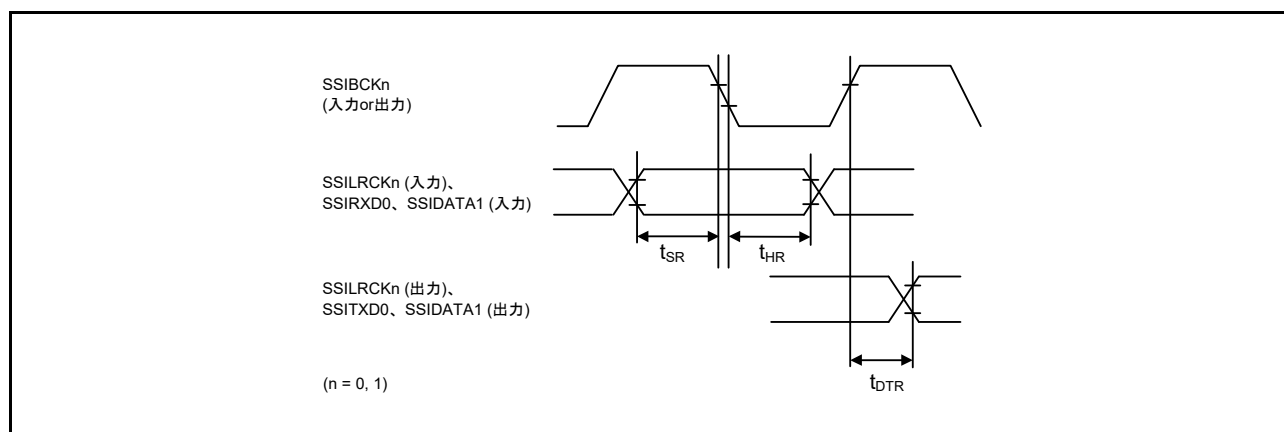


図 2.60 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

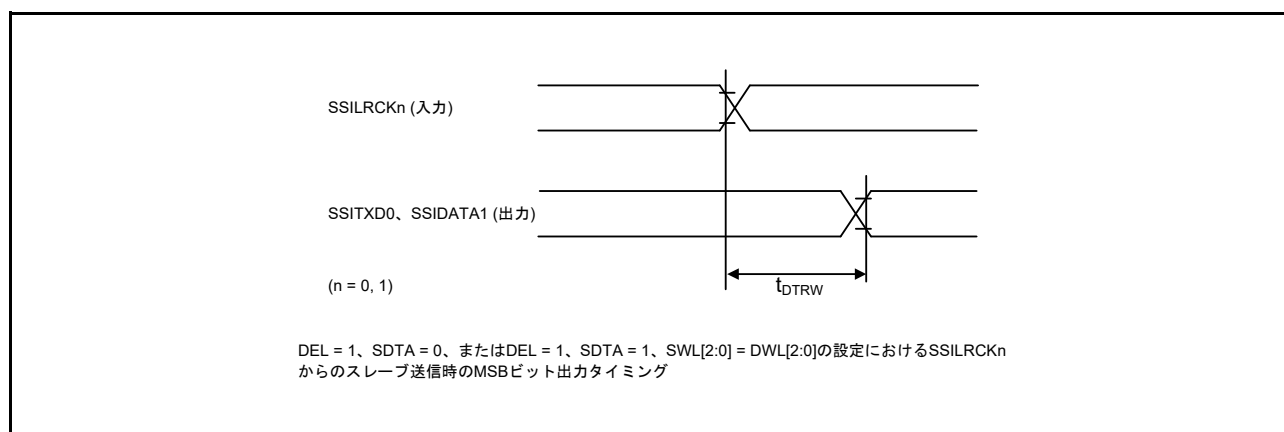


図 2.61 SSILRCKn 変化時からの SSIE データ出力遅延

表 2.39 RSPI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目				記号	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)
RSPI	RSPCK クロックサイクル	マスタ		t_{SPCyc}	2	—	t_{PAcyc}	図 2.62
		スレーブ			4	—		
	RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力		t_{SPCKr}	—	5	ns	図 2.63 ~ 図 2.68
		入力		t_{SPCKf}	—	1	μs	
	データ入力セットアップ時間	マスタ		t_{SU}	6	—	ns	
		スレーブ			8.3	—		
	データ入力ホールド時間	マスタ	PCLKA を 2 分周に設定	t_{HF}	0	—	ns	
			PCLKA を 2 分周以外に 設定	t_H	t_{PAcyc}	—		
		スレーブ			8.3	—		
	SSL セットアップ時間	マスタ		t_{LEAD}	1	8	t_{SPCyc}	
		スレーブ			6	—	t_{PAcyc}	
	SSL ホールド時間	マスタ		t_{LAG}	1	8	t_{SPCyc}	
		スレーブ			6	—	t_{PAcyc}	
	データ出力遅延時間	マスタ		t_{OD}	—	6.3	ns	
		スレーブ			—	28		
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続送信遅延時間	マスタ		t_{TD}	$t_{SPCyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPCyc} + 2 \times t_{PAcyc}$	ns	図 2.67、 図 2.68
		スレーブ			$6 \times t_{PAcyc}$	—		
	MOSI, MISO 立ち上がり/立ち下がり時間	出力		t_{Dr}, t_{Df}	—	5	ns	
		入力			—	1	μs	
	SSL 立ち上がり/立ち下がり時間	出力		t_{SSLr}	—	5	ns	
		入力		t_{SSLf}	—	1	μs	
	スレーブアクセス時間			t_{SA}	—	$2 \times t_{PAcyc} + 28$	ns	図 2.67、 図 2.68
	スレーブ出力開放時間			t_{REL}	—	$2 \times t_{PAcyc} + 28$	ns	

注 1. t_{PAcyc} : PCLKA の周期

注 2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。RSPI については、電気的特性の AC タイミングを各グループで測定しています。

表 2.40 簡易 SPI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{PAcyc}	図 2.62
	SCK クロックサイクル入力 (スレーブ)		8	65536		
	SCK クロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図 2.63 ~ 図 2.68
	データ入力ホールド時間	t_{H}	33.3	—	ns	
	SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	16.6	ns	
	SS 入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{PBcyc}	図 2.67、 図 2.68
	スレーブ出力開放時間	t_{REL}	—	5	t_{PBcyc}	

注1. t_{PAcyc} : PCLKA の周期、 t_{PBcyc} : PCLKB の周期

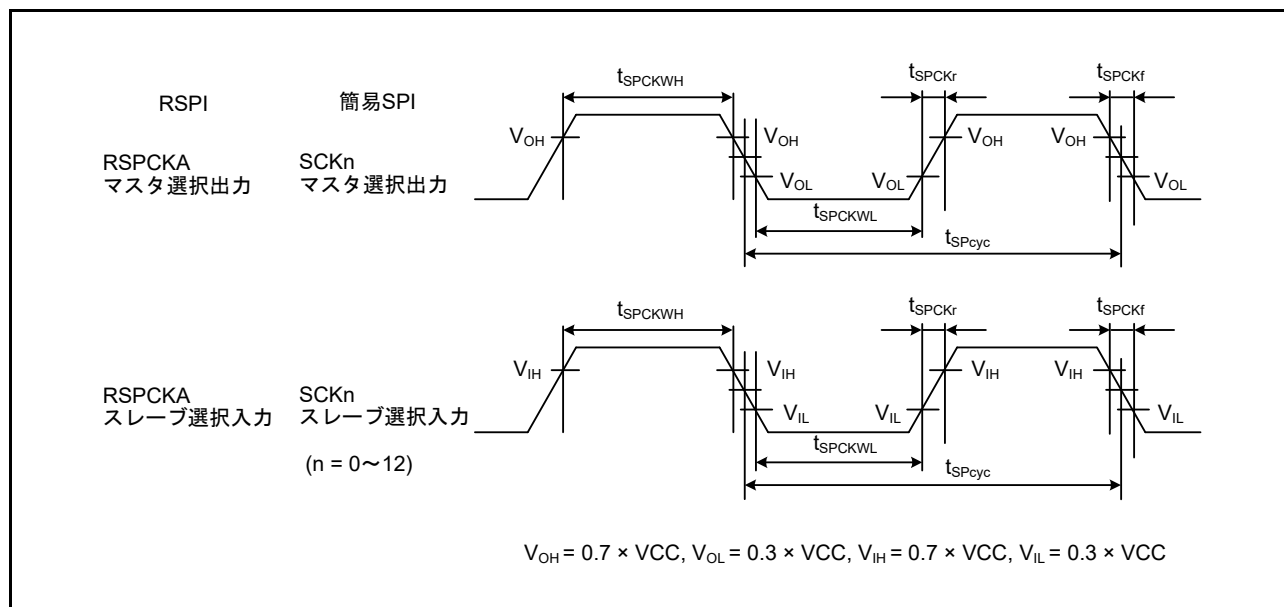


図 2.62 RSPI クロックタイミング / 簡易 SPI クロックタイミング

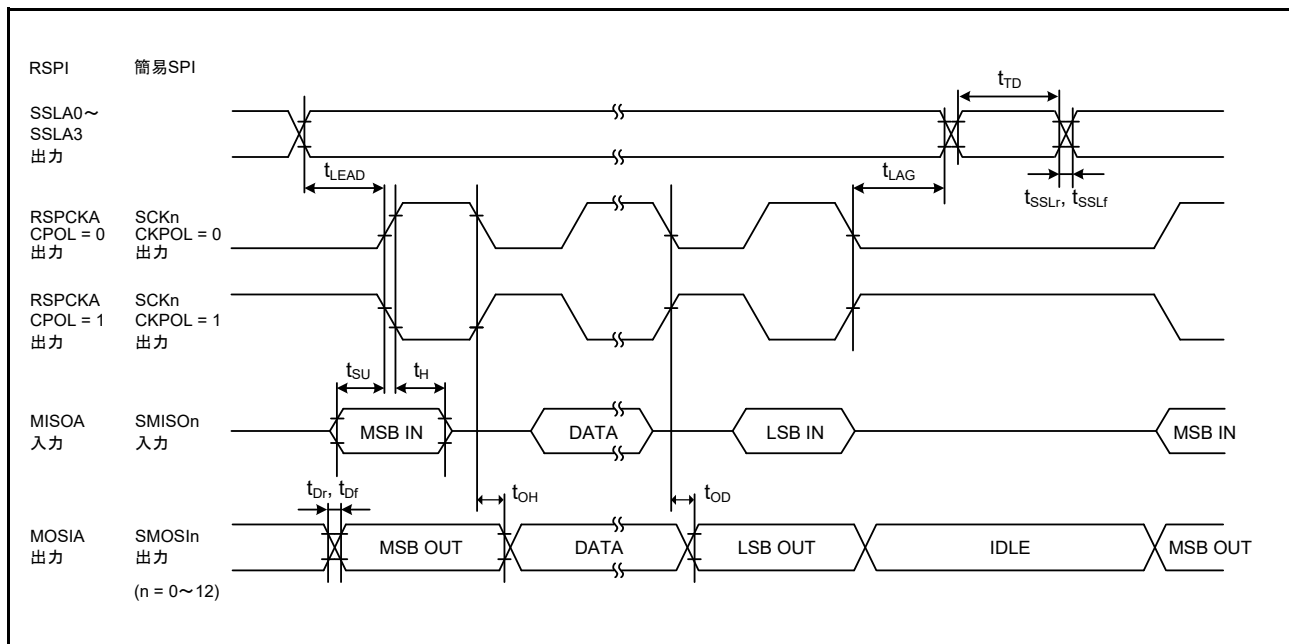


図 2.63 RSPi タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

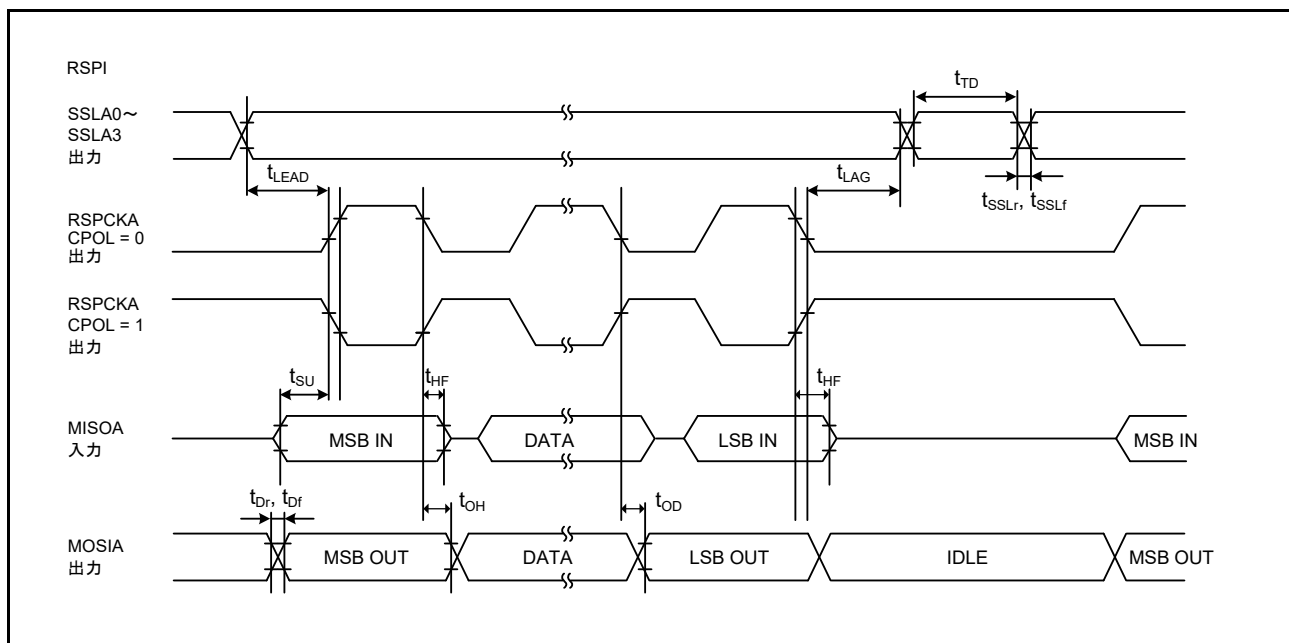


図 2.64 RSPi タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

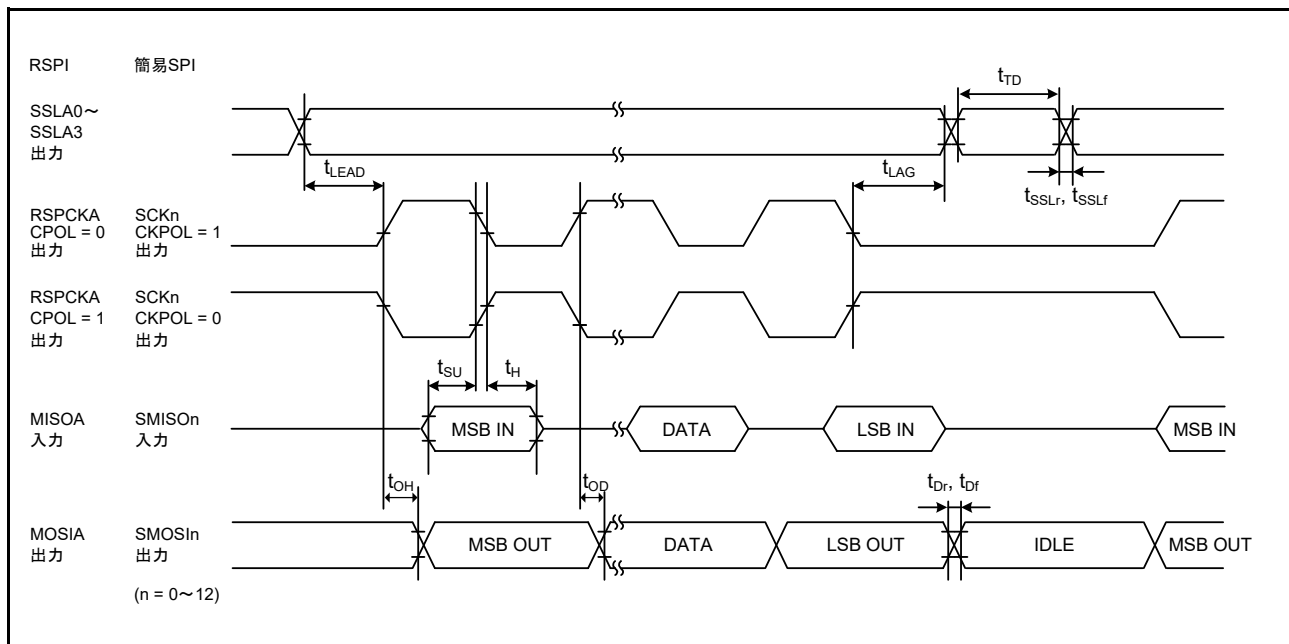


図 2.65 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

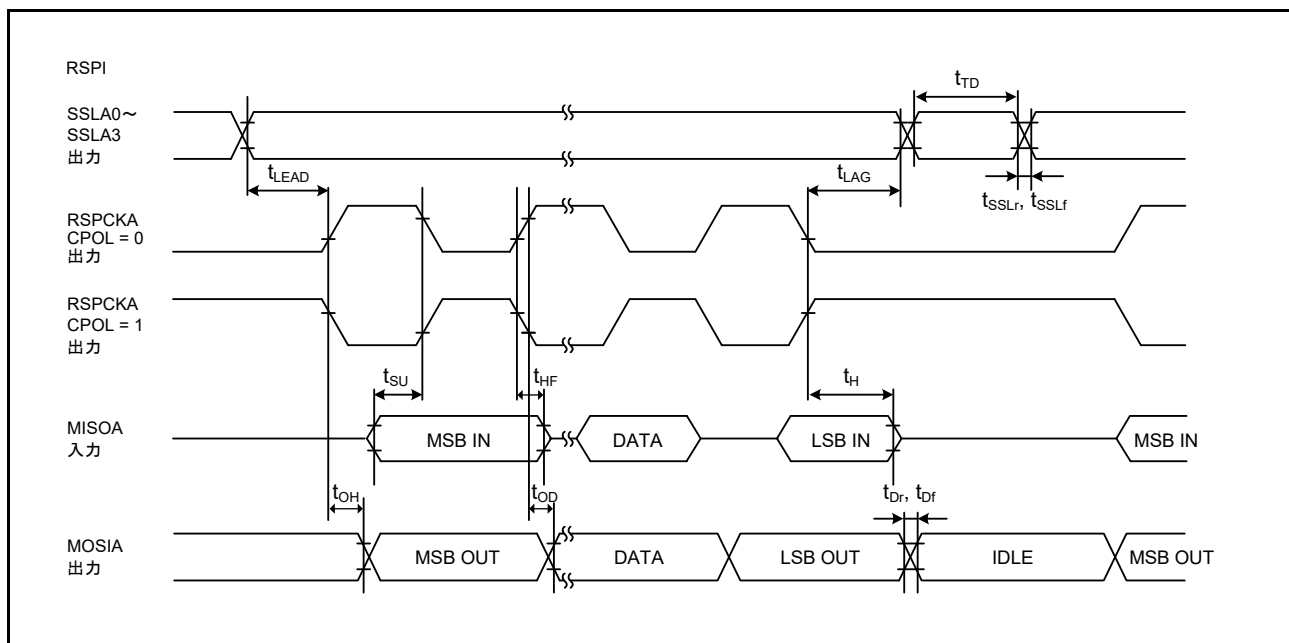


図 2.66 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

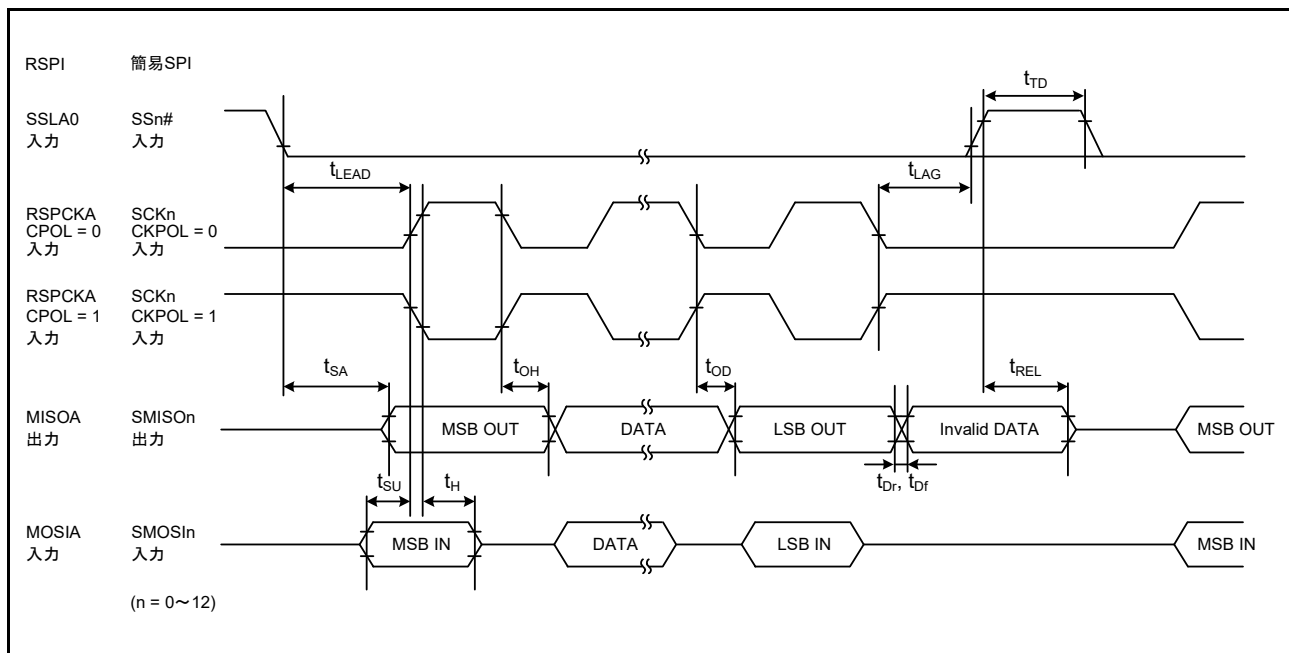


図 2.67 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

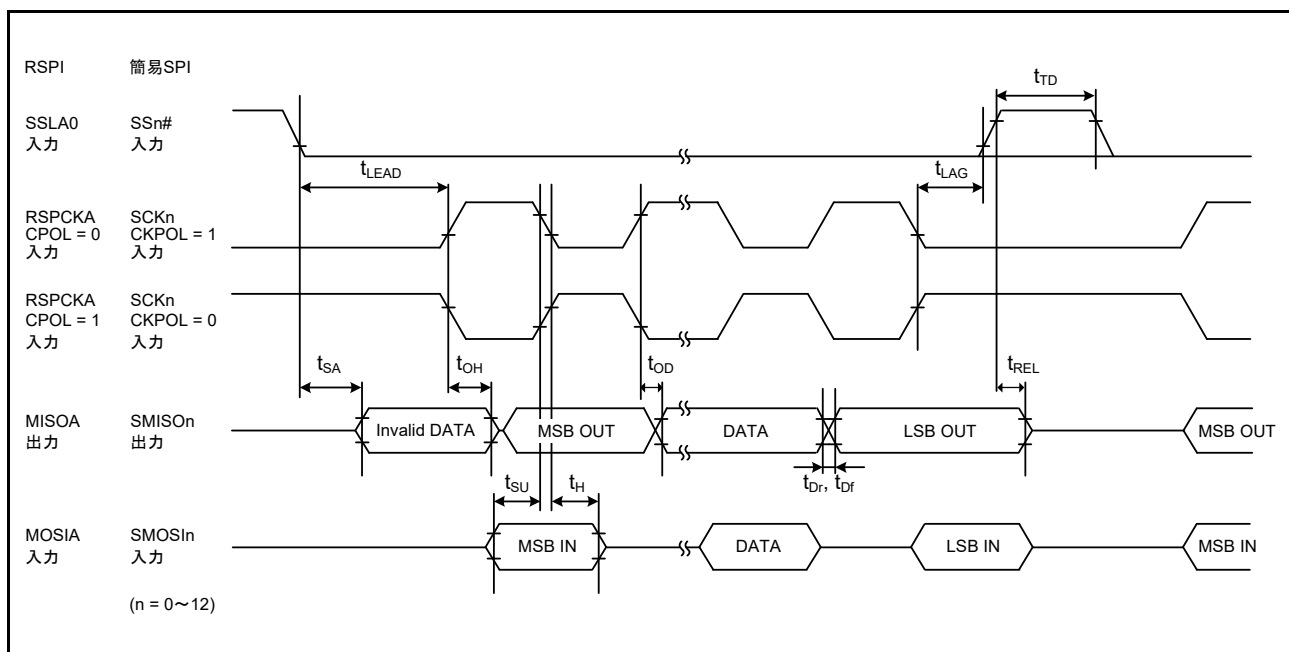


図 2.68 RSPI タイミング (スレーブ、CPHA = 1)/ 簡易 SPI タイミング (スレーブ、CKPH = 0)

表 2.41 QSPI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位 (注1)	測定条件 (注2)
QSPI	QSPCLK クロックサイクル	t_{QScyc}	2	4080	t_{PBcyc} 図 2.69
	データ入力セットアップ時間	t_{Su}	6.5	—	ns 図 2.70、 図 2.71
	データ入力ホールド時間	t_{IH}	5	—	ns
	SS セットアップ時間	t_{LEAD}	1.5	8.5	t_{QScyc}
	SS ホールド時間	t_{LAG}	1	8	t_{QScyc}
	データ出力遅延時間	t_{OD}	—	10.0	ns
	データ出力ホールド時間	t_{OH}	-5	—	ns
	連続転送遅延時間	t_{TD}	1	8	t_{QScyc}

注1. t_{PBcyc} : PCLKB の周期

注2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。QSPI については、電気的特性の AC タイミングを各グループで測定しています。

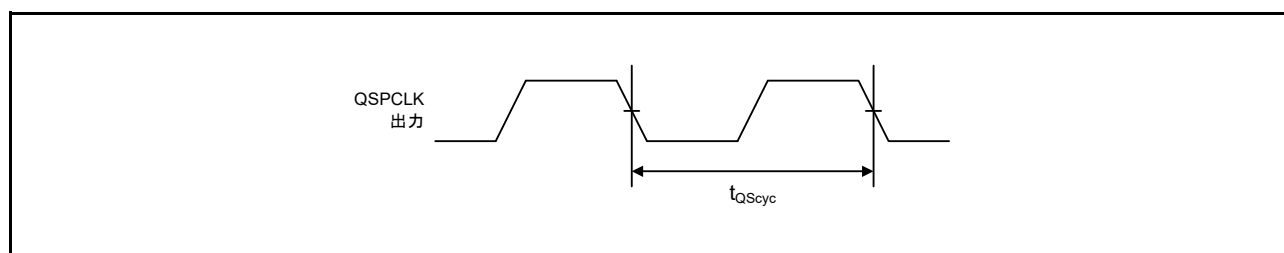


図 2.69 QSPI クロックタイミング

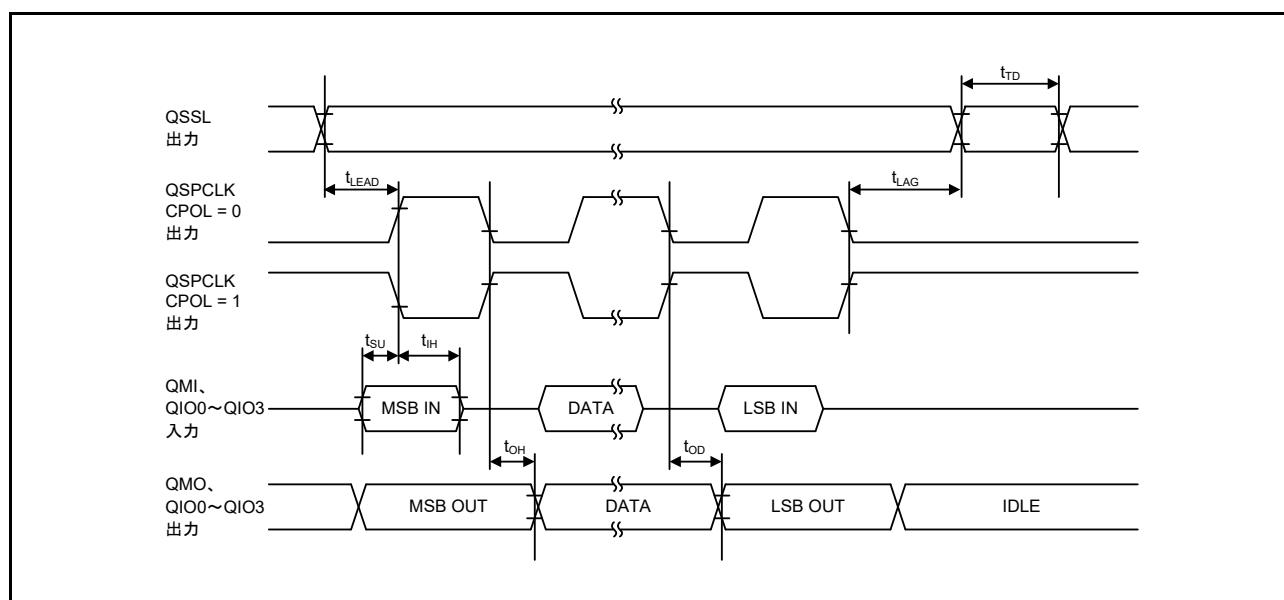


図 2.70 送受信タイミング (CPHA = 0)

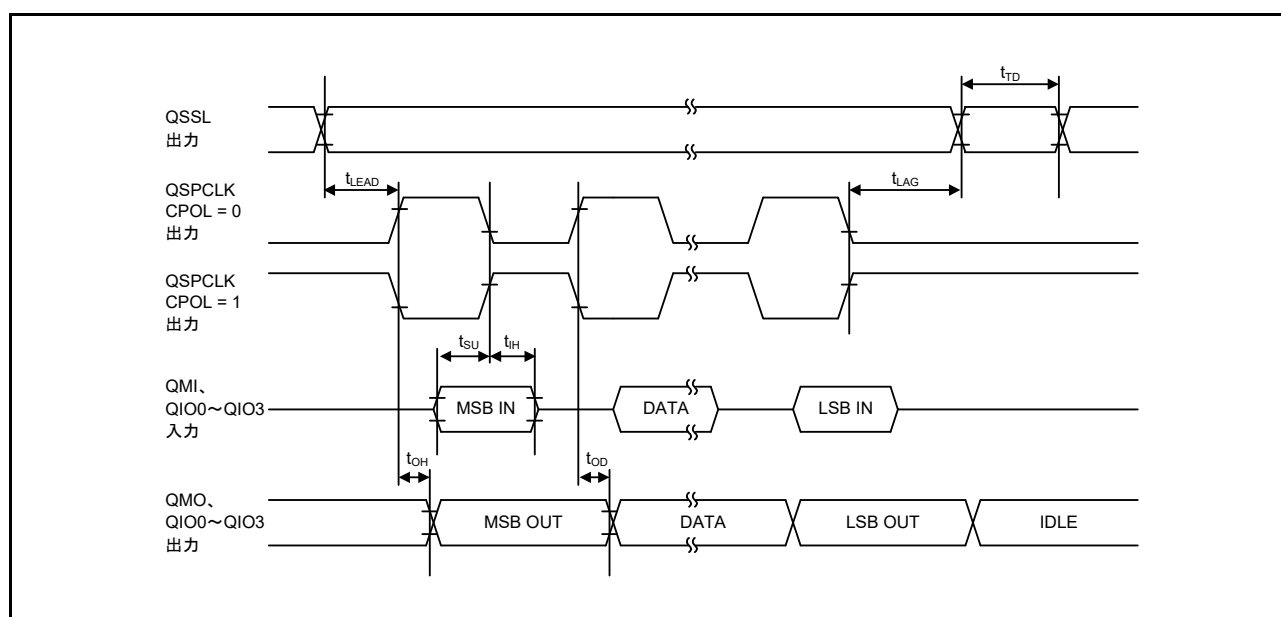


図 2.71 送受信タイミング (CPHA = 1)

表 2.42 RIIC タイミング (1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注 1、注 2)	max	単位	測定条件
RIIC (Standard-mode, SMBus) ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 2.72
	SCL 入力 High パルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low パルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL, SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode) ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	
	SCL 入力 High パルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low パルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL, SDA 入力立ち上がり時間	t_{Sr}	$20 \times (\text{外付けプルアップ電圧} / 5.5V)$	300	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	$20 \times (\text{外付けプルアップ電圧} / 5.5V)$	300	ns	
	SCL, SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期

注 1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注 2. C_b はバスラインの容量総計です。

表 2.43 RIIC タイミング (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注 1、注 2)	max	単位	測定条件
RIIC (Fast-mode+) ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 240$	—	ns	図 2.72
	SCL 入力 High パルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL 入力 Low パルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL, SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 120$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 20$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	550	pF	
簡易 IIC (Standard-mode)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	400	pF	
簡易 IIC (Fast-mode)	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL, SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期、 t_{PBcyc} : PCLKB の周期

注 1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注 2. C_b はバスラインの容量総計です。

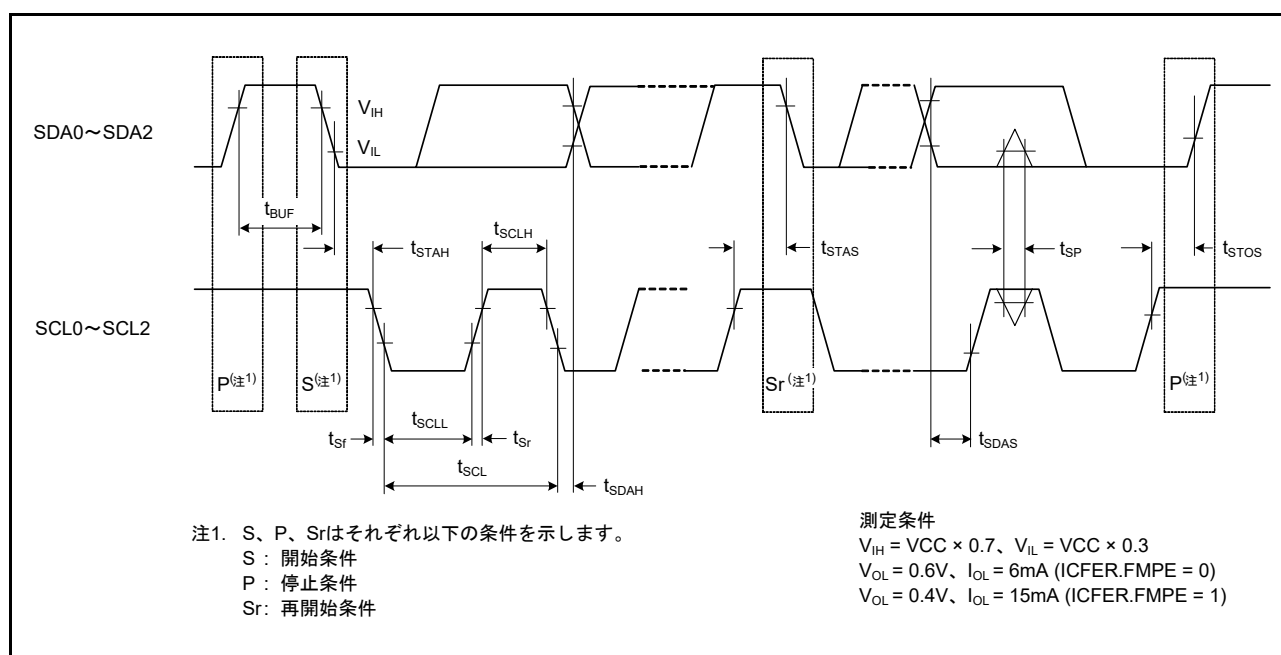


図 2.72 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

表 2.44 PMGI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
PMGI	PMGIn_MDC 出力周期	t_{MDC}	80	—	ns	図 2.73
	PMGIn_MDIO セットアップ時間 (対 PMGIn_MDC↑)	t_{SMDIO}	20	—	ns	
	PMGIn_MDIO ホールド時間 (対 PMGIn_MDC↑)	t_{HMDIO}	0	—	ns	
	PMGIn_MDIO 出力遅延時間 (対 PMGIn_MDC↑)	t_{DMDIO}	0	20	ns	

$n = 0, 1$

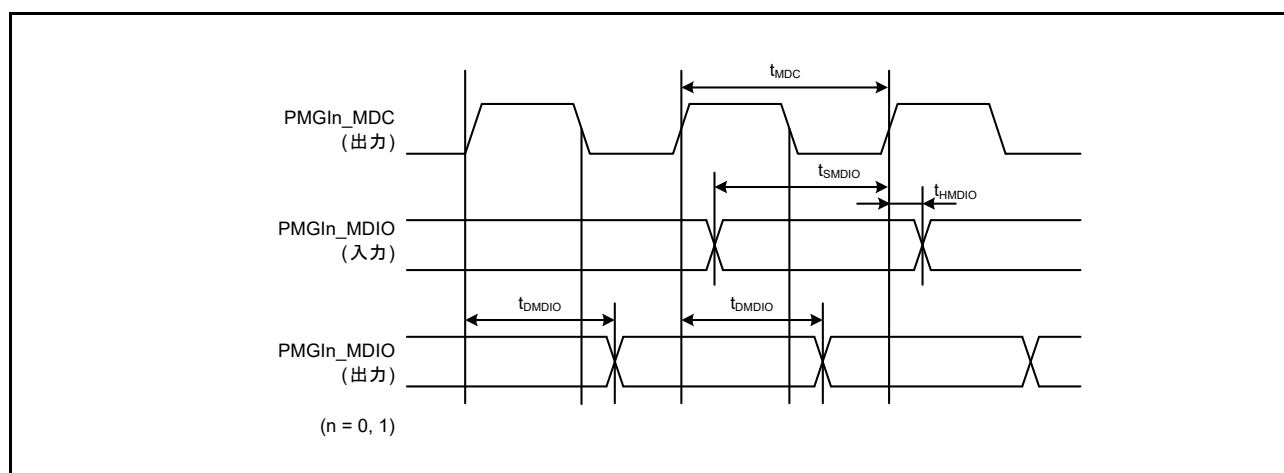


図 2.73 シリアルマネージメントアクセスタイミング

表 2.45 ESC タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
MII : 駆動能力選択制御レジスタは高速インタフェース用高駆動出力を選択時

項目	記号	min	max	単位	測定条件
ESC (MII)	CATn_TX_CLK サイクル時間	t_{Tcyc}	40	—	—
	CATn_TX_EN 出力遅延時間	t_{TEND}	1	25	ns
	CATn_ETXD0 ~ CATn_ETXD3 出力遅延時間	t_{MTDd}	1	25	ns
	CATn_RX_CLK サイクル時間	t_{TRcyc}	40	—	—
	CATn_RX_DV セットアップ時間	t_{RDVs}	10	—	ns
	CATn_RX_DV ホールド時間	t_{RDVh}	10	—	ns
	CATn_ERXD0 ~ CATn_ERXD3 セットアップ時間	t_{MRDs}	10	—	ns
	CATn_ERXD0 ~ CATn_ERXD3 ホールド時間	t_{MRDh}	10	—	ns
	CATn_RX_ER セットアップ時間	t_{RERs}	10	—	ns
	CATn_RX_ER ホールド時間	t_{RERh}	10	—	ns
ESC (MDIO)	CAT0_MDIO セットアップ時間 (対 CAT0_MDC↑)	t_{SMDIO}	60	—	ns
	CAT0_MDIO ホールド時間 (対 CAT0_MDC↑)	t_{HMDIO}	0	—	ns
	CAT0_MDIO 出力遅延時間 (対 CAT0_MDC↓)	t_{DMDIO}	0	30	ns

$n = 0, 1$

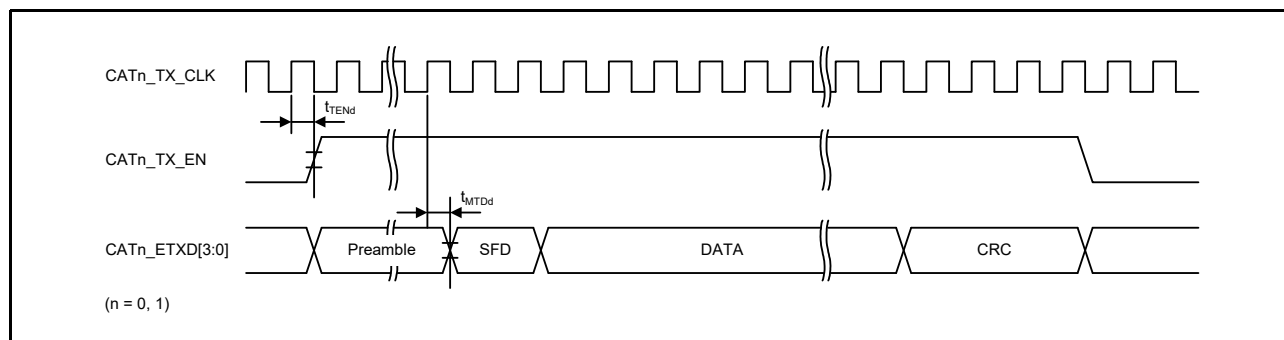


図 2.74 MII 送信タイミング (正常動作時)

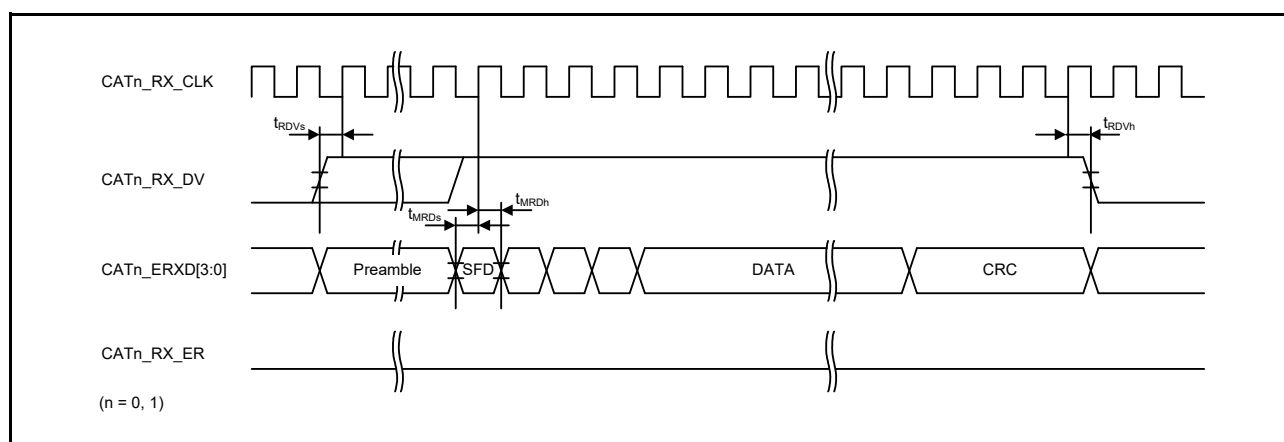


図 2.75 MII 受信タイミング (正常動作時)

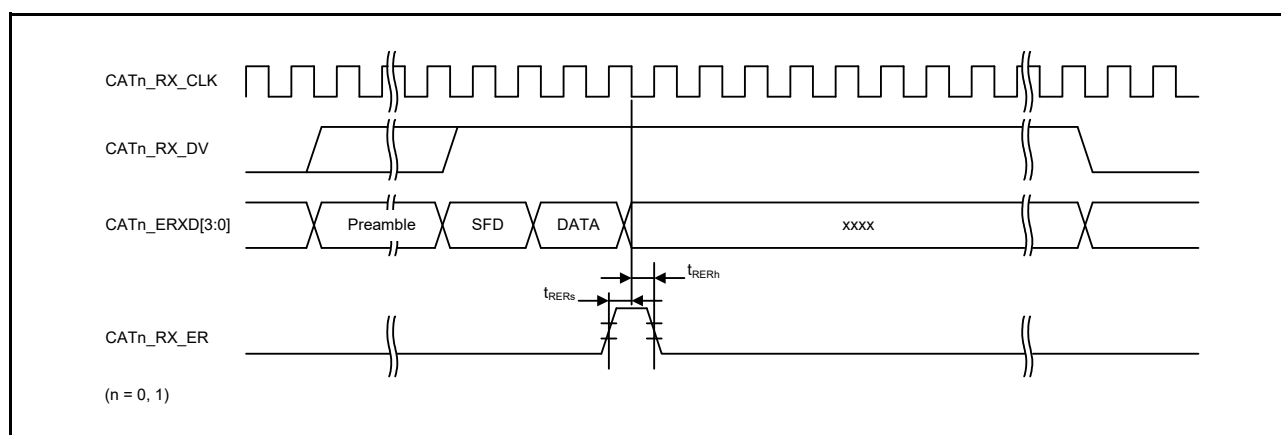


図 2.76 MII 受信タイミング (エラー発生ケース)

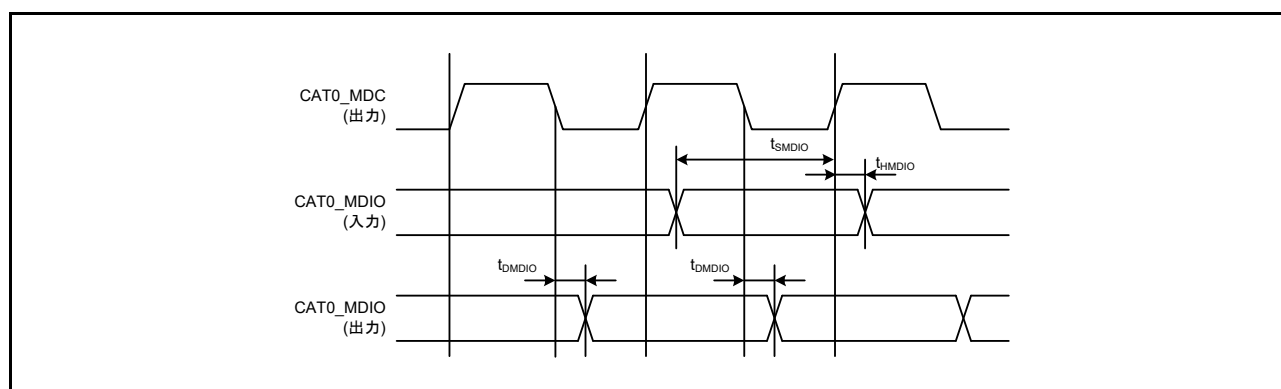


図 2.77 シリアルマネージメントアクセスタイミング

表 2.46 MMC ホストインタフェース タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min (注1)	max	単位	測定条件 (注2)
MMCIF	MMC_CLK クロックサイクル	t_{MMCPP}	$2 \times t_{PBcyc}$	—	図 2.78
	MMC_CLK クロック High レベル幅	t_{MMCWH}	6.5	ns	
	MMC_CLK クロック Low レベル幅	t_{MMCWL}	6.5	ns	
	MMC_CLK クロック 立ち上がり時間	t_{MMCLH}	3	ns	
	MMC_CLK クロック 立ち下がり時間	t_{MMCHL}	3	ns	
	MMC_CMD, MMC_D7 ~ MMC_D0 出力データ遅延 (データ転送モード)	$t_{MMCODLY}$	-6.6	ns	
	MMC_CMD, MMC_D7 ~ MMC_D0 入力データセットアップ	t_{MMCISU}	8	ns	
	MMC_CMD, MMC_D7 ~ MMC_D0 入力データホールド	t_{MMCIH}	2.5	ns	

注1. t_{PBcyc} : PCLKB の周期

注2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。MMC については、電気的特性の AC タイミングを各グループで測定しています。

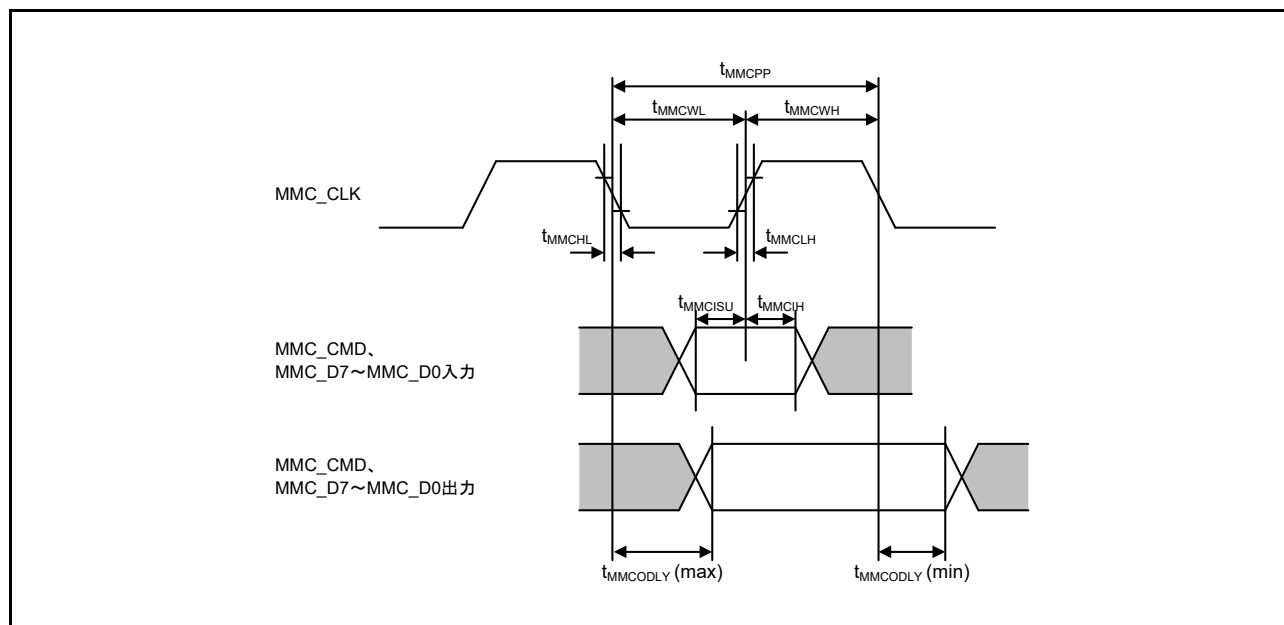


図 2.78 MMC インタフェース

表 2.47 ETHERC タイミング

条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件: $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
RMII: 駆動能力選択制御レジスタは高速インタフェース用高駆動出力を選択時
MII: 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
ETHERC (RMII)	REF50CK サイクル時間	T _{ck}	20	—	ns	図 2.79 ~ 図 2.81
	REF50CK 周波数 Typ. 50MHz	—	—	50 + 100ppm	MHz	
	REF50CK デューティ	—	35	65	%	
	REF50CK 立ち上がり/立ち下がり時間	T _{ckr/ckf}	0.5	3.5	ns	
	RMII _n _xxxx (注1)出力遅延時間	T _{co}	2.5	15.0	ns	
	RMII _n _xxxx (注2)セットアップ時間	T _{su}	3	—	ns	
	RMII _n _xxxx (注2)ホールド時間	T _{hd}	1	—	ns	
	RMII _n _xxxx (注1、注2)立ち上がり/立ち下がり時間	T _r /T _f	—	5	ns	
	ETn_WOL 出力遅延時間	t _{WOLd}	1	23.5	ns	図 2.83
ETHERC (MII)	ETn_TX_CLK サイクル時間	t _{Tcyc}	40	—	ns	—
	ETn_TX_EN 出力遅延時間	t _{TENd}	1	20	ns	図 2.84
	ETn_ETXD0 ~ ETn_ETXD3 出力遅延時間	t _{MTDd}	1	20	ns	
	ETn_CRS セットアップ時間	t _{CRSs}	10	—	ns	
	ETn_CRS ホールド時間	t _{CRSh}	10	—	ns	
	ETn_COL セットアップ時間	t _{COLs}	10	—	ns	
	ETn_COL ホールド時間	t _{COLh}	10	—	ns	—
	ETn_RX_CLK サイクル時間	t _{TRcyc}	40	—	ns	
	ETn_RX_DV セットアップ時間	t _{RDVs}	10	—	ns	
	ETn_RX_DV ホールド時間	t _{RDVh}	10	—	ns	
	ETn_ERXD0 ~ ETn_ERXD3 セットアップ時間	t _{MRDs}	10	—	ns	
	ETn_ERXD0 ~ ETn_ERXD3 ホールド時間	t _{MRDh}	10	—	ns	図 2.87
	ETn_RX_ER セットアップ時間	t _{RERs}	10	—	ns	
	ETn_RX_ER ホールド時間	t _{RERh}	10	—	ns	
	ETn_WOL 出力遅延時間	t _{WOLd}	1	23.5	ns	図 2.88

n = 0, 1

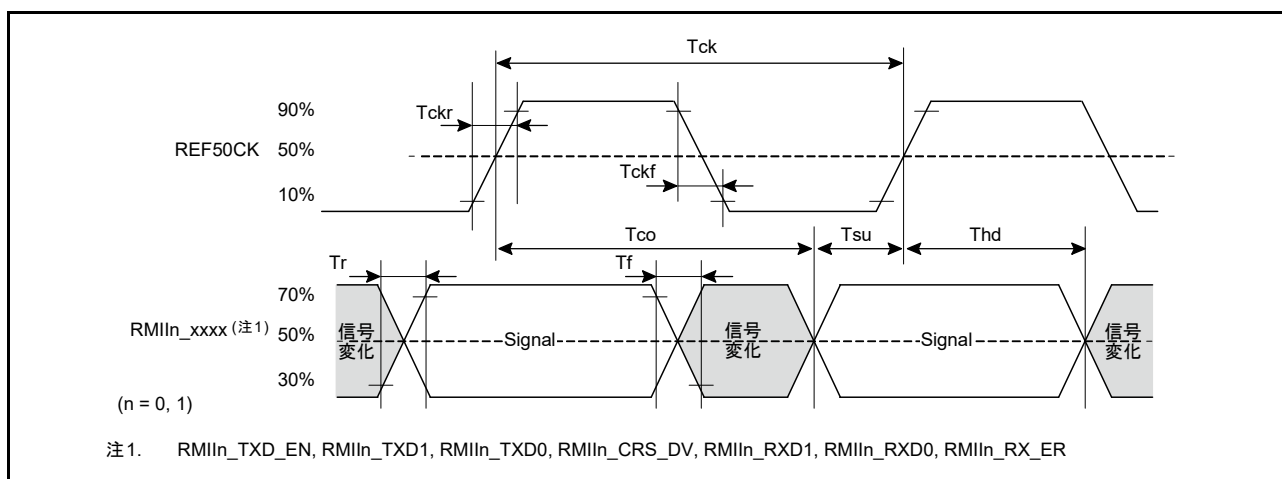
注1. RMII_n_TXD_EN, RMII_n_TXD1, RMII_n_TXD0注2. RMII_n_CRS_DV, RMII_n_RXD1, RMII_n_RXD0, RMII_n_RX_ER

図 2.79 REF50CK と RMII 信号とのタイミング

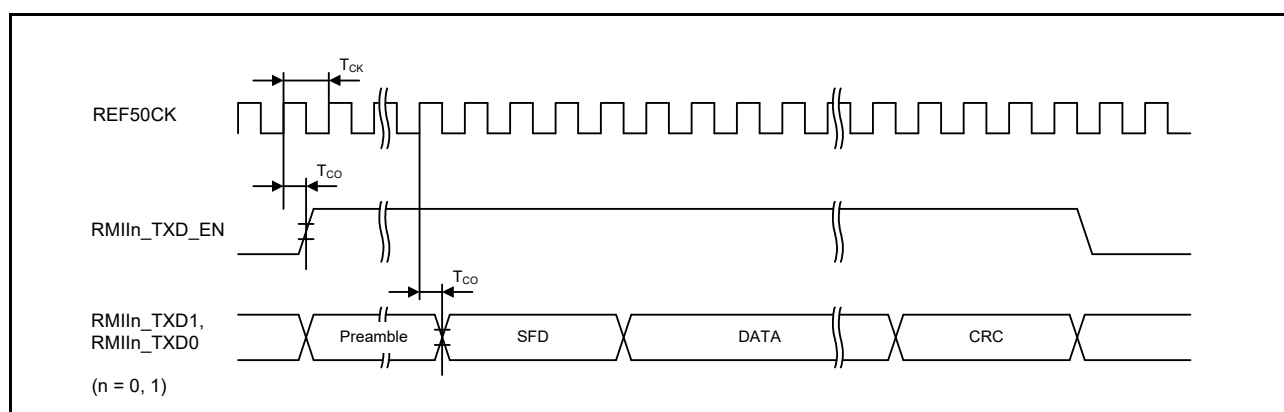


図 2.80 RMII 送信タイミング

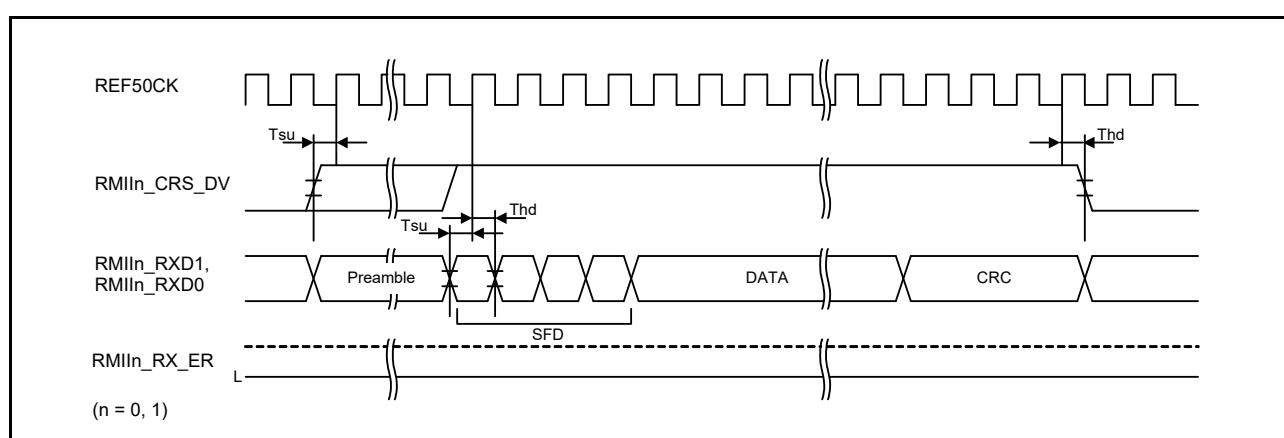


図 2.81 RMII 受信タイミング (正常動作時)

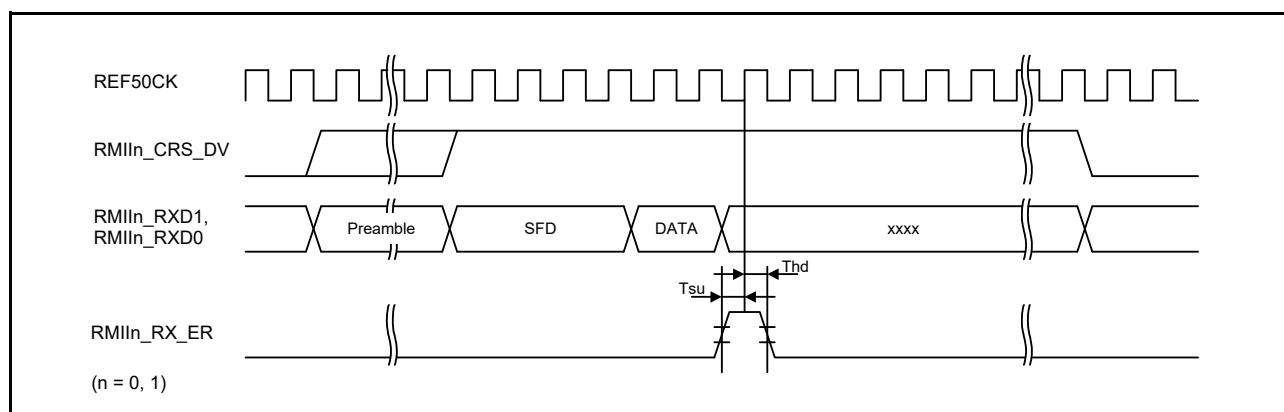


図 2.82 RMII 受信タイミング (エラー発生ケース)

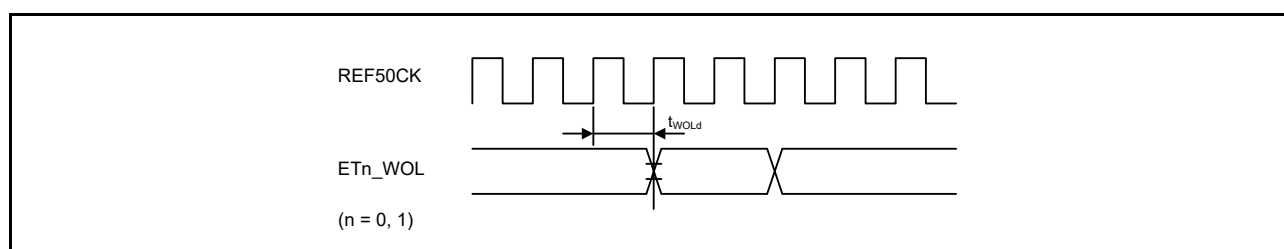


図 2.83 WOL 出カタイミング (RMII)

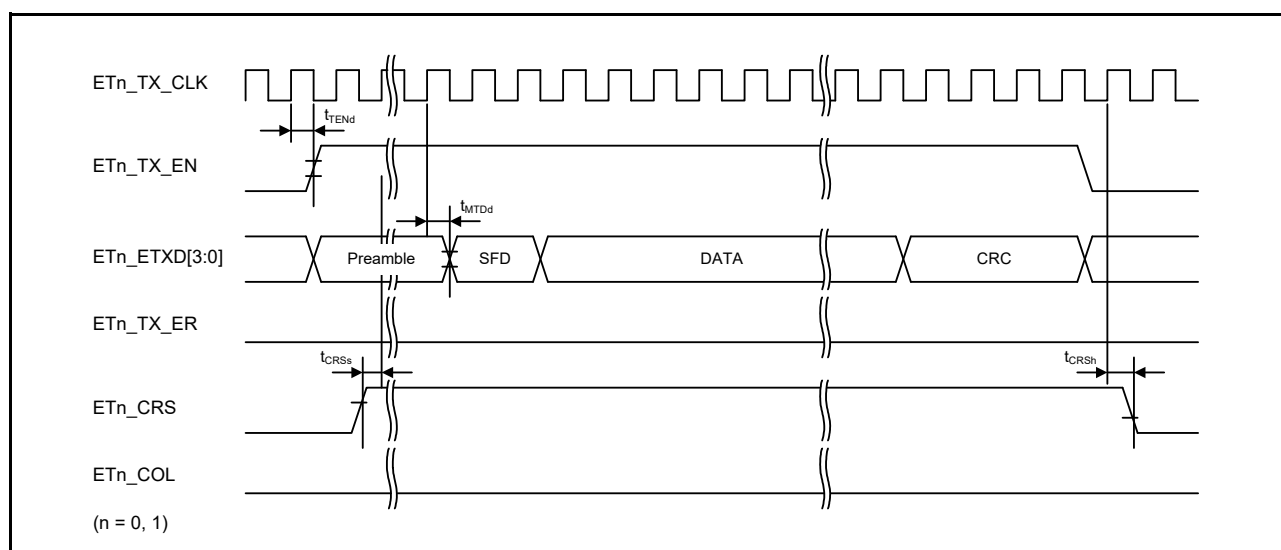


図 2.84 MII 送信タイミング (正常動作時)

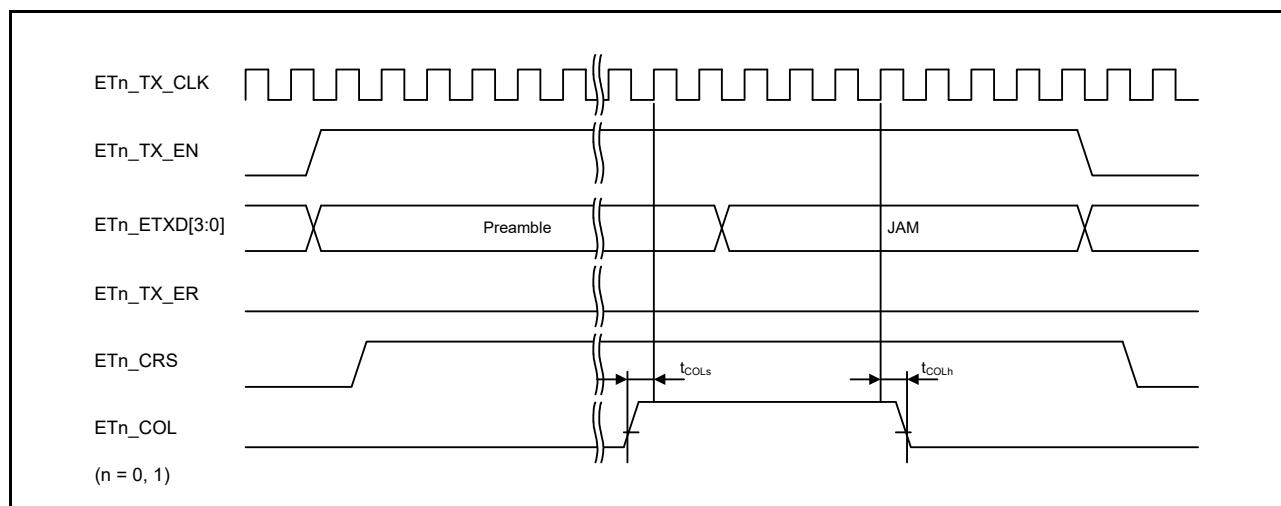


図 2.85 MII 送信タイミング (衝突発生ケース)

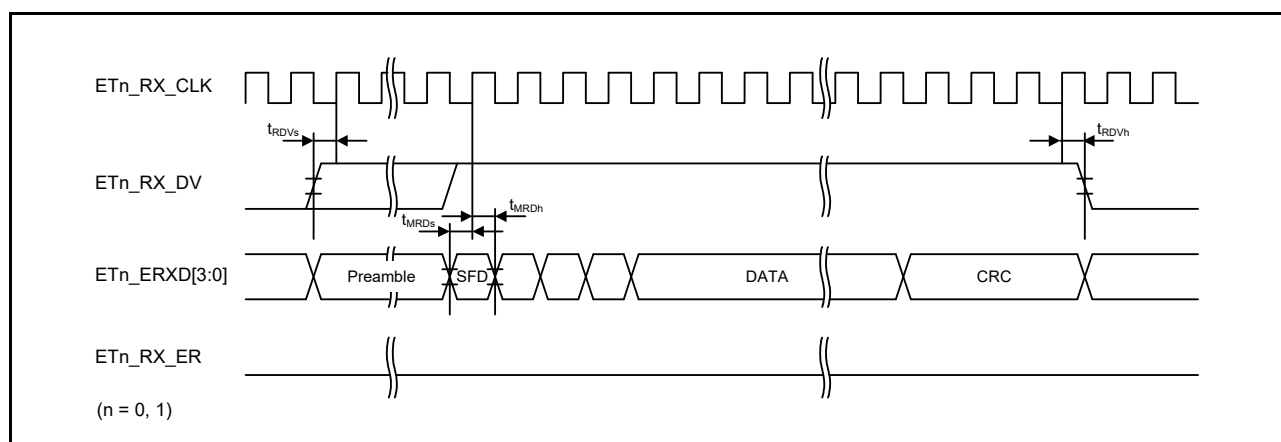


図 2.86 MII 受信タイミング (正常動作時)

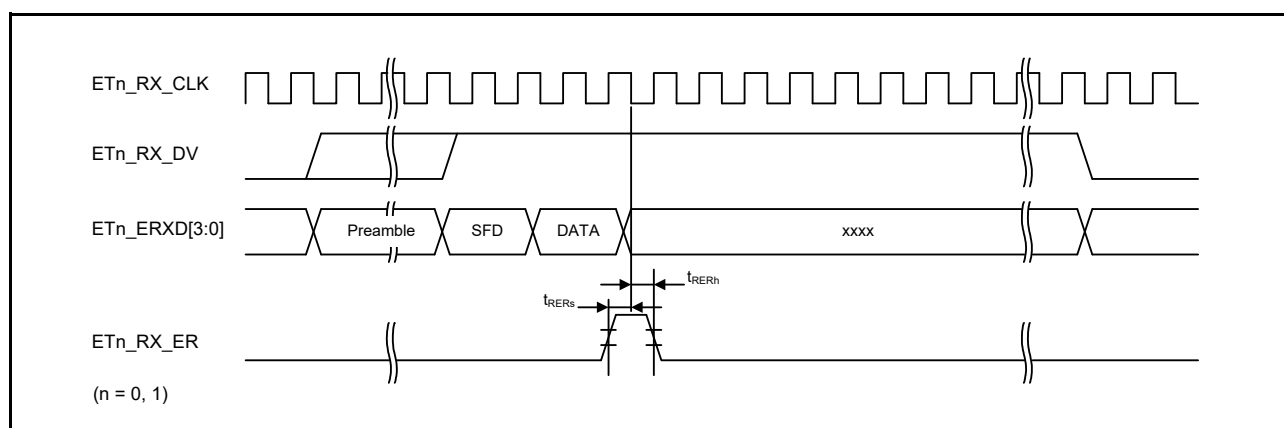


図 2.87 MII 受信タイミング (エラー発生ケース)

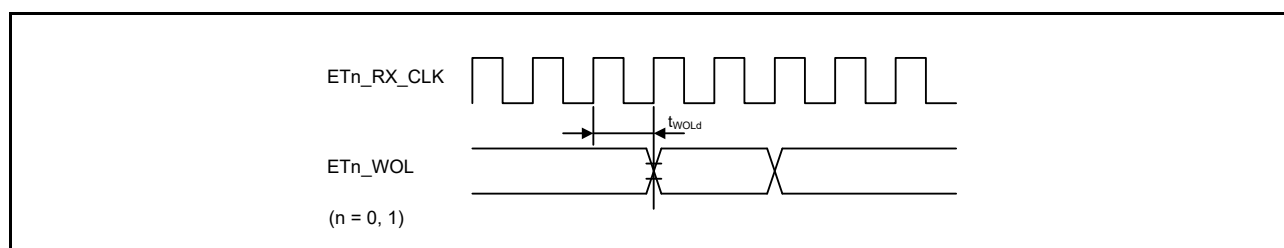


図 2.88 WOL 出力タイミング (MII)

表 2.48 PDC タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min (注 1)	max	単位	備考
PDC	PIXCLK入力サイクル時間	t_{PIXcyc}	37	—	図 2.89
	PIXCLK入力パルス幅 High レベル	t_{PIXH}	10	—	
	PIXCLK入力パルス幅 Low レベル	t_{PIXL}	10	—	
	PIXCLK立ち上がり時間	t_{PIXr}	—	5	
	PIXCLK立ち下がり時間	t_{PIXf}	—	5	
	PCKO出力サイクル時間	t_{PCKcyc}	$2 \times t_{PBcyc}$	—	図 2.90
	PCKO出力 High レベルパルス幅	t_{PCKH}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	
	PCKO出力 Low レベルパルス幅	t_{PCKL}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	
	PCKO立ち上がり時間	t_{PCKr}	—	5	
	PCKO立ち下がり時間	t_{PCKf}	—	5	
	VSYSN/HSYSN入力セットアップ時間	t_{SYNCS}	10	—	図 2.91
	VSYSN/HSYSN入力ホールド時間	t_{SYNCH}	5	—	
	PIXD 入力セットアップ時間	t_{PIXDS}	10	—	
	PIXD 入力ホールド時間	t_{PIXDH}	5	—	

注 1. t_{PBcyc} : PCLKB の周期

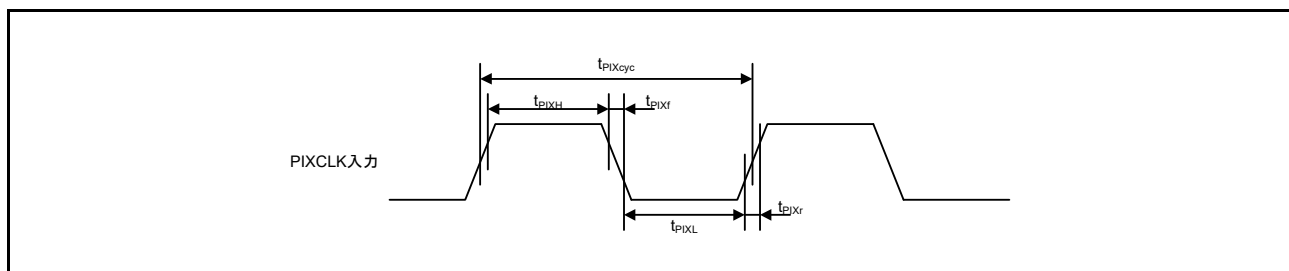


図 2.89 PDC 入力クロックタイミング

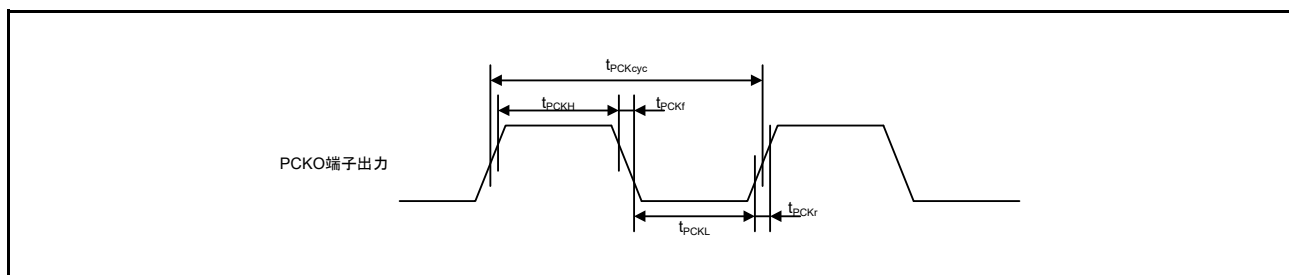


図 2.90 PDC 出力クロックタイミング

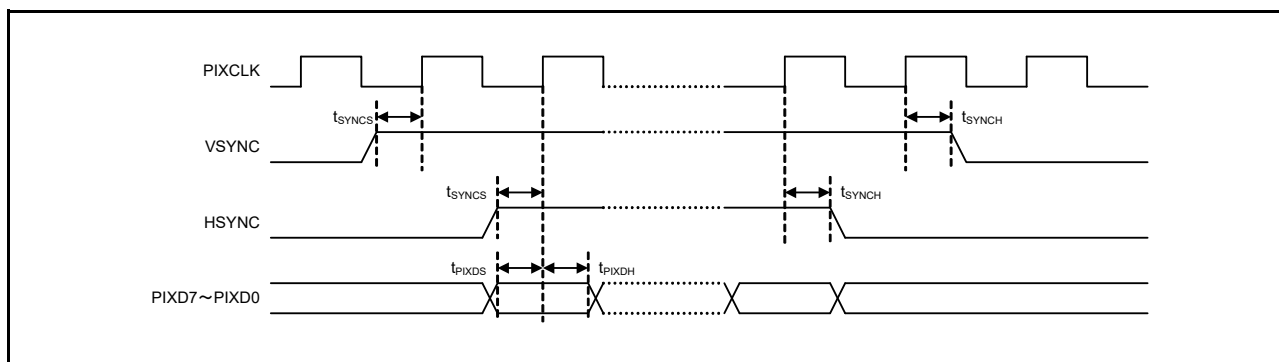


図 2.91 PDC AC タイミング

表 2.49 GLCDC タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LCD_EXTCLK 入カクロック周波数	$t_{E_{cyc}}$	—	—	30 (注 1)	MHz	図 2.92
LCD_EXTCLK 入カクロック Low パルス幅	t_{WL}	0.45	—	0.55	$t_{E_{cyc}}$	
LCD_EXTCLK 入カクロック High パルス幅	t_{WH}	0.45	—	0.55	$t_{E_{cyc}}$	
LCD_CLK 出カクロック周波数	$t_{L_{cyc}}$	—	—	30 (注 1)	MHz	図 2.93
LCD_CLK 出カクロック Low パルス幅	t_{LOL}	0.4	—	0.6	$t_{L_{cyc}}$	
LCD_CLK 出カクロック High パルス幅	t_{LOH}	0.4	—	0.6	$t_{L_{cyc}}$	
LCD 出力データ遅延時間	t_{DD}	-3.5 (注 2)	—	4 (注 2)	ns	図 2.94

注 1. パラレル RGB888,666,565 : Max. 27 MHz

シリアル RGB888 : Max. 30MHz (4x speed)

注 2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。

GLCDC については、電気的特性の AC タイミングを各グループで測定しています。

グループ -A と -B を組み合わせて使った場合、LCD 出力データ遅延時間(t_{DD})は min = -5.0ns、max = 5.5ns になります。

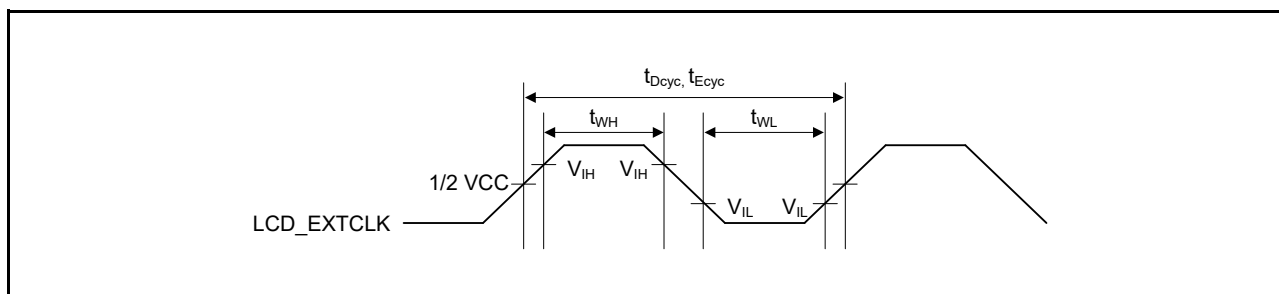


図 2.92 LCD_EXTCLK クロック入力タイミング

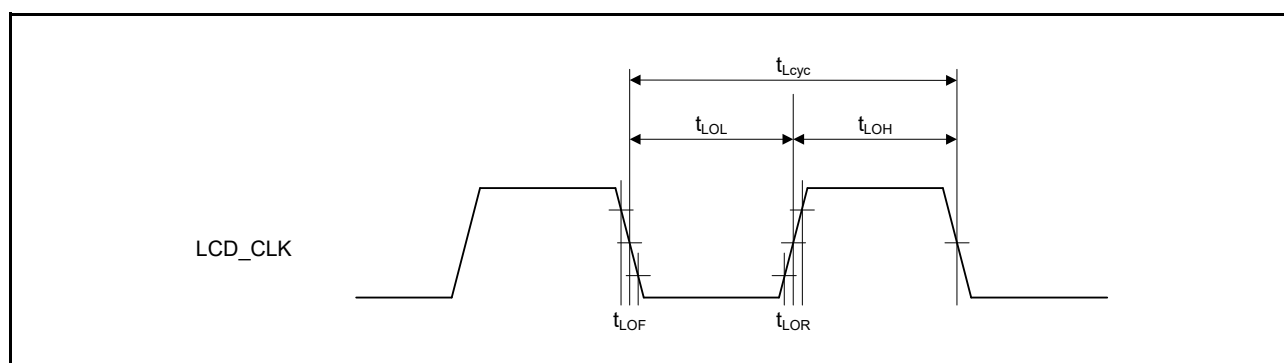


図 2.93 LCD_CLK クロック出力タイミング

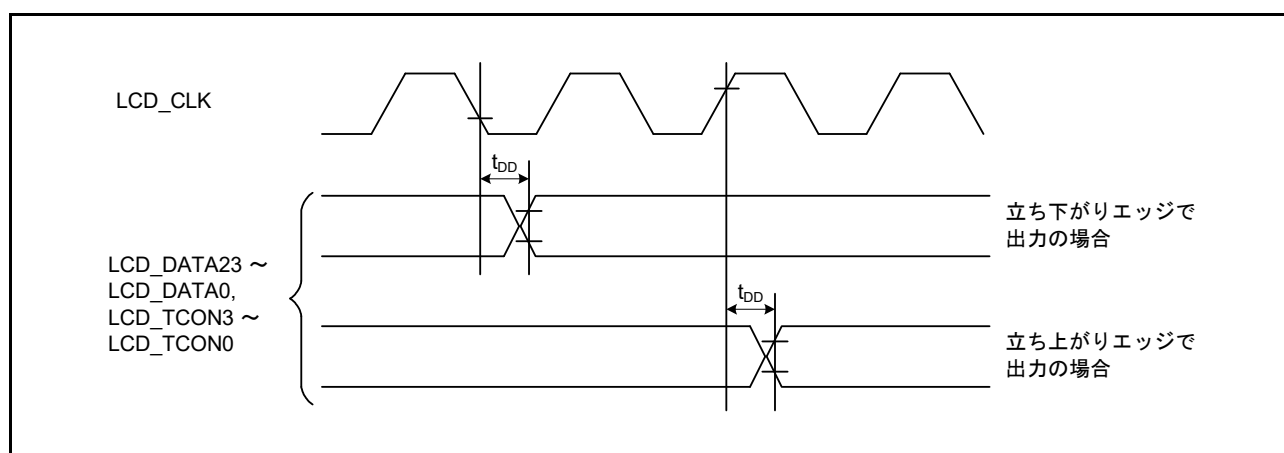


図 2.94 LCD 出力データタイミング

表 2.50 Δ -Σ インタフェース タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $V_{REFH0} = 2.7 \sim AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,

$PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,

出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,

駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件
DSMIF	クロック周期	マスタ	t_{DScyc}	2	32	t_{PBcyc}	図 2.95
		スレーブ		40	200	ns	
	クロック High レベル	マスタ	t_{DSCKWH}	16	—	ns	
		スレーブ		16	—	ns	
	クロック Low レベル	マスタ	t_{DSCKWL}	16	—	ns	図 2.96、 図 2.97
		スレーブ		16	—	ns	
	セットアップ時間	マスタ	t_{SU}	15	—	ns	
		スレーブ		10	—	ns	
	ホールド時間	マスタ	t_H	0	—	ns	
		スレーブ		10	—	ns	

注 1. t_{PBcyc} : PCLKB の周期

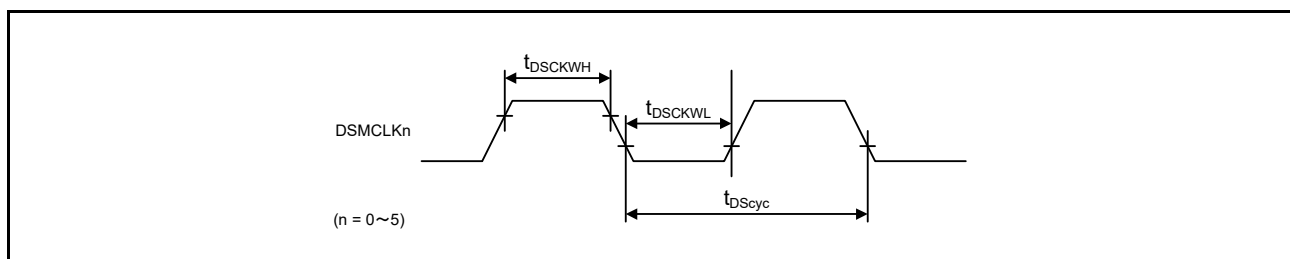


図 2.95 クロック入出力タイミング

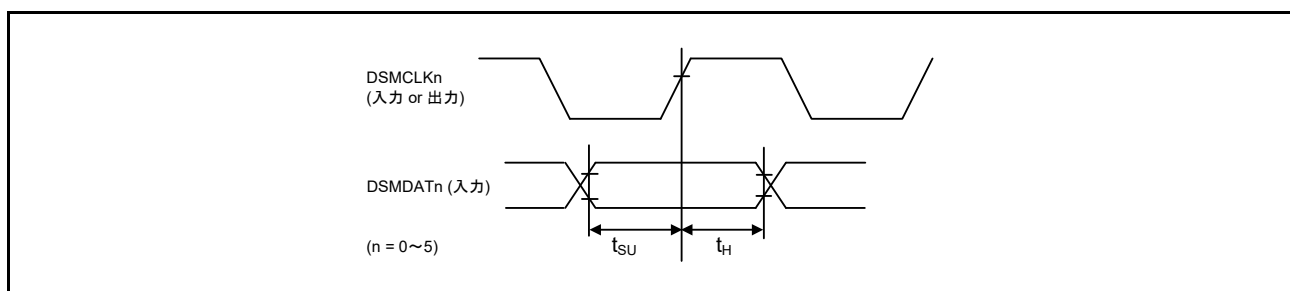


図 2.96 受信タイミング (DSMCLKn 立ち上がり同期)

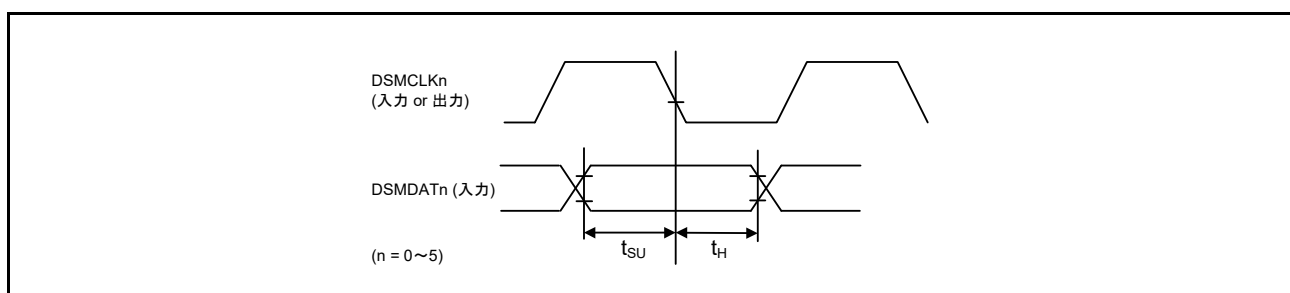


図 2.97 受信タイミング (DSMCLKn 立ち下がり同期)

表 2.51 SDHI タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件 (注1)
SDHI	SDHI_CLK 端子出力サイクル時間	$t_{PP(SD)}$	20	—	ns	図 2.98
	SDHI_CLK 端子出力 High レベルパルス幅	$t_{WH(SD)}$	$0.4 \times t_{PP(SD)}$	—	ns	
	SDHI_CLK 端子出力 Low レベルパルス幅	$t_{WL(SD)}$	$0.4 \times t_{PP(SD)}$	—	ns	
	SDHI_CLK 端子出力立ち上がり時間	$t_{TLH(SD)}$	—	3	ns	
	SDHI_CLK 端子出力立ち下がり時間	$t_{THL(SD)}$	—	3	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0 端子出力データ遅延時間 (データ転送モード)	$t_{ODLY(SD)}$	-6.5	4	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0 端子入力データセット アップ時間	$t_{ISU(SD)}$	6	—	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0 端子入力データホールド 時間	$t_{IH(SD)}$	2	—	ns	

注 1. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。SDHI については、電氣的特性の AC タイミングを各グループで測定しています。

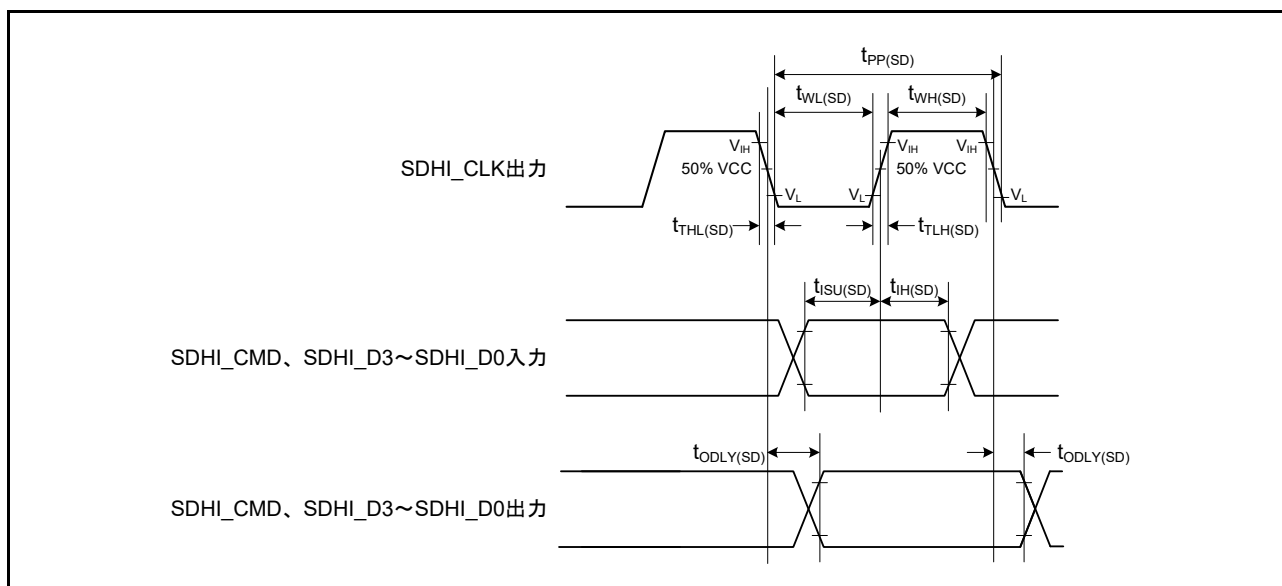


図 2.98 SD ホストインタフェース入出力信号タイミング

2.5 USB 特性

表 2.52 内蔵USB ロースピード (Hostのみ) 特性 (DP, DM 端子特性)

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V
	差動入力感度	V_{DI}	0.2	—	—	V
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V
	立ち上がり時間	t_{LR}	75	—	300	ns
	立ち下がり時間	t_{LF}	75	—	300	ns
	立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	80	—	125	%
ブルダウン特性	DP/DM ブルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω

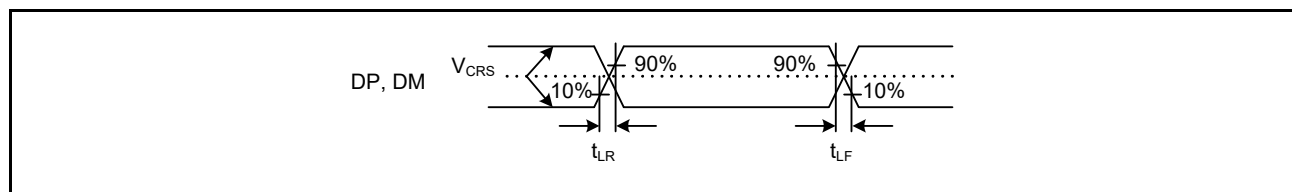


図 2.99 DP, DM 出力タイミング (ロースピード時)

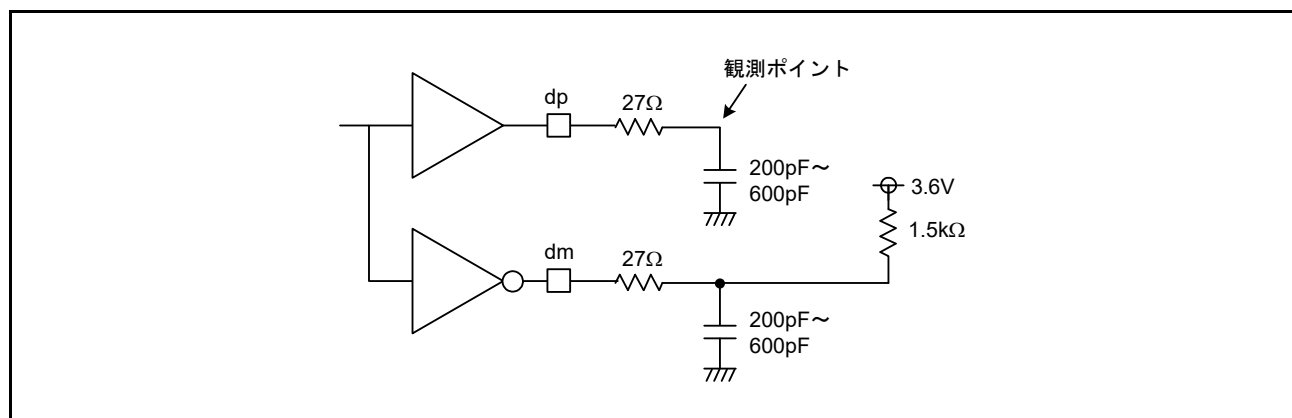


図 2.100 測定回路 (ロースピード時)

表 2.53 内蔵USB フルスピード特性(DP, DM 端子特性)

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $3.0V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	—	V
	入力Lowレベル電圧	V_{IL}	—	—	0.8	V
	差動入力感度	V_{DI}	0.2	—	—	V
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V
出力特性	出力Highレベル電圧	V_{OH}	2.8	—	3.6	V
	出力Lowレベル電圧	V_{OL}	0.0	—	0.3	V
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V
	立ち上がり時間	t_{FR}	4	—	20	ns
	立ち下がり時間	t_{FF}	4	—	20	ns
	立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%
	出力抵抗	Z_{DRV}	28	—	44	Ω
ブルアップ、ブルダウン特性	DPブルアップ抵抗 (ファンクション選択時)	R_{pu}	0.900	—	1.575	K Ω
			1.425	—	3.090	K Ω
	DP/DMブルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	K Ω

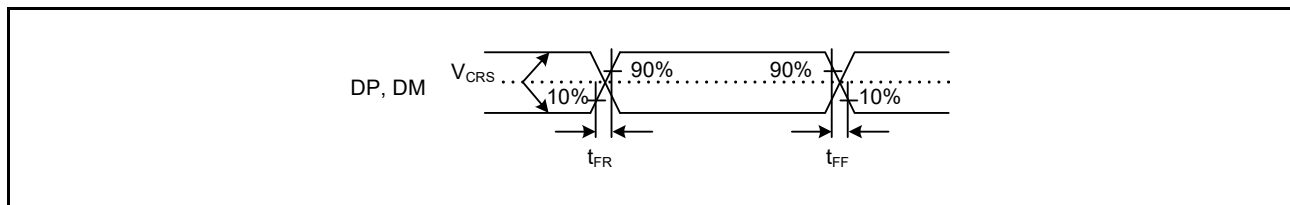


図 2.101 DP, DM 出力タイミング (フルスピード時)

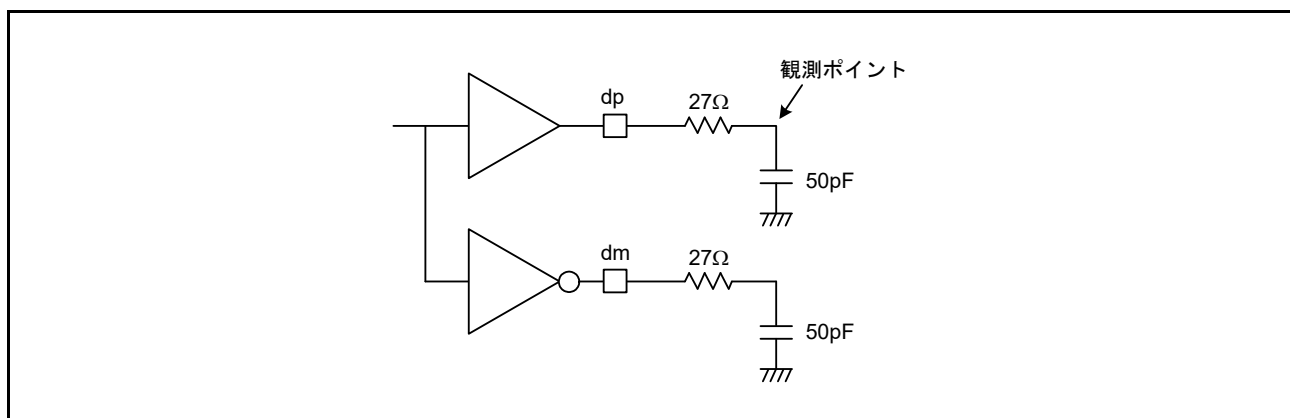


図 2.102 測定回路 (フルスピード時)

2.6 A/D 変換特性

表 2.54 12ビット A/D (ユニット0) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKC = 1MHz \sim 60MHz$, $T_a = T_{opr}$, 信号源インピーダンス = 1.0 k Ω

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
アナログ入力容量		—	—	30	pF	
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN002)	変換時間 (注1) (PCLKC = 60MHz 時)	1.06 (0.4 + 0.25) (注2)	—	—	μs	- チャンネル専用サンプル ホールド回路のサンプリ ング 24 ステート - サンプリング 15 ステート
	オフセット誤差	—	± 1.5	± 3.5	LSB	AN000 ~ AN002 = 0.25V
	フルスケール誤差	—	± 1.5	± 3.5	LSB	AN000 ~ AN002 = VREFH0 – 0.25V
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	± 3.0	± 5.5	LSB	
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	
	INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB	
	サンプルホールド回路のホー ルド特性	—	—	20	μs	
	ダイナミックレンジ	0.25	—	VREFH0 – 0.25	V	
チャンネル専用サンプル ホールド回路未使用時 (AN000 ~ AN007)	変換時間 (注1) (PCLKC = 60MHz 時)	0.48 (0.267) (注2)	—	—	μs	サンプリング 16 ステート
	オフセット誤差	—	± 1.0	± 2.5	LSB	
	フルスケール誤差	—	± 1.0	± 2.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	± 2.5	± 4.5	LSB	
	DNL 微分非直線性誤差	—	± 0.5	± 1.5	LSB	
	INL 積分非直線性誤差	—	± 1.0	± 2.5	LSB	

注. 上記規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 2.55 12ビット A/D (ユニット 1) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKD = 1MHz \sim 60MHz$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0 k\Omega$

項目	min	typ	max	単位	測定条件
分解能	8	—	12	ビット	
変換時間 (注1) (PCLKD = 60MHz 時)	0.88 (0.633) (注2)	—	—	μs	サンプリング 38 ステート (ADSAM.SAM = 1)
変換時間 (注1) (PCLKD = 30MHz 時)	1 (0.500) (注2)	—	—	μs	サンプリング 15 ステート (ADSAM.SAM = 1)
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	± 2.0	± 3.5	LSB	
フルスケール誤差	—	± 2.0	± 3.5	LSB	
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 4.0	± 6.0	LSB	
DNL 微分非直線性誤差 (PCLKD = 60MHz 時)	—	± 1.5	± 4.0	LSB	
DNL 微分非直線性誤差 (PCLKD = 30MHz 時)	—	± 1.5	± 2.5	LSB	
INL 積分非直線性誤差 (PCLKD = 60MHz 時)	—	± 2.0	± 4.0	LSB	
INL 積分非直線性誤差 (PCLKD = 30MHz 時)	—	± 2.0	± 3.5	LSB	

注. 上記規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 2.56 A/D 内部基準電圧特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $PCLKB = PCLKD = 60MHz$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.23	V	

2.7 D/A 変換特性

表 2.57 D/A 変換特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
分解能		—	12	12	12	ビット	
バッファなし出力	絶対精度	—	—	—	±6.0	LSB	負荷抵抗 2MΩ 10 ビット換算
	微分非直線性誤差	DNL	—	±1.0	±2.0	LSB	負荷抵抗 2MΩ
	出力抵抗	R_O	—	8.6	—	kΩ	
	変換時間	t_s	—	—	3	μs	負荷容量 20pF
バッファ出力	負荷抵抗	R_L	5	—	—	kΩ	
	負荷容量	C_L	—	—	50	pF	
	出力電圧	V_O	0.2	—	AVCC1 − 0.2	V	
	微分非直線性誤差	DNL	—	±1.0	±2.0	LSB	
	積分非直線性誤差	INL	—	±2.0	±4.0	LSB	
	変換時間	t_s	—	—	4	μs	

2.8 温度センサ特性

表 2.58 温度センサ特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	±1	—	°C	
温度傾斜	—	4	—	mV/°C	
出力電位 (@25°C)	—	1.21	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間 (注1)	4.15	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

2.9 パワーオンリセット回路、電圧検出回路特性

表 2.59 パワーオンリセット回路、電圧検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq VREFH0 \leq AVCC0$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	低消費電力機能無効(注1)	V _{POR}	2.5	2.6	2.7	V	図 2.103
		低消費電力機能有効(注2)		1.8	2.25	2.7		
	電圧検出回路(LVD0)	V _{det0_1}	2.84	2.94	3.04	図 2.104		
		V _{det0_2}	2.77	2.87	2.97			
		V _{det0_3}	2.70	2.80	2.90			
	電圧検出回路(LVD1)	V _{det1_1}	2.89	2.99	3.09	図 2.105		
		V _{det1_2}	2.82	2.92	3.02			
		V _{det1_3}	2.75	2.85	2.95			
	電圧検出回路(LVD2)	V _{det2_1}	2.89	2.99	3.09	図 2.106		
		V _{det2_2}	2.82	2.92	3.02			
		V _{det2_3}	2.75	2.85	2.95			
内部リセット時間	パワーオンリセット時間		t _{POR}	—	4.6	—	ms	図 2.103
	LVD0 リセット時間		t _{LVD0}	—	0.70	—		図 2.104
	LVD1 リセット時間		t _{LVD1}	—	0.57	—		図 2.105
	LVD2 リセット時間		t _{LVD2}	—	0.57	—		図 2.106
最小VCC低下時間			t _{VOFF}	200	—	—	μs	図 2.103、 図 2.104
応答遅延時間			t _{det}	—	—	200	μs	図 2.103 ~ 図 2.106
LVD 動作安定時間(LVD 有効切り替え時)			T _{d(E-A)}	—	—	10	μs	図 2.105、 図 2.106
ヒステリシス幅(LVD1, LVD2)			V _{LVH}	—	70	—	mV	

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

注1. 低消費電力機能無効 DEEPCUT[1:0] = 00b、または01b

注2. 低消費電力機能有効 DEEPCUT[1:0] = 11b

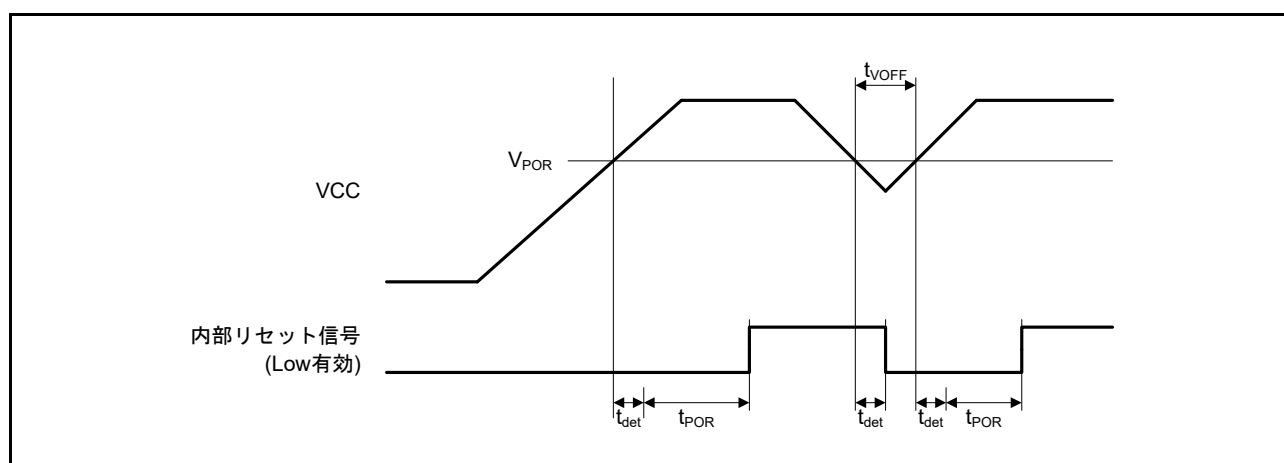
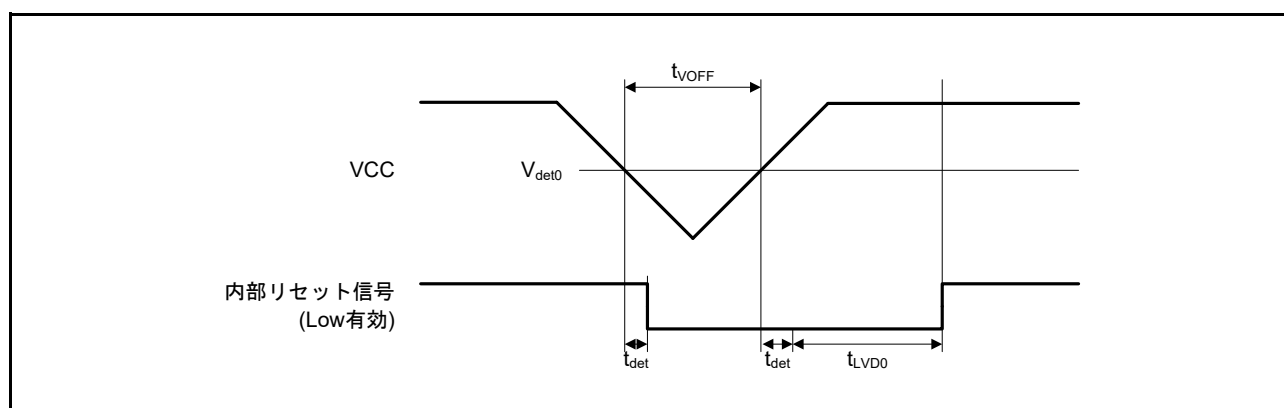
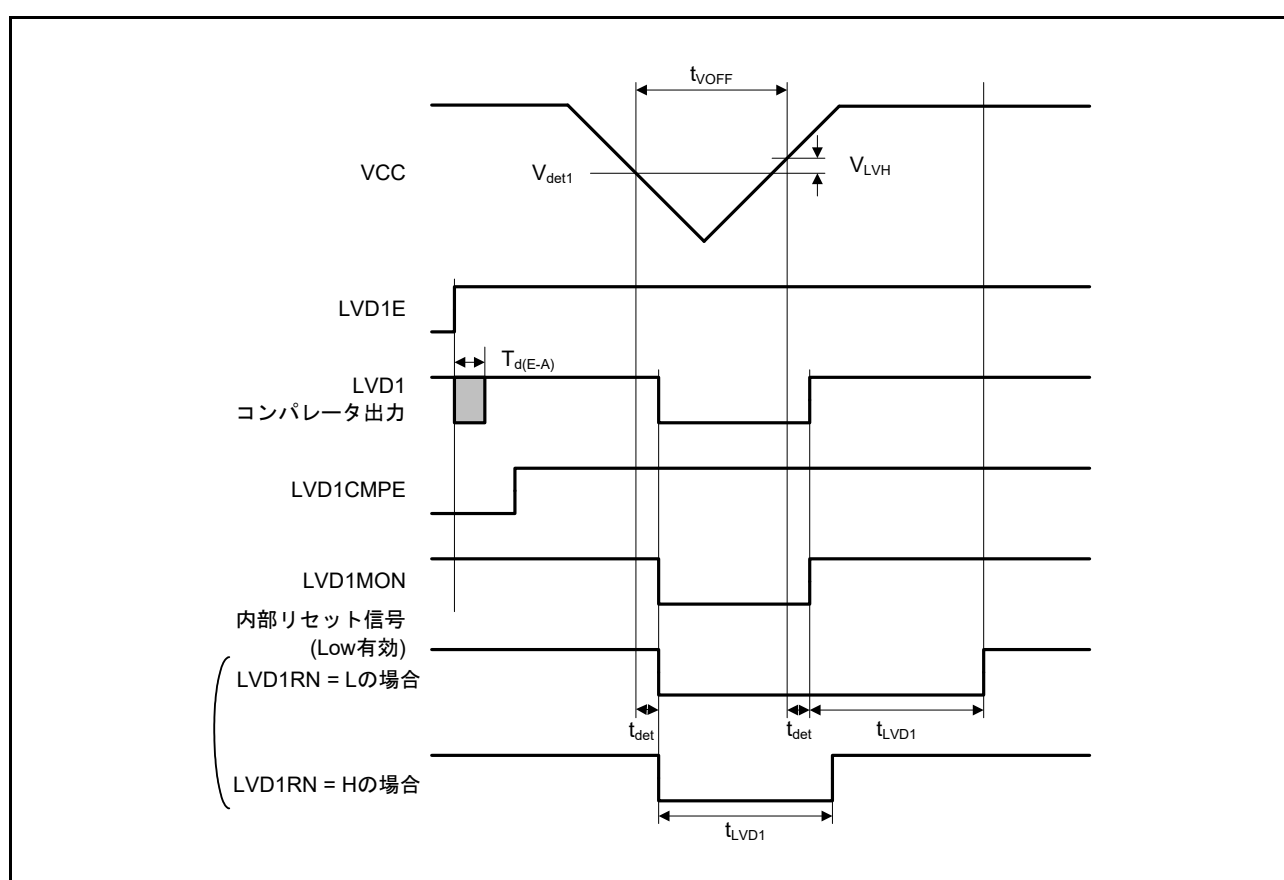
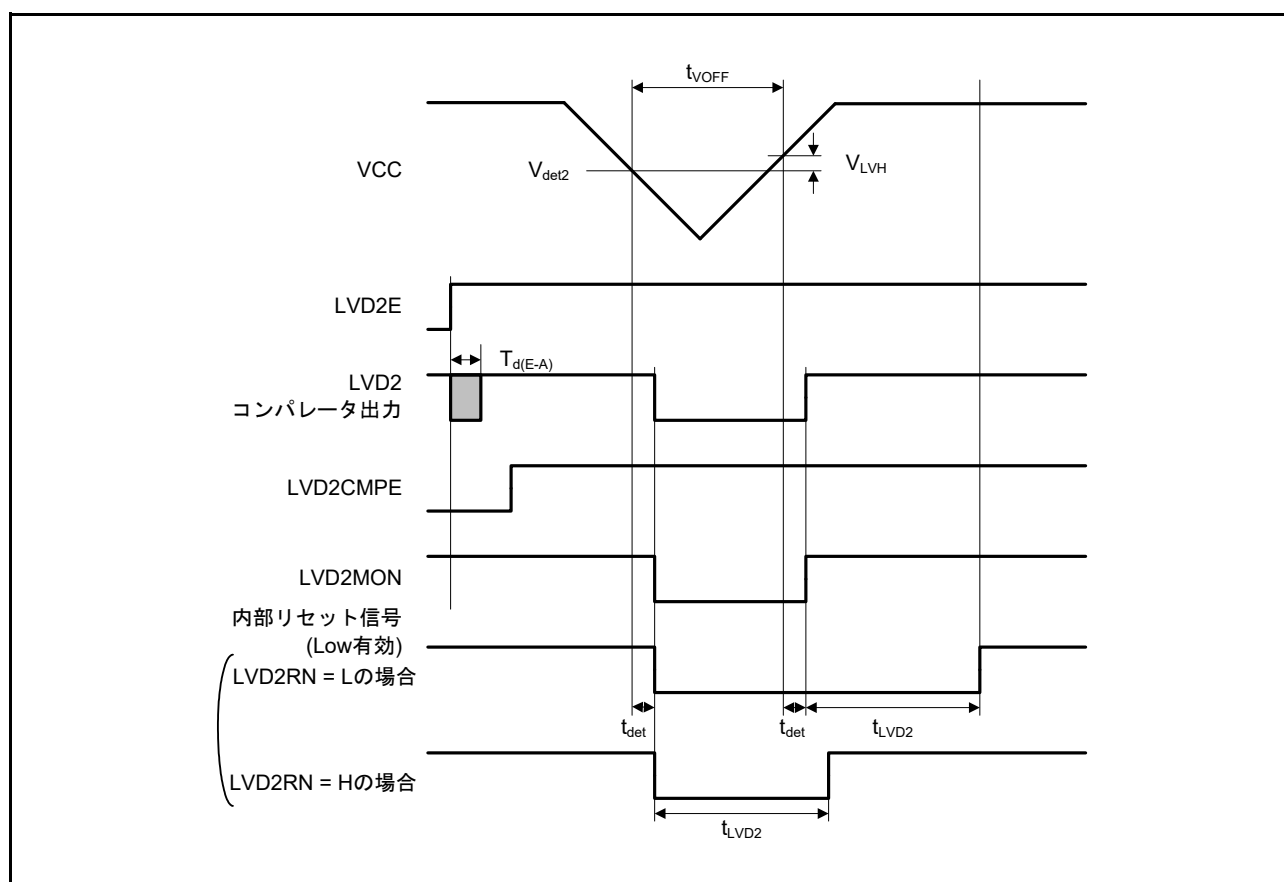


図 2.103 パワーオンリセットタイミング

図 2.104 電圧検出回路タイミング (V_{det0})図 2.105 電圧検出回路タイミング (V_{det1})

図 2.106 電圧検出回路タイミング (V_{det2})

2.10 発振停止検出タイミング

表2.60 発振停止検出回路特性
条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図2.107

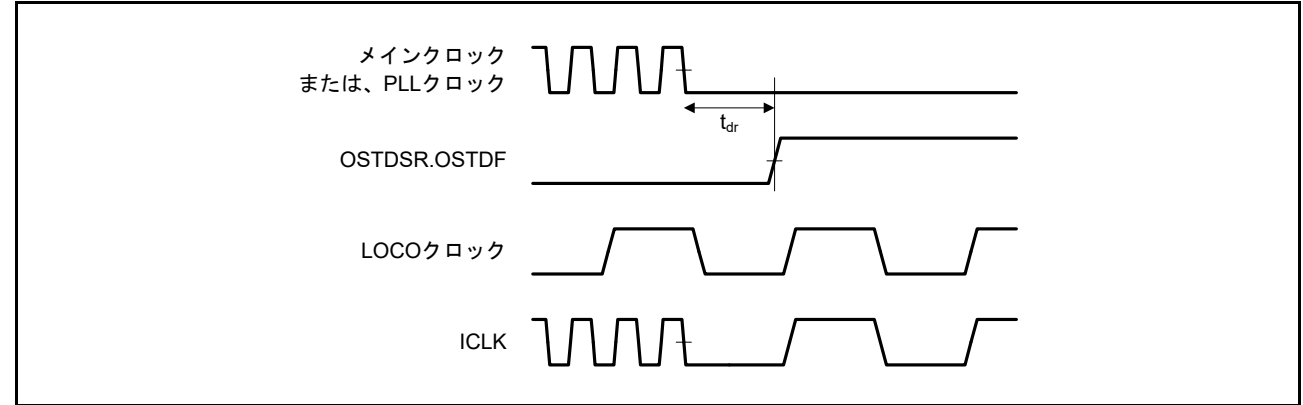


図 2.107 発振停止検出タイミング

2.11 バッテリバックアップ機能特性

表2.61 バッテリバックアップ機能特性

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	$V_{DETBATT}$	2.50	2.60	2.70	V	図2.108
VCC電圧低下電源切り替え時 V_{BATT} 下限電圧	V_{BATTSW}	2.70	—	—	—	
切り替え可能VCCオフ期間	$t_{VOFFBATT}$	200	—	—	μs	

注. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル $V_{DETBATT}$ のmin値を下回っている時間です。

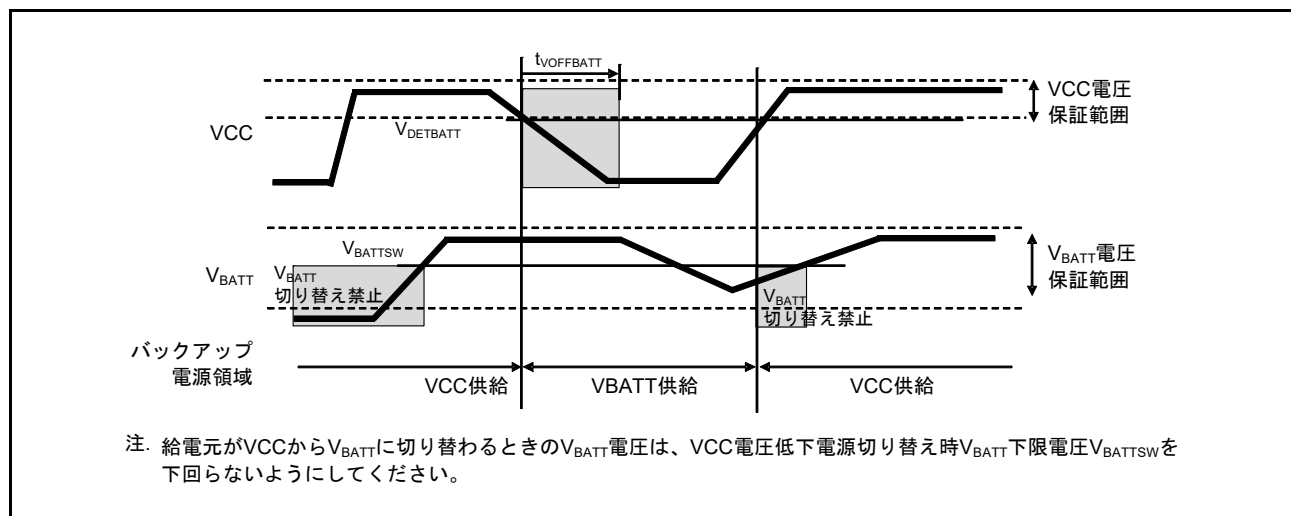


図 2.108 バッテリバックアップ機能特性

2.12 フラッシュメモリ特性

表 2.62 コードフラッシュメモリ特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			FCLK = 15MHz			20MHz ≤ FCLK ≤ 60MHz			単位
			min	typ	max	min	typ	max	min	typ	max	
プログラム時間 $N_{PEC} \leq 100$ 回 のとき	128バイト	t_{P128}	—	0.75	13.2	—	0.38	6.6	—	0.34	6	ms
	8Kバイト	t_{P8K}	—	49	176	—	25	88	—	22	80	ms
	32Kバイト	t_{P32K}	—	194	704	—	97	352	—	88	320	ms
プログラム時間 $N_{PEC} > 100$ 回 のとき	128バイト	t_{P128}	—	0.91	15.8	—	0.46	8	—	0.41	7.2	ms
	8Kバイト	t_{P8K}	—	60	212	—	30	106	—	27	96	ms
	32Kバイト	t_{P32K}	—	234	848	—	117	424	—	106	384	ms
イレーズ時間 $N_{PEC} \leq 100$ 回 のとき	8Kバイト	t_{E8K}	—	78	216	—	48	132	—	43	120	ms
	32Kバイト	t_{E32K}	—	283	864	—	173	528	—	157	480	ms
イレーズ時間 $N_{PEC} > 100$ 回 のとき	8Kバイト	t_{E8K}	—	94	260	—	58	158	—	52	144	ms
	32Kバイト	t_{E32K}	—	341	1040	—	208	632	—	189	576	ms
再プログラム/イレーズ サイクル (注1)	N_{PEC}		10000 (注2)	—	—	10000 (注2)	—	—	10000 (注2)	—	—	回
プログラム中のサスペンド 遅延時間	t_{SPD}		—	—	264	—	—	132	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t_{SESD1}		—	—	216	—	—	132	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t_{SESD2}		—	—	1.7	—	—	1.7	—	—	1.7	ms
イレーズ中のサスペンド 遅延時間 (イレーズ優先モード時)	t_{SEED}		—	—	1.7	—	—	1.7	—	—	1.7	ms
強制終了コマンド	t_{FD}		—	—	32	—	—	22	—	—	20	μs
データ保持時間 (注3)	t_{DRP}		10	—	—	10	—	—	10	—	—	年

注1. 再プログラム/イレーズサイクルの定義 : 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回($n = 1000$)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、8Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを64回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です(保証は1～min値の範囲)。

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

表2.63 データフラッシュメモリ特性

条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 プログラム/イレーズ時の動作温度範囲: $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			FCLK = 15MHz			20MHz ≤ FCLK ≤ 60MHz			単位
			min	typ	max	min	typ	max	min	typ	max	
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.18	1.9	—	0.16	1.7	ms
イレーズ時間	64バイト	t_{DP64}	—	3.1	18	—	1.9	11	—	1.7	10	ms
	128バイト	t_{DP128}	—	4.7	27	—	2.9	16	—	2.6	15	ms
	256バイト	t_{DP256}	—	8.9	50	—	5.4	31	—	4.9	28	ms
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	33	—	—	30	μs
	64バイト	t_{DBC64}	—	—	280	—	—	110	—	—	100	μs
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2420	—	—	2200	μs
再プログラム/イレーズサイクル (注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	100000 (注2)	—	—	回
プログラム中のサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	132	—	—	120	μs
イレーズ中の1回目のサスペンド遅延時間 (サスペンド優先モード時)	64バイト	—	—	—	216	—	—	132	—	—	120	μs
	128バイト	—	—	—	216	—	—	132	—	—	120	μs
	256バイト	—	—	—	216	—	—	132	—	—	120	μs
イレーズ中の2回目のサスペンド遅延時間 (サスペンド優先モード時)	64バイト	—	—	—	300	—	—	300	—	—	300	μs
	128バイト	—	—	—	390	—	—	390	—	—	390	μs
	256バイト	—	—	—	570	—	—	570	—	—	570	μs
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)	64バイト	—	—	—	300	—	—	300	—	—	300	μs
	128バイト	—	—	—	390	—	—	390	—	—	390	μs
	256バイト	—	—	—	570	—	—	570	—	—	570	μs
強制終了コマンド		t_{FD}	—	—	32	—	—	22	—	—	20	μs
データ保持時間 (注3)		t_{DDRP}	10	—	—	10	—	—	10	—	—	年

注1. 再プログラム/イレーズサイクルの定義: 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回 (n = 100000) の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを512回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です (保証は1～min値の範囲)。

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

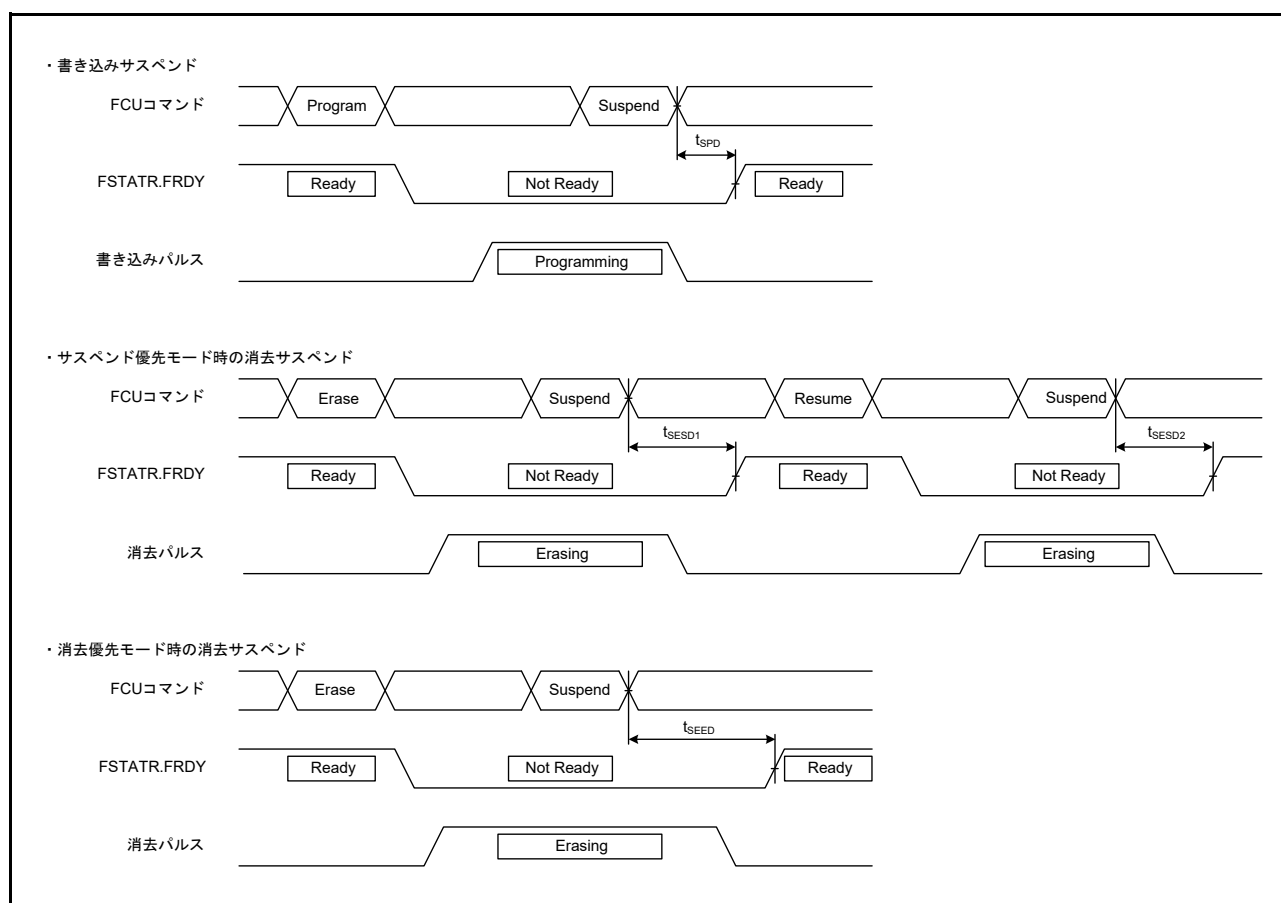


図 2.109 フラッシュメモリプログラム/イレーズサスペンドタイミング

2.13 バウンダリスキャン

表2.64 バウンダリスキャン特性

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,

$T_a = T_{opr}$

出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 2.110
TCKクロック High レベルパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロック Low レベルパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST#パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図 2.111
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 2.112
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	40	ns	

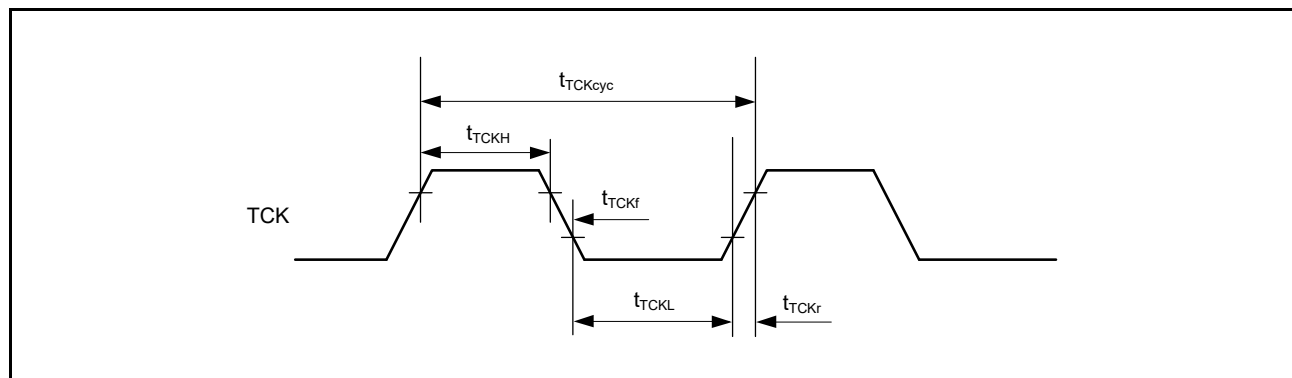


図 2.110 バウンダリスキャン TCK タイミング

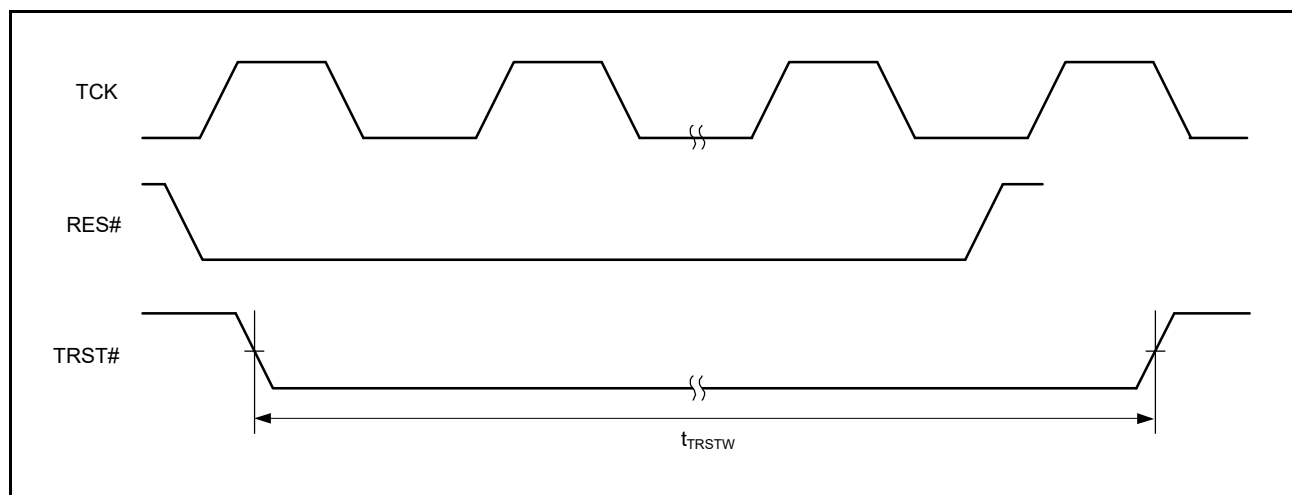


図 2.111 バウンダリスキャン TRST# タイミング

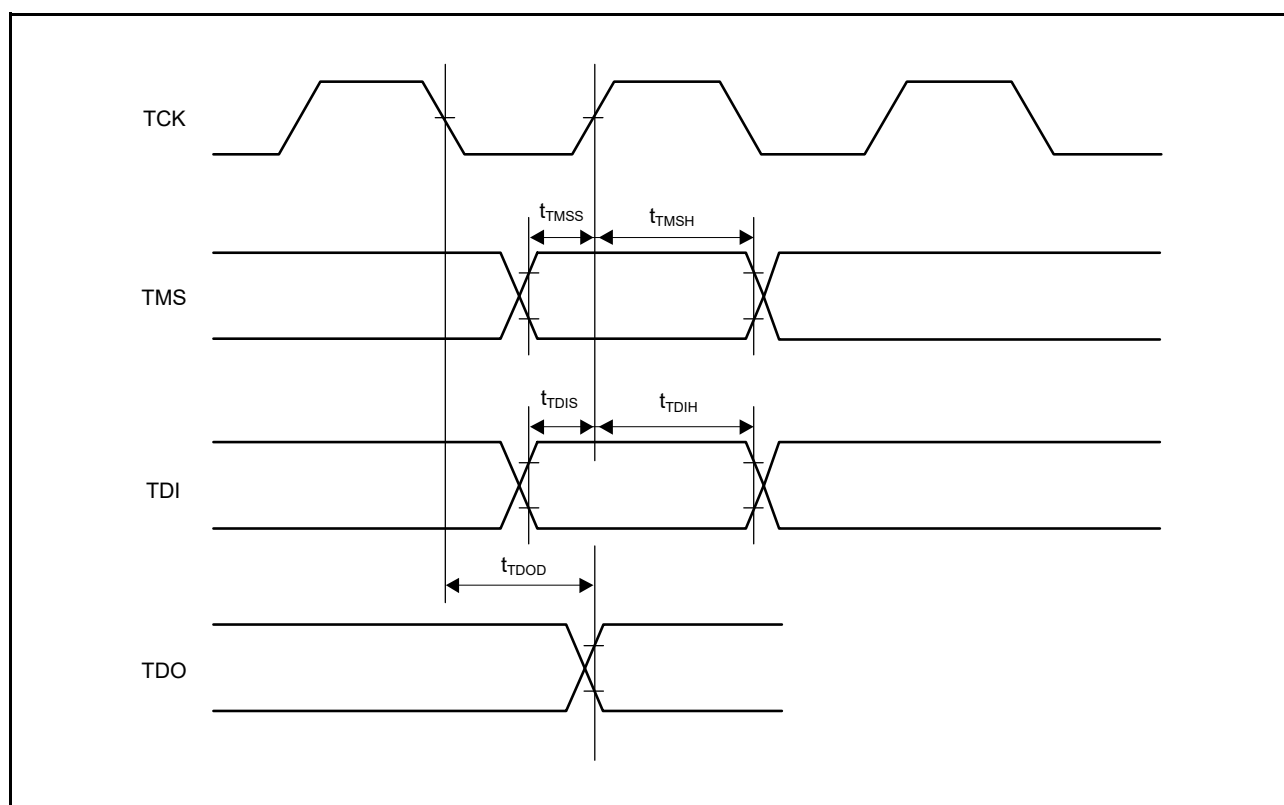


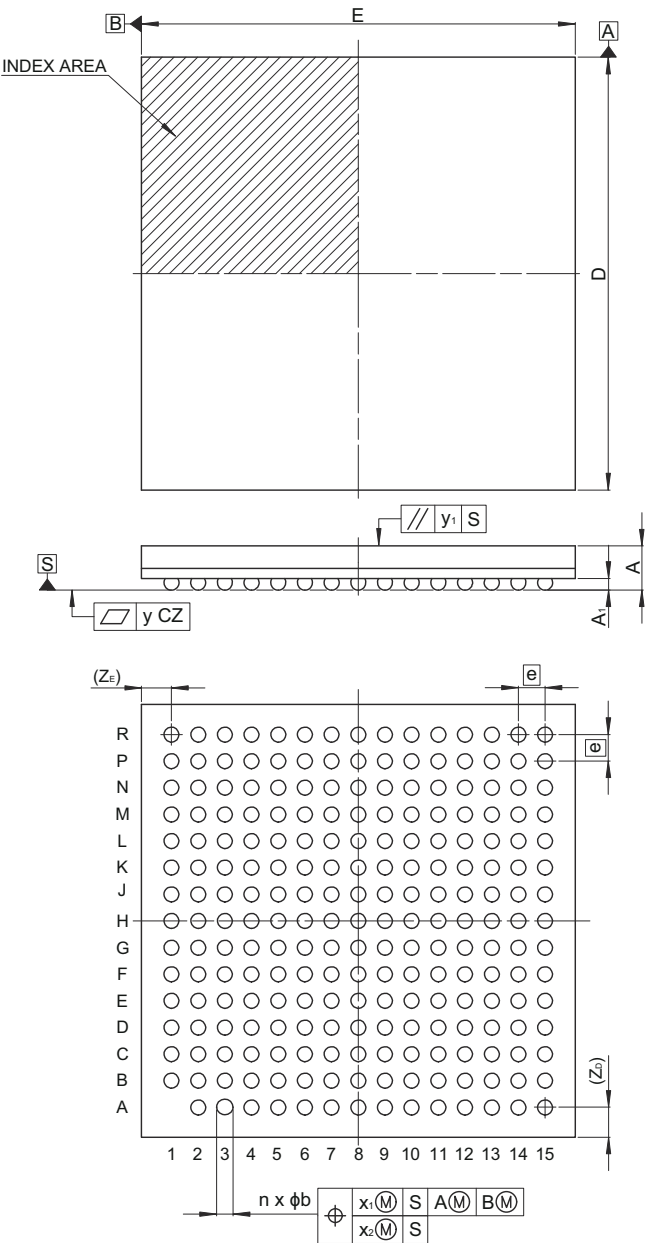
図 2.112 バウンダリスキャン入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFBGA224-13x13-0.80	PLBG0224GA-A	224FHE	0.4

Unit: mm



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	12.9	13.0	13.1
E	12.9	13.0	13.1
A	—	—	1.40
A ₁	0.30	0.35	0.40
e	—	0.80	—
b	0.40	0.45	0.50
x ₁	—	—	0.15
x ₂	—	—	0.08
y	—	—	0.10
y ₁	—	—	0.20
n	—	224	—
Z _D	—	0.90	—
Z _E	—	0.90	—

図 A. 224 ピン LFBGA (PLBG0224GA-A)

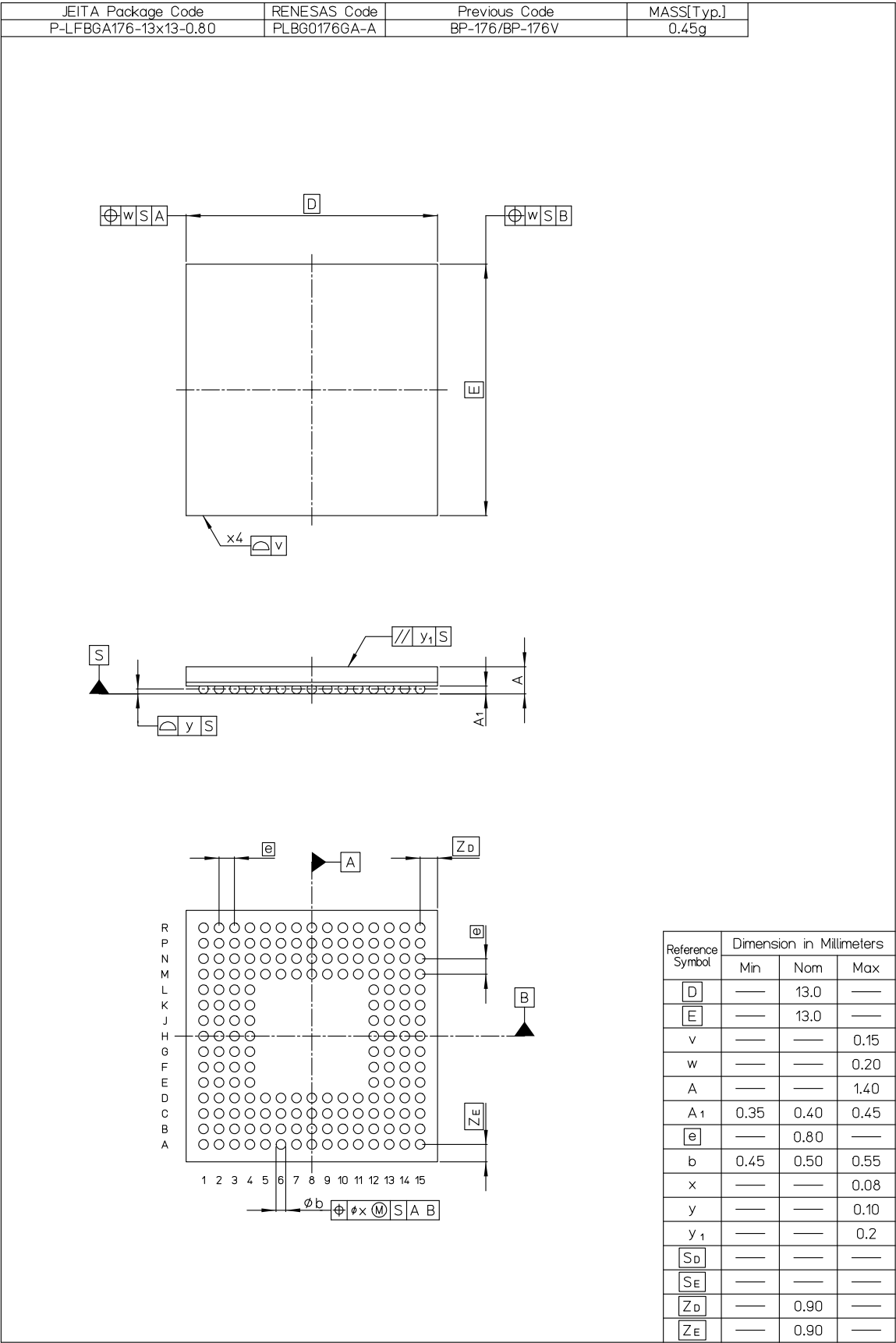


図 B. 176 ピン LFBGA (PLBG0176GA-A)

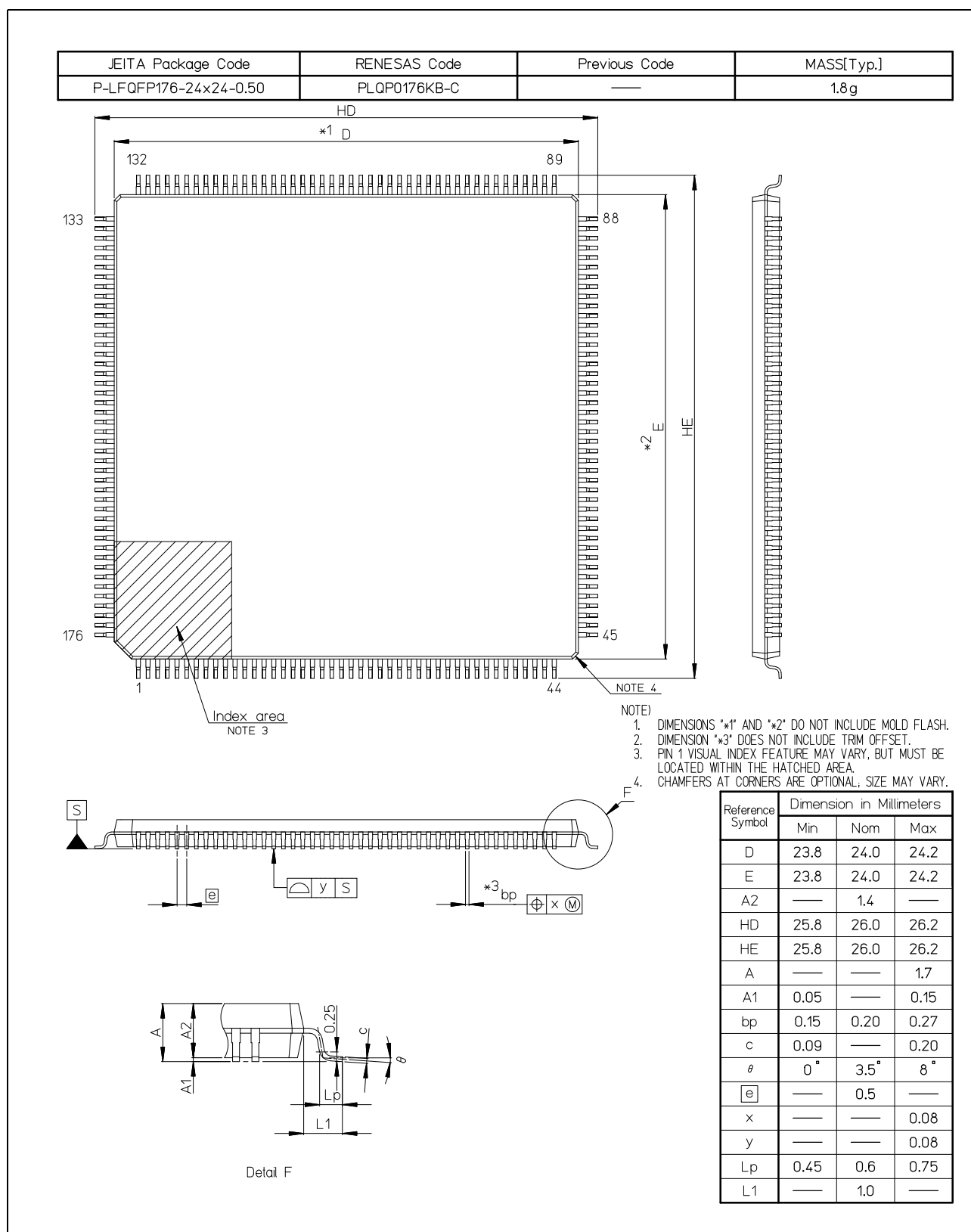


図 C. 176 ピン LFQFP (PLQP0176KB-C)

改訂記録	RX72M グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.05.31	—	初版発行	

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>