

平成 21 年 7 月 29 日

ALTERA チップ搭載 FPGA ボード

MFPGA-CYCLONE コンフィギュレーション ROM 書き込み方法

平素より弊社製品をご愛顧賜り,厚く御礼申し上げます.このメモでは,FPGA のコンフィギュレ ーション・データを,MFPGA-CYCLONE に搭載しているコンフィギュレーション ROM (EPCS1) に 書き込む方法をご説明いたします.

1 はじめに~FPGA のコンフィギュレーションについて~

FPGA のコンフィギュレーション(設計した回路情報を FPGA 内にダウンロードすること)方法は2通りあります.

- PC などから FPGA へ sof(SRAM Object File)ファイルを直接書き込んでコンフィギュレーションする
- (2) コンフィギュレーション ROM に jic(JTAG Indirect Configuration)ファイル,または pof(Programmer Object File)ファイルを書き込み,電源投入時に自動的にコンフィギ ュレーションする

(1)の方法の場合, FPGA が SRAM ベースであるため電源 OFF とともに回路内容が消え てしまいます.しかし,コンフィギュレーション ROM(不揮発 ROM)を痛めないため,回 路の開発中など書き換えを頻繁に行う場合に有効です.(2)の方法は,電源 ON 後すぐに回 路を動作させたい場合に使用します.コンフィギュレーション ROM の書き換えは10万回 まで可能です.

どちらの場合も,専用のダウンロード・ケーブルや弊社製ベースボード MFPGA-BASE を使用して書き込みを行います.このメモでは(2)の方法について,オプションのボックス・ ヘッダ(HD2)を実装する必要がないjic ファイルを使った場合に関してご説明します.

2 確認事項~動作環境と必要な機材について~

jic ファイルを使ったコンフィギュレーション ROM の書き込みは, ALTERA 社の FPGA/PLD 開発環境 QuartusII version 4.1 SP2 (Web Edition 含む) 以降でサポートされ ています.これよりも古い環境では jic ファイルを使った書き込みができませんので,開発 環境をアップデートしていただくか, pof ファイルを使ったアクティブ・シリアル・モード での書き込みを行ってください(pof ファイルを使った書き込みを行う場合,ダウンロード・ ケーブルは ALTERA 社の ByteBlasterII や USB Blaster など,アクティブ・シリアル・モ ードに対応したものを使用する必要があります).

書き込みには,専用のダウンロード・ケーブルや弊社製ベースボード MFPGA-BASE が



必要です.jic ファイルを使った書き込みの場合,

- ・ 弊社製 FPGA ベースボード
- ・ ALTERA 社製ダウンロード・ケーブル
- ・ ALTERA 社製ダウンロード・ケーブル
- ・ ALTERA 社製ダウンロード・ケーブル

のいずれかが必要です.ご使用の環境に応じてご用意ください.

3 下準備~jic ファイルを生成する~

jic ファイルを生成する前に,設計した回路をコンパイルし,エラーがないことを確認してください.コンパイルが正常に終了すると,sofファイルと pof ファイルの二つが生成されます.

3-1 ファイル・コンバータを起動する

QuartusIIのメニューから[File]-[Convert Programming Files...]を選択します. すると **図 3-1**のようにファイル・コンバータが起動します.

Convert Programming F	Files		<u>_ 0 ×</u>
Specify the input files to co You can also import input I future use.	onvert and the type of programming f ille information from other files and sa	ile to generate. we the conversion setup information	created here for
Conversion setup files —			
Open Con <u>v</u>	ersion Setup Data	<u>S</u> ave Conversion Setu	р
Output programming file Programming file type: <u>Options</u> File <u>name:</u> <u>A</u> dvanced	Programmer Object File (.pof) Configuration device: EPC16 output_file.pof Remote/Local update difference fi Mgmory Map File	Mode:	V V
Input files to convert-			
File/Data area	Properties	Start Address	Add <u>H</u> ex Data
SOF Data	Page 0	<pre>dx00010000 <auto></auto></pre>	Add Sof Data
			Add <u>F</u> ile
			<u>B</u> emove
			Up
			Down
			Properties
		Generate	Close

図 3-1 ファイル・コンパータの画面

MFPGA-BASE(パラレル接続) ByteBlasterMV(パラレル接続) ByteBlasterII(パラレル接続)

USB Blaster(USB 接続)



3-2 生成するファイルの種類とファイル名を指定する

ファイル・コンバータの画面で, **Output programming file** の部分を, **図 3-2** のように設 定します.

JTAG Indirect Configuration File(.jic)を選択				EPCS1 を選択	7		
Output programming file Programming file type: Options File name: Advanced	JTAG Indirect Configu Configuration device: MFPGA_ALT.jic Remote/Local update	Iration File (.ijc) EPCS1	<u>M</u> ode:		¥ 		
	Memory Map File						
				<hr/>			
		適当な出力	ファイル名	Κ(ここでは MF	PGA_A	LT.jic)	
		を入力 . 拡引	長子は.jic	とすること			
図 3-2 出力ファイルの設定							

3-3 入力データを指定する

図 3-3 のように, Input files to convert の部分で Flash Loader をクリックします.クリックすると色付きの選択状態になるので,ここで[Add Device...]ボタンをクリックします.

Flash Loader を	クリックして選択	状態にする	
Input files to convert			
File/Data area	Properties	Start Address	Add <u>H</u> ex Data
Flash Loader SOF Data	Page_0	<auto></auto>	Add <u>S</u> of Data
			Add Device
		/	<u>R</u> emove
			Up
			Down
I			Properties
-	Γ		,
	[Add Device]ボタンをクリックする	3

図 3-2 Flash Loader の追加



すると図 3-4 に示すデバイス選択のダイアログ・ボックスが表示されますので,左側の Device family から Cyclone を,右側の Device name から EP1C3 を選択して,[OK]ボタ ンをクリックします.



次に図 3-5 のように, Input files to convert の部分で SOF Data をクリックします.クリックすると色付きの選択状態になるので,ここで[Add File...]ボタンをクリックします.





すると図 3-6 に示すファイル選択のダイアログ・ボックスが表示されますので,コンパイルによって生成された sof ファイルを選択し, [開く(O)]ボタンをクリックします.

		sof ファイルを	選択する	
Select Input File				×
ファイルの場所(1): 🛛	🚞 MFPGA_ALT			* 💷-
して まび使ったファイル で デスクトップ マイドキュメント マイドキュメント マイニンピュータ マイ・マート	db HDL sincremental_db simulation			
7	ァイル名(N):	MEPGA ALT sof		▼ , 閉((0)
7	ァイルの種類(<u>T</u>):	SRAM Object File (*sof)		 ++>tell
			[開く(O)]ボタ	ンをクリックする
		- · · · · ·		

図 3-5 SOF ファイルの選択



3-4 jic ファイルを生成する

ファイル・コンバータの下部にある, [Generate]ボタンをクリックすると, jic ファイル が生成されます(図 3-7).



図 3-6 jic ファイルの生成

以前に生成したファイルがある場合 ,図 3-8 のように上書きするかどうかの問い合わせが あります.上書きしても良い場合は[はい(Y)]を,上書きしたくない場合は[いいえ(N)]をク リックして,3-2 の手順に戻り出力ファイル名を変更してください.

Quartus II	×
<u>.</u>	Programming File MFPGA_ALT.jic already exists. Do you want to overwrite file?
	(ポロ(Y) いいえ(N)
	図 0.0 フーノルナトキキナスかはこかの明い人も共

図 3-8 ファイルを上書きするかどうかの問い合わせ

ファイルが正常に生成されると,図 3-9 のようなメッセージが表示されますので,[OK] ボタンをクリックしてください.



図 3-9 ファイルが正常に生成されたときのメッセージ



これで jic ファイルが生成されましたので,ファイル・コンバータは閉じても構いませんが,後々の利便性のため,以下に従って設定内容を保存しておくと良いでしょう.

3-5 設定内容を保存する

jic ファイルは自動的に生成されません.そのため,回路を変更してコンパイルするたび に同様のファイル生成操作が必要となります.これまでに行った設定をいちいち行うのは 面倒ですが,ファイル・コンバータでは設定内容を保存しておくことができます.

全ての設定を行ったら(または jic ファイルの生成後),ファイル・コンバータの上部にある Conversion setup files(図 3-10)の部分から[Save Conversion Setup...]ボタンをクリックします.適当なファイル名(拡張子は.cof)で保存しておけば,再度 jic ファイルを生成する際に[Open Conversion Setup Data...]ボタンで設定内容を呼び出すことができます.

Convert Programming Files								
Specify the input files to convert and the type of programming file to generate. You can also import input file information from other files and save the conversion setup information created here for future use.								
Conversion setup files								
Open Conversion Setup Data	Save Conversion Setup							
/ 設定を呼び出すボタン	/ 設定を保存するボタン							

4 書き込み~jic ファイルを使って JTAG 経由でコンフィギュレーション ROM に書き込む~

4-1 ハードウェアの準備

専用のダウンロード・ケーブルを使用して書き込む場合は,ダウンロード・ケーブルの 10 ピン・コネクタ付きケーブルを MFPGA-CYCLONEのHD1 にそのまま接続するか,CN3 に出ている JTAG 信号(TDI, TDO, TCK, TMS, 3.3V, GND)に接続してください.

弊社製ベースボード MFPGA-BASE のダウンロード機能を使って書き込みを行う場合は, JP5 を「3.3V/アルテラ・モード」に設定してください.JP5 の設定方法や,MFPGA-BASE のダウンロード機能を使わずに専用のダウンロード・ケーブルを使用する場合については,

「<u>MFPGA-BASE に関するよくあるご質問とご回答</u>」をご参照ください.

ここまでの接続が終わったら,PCとダウンロード・ケーブルを接続し, MFPGA-CYCLONEに電源を供給してください.



4-2 プログラマを起動する

QuartusIIのメニューから[Tools] [Programmer]を選択すると,図4-1のようにプログ ラマが起動します.

🚾 Quartus II - C:/n	narutsu/FPGA/MFPGA_ALT/MFF	PGA_ALT - MFPGA_AL	T - [MFPGA_ALT&	:df]						- 🗆 🗵
File Edit Proces	I DuteDirates (LDT1)									
Hardware Setup	D Byteblaster [LP11]				Mode: JTAG		 Progress 	:	0%	
Enable real-time I	ISP to allow background programmin	ng (for MAX II devices)								
🏓 Start	File	Device	Checksum	Usercode	Program/ Configure Verify	Blank- Check	Examine	Security Bit	Erase	ISP CLAMP
🖿 Stop	MFPGA_ALT.sof	EP1C3T100	0010E88C	FFFFFFF						
🙀 Auto Detect										
🗙 Delete										
🍰 Add File										
ピ Change File										
🕒 Save File										
😂 Add Device										
1 th Up										
🔑 Down										
For Help, press F1	_1									

図 4-1 プログラマの画面

4-3 使用するダウンロード・ケーブルを選択する

プログラマの左上にある[Hardware Setup...]ボタンをクリックすると,図4-2のように ハードウェアの設定画面が現れます. Currently selected hardware から,使用するダウン ロード・ケーブルを選択してください.MFPGA-BASEの場合は,ByteBlasterMV [LPTx] (LPT の番号は環境によって変わりますが,通常は LPT1)を選択してください.正しく選択 したら,[Close]ボタンをクリックします.

	使用する	5ダウンロード	・ケーブルを選択する
Hardware Setup			×
Hardware Settings JTAG Settings		/	
Select a programming hardware setup only to the current programmer window	to use when progra v.	mming devices./This pi	rogramming hardware setup applies
Currently selected hardware:	ByteBlasterMV [L	ETTI)	
Available hardware items:	Server	Port	Add Hardware
ByteBlasterMV	Local	LPT1	Remove Hardware
			Close
		[Clo	se]ボタンをクリックする

図 4-2 使用するダウンロード・ケーブルの選択



4-4 デバイスを自動認識させる

図 4-3 に示すように,プログラマの上部にある Mode から JTAG を選択します.次にプ ログラマの左側にあるボタンの中から,[Auto Detect]をクリックします.これで,ダウン ロード・ケーブルの先につながっているデバイスが自動認識されます.ターゲットとなる EP1C3 (または EP1C3 T100)があることを確認してください.



図 4-3 デバイスを自動認識させる

4-5 書き込むファイルを選択する

図 4-4 のように,認識できたデバイス(EP1C3)をクリックして選択状態にします.次に, 左側のボタンの中から[Change File...]をクリックします.

	デバイス(I	EP1C3また	は EP1C	3T100)	をクリック	クして選択	状態にする	5
Quartus II - C <u>F</u> ile <u>E</u> dit Pro	:/marutsu/FPGA/MFPGA_ALT. cessing <u>T</u> ools <u>W</u> indow	/MFPGA_ALT - MFPGA_A	LT - [MFPGA_ALT.	cdf*]				- 🗆 ×
L Hardware Se	tup] ByteBlasterMV [LPT1] ie ISP to allow background progra	amming (for MAX I devices)			Mode: JTAG	Progree	ss: 0 %	
Start	File MFPGA_ALT.sof	Device EP1C3T100	Checksum 0010E88C	Usercode FFFFFFFF	Program/ Configure Verify	Blank- Check Examine	Security Bit Erase (
Auto Detect								
X Delete								
👺 Change File	[Change File]ボタン	シをクリ	リックする			

図 4-4 デバイスを選択してファイルを変更する

すると**図 4-5**のようなファイル選択のダイアログが現れますので,先ほど生成した jic ファイルを選択し, [開く(O)]ボタンをクリックしてください.



	jic ファイルを選択する
Select New Programming File	×
ファイルの場所(I): 🔁 MFPGA_ALT	
は して して して して して して した した した した した した した した した した	b hof sof
ファイル名(<u>N</u>):	mfpga_alt.jic 🔽 📕(①)
ファイルの種類(工):	Programming Files (*sof;*pof;*jam;*jbc;*ekp;*jic) 💌 キャンセル
	/
	[開く(O)]ボタンをクリックする

図 4-5 jic ファイルの選択

jic ファイルを選択すると, プログラマの表示が図 4-6 のように変わります. デバイスが EP1C3 ,それにぶら下がる形になっている ROM が EPCS1 になっていることを確認してく ださい.

			デバイス	に EP1C3 がある	5		
🚻 Quartus II - C:/mar	utsu/FPGA/M	IFPGA_ALT/MF	PGA_ALT - MFPGA_	ALT - [MFPGA_ALT.c	∃f*]		
<u>File E</u> dit P <u>r</u> ocessi	ng <u>T</u> ools <u>V</u>	<u>V</u> indow					
🔔 Hardware Setup	ByteBlasterM	V [LPT1]	/	/	Mod		
Enable real-time ISP	to allow back <u>o</u>	round programm	ing (for MAX II devices))			
🏓 Start 🛛 🖡	ile		Device	Checksum	Usercode		
The Stee	<none></none>		EP1C3	00000000	FFFFFFF		
	ⁱ mfpga_alt.jic	•	EPCS1	00E05241			
Auto Detect							
🗙 Delete			上の行にぶら下	「がっていて,こ	ファイル名が		
			~.jic , デバイスが EPCS1 になっている				





4-6 書き込みを実行する

図 4-7 に示すように, EPCS1 の行にある, Program/Configure のチェック・ボックスを クリックして,チェック状態にします.すると,その上のチェック・ボックスもチェック 状態となり, EP1C3 の行のファイルが "Factory default enhanced SFL image "となりま す.

EP1C3 の行のファイル名が " Factory default enhanced SFL image " になる								
		EP1C3 の行にあるチェック・ボックスもチェック状態になる						
File		Device Checksum Usercode Program/ Configure					Verify	
Factory defaul	t enha	nced SFL image	EP1C3		00000000	FFFFFFF		
└ mfpga_alt.ji	2		EPCS1		00E05241			
				Program/Configure をクリック				

図 4-7 デバイスに対して行う操作を選択する

これで準備は完了ですので,図 4-8 のようにプログラマ左側のボタンの中から[Start]を クリックします.プログラマ右上にある Progress の部分が 100%まで進んだら書き込み完 了です.

[Start]ボタンをクリックする			Prog	ress が	100%	6ま ⁻	で進ん	んだら	ら書き	₺込Ⴋ	→完了
								\			
Quartus II - C:/ Eile Edit Proc	/manutsu/FPGA/MFPGA_ALT/MFPGA_A es <mark>s</mark> ing <u>T</u> ools <u>W</u> indow	r - [MFPGA_ALT.odf*]									
1 Hardware Setyp ByteBlasterMV [LPT1]				Mo	de: JTAG		-	Progress:		100 %	
Enable real-time ISP to allow background programming (for MAX II devices)											
M Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine	Security Bit	Erase	ISP CLAMP
The Steep	Factory default enhanced SFL image	EP1C3	00000000	FFFFFFF							
	_ ⊢mfpga_alt.jic	EPCS1	00E05241		✓						
Auto Detect											
🗙 Delete											
🍰 Add File											
👺 Change File]										
Save File	1										
😂 Add Device	1										
d Up											
🔑 Down											
For Help, press F1											

図 4-8 書き込みの実行



4-7 一度電源を OFF して FPGA をコンフィギュレーションする

jic ファイルを使った書き込みでは,自動的に FPGA のコンフィギュレーションが開始さ れませんので,書き込みが終わった段階でMFPGA-CYCLONEの電源を一度OFFします. 再度電源を ON すると, コンフィギュレーション ROM から FPGA に回路情報がダウンロ ードされ,設計した回路が動作します.



〒910-0015 福井県福井市二の宮 2-3-7 Tel: (0776)22-0264 FAX: (0776)25-4275 秋葉原・大阪日本橋・名古屋小田井・京都寺町・仙台上杉・静岡八幡・浜松高林 金沢西インター・福井二の宮・福井敦賀・WebShop