

平成 21 年 7 月 29 日

ALTERA チップ搭載 FPGA ボード

MFPGA-CYCLONE コンフィギュレーション ROM 書き込み方法

平素より弊社製品をご愛顧賜り、厚く御礼申し上げます。このメモでは、FPGA のコンフィギュレーション・データを、MFPGA-CYCLONE に搭載しているコンフィギュレーション ROM (EPCS1) に書き込む方法をご説明いたします。

1 はじめに～FPGA のコンフィギュレーションについて～

FPGA のコンフィギュレーション(設計した回路情報を FPGA 内にダウンロードすること)方法は 2 通りあります。

- (1) PC などから FPGA へ sof(SRAM Object File)ファイルを直接書き込んでコンフィギュレーションする
- (2) コンフィギュレーション ROM に jic(JTAG Indirect Configuration)ファイル ,または pof(Programmer Object File)ファイルを書き込み ,電源投入時に自動的にコンフィギュレーションする

(1)の方法の場合、FPGA が SRAM ベースであるため電源 OFF とともに回路内容が消えてしまいます。しかし、コンフィギュレーション ROM(不揮発 ROM)を痛めないため、回路の開発中など書き換えを頻繁に行う場合に有効です。(2)の方法は、電源 ON 後すぐに回路を動作させたい場合に使用します。コンフィギュレーション ROM の書き換えは 10 万回まで可能です。

どちらの場合も、専用のダウンロード・ケーブルや弊社製ベースボード MFPGA-BASE を使用して書き込みを行います。このメモでは(2)の方法について、オプションのボックス・ヘッド(HD2)を実装する必要がない jic ファイルを使った場合に関してご説明します。

2 確認事項～動作環境と必要な機材について～

jic ファイルを使ったコンフィギュレーション ROM の書き込みは、ALTERA 社の FPGA/PLD 開発環境 QuartusII version 4.1 SP2 (Web Edition 含む) 以降でサポートされています。これよりも古い環境では jic ファイルを使った書き込みができませんので、開発環境をアップデートしていただくか、pof ファイルを使ったアクティブ・シリアル・モードでの書き込みを行ってください(pof ファイルを使った書き込みを行う場合、ダウンロード・ケーブルは ALTERA 社の ByteBlasterII や USB Blaster など、アクティブ・シリアル・モードに対応したものを使用する必要があります)。

書き込みには、専用のダウンロード・ケーブルや弊社製ベースボード MFPGA-BASE が

必要です。jic ファイルを使った書き込みの場合、

- ・ 弊社製 FPGA ベースボード MFPGA-BASE(パラレル接続)
- ・ ALTERA 社製ダウンロード・ケーブル ByteBlasterMV(パラレル接続)
- ・ ALTERA 社製ダウンロード・ケーブル ByteBlasterII(パラレル接続)
- ・ ALTERA 社製ダウンロード・ケーブル USB Blaster(USB 接続)

のいずれかが必要です。ご使用の環境に応じてご用意ください。

3 下準備～jic ファイルを生成する～

jic ファイルを生成する前に、設計した回路をコンパイルし、エラーがないことを確認してください。コンパイルが正常に終了すると、sof ファイルと pof ファイルの二つが生成されます。

3-1 ファイル・コンバータを起動する

QuartusII のメニューから [File]-[Convert Programming Files...]を選択します。すると図 3-1 のようにファイル・コンバータが起動します。

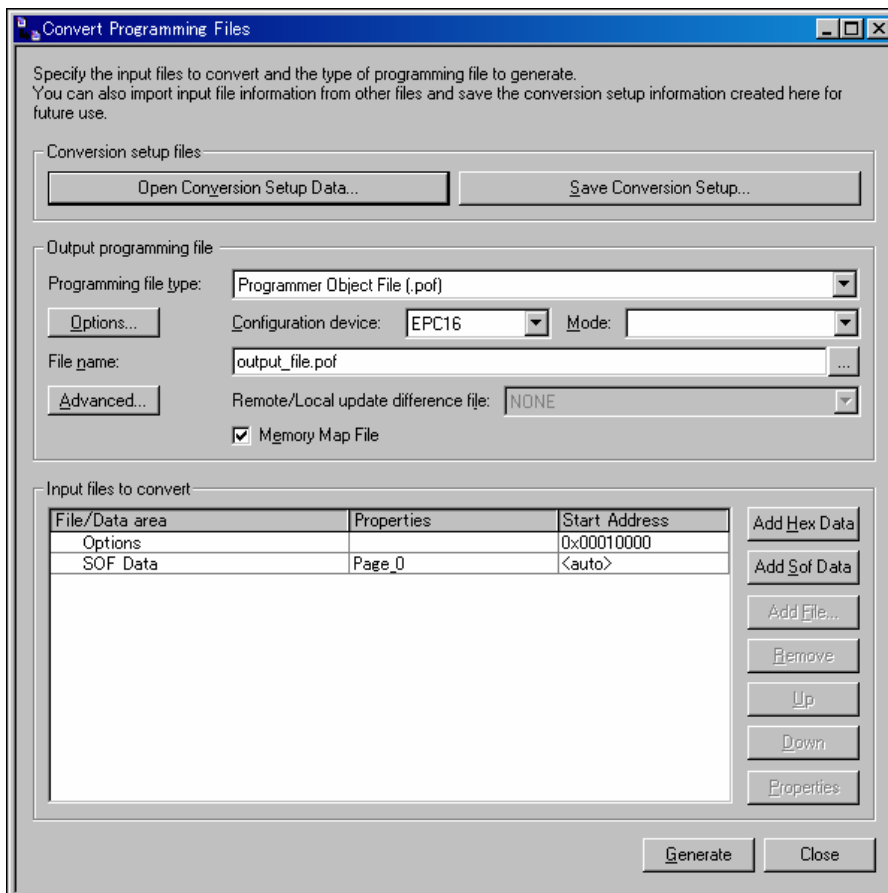


図 3-1 ファイル・コンバータの画面

3-2 生成するファイルの種類とファイル名を指定する

ファイル・コンバータの画面で、**Output programming file** の部分を、**図 3-2** のように設定します。

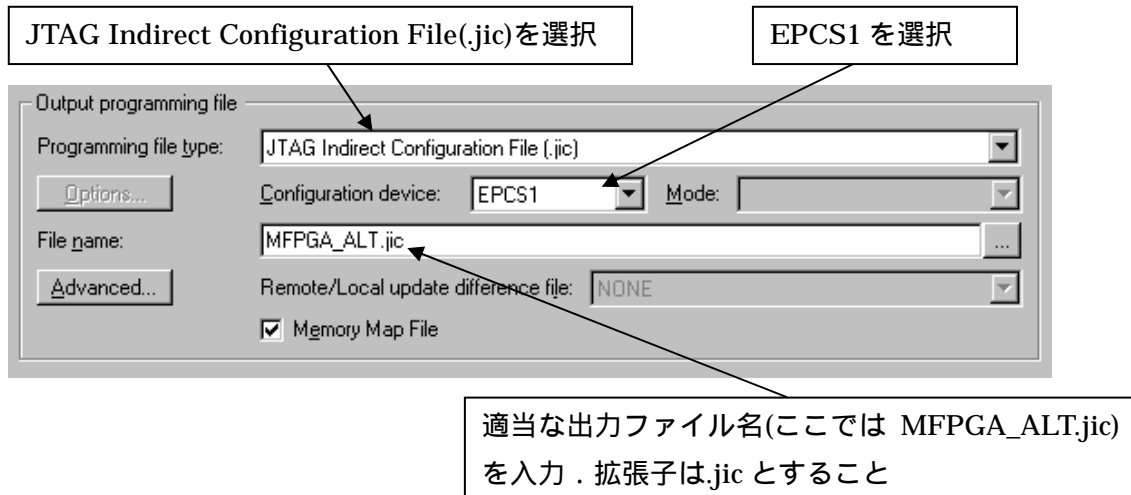


図 3-2 出力ファイルの設定

3-3 入力データを指定する

図 3-3 のように、**Input files to convert** の部分で **Flash Loader** をクリックします。クリックすると色付きの選択状態になるので、ここで**[Add Device...]**ボタンをクリックします。

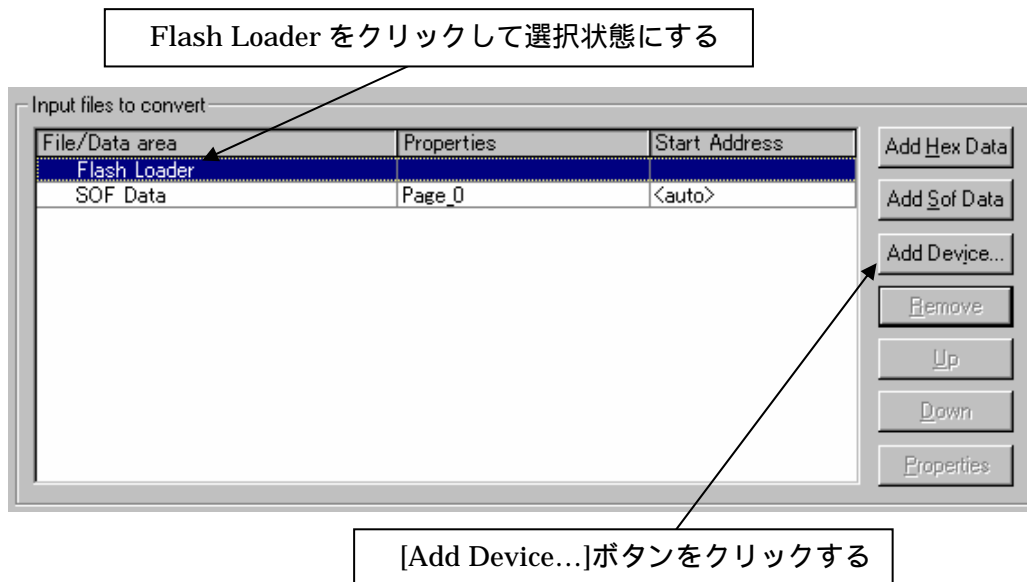


図 3-2 Flash Loader の追加

すると図 3-4 に示すデバイス選択のダイアログ・ボックスが表示されますので、左側の **Device family** から **Cyclone** を、右側の **Device name** から **EP1C3** を選択して、[OK]ボタンをクリックします。



図 3-3 デバイスの選択

次に図 3-5 のように、**Input files to convert** の部分で **SOF Data** をクリックします。クリックすると色付きの選択状態になるので、ここで[Add File...]ボタンをクリックします。

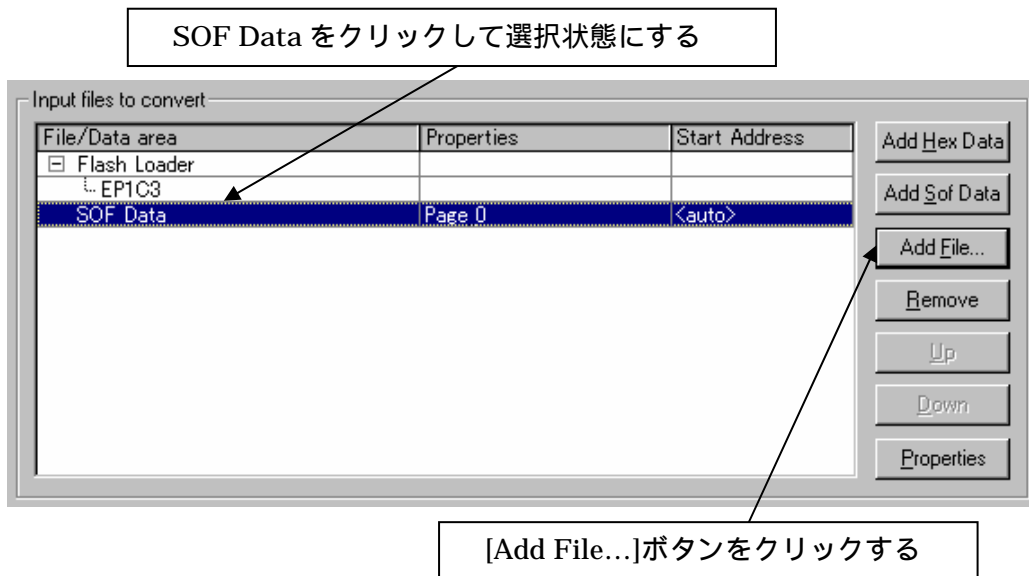


図 3-4 SOF データの追加

すると図 3-6 に示すファイル選択のダイアログ・ボックスが表示されますので、コンパイルによって生成された sof ファイルを選択し、[開く(O)]ボタンをクリックします。



図 3-5 SOF ファイルの選択

3-4 jic ファイルを生成する

ファイル・コンバータの下部にある，[Generate]ボタンをクリックすると，jic ファイルが生成されます(図 3-7)．

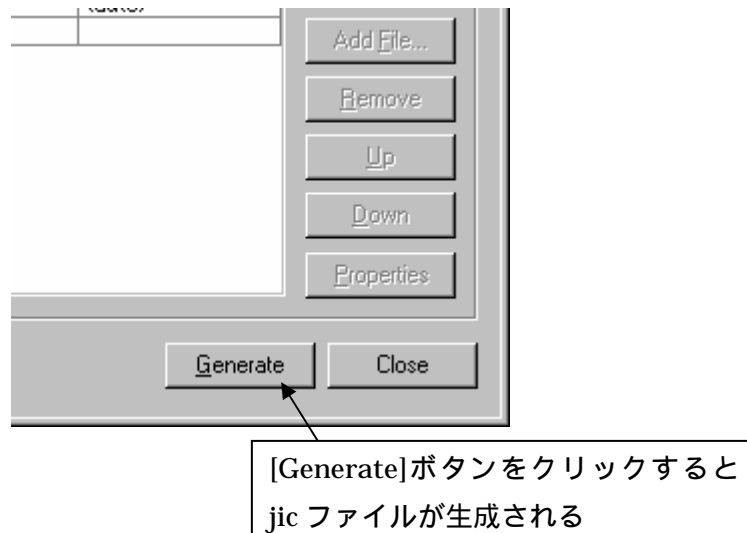


図 3-6 jic ファイルの生成

以前に生成したファイルがある場合 図 3-8 のように上書きするかどうかの問い合わせがあります．上書きしても良い場合は[はい(Y)]を，上書きしたくない場合は[いいえ(N)]をクリックして，3-2 の手順に戻り出力ファイル名を変更してください．

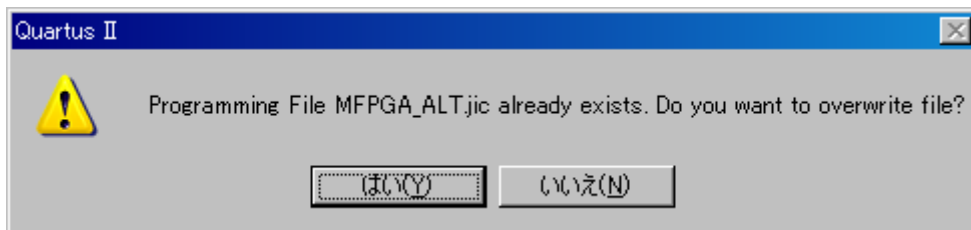


図 3-8 ファイルを上書きするかどうかの問い合わせ

ファイルが正常に生成されると，図 3-9 のようなメッセージが表示されますので，[OK]ボタンをクリックしてください．

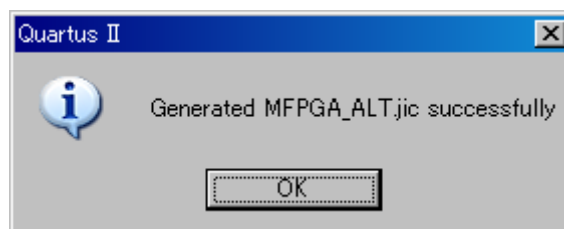


図 3-9 ファイルが正常に生成されたときのメッセージ

これで jic ファイルが生成されましたので、ファイル・コンバータは閉じて構いませんが、後々の利便性のため、以下に従って設定内容を保存しておくとい良いでしょう。

3-5 設定内容を保存する

jic ファイルは自動的に生成されません。そのため、回路を変更してコンパイルするたびに同様のファイル生成操作が必要となります。これまでに行った設定をいちいち行うのは面倒ですが、ファイル・コンバータでは設定内容を保存しておくことができます。

全ての設定を行ったら(または jic ファイルの生成後)、ファイル・コンバータの上部にある **Conversion setup files**(**図 3-10**)の部分から **[Save Conversion Setup...]** ボタンをクリックします。適当なファイル名(拡張子は .cof)で保存しておけば、再度 jic ファイルを生成する際に **[Open Conversion Setup Data...]** ボタンで設定内容を呼び出すことができます。

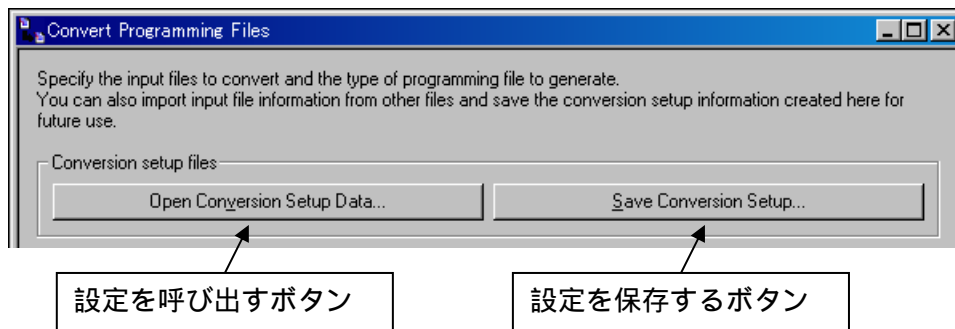


図 3-10 設定の保存と呼び出し

4 書き込み～jic ファイルを使って JTAG 経由でコンフィギュレーション ROM に書き込む～

4-1 ハードウェアの準備

専用のダウンロード・ケーブルを使用して書き込む場合は、ダウンロード・ケーブルの 10 ピン・コネクタ付きケーブルを MFPGA-CYCLONE の HD1 にそのまま接続するか、CN3 に出ている JTAG 信号(TDI, TDO, TCK, TMS, 3.3V, GND)に接続してください。

弊社製ベースボード MFPGA-BASE のダウンロード機能を使って書き込みを行う場合は、JP5 を「3.3V/アルテラ・モード」に設定してください。JP5 の設定方法や、MFPGA-BASE のダウンロード機能を使わずに専用のダウンロード・ケーブルを使用する場合には、「[MFPGA-BASE に関するよくあるご質問とご回答](#)」をご参照ください。

ここまでの接続が終わったら、PC とダウンロード・ケーブルを接続し、MFPGA-CYCLONE に電源を供給してください。

4-2 プログラマを起動する

QuartusII のメニューから [Tools] [Programmer] を選択すると、**図 4-1** のようにプログラマが起動します。

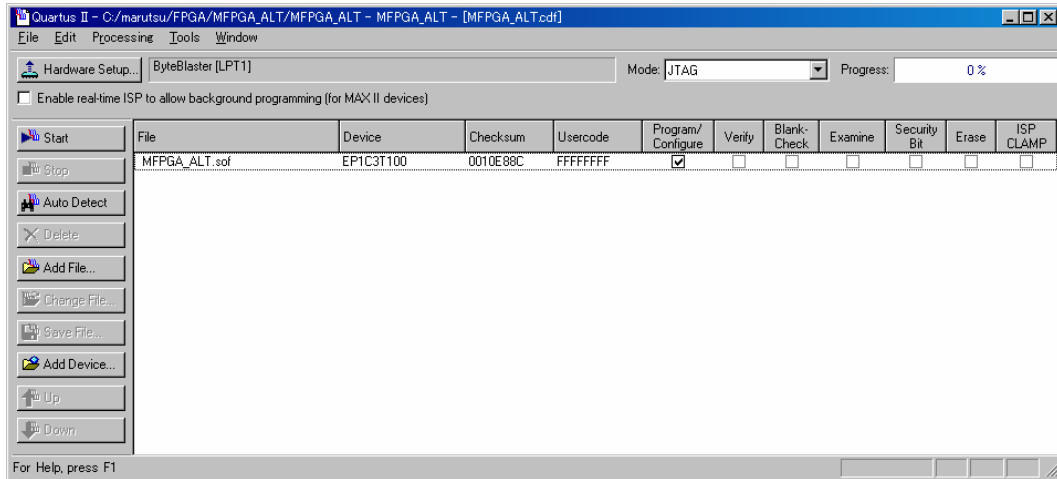


図 4-1 プログラマの画面

4-3 使用するダウンロード・ケーブルを選択する

プログラマの左上にある [Hardware Setup...] ボタンをクリックすると、**図 4-2** のようにハードウェアの設定画面が現れます。Currently selected hardware から、使用するダウンロード・ケーブルを選択してください。MFPGA-BASE の場合は、ByteBlasterMV [LPTx] (LPT の番号は環境によって変わりますが、通常は LPT1) を選択してください。正しく選択したら、[Close] ボタンをクリックします。

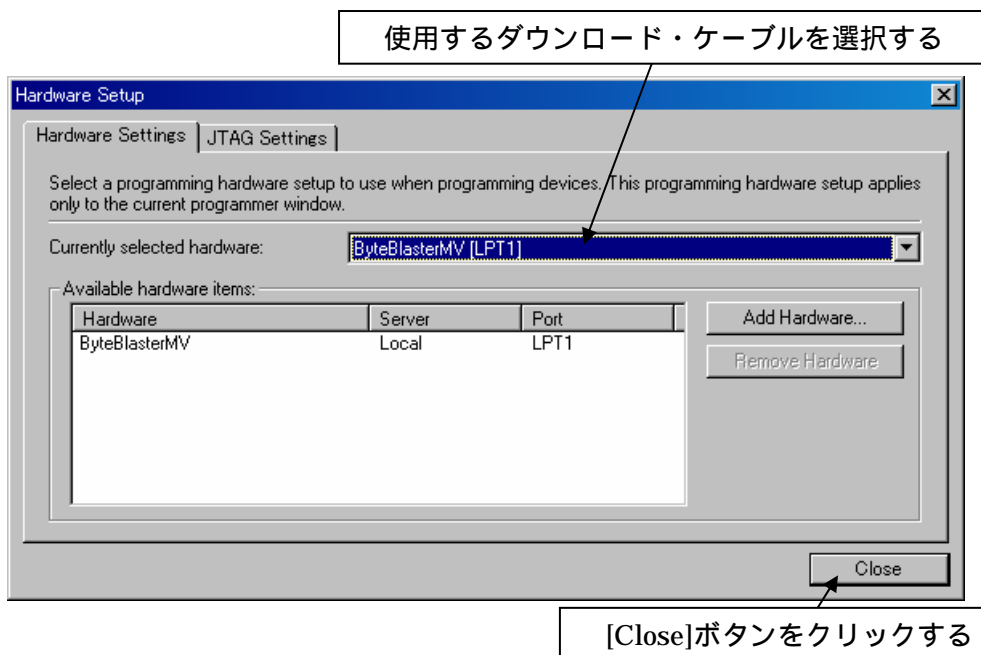


図 4-2 使用するダウンロード・ケーブルの選択

4-4 デバイスを自動認識させる

図 4-3 に示すように，プログラマの上部にある **Mode** から **JTAG** を選択します．次にプログラマの左側にあるボタンの中から，**[Auto Detect]**をクリックします．これで，ダウンロード・ケーブルの先につながっているデバイスが自動認識されます．ターゲットとなる EP1C3 (または EP1C3 T100)があることを確認してください．

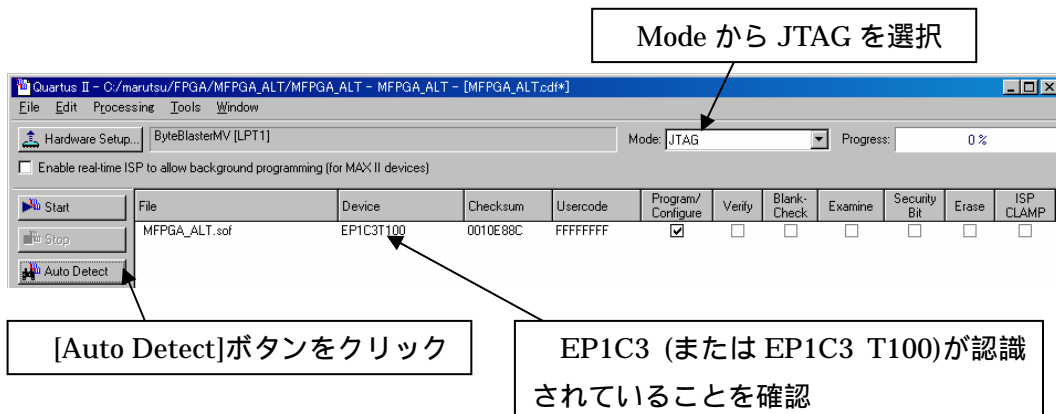


図 4-3 デバイスを自動認識させる

4-5 書き込むファイルを選択する

図 4-4 のように，認識できたデバイス(EP1C3)をクリックして選択状態にします．次に，左側のボタンの中から**[Change File...]**をクリックします．

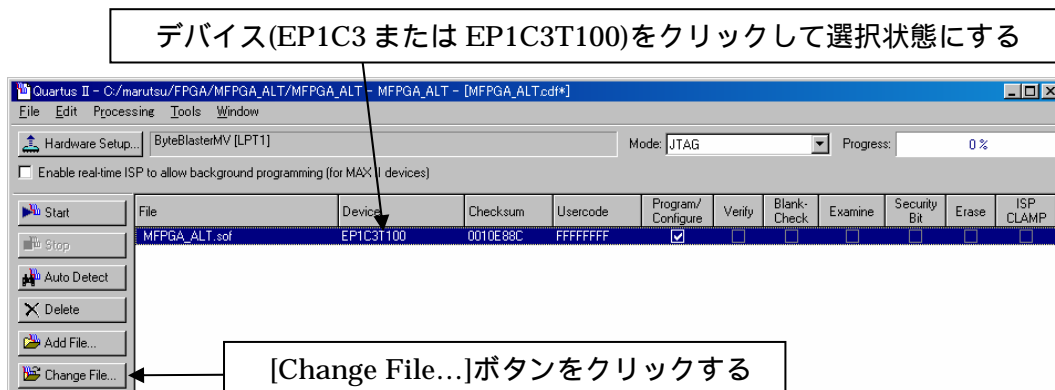
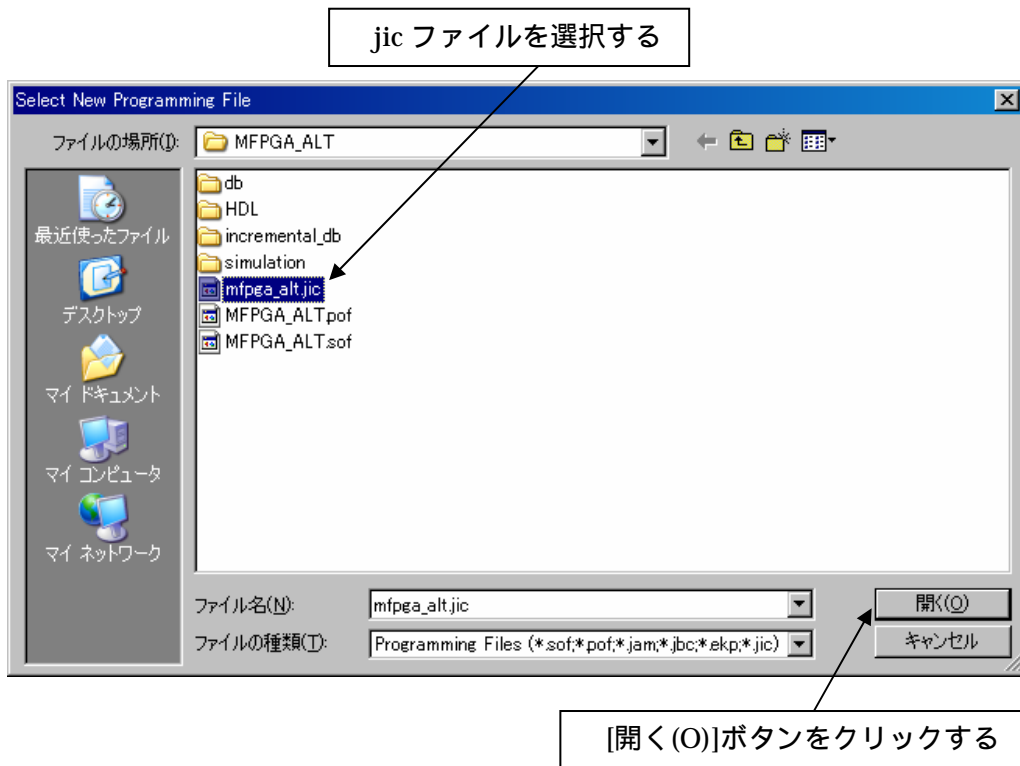
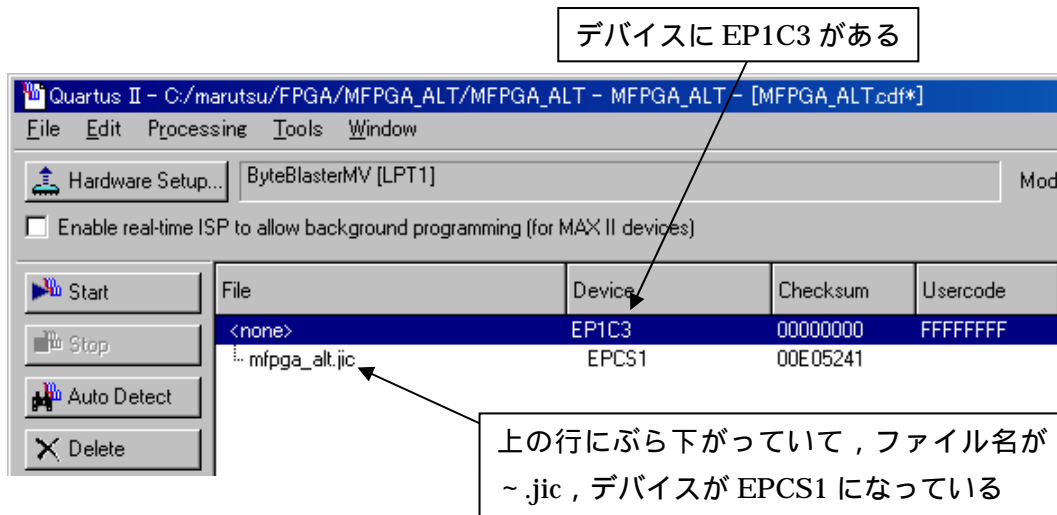


図 4-4 デバイスを選択してファイルを変更する

すると図 4-5 のようなファイル選択のダイアログが現れますので，先ほど生成した jic ファイルを選択し，**[開く(O)]**ボタンをクリックしてください．



jic ファイルを選択すると、プログラマの表示が図 4-6 のように変わります。デバイスが EP1C3 ,それにぶら下がる形になっている ROM が EPCS1 になっていることを確認してください。



4-6 書き込みを実行する

図 4-7 に示すように，EPCS1 の行にある，**Program/Configure** のチェック・ボックスをクリックして，チェック状態にします．すると，その上のチェック・ボックスもチェック状態となり，EP1C3 の行のファイルが “ Factory default enhanced SFL image ” となります．

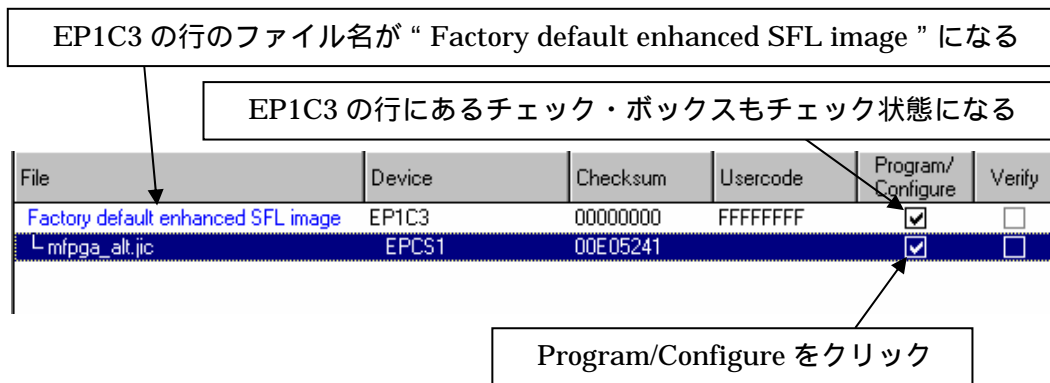


図 4-7 デバイスに対して行う操作を選択する

これで準備は完了ですので，図 4-8 のようにプログラマ左側のボタンの中から [Start] をクリックします．プログラマ右上にある Progress の部分が 100% まで進んだら書き込み完了です．

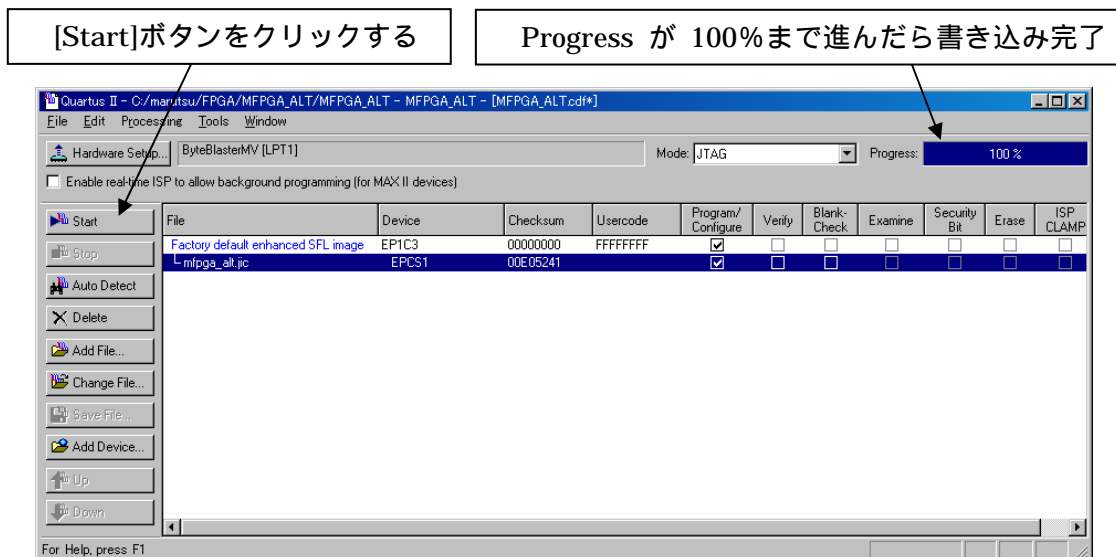


図 4-8 書き込みの実行

4-7 一度電源を OFF して FPGA をコンフィギュレーションする

jic ファイルを使った書き込みでは、自動的に FPGA のコンフィギュレーションが開始されませんので、書き込みが終わった段階で MFPGA-CYCLONE の電源を一度 OFF します。再度電源を ON すると、コンフィギュレーション ROM から FPGA に回路情報がダウンロードされ、設計した回路が動作します。